



**MINISTERO DELLO SVILUPPO ECONOMICO**  
**DIREZIONE GENERALE PER LA LOTTA ALLA CONTRAFFAZIONE**  
**UFFICIO ITALIANO BREVETTI E MARCHI**

|                           |                        |
|---------------------------|------------------------|
| <b>DOMANDA NUMERO</b>     | <b>101998900719732</b> |
| <b>Data Deposito</b>      | <b>24/11/1998</b>      |
| <b>Data Pubblicazione</b> | <b>24/05/2000</b>      |

|                |               |                    |               |                    |
|----------------|---------------|--------------------|---------------|--------------------|
| <b>Sezione</b> | <b>Classe</b> | <b>Sottoclasse</b> | <b>Gruppo</b> | <b>Sottogruppo</b> |
| G              | 06            | K                  |               |                    |

Titolo

|                                                                                                                        |
|------------------------------------------------------------------------------------------------------------------------|
| CIRCUITO PER LA PROGRAMMAZIONE PARALLELA DI CELLE DI MEMORIA NON VOLATILE, CON VELOCITA' DI PROGRAMMAZIONE REGOLABILE. |
|------------------------------------------------------------------------------------------------------------------------|

## DESCRIZIONE

del brevetto per invenzione industriale

di STMICROELECTRONICS S.R.L.

di nazionalità italiana,

a 20041 AGRATE BRIANZA (MILANO) - VIA C. OLIVETTI, 2

Inventori: PASOTTI Marco, CANEGALLO Roberto, GUAITINI

Giovanni, ROLANDI Pier Luigi

\*\*\* \*\* TO 98A 000990 \*\*\*

La presente invenzione si riferisce ad un circuito per la programmazione parallela di celle di memoria non volatile, con velocità di programmazione regolabile.

Come è noto e illustrato in figura 1, una matrice 1 di memoria flash comprende una pluralità di celle 2 disposte su righe e colonne. I terminali di porta delle celle disposte su una stessa riga sono collegati ad una rispettiva linea di parola 3, mentre i terminali di pozzo delle celle appartenenti ad una stessa colonna sono collegati ad una rispettiva linea di bit 4. Le linee di parola 3 sono collegate ad un decodificatore di riga 5 e le linee di bit 4 sono collegate ad un decodificatore di colonna 6. Per la lettura e la scrittura delle celle 2, una unità di controllo 7, collegata con i decodificatori 5 e 6, trasmette ai decodificatori segnali di indirizzo e di comando per selezionare, di volta in volta, una sola linea di parola 3 e una o più

CERRARO Elena  
Iscrizione Albo nr 426/BM

linee di bit 4. In questo modo è possibile accedere alle celle 2 collegate con la linea di parola 3 e le linee di bit 4 selezionate.

Con i dispositivi di programmazione noti, le celle vengono programmate applicando ai terminali di porta delle celle 2 selezionate una tensione a rampa discreta, costituita da una serie di impulsi di tensione di durata prefissata costante e di ampiezza crescente con incremento costante, mentre sui terminali di pozzo delle celle 2 stesse viene forzata una elevata tensione (fase di scrittura). In queste condizioni si verifica l'iniezione di elettroni caldi, grazie al quale le tensioni di soglia  $V_{th}$  delle celle 2 selezionate vengono modificate. In particolare, indicando con  $\Delta\tau$  la durata di ogni impulso e con  $\Delta V$  l'incremento fra due impulsi successivi, la pendenza media della rampa è pari a  $m = \Delta V / \Delta\tau$ .

In condizioni di equilibrio, la tensione di soglia  $V_{th}$  delle celle 2 che vengono programmate cresce con pendenza uguale alla pendenza media  $m$  ed è pertanto possibile calcolare il numero di impulsi di tensione da applicare ai terminali di porta delle celle 2 da programmare per ottenere l'incremento di tensione di soglia desiderato. Dal momento però che il fenomeno dell'iniezione di elettroni caldi è, per sua natura, non

CERRARO Elena  
Iscrizione Albo nr 426/BMI

controllato e non ripetibile, al termine di ogni serie di impulsi di tensione occorre effettuare una lettura delle tensioni di soglia raggiunte (fase di verifica o di "verify").

I dispositivi di programmazione noti presentano alcuni inconvenienti, legati principalmente al fatto che la generazione della tensione a rampa discreta richiede appositi dispositivi piuttosto complessi. Generalmente, infatti, i circuiti di programmazione di celle di memoria non volatile utilizzano a tale scopo un convertitore analogico-digitale (DAC) di potenza che deve essere in grado di pilotare le capacità parassite associate ai terminali di porta delle celle di memoria da programmare. Inoltre, se la durata  $\Delta\tau$  scelta per gli impulsi di tensione è inferiore al periodo di clock  $\Delta T$  del DAC, si verifica, per ogni impulso, un tempo morto di durata  $\Delta T - \Delta\tau$ .

Scopo della presente invenzione è realizzare un dispositivo per la programmazione parallela di celle di memoria non volatile, che sia privo degli inconvenienti descritti.

Secondo la presente invenzione vengono pertanto realizzati un circuito ed un metodo per la programmazione parallela di celle di memoria non volatile, come definiti nelle rivendicazioni 1 e, rispettivamente, 15.

CERRARO Elena  
Iscrizione Albo nr 426/BMI

Per una migliore comprensione dell'invenzione, viene ora descritta una sua forma di realizzazione, a puro titolo di esempio non limitativo e con riferimento ai disegni allegati, nei quali:

- la figura 1 illustra uno schema circuitale semplificato di una matrice di memoria analogica flash di tipo noto;

- la figura 2 illustra uno schema circuitale semplificato relativo ad un circuito per la lettura e la programmazione parallela, secondo la presente invenzione; e

- la figura 3 è un grafico relativo a correnti che fluiscono nel dispositivo di figura 2.

Come mostrato nella figura 2, un circuito per la lettura e la programmazione parallela di celle di memoria non volatile 10 (nel seguito indicato, per semplicità, come circuito R/W 10), appartenente ad un dispositivo integrato 50, tipicamente una memoria, comprende un circuito di generazione corrente 11, un circuito a specchio di corrente 12 ed un circuito di polarizzazione 13 collegati, attraverso il decodificatore di colonna 6 e il decodificatore di riga 5 (non mostrato), alla matrice di memoria 1, della quale sono mostrate solo due celle 2.

Il circuito di generazione corrente 11 comprende

CERRARO Elena  
Iscrizione Albo nr 426/BW

un transistor di generazione corrente 15, di tipo NMOS, avente terminale di sorgente collegato a massa e terminale di pozzo collegato ad un primo nodo 16, al quale è connesso un generatore di corrente costante 17, fornente una corrente di lettura  $I_L$ , ad esempio di valore pari a 5  $\mu A$ .

Il circuito a specchio di corrente 12 comprende un primo transistor di carico 18 e secondi transistori di carico 25a, 25b,..., di tipo PMOS. In dettaglio, il primo transistor di carico 18 ha terminale di pozzo collegato con il primo nodo 16 e terminale di sorgente collegato, attraverso un interruttore "dummy" 19, ad una linea di alimentazione 20, fornente una tensione di alimentazione  $V_s$ , ad esempio pari a 10 V. L'interruttore "dummy" 19 è convenientemente costituito da un transistor di tipo PMOS avente terminale di porta collegato a massa, in modo da essere sempre acceso.

I secondi transistori di carico 25a, 25b, ... presentano rispettivi terminali di pozzo collegati con un secondo nodo 26, terminali di porta collegati fra loro e al terminale di porta del primo transistor di carico 18 e terminali di sorgente collegati con la linea di alimentazione 20 attraverso un rispettivo interruttore di selezione 27a, 27b, ... Il numero di secondi transistori di carico 25a, 25b, ... è uguale al massimo numero

CERBARO Elena  
Iscrizione Albo nr 426/BMI

di celle di memoria 2 che possono essere programmate in parallelo ed è pari, ad esempio, a otto. Ciascun interruttore di selezione 27a, 27b, ... è costituito da un transistor di tipo PMOS uguale al transistor formante l'interruttore dummy 19 e ricevente ad un proprio terminale di porta un segnale di comando, rispettivamente Scma, Scmb, ... proveniente dall'unità di controllo 7 (fig. 1), per accendere o spegnere selettivamente il corrispondente secondo transistor di carico 25a, 25b,...

I terminali di porta dei transistori di carico 18, 25a, 25b, ... sono collegati con un'uscita 21a di un primo amplificatore operazionale 21 appartenente al circuito di polarizzazione 13. In dettaglio, il primo amplificatore operazionale 21 presenta ingresso non invertente collegato con il primo nodo 16, ingresso invertente collegato con un generatore di tensione costante 22, fornente una tensione di riferimento  $V_R$  pari, ad esempio, a 5 V.

Il circuito di polarizzazione 13 comprende, inoltre, un transistor di polarizzazione 30, uno stadio generatore di rampa 32, un secondo amplificatore operazionale 33 ed un terzo amplificatore operazionale 34. Il primo amplificatore operazionale 33 presenta ingresso invertente collegato con il primo nodo 16, ingresso non invertente collegato con il secondo nodo 26 e usci-

ta collegata con i terminali di porta delle celle di memoria 2, attraverso un nodo definente il nodo di uscita 29 del circuito R/W 10 e fornente una tensione  $V_{PCX}$  rappresentante la tensione di uscita del circuito R/W 10. Al nodo di uscita 29 è collegato un ingresso invertente del terzo amplificatore operazionale 34, che presenta inoltre ingresso non invertente collegato allo stadio generatore di rampa 32 e uscita 34a collegata con un terminale di porta del transistor di generazione corrente 15. Il primo amplificatore operazionale 33 definisce una prima retroazione negativa tra il secondo nodo 26 e il nodo di uscita 29, mentre il terzo amplificatore operazionale 34 definisce una seconda retroazione negativa fra il nodo di uscita 29 e il terminale di porta del transistor di generazione corrente 15.

Il transistor di polarizzazione 30 presenta terminale di pozzo collegato al secondo nodo 26 e terminale di porta collegato con un generatore di tensione programmabile 31, comandato da un segnale  $S_v$  fornito dall'unità di controllo 7 (fig. 1) in modo da generare una tensione  $V_{IN}$  che può assumere selettivamente un primo valore, pari ad esempio a circa 1,4 V, ed un secondo valore, pari ad esempio a 10 V.

Lo stadio generatore di rampa 32 comprende un generatore di corrente regolabile 40 collegato ad un ter-

zo nodo 43, un condensatore 41, collegato fra il terzo nodo 43 e massa, ed un commutatore a due posizioni 42. Specificamente, il condensatore 41 ha capacità  $C_R$  pari, ad esempio a 10 pF e il generatore di corrente regolabile 40 riceve, su un proprio ingresso 40a, un segnale di regolazione  $S_i$ , in modo da fornire un valore di corrente prefissato fra una pluralità di valori selezionabili, compresi, ad esempio, fra 5  $\mu A$  e 300  $\mu A$ .

Il commutatore a due posizioni 42 presenta un primo terminale di ingresso 42a collegato con il terzo nodo 43, un secondo ingresso 42b collegato a massa ed un'uscita 42c collegata con l'ingresso non invertente del terzo amplificatore operazionale 34. Il commutatore a due posizioni 42, inoltre, riceve, ad un proprio ingresso di comando 42d, un segnale di commutazione  $S_c$  generato dall'unità di controllo 7, per collegare l'uscita 42c alternativamente con il primo ingresso 42a o con il secondo ingresso 42b.

In figura 2, è inoltre mostrata, all'interno dello stadio generatore di rampa 32, la capacità parassita  $C_p$  associata all'ingresso non-invertente del terzo amplificatore operazionale 34, rappresentata come condensatore 44, in linee tratteggiate.

Inoltre il collegamento delle celle di memoria 2 al circuito R/W 10, di per sé noto, è illustrato, per

comodità, solo in modo semplificato. In particolare, come già indicato, non è mostrato il decodificatore di riga 5 e l'uscita del secondo amplificatore operazionale 33 è collegata direttamente ad una linea di parola 3. Inoltre, del decodificatore di colonna 6 sono mostrati soltanto transistori di indirizzamento di colonna 28 aventi terminale di pozzo collegato al terminale di sorgente 30a del transistor di polarizzazione 30 e ricevanti, su rispettivi terminali di porta, rispettivi segnali di indirizzamento Sf per selezionare una o più celle di memoria 2 attraverso la rispettiva linea di bit 4 (non mostrata), in modo di per sé noto.

In fase di lettura, una sola cella di memoria 2 viene selezionata, per mezzo dei segnali di indirizzamento Sf dei transistori di indirizzamento 28 ed un solo secondo transistor di carico 25a, 25b, ... viene collegato alla linea di alimentazione 20 attraverso il rispettivo interruttore di selezione 27a, 27b, ... comandato dal segnale Scma, Scmb, ...

Inoltre, il generatore di tensione programmabile 31 assume, su comando dell'unità di controllo 7 (fig. 1), il primo valore della tensione  $V_{IN}$  (ad esempio 1,4 V), in modo da polarizzare il terminale di pozzo della cella di memoria 2 selezionata ad un valore di lettura prefissato, in modo di per sé noto.

CERNARO Elena  
Iscrizione Albo nr 426/BMJ

Inoltre, il commutatore 42, su comando del segnale di commutazione Sc, collega l'uscita 42c con il secondo ingresso 42b. In questo modo, il terzo amplificatore operazionale 34 presenta ingresso non invertente collegato a massa e si comporta come un comparatore; in particolare, dal momento che la tensione di uscita  $V_{PCX}$  è sempre positiva, l'uscita 34a del terzo amplificatore operazionale 34 è bassa e mantiene il transistor di generazione corrente 15 spento.

La corrente che fluisce nel circuito di generazione corrente 11, pertanto, è pari alla corrente  $I_L$  imposta dal generatore di corrente 17 (ad esempio 5  $\mu A$ ) e il circuito a specchio di corrente 12 forza un uguale valore di corrente nel transistor di polarizzazione 30 e nella cella di memoria 2 selezionata.

In particolare, la corrente  $I_f$  fluente nella cella di memoria 2 selezionata è data, come è noto, dalla seguente espressione:

$$I_f = K_f \cdot (W/L)_f \cdot [(V_{PCX} - V_{thf}) - V_{DSf}/2] \cdot V_{DSf} \quad (1)$$

in cui  $K_f$  è una costante legata al processo di fabbricazione,  $(W/L)_f$  è il rapporto dimensionale larghezza/lunghezza,  $V_{thf}$  è la tensione di soglia,  $V_{DSf}$  è la caduta di tensione pozzo-sorgente e il termine  $(V_{PCX} - V_{thf})$  è la tensione di overdrive della cella di memoria 30.

Nelle condizioni di polarizzazione imposte, il

termine  $V_{DSf}/2$  risulta trascurabile rispetto al termine  $(V_{PCX} - V_{thf})$  e la (1) si riduce a:

$$I_f = K_f \cdot (W/L)_f \cdot (V_{PCX} - V_{thf}) \cdot V_{DSf} \quad (2)$$

Inoltre, il transistor di polarizzazione 30 opera in saturazione e, quindi, la corrente  $I_{30}$  fluente attraverso di esso è data dalla seguente espressione:

$$I_{30} = \frac{1}{2} K_{30} \cdot (W/L)_{30} \cdot (V_{GS30} - V_{th30})^2 \quad (3)$$

Nella (3), a parte i pedici, i simboli hanno il significato già illustrato e  $V_{GS30}$  è la caduta porta-sorgente del transistor di polarizzazione 30.

Dal momento che la corrente  $I_{30}$  è uguale a  $I_L$ , essa è costante. Inoltre, dalla (3), la tensione  $V_{GS30}$  è pari a:

$$V_{GS30} = V_{th30} + \sqrt{\frac{2I_{30}}{K_{30}(W/L)_{30}}} \quad (4)$$

e quindi è anch'essa costante.

Di conseguenza, anche la tensione del terminale di sorgente della cella 30, il cui valore  $V_{S30}$  è dato dall'equazione

$$V_{S30} = V_{IN} - V_{GS30} \quad (5)$$

risulta costante, così come la caduta di tensione pozzo-sorgente  $V_{DSf}$  della cella 2, che è pari a  $V_{S30}$ , a meno della caduta di tensione sul transistor di indirizzamento 28 in quel momento acceso, che è trascurabile.

La tensione di uscita  $V_{PCX}$  dipende linearmente dalla tensione di soglia  $V_{thf}$  della cella di memoria 2. In-

CERBANO Elena  
Iscrizione Albo nr 426/BMI

fatti, dalla (2) si ricava l'equazione

$$V_{PCX} = V_{thf} + \frac{I_f}{K_f (W/L)_f V_{DSf}} \quad (6)$$

nella quale il secondo addendo è costante, in base a quanto sopra indicato. La lettura della tensione di uscita  $V_{PCX}$  fornisce quindi il valore di soglia ricercato, a meno di una costante.

In fase di programmazione, attraverso i segnali di indirizzamento  $S_f$ , viene selezionata una pluralità di celle 2 appartenenti alla stessa linea di parola 3, mentre, per mezzo dei segnali di selezione  $Scma$ ,  $Scmb$ , ... viene acceso un numero di secondi transistori di carico 25a, 25b, ... pari al numero di celle di memoria 2 selezionate. Tipicamente, vengono selezionate otto celle di memoria 2.

Il segnale di comando  $S_v$  seleziona il secondo valore di tensione  $V_{IN}$  del generatore di tensione programmabile 31 (ad esempio, 10 V) il quale, di conseguenza, si comporta come un interruttore chiuso; inoltre, attraverso il segnale di commutazione  $Sc$ , l'uscita 42c del commutatore a due posizioni 42 viene connessa al primo ingresso 42a.

In questo modo, l'ingresso non invertente del terzo amplificatore operazionale 34 risulta collegato con il terzo nodo 43. Inoltre, il generatore di corrente

CERAPRO Elena  
(iscrizione Albo nr 426/BMI)

regolabile 40 viene attivato per mezzo del segnale di regolazione Si, e fornisce la corrente  $I_R$ , ad esempio pari a 10  $\mu A$ . Di conseguenza, sul terzo nodo 43 si ha una tensione  $V_I$  crescente linearmente con pendenza pari a  $P = I_R / (C_R + C_P)$ , in cui  $C_R$  è la capacità del condensatore 41 e  $C_P$  è la capacità parassita associata all'ingresso non-invertente del terzo amplificatore operazionale 34, come sopra indicato.

Il generatore di corrente 17, in questa fase, viene preferibilmente spento e, pertanto, la corrente che fluisce nel circuito di generazione corrente 11 viene imposta unicamente dal transistor di generazione corrente 15.

Per effetto del primo amplificatore operazionale 21 e, rispettivamente, del secondo amplificatore operazionale 33, sui nodi 16 e 26 viene forzato un valore di tensione pari a  $V_R$  (ad esempio, 5 V). Dal momento che la caduta di tensione sul transistor di polarizzazione 30 e sugli interruttori di selezione 28 selezionati è trascurabile, i terminali di pozzo delle celle di memoria 2 ad essi collegate si trovano ad un valore di tensione prossimo a  $V_R$ . Pertanto, nelle celle di memoria 2 selezionate vengono generati elettroni caldi, per la scrittura delle celle di memoria 2 stesse.

Il terzo amplificatore operazionale 34 forza il

CERRARO Elena  
Iscrizione Albo nr 426/BMJ

suo ingresso invertente (e quindi il nodo di uscita 29) in modo da seguire la tensione a rampa presente sul suo ingresso non-invertente; di conseguenza la tensione di uscita  $V_{PCX}$  diventa uguale a  $V_I$  e cresce anch'essa linearmente con pendenza  $P$ ; contemporaneamente, il secondo amplificatore operazionale 33 fornisce la corrente necessaria a caricare le capacità associate ai terminali di porta delle celle di memoria 2 selezionate.

Inoltre, l'uscita 34a del terzo amplificatore operazionale 34 pilota il transistor di generazione corrente 15, in modo che questo fornisca la corrente richiesta per la scrittura. In particolare, il transistor di generazione corrente 15 forza nel circuito di generazione corrente una corrente  $I_{15}$  che viene specchiata da ciascuno dei secondi transistori di carico 25a, 25b, ... selezionati. In questo modo, il circuito a specchio di corrente 12 eroga, al secondo nodo 26, una corrente pari al valore di  $I_{15}$  moltiplicato per il numero di secondi transistori di carico 25a, 25b, ... selezionati, ovvero al numero di celle 2 da scrivere.

In una fase iniziale della programmazione, le celle di memoria 2 selezionate presentano valori di soglia fra loro differenti e, pertanto, a parità di tensione porta-sorgente, assorbono correnti differenti. Tuttavia, la differenza fra la corrente assorbita dalle di-

CERRARO Elena  
Iscrizione Albo nr 426/BMI

verse celle tende a compensarsi automaticamente. Infatti, in base alla (1), le celle di memoria aventi tensione di soglia inizialmente più bassa presentano tensioni di overdrive ( $V_{PCX} - V_{thf}$ ) più elevate e assorbono correnti maggiori; di conseguenza esse incrementano più rapidamente la propria tensione di soglia. A regime, quindi, le celle di memoria 2 selezionate assorbono correnti approssimativamente uguali e, in particolare, di valore pari al valore di  $I_{15}$ . A titolo di esempio, in figura 3 è mostrato l'andamento nel tempo delle correnti  $I_{f1}$  e, rispettivamente,  $I_{f2}$  assorbite da due celle di memoria 2 aventi tensioni di soglia inizialmente diverse, e della corrente  $I_{15}$ .

A regime, inoltre, la corrente  $I_{15}$  e le correnti assorbite dalle celle di memoria 2 sono costanti e, pertanto, nelle condizioni descritte, le tensioni di soglia di tutte le celle di memoria 2 selezionate variano linearmente con pendenza pari alla pendenza  $P$  della tensione di uscita  $V_{PCX}$ . In particolare, come indicato in "Technological and design constraints for multilevel flash memories" di C. Calligaro, A. Manstretta, A. Modelli, G. Torelli, Proceedings of International Conference on Electronic Circuits and Systems, Rhodes, Grecia, pp. 1003-1008, per tutte le celle di memoria 2 selezionate risulta che

$$\Delta V_{thf} = \Delta V_{PCX} \quad (7)$$

dove  $\Delta V_{thf}$  rappresenta la variazione della tensione di soglia delle singole celle di memoria 2 e  $\Delta V_{PCX}$  rappresenta la variazione della tensione del nodo di uscita 29.

La programmazione parallela di celle di memoria 2 può essere eseguita come descritto di seguito.

Inizialmente viene selezionato un gruppo di celle di memoria 2 ed il circuito R/W 10 viene polarizzato in scrittura per un intervallo di tempo  $T_0$ , necessario al circuito per portarsi a regime e determinato sperimentalmente.

Successivamente, il circuito R/W 10 viene portato in configurazione di lettura di verifica. In dettaglio, la tensione  $V_{IN}$  generata dal generatore di tensione programmabile 31 assume il primo valore di tensione (1,4 V), l'uscita 42c del commutatore a due posizioni 42 viene mantenuta collegata con il secondo ingresso 42a, il generatore di corrente regolabile 40 viene spento e il generatore di corrente costante 17 viene acceso. Pertanto, il condensatore 41 è flottante, in modo che la tensione sul terzo nodo 43 rimane sostanzialmente costante. Nelle condizioni descritte, viene letta la tensione di uscita  $V_{PCX}$  sul nodo di uscita 29 e, in base al valore di tensione letto, al valore di tensione di uscita minimo desiderato (corrispondente al

CERDARO Elena  
(iscrizione Albo nr 426/BMI)

valore di tensione di soglia minimo da programmare), viene calcolata la differenza di tensione  $\Delta V$  necessaria. Quindi, conoscendo il valore della pendenza  $P$  della rampa di tensione  $V_1$ , viene calcolato il tempo di scrittura  $T_w = \Delta V/P$  necessario per raggiungere il valore di tensione di uscita minimo desiderato.

Il circuito R/W 10 viene quindi riportato in configurazione di scrittura secondo le modalità sopra descritte per un tempo pari a  $T_w$ , al termine del quale viene eseguita una nuova lettura di verifica della tensione di uscita  $V_{PCX}$ . Se il valore letto risulta inferiore al valore più basso desiderato, viene calcolato un nuovo tempo di scrittura  $T_w$  e viene eseguita un'ulteriore fase di scrittura. Se, invece, il valore di tensione di uscita  $V_{PCX}$  letto è pari al valore più basso desiderato, le celle di memoria 2 da programmare al livello di tensione di soglia più basso vengono deselezionate attraverso i rispettivi transistori indirizzamento di colonna 28 ed un corrispondente numero di secondi transistori di carico 25a, 25b, ... viene spento.

Viene quindi eseguita la scrittura di celle di memoria 2 rimaste selezionate fino ad un valore della tensione di uscita desiderata immediatamente superiore al valore desiderato più basso; dopo di che vengono deselezionate le celle 2 che hanno raggiunto la seconda

CERADPO Elena  
(iscrizione Albo nr 426/BM)

tensione di soglia desiderata; vengono quindi ripetuti i cicli di scrittura e verifica per tutti i valori di tensione da programmare, fino a completare la programmazione di tutte le celle di memoria 2.

Il circuito R/W 10 descritto permette di ottenere i seguenti vantaggi.

In primo luogo, l'interazione fra lo stadio generatore di rampa 32, il secondo amplificatore operativo 33, che fornisce la corrente necessaria per caricare le capacità associate ai terminali di porta delle celle di memoria 2, e il terzo amplificatore operativo 34 permette di eliminare il DAC di potenza in precedenza necessario per la generazione di una tensione a rampa discreta, con conseguente riduzione dell'ingombro del circuito R/W 10.

Inoltre, la tensione fornita dallo stadio generatore di rampa 32 varia in modo continuo nel tempo e la sua pendenza può essere impostata facilmente prima dell'inizio della programmazione variando la corrente erogata dal generatore di corrente regolabile 40. Di conseguenza, vengono eliminati i tempi morti associati all'uso di DAC, rendendo il circuito R/W 10 più veloce.

Il circuito a specchio 12 consente di ottimizzare il consumo di corrente. Infatti, il primo transistor di carico 18 eroga sempre (a regime) uno stesso valore

CERBARO Elena  
Iscrizione Albo nr 426/BMJ

di corrente, indipendentemente dal numero di celle di memoria da programmare, e la maggior corrente richiesta per la programmazione di più celle di memoria 2 in parallelo viene ottenuta accendendo un corrispondente numero di secondi transistori di carico 25a, 25b, ..., in base alle specifiche necessità. Esso costituisce quindi in pratica uno specchio di corrente programmabile. Viceversa, se venisse utilizzato un circuito a specchio di corrente tradizionale, in cui nel nodo di uscita (secondo nodo 26) fluisce una corrente uguale alla corrente fluente nel nodo di ingresso (primo nodo 16), si avrebbe un consumo, nel ramo del circuito comprendente il transistore di generazione corrente 15, pari a quello richiesto da tutte le celle di memoria 2 in quel momento selezionate, con un consumo quindi decisamente superiore.

Il circuito R/W 10 esegue sia la lettura sia la scrittura, semplificando il dispositivo in cui esso è inserito, riducendo l'ingombro totale e ottimizzando i tempi per le operazioni di scrittura.

Risulta infine evidente che al circuito R/W 10 descritto possono essere apportate modifiche e varianti, senza uscire dall'ambito della presente invenzione.

Ad esempio, lo stadio generatore di rampa 32 può presentare topologia circuitale differente da quella

descritta. Inoltre, il primo transistorore di carico 18 e i secondi transistori di carico 25a, 25b, ... possono presentare sia uguali dimensioni, sia dimensioni differenti; in particolare, il primo transistorore di carico 18 può essere realizzato più piccolo dei secondi transistori di carico 25a, 25b, ..., riducendo in tal modo la corrente fluente nel circuito di generazione corrente 11 e quindi il consumo del circuito R/W 10.

Inoltre, il primo e i secondi transistori di carico 18, 25a, 25b, ... possono essere sostituiti da transistori NMOS, e gli ingressi del primo amplificatore operazionale 21 possono essere invertiti fra loro.

CERBARO Elena  
Iscrizione Albo nr 426/BM

## R I V E N D I C A Z I O N I

1. Circuito per la programmazione parallela di celle di memoria (2) di tipo non volatile, aventi rispettivi primi terminali collegabili selettivamente fra loro e ad un nodo comune (30a) e rispettivi terminali di controllo, comprendente un circuito a specchio di corrente (12) definente un primo ed un secondo nodo (16, 26), detto secondo nodo (26) essendo collegato a detto nodo comune (30a); un circuito di generazione corrente regolabile (11) collegato a detto primo nodo (16) ed avente un terminale di controllo; un circuito di polarizzazione (13), includente primi mezzi di retroazione negativa (33) e mezzi generatori di rampa (32) attivabili selettivamente; detti primi mezzi di retroazione negativa (33) presentando un primo ingresso collegato con detto primo nodo (16), un secondo ingresso collegato con detto secondo nodo (26) ed un'uscita collegata con detti terminali di controllo di dette celle di memoria (2) e definente un'uscita del circuito (29), e detti mezzi generatori di rampa (32) essendo collegati a detti terminali di controllo di dette celle di memoria (2); caratterizzato dal fatto che detto circuito di polarizzazione (13) comprende inoltre secondi mezzi di retroazione negativa (34), presentanti un primo ed un secondo ingresso ed un'uscita (34a); detto

CERBARO Eina  
Iscrizione Albo nr 426/BM

primo ingresso di detti secondi mezzi di retroazione negativa (34) essendo collegato con detti mezzi generatori di rampa (32), detto secondo ingresso di detti secondi mezzi di retroazione negativa (34) essendo collegato con detti terminali di controllo di dette celle di memoria (2) e detta uscita (34a) di detti secondi mezzi di retroazione negativa (34) essendo collegata a detto terminale di controllo di detto circuito di generazione corrente (11).

2. Circuito secondo la rivendicazione 1, caratterizzato dal fatto che detto circuito a specchio di corrente (12) è programmabile in modo da fornire a detto secondo nodo (26) una corrente correlata al numero di celle di memoria (2) selezionate.

3. Circuito secondo la rivendicazione 2, caratterizzato dal fatto che detto circuito a specchio di corrente (12) comprende un primo transistor di carico (18) collegato fra una prima linea a potenziale di riferimento (20) e detto primo nodo (16) ed una pluralità di secondi transistori di carico (25a, 25b) collegati fra detta prima linea a potenziale di riferimento e detto secondo nodo (26) e attivabili selettivamente; detti primi e secondi transistori di carico (18, 25a, 25b) avendo terminali di controllo collegati insieme.

4. Circuito secondo la rivendicazione 3, carat-

CERTIFICATO Elena  
(iscrizione Albo nr 426/BMI)

terizzato dal fatto di comprendere una pluralità di interruttori di selezione (27a, 27b) collegati ciascuno fra detta prima linea a potenziale di riferimento (20) e un rispettivo secondo transistor di carico (25a, 25b).

5. Circuito secondo la rivendicazione 4, caratterizzato dal fatto che detti interruttori di selezione (27a, 27b) comprendono ciascuno un transistor MOS avente un terminale di controllo ricevente un rispettivo segnale di comando (Scma, Scmb).

6. Circuito secondo una qualsiasi delle rivendicazioni 3-5, caratterizzato dal fatto che detto circuito di polarizzazione (13) comprende inoltre mezzi generatori di tensione (21) collegati con detto secondo nodo.

7. Circuito secondo la rivendicazione 6, caratterizzato dal fatto che detti mezzi generatori di tensione comprendono un primo amplificatore operazionale (21) avente un primo ingresso collegato con un generatore di tensione costante (22), un secondo ingresso collegato con detto primo nodo (16) ed un'uscita (21a) collegata con detti terminali di comando di detti primo e secondi transistori di carico (18, 25a, 25b).

8. Circuito secondo una qualsiasi delle rivendicazioni precedenti, caratterizzato dal fatto che detto circuito di generazione corrente (11) comprende un

CERBARO Elena  
(iscrizione Albo nr 426/BM)

transistore generatore di corrente (15) avente un primo ed un secondo terminale collegati fra detto primo nodo (16) ed una seconda linea a potenziale di riferimento ed un terminale di controllo collegato a detta uscita (34a) di detti secondi mezzi di retroazione negativa (34).

9. Circuito secondo una qualsiasi delle rivendicazioni precedenti, caratterizzato dal fatto che detti mezzi generatori di rampa (32) comprendono un generatore di corrente programmabile (40) ed un elemento capacitivo (41) collegati fra loro in corrispondenza di un terzo nodo (43), detto terzo nodo essendo collegato a detto primo ingresso di detti secondi mezzi di retroazione negativa (34).

10. Circuito secondo una qualsiasi delle rivendicazioni precedenti, caratterizzato dal fatto che detti primi e secondi mezzi di retroazione negativa (33, 34) comprendono un secondo ed un terzo amplificatore operazionale, detto secondo amplificatore operazionale (33) avendo ingresso invertente collegato a detto primo nodo (16) e ingresso non invertente collegato a detto secondo nodo (26), detto terzo amplificatore operazionale (34) avendo ingresso invertente collegato a detta uscita di circuito (29) e ingresso non invertente collegato a detti mezzi generatori di rampa (32).

CERRARO Elena  
(iscrizione Albo nr 426/BM)

11. Circuito secondo una qualsiasi delle rivendicazioni precedenti, caratterizzato dal fatto di comprendere mezzi di comando lettura/scrittura (30, 31, 42) di detta cella di memoria.

12. Circuito secondo la rivendicazione 11, caratterizzato dal fatto che detti mezzi di comando lettura/scrittura (30, 31, 42) comprendono mezzi di polarizzazione (30, 31) interposti fra detto secondo nodo (26) e detto nodo comune (30a), detti mezzi di polarizzazione (30, 31) essendo commutabili tra una prima condizione di lavoro, in cui detti mezzi di polarizzazione mantengono detto nodo comune (30a) ad una tensione prefissata, ed una seconda condizione di lavoro, in cui detti mezzi di polarizzazione mantengono detto nodo comune (30a) ad una tensione prossima ad una tensione di detto secondo nodo (26); dal fatto che detto circuito di generazione corrente (11) è commutabile tra una prima condizione di lavoro, in cui detto circuito di generazione corrente genera una prima corrente ( $I_L$ ), ed una seconda condizione di lavoro, in cui detto circuito di generazione corrente genera una seconda corrente ( $I_{15}$ ) maggiore di detta prima corrente.

13. Circuito secondo la rivendicazione 12, caratterizzato dal fatto che detti mezzi di comando lettura/scrittura (30, 31, 42) comprendono mezzi di comando

CERVARO Elena  
(iscrizione Albo nr 426/BW)

(42) atti, a mantenere contemporaneamente detti mezzi generatori di rampa (32) disattivati e detti mezzi di polarizzazione (30, 31) in detta prima condizione di lavoro.

14. Circuito secondo la rivendicazione 12 o 13, caratterizzato dal fatto che detti mezzi di polarizzazione (30, 31) comprendono un transistor MOS (30) ed un generatore di tensione programmabile (31); detto transistor MOS (30) avendo un primo ed un secondo terminale collegati a detto secondo nodo (26) e, rispettivamente, a detto nodo comune (30a) ed un terminale di controllo collegato a detto generatore di tensione programmabile (31).

15. Metodo di programmazione parallela di celle di memoria (2) di tipo non volatile, aventi rispettivi primi terminali collegabili selettivamente fra loro e ad un nodo comune (30a) e rispettivi terminali di controllo, caratterizzato dal fatto di comprendere le fasi di:

- collegare selettivamente primi terminali di celle di memoria (2) selezionate a detto nodo comune (30a);
- polarizzare detto nodo comune (30a) ad una tensione di programmazione ( $V_R$ );
- generare una prima retroazione negativa fra detto nodo comune (30a) e detti terminali di controllo (20c) di

dette celle di memoria (2) selezionate;

- generare una tensione a rampa ( $V_{PCX}$ );
- applicare detta tensione a rampa a detti terminali di controllo di dette celle di memoria (2) selezionate;
- abilitare un generatore di corrente comandabile (15);
- generare una seconda retroazione negativa fra detto generatore di corrente comandabile e detti terminali di controllo (20c) di dette celle di memoria (2) selezionate in modo da generare una corrente di programmazione ( $I_{15}$ ); e
- specchiare detta corrente di programmazione verso detto nodo comune.

16. Metodo secondo la rivendicazione 15, caratterizzato dal fatto che detta fase di specchiare comprende la fase di alimentare a detto nodo comune (30a) una corrente di cella pari ad un multiplo di detta corrente di programmazione ( $I_{15}$ ).

17. Metodo secondo la rivendicazione 16, caratterizzato dal fatto di comprendere le fasi di:

- programmare una prima pluralità di celle di memoria (2) selezionate ad un primo valore di tensione di uscita;
- deselezionare un primo gruppo di detta pluralità di celle di memoria selezionate per ottenere una seconda pluralità di celle di memoria selezionate minore di

detta prima pluralità;

- programmare detta seconda pluralità di celle di memoria selezionate ad un secondo valore di tensione di uscita;

- deselezionare un secondo gruppo di detta pluralità di celle di memoria selezionate;

- ripetere dette fasi di programmare e deselezionare fino a programmare tutte dette celle di detta prima pluralità a valori di tensione di uscita prefissati.

18. Circuito e metodo per la programmazione parallela di celle di memoria di tipo non volatile, sostanzialmente come descritto con riferimento alle figure annesse.

p.i.: STMICROELECTRONICS S.R.L.

*CERBARO Elena*  
iscrizione Albo nr 426/BM

CERBARO Elena  
iscrizione Albo nr 426/BM



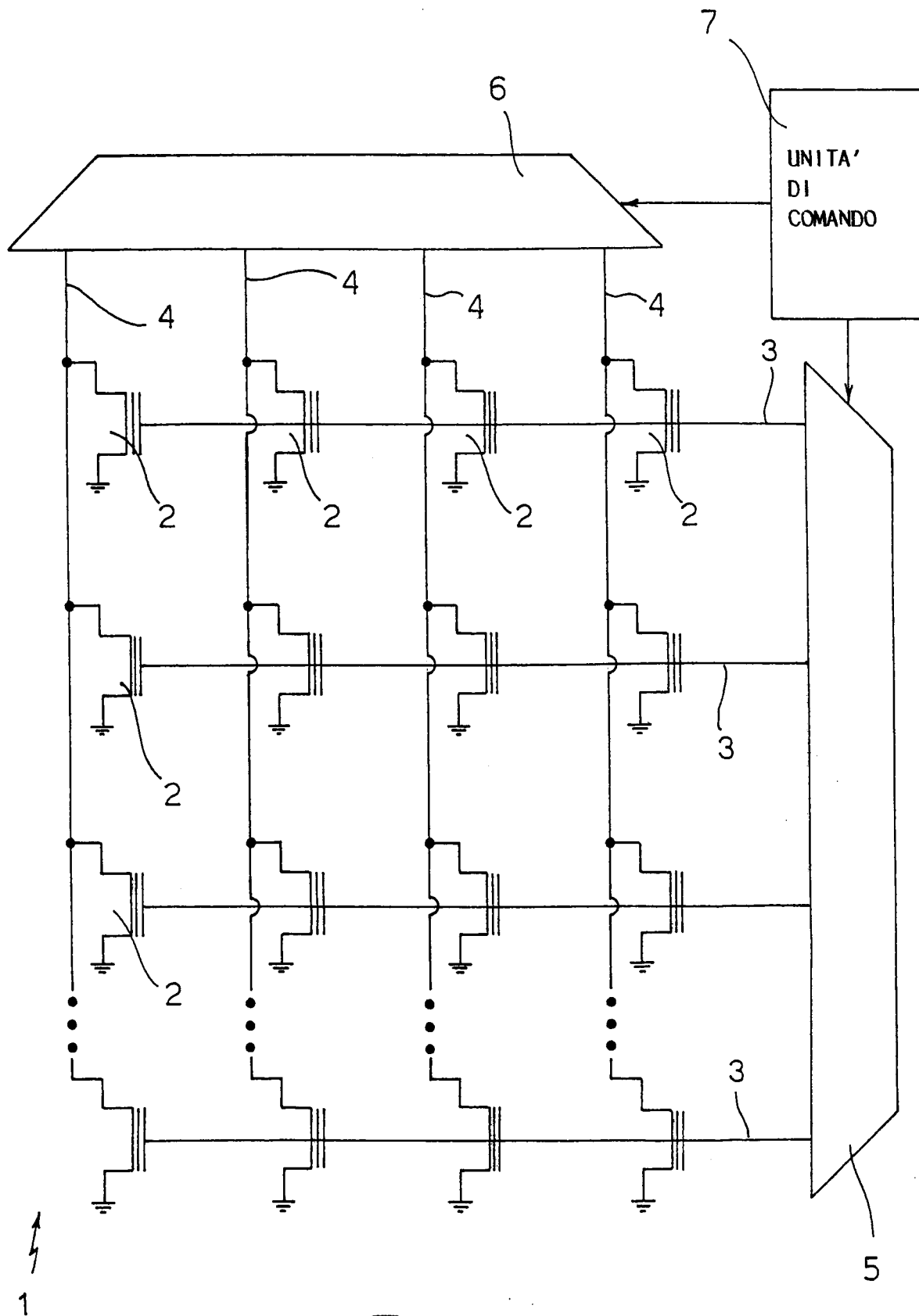
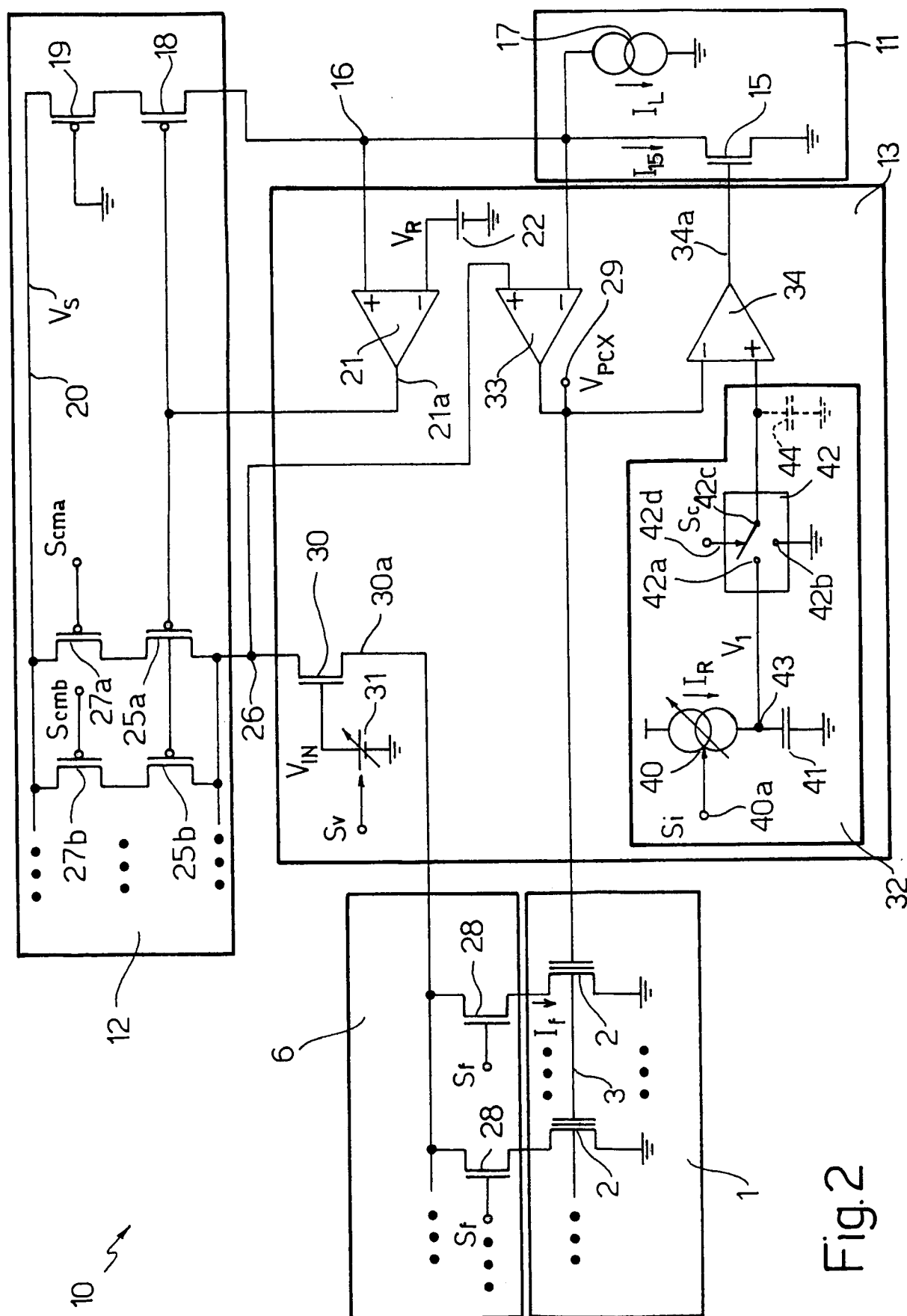


Fig.1

p.i.: STMICROELECTRONICS S.R.L.

CEM  
Iscrizione M.I.S. n. 4207/SMI

10/10



James F. Adams

lv

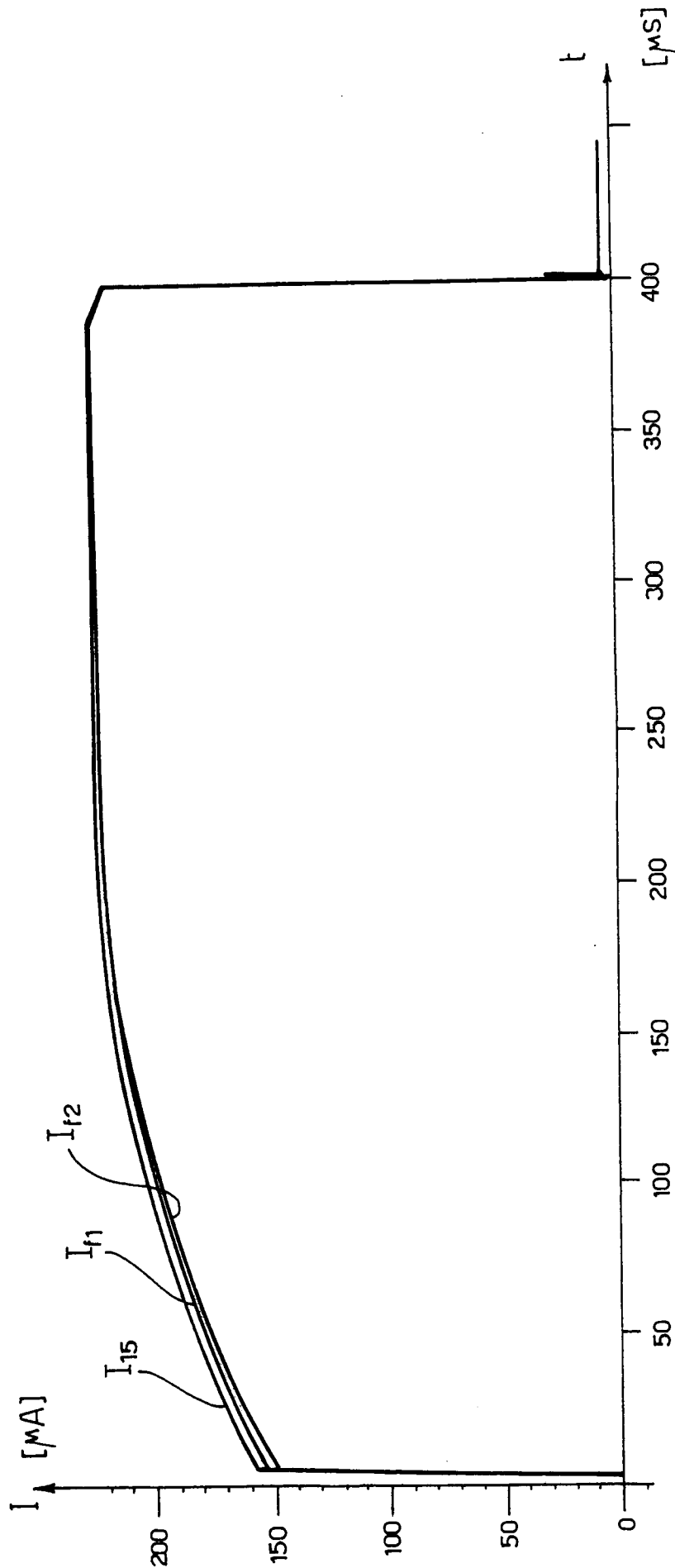


Fig.3