

[19]中华人民共和国国家知识产权局

[51]Int. Cl⁶

H01L 23/498

H01L 23/00 H01L 21/60

[12] 发明专利申请公开说明书

[21] 申请号 97180210.6

[43]公开日 1999 年 12 月 22 日

[11]公开号 CN 1239589A

[22]申请日 97.4.2 [21]申请号 97180210.6

[30]优先权

[32]96.12.2 [33]US[31]08/759,253

[86]国际申请 PCT/US97/05489 97.4.2

[87]国际公布 WO98/25303 英 98.6.11

[85]进入国家阶段日期 99.5.31

[71]申请人 美国 3M 公司

地址 美国明尼苏达州

[72]发明人 R·D·许勒尔

J·D·盖辛格

[74]专利代理机构 上海专利商标事务所

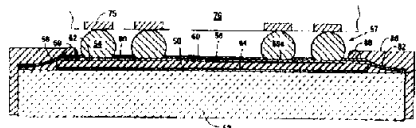
代理人 李 玲

权利要求书 4 页 说明书 14 页 附图页数 9 页

[54]发明名称 集成电路封装用的芯片级球形格栅阵列

[57]摘要

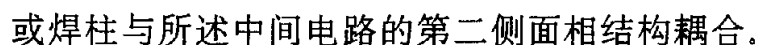
一种集成电路封装用的芯片级球形格栅阵列,具有设置在半导体模片(52)与基板(76)之间的非聚合物层(50)或支承结构。非聚合物支承结构的作用是通过降低热应力效应和/或通过降低或消除在集成电路封装中形成空隙而提高电路的可靠性。非聚合物支承结构可以是诸如铜箔的具有足够硬度以允许以条带形式处理芯片级封装的材料。



ISSN 1008-4274

权 利 要 求 书

1. 一种集成电路的封装，其特征在于它包括：
包括电子互连阵列的中间电路；
具有第一和第二侧面的至少一层非聚合物层，所述层的第一侧面与所述集成电路相结构耦合，所述层的第二侧面与所述中间电路相结构耦合。
2. 如权利要求 1 所述的封装，其特征在于：所述的集成电路具有多个电接触部位，所述的接触部位与所述中间电路的所述电互连相电气耦合。
3. 如权利要求 2 所述的封装，其特征在于：所述集成电路的所述电接触部位被引线焊接到所述中间电路的所述电互连上。
4. 如权利要求 2 所述的封装，其特征在于：所述集成电路的所述电接触部位被热压焊接到所述中间电路的所述电互连上。
5. 如权利要求 1 所述的封装，其特征在于：所述的非聚合物层是导电的，所述的非聚合物层被电耦合到所述集成电路上，形成供电或接地平面。
6. 如权利要求 1 所述的封装，其特征在于：所述的非聚合物层是模量大于约 1Mpsi 的非聚合物支承结构。
7. 如权利要求 1 所述的封装，其特征在于：所述的非聚合物层是由厚度约在 4 密耳至 10 密耳之间的金属箔组成的非聚合物支承结构。
8. 如权利要求 1 所述的封装，其特征在于：所述的非聚合物层是由铜箔组成的非聚合物支承结构。
9. 如权利要求 1 所述的封装，其特征在于进一步包括具有第一和第二侧的安装层，所述安装层的第一侧面与所述非聚合物层的第二侧面相结构耦合，所述安装层的第二侧面与所述中间电路相结构耦合。
10. 如权利要求 9 所述的封装，其特征在于：所述的安装层是厚度约在 1 密耳至 3 密耳之间的聚酰亚胺层，所述的非聚合物层是厚度约在 1 微米至 20 微米之间的铜层。
11. 如权利要求 1 所述的封装，其特征在于：所述的中间电路是柔性电路。
12. 如权利要求 1 所述的封装，其特征在于：所述的中间电路具有第一和第二侧面，所述中间电路的第一侧面与所述非聚合物层的第二侧面相结构耦合；和进一步包括多个与所述中间电路相电气耦合的焊球或焊柱；所述的多个焊球



13. 一种形成集成电路封装的方法, 其特征在于, 所述方法包括步骤:

提供一包括电学互连阵列的中间电路;

提供具有第一和第二侧面的至少一层非聚合物层；所述非聚合物层的第一侧面适合于与所述集成电路相结构耦合；和

将所述非聚合物层的第二侧面结构耦合到所述中间电路上。

14. 如权利要求 13 所述的方法, 其特征在于进一步包括将所述集成电路在结构上耦合到所述非聚合物层的所述第一侧面上的步骤。

15. 如权利要求 14 所述的方法, 其特征在于: 所述的集成电路具有多个电接触部位, 进一步包括将所述接触部位在电学上耦合到所述中间电路的所述电学互连上的步骤。

16. 如权利要求 14 所述的方法, 其特征在于: 把所述接触部位电学耦合到所述电学互连上的步骤包括把所述集成电路的所述接触部位引线焊接或者热压焊接到所述中间电路的所述电学互连上的步骤。

17. 如权利要求 14 所述的方法，其特征在于：所述的非聚合物层是导电的，进一步包括把所述非聚合物支承结构电耦合到所述集成电路上，形成供电和接地平面的步骤。

18. 如权利要求 13 所述的方法, 其特征在于: 所述的非聚合物层是模量大于约 1Mpsi 的非聚合物支承结构。

19. 如权利要求 13 所述的方法, 其特征在于: 所述的非聚合物层是非聚合物支承结构, 是厚度约在 4 密耳至 10 密耳之间的金属箔。

20. 如权利要求 13 所述的方法, 其特征在于: 所述的非聚合物层是包括铜箔的非聚合物支承结构。

21. 如权利要求 13 所述的方法, 其特征在于: 所述的非聚合物层是厚度约在 1 微米至 20 微米之间的铜层。

22. 如权利要求 13 所述的方法, 其特征在于: 所述的中间电路是柔性电路。

23. 如权利要求 13 所述的方法, 其特征在于: 所述的中间电路具有第一和第二侧面; 将所述中间电路结构耦合到所述非聚合物层的所述步骤包括把所述中间电路的第一侧面在结构上连接到所述非聚合物层的第二侧面的步骤; 和进一步包括将多个焊球或焊柱电耦合到所述中间电路的步骤; 所述的多个焊球或焊柱被结

构耦合到所述中间电路的所述第二侧面。

24. 一种电子封装，其特征在于它包括：

包括一层有图案的导电层和至少一层有图案的电介质层的柔性带；

具有第一和第二侧面的非聚合物支承结构，所述支承结构的第一侧面被结构耦合到所述柔性带的所述导电层的第二侧面上。

25. 如权利要求 24 所述的封装，其特征在于：所述导电层具有第一和第二侧面并印制图案以形成导电区域，所述电介质层具有第一和第二侧面并进行图案处理以形成穿过所述电介质层延伸的多个开孔，所述开孔中的每一个被配置为接收一个焊球，这里所述导电层的第一侧面被连接到所述电介质层的第二侧面，从而使所述电介质层中的所述多个开孔与所述导电层的至少部分所述导电区域相对准。

26. 如权利要求 25 所述的封装，其特征在于进一步包括其第一侧面被结构耦合到所述非聚合物支承结构的第二侧面的半导体器件，所述半导体器件包括多个电接触部位，所述的接触部位被电耦合到所述柔性带的所述导电层上。

27. 如权利要求 26 所述的封装，其特征在于进一步包括设置在所述柔性带的所述电介质层的第一侧面上的多个焊球或焊柱，所述焊球或焊柱中的每一个被定位在所述电介质层中所述多个开孔的一个开孔中并被电连接到所述柔性带的所述导电层的所述导电区上。

28. 如权利要求 27 所述的封装，其特征在于：所述的非聚合物支承结构的模量大于约 1Mpsi。

29. 如权利要求 27 所述的封装，其特征在于：所述的非聚合物支承结构是厚度约在 4 密耳至 10 密耳之间的铜箔。

30. 一种电子封装，其特征在于它包括：

具有第一和第二侧面和一个外侧边界的有图案导电层，对所述导电层进行图案化以形成环绕所述外侧边界的圆周设置周边导电特征的导电区域，作为半导体器件的电连接；

具有第一和第二侧面和圆周小于所述有图案导电层的所述圆周的外侧边界的有图案电介质层，对所述电介质层进行图案化以形成穿过所述电介质层延伸的多个开孔，所述开孔中的每一个开孔被设置为接收一个焊球，这里，所述导电层的第一侧面被连接到所述电介质层的第二侧面，以致于所述电介质层中的所述多



说明书

集成电路封装用的芯片级球形格栅阵列

5

发明背景

1. 技术领域

本发明总的涉及集成电路的封装，更具体地涉及球形格栅阵列。具体地，本发明涉及采用具有非聚合物支承结构的柔性带的芯片级球形格栅设计。

10

2. 背景技术描述

电子元件尺寸减小和复杂性增大的要求已经推动电子工业生产更小和更复杂的集成电路(IC)。这些相同的趋势已经迫使 IC 封装具有更小的复盖范围更多的引线数目和更好的电学和热性能。与此同时，还要求这些 IC 封装满足可以接受的可靠性标准。

15

随着器件尺寸的减小和电路复杂性的相应提高，要求集成电路封装具有更小的复盖范围更多的引线数目和更高的电学和热性能。

球形格栅阵列(BGA)封装是为满足具有更高引线数目和更小复盖范围的集成电路封装的需要而研制的。BGA 封装通常是正方形封装，其终端通常具有从封装的底部突起的焊接球形阵列的形式。这些终端被设计为安装到位于印刷电路板(PCB)或其它合适基板上的多个焊接垫片上。

20

最近，利用带自动焊接(TAB)工艺方法和通常由薄聚酰亚胺基板上的铜轨迹组成的柔性电路(有时称为 TAB 带)已经制备出 BGA 封装。可以将导电引线叠合在 TAB 带的一侧和两侧。这种 BGA 设计常常称为带 BGA(TBGA)。在 TBGA 设计中，带上的电路具有通过诸如引线焊接和热压焊接或倒装芯片的任何传统方法连接到半导体模片(die)上的引线。如果在带的两侧都存在这一电路，那么，导电通孔可以通过该带从一层电路延伸到另一层。

25

对于诸如便携电子元件(蜂窝式电话、磁盘驱动器、寻呼机等)的有些应用，即使 BGA 有时也太大。因此，有时将焊柱直接淀积在 IC 自身的表面上，用于附着到 PCB 上(通常称为倒装芯片的直接芯片连接)。然而，这种方法存在许多问题。首先，焊球的淀积需要许多成本高的工艺步骤。此外，通常必须在模片下方

30

淀积一层聚合物底层填料, 以使倒装芯片附着到 PCB 上的可靠性到达可以接受的程度。要求聚合物底层填料是为了降低由于模片的热膨胀较低而 PCB 的膨胀通常相对很高而引起的热应力(“热失配应力”)。淀积底层填料聚合物是一个代价高的工艺过程, 它会消除使元件重新工作的能力。因此, 如果发现任何缺陷, 有

5 价值的 PCB 就必须被抛弃。

为了解决与倒装小片工艺有关的问题, 于是研制出另一类 BGA 封装。可以将这类 BGA 封装称为芯片级球形格栅阵列或者芯片级封装(CSP)。之所以称为芯片级封装是因为整个封装尺寸与 IC 自身尺寸相当或者大不了多少。在芯片级封装中, 焊球终端通常淀积在半导体模片的下方, 以减小封装尺寸。CSP 的一个例

10 子是由 TESSERA 研制的所谓“MICRO BGA”的产品。这一产品由在模片与电路之间有一层软的适应弹性体层(或者弹性体衬垫)的柔性电路组成。这个弹性元件由诸如硅酮的聚合物材料构成, 厚度通常约为 5-7 密耳。弹性体的一个用途是通过使模片与 PCB 之间的热失配应力减至最小而获得合适的可靠性, 不需要昂贵的底层填料的材料。

15 尽管当前的芯片级封装设计改善了电路板的空间利用和易于表面安装组件, 但是, 这些产品也存在许多缺点。首先, 通常难以找到满足低吸湿、低排气和能够承受工业中常用的清洗溶剂等工业要求的合适的弹性体材料。例如, 已知硅酮被一些常用的清洗溶剂断损, 聚合物材料总是会吸湿和放潮气。如果吸湿太高, 那么, 在回流温度下这一湿气的快速排放将会引起在元件界面上形成空隙,

20 甚至使封装破裂。例如, 湿气可以从带中的聚合物材料中释放出来并陷入到模片附着粘合剂中。当这一陷入的湿气在电路板组件加热操作期间膨胀时则会形成空隙, 通常会引起裂纹和封装失败。形成的这种空隙在 PCB 的回流固定期间可能会特别剧烈。

芯片级封装设计的另一个重要挑战是把弹性体固定到柔性带上的工艺方

25 法。常用的一种方法是检取弹性体衬垫和将其放置在各个位置上, 而另一种方法是丝网印刷流体聚合物, 接着进行固化。在这两种情况中, 都难以满足 CSP 应用所需的苛刻容限要求。再一种问题是封装的平整度。在典型的 CSP 设计中, 封装平整度(共面性)应小于约 1 密耳, 以保证在回流时所有的焊球与 PCB 接触, 这是很关键的。平整度或共面性的这一水平用常用的软聚合物和弹性体材料是难以

30 实现的。最后, 如果模片未与封装的其它部件适当隔离, 那么, 由于被组装的模

片与诸如电路板的基板之间产生的热应力可能会导致焊球接点的过早失效。

5 由于目前出现了大量的处理这种结构的设备，通常需要处理条带形式的 IC 封装。例如，方形平面包装的引线框通常已经在四至八个单元的条带中处理。塑料 BGA 封装和某些 TBGA 封装也已做成条形以便于在组装中处理。这种条带被
10 装入料箱中，料箱用于为模片附着、引线焊接、过塑模/密封、焊球附着和其它处理步骤馈送组装设备。尽管有些组装器可能需要以一卷卷形式进行这些处理，但是，多数可能还是以传统的条带形式。然而，采用弹性衬垫的传统 CSP 设计对于不用一些附加的刚性源的传统条带形式处理缺乏足够的硬度。例如， TESSERA “ MICRO BGA ” 设计采用金属框粘合到部件的条带的外缘上，以允许条带形式
15 处理。采用这种框是不方便的，并增加产品的最终成本，因为它会增加带处理设计中元件的复杂性和数目以及需要增加步骤，在处理期间附着和去除框。因此，尽管条带形式处理一直被集成电路封装所采用，但是，目前条带形式的芯片级封装设计却并不存在。

15 在其它 CSP 设计中，弹性体衬垫被直接叠合到电路和半导体模片上，没有采用粘合剂层，因此消除了粘合剂层中形成空隙。然而，这种设计仍然存在热应力的问题和对于条带形成的处理不具有足够高的坚固性。

20 在另一些 CSP 设计中，如 TEXAS INSTRUMENTS 公司的 “ MICRO STAR BGA ”， IC 直接粘合到柔性电路的表面上，不用聚合物或者弹性体衬垫。这种结构不能解除模片与 PCB 的耦合，因此，需要采用昂贵的底层填料材料使焊接点达到所需的可靠性。此外，已经发现，来自这种设计所采用的聚合物材料的湿气在对模片附着粘合剂固化期间会排出，导致粘合剂的空隙。

因此，需要一种低成本和抗溶剂的芯片级封装，它具有足够高的共面性和不存在与湿气和热应力有关的问题。还需要一种易于以条带形式生产的芯片级封装。

25

发明概要

本发明所揭示的方法和装置涉及集成电路封装的芯片级球形格栅阵列。这些产品可以用于提供低成本的芯片级封装，它们具有高的可靠性和能够简化工艺。

30 在所公开的实施例中，在半导体模片及其附属电路之间使用一种非聚合物层或支承结构。当用作支承结构时，非聚合物层可以用于提供基本坚固和平面的表

面，以及使模片与诸如印刷电路板(PCB)的基板相分开或去耦合。在典型的实施例中，在芯片级封装组件的非聚合物支承结构与相邻元件之间还可以使用粘合剂材料，以使模片与基板附着在一起，并进一步解除耦合。通过解除模片与基板的耦合，非聚合物支承结构可降低热应力。由于支承结构是非聚合物材料，基本上消除了支承结构与模片之间空隙的形成。非聚合物支承结构还具有足够的硬度，允许以条形形式进行集成电路处理。当被用作厚度比支承结构层更薄和硬度比支承结构层更小的层时，除了其它事情之外，非聚合物材料的作用是基本上消除空隙的形成。

在一个方面中，本发明是一种集成电路的封装，包括具有电学互连阵列的中间电路和具有第一和第二侧的至少一层非聚合物层。非聚合物层的第一侧与集成电路结构耦合，非聚合物层的第二侧与中间电路结构耦合。

在另一个方面中，本发明是一种形成集成电路封装的方法，包括步骤：提供一个包括电学互连阵列的中间电路、和提供至少一层非聚合物层，它具有适合于与集成电路结构耦合的第一侧。该方法还包括步骤：使非聚合物层的第二侧与中间电路结构耦合。

在另一个方面中，本发明是一种电子封装，包括具有一层图案化导电层和至少一层图案化介电的柔性带。该封装还包括至少一个具有第一和第二侧的非聚合物支承结构。支承结构的第一侧与柔性带的导电层的第二侧结构耦合。

在另一个方面中，本发明是一种电子封装，包括具有第一和第二侧面和一个外侧边界的有图案的导电层。对导电层进行图案化以形成环绕外侧边界的圆周而设置的周边导电特征的导电区域，作为半导体器件的电连接。该封装还包括具有第一和第二侧面和圆周小于有图案导电层的圆周的外侧边界的有图案介电层。对介电层进行图案化以形成穿过介电层延伸的多个开孔，开孔中的每一个开孔被设置为接收一个焊球。导电层的第一侧面被连接到介电层的第二侧面，以致于使介电层中的多个开孔与导电层的至少部分导电区域对准，以及使导电层的周边导电特征延伸到介质构件的外侧边界以外。还提供一个具有第一和第二侧面的基本坚固的非聚合物支承结构，其弹性模量大于约 1Mpsi。支承结构的第一侧面被结构耦合到导电层的第二侧面上。半导体器件的第一侧面结构耦合到非聚合物支承结构的第二侧面上。半导体器件包括多个电接触部位，接触部位中至少有一个被电耦合到导电层的周边导电特征上。在介电层的第一侧面上设置多个焊球，每一个

焊球被定位在介电层中多个开孔的一个开孔中并被电连接到导电层的导电区上。

附图简述

5 图 1 是现有技术的一种传统芯片级封装设计的截面表示。

图 2 是现有技术的另一种传统芯片级封装设计的截面表示。

图 3 是根据所揭示方法和装置的一个实施例的芯片级封装设计的截面表示。

图 3A 是根据所揭示方法和装置的一个实施例的另一芯片级封装设计的截面表示。

10 图 3B 是根据所揭示方法和装置的一个实施例的另一芯片级封装设计的截面表示。

图 3C 是根据所揭示方法和装置的一个实施例的另一芯片级封装设计的截面表示。

15 图 3D 是根据所揭示方法和装置的一个实施例的另一芯片级封装设计的截面表示。

图 4 是说明根据所揭示方法和装置的一个实施例将粘合层叠合到薄的非聚合物材料上的截面表示。

图 5 是根据所揭示方法和装置的一个实施例的已经与粘合剂层叠和经过穿孔的非聚合物材料片的俯视图。

20 图 6 是根据所揭示方法和装置的一个实施例的图 5 所示非聚合物材料片与柔性电路叠合的俯视图。

图 6A 是根据所揭示方法和装置的一个实施例的图 5 所示非聚合物材料片具有附着引线焊接模片的俯视图。

25 图 7 是根据所揭示方法和装置的一个实施例的定位在焊接用的定位器中的芯片级封装条带的截面表示。

图 8 是根据所揭示方法和装置的一个实施例的在过塑模期间定位于定位器中的芯片级封装条带带的截面表示。

图 9 是根据所揭示方法和装置的一个实施例的模片在密封用定位器之上的芯片级封装条带的截面表示。

30 图 10 是根据所揭示方法和装置的一个实施例的已完成的芯片级封装的截面

表示。

具体实施例的描述

图 1 示出在半导体模片 12 与双层柔性电路带 18 之间放置一弹性体衬垫 10 的传统芯片级封装的集成电路封装设计。弹性体衬垫 10 通常用作带的一部分，在每一侧上设置有粘合层 16 和粘合层 24。通常采用双层电路带，当然，也可以使用三层或多层的电路带。在一种方法中，用粘合层 16 将双层柔性电路带 18 附着到弹性体衬垫 10 上，包括有图案的介质(通常为聚酰亚胺)层 20 和有图案的导电层 21。另一方法，粘合层 16 和/或 24 可以没有，例如通过丝网印刷将弹性衬垫施加到带 18 上。双层柔性带 18 可以例如通过将导电金属层 21 直接蒸镀或溅射在电介质层 20 上而形成。导电层 21 可以用选择性蒸镀和刻蚀法形成图案。例如通过将导电金属直接溅射在电介质层 20 上形成导电层 21。电介质层 20 形成有接受焊球(或焊柱)14 的开孔(或通孔)22 的图案，从而使焊球 14 与有图案导电层 21 实现电接触。

如图 1 所示，粘合层 16 可以在层 21 的有图案导电材料与弹性体衬垫 10 之间变形(或被压缩)，与此同时，在形成导电材料图案的区域中，弹性体衬垫 10 与电介质层 20 之间的充填空间不存在。例如，粘合层 16 的厚度在变形前约为 2 密耳，有图案的导电层 21 与弹性体衬垫 10 之间的厚度被压缩到约 0.5 密耳与 1.5 密耳之间。用粘合层 24 将半导体模片 12 附着到弹性体衬垫 10 上。在图 1 所示的芯片级封装设计中，在电路引线 42 与模片衬垫 44 之间提供内引线焊接。用存放在密封剂封壳 48 内的密封剂 46 将半导体模片 12 的边缘，包括内引线焊接区在内密封起来。

在图 1 所示的传统芯片级封装设计中，弹性体衬垫 10 通常是弹性模量相对较低的弹性体，用于使集成电路与做在 PCB 或其它基板上的焊接点相隔离或“去耦合”，以降低焊接点上的应力和增大在热循环周期中电路的可靠性。然而，在诸如图 1 所示的传统芯片级封装设计中，合适弹性体的选择常常是困难的。这是因为难以找到满足集成电路封装苛刻要求的弹性体材料。此外，将弹性体衬垫附着到其它电路元件上的过程通常充满挑战，例如要实现准确定位或涉及丝网印刷或固化常有的麻烦。采用的典型弹性体材料包括基于硅酮的材料和低模量的环氧树脂。

仍参考图 2，在模片附着粘合剂 224 固化时(通常在约 150 °C 温度下进行)，由于从聚合物，如电介质层 220(通常为聚酰亚胺)和覆盖层 211 中释放的湿气，在粘合层 224 中会形成空隙。在将焊球 214 回流固定到诸如 PCB 板 236 的基板上期间通常会进一步产生空隙。此外，在焊球 215 中可能形成热裂纹。热裂纹通常是由模片 212 与附着基板 236 之间产生的热应力引起的。这种热裂纹可能是焊球接点 238 过早失效的起因。

没有非聚合物支承结构的芯片级封装组件

在所揭示方法和装置的实施例中，在半导体器件或集成电路(例如半导体模片)与附属电路之间采用一种非聚合物支承结构(或衬垫)提供基本坚固和平面的表面，和使模片与诸如 PCB 的基板隔离或去耦合。在典型的实施例中，为了提供模片与基板的附着和进一步解除耦合，在芯片级封装组件的非聚合物支承结构与相邻元件之间还采用粘合剂材料。通常，采用热膨胀系数(CTE)接近于基板热膨胀系数的非聚合物支承结构，使焊接点上的热应力效应减至最小。

图 3 示出根据所揭示方法和装置的一个实施例的芯片级封装设计的截面图，在半导体模片 52 与包括两层柔性电路带(或柔性电路或 TAB 带)58 的中间电路之间设置一非聚合物支承结构 50。在本实施例中，非聚合物支承结构 50 通过粘合层 64 与模片 52 实现结构耦合。正如这里所采用的，“结构耦合”意指利用任何合适的方式(如通过淀积、采用粘合剂或其它焊接形式)使两个元件直接耦合或者间接耦合(例如，用位于二者之间的插入层或其它元件)。正如图 3 所示，半导体模片 52 通常有模片焊接片或触点 84。第二粘合层 56 将非聚合物衬垫 50 附着到柔性带 58 上。尽管图 3 示出采用两层柔性电路带的芯片级封装设计的一个实施

例，但是，应当明白，本公开内容的好处在于，采用其它类型的中间电路，例如具有三层或多层的非柔性电路条带或柔性电路带也是可以的。例如，图 3C 示出采用三层带 19 和引线焊接的一个实施例。在这一实施例中，三层带 19 包括电介质层 60、导电层 59 和第二电介质层(通常为聚酰亚胺)60a。在层 59 与 60a 之间采用粘合层 60b。

中间电路通常包括与诸如 PCB 的基板的电学连接的互连阵列。在图 3 所示的实施例中，两层柔性电路带 58 通常包括有图案的电介质层 60 和具有各个导电焊接垫片 59a 的有图案平面导电层 59。焊球导电焊接垫片 59a 通常直径约在 200 微米至 600 微米之间，二者之间的间距约在 300 微米至 1250 微米之间。有图案导电层 59 可以由适合于形成基本平面的电路的任何可形成图案的导电材料组成，包括诸如硅和多晶硅、钨、钛、铝、基于铝的金属(如铝合金)、铜及其合金和组合等的金属或导体，但不限于此。(对于本公开内容，术语“金属”限定为包括金属、耐熔金属、金属互化物等及其组合)。最典型的有图案导电层 59 是铜。有图案的电介质层 60 可以是由适合于使导电层 59 绝缘的任何可形成图案的介质材料组成，包括聚酰亚胺或聚酯，但不限于此。最典型的电介质层 60 是聚酰亚胺，如“DUPONT KAPTON”或“UBE UPILEX”。有图案的导电层 59 的厚度通常约在 0.5 密耳至 1.5 密耳之间。有图案的电介质层 60 的厚度通常约在 1 密耳至 3 密耳之间。

为了形成球形格栅阵列 57，导电焊球(或焊柱)54 被附着到柔性带 58 上并通过在电介质层 60 中图案形成的开孔(或通孔)62 与各个焊接垫片 59a 电学接触。以与各个导电焊接垫片 59a 互补的方式形成开孔 62 图案，使得每个开孔覆盖各个导电焊接垫片 59a。焊球 54 可以是适合于通过开孔 62 与焊接垫片 59a 连接的任何形状和尺寸。通常，焊球 54 基本是球形的，直径约在 250 微米至 750 微米之间，最常用的约在 300 微米至 600 微米之间。焊球通常是利用诸如红外、对流或汽相的传统炉回流固定的。以这样的方式使开孔 62 的形状和尺寸适合于接受焊球 54，即可以与焊接垫片 59a 相电学接触。通常，开孔 62 是圆形的，直径约在 250 微米至 600 微米之间，最常用的约在 300 微米至 500 微米之间。导电焊球可以由任何合适的导电材料构成，包括金、焊剂或铜，但不限于此。

在图 3 所示的实施例中，有图案的导电层 59 通常具有多个焊接引线 82、每个焊接引线与导电焊接垫片 59a 电耦合。通常，焊接引线 82 的宽度约在 25 微米

至 100 微米之间。引线 82 是通过例如内引线焊接在模片衬垫 84 上实现与半导体模片 52 的电连接，因此配置与模片衬垫 84 相似的间距，长度足以允许引线 82 与衬垫 84 之间的配对。然而，也可以引线 82，利用图 3A 中所示的引线焊接 82a 使衬垫 83 引线焊接到半导体模片 52 上。在两种情况中，当每个焊接引线 82 被电学连接到各个模片 84 上时，在每个焊球 54 与相应模片衬垫 84 之间实现一个电路。当为形成球形格栅阵列而如此构成时，设计的每个焊球 54 被用作使基板 76 上各个模片衬垫 84 与相应焊接垫片 75 电学连接的各个“管脚”。球形格栅阵列的间距如图 6 所示，具有相应的基板焊接模片衬垫 75，通常约在 300 微米至 1250 微米之间。通常，基板是印刷电路板(“PCB”)，但是也可以是任何其它电路，包括柔性电路、硅、基片等，但不限于此。

正如图 3 所示，模片 52 和内引线连接区通常被密封剂 86 所密封，密封剂 86 放在密封封壳 88 内。密封剂 86 可以是本领域技术人员所熟知的任何合适的密封剂，包括环氧树脂和硅酮，但不限于此。密封剂封壳 88 可以是任何合适的密封剂存放结构，包括例如环氧树脂、粘合剂带等。尽管图 3 所示的实施例示出采用单层有图案的导电层 59 的芯片级封装设计，但是，应当明白，本发明的好处在于，实施例也可以采用两层或多层有图案(或没有图案)的导电层。

在图 3 的实施例中，非聚合物衬垫 50 可以是适当坚固以便于处理和/或热膨胀系数接近于基板热膨胀系数以使焊接点上的应力减至最小的任何材料。利用这样的非聚合物衬垫结构，可以减少或基本消除在模片附着粘合剂 64 中形成空隙。这是因为用粘合剂 64 直接将模片 52 焊接到非聚合物衬垫 60 上，因此，不存在来自聚合物材料的湿气，和不能进入这两个元件之间的接口处。

除了减小热应力和空隙形成外，所揭示的方法和装置的非聚合物衬垫结构还提供其它的重要优点。例如，包括非聚合物支承结构 10 的芯片级封装条带提供的表面，其平整度和表面均匀性比传统弹性体衬垫有所提高。格栅阵列支承结构表面的平整度是保证所有焊球 54 与基板 76 上衬垫 75 接触的一个重要因素。比较理想地，芯片级封装支承结构的共面性约为 2 密耳或更低，更理想地，约为 1 密耳或更低。这种共面性是采用传统软弹性体衬垫难以实现的。非聚合物支承结构为焊球附着提供了更平的表面，因此允许半导体模片与基板之间的连接更可靠。

除了上述的好处外，可以采用热导电非聚合物(如金属片即金属箔)作为非聚

合物支承结构 50，为从图 3 中半导体模片 52 的正面(或图 3A 中半导体模片 52 的背面)的热耗散提供良好的热通路。这种热导电非聚合物支承结构 50 还可以有效地把热传导到焊球 54 上。

通常采用的一种类型的热导电非聚合物是金属片即金属箔，铜是特别适合于此的金属。除了热导以外，金属片还可以改善导电层 59 的电屏蔽和有助于使交扰减至最小。此外，金属片提供适合于用作接地平面的表面。因此，金属片还可以用于提供一种方便的接地平面(如果需要的话，或者是供电平面)，例如通过使焊球 54a 与金属片 53 直接电连接，如图 3B 所示。这可以例如通过导电衬垫 59b 中的通孔 55 和下方的粘合剂层 56 进行，使得所选接地连接焊球 54a 可以与金属片 53 相电连接。然后，通过内引线或者通过引线焊接 82b 使模片中的接地衬垫与接地焊球 54a 连接，如图 3B 所示。有利地，当采用诸如铜箔的金属片时，可以用相对较低的成本获得这些优点。合适的金属片包括提供足够硬度和/或热膨胀质量的任何有图案的金属箔，包括由铜、不锈钢、合金 42、钨、钛、铝、基于铝的金属(如铝合金)、和合金及其组合等制成的金属箔，但不限于此。也可以给铜箔涂覆薄的焊接镀层，提供良好的焊接能力、低的成本和/或降低氧化。合适的镀层的例子包括电镀镍、镍/硼、黑铜氧化物、锡/铅(如高于 37 % 铅的高铅含量的锡/铅合金)、或贵金属，如银或金的表面镀层，但是不限于此。最通常地，非聚合物支持结构是厚度约在 4 密耳至 10 密耳之间的有图案的铜箔，较通常地，厚度约在 5 密耳至 7 密耳之间。铜合金通常用作引线框，如 194，最适合于本应用。

当采用合适硬度的非聚合物衬垫时，用引线框常用的典型箱盒馈送设备处理芯片级封装条带可能是有利的。“合适的硬度”，这是指模量大于 1Mpsi(1×10^6 每平方英寸磅)。具有合适硬度的非聚合物材料的例子包括陶瓷、和诸如上述这些的金属箔。然而，应当明白，利用模量小于约 1Mpsi 的非聚合物也可以实现所揭示方法和装置的好处。这些好处包括文中别处所述的这些的好处。

参考图 3，粘合剂层 56 和 64 可以是适合将非聚合物衬垫 50 固定到柔性带 58 和半导体模片 52 上的任何粘合剂。通常，粘合剂层 56 和 64 选自介质材料，介质材料与非聚合物衬垫 50 一起的作用是使模片 52 与基板(或 PCB)76 相隔离或“去耦合”，因此进一步缓解焊接点上的应力和改善可靠性。这种粘合剂的作用还有为插入插座提供少量的 Z 轴柔量。合适的粘合剂的例子包括丙烯酸 PSA、热塑性聚酰亚胺(如 DuPont 的“KJ”材料)、聚烯烃、DuPont 公司的

“PYRALUX”、环氧树脂及其混合物，但不限于此。通常采用热塑性聚酰亚胺作为粘合剂层 56 和 64。

可以用适合于在弹性体衬垫与相邻表面，如模片或电路踪迹之间形成焊接的任何厚度将粘合剂施加于非聚合物衬垫上。通常，粘合剂层 56 和 64 的厚度约在 1 密耳至 3 密耳之间，更常用的厚度约在 1 密耳至 2 密耳之间。

尽管示出的实施例采用单个非聚合物支承结构，但是，应当理解，本发明的好处在于，在层叠的芯片级封装带组件中可以采用一个以上的非聚合物支承结构。例如，可以采用两个或多个电学隔离的金属支承结构，将其用于形成分别的电路通路(如接地平面和供电平面二者)，或者金属与非金属非聚合物支承结构的组合也是可以是，如环氧树脂印刷电路板材料。

在图 3D 所示的另一实施例中，安装层 351 可以仿造淀积非聚合物材料 350 的层并用在半导体模片 352 与附属电路之间。例如，安装层 351 可以用粘合剂层 356 粘合到两层柔性电路带 318 或者其它中间电路上，和用粘合剂层 364 粘合到半导体电路芯片 352 上。当不是采用以上所述的非聚合物支承结构实施例时，非聚合物层 350 的作用是通过基本阻止湿气逃逸到模片附着粘合剂 364 中而降低或基本消除空隙的形成。用许多方法可以有利地制造出仿造非聚合物材料图案的安装层，包括作为单独带元件或者附着到 TAB 带上，但不限于此。在有些情况下，利用仿造非聚合物材料图案的安装层可能比前面所述的非聚合物支承结构的实施例更低廉。

仍参考图 3D，非聚合物层 350 可以由适合于阻止湿气迁移到粘合剂层 364 中的任何非聚合物材料组成，包括为用作非聚合物支承结构而列出的这些材料。安装层 351 可以是适合于形成非聚合物层 350 图案或淀积的任何材料，包括为用作可形成图案的介电材料而列出的这些介质材料。同样，粘合剂层 356 和 364 可以是任何合适的粘合剂或附着手段，包括为供非聚合物支承结构使用而列出的这些。通常的非聚合物层 350 是厚度约在 1 微米至 2 微米之间的铜层，安装层 351 是厚度约在 1 密耳至 3 密耳之间的聚酰亚胺层。更一般地，非聚合物层 350 是厚度约在 5 微米至 10 微米之间的铜层，安装层 351 是厚度约为 2 密耳的聚酰亚胺层。

图 3D 示出在类似于图 3A 所示的应用中使用了仿造非聚合物层 350 的安装层 351。与非聚合物支承结构的实施例一样，对于图 3D 所示的构造可以作出许

多变化。例如，导电非聚合物层 350 可以用作接地平面、供电平面或者完成其它类型的电路通路，如以类似于图 3B 为非聚合物支承结构所示出的方式。安装层 351 和非聚合物层 351 也可以与具有三层或更多层的中间电路一起使用，如与图 3C 为非聚合物支承结构所示出的实施例相似。此外，可以采用一个以上的非聚合物层 350。

芯片级封装元件的制造和组装

用许多方法可以形成具有非聚合物支承结构(或“衬垫”)的本发明所揭示方法和装置的芯片级封装器件，并将其用于许多不同应用中。例如，构造具有非聚合物衬垫的芯片级封装带的一种方法包括步骤：将粘合剂叠合到非聚合物材料(如金属箔)的滚筒上，以所需形状冲压或模压非聚合物材料，使弯曲电路(或电路踪迹)与非聚合物对准和粘合，形成芯片级封装带(例如以条带的形式)。在另一不同的方法中，通过将非聚合物材料(图金属箔)冲压成所需形状，将粘合剂薄膜冲压成相同的形状，使薄膜和箔片二者与电路踪迹对准，以及使结构叠合起来，可以形成芯片级封装带。在这两种情况中，电路踪迹与非聚合物支承结构的对准是准确的，也是比较低廉的。可以进行多种不同的步骤，利用刚才所述的芯片级封装条带或带形成芯片级封装器件。这些步骤包括：模片附着、引线 and/或内引线焊接、过塑模和/或焊球附着步骤。有利地，根据这些过程的芯片级封装器件的组装是比较有效、直接和经济有效的。

图 4 示出粘合剂层 56 和 64 叠合到铜片(或箔) 50 的薄卷筒的两侧。通常，采用具有覆盖层(或防粘衬里)的粘合剂叠层，防粘衬里被留在粘合剂层 56 和 64 背离铜箔 50 的这一侧上。加入防粘衬里的粘合剂叠层包括丙烯酸 PSA 型粘合剂。如图 4 所示，用于形成粘合剂层 56 和 64 的叠合粘合剂通常是利用滚筒叠层 100 施加的。然而，应当明白，本发明的好处在于，可以利用任何的合适的方法，包括(但不限于)丝网印刷和喷洒淀积法，施加诸如前面所述的这些粘合剂。

图 5 示出已经与粘合剂层 56 和 64 叠合在一起的非聚合物片 50 的俯视图。在图 5 中，已经将非聚合物片 50 冲压或模压形成具有被连接槽区域 110 环绕的模片方块 51 的图案。模片方块 51 构造成具有与半导体模片 52 相互补的形状和更小的面积，给引线 82(或者引线焊接)连接到连接槽区域 110 中的模片衬垫 84 留有间隙。连接槽 110 为利用内引线焊接、引线焊接或其它的合适连接方法连

接到模片衬垫 84 上提供空间。合起来，模片方块 51 和连接槽 110 的尺寸为半导体模片 52 提供各个平台。

应当理解，本发明的好处在于，在所揭示的方法中模压或冲压操作可以利用任何适合于集成电路封装的任何冲压或模压方法进行。通过化学刻蚀，利用钢尺模片或利用化学刻蚀模片也可以使非聚合物形成图案。在片 50 中也可以冲压工具孔 112，帮助电路的准确对准。

接着，如图 6 所示，利用工具孔 112 使具有接受焊球的通孔 62 的柔性带 58 对准并叠合到铜片 50 的一侧上。电路的叠合可以用许多方法进行，包括用滚筒-滚筒方法（如利用链齿孔的滚筒-滚筒方法）或者以压印方法。在本实施例中，通常在叠合前从粘合剂层 56 上撕去防粘衬里，利用对准用的工具孔，将电路的面板或条带叠合到片 50 上。然而，可以采用其它的粘合和叠合方法，如前面所述的方法。

此时，集成电路的附着和焊接可以不中断地继续，被附着的柔性带 58 可以送往别处，以供进一步组装。在后一种情况中，通常在输送前将非聚合物片 50 和附着的柔性带 58 切割成条带形式。用条带形式，单个芯片级封装条带通常具有若干个分别的模片方块 51。在这两种情况中，进一步的组装通常涉及从粘合剂层 64 上去除第二防粘衬里，为将模片安装到非聚合物片 50 上作准备。在条带形式工艺的情况中，将非聚合物片的条带和附着的电路装载到处理用的料箱中。然后将模片放置在非聚合物条带的粘性侧面（与有电路的侧面相对），如果需要的话使之固化。然而，应当明白，本发明的好处在于，模片也可以被捡起并放置在一卷非聚合物片上（与条带相对），半导体模片可以与其电路一起放置，与非聚合物片相邻或者相对。也可以使非聚合物条带的模片侧面留下裸露的粘合剂和模片附着粘合剂（通常为基于环氧树脂的材料），以供模片的附着使用。

接着，使条带（包括电路和一个或多个模片）倒装和放置到标准料箱中，将其装载到例如引线焊接机或者热压焊接机中。如图 7 所示，利用例如焊接工具 124 将来自带的每个引线 120 焊接到模片衬垫 122 上。利用固定器 126 支承柔性带（包括模片），从而使引线 120 在焊接过程期间在易碎部分（或刻痕）126 断裂。如图 8 所示，然后，通过用密封剂 132 填充槽 110 可以使条带过塑模。通常，密封剂被阻挡部件 130 所包容，利用合适的固化方法，如紫外或热方法进行固化。或者，如图 9 所示，可以将条带倒装在固定器表面 140 上，用密封剂 132 从条带的

模片一侧填充槽 110，无需密封剂阻挡部件。正如图 3A 和 3B 所示，模片 52 也可以利用引线焊接 82a 连接到电路轨迹层 59 上，例如，当半导体模片是“倒装片”时，使得电路层和半导体模片的模片衬垫取向为背离支承结构的方向。图 6A 示出这个实施例的俯视图。

5 如图 10 所示，接着可以将焊球（或焊柱）54 装在形成的开孔（或通孔）62，例如通过在聚酰亚胺层 60 中刻蚀的开孔中。利用适合于在球 54 与导电焊接衬垫 59a 之间形成牢固电学连接的任何方法，包括例如利用诸如红外、对流或汽相的任何传统手段进行加热和回流，可以使焊球 54 附着到条带上。尽管图中未示出，但是，通孔 62 也可以处理为电镀通孔(PTH)和/或在焊球附着前填充不同的导电填充剂材料。

此时，可以对条带或卷筒进行切割，形成单个或多个模片的芯片级封装（图 10 示出一个单个模片的封装 150）。这可以利用诸如冲压、切割或其它类似过程的任何合适的切除方法来完成。

应当明白，本发明的好处在于，利用这一方法，可以制备其它的芯片级封装的结构，包括具有一个以上半导体模片的封装。此外，利用所公开的方法和装置概念可以制造诸如传统 BGA 封装的非芯片级封装的结构。还应当明白，虽然刚才所描述和示出的方法是为了利用条带形成制造集成电路，但是，当被用于利用其它过程和形式制造集成电路，包括利用滚筒-滚筒（或者卷筒-卷筒）形式形成集成电路，但不限于此，也可以获得这些方法的好处。在这方面，以与现行工业基础结构相兼容的形式和使用当前所发展的更新的形式可以实现所揭示方法和装置的好处。还应当明白，上述的封装过程可以与仍在基片形式中的模片一起进行。例如，可以使非聚合物片对准和直接粘合到进行焊接的基片和芯片上。如前所述，然后用密封剂填充槽，附着焊球以及冲压或锯开各个封装件。

本发明可以适合于各种不同的改进和变化形式，这里，通过举例的方式已经示出并描述了具体的实施例。然而，应当明白，不希望本发明被限于所公开的具体形式。而是，本发明覆盖落在所附权利要求书中所限定的本发明的精神和范围内的所有的改进。等效和替代。

说明书附图

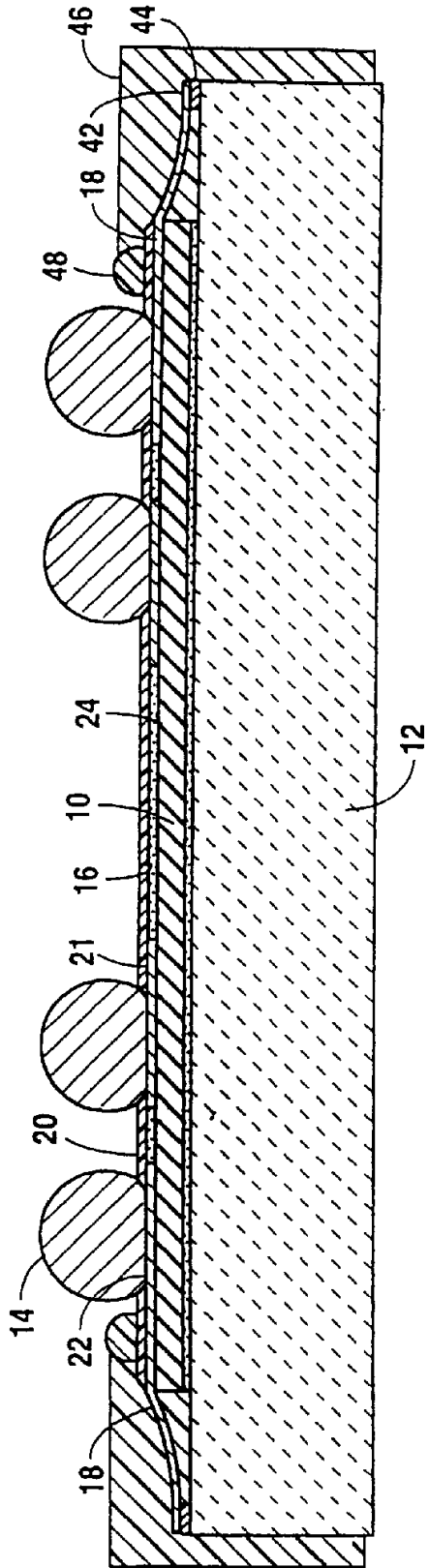


图 1

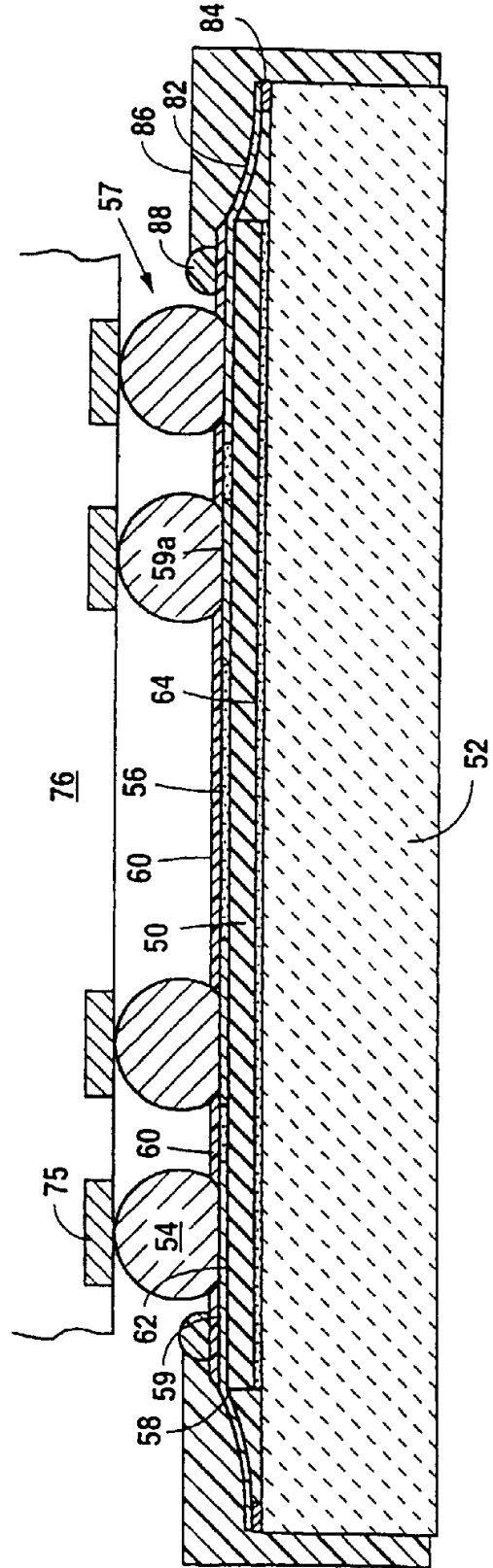


图 3

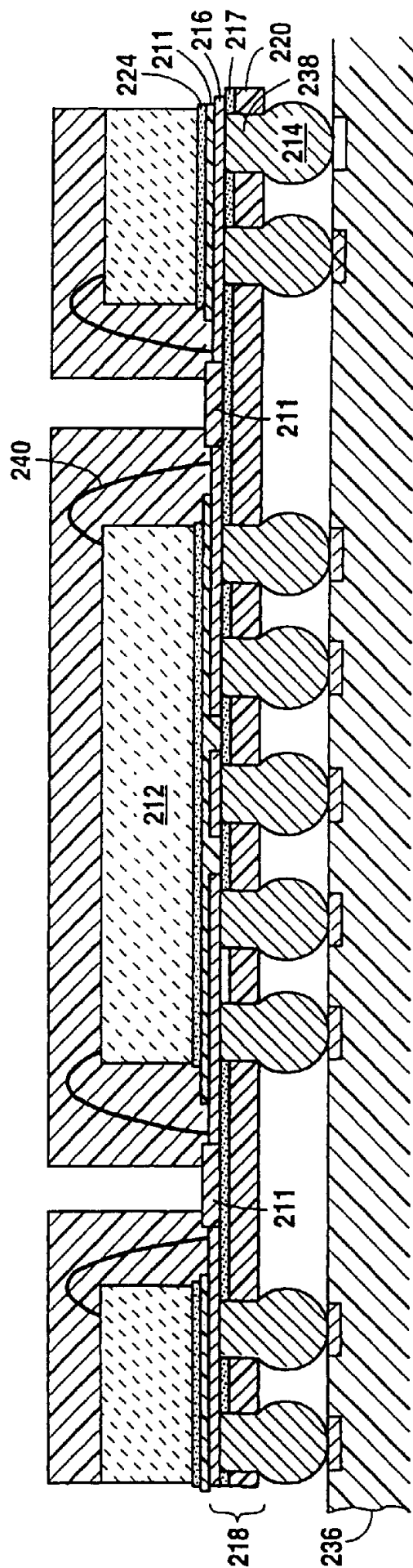


图 2

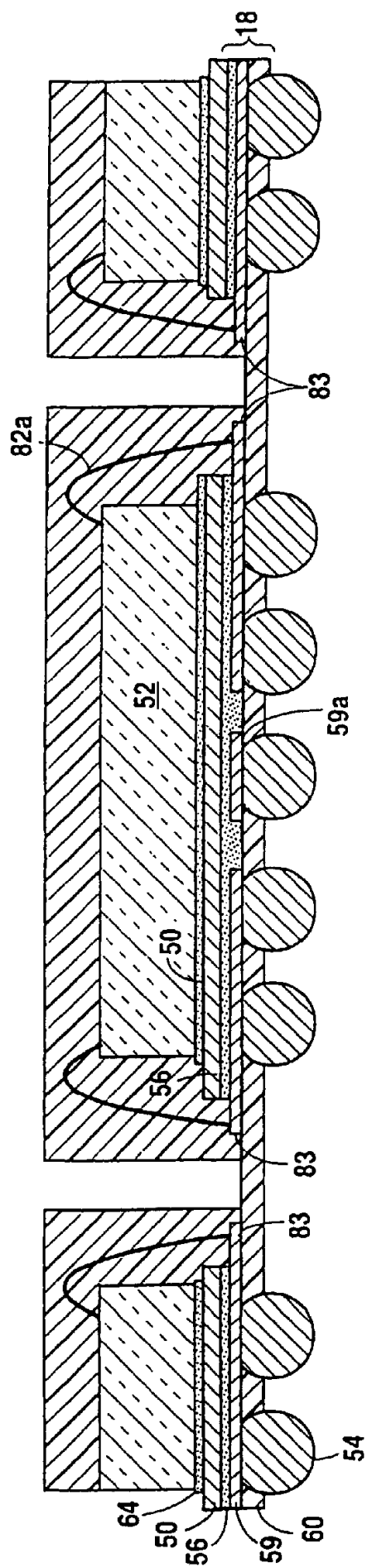


图 3A

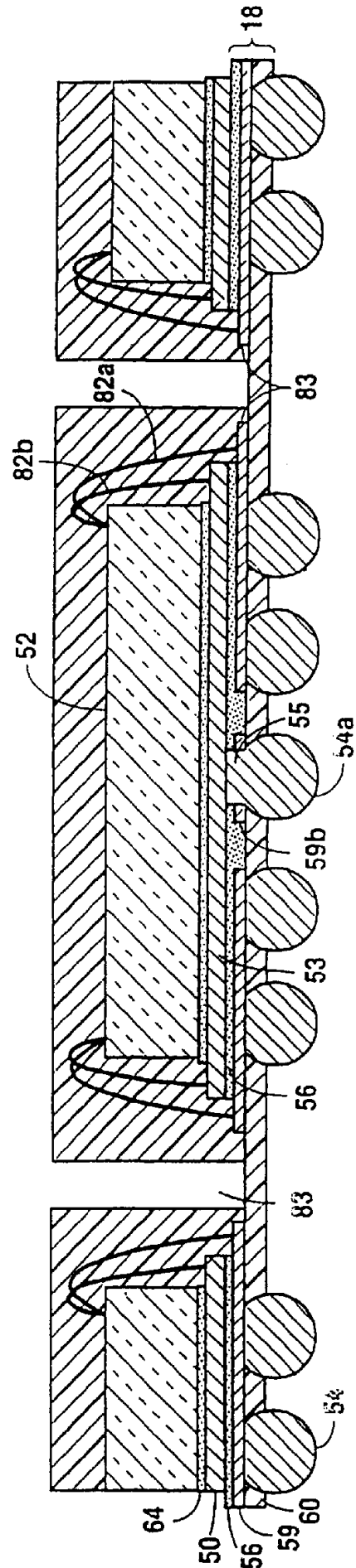


图 3B

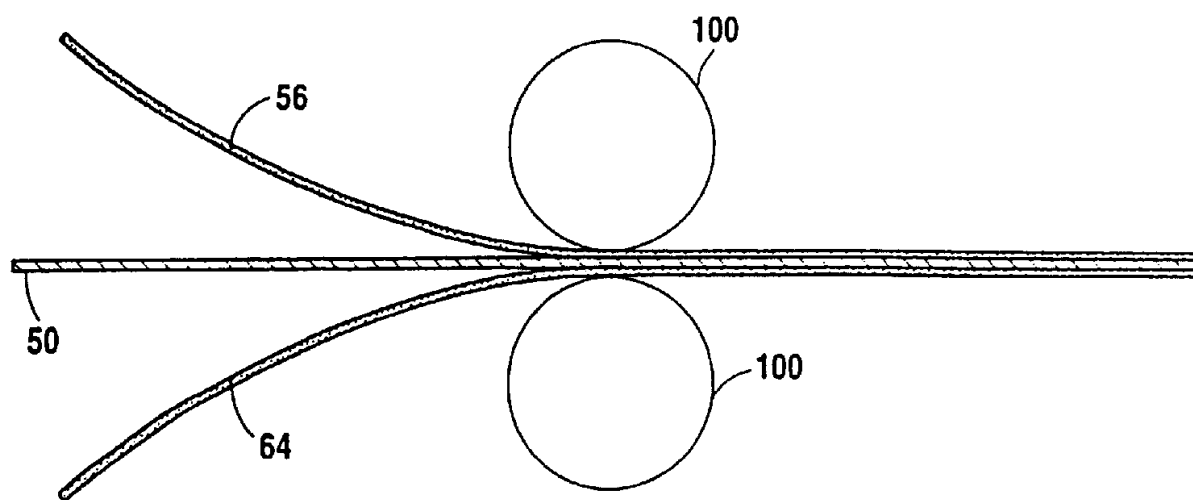


图 4

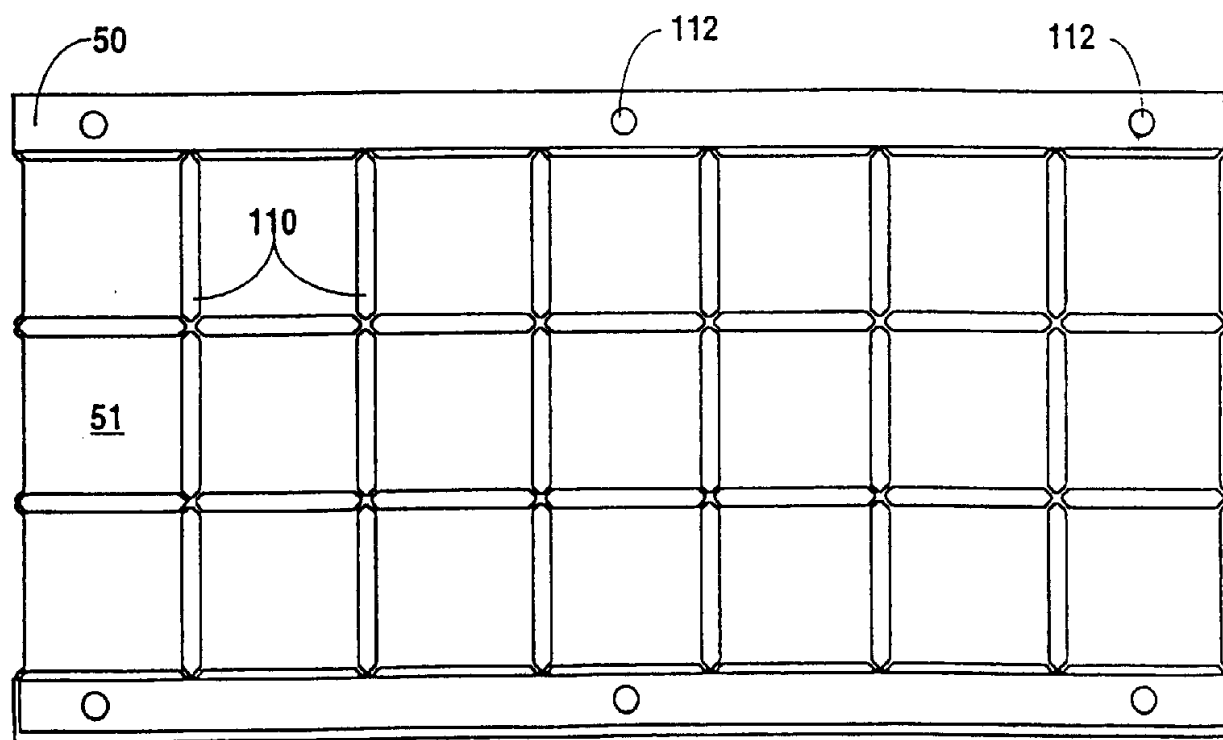
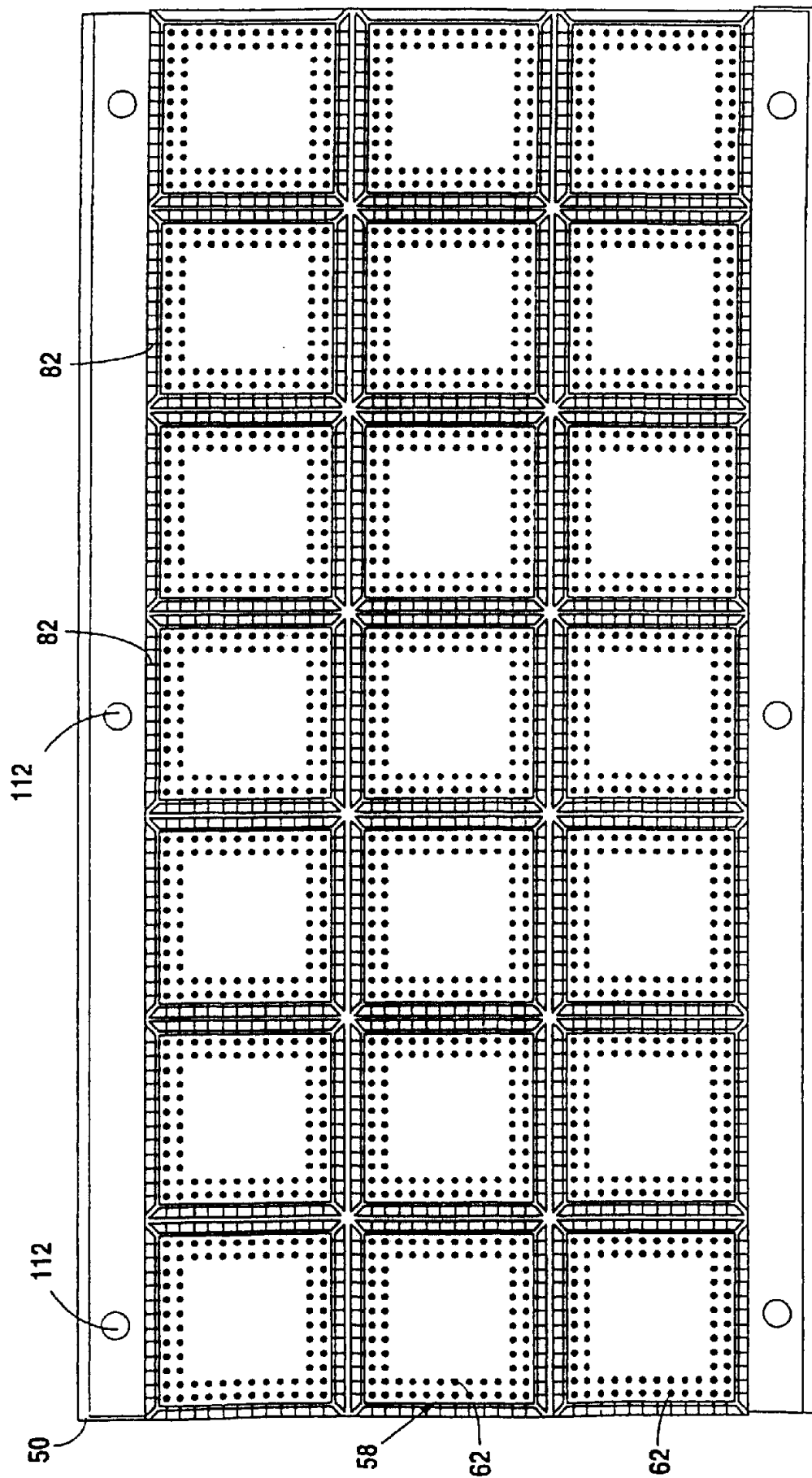


图 5



6

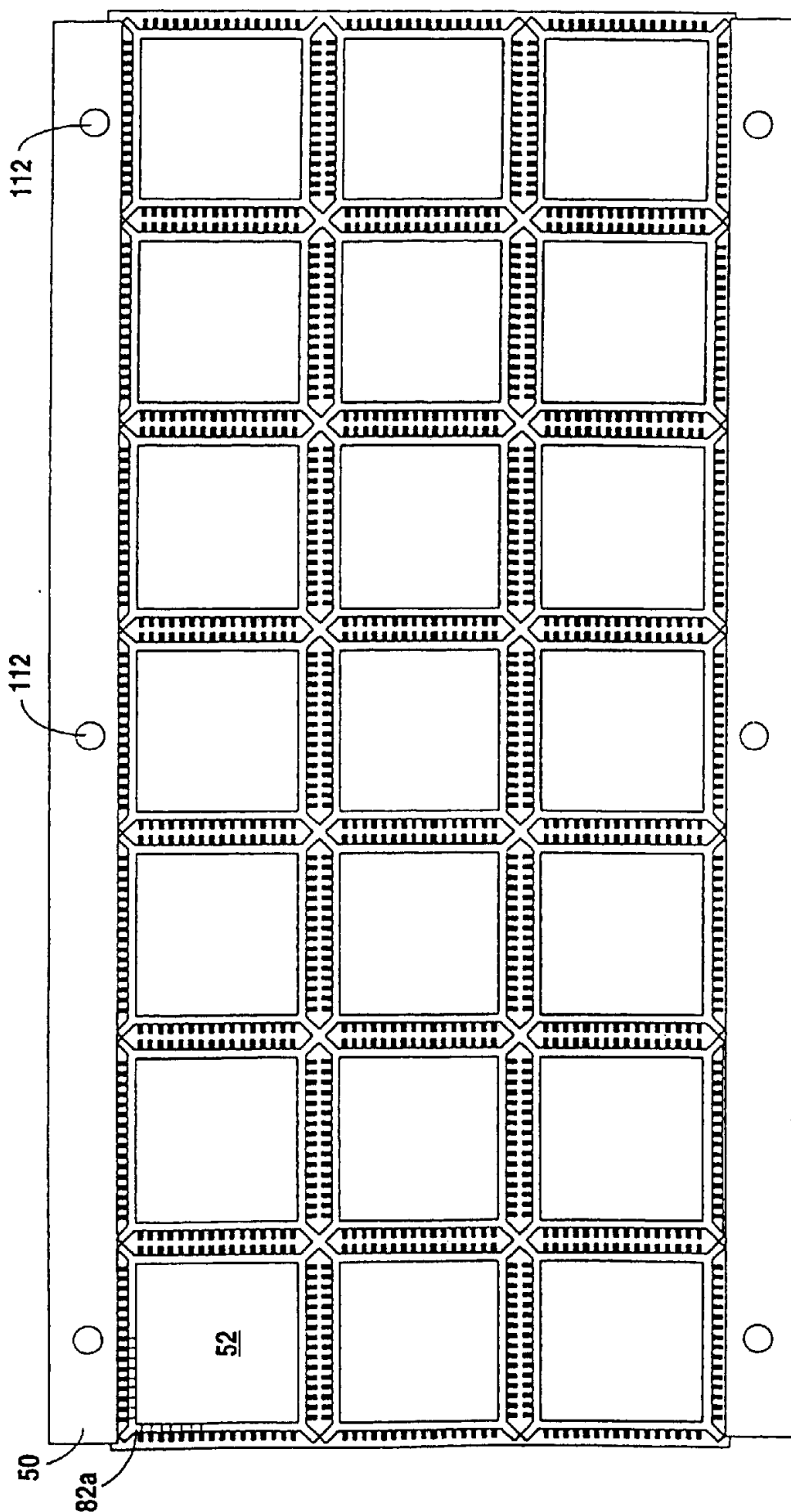



图 6A

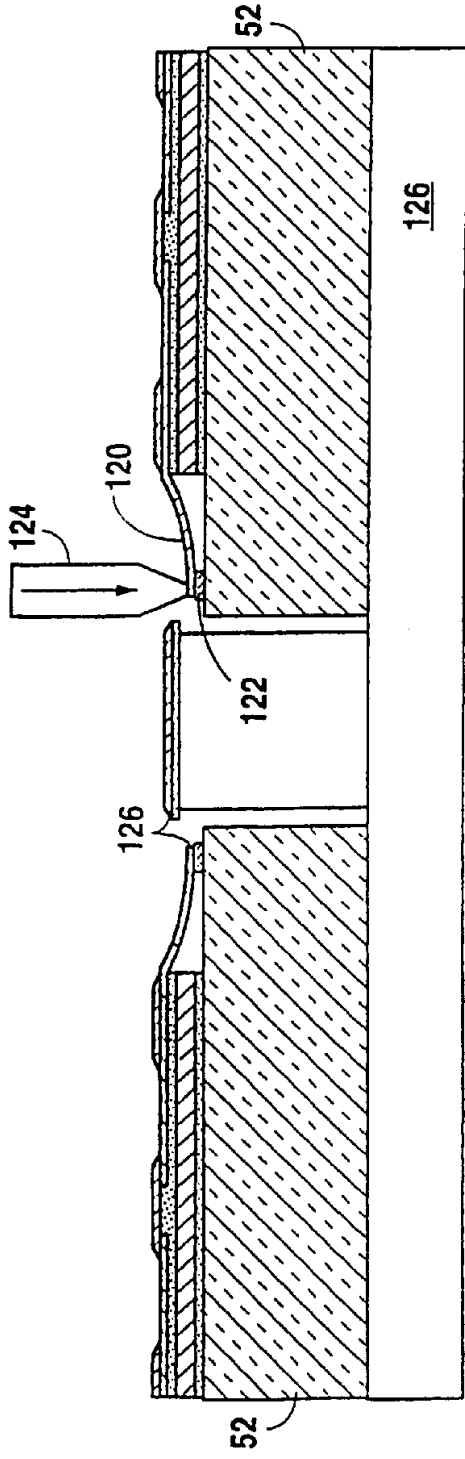


图 7

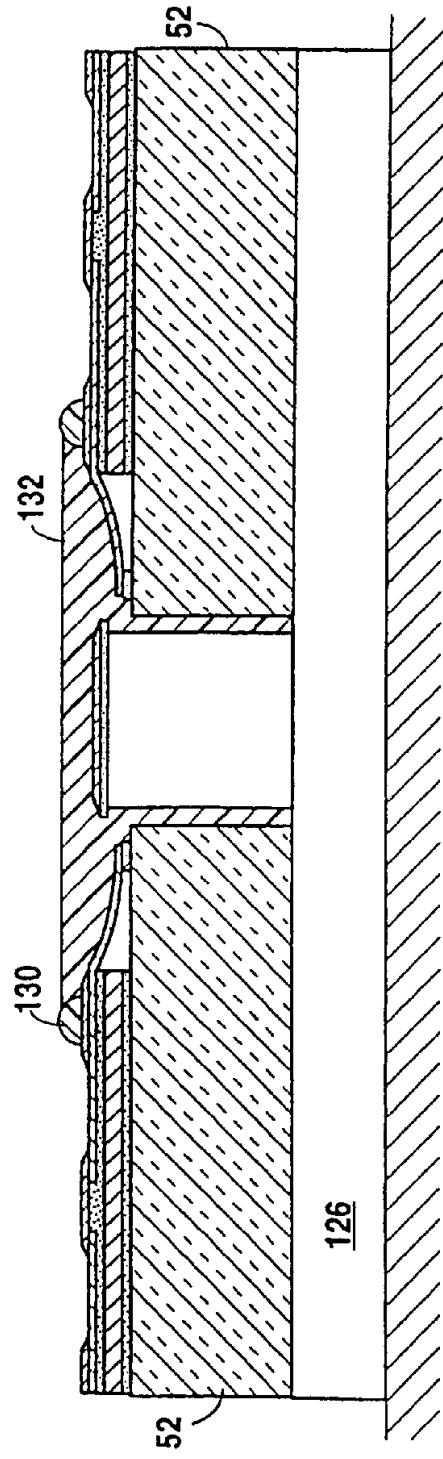


图 8

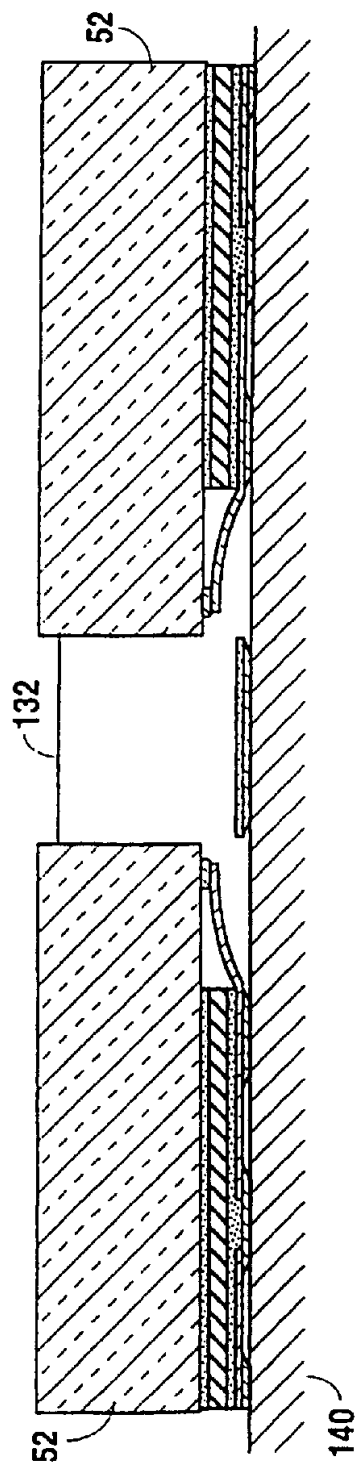


图 9

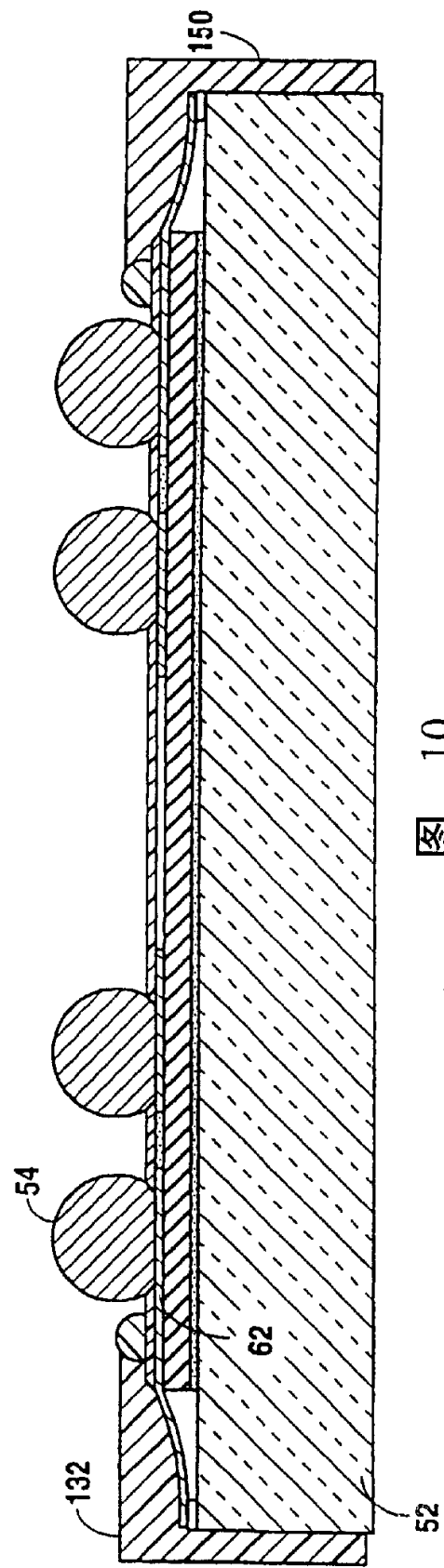


图 10