



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I765634 B

(45)公告日：中華民國 111 (2022) 年 05 月 21 日

(21)申請案號：110111945

(22)申請日：中華民國 105 (2016) 年 03 月 16 日

(51)Int. Cl. : G02F1/133 (2006.01)

G06F3/041 (2006.01)

(30)優先權：2015/03/27 日本

2015-066887

2015/04/13 日本

2015-081398

(71)申請人：日商半導體能源研究所股份有限公司 (日本) SEMICONDUCTOR ENERGY
LABORATORY CO., LTD. (JP)

日本

(72)發明人：木村肇 KIMURA, HAJIME (JP)；山崎舜平 YAMAZAKI, SHUNPEI (JP)

(74)代理人：林志剛

(56)參考文獻：

TW 201001010A

TW 201031961A

TW 201044245A

TW 201405403A

TW 201423541A

CN 102171630A

審查人員：梁宏維

申請專利範圍項數：1 項 圖式數：92 共 232 頁

(54)名稱

觸控面板

(57)摘要

提供一種厚度薄、具有簡單結構或易於組裝到電子裝置中的觸控面板。觸控面板，包括：第一基板、第二基板、第一導電層、第二導電層、第三導電層、第四導電層、液晶以及 FPC。第一導電層具有作為像素電極的功能。第二導電層具有作為共用電極的功能。第三導電層及第四導電層各具有作為觸控感測器的電極的功能。FPC 與第四導電層電連接。第一導電層、第二導電層、第三導電層、第四導電層及液晶位於第一基板與第二基板之間，第一導電層、第二導電層及第三導電層設置在第一基板上。FPC 設置在第一基板上。

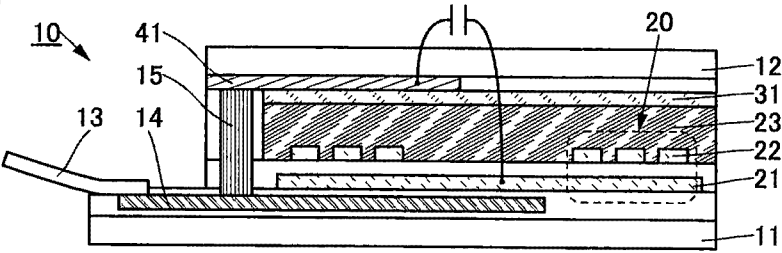
A touch panel which is thin, has a simple structure, or is easily incorporated into an electronic device is provided. The touch panel includes a first substrate, a second substrate, a first conductive layer, a second conductive layer, a third conductive layer, a fourth conductive layer, liquid crystal, and an FPC. The first conductive layer has a function of a pixel electrode. The second conductive layer has a function of a common electrode. The third and fourth conductive layers each have a function of an electrode of a touch sensor. The FPC is electrically connected to the fourth conductive layer. The first, second, third, and fourth conductive layers and the liquid crystal are provided between the first and second substrates. The first, second, and third conductive layers are provided over the first substrate. The FPC is provided over the first substrate.

指定代表圖：

符號簡單說明：

- 10:觸控面板
- 11:基板
- 12:基板
- 13:FPC
- 14:導電層
- 15:連接層
- 20:液晶元件
- 21:導電層
- 22:導電層
- 23:液晶
- 31:彩色層
- 41:導電層

圖 7A



發明摘要

【發明名稱】(中文/英文)

觸控面板

TOUCH PANEL

【中文】

提供一種厚度薄、具有簡單結構或易於組裝到電子裝置中的觸控面板。觸控面板，包括：第一基板、第二基板、第一導電層、第二導電層、第三導電層、第四導電層、液晶以及 FPC。第一導電層具有作為像素電極的功能。第二導電層具有作為共用電極的功能。第三導電層及第四導電層各具有作為觸控感測器的電極的功能。FPC 與第四導電層電連接。第一導電層、第二導電層、第三導電層、第四導電層及液晶位於第一基板與第二基板之間，第一導電層、第二導電層及第三導電層設置在第一基板上。FPC 設置在第一基板上。

【 英文 】

A touch panel which is thin, has a simple structure, or is easily incorporated into an electronic device is provided. The touch panel includes a first substrate, a second substrate, a first conductive layer, a second conductive layer, a third conductive layer, a fourth conductive layer, liquid crystal, and an FPC. The first conductive layer has a function of a pixel electrode. The second conductive layer has a function of a common electrode. The third and fourth conductive layers each have a function of an electrode of a touch sensor. The FPC is electrically connected to the fourth conductive layer. The first, second, third, and fourth conductive layers and the liquid crystal are provided between the first and second substrates. The first, second, and third conductive layers are provided over the first substrate. The FPC is provided over the first substrate.

【代表圖】

【本案指定代表圖】：第(7A)圖。

【本代表圖之符號簡單說明】：

10：觸控面板

11：基板

12：基板

13：FPC

14：導電層

15：連接層

20：液晶元件

21：導電層

22：導電層

23：液晶

31：彩色層

41：導電層

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：
無

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】(中文/英文)

觸控面板

TOUCH PANEL

【技術領域】

[0001] 本發明的一個實施例係關於一種輸入裝置。本發明的一個實施例係關於一種顯示裝置。本發明的一個實施例係關於一種輸入/輸出裝置。本發明的一個實施例係關於一種觸控面板。

[0002] 注意，本發明的一個實施例不侷限於上述技術領域。本說明書等所公開的發明的一個實施例係關於一種物體、方法或製造方法。本發明的一個實施例係關於一種製程 (process) 、 機器 (machine) 、 產品 (manufacture) 或組成物 (composition of matter) 。因此，明確而言作為本說明書等所公開的本發明的一個實施例的技術領域的一個例子，可以舉出半導體裝置、顯示裝置、發光裝置、蓄電裝置、記憶體裝置、電子裝置、照明設備、輸入裝置、輸入/輸出裝置、其驅動方法或者其製造方法。

[0003] 在本說明書等中，半導體裝置一般是指藉由利用半導體特性而能夠工作的所有裝置。除了電晶體等的半導體元件，半導體電路、算術裝置或記憶體裝置也是半

導體裝置的一個實施例。攝像裝置、顯示裝置、液晶顯示裝置、發光裝置、輸入裝置、輸入/輸出裝置、電光裝置、發電裝置（包括薄膜太陽能電池或有機薄膜太陽能電池等）及電子裝置有時包括半導體裝置。

【先前技術】

[0004] 近幾年，提供有觸控感測器作為位置輸入手段之顯示裝置（或顯示模組）已經投入實際使用。提供有觸控感測器之顯示裝置（或顯示模組）被稱為觸控面板、觸控螢幕等等（此處之後，這類型的顯示裝置可簡稱為觸控面板）。在一些實施例中，不包括顯示裝置以及僅包括觸控感測器之裝置也稱為觸控面板。安裝有觸控感測器的顯示裝置稱為具有觸控感測器的顯示裝置、具有顯示裝置的觸控面板或者顯示模組等。另外，當顯示裝置的內部組裝有觸控感測器時，有時也將其稱為 In-Cell 型觸控感測器（或 In-Cell 型具有觸控感測器的顯示裝置）或者 On-Cell 型觸控感測器（或 On-Cell 型具有觸控感測器的顯示裝置）等。在 In-Cell 型觸控感測器中，例如，用於液晶元件的電極也作為觸控感測器用電極。在 On-Cell 型觸控感測器中，例如，在相對基板的上側（沒有設置顯示元件一側）形成觸控感測器用電極。例如，作為具有上述觸控面板等的可攜式資訊終端之實例，有智慧手機、平板終端等。

[0005] 作為顯示裝置之一，有具備液晶元件的液晶

顯示裝置。例如，將像素電極配置為矩陣狀，並且，將電晶體作為連接到各像素電極的切換元件的主動矩陣型液晶顯示裝置受到注目。

[0006] 例如，已知如下主動矩陣型液晶顯示裝置，其中，作為連接到各像素電極的切換元件，使用將金屬氧化物用於通道形成區所形成的電晶體（專利文獻 1 及專利文獻 2）。

[0007] 另外，專利文獻 3 至 6 中記載了使用了液晶元件的觸控面板。

[0008] 作為液晶顯示裝置，已知大致分為透射型液晶顯示裝置和反射型液晶顯示裝置的兩種類型。

[0009] 在透射型液晶顯示裝置中，其使用冷陰極螢光燈或 LED 等的背光，且利用液晶的光學調變作用以選擇以下兩者狀態中的一者：其一為對來自背光的光透過液晶而輸出到液晶顯示裝置外部的狀態和其二為其中光不輸出到液晶顯示裝置外部的狀態，來進行明或暗影像的顯示。另外，藉由組合該明和暗的圖像，來進行影像顯示。

[0010] 在反射型液晶顯示裝置中，其利用液晶的光學調變作用以選擇以下兩者狀態中的一者：其一為藉由對外光，亦即，入射光反射在像素電極上而輸出到裝置外部的狀態和其二入射光不輸出到裝置外部的狀態，來進行明或暗圖像的顯示。另外，藉由組合該明和暗的圖像，來進行影像顯示。

[0011]

[專利文獻 1] 日本專利申請公開第 2007-123861 號公報

[專利文獻 2] 日本專利申請公開第 2007-96055 號公報

[專利文獻 3] 日本專利申請公開第 2011-197685 號公報

[專利文獻 4] 日本專利申請公開第 2014-44537 號公報

[專利文獻 5] 日本專利申請公開第 2014-178847 號公報

[專利文獻 6] 美國專利第 7920129 號說明書

【發明內容】

[0012] 作為顯示面板（顯示裝置或顯示模組），具有作為使用者介面用手指或觸控筆等觸摸螢幕來進行輸入資料的功能的觸控面板備受期待。

[0013] 另外，要求應用觸控面板的電子裝置實現薄型化、輕量化。因此，要求觸控面板自身實現薄型化及輕量化。

[0014] 例如，觸控面板可以採用在顯示面板的觀看側（顯示面一側，亦即，人的手指或筆（觸控筆）接觸一側）設置觸控感測器的結構。

[0015] 例如，作為觸控面板（或顯示模組），可以採用對顯示面板的顯示面一側貼合具有觸控感測器的基板的結構。換句話說，在觸控面板（或顯示模組）中，顯示面板與觸控感測器可以是分立元件也可以是彼此貼合。然

而，當採用上述結構時，除了用於顯示面板的基板之外還需要觸控感測器用基板，因此存在無法減薄觸控面板（或顯示模組）的厚度以及組件數多等問題。

[0016] 本發明的一個實施例的目的之一是提供一種厚度薄的觸控面板（或具有觸控感測器的顯示裝置）等。或者，本發明的一個實施例的目的之一是提供一種簡單結構的觸控面板（或具有觸控感測器的顯示裝置）等。或者，本發明的一個實施例的目的之一是提供一種易於組裝到電子裝置中的觸控面板（或具有觸控感測器的顯示裝置）等。或者，本發明的一個實施例的目的之一是提供一種組件數少的觸控面板（或具有觸控感測器的顯示裝置）等。或者，本發明的一個實施例的目的之一是提供一種輕量的觸控面板（或具有輕量觸控感測器的顯示裝置）等。

[0017] 或者，本發明的一個實施例的目的之一是提供一種新穎的輸入裝置。或者，本發明的一個實施例的目的之一是提供一種新穎的輸入/輸出裝置。或者，本發明的一個實施例的目的之一是提供一種新穎的顯示裝置。另外，這些目的的記載不妨礙其他目的的存在。此外，本發明的一個實施例並不需要實現所有上述目的。另外，從說明書、圖式、申請專利範圍等的記載中可明顯看出這些目的以外的目的，而可以從說明書、圖式、申請專利範圍等的記載中衍生這些目的以外的目的。

[0018] 本發明的一個實施例是一種觸控面板，該觸控面板包括：第一基板；第二基板；第一導電層；第二導

電層；第三導電層；第四導電層；液晶；以及 FPC。第一導電層具有作為像素電極的功能。第二導電層具有作為共用電極的功能。第三導電層及第四導電層具有作為觸控感測器的電極的功能。FPC 與第四導電層電連接。第一導電層、第二導電層、第三導電層、第四導電層及液晶位於第一基板與第二基板之間。第一導電層、第二導電層及第三導電層設置在第一基板上，FPC 設置在第一基板上。

[0019] 另外，較佳為在上述觸控面板還包括第五導電層及連接器，第五導電層設置在第一基板上，第四導電層設置在第二基板上，第五導電層與第四導電層藉由連接器彼此電連接。

[0020] 或者，較佳為第四導電層設置於第一基板上。

[0021] 或者，較佳為第三導電層和第四導電層中的一個與第二導電層設置在同一面上。

[0022] 或者，較佳為第三導電層與第一導電層或第二導電層設置在同一面上並且第四導電層與第一導電層或第二導電層設置在同一面上。

[0023] 或者，較佳為第二導電層與第三導電層和第四導電層中的一個一體化地設置。

[0024] 或者，較佳為第一導電層與第三導電層和第四導電層中的一個一體化地設置。

[0025] 根據本發明的一個實施例可以提供一種厚度薄的觸控面板（或具有觸控感測器的顯示裝置）等。或

者，根據本發明的一個實施例可以提供一種簡單結構的觸控面板（或具有觸控感測器的顯示裝置）等。或者，根據本發明的一個實施例可以提供一種易於組裝到電子裝置中的觸控面板（或具有觸控感測器的顯示裝置）等。或者，根據本發明的一個實施例可以提供一種組件數少的觸控面板（或具有觸控感測器的顯示裝置）等。或者，根據本發明的一個實施例可以提供一種輕量的觸控面板（或具有輕量觸控感測器的顯示裝置）等。或者，根據本發明的一個實施例可以提供一種新穎的輸入裝置。或者，根據本發明的一個實施例可以提供一種新穎的輸入/輸出裝置。或者，根據本發明的一個實施例可以提供一種新穎的顯示裝置。注意，這些效果的記載不妨礙其他效果的存在。此外，本發明的一個實施例並不需要具有所有上述效果。另外，從說明書、圖式、申請專利範圍等的記載中可明顯看出這些效果以外的效果，而可以從說明書、圖式、申請專利範圍等的記載中衍生這些效果以外的效果。

【圖式簡單說明】

[0026]

在圖式中：

圖 1A 和圖 1B 是根據實施例的觸控感測器的方塊圖及時序圖；

圖 2A 和圖 2B 是說明各具有根據實施例的觸控感測器的像素的圖；

圖 3 是說明各具有根據實施例的觸控感測器的像素的圖；

圖 4 是說明各具有根據實施例的觸控感測器的像素的圖；

圖 5 是說明各具有根據實施例的觸控感測器的像素的圖；

圖 6A 至圖 6C 是說明根據實施例的觸控感測器及像素的工作的圖；

圖 7A 至圖 7E 是根據實施例的觸控面板的結構範例；

圖 8A 至圖 8C 是根據實施例的觸控面板的結構範例；

圖 9 是根據實施例的觸控面板的結構範例；

圖 10A 和圖 10B 是根據實施例的觸控面板的結構範例；

圖 11A 至圖 11C 是根據實施例的觸控面板的結構範例；

圖 12 是根據實施例的觸控面板的結構範例；

圖 13A 和圖 13B 是根據實施例的觸控面板的結構範例；

圖 14 是根據實施例的觸控面板的結構範例；

圖 15A 至圖 15C 是根據實施例的觸控面板的結構範例；

圖 16A 至圖 16C 是根據實施例的觸控面板的結構範

例；

圖 17A 和圖 17B 是根據實施例的觸控面板的結構範

例；

圖 18A 和圖 18B 是根據實施例的觸控面板的結構範

例；

圖 19 是根據實施例的觸控面板的結構範例；

圖 20 是根據實施例的觸控面板的結構範例；

圖 21 是根據實施例的觸控面板的結構範例；

圖 22 是根據實施例的觸控面板的結構範例；

圖 23 是根據實施例的觸控面板的結構範例；

圖 24 是根據實施例的觸控面板的結構範例；

圖 25 是根據實施例的觸控面板的結構範例；

圖 26 是根據實施例的觸控面板的結構範例；

圖 27 是根據實施例的觸控面板的結構範例；

圖 28 是根據實施例的觸控面板的結構範例；

圖 29 是根據實施例的觸控面板的結構範例；

圖 30 是根據實施例的觸控面板的結構範例；

圖 31 是根據實施例的觸控面板的結構範例；

圖 32 是根據實施例的觸控面板的結構範例；

圖 33 是根據實施例的觸控面板的結構範例；

圖 34 是根據實施例的觸控面板的結構範例；

圖 35 是根據實施例的觸控面板的結構範例；

圖 36 是根據實施例的觸控面板的結構範例；

圖 37 是根據實施例的觸控面板的結構範例；

圖 38 是根據實施例的觸控面板的結構範例；
 圖 39 是根據實施例的觸控面板的結構範例；
 圖 40 是根據實施例的觸控面板的結構範例；
 圖 41 是根據實施例的觸控面板的結構範例；
 圖 42 是根據實施例的觸控面板的結構範例；
 圖 43 是根據實施例的觸控面板的結構範例；
 圖 44 是根據實施例的觸控面板的結構範例；
 圖 45 是根據實施例的觸控面板的結構範例；
 圖 46 是根據實施例的觸控面板的結構範例；
 圖 47 是根據實施例的觸控面板的結構範例；
 圖 48 是根據實施例的觸控面板的結構範例；
 圖 49 是根據實施例的觸控面板的結構範例；
 圖 50 是根據實施例的觸控面板的結構範例；
 圖 51 是根據實施例的觸控面板的結構範例；
 圖 52 是根據實施例的觸控面板的結構範例；
 圖 53 是根據實施例的觸控面板的結構範例；
 圖 54 是根據實施例的觸控面板的結構範例；
 圖 55 是根據實施例的觸控面板的結構範例；
 圖 56 是根據實施例的觸控面板的結構範例；
 圖 57 是根據實施例的觸控面板的結構範例；
 圖 58 是根據實施例的觸控面板的結構範例；
 圖 59 是根據實施例的觸控面板的結構範例；
 圖 60 是根據實施例的觸控面板的結構範例；
 圖 61 是根據實施例的觸控面板的結構範例；

圖 62 是根據實施例的觸控面板的結構範例；

圖 63 是根據實施例的觸控面板的結構範例；

圖 64 是根據實施例的觸控面板的結構範例；

圖 65 是根據實施例的觸控面板的結構範例；

圖 66 是根據實施例的觸控面板的結構範例；

圖 67 是根據實施例的觸控面板的結構範例；

圖 68 是根據實施例的觸控面板的結構範例；

圖 69 是根據實施例的觸控面板的結構範例；

圖 70 是根據實施例的觸控面板的結構範例；

圖 71 是根據實施例的觸控面板的結構範例；

圖 72 是根據實施例的觸控面板的結構範例；

圖 73 是根據實施例的觸控面板的結構範例；

圖 74 是根據實施例的觸控面板的結構範例；

圖 75 是根據實施例的觸控面板的結構範例；

圖 76 是根據實施例的觸控面板的結構範例；

圖 77 是根據實施例的觸控面板的結構範例；

圖 78 是根據實施例的觸控面板的結構範例；

圖 79 是根據實施例的觸控面板的結構範例；

圖 80A 和圖 80B 是用來說明顯示裝置的一個例子的示意圖；

圖 81A1、圖 81A2、圖 81B1、圖 81B2、圖 81C1 和圖 81C2 是說明電晶體的一個實施例的剖面圖；

圖 82A1、圖 82A2、圖 82A3、圖 82B1 和圖 82B2 是說明電晶體的一個實施例的剖面圖；

圖 83A1、圖 83A2、圖 83A3、圖 83B1、圖 83B2、圖 83C1 和圖 83C2 是說明電晶體的一個實施例的剖面圖；

圖 84A 至圖 84C 是說明電晶體的一個實施例的平面圖及剖面圖；

圖 85A 至圖 85C 是說明電晶體的一個實施例的平面圖及剖面圖；

圖 86A 至圖 86C 是說明電晶體的一個實施例的平面圖及剖面圖；

圖 87A 至圖 87C 是說明電晶體的一個實施例的平面圖及剖面圖；

圖 88A 至圖 88C 是說明電晶體的一個實施例的平面圖及剖面圖；

圖 89A 和圖 89B 是各說明能帶結構的圖；

圖 90 是說明根據實施例的顯示模組的圖；

圖 91A 至圖 91H 是各說明根據實施例的電子裝置的圖；

圖 92A 和圖 92B 是各說明根據實施例的電子裝置的圖。

【實施方式】

[0027] 參照圖式對實施例進行詳細說明。注意，本發明不侷限於下面說明，所屬技術領域的通常知識者可以很容易地理解一個事實就是其方式及詳細內容在不脫離本發明的精神及其範圍的情況下可以被變換為各種各樣的形

式。因此，本發明不應該被解釋為僅限定在以下所示的實施例所記載的內容中。

[0028] 注意，在下面說明的發明結構中，在不同的圖式中共同使用相同的元件符號來表示相同的部分或具有相同功能的部分，而省略反復說明。此外，當表示具有相同功能的部分時有時使用相同的陰影線，而不特別附加元件符號。

[0029] 注意，在本說明書所說明的各個圖式中，有時為了明確起見，誇大表示各組件的大小、層的厚度、區域。因此，本發明並不侷限於圖式中的尺寸。

[0030] 在本說明書等中使用的“第一”、“第二”等序數詞是為了避免組件的混淆而附記的，而不是為了在數目方面上進行限定的。

[0031] 另外，有時可以互相調換“膜”和“層”。例如，有時可以將“導電層”調換為“導電膜”，並且有時可以將“絕緣膜”調換為“絕緣層”。

[0032]

實施例 1

在本實施例中，參照圖式說明本發明的一個實施例的輸入裝置或輸入/輸出裝置的驅動方法、模式及結構範例。

[0033]

感測器之感測方法的範例

圖 1A 是示出互電容式的觸控感測器的結構的方塊

圖。在圖 1A 中，示出脈衝電壓輸出電路 601 以及電流檢測電路 602。在圖 1A 中，作為一個例子，以 X1 至 X6 的 6 個佈線表示被施加有脈衝電壓的電極 621，並以 Y1 至 Y6 的 6 個佈線表示檢測電流的變化的電極 622。注意，電極的個數不侷限於此。另外，圖 1A 還示出藉由使電極 621 和電極 622 彼此重疊或者以電極 621 及電極 622 彼此接近的方式配置而形成的電容 603。注意，電極 621 與電極 622 的功能可以互相調換。

[0034] 作為一個例子，脈衝電壓輸出電路 601 是用來依次將脈衝電壓施加到 X1 至 X6 的佈線的電路。藉由對 X1 至 X6 的佈線施加脈衝電壓，在電容 603 的電極 621 與電極 622 之間產生電場。並且，由於脈衝電壓，電流流過電容 603。由於手指或觸控筆等接觸觸控感測器時的遮蔽，產生於電極 621 和電極 622 之間的電場發生變化。亦即，因手指或筆的觸摸等電容 603 的電容值發生變化。如此，由於手指或觸控筆等的接觸等使電容值產生變化，可以利用該變化檢測被檢測體的接近或接觸。

[0035] 電流檢測電路 602 是用來檢測電容 603 的電容值變化所引起的 Y1 至 Y6 的佈線的電流變化的電路。在 Y1 至 Y6 的佈線中，如果沒有被檢測體的接近或接觸，則所檢測的電流值沒有變化，另一方面，在由於所檢測的被檢測體的接近或接觸而電容值減少的情況下，檢測到電流值減少的變化。另外，作為電流變化的檢測，可以對電流量的總和進行檢測。此時，可以利用積分電路等進

行檢測電流量總和。或者，可以檢測電流的峰值。此時，可以將電流轉換成電壓，檢測電壓值的峰值。

[0036] 接著，圖 1B 示出圖 1A 所示的互電容式觸控感測器中的輸入/輸出波形的時序圖。在圖 1B 中，在一個圖框期間中進行各行列中的被檢測體的檢測。另外，在圖 1B 中，示出沒有檢測出被檢測體（未觸摸）和檢測出被檢測體（觸摸）的兩種期間。此外，關於 Y1 至 Y6 的佈線，示出對應於所檢測出的電流值的電壓值的波形。另外，顯示面板進行顯示工作。較佳為使顯示面板的該顯示工作的時序與觸控感測器的感測工作的時序同步。另外，圖 1B 示出不與顯示工作同步時的例子。

[0037] 依次對 X1 至 X6 的佈線施加脈衝電壓，Y1 至 Y6 的佈線的波形根據該脈衝電壓變化。當沒有被檢測體的接近或接觸時，Y1 至 Y6 的波形根據 X1 至 X6 的佈線的電壓變化產生變化。另一方面，在有被檢測體接近或接觸的部位電流值減少，因而與其相應的電壓值的波形也產生變化。

[0038] 如此，藉由檢測電容值的變化，可以檢測被檢測體的接近或接觸。注意，有時即使手指或筆等檢測物件沒有接觸到觸控感測器或觸控面板而僅僅只是接近觸控感測器或觸控面板，也可能檢測出訊號。

[0039] 另外，作為一個例子，較佳為脈衝電壓輸出電路 601 及電流檢測電路 602 形成在一個 IC 晶片中。另外，較佳為將該 IC 晶片安裝於觸控面板或電子裝置的外

殼內的基板。在具有撓性的觸控面板中，彎曲部分的寄生電容增大，而有雜訊影響變大的擔憂，所以較佳為使用應用了不容易受雜訊影響的驅動方法的 IC 晶片。例如較佳為使用應用了提高訊噪比（S/N 比）的驅動方法的 IC 晶片。

[0040] 另外，作為觸控感測器，圖 1A 雖然示出在佈線的交叉部只設置電容 603 的被動矩陣方式觸控感測器的結構，但是也可以採用具備電晶體和電容器的主動矩陣方式觸控感測器。

[0041]

[In-Cell 型觸控面板的結構範例]

在此，對構成觸控感測器的電極中的至少一個配置在設置有顯示元件及電晶體等的基板上的例子進行說明。

[0042] 下面，對在具有多個像素的顯示部中安裝了觸控感測器的觸控面板（所謂的 In-Cell 型）的結構範例進行說明。這裡，示出作為設置於像素中的顯示元件使用液晶元件的例子。但是，本發明的一個實施例不侷限於此，而可以採用各種各樣的顯示元件。

[0043] 圖 2A 是設置於本結構範例所示出的觸控面板的顯示部中的像素電路的一部分中的等效電路圖。

[0044] 一個像素至少包括電晶體 63 和液晶元件 64。另外，有時各像素還包括儲存電容器。另外，電晶體 63 的閘極與佈線 61 電連接，電晶體 63 的源極和汲極中的一個與佈線 62 電連接。

[0045] 像素電路包括在 X 方向上延伸的多個佈線（例如，佈線 72_1、佈線 72_2）以及在 Y 方向上延伸的多個佈線（例如，佈線 71_1、佈線 71_2），上述多個佈線以彼此交叉的方式設置，並且在其間形成有電容。

[0046] 另外，作為一個例子，在設置於像素電路中的像素中，設置於一部分相鄰的多個像素中的液晶元件的一側上的電極彼此電連接而形成一個區塊。在此，例如，形成有在 Y 方向上延伸的線狀的多個區塊（例如，區塊 65_1、65_2）。另外，雖然在圖 2A 中僅示出像素電路的一部分，但實際上，這些區塊在 X 方向上反復配置。例如，液晶元件的一側上的電極可以為共用電極或相對電極等。另外，液晶元件的另一側電極例如可以為像素電極等。

[0047] 藉由採用上述結構，可以將構成觸控感測器的電極兼作為像素電路中的液晶元件的一側上的電極。在圖 2A 中，佈線 71_1、佈線 71_2 兼作為液晶元件的一側上的電極及構成觸控感測器的電極。另一方面，佈線 72_1、佈線 72_2 作為構成觸控感測器的電極。由此可以簡化觸控面板的結構。另外，雖然在圖 2A 中，在 Y 方向上延伸的多個佈線（例如，佈線 71_1、佈線 71_2）兼作為液晶元件的一側上的電極及構成觸控感測器的電極，但是本發明的一個實施例不侷限於此。例如，在 X 方向上延伸的多個佈線（例如，佈線 72_1、佈線 72_2）可以兼作為液晶元件的一側上的電極及構成觸控感測器的電極。圖

3 示出該情況的電路圖的例子。

[0048] 另外，雖然在圖 2A 及圖 3 中示出佈線兼作為液晶元件的一側上的電極及構成觸控感測器的電極時的例子，但是本發明的一個實施例不侷限於此。液晶元件的一側上的電極及構成觸控感測器的電極也可以分別使用不同的佈線構成。例如，如圖 2B 所示，液晶元件 64 的一側上的電極也可以與佈線 66 電連接。此時，藉由對同一導電膜進行加工來同時形成佈線 66、構成液晶元件 64 的一側上的電極和構成液晶元件 64 的另一側上的電極中的至少一個以及在 X 方向上延伸的佈線或在 Y 方向上延伸的佈線中的至少一個，可以簡化觸控面板的製程。例如，可以同時形成佈線 66、佈線 71_1 及佈線 71_2，或者可以同時形成佈線 66、佈線 72_1 及佈線 72_2 等。

[0049] 另外，雖然在圖 2A、圖 2B 及圖 3 中各示出作為顯示元件使用液晶元件的例子，但是本發明的一個實施例不侷限於此。圖 4 及圖 5 各示出作為顯示元件使用發光元件時的例子。

[0050] 圖 6A 是示出在 X 方向上延伸的多個佈線 72 與在 Y 方向上延伸的多個佈線 71 的連接結構的等效電路圖。注意，圖 6A 示出觸控感測器為投影型互電容式時的情況。可以對在 Y 方向上延伸的各佈線 71 輸入輸入電壓（或選擇電壓）或者共用電位（地電位或成為基準的電位）。另外，可以對在 X 方向上延伸的各佈線 72 輸入地電位（或者成為基準的電位），或者可以使佈線 72 與檢

測電路電連接。另外，可以將佈線 71 與佈線 72 調換。亦即，可以使佈線 71 與檢測電路連接。

[0051] 下面，參照圖 6B 和 6C 對上述觸控面板的工作進行說明。

[0052] 這裡，作為一個例子，將一個圖框期間分為寫入期間和檢測期間。寫入期間是對像素進行影像資料寫入的期間，圖 2A 和圖 2B 等所示的佈線 61（也稱為閘極線或掃描線）被依次選擇。另一方面，檢測期間是利用觸控感測器進行感測的期間，在 Y 方向上延伸的佈線 71 被依次選擇並被輸入輸入電壓。

[0053] 圖 6B 是寫入期間中的等效電路圖。在寫入期間中，在 X 方向上延伸的佈線 72 與在 Y 方向上延伸的佈線 71 都被輸入共用電位。

[0054] 圖 6C 是檢測期間的某個時間的等效電路圖。在檢測期間中，在 X 方向上延伸的各佈線 72 與檢測電路導通。另外，在 Y 方向上延伸的佈線 71 中的被選擇的佈線被輸入輸入電壓，其他的佈線被輸入共用電位。

[0055] 這裡所示的驅動方法除了可以應用於 In-Cell 方式以外還可以應用於上述所示的觸控面板。

[0056] 像這樣，較佳為分別設置影像寫入期間以及利用觸控感測器進行感測的期間。例如，較佳為在顯示的遮沒期（blanking period）進行感測。由此可以抑制因圖案寫入像素時的雜訊引起的觸控感測器的靈敏度降低。

[0057]

[觸控面板的方式]

下面，對能夠用於本發明的一個實施例的觸控面板的幾種方式進行說明。

[0058] 注意，在本說明書等中，觸控面板具有如下功能：在顯示面顯示或輸出影像等的功能；以及檢測手指或觸控筆等被檢測體接觸或接近顯示面的作為觸控感測器的功能。因此觸控面板是輸入/輸出裝置的一個實施例。

[0059] 另外，在本說明書等中，有時將在觸控面板的基板上安裝有例如 FPC (Flexible print circuit: 軟性印刷電路板) 或 TCP (Tape Carrier Package: 載帶封裝) 等連接器的結構或在基板上以 COG (Chip On Glass: 玻璃上晶片) 方式安裝 IC (積體電路) 的結構稱為觸控面板模組、顯示模組或觸控面板。

[0060] 可用於本發明的一個實施例的電容式觸控感測器具備一對導電層。由一對導電層形成有電容元件。藉由由於被檢測體接觸或接近於一對導電層而使一對導電層之間的電容的大小變化，來可以進行檢測。

[0061] 作為電容式觸控感測器之範例包括有表面電容式觸控感測器和投影電容式觸控感測器。根據驅動方式不同，投影電容式觸控感測器分為自電容式觸控感測器、互電容式觸控感測器等。當使用互電容式感測器時，可以進行同時多點檢測，所以是較佳的。注意，自電容式感測器也可以被使用。

[0062] 另外，作為本發明的一個實施例的觸控面板

所包括的顯示元件，可以使用例如液晶元件（使用垂直電場方式或橫向電場方式）、利用 MEMS（Micro Electro Mechanical System：微機電系統）的光學元件、有機 EL（Electro Luminescence：電致發光）元件或發光二極體（LED：Light Emitting Diode）等的發光元件、電泳元件等各種顯示元件。

[0063] 在此，作為一個例子，較佳為將包括作為顯示元件使用橫向電場方式的液晶元件的透射型液晶顯示裝置用於觸控面板。

[0064] 本發明的一個實施例的觸控面板藉由在一對基板間夾持構成觸控感測器的一對電極（也稱為導電層或佈線），而使顯示面板和觸控感測器一體化。亦即，不在其他基板等上形成觸控感測器，而在設置有顯示元件及電晶體的一對基板上形成觸控感測器。由此，觸控面板的厚度被減薄，從而可以實現輕量的觸控面板。

[0065] 另外，在本發明的一個實施例的觸控面板中，將提供驅動像素的訊號的 FPC（Flexible Print Circuit：軟性印刷電路板）和驅動觸控感測器的 FPC 都設置在一對基板一側。由此，易於將觸控面板組裝到電子裝置中，而且可以減少組件數。

[0066] 圖 7A 是說明本發明的一個實施例的觸控面板 10 的方式的剖面示意圖。

[0067] 觸控面板 10 包括基板 11、基板 12、FPC13、導電層 14、液晶元件 20、彩色層 31 及導電層 41 等。

[0068] 液晶元件 20 包括導電層 21、導電層 22 及液晶 23。在此示出作為液晶元件 20 使用採用了 FFS（Fringe Field Switching：邊緣場切換）模式的液晶元件時的例子。在導電層 21 上隔著絕緣層設置有導電層 22。作為一個例子，導電層 22 的頂面形狀（也稱為平面形狀）是梳齒狀或設置有狹縫的形狀。導電層 21 和導電層 22 中的一個作為共用電極，另一個作為像素電極。另外，當作為顯示元件使用發光元件等時，作為一個例子，導電層 22 的頂面形狀不是梳齒狀或設置有狹縫的形狀。

[0069] 觸控感測器可以利用形成在設置在基板 12 一側的導電層 41 和作為液晶元件 20 的一對電極中的一個的導電層 21 之間的電容來進行檢出。在此，作為一個例子，導電層 41 較佳為設置在基板 12 的基板 11 一側的面（亦即，基板 12 的下側的面）上。

[0070] 設置在基板 12 一側的導電層 41 藉由連接層 15 與設置在基板 11 一側的導電層 14 電連接。導電層 14 與安裝於基板 11 一側的 FPC13 電連接。藉由採用這種結構，可以在一個基板上設置用來驅動觸控感測器的 FPC 和用來驅動液晶元件 20 的 FPC 的兩者。

[0071] 在此，例如，當作為觸控面板的結構採用在基板 12 的與基板 11 一側相反的面（亦即，基板 12 的上側的面）上設置作為觸控感測器的電極的導電層時，需要將與該導電層電連接的 FPC 安裝於基板 12。此外，即使不使用圖 7A 所示的連接層 15，也需要對基板 12 安裝與

導電層 41 電連接的 FPC。另外，當在與基板 11 及基板 12 不同的基板設置作為觸控感測器的電極的導電層時，需要對該基板安裝 FPC。因此，當採用上述結構時，會增加組件數。此外，當對電子裝置組裝觸控面板時，有時由於 FPC 的位置會受到限制。但是，在本發明的一個實施例中，可以僅對一對基板中的一個設置 FPC，由此可以減少組件數，從而易於將觸控面板組裝到電子裝置中。

[0072] 另外，藉由將液晶元件 20 的一個電極兼作作為觸控感測器的一對電極中的至少一個，可以使製程簡化，從而可以提高良率並降低製造成本。

[0073] 圖 7B 示出將作為觸控感測器的電極的導電層 41 設置在基板 11 一側的例子。導電層 41 與導電層 14 電連接。觸控感測器可以利用形成在導電層 41 和作為液晶元件 20 的一對電極的一個（例如，共用電極）的導電層 21 之間的電容來進行檢出。藉由採用這種結構，也可以將 FPC13 設置在基板 11 一側。此時，藉由將基板 11 一側的面作為觸摸面，可以進一步提高檢出靈敏度，所以是較佳的。

[0074] 圖 7C 示出將導電層 41 與導電層 22 設置在同一面上的例子。此外，導電層 41 在未圖示的區域中與導電層 14 電連接。在此，較佳為對同一導電膜進行加工來同時形成導電層 41 及導電層 22。觸控感測器可以利用形成在導電層 41 和導電層 21 之間的電容來進行檢出。例如，導電層 21 具有作為液晶元件 20 的共用電極的功能和

觸控感測器的電極的功能。

[0075] 圖 7D 示出液晶元件 20 採用 IPS (In-Plane-Switching: 平面內切換) 模式時的例子。

[0076] 構成液晶元件 20 的導電層 21 和導電層 22 設置在同一面上。導電層 21 和導電層 22 都具有梳齒狀並以彼此嚙合的方式配置。觸控感測器可以利用形成在導電層 41 和導電層 21 之間的電容來進行檢出。例如，導電層 21 具有作為液晶元件 20 的共用電極的功能和觸控感測器的電極的功能。

[0077] 此外，作為觸控感測器的一個電極的導電層 41 與導電層 21 及導電層 22 配置在同一面上。此外，導電層 41 在未圖示的區域中與導電層 14 電連接。在此，較佳為對同一導電膜進行加工來同時形成導電層 41、導電層 21 及導電層 22。

[0078] 圖 7E 示出使用採用 FFS 模式的液晶元件 20 的其他例子。觸控感測器可以利用形成在導電層 41a 和導電層 41b 之間的電容來進行檢出。導電層 21 和導電層 22 中的一個具有作為液晶元件 20 的共用電極的功能，而另一個具有作為液晶元件 20 的像素電極的功能。

[0079] 導電層 41a 與導電層 22 設置在同一面上。此外，導電層 41b 與導電層 21 設置在同一面上。在此，較佳為對同一導電膜進行加工來同時形成導電層 41a 及導電層 22。同樣地，較佳為對同一導電膜進行加工來同時形成導電層 41b 及導電層 21。藉由採用這種結構，可以在

形成液晶元件 20 的一對電極的製程中同時形成構成觸控感測器的一對電極，由此可以在不增加製程的情況下製造作為觸控感測器的觸控面板 10。

[0080] 圖 8A 示出使用採用 FFS 模式的液晶元件 20 的其他例子。觸控感測器可以利用形成在導電層 41a 和導電層 41b 之間的電容來進行檢出。導電層 21 例如具有作為液晶元件 20 的共用電極的功能。

[0081] 導電層 41a 及導電層 41b 與導電層 22 設置在同一面上。在此，較佳為對同一導電膜進行加工來同時形成導電層 41a、導電層 41b 及導電層 22。藉由採用這種結構，可以在形成液晶元件 20 的一個電極的製程中同時形成構成觸控感測器的一對電極，從而可以在不增加製程的情況下製造作為觸控感測器的觸控面板 10。

[0082] 另外，雖然導電層 41a 以與導電層 21 重疊的方式設置，但是本發明的一個實施例不侷限於此。導電層 21 也可以以不與導電層 41a 重疊的方式設置。由此，可以降低因導電層 41a 形成的寄生電容。此外，同樣地，導電層 21 也可以以不與導電層 41b 重疊的方式設置。

[0083] 圖 8B 示出使用採用 FFS 模式的液晶元件 20 的其他例子。觸控感測器可以利用形成在導電層 41a 和導電層 41b 之間的電容來進行檢出。導電層 21 和導電層 22 中的一個具有作為液晶元件 20 的共用電極的功能，而另一個具有作為液晶元件 20 的像素電極的功能。

[0084] 導電層 41a 及導電層 41b 與導電層 21 設置在

同一面上。在此，較佳為對同一導電膜進行加工來同時形成導電層 41a、導電層 41b 及導電層 21。藉由採用這種結構，可以在形成液晶元件 20 的一個電極的製程中同時形成構成觸控感測器的一對電極，由此可以在不增加製程的情況下製造作為觸控感測器的觸控面板 10。

[0085] 圖 8C 示出使用採用 FFS 模式的液晶元件 20 的其他例子。觸控感測器可以利用形成在導電層 41 和作為液晶元件 20 的一對電極中的一個的導電層 21 之間的電容來進行檢出。例如，導電層 21 具有作為液晶元件 20 的共用電極的功能及觸控感測器的電極的功能。

[0086] 導電層 41 與導電層 21 設置在同一面上。在此，較佳為對同一導電膜進行加工來同時形成導電層 41 及導電層 21。藉由採用這種結構，可以在形成液晶元件 20 的一個電極的製程中同時形成構成觸控感測器的一對電極，由此可以在不增加製程的情況下製造作為觸控感測器的觸控面板 10。

[0087] 圖 9 示出液晶元件 20 採用 IPS 模式時的例子。

[0088] 構成液晶元件 20 的導電層 21 和導電層 22 設置在同一面上。導電層 21 和導電層 22 都具有梳齒狀並以彼此嚙合的方式配置。導電層 21 及導電層 22 中的一個具有作為液晶元件 20 的共用電極的功能，另一個具有作為液晶元件 20 的像素電極的功能。

[0089] 此外，作為觸控感測器的一個電極的導電層

41a 和導電層 41b 與導電層 21 及導電層 22 配置在同一面上。在此，較佳為對同一導電膜進行加工來同時形成導電層 41a、導電層 41b、導電層 21 及導電層 22。觸控感測器可以利用形成在導電層 41a 和導電層 41b 之間的電容來進行檢出。

[0090] 另外，當採用 FFS 模式時，藉由將液晶元件之導電層 21 的頂面形狀形成為梳齒狀或設置有狹縫的形狀，可以獲得使用 IPS 模式的液晶元件。

[0091] 例如，圖 10A 示出將圖 7C 所示的液晶元件換為 IPS 模式的液晶元件的例子。例如，導電層 21 具有作為液晶元件 20 的共用電極的功能和觸控感測器的電極的功能。

[0092] 同樣地，圖 10B 示出將圖 7E 所示的液晶元件換為 IPS 模式的液晶元件的例子。導電層 21 和導電層 22 中的一個具有作為液晶元件 20 的共用電極的功能，而另一個具有作為液晶元件 20 的像素電極的功能。

[0093] 圖 11A 和圖 11B 分別示出將圖 8A 和圖 8B 所示的液晶元件換為 IPS 模式的液晶元件的例子。導電層 21 和導電層 22 中的一個具有作為液晶元件 20 的共用電極的功能，而另一個具有作為液晶元件 20 的像素電極的功能。

[0094] 同樣地，圖 11C 示出將圖 8C 所示的液晶元件換為 IPS 模式的液晶元件的例子。例如，導電層 21 具有作為液晶元件 20 的共用電極的功能和觸控感測器的電極

的功能。

[0095] 另外，雖然示出多個上側電極是液晶元件 20 的像素電極且下側電極是液晶元件 20 的共用電極的例子，但是本發明的一個實施例不侷限於此，也可以採用上側電極為液晶元件 20 的共用電極而下側電極為液晶元件 20 的像素電極的結構。

[0096] 例如，圖 12 示出將圖 7C 中的上側電極作為液晶元件 20 的共用電極的例子。例如，導電層 21 具有作為液晶元件 20 的共用電極的功能和觸控感測器的電極的功能。

[0097] 同樣地，圖 13A 示出將圖 8A 中的上側電極作為液晶元件 20 的共用電極的例子。例如，導電層 21 具有作為液晶元件 20 的共用電極的功能。

[0098] 同樣地，圖 13B 示出將圖 8C 中的上側電極作為液晶元件 20 的共用電極的例子。例如，導電層 21 具有作為液晶元件 20 的共用電極的功能和觸控感測器的電極的功能。

[0099] 同樣地，圖 14 示出將圖 11C 中的上側電極作為液晶元件 20 的共用電極的例子。例如，導電層 21 具有作為液晶元件 20 的共用電極的功能和觸控感測器的電極的功能。

[0100] 圖 15A、圖 15B 和圖 15C 是本發明的一個實施例的觸控面板的俯視示意圖。因此，對觸控感測器以外的部分進行了大幅省略。注意，雖未圖示，有時像素電極

51 的頂面形狀為梳齒狀或設置有狹縫的形狀。

[0101] 在圖 15A 所示的結構中，觸控感測器具有感測器電極 55 和感測器電極 56。這裡，感測器電極 55 及感測器電極 56 與像素電極 51 由同一導電膜形成。或者，感測器電極 55 及感測器電極 56 與像素電極 51 設置在同一面上。在 X 方向上排列的多個感測器電極 55 藉由佈線 57 彼此電連接。另外，感測器電極 56 在 Y 方向上延伸地設置。亦即，圖 15A 相當於圖 8A 的平面圖。另外，感測器電極 55 及感測器電極 56 也可以不與像素電極由同一導電膜形成，而與共用電極由同一導電膜形成。

[0102] 圖 15B 示出共用電極 52 與感測器電極 55 由同一導電膜形成的例子。或者，共用電極 52 與感測器電極 55 設置在同一面上。這裡，共用電極 52 及感測器電極 55 具有在 X 方向上延伸的帶狀形狀並與各感測器電極 56 交叉。亦即，圖 15B 相當於圖 8C 的平面圖。

[0103] 圖 15C 示出圖 15B 中的共用電極 52 兼作為感測器電極 55 時的例子。亦即，圖 15C 相當於圖 7C 的平面圖。

[0104] 另外，雖然示出感測器電極 56 在 Y 方向上延伸地設置時的例子，但是感測器電極 56 也可以在 X 方向上延伸地設置。圖 16A、圖 16B、圖 16C 分別示出圖 15A、圖 15B、圖 15C 中的感測器電極 56 在 X 方向上延伸時的例子。

[0105] 另外，在圖 15B 及圖 15C 中，雖然示出上側

電極（離液晶層近的一側的電極，亦即，離手指或筆等的檢測物件近的一側的電極）為像素電極而下側的電極（離液晶層遠的一側的電極，亦即，離手指或筆等的檢測物件遠的一側的電極）為共用電極時的例子，但是本發明的一個實施例不侷限於此，也可以採用上側電極（離液晶層近的一側的電極，亦即，離手指或筆等的檢測物件近的一側的電極）為共用電極而下側電極（離液晶層遠的一側的電極，亦即，離手指或筆等的檢測物件遠的一側的電極）為像素電極的結構。圖 17A 及圖 17B 分別示出將上述結構用於圖 15B 及圖 15C 時的例子。注意，雖未圖示，有時共用電極 52 的頂面形狀為梳齒狀或設置有狹縫的形狀。

[0106] 以上是對觸控面板的方式的說明。

[0107]

[結構範例 1]

下面，對觸控面板的更具體的結構範例進行說明。

[0108] 圖 18A 是本發明的一個實施例的觸控面板 310 的透視示意圖。圖 18B 是將圖 18A 展開時的透視示意圖。注意，為了明確起見，圖 18A 及圖 18B 只示出典型組件。此外，在圖 18B 中，用虛線只示出一部分的組件（基板 372）的輪廓。

[0109] 觸控面板 310 具有對置地設置的基板 371 及基板 372。

[0110] 此外，在基板 371 上設置有顯示部 381、驅動電路 382、佈線 383 及驅動電路 384 等。另外，顯示部

381 中形成有導電層 332。在基板 371 上設置有電連接於佈線 383 的 FPC 373。此外，圖 18A 及圖 18B 示出在 FPC 373 上設置有 IC 374 的例子。

[0111] 另外，基板 372 與基板 371 相對的面一側形成有多個導電層 331、多個導電層 335、多個導電層 341 等。導電層 341 與多個導電層 331 中的一個電連接。另外，多個導電層 341 藉由連接部 385 與設置在基板 371 上的 FPC 373 電連接。

[0112] 導電層 335 配置在兩個導電層 331 之間。藉由設置導電層 335 可以抑制設置有導電層 331 的區域的穿透率與沒有設置導電層 331 的區域的穿透率產生差異。另外，較佳為導電層 335 處於電浮動狀態。由此，可以藉由導電層 335 將導電層 331 和導電層 332 中的一方的電位變化高效地傳達給另一方，從而可以提高檢出靈敏度。另外，當不需要時也可以不設置導電層 335。

[0113] 顯示部 381 至少包括多個像素。每個像素至少包括一個顯示元件。此外，每個像素較佳為具備電晶體及顯示元件。作為顯示元件，典型地可以使用有機 EL 元件等發光元件或液晶元件等。

[0114] 作為驅動電路 382，例如可以使用具有掃描線驅動電路、訊號線驅動電路等的功能的電路。

[0115] 佈線 383 具有對顯示部 381 及驅動電路 382 供應訊號及電力的功能。該訊號或電力藉由 FPC 373 從外部或 IC 374 輸入到佈線 383。

[0116] 驅動電路 384 具有依次選擇導電層 332 的功能。或者，當不藉由導電層 332 而藉由依次選擇導電層 331 來驅動觸控感測器時，驅動電路 384 具有對導電層 332 交替地提供固定電位或用於感測的訊號的功能。另外，當由 IC 374 或從外部提供驅動觸控感測器的訊號時，也可以不設置驅動電路 384。

[0117] 圖 18A 及圖 18B 示出利用 COF（薄膜覆晶封裝：Chip On Film）方式在 FPC 373 上安裝有 IC 374 的例子。作為 IC 374，例如可以應用具有掃描線驅動電路或訊號線驅動電路等的功能的 IC。另外，在觸控面板 310 具備作為掃描線驅動電路及訊號線驅動電路的電路時，或者在外部設置作為掃描線驅動電路或訊號線驅動電路的電路且藉由 FPC 373 輸入用來驅動顯示部 381 的訊號等時，也可以不設置 IC 374。此外，也可以利用 COG（Chip On Glass：玻璃上晶片）方式等在基板 371 上直接安裝有 IC 374。

[0118] 觸控感測器由設置於基板 372 上的導電層 331 與設置於基板 371 上的導電層 332 構成。觸控感測器可以利用形成在導電層 331 與導電層 332 之間的電容來進行檢出。

[0119] 藉由採用該結構，可以將與觸控面板 310 連接的 FPC 僅配置於一個基板一側（這裡，基板 371 一側）。另外，如圖 18A 和圖 18B 所示，觸控面板 310 上設置有一個 FPC 373，藉由使該 FPC 373 具有對顯示面板

及觸控感測器的兩者供應訊號的功能，可以進一步簡化結構，因此是較佳的。

[0120] 另外，此時，IC 374 也可以具有作為驅動觸控感測器的功能，或者也可以設置驅動觸控感測器的 IC。或者，可以將驅動觸控感測器的 IC 安裝到基板 371 上。

[0121] 圖 19 示出具有與圖 18A 和圖 18B 不同的結構的觸控面板 310 的俯視示意圖。

[0122] 圖 19 中的觸控面板示出基板 371 上具有多個 FPC 373a 及 FPC 373b 時的例子。每個 FPC 373a 具有提供用來驅動顯示部 381 的訊號的功能。另外，FPC 373b 具有對配置於基板 372 一側的導電層 331 提供訊號等的功能。

[0123] 如此，藉由沿著觸控面板 310 的顯示部 381 的兩個以上的邊配置 FPC 373a，可以對觸控面板 310 提供較多訊號。例如，當顯示部 381 具有高解析度時，藉由像這樣採用從顯示部 381 的兩個以上的邊提供訊號的結構，可以降低因佈線密度高而產生的佈線間的寄生電容。另外，當採用大型顯示裝置時，藉由採用這種結構可以縮短佈線的長度，由此可以降低佈線電阻並抑制訊號延遲等的影響。

[0124]

[剖面結構範例 1]

下面，參照圖式說明本發明的一個實施例的觸控面板

的剖面結構的例子。

[0125]

[剖面結構範例 1-1]

圖 20 是觸控面板 310 的剖面示意圖。圖 20 分別示出圖 18A 中的包括 FPC 373 的區域、包括驅動電路 382 的區域及包括顯示部 381 的區域的剖面。

[0126] 使用黏合層 151 將基板 371 與基板 372 彼此貼合。另外，在由基板 371、基板 372 以及黏合層 151 包圍的區域中密封有液晶 253。

[0127] 基板 371 上設置有電晶體 201、電晶體 203、連接部 206、導電層 207 以及構成液晶元件 208 的導電層 251 及導電層 252 等。

[0128] 基板 371 上設置有絕緣層 211、絕緣層 212、絕緣層 213、絕緣層 214、絕緣層 254 及間隔物 216 等。絕緣層 211 的一部分作為各電晶體的閘極絕緣層。絕緣層 212、絕緣層 213 及絕緣層 214 以覆蓋各電晶體的方式設置。作為一個例子，絕緣層 214 作為平坦化層。此外，這裡示出覆蓋電晶體等的絕緣層包括絕緣層 212、絕緣層 213 及絕緣層 214 的三層的情況，但是絕緣層不侷限於此，也可以為四層以上、單層或兩層。如果不需要，則可以不設置作為平坦化層的絕緣層 214。

[0129] 在圖 20 中，作為顯示部 381 的例子，示出一個子像素的剖面。例如，藉由將子像素作為呈現紅色的子像素、呈現綠色的子像素、以及呈現藍色的子像素中的一

個，能夠實現全彩色顯示。例如，圖 20 所示的子像素包括電晶體 203、液晶元件 208 及彩色層 231。

[0130] 另外，在圖 20 中，作為驅動電路 382 的例子示出設置有電晶體 201 的例子。

[0131] 在圖 20 中，作為電晶體 201 及電晶體 203 的例子示出具有如下結構的例子：形成有通道的半導體層由閘極電極 283 及閘極電極 284 或者由閘極電極 281 及閘極電極 282 夾持。這種電晶體在閘極電極 281 與閘極電極 282 連接或閘極電極 283 與閘極電極 284 連接時與其他電晶體相比能夠提高場效移動率，而可以增大通路狀態電流（on-state current）。其結果是，可以製造能夠高速工作的電路。再者能夠縮小電路部的佔有面積。藉由使用通路狀態電流大的電晶體，即使在使顯示面板或觸控面板大型化或高清晰化時佈線數增多，也可以降低各佈線的訊號延遲，而可以抑制顯示不均勻。

[0132] 驅動電路 382 所包括的電晶體與顯示部 381 所包括的電晶體也可以具有相同的結構。此外，驅動電路 382 所包括的多個電晶體可以都具有相同的結構或不同的結構。另外，顯示部 381 所包括的多個電晶體可以都具有相同的結構或不同的結構。

[0133] 例如，覆蓋各電晶體的絕緣層 212 和絕緣層 213 中的至少一個較佳為使用水或氫等雜質不容易擴散的材料。亦即，可以將絕緣層 212 或絕緣層 213 作為障壁膜。藉由採用這種結構，可以有效地抑制雜質從外部擴散

到電晶體中，從而能夠實現可靠性高的觸控面板。

[0134] 圖 20 示出對液晶元件 208 採用 FFS (Fringe Field Switching：邊緣場切換) 模式的液晶元件的例子。液晶元件 208 包括導電層 251、液晶 253、以及導電層 252。可以由產生於導電層 251 與導電層 252 之間的電場控制液晶 253 的配向。

[0135] 在絕緣層 214 上配置有導電層 252。另外，覆蓋導電層 252 地設置有絕緣層 254，並且在絕緣層 254 上設置有導電層 251。導電層 251 藉由設置在絕緣層 254、絕緣層 214、絕緣層 213、絕緣層 212 中的開口與電晶體 203 的源極和汲極中的一個電連接。當作為導電層 251 和導電層 252 使用具有透光性的導電材料時，可以使顯示面板 310 成為透射型液晶顯示裝置。

[0136] 導電層 251 具有梳齒形的頂面形狀或設有狹縫的頂面形狀（頂面形狀也稱為平面形狀）。另外，導電層 252 與導電層 251 重疊地配置。另外，在重疊於彩色層 231 等的區域中包括在導電層 252 上沒有配置導電層 251 的部分。

[0137] 在圖 20 中，將導電層 251 作為像素電極，且將導電層 252 作為共用電極。另外，將設置在上層並具有梳齒形或狹縫狀的頂面形狀的導電層 251 作為共用電極，並且將設置在下層的導電層 252 作為像素電極。在此情況下，使導電層 252 與電晶體 203 的源極和汲極中的一個電連接即可。

[0138] 離基板 371 的端部近的區域設置有連接部 206。連接部 206 藉由連接層 209 與 FPC 373 電連接。圖 20 示出了藉由如下方法構成的連接部 206 的例子：層疊導電層 207 的一部分及藉由對與導電層 251 為同一導電膜的膜進行加工而形成的導電層。

[0139] 面對基板 371 的基板 372 的一側的面上設置有導電層 331、導電層 341、彩色層 231、遮光層 232、絕緣層 255 等。

[0140] 在圖 20 中，示出導電層 331 與導電層 341 形成在同一面上的情況。這裡，較佳為對同一導電膜進行加工來同時形成導電層 331 和導電層 341。另外，導電層 331 與導電層 341 也可以一體化。此時，至少與顯示部 381 重疊的部分相當於作為觸控感測器的一個電極的導電層 331，其他部分相當於導電層 341。亦即，圖 20 示出圖 7A 的情況的剖面圖的一個例子。

[0141] 在連接部 385 中，導電層 341 包括不被絕緣層 255 覆蓋的區域。導電層 341 藉由連接器 386 與設置在基板 371 一側的導電層 207 電連接。由此，FPC 373 與導電層 331 電連接。在圖 20 中，示出連接器 386 包括如下部分的情況：與導電層 341 接觸的部分；以及接觸於與導電層 251 形成在同一面上並與導電層 207 電連接的導電層的部分。

[0142] 例如，連接器 386 可以使用導電粒子。作為導電粒子，可以採用表面覆蓋有金屬材料的有機樹脂或二

氧化矽等粒子。作為金屬材料，較佳為使用鎳或金，因為其可以降低接觸電阻。另外，較佳為使用如在鎳上還覆蓋金等以層狀覆蓋有兩種以上的金屬材料的粒子。另外，連接器 386 較佳為採用能夠彈性變形或塑性變形的材料。此時，有時導電粒子成為圖 20 所示的那樣的在縱向上被壓扁的形狀。藉由具有該形狀，可以增大連接器 386 與其電連接的導電層的接觸面積，從而可以降低接觸電阻並抑制接觸不良等問題發生。

[0143] 連接器 386 較佳為以由黏合層 151 覆蓋的方式配置。例如，可以在塗佈成為黏合層 151 的膏料等之後，在連接部 385 中配置連接器 386。例如，可以將在設置有黏合層 151 的部分中配置連接部 385 的結構用於如下結構中：如固體封止結構的顯示裝置或中空封止結構的顯示裝置等那樣的將黏合層 151 用於外周部的結構。

[0144] 彩色層 231 及遮光層 232 設置於導電層 331 上。另外，覆蓋彩色層 231 及遮光層 232 設置有絕緣層 255。

[0145] 絕緣層 255 具有防止包含於彩色層 231 及遮光層 232 等中的雜質擴散到液晶 253 中的防止保護層的作用。

[0146] 間隔物 216 設置在絕緣層 254 上，其具有使基板 371 與基板 372 之間保持一定距離的作用。雖然圖 20 中示出間隔物 216 與基板 372 一側的組件（例如絕緣層 255 等）接觸的例子，但是也可以不互相接觸。另外，

雖然在這裡示出間隔物 216 設置在基板 371 一側的例子，間隔物 216 也可以設置在基板 372 一側。例如，可以將其設置在彼此相鄰的兩個子像素之間。或者，作為間隔物 216 也可以使用粒狀的間隔物。作為粒狀的間隔物，可以使用二氧化矽等材料，較佳為使用有機樹脂或橡膠等具有彈性的材料。此時，粒狀的間隔物有時成為在縱向上被壓扁的形狀。

[0147] 另外，在導電層 251、絕緣層 254、絕緣層 255 等中，在與液晶 253 接觸的面上也可以設置用來控制液晶 253 的配向的對準膜。

[0148] 較佳的是導電層 331 的至少與彩色層 231 重疊的部分採用具有透光性的材料。

[0149] 另外，當液晶元件 208 為透射型液晶元件時，例如以夾有顯示部的方式配置未圖示的兩個偏光板。來自位於偏光板的外側的背光的光經過偏光板進入。此時，可以由施加到導電層 251 和導電層 252 之間的電壓控制液晶 253 的配向，來控制光的光學調變。就是說，可以控制經過偏光板射出的光的強度。另外，因為從背光入射的光的指定波長區域以外的光被彩色層 231 吸收，因此從液晶元件 208 所射出的光成為例如呈現紅色、藍色或綠色的光。

[0150] 另外，除了偏光板之外，還可以利用例如圓偏光板。作為圓偏光板，例如可以使用將直線偏光板和四分之一波相位差板層疊而成的偏光板。藉由圓偏光板可以

減少視角依賴性。

[0151] 注意，雖然這裡作為液晶元件 20 使用了採用 FFS 模式的元件，但是不侷限於此，也可以使用採用各種模式的液晶元件。例如，可以採用 VA（Vertical Alignment：垂直對準）模式、TN（Twisted Nematic：扭曲向列）模式、IPS（In-Plane-Switching：平面內切換）模式、FFS（Fringe Field Switching：邊緣電場切換）模式；ASM（Axially Symmetric aligned Micro-cell：軸對稱排列微單元）模式、OCB（Optically Compensated Birefringence：光學補償雙折射）模式、FLC（Ferroelectric Liquid Crystal：鐵電性液晶）模式、AFLC（AntiFerroelectric Liquid Crystal：反鐵電性液晶）模式等的液晶元件。

[0152] 另外，也可以對觸控面板 310 使用常黑型液晶顯示裝置，例如採用垂直對準（VA）模式的透射型液晶顯示裝置。作為垂直對準模式，可以使用 MVA（Multi-Domain Vertical Alignment：多象限垂直對準）模式、PVA（Patterned Vertical Alignment：垂直對準構型）模式、ASV（Advanced Super View：高級超視覺）模式等。

[0153] 另外，液晶元件是利用液晶的光學調變作用來控制光的透過或非透過的元件。液晶的光學調變作用由施加到液晶的電場（包括橫向電場、縱向電場或傾斜方向電場）控制。作為用於液晶元件的液晶可以使用熱致液晶、低分子液晶、高分子液晶、高分子分散型液晶

(PDLC: Polymer Dispersed Liquid Crystal: 聚合物分散液晶)、鐵電液晶、反鐵電性液晶等。這些液晶材料根據條件呈現出膽固醇相、層列相、立方相、手向列相、各向同性相等。

[0154] 另外，作為液晶材料，可以使用正型液晶和負型液晶中的任一種，根據所採用的模式或設計採用適當的液晶材料即可。

[0155] 此外，在採用橫向電場方式的情況下，也可以使用不使用對準膜的呈現藍相的液晶。藍相是液晶相的一種，是指當使膽固醇相 (cholesteric) 液晶的溫度上升時即將從膽固醇相轉變到各向同性相之前出現的相。因為藍相只在窄的溫度範圍內出現，所以將其中混合了幾 wt% 以上的手性試劑 (chiral) 的液晶組合物用於液晶層，以擴大溫度範圍。由於包含呈現藍相的液晶和手性試劑的液晶組成物的回應速度快，並且其具有光學各向同性。此外，包含呈現藍相的液晶和手性試劑的液晶組成物不需要對準處理，並且視角依賴性小。另外，由於不需要設置對準膜而不需要摩擦處理，因此可以防止由於摩擦處理而引起的靜電破壞，並可以降低製程中的液晶顯示裝置的不良、破損。

[0156] 在本結構範例中，可以利用形成在導電層 331 和導電層 252 之間的電容檢出觸摸工作等。亦即，導電層 252 兼作為液晶元件 208 的一對電極中的一個和觸控感測器的一對電極中的一個。

[0157] 在此，作為導電層 251、導電層 252 或導電層 331 較佳為使用使可見光透過的導電材料。例如，由包含金屬氧化物的導電材料構成。例如，可以使用後面說明的透光性導電材料中的金屬氧化物。

[0158] 另外，作為導電層 251、導電層 252 或導電層 331 較佳為使用包含與其他導電層或半導體層相同的金屬元素的金屬氧化物而形成。尤其是，在對觸控面板 310 所包括的電晶體的半導體層使用氧化物半導體的情況下，較佳為使用包含該氧化物半導體含有的金屬元素的導電氧化物。尤其是，絕緣層 254 可以使用含有氫的氮化矽膜。此時，當作為導電層 252 使用氧化物半導體時，由於從絕緣層 254 供給的氫，可以提高導電率。亦即，可以使氧化物半導體為 n^+ 型。

[0159] 另外，根據情況也可以對導電層 331 提供固定電位。在這種情況下，可以遮斷來自外部的電磁雜訊。例如，當不進行感測時，對導電層 331 供應不對液晶 253 的開關造成影響的固定電位即可。例如可以使用接地電位、共用電位或任意的固定電位。此外，例如可以使導電層 331 和導電層 252 成為相同電位。

[0160] 另外，藉由對導電層 331 供應適當的電位，可以減少產生在導電層 251 與導電層 252 之間的電場的方向（電力線的方向）中的厚度方向上的成分，而可以進一步有效地使電場朝向大致垂直於厚度的方向（橫方向）。由此，可以抑制液晶 253 的配向缺陷，而防止發生漏光等

不良現象。

[0161] 在此，也可以在基板 372 上方設置手指或觸控筆等被檢測體直接接觸的基板。此時較佳為在基板 372 和該基板之間設置偏光板或圓偏光板。在此情況下，較佳為在該基板上設置保護層（陶瓷塗層等）。作為保護層，例如可以使用氧化矽、氧化鋁、氧化釔、釔安定氧化鋯（yttria-stabilized zirconia, YSZ）等無機絕緣材料。此外，該基板也可以使用強化玻璃（tempered glass）。較佳為使用藉由離子交換法或風冷強化法等被施加物理或化學處理，並且其表面被施加壓應力的強化玻璃。

[0162]

[各組件]

下面，說明上述各組件。

[0163]

[基板]

觸控面板所包括的基板可以使用具有平坦面的材料。作為提取來自顯示元件的光的一側的基板，使用使該光透過的材料。例如，可以使用玻璃、石英、陶瓷、藍寶石以及有機樹脂等的材料。另外，還可以使用以矽或碳化矽等為材料的單晶半導體基板或多晶半導體基板、以矽鍺等為材料的化合物半導體基板、SOI（Silicon On Insulator：絕緣層上覆矽）基板等，並且也可以將在這些基板上設置有半導體元件的基板作為基板。

[0164] 當作為基板使用玻璃基板時，藉由使用第 6

代（1500 mm×1850 mm）、第 7 代（1870 mm×2200 mm）、第 8 代（2200 mm×2400 mm）、第 9 代（2400 mm×2800 mm）、第 10 代（2950 mm×3400 mm）等的大面積基板，可以製造大型顯示裝置。作為基板也可以使用撓性基板，並且在撓性基板上直接形成電晶體或電容元件等。

[0165] 藉由使用厚度薄的基板，可以實現觸控面板的輕量化及薄型化。再者，藉由使用其厚度允許其具有撓性的基板，可以實現具有撓性的觸控面板。

[0166] 作為玻璃，例如可以使用無鹼玻璃、鋇硼矽酸鹽玻璃、鋁硼矽酸鹽玻璃等。

[0167] 作為具有撓性以及對可見光具有透過性的材料，例如可以舉出如下材料：其厚度允許其具有撓性的玻璃、聚酯樹脂諸如聚對苯二甲酸乙二醇酯（PET）或聚萘二甲酸乙二醇酯（PEN）等、聚丙烯腈樹脂、聚醯亞胺樹脂、聚甲基丙烯酸甲酯樹脂、聚碳酸酯（PC）樹脂、聚醚砜（PES）樹脂、聚醯胺樹脂、環烯烴樹脂、聚苯乙烯樹脂、聚醯胺-醯亞胺樹脂、聚氯乙烯樹脂或聚四氟乙烯（PTFE）樹脂等。尤其較佳為使用熱膨脹係數低的材料，例如較佳為使用聚醯胺-醯亞胺樹脂、聚醯亞胺樹脂以及 PET 等。另外，也可以使用將有機樹脂浸滲於玻璃纖維中的基板或將無機填料混合到有機樹脂中來降低熱膨脹係數的基板。由於使用這種材料的基板的重量輕，所以使用該基板的觸控面板也可以實現輕量化。

[0168] 作為不提取發光的一側的基板，也可以不具有透光性，所以除了上面例舉的基板之外還可以採用使用了金屬材料或合金材料的金屬基板、陶瓷基板或半導體基板等。由於金屬材料以及合金材料的熱導電性高，並且容易將熱傳導到密封基板整體，因此能夠抑制觸控面板的局部溫度上升，所以是較佳的。為了獲得撓性或彎曲性，較佳為將金屬基板的厚度設定為 $10\mu\text{m}$ 以上且 $200\mu\text{m}$ 以下，更佳為 $20\mu\text{m}$ 以上且 $50\mu\text{m}$ 以下。

[0169] 對於構成金屬基板的材料沒有特別的限制，例如，較佳為使用鋁、銅、鎳、鋁合金或不鏽鋼等金屬的合金等。

[0170] 此外，也可以使用使導電性的基板的表面氧化或在其表面上形成絕緣膜等進行過絕緣處理的基板。例如，既可以採用旋塗法或浸漬法等塗佈法、電沉積法、蒸鍍法或濺射法等的方法形成絕緣膜，又可以藉由暴露在氧氛圍下或在氧氛圍下加熱，或者採用陽極氧化法等的方法，在基板的表面形成氧化膜。

[0171] 作為具有撓性的基板也可以採用如下疊層結構：層疊使用上述材料的層、保護觸控面板的表面免受損傷等的硬塗層（例如，氮化矽層等）及能夠分散按壓力的材質的層（例如，芳族聚醯胺樹脂層等）等。另外，為了抑制水分等導致顯示元件使用壽命降低等，也可以具有如下低透水性的絕緣膜：氮化矽膜、氧氮化矽膜等的含有氮和矽的膜；氮化鋁膜等含有氮和鋁的膜。

[0172] 作為基板也可以使用層疊多個層的基板。特別是，藉由採用具有玻璃層的結構，可以提高對水或氧的阻擋性而可以提供可靠性高的觸控面板。

[0173] 例如，可以使用從離顯示元件近的一側層疊有玻璃層、黏合層及有機樹脂層的基板。將該玻璃層的厚度設定為 20 μm 以上且 200 μm 以下，較佳為 25 μm 以上且 100 μm 以下。這種厚度的玻璃層可以同時實現對水或氧的高阻擋性和撓性。此外，將有機樹脂層的厚度設定為 10 μm 以上且 200 μm 以下，較佳為 20 μm 以上且 50 μm 以下。藉由設置這種有機樹脂層，可以抑制玻璃層的破裂或縫裂來提高機械強度。藉由將這種玻璃材料和有機樹脂的複合材料應用於基板，可以實現可靠性極高的撓性觸控面板。

[0174]

[電晶體]

電晶體包括：作為閘極電極的導電層；半導體層；作為源極電極的導電層；作為汲極電極的導電層；以及作為閘極絕緣層的絕緣層。上面示出採用底閘極結構電晶體的情況。

[0175] 注意，對本發明的一個實施例的觸控面板所包括的電晶體的結構沒有特別的限制。例如，可以採用平面型電晶體、交錯型電晶體或反交錯型電晶體。此外，還可以採用頂閘極型或底閘極型的電晶體結構。另外，也可以在通道的上下設置閘極電極。對用於電晶體半導體材

料沒有特別的限制，例如可以舉出氧化物半導體、矽、銻等。

[0176] 對用於電晶體的半導體材料的結晶性也沒有特別的限制，可以使用非晶半導體或具有結晶性的半導體（微晶半導體、多晶半導體、單晶半導體或其一部分具有結晶區域的半導體）。當使用具有結晶性的半導體時可以抑制電晶體的特性劣化，所以是較佳的。

[0177] 另外，作為用於電晶體的半導體材料，例如可以將第 14 族元素、化合物半導體或氧化物半導體用於半導體層。典型的是，可以使用包含矽的半導體、包含碲化鎵的半導體或包含銦的氧化物半導體等。

[0178] 尤其較佳為將氧化物半導體用於電晶體的形成有通道的半導體。尤其較佳為使用其能帶間隙比矽寬的氧化物半導體。藉由使用能帶間隙比矽寬且載子密度比矽小的半導體材料，可以降低電晶體的關態電流（off-state current），所以是較佳的。

[0179] 例如，上述氧化物半導體較佳為至少包含銦（In）或鋅（Zn）。更佳的是，包含表示為 In-M-Zn 類氧化物（M 是 Al、Ti、Ga、Ge、Y、Zr、Sn、La、Ce、Hf 或 Nd 等金屬）的氧化物。

[0180] 作為半導體層，尤其較佳為使用如下氧化物半導體膜：具有多個結晶部，該結晶部的 c 軸對準於大致垂直於形成有半導體層的表面或半導體層的頂面的方向，並且在相鄰的結晶部間確認不到晶界。

[0181] 這種氧化物半導體因為不具有晶界，所以可以抑制因使顯示面板彎曲時的應力導致在氧化物半導體膜中產生縫裂的情況。因此，可以將這種氧化物半導體用於將其彎曲而使用的撓性觸控面板等。

[0182] 另外，藉由作為半導體層使用這種具有晶性的氧化物半導體，可以實現一種電特性變動得到抑制且可靠性高的電晶體。

[0183] 另外，使用其能帶間隙比矽寬的氧化物半導體的電晶體由於其關態電流低，因此能夠長期間保持儲存於與電晶體串聯連接的電容元件中的電荷。藉由將這種電晶體用於像素，能夠在保持各顯示區域所顯示的影像的灰階的狀態下，停止驅動電路。其結果是，可以實現功耗極小的顯示裝置。

[0184] 半導體層較佳為包括至少包含銦（In）、鋅（Zn）及 M（M 為 Al、Ti、Ga、Y、Zr、La、Ce、Sn 或 Hf 等金屬）的表示為 In-M-Zn 氧化物的膜。另外，為了減少使用該氧化物半導體的電晶體的電特性變異，除了上述元素以外，較佳的是還包含穩定劑（stabilizer）。

[0185] 作為穩定劑，可以舉出在上述表示為 M 的金屬，此外還有例如鎵（Ga）、錫（Sn）、鈦（Hf）、鋁（Al）或鋯（Zr）等。另外，作為其他穩定劑，可以舉出鐳系元素的鐳（La）、鈰（Ce）、鐑（Pr）、釹（Nd）、釷（Sm）、鈾（Eu）、鈾（Gd）、鉕（Tb）、鐮（Dy）、釹（Ho）、鉕（Er）、鐿（Tm）、釷（Yb）

以及鎳（Lu）等。

[0186] 作為構成半導體層的氧化物半導體，例如可以使用 In-Ga-Zn 類氧化物、In-Al-Zn 類氧化物、In-Sn-Zn 類氧化物、In-Hf-Zn 類氧化物、In-La-Zn 類氧化物、In-Ce-Zn 類氧化物、In-Pr-Zn 類氧化物、In-Nd-Zn 類氧化物、In-Sm-Zn 類氧化物、In-Eu-Zn 類氧化物、In-Gd-Zn 類氧化物、In-Tb-Zn 類氧化物、In-Dy-Zn 類氧化物、In-Ho-Zn 類氧化物、In-Er-Zn 類氧化物、In-Tm-Zn 類氧化物、In-Yb-Zn 類氧化物、In-Lu-Zn 類氧化物、In-Sn-Ga-Zn 類氧化物、In-Hf-Ga-Zn 類氧化物、In-Al-Ga-Zn 類氧化物、In-Sn-Al-Zn 類氧化物、In-Sn-Hf-Zn 類氧化物、In-Hf-Al-Zn 類氧化物。

[0187] 注意，在此，In-Ga-Zn 類氧化物是指作為主要成分具有 In、Ga 和 Zn 的氧化物，對 In、Ga、Zn 的比例沒有限制。此外，也可以包含 In、Ga、Zn 以外的金屬元素。

[0188] 另外，半導體層和導電層也可以具有上述氧化物中的同一金屬元素。藉由使半導體層和導電層具有同一金屬元素，可以降低製造成本。例如，藉由使用由同一金屬組成的金屬氧化物靶材，可以降低製造成本。另外，藉由使用同一金屬組成的金屬氧化物靶材，可以共同使用對半導體層和導電層進行加工時的蝕刻氣體或蝕刻劑。然而，即使半導體層和導電層具有同一金屬元素，有時其組成也互不相同。例如，在電晶體及電容元件的製程中，有

時膜中的金屬元素脫離而成為不同的金屬組成。

[0189] 此外，當半導體層是 In-M-Zn 氧化物時，作為除了 Zn 和 O 以外的 In 和 M 的原子個數百分比，在將 In 和 M 的總和設定為 100 atomic%的情況下，較佳為 In 高於 25 atomic%且 M 低於 75 atomic%，更佳為 In 高於 34 atomic%且 M 低於 66 atomic%。

[0190] 半導體層的能隙為 2eV 以上，較佳為 2.5eV 以上，更佳為 3eV 以上。如此，藉由使用能隙寬的氧化物半導體，可以減少電晶體的關態電流。

[0191] 半導體層的厚度為 3nm 以上且 200nm 以下，較佳為 3nm 以上且 100nm 以下，更佳為 3nm 以上且 50nm 以下。

[0192] 當半導體層為 In-M-Zn 氧化物（M 為 Al、Ti、Ga、Ge、Y、Zr、Sn、La、Ce、Hf 或 Nd）時，較佳為用來形成 In-M-Zn 氧化物膜的濺射靶材的金屬元素的原子數比滿足 $\text{In} \geq \text{M}$ 及 $\text{Zn} \geq \text{M}$ 。這種濺射靶材的金屬元素的原子數比較佳為 $\text{In}:\text{M}:\text{Zn}=1:1:1$ 、 $\text{In}:\text{M}:\text{Zn}=1:1:1.2$ 、 $\text{In}:\text{M}:\text{Zn}=3:1:2$ 、 $4:2:3$ 。注意，所形成的半導體層的原子數比分別包含上述濺射靶材中的金屬元素的原子數比的 $\pm 40\%$ 的範圍內的誤差。

[0193] 作為半導體層，可以使用載子密度低的氧化物半導體膜。例如，作為半導體層的載子可以使用密度為 1×10^{17} 個/cm³ 以下，較佳為 1×10^{15} 個/cm³ 以下，更佳為 1×10^{13} 個/cm³ 以下，進一步較佳為 1×10^{11} 個/cm³ 以下的

氧化物半導體膜。

[0194] 本發明不侷限於上述記載，可以根據所需的電晶體的半導體特性及電特性（場效移動率、臨界電壓等）來使用具有適當的組成的材料。另外，較佳為適當地設定半導體層的載子密度、雜質濃度、缺陷密度、金屬元素與氧的原子數比、原子間距離、密度等，以得到所需的電晶體的半導體特性。

[0195] 另外，當半導體層包含第 14 族元素之一的矽或碳時，半導體層中的氧空缺增加，會使得該半導體層變為 n 型。因此，將半導體層中的矽或碳的濃度（藉由二次離子質譜分析法（SIMS：Secondary Ion Mass Spectrometry）得到的濃度）設定為 $2 \times 10^{18} \text{ atoms/cm}^3$ 以下，較佳為 $2 \times 10^{17} \text{ atoms/cm}^3$ 以下。

[0196] 另外，將藉由二次離子質譜分析法得到的半導體層的鹼金屬或鹼土金屬的濃度設定為 $1 \times 10^{18} \text{ atoms/cm}^3$ 以下，較佳為 $2 \times 10^{16} \text{ atoms/cm}^3$ 以下。鹼金屬和鹼土金屬有時會與氧化物半導體結合而生成載子，導致電晶體的關態電流增大。因此，較佳為降低半導體層的鹼金屬或鹼土金屬的濃度。

[0197] 另外，當半導體層含有氮時生成作為載子的電子，載子密度增加而容易 n 型化。其結果，使用具有含有氮的氧化物半導體的電晶體容易變為常開啟特性。因此，較佳為儘量減少該氧化物半導體膜中的氮，例如，利用二次離子質譜分析法測得的氮濃度較佳為設定為

$5 \times 10^{18} \text{ atoms/cm}^3$ 以下。

[0198] 另外，半導體層例如也可以具有非單晶結構。非單晶結構例如包括 CAAC-OS (C Axis Aligned Crystalline Oxide Semiconductor: c 軸對準結晶氧化物半導體)、多晶結構、微晶結構或非晶結構。在非單晶結構中，非晶結構的缺陷能階密度最高，而 CAAC-OS 的缺陷能階密度最低。

[0199] 半導體層例如也可以具有非晶結構。非晶結構的氧化物半導體膜例如具有無秩序的原子排列且不具有結晶成分。或者，非晶結構的氧化物膜例如是完全的非晶結構且不具有結晶部。

[0200] 此外，半導體層也可以為具有非晶結構的區域、微晶結構的區域、多晶結構的區域、CAAC-OS 的區域和單晶結構的區域中的兩種以上的混合膜。另外，混合膜有時例如具有非晶結構的區域、微晶結構的區域、多晶結構的區域、CAAC-OS 的區域和單晶結構的區域中的兩種以上的區域的疊層結構。

[0201] 或者，較佳為將矽用於電晶體的形成有通道的半導體。作為矽可以使用非晶矽，尤其較佳為使用具有結晶性的矽。例如，較佳為使用微晶矽、多晶矽、單晶矽等。尤其是，與單晶矽相比，多晶矽能夠在低溫下形成，並且其場效移動率比非晶矽高，所以多晶矽的可靠性高。藉由將這樣的多晶半導體用於像素可以提高像素的孔徑率。另外，即使在像素以極高的解析度設置的情況下，也

能夠將閘極驅動電路及源極驅動電路與像素形成在同一基板上，從而能夠減少構成電子裝置的組件數量。

[0202]

[導電層]

作為電晶體的閘極、源極及汲極、構成觸控面板的各種佈線及電極等導電層的材料，可以舉出鋁、鈦、鉻、鎳、銅、鈮、銦、鋯、鉬、銀、鉕或鎢等金屬或者以上述金屬為主要成分的合金的單層或疊層。例如，可以舉出：包含矽的鋁膜的單層結構；在鈦膜上層疊鋁膜的兩層結構；在鎢膜上層疊鋁膜的兩層結構；在銅-鎂-鋁合金膜上層疊銅膜的兩層結構；在鈦膜上層疊銅膜的兩層結構；在鎢膜上層疊銅膜的兩層結構；依次層疊鈦膜或氮化鈦膜、鋁膜或銅膜以及鈦膜或氮化鈦膜的三層結構；以及依次層疊鉬膜或氮化鉬膜、鋁膜或銅膜以及鉬膜或氮化鉬膜的三層結構等。另外，也可以使用包含氧化銦、氧化錫或氧化鋅的透明導電材料。另外，藉由使用包含錳的銅，可以提高蝕刻時的形狀的控制性，所以是較佳的。

[0203] 另外，作為透光性導電材料，可以使用氧化銦、銦錫氧化物、銦鋅氧化物、氧化鋅、添加鎳的氧化鋅等導電性氧化物或石墨烯。或者，可以使用金、銀、鉑、鎂、鎳、鎢、鉻、鉬、鐵、鈷、銅、鈮或鈦等金屬材料、包含該金屬材料的合金材料。或者，還可以使用該金屬材料的氮化物（例如，氮化鈦）等。另外，當使用金屬材料、合金材料（或者它們的氮化物）時，將其形成得薄到

具有透光性，即可。此外，可以將上述材料的疊層膜作為導電層。例如，藉由使用銀和鎂的合金與銦錫氧化物的疊層膜等，可以提高導電性，所以是較佳的。

[0204] 另外，作為導電層，較佳為使用與半導體層相同的氧化物半導體。此時，較佳為以呈現比半導體層的形成有通道的區域低的電阻的方式形成導電層。

[0205] 例如，可以將這種導電層用於作為電晶體的第二閘極電極的導電層。另外，也可以用於具有透光性的其他導電層。

[0206]

[氧化物半導體的電阻率的控制方法]

可用於半導體層及導電層的氧化物半導體膜是可以根據膜中的氧空缺及/或膜中的氫、水等雜質的濃度來控制電阻率的半導體材料。因此，藉由選擇對半導體層及導電層進行增加氧空缺及/或雜質濃度的處理或者降低氧空缺及/或雜質濃度的處理，可以控制各氧化物半導體膜電阻率。

[0207] 明確而言，藉由對用於導電層的氧化物半導體膜進行電漿處理，且增加該氧化物半導體的膜中的氧空缺及/或氫、水等雜質，可以實現載子密度高且電阻率低的氧化物半導體膜。此外，藉由以與氧化物半導體膜接觸的方式形成含有氫的絕緣膜，且使氫從該含有氫的絕緣膜擴散到氧化物半導體膜中，可以實現載子密度高且電阻率低的氧化物半導體膜。

[0208] 另一方面，作為電晶體的通道區域的半導體層不與含有氫的絕緣膜接觸。藉由對作為與半導體層接觸的絕緣膜中的至少一個使用含有氧的絕緣膜，換言之能夠釋放氧的絕緣膜，可以對半導體層供應氧。被供應氧的半導體層由於膜中或介面的氧空缺被填補而成為電阻率高的氧化物半導體膜。此外，作為能夠釋放氧的絕緣膜例如可以使用氧化矽膜或氧氮化矽膜。

[0209] 另外，為了得到電阻率低的氧化物半導體膜，可以採用離子植入法、離子摻雜法、電漿浸沒離子佈植技術等來將氫、硼、磷或氮注入氧化物半導體膜內。

[0210] 另外，為了得到電阻率低的氧化物半導體膜，可以對該氧化物半導體膜進行電漿處理。作為該電漿處理，典型地可以舉出使用包含選自稀有氣體（He、Ne、Ar、Kr、Xe）、氫和氮中的一種以上的氣體的電漿處理。更明確而言，可以舉出 Ar 氛圍下的電漿處理、Ar 和氫的混合氛圍下的電漿處理、氮氛圍下的電漿處理、Ar 和氮的混合氛圍下的電漿處理或氮氛圍下的電漿處理等。

[0211] 藉由上述電漿處理，在氧化物半導體膜中的發生氧脫離的晶格（或氧脫離的部分）中形成氧空缺。該氧空缺有可能成為產生載子的原因。此外，有時從氧化物半導體膜附近，更明確而言，氫從與氧化物半導體膜的下側或上側接觸的絕緣膜被供應，上述氧空缺與氫鍵合而產生作為載子的電子。

[0212] 另一方面，氧空缺被填補且氫濃度被降低的

氧化物半導體膜可以說是高純度本質化或實質上高純度本質化的氧化物半導體膜。在此，“實質上本質”是指氧化物半導體膜的載子密度低於 8×10^{11} 個/cm³，較佳低於 1×10^{11} 個/cm³，更佳低於 1×10^{10} 個/cm³ 以上。因為高純度本質或實質上高純度本質的氧化物半導體膜的載子發生源少，所以可以降低載子密度。此外，高純度本質或實質上高純度本質的氧化物半導體膜的缺陷能階密度低，因此可以降低陷阱態密度。

[0213] 高純度本質或實質上高純度本質的氧化物半導體膜的關態電流顯著低，即便是通道寬度為 1×10^6 μm、通道長度為 10 μm 的元件，在源極電極與汲極電極之間的電壓（汲極電壓）在 1V 至 10 V 的範圍時，關態電流也可以為半導體參數分析儀的測定極限以下，亦即， 1×10^{-13} A 以下。因此，將使用上面所述的高純度本質或實質上高純度本質的氧化物半導體膜的半導體層用於通道區域的電晶體成為電特性變動小且可靠性高的電晶體。

[0214] 作為與用作導電層的氧化物半導體膜接觸的絕緣膜，例如使用含有氫的絕緣膜，換言之能夠釋放氫的絕緣膜，典型為氮化矽膜，由此可以對導電層供應氫。作為能夠釋放氫的絕緣膜，氫濃度較佳為 1×10^{22} atoms/cm³ 以上。藉由以與導電層接觸的方式形成上述絕緣膜，可以有效地使導電層含有氫。如此，藉由改變與半導體層及導電層接觸的絕緣膜的結構，能夠控制氧化物半導體膜的電阻率。

[0215] 包含在氧化物半導體膜中的氫與鍵合於金屬原子的氧發生反應生成水，與此同時在發生氧脫離的晶格（或氧脫離的部分）中形成氧空缺。當氫進入該氧空缺時，有時生成作為載子的電子。另外，有時由於氫的一部分與鍵合於金屬原子的氧鍵合，產生作為載子的電子。因此，與含有氫的絕緣膜接觸地設置的導電層成為其載子密度比半導體層高的氧化物半導體膜。

[0216] 在形成有電晶體的通道區域的半導體層中，較佳為儘可能地減少氫。明確而言，在半導體層中，藉由二次離子質譜分析法得到的氫濃度為 2×10^{20} atoms/cm³ 以下，較佳為 5×10^{19} atoms/cm³ 以下，更佳為 1×10^{19} atoms/cm³ 以下，更佳低於 5×10^{18} atoms/cm³，更佳為 1×10^{18} atoms/cm³ 以下，進一步較佳為 5×10^{17} atoms/cm³ 以下，更進一步較佳為 1×10^{16} atoms/cm³ 以下。

[0217] 另一方面，導電層是其氫濃度及/或氧空缺量比半導體層多且其電阻率比半導體層低的氧化物半導體膜。導電層所包含的氫濃度為 8×10^{19} atoms/cm³ 以上、較佳為 1×10^{20} atoms/cm³ 以上、更佳為 5×10^{20} atoms/cm³ 以上。另外，與半導體層相比，導電層所包含的氫濃度為 2 倍以上、較佳為 10 倍以上。另外，導電層的電阻率較佳為半導體層的電阻率的 1×10^{-8} 倍以上且低於 1×10^{-1} 倍，典型的為 1×10^{-3} Ωcm 以上且低於 1×10^4 Ωcm，更佳為 1×10^{-3} Ωcm 以上且低於 1×10^{-1} Ωcm。

[0218]

[絕緣層]

作為可用於各絕緣層、保護層、隔離體等的絕緣材料，例如可以使用丙烯酸樹脂或環氧樹脂等樹脂、具有矽氧烷鍵的樹脂、無機絕緣材料如氧化矽、氧氮化矽、氮氧化矽、氮化矽或氧化鋁等。

[0219]

[黏合層]

作為黏合層可以使用熱固性樹脂、光硬化性樹脂、雙組分型固化樹脂等固化樹脂。例如可以使用丙烯酸樹脂、聚氨酯樹脂以及環氧樹脂或者矽酮等具有矽氧烷鍵的樹脂等。

[0220]

[連接層]

作為連接層，可以使用異方性導電膜（ACF：Anisotropic Conductive Film）、異方性導電膏（ACP：Anisotropic Conductive Paste）等。

[0221]

[彩色層]

作為能夠用於彩色層的材料之範例可以包括金屬材料、樹脂材料、包含顏料或染料的樹脂材料等。

[0222] 以上是各組件的說明。

[0223]

[剖面結構範例 1-2]

圖 21 示出與上述例子部分結構不同的觸控面板的剖

面結構範例。注意，省略與上述例子重疊的部分的說明，僅對其不同點進行說明。

[0224] 圖 21 示出彩色層 231 配置於基板 371 一側的例子。明確而言，彩色層 231 以接觸於絕緣層 213 的上表面的方式設置。另外，設置有覆蓋彩色層 231 的作為平坦化層的絕緣層 214。

[0225] 藉由採用上述結構，可以簡化基板 372 的結構。例如，在圖 21 中示出在基板 372 上僅形成導電層 331 及導電層 341 的例子。另外，需要時也可以在基板 372 上設置對準膜等。

[0226]

[剖面結構範例 1-3]

圖 22 示出對圖 20 中的電晶體 201 及電晶體 203 應用頂閘極型電晶體時的例子。

[0227] 各電晶體具有半導體層，在半導體層上隔著絕緣層 211 設置有閘極電極。另外，半導體層也可以包括被低電阻化的區域。該區域作為源極或汲極。

[0228] 電晶體的源極電極及汲極電極設置在絕緣層 213 上，並藉由設置於絕緣層 213、絕緣層 212、絕緣層 211 中的開口與半導體層的被低電阻化的區域電連接。

[0229] 例如，半導體層的被低電阻化的區域可以為如下區域：與形成有電晶體的通道的區域相比含有更多雜質的區域；載子濃度高的區域；或結晶性低的區域等。作為能夠提高導電性的雜質，根據用於半導體層的半導體而

不同，典型地有磷等賦予 n 型導電性的元素、硼等賦予 p 型導電性的元素、氦、氖、氬等稀有氣體，除此以外還可以舉出氫、鋰、鈉、鎂、鋁、氮、氟、鉀、鈣等。另外，鈦、鐵、鎳、銅、鋅、銀、銦、錫等也能夠作為影響半導體的導電性的雜質。例如，區域 262 及區域 263 與形成有電晶體的通道的區域相比含有更多上述雜質。

[0230]

[剖面結構範例 1-4]

圖 23 示出與圖 20 等相比導電層 252 的位置不同的例子。明確而言，示出導電層 252 位於絕緣層 212 與絕緣層 213 之間的結構的例子。

[0231] 作為導電層 252，例如可以使用上述透光導電材料。

[0232] 另外，例如，導電層 252 較佳為含有被低電阻化的氧化物半導體。尤其是，當作為觸控面板 310 所具有的電晶體的半導體層使用氧化物半導體時，較佳為使用電阻率更低的氧化物半導體。

[0233] 例如，可以藉由上述氧化物半導體的電阻率的控制方法使導電層 252 低電阻化。

[0234] 另外，此時作為覆蓋導電層 252 的絕緣層 213，較佳為使用上述含有大量氫的絕緣層，尤其較佳的是包括含有氮化矽的絕緣膜。

[0235]

[剖面結構範例 2]

下面，對與上述剖面結構範例相比部分結構不同的觸控面板的結構範例進行說明。

[0236]

[剖面結構範例 2-1]

圖 24 與上述剖面結構範例的不同之處在於導電層 331 及導電層 341 配置在基板 371 一側。

[0237] 導電層 331 及導電層 341 設置在基板 371 上。覆蓋導電層 331 及導電層 341 地設置有絕緣層 217。在絕緣層 217 上設置有電晶體 201 及電晶體 203 等。

[0238] 此外，在連接部 385 中，導電層 341 藉由設置在絕緣層 217 的開口與導電層 207 電連接。

[0239] 在此，可以利用產生在導電層 331 和導電層 252 之間的電容來檢出觸摸工作。

[0240] 藉由採用上述結構，可以使基板 372 的結構簡化。

[0241] 此時，作為導電層 331 及導電層 341，較佳為使用具有高耐熱性的導電材料。此外，當作為導電層 331 使用金屬等遮光材料時，較佳為如圖 24 所示那樣地在與彩色層 231 重疊的部分設置開口。

[0242] 如圖 24 所示，較佳為以不與電晶體 203 等重疊的方式設置導電層 331。或者，較佳為在導電層 331 的與電晶體 203 等重疊的部分包括開口。由此，可以抑制因導電層 331 的電位變化而產生的電晶體 203 等的故障。

[0243]

[剖面結構範例 2-2]

圖 25 示出一種例子，其中在圖 24 所示的結構中，與圖 21 所示的結構相同地將彩色層 231 設置於基板 371 一側。

[0244] 像這樣，藉由將導電層 331、導電層 341 及彩色層 231 設置於基板 371 一側，可以實現在基板 372 上沒有設置組件的結構。另外，也可以在基板 372 及基板 371 中的與液晶層接觸的區域設置對準膜。

[0245]

[結構範例 2]

下面，參照圖式對與上述結構範例 1 相比部分結構不同的觸控面板的結構範例進行說明。

[0246] 在下面說明的本發明的一個實施例的觸控面板中，構成觸控感測器的一對導電層中的至少一個由與液晶元件所包括的一對導電層中的至少一個同一導電膜形成。構成觸控感測器的一對導電層中的至少一個和液晶元件所包括的一對導電層中的至少一個設置在同一面上。或者，構成觸控感測器的一對導電層中的至少一個兼作液晶元件所包括的一對導電層中的至少一個。也就是說，一個導電膜具有構成觸控感測器的一對導電層中的至少一個的功能和液晶元件所包括的一對導電層中的至少一個的功能。由此，可以使觸控面板的製程簡化來進一步減少製造成本。

[0247]

[結構範例 2-1]

圖 26 是示出作為液晶元件的電極的一對導電層及構成觸控感測器的一對導電層的佈局的例子的俯視示意圖。在此，以適用 FFS 模式的液晶元件為例而進行說明。

[0248] 此外，圖 27 示出觸控面板的剖面示意圖，其包括沿著圖 26 中的切割線 X1-X2 的部分的剖面。圖 26 及圖 27 對應於圖 8A。

[0249] 導電層 401 具有島狀，且在 X 方向及 Y 方向上排列為矩陣狀。而且，在導電層 401 中設置有狹縫。以與各導電層 401 重疊的方式設置有導電層 402。在此，導電層 401 作為像素電極，而導電層 402 作為共用電極。注意，雖然在此對上側的導電層 401 是像素電極，而下側的導電層 402 是共用電極的情況進行說明，但是，它們的功能可以互相調換。

[0250] 延伸在 Y 方向上的導電層 411a 和導電層 411b 都位置於相鄰的兩個導電層 401 之間。

[0251] 延伸在 X 方向上的導電層 412a 由導電層 404 及導電層 405 構成。導電層 404 具有其長邊方向與 X 方向平行的帶狀，例如，設置在導電層 411a 和導電層 411b 之間。此外，導電層 405 包括與導電層 411a 或導電層 411b 重疊的部分，且使夾著導電層 411a 或導電層 411b 的兩個導電層 404 藉由接觸孔電連接。導電層 405 與導電層 411a 或導電層 411b 隔著未圖示的絕緣層重疊。另外，如圖 28 所示，也可以以在 X 方向上延伸的方式設置導電層

405。由此，可以實際上減少導電層 404 的佈線電阻。

[0252] 在圖 26 或圖 28 中，也可以以在 X 方向上延伸的方式設置導電層 411a 及導電層 411b，而以在 Y 方向上延伸的方式設置導電層 412a 及導電層 412b。

[0253] 在此，導電層 411a、導電層 411b、導電層 404 及導電層 401 是藉由對同一導電膜進行加工來形成的。因此，導電層 411a、導電層 411b、導電層 404 及導電層 401 設置在同一面上。

[0254] 另外，在此對與電晶體的源極電極及汲極電極 285 同一導電膜進行加工來形成導電層 405。在此情況下，即使在導電層 405 下設置有閘極電極等也可以進行導電層 405 的佈局而不發生問題。因此，可以將導電層 405 層疊於閘極電極或對與閘極電極同一導電膜進行加工來形成的膜。注意，本發明的一個實施例不侷限於此而可以對電晶體的閘極電極 281、半導體層或與其他導電層同一導電膜進行加工來形成導電層 405。

[0255] 作為一個例子，圖 29 示出對與閘極電極同一導電膜進行加工來形成導電層 405 的情況。在此情況下，即使在導電層 405 上設置有源極電極及汲極電極 285 等，也可以進行佈局而不發生問題。因此，可以將導電層 405 層疊於源極電極及汲極電極 285 或對與源極電極及汲極電極 285 同一導電膜進行加工來形成的膜，或者將導電層 405 與它們交叉。也就是說，可以層疊地設置源極訊號線（具有將影像訊號傳達到各像素的功能的佈線）和導電層

411a 或導電層 411b。因此，可以擴大導電層 401 的佈局面積。亦即，可以提高孔徑率。

[0256] 或者，圖 30 示出對與導電層 402 同一導電膜進行加工來形成導電層 405 的情況。在此情況下，即使在導電層 405 下設置有源極電極及汲極電極 285 和閘極電極等，也可以進行佈局而不發生問題。因此，可以將導電層 405 層疊於閘極電極、源極電極及汲極電極 285、對與閘極電極同一導電膜進行加工來形成的膜或對與源極電極及汲極電極 285 同一導電膜進行加工來形成的膜，或者將導電層 405 與它們交叉。也就是說，可以層疊地設置源極訊號線（具有將影像訊號傳達到各像素的功能的佈線）和導電層 411a 或導電層 411b。因此，可以擴大導電層 401 的佈局面積。亦即，可以提高孔徑率。或者，可以層疊地設置閘極訊號線（具有供應選擇各像素的訊號的功能的佈線）和導電層 404 或導電層 405。因此，可以擴大導電層 401 的佈局面積。亦即，可以提高孔徑率。

[0257] 在圖 26 或圖 28 中，當以在 X 方向上延伸的方式設置導電層 411a 及導電層 411b，而以在 Y 方向上延伸的方式設置導電層 412a 及導電層 412b 時，設置方向不同，因此將導電層 412a 及導電層 412b 與源極訊號線重疊地設置，而不與閘極訊號線重疊地設置，且將導電層 411a 及導電層 411b 與閘極訊號線重疊地設置，而不與源極訊號線重疊地設置。

[0258] 當需要降低導電層 411a、導電層 411b 及導電

層 404 的電阻時，也可以在導電層 411a、導電層 411b 及導電層 404 上或下設置低電阻的導電層 411a_1、導電層 411b_1、導電層 404_1。例如，也可以將鋁、銅、鈦、鉬、鎢或它們的疊層設置在導電層 411a、導電層 411b 及導電層 404 上或下。或者，導電層 411a_1、導電層 411b_1 和導電層 404_1 中的至少一個也可以由加工為網孔狀的金屬膜構成。或者，導電層 411a_1、導電層 411b_1 和導電層 404_1 中的至少一個也可以由金屬奈米線或碳奈米管等構成。注意，導電層 401 較佳為具有透光性。因此，較佳為在導電層 401 上或下不設置低電阻的導電層。圖 31 及圖 32 示出其情況的例子。

[0259] 當實質上降低導電層 411a、導電層 411b 的電阻值時，也可以設置導電層 411aa、導電層 411bb。導電層 411a（導電層 411b）和導電層 411aa（導電層 411bb）藉由接觸孔連接。圖 33 及圖 34 示出其情況的例子。

[0260] 此外，也可以僅另行形成導電層 405，但是較佳為與其他導電層同時形成導電層 405。

[0261]

[結構範例 2-2]

圖 35 示出對與導電層 402 同一導電膜進行加工來形成導電層 411a、導電層 411b 及導電層 404 的情況的例子。因此，導電層 411a、導電層 411b、導電層 404 及導電層 402 設置在同一面上。此外，圖 36 示出觸控面板的剖面示意圖，其包括沿著圖 35 中的切割線 X3-X4 的部分

的剖面。圖 35 及圖 36 對應於圖 8B。

[0262] 如圖 35 所示，導電層 402 具有島狀。此外，夾著導電層 411a 或導電層 411b 相鄰的兩個導電層 402 與導電層 412a 同樣地藉由導電層 405 電連接。雖然在此示出了在 Y 方向上相鄰的兩個導電層 402 不電連接的例子，但是多個導電層 402 既可以在 Y 方向上藉由導電層 405 電連接，又可以在 X 方向和 Y 方向上藉由導電層 405 電連接。另外，在此對上側的導電層 401 為像素電極，而下側的導電層 402 為共用電極的情況進行說明，但是，它們的功能可以互相調換。

[0263] 如圖 37 所示，也可以在 X 方向上延伸地設置導電層 405。由此，可以實質上減少導電層 404 的佈線電阻。

[0264] 在圖 35 或圖 37 中，也可以以在 X 方向上延伸的方式設置導電層 411a 及導電層 411b，而在 Y 方向上延伸的方式設置導電層 412a 及導電層 412b。

[0265] 另外，圖 36 採用對與電晶體的源極電極及汲極電極 285 同一導電膜進行加工來形成導電層 405 的結構。在此情況下，即使在導電層 405 下設置有閘極電極等也可以進行導電層 405 的佈局而不發生問題。因此，可以將導電層 405 層疊於閘極電極或對與閘極電極同一導電膜進行加工來形成的膜。注意，本發明的一個實施例不侷限於此而可以對電晶體的閘極電極 281、半導體層或與其他導電層同一導電膜進行加工來形成導電層 405。

[0266] 作為一個例子，圖 38 示出對與閘極電極 281 同一導電膜進行加工來形成導電層 405 的情況。在此情況下，即使在導電層 405 上設置有源極電極及汲極電極 285 等，也可以進行佈局而不發生問題。因此，可以將導電層 405 層疊於源極電極及汲極電極 285 或對與源極電極及汲極電極 285 同一導電膜進行加工來形成的膜，或者將導電層 405 與它們交叉。也就是說，可以層疊地設置源極訊號線和導電層 411a 或導電層 411b。因此，可以擴大導電層 401 的佈局面積。亦即，可以提高孔徑率。

[0267] 或者，圖 39 示出對與導電層 401 同一導電膜進行加工來形成導電層 405 的情況。在此情況下，即使在導電層 405 下設置有源極電極及汲極電極 285 和閘極電極等，也可以進行佈局而不發生問題。因此，可以將導電層 405 層疊於閘極電極、源極電極及汲極電極 285、對與閘極電極同一導電膜進行加工來形成的膜或對與源極電極及汲極電極 285 同一導電膜進行加工來形成的膜，或者將導電層 405 與它們交叉。也就是說，可以層疊地設置源極訊號線和導電層 411a 或導電層 411b。因此，可以擴大導電層 401 的佈局面積。亦即，可以提高孔徑率。或者，可以層疊地設置閘極訊號線和導電層 404 或導電層 405。因此，可以擴大導電層 401 的佈局面積。亦即，可以提高孔徑率。

[0268] 在圖 35 或圖 37 中，當以在 X 方向上延伸的方式設置導電層 411a 及導電層 411b，而以在 Y 方向上延

伸的方式設置導電層 412a 及導電層 412b 時，設置方向不同，因此將導電層 412a 及導電層 412b 與源極訊號線重疊地設置，而不與閘極訊號線重疊地設置，且將導電層 411a 及導電層 411b 與閘極訊號線重疊地設置，而不與源極訊號線重疊地設置。

[0269] 圖 36、圖 38 及圖 39 示出上側的導電層 401 為像素電極，下側的導電層 402 為共用電極的情況的例子。但是，本發明的一個實施例不侷限於此。上側的導電層 401 可以為共通電極且下側的導電層 402 可以為像素電極。圖 40、圖 41 及圖 42 示出其情況的例子。

[0270] 圖 40、圖 41 及圖 42 等示出對與導電層 402 同一導電膜進行加工來形成導電層 411a、導電層 411b 及導電層 404 的情況的例子。但是，本發明的一個實施例不侷限於此。也可以對與導電層 401 同一導電膜進行加工來形成導電層 411a、導電層 411b 及導電層 404。因此，導電層 411a、導電層 411b、導電層 404 及導電層 401 也可以設置在同一面上。圖 43、圖 44 及圖 45 示出其情況的例子。

[0271] 當需要降低導電層 411a、導電層 411b 及導電層 404 的電阻時，也可以在導電層 411a、導電層 411b 及導電層 404 上或下設置低電阻的導電層 411a_1、導電層 411b_1、導電層 404_1。例如，也可以將鋁、銅、鈦、鉬、鎢或它們的疊層設置在導電層 411a、導電層 411b 及導電層 404 上或下。或者，導電層 411a_1、導電層

411b_1 和導電層 404_1 中的至少一個也可以由加工為網孔狀的金屬膜構成。或者，導電層 411a_1、導電層 411b_1 和導電層 404_1 中的至少一個也可以由金屬奈米線或碳奈米管等構成。注意，導電層 402 較佳為具有透光性。因此，較佳為在導電層 402 上或下不設置低電阻的導電層。圖 46 及圖 47 示出其情況的例子。

[0272] 另外，當實質上降低導電層 411a、導電層 411b 的電阻值時，也可以設置導電層 411aa、導電層 411bb。導電層 411a（導電層 411b）和導電層 411aa（導電層 411bb）藉由接觸孔連接。圖 48 及圖 49 示出其情況的例子。

[0273]

[結構範例 2-3]

圖 50 示出對與導電層 401 同一導電膜進行加工來形成導電層 411a、導電層 411b 並對與導電層 402 同一導電膜進行加工來形成導電層 412a、導電層 412b 的情況的例子。因此，導電層 411a、導電層 411b、導電層 401 設置在同一面上。同樣地，導電層 412a、導電層 412b、導電層 402 設置在同一面上。此外，圖 51 示出觸控面板的剖面示意圖，其包括沿著圖 50 中的切割線 X5-X6 的部分的剖面。圖 50 及圖 51 對應於圖 7E。

[0274] 像這樣，藉由由不同的層形成作為觸控感測器的一對電極的兩個導電層（例如，導電層 411a 和導電層 412a 或導電層 411b 和導電層 412b 等），可以使它們

交叉。因此，不需要形成使用導電層 405 的橋接部，從而與結構範例 1 及結構範例 2 相比可以進一步使製程簡化。由此，可以提高製造良率。此外，即使在導電層 411a、導電層 412a、導電層 411b 或導電層 412b 等下設置有源極電極及汲極電極 285、閘極電極 281 等，也可以進行佈局而不發生問題。因此，可以將導電層 411a、導電層 412a、導電層 411b 或導電層 412b 層疊於閘極電極 281、源極電極及汲極電極 285、對與閘極電極 281 同一導電膜進行加工來形成的膜或對與源極電極及汲極電極 285 同一導電膜進行加工來形成的膜，或者將導電層 411a、導電層 412a、導電層 411b 或導電層 412b 與它們交叉。也就是說，可以層疊地設置源極訊號線、導電層 411a、導電層 412a、導電層 411b 或導電層 412b。因此，可以擴大導電層 401 的佈局面積。也就是說，可以提高孔徑率。或者，可以層疊地設置閘極訊號線、導電層 411a、導電層 412a、導電層 411b 或導電層 412b。因此，可以擴大導電層 401 的佈局面積。亦即，可以提高孔徑率。

[0275] 注意，雖然在圖 51 中，對上側的導電層 401 是像素電極，而下側的導電層 402 是共用電極的情況進行說明，但是，它們的功能可以互相調換。

[0276] 在圖 50 中，也可以以在 X 方向上延伸的方式設置導電層 411a 及導電層 411b，而在 Y 方向上延伸的方式設置導電層 412a 及導電層 412b。

[0277] 圖 50 及圖 51 示出上側的導電層 401 為像素

電極，下側的導電層 402 為共用電極的情況的例子。但是，本發明的一個實施例不侷限於此。上側的導電層 401 及下側的導電層 402 分別可以為共通電極及像素電極。圖 52 及圖 53 示出其情況的例子。

[0278] 當需要降低導電層 411a、導電層 411b、導電層 412a 及導電層 412b 的電阻時，也可以在導電層 411a、導電層 411b、導電層 412a 及導電層 412b 上或下設置低電阻的導電層 411a_1、導電層 411b_1、導電層 412a_1、導電層 412b_1。例如，也可以將鋁、銅、鈦、鉬、鎢或它們的疊層設置在導電層 411a、導電層 411b、導電層 412a 及導電層 412b 上或下。或者，導電層 411a_1、導電層 411b_1、導電層 412a_1 和導電層 412b_1 中的至少一個也可以由加工為網孔狀的金屬膜構成。或者，導電層 411a_1、導電層 411b_1、導電層 412a_1 和導電層 412b_1 中的至少一個也可以由金屬奈米線或碳奈米管等構成。注意，導電層 401 及導電層 402 較佳為具有透光性。因此，在開口部中，較佳為在導電層 401 及導電層 402 上或下不設置低電阻的導電層。圖 54 及圖 55 示出其情況的例子。

[0279] 在實質上要降低導電層 411a、導電層 411b、導電層 412a 和導電層 412b 的電阻值時，也可以設置導電層 411aa、導電層 411bb、導電層 412aa 或導電層 412bb。導電層 411a（導電層 411b、導電層 412a 或導電層 412b）和導電層 411aa（導電層 411bb、導電層 412aa 或導電層 412bb）藉由接觸孔連接。圖 56 及圖 57 示出其情況的例

子。另外，例如，當使導電層 411a 和導電層 411aa 連接時，藉由設置在導電層 402 中的孔連接。也就是說，當使隔著導電層 402 層疊的導電層互相連接時，在導電層 402 中設置有孔等。

[0280] 在導電層 411a 及導電層 411b 和導電層 412a 及導電層 412b 的交叉部分形成電容。然而，有時該電容小是較佳的。於是，為了減少該交叉電容，也可以使各導電層藉由接觸孔及其他導電層互相連接。圖 58 及圖 59 示出其情況的例子。在圖 58 及圖 59 中，各導電層 412a（各導電層 412b）藉由接觸孔及導電層 405 互相連接。例如，導電層 405 由對與閘極電極 281 同一導電膜進行加工來形成的膜或對與源極電極及汲極電極 285 同一導電膜進行加工來形成的膜構成。由此，可以減少觸控感測器中的電極所帶來的寄生電容。其結果是，可以提高觸控感測器的靈敏度。

[0281]

[結構範例 2-4]

在上述結構中設置構成液晶元件的一對導電層及構成觸控感測器的一對導電層，但是液晶元件的一個導電層也可以兼作觸控感測器的一個導電層。

[0282] 圖 60 示出一個例子，其中導電層 402 具有在 X 方向上延伸的帶狀，並在 Y 方向上被分開。此時，導電層 402 中的一個具有作為觸控感測器的電極的導電層 412a、導電層 412b 或導電層 412c 的功能，且還具有液晶

元件的一對導電層中的一個，例如，共用電極的功能。此外，圖 61 示出觸控面板的剖面示意圖，其包括沿著圖 60 中的切割線 X5-X6 的部分的剖面。圖 60 及圖 61 對應於圖 7C。

[0283] 藉由將作為觸控感測器的一對電極的導電層（例如，導電層 412a、導電層 412b 等）和導電層 402 形成在不同層中，可以使它們交叉。因此，不需要形成使用導電層 405 的橋接部，從而與結構範例 1 及結構範例 2 相比可以進一步使製程簡化。由此，可以提高製造良率。此外，即使在導電層 411a、導電層 412a、導電層 411b 或導電層 412b 等下設置有源極電極及汲極電極 285 或閘極電極 281 等，也可以進行佈局而不發生問題。因此，可以將導電層 411a、導電層 412a、導電層 411b 或導電層 412b 層疊於閘極電極 281、源極電極及汲極電極 285、對與閘極電極 281 同一導電膜進行加工來形成的膜或對與源極電極及汲極電極 285 同一導電膜進行加工來形成的膜，或者將導電層 411a、導電層 412a、導電層 411b 或導電層 412b 與它們交叉。也就是說，可以層疊地設置源極訊號線、導電層 411a、導電層 412a、導電層 411b 或導電層 412b。因此，可以擴大導電層 401 的佈局面積。也就是說，可以提高孔徑率。或者，可以層疊地設置閘極訊號線、導電層 411a、導電層 412a、導電層 411b 或導電層 412b。因此，可以擴大導電層 401 的佈局面積。亦即，可以提高孔徑率。

[0284] 圖 60 及圖 61 示出上側的導電層 401 為像素電極，下側的導電層 402 為共用電極的情況的例子。但是，本發明的一個實施例不侷限於此。上側的導電層 401 及下側的導電層 402 分別可以為共通電極及像素電極。圖 62 及圖 63 示出其情況的例子。

[0285] 當需要降低導電層 411a、導電層 411b、導電層 412a 及導電層 412b 的電阻時，也可以在導電層 411a、導電層 411b、導電層 412a 及導電層 412b 上或下設置低電阻的導電層 411a_1、導電層 411b_1、導電層 412a_1、導電層 412b_1。例如，也可以將鋁、銅、鈦、鉬、鎢或它們的疊層設置在導電層 411a、導電層 411b、導電層 412a 及導電層 412b 上或下。或者，導電層 411a_1、導電層 411b_1、導電層 412a_1 和導電層 412b_1 中的至少一個也可以由加工為網孔狀的金屬膜構成。或者，導電層 411a_1、導電層 411b_1、導電層 412a_1 和導電層 412b_1 中的至少一個也可以由金屬奈米線或碳奈米管等構成。注意，導電層 401 及導電層 402 較佳為具有透光性。因此，在開口部中，較佳為在導電層 401 及導電層 402 上或下不設置低電阻的導電層。圖 64 及圖 65 示出其情況的例子。

[0286] 在實質上降低導電層 411a、導電層 411b、導電層 412a 和導電層 412b 的電阻值時，也可以設置導電層 411aa、導電層 411bb、導電層 412aa 或導電層 412bb。導電層 411a（導電層 411b、導電層 412a 或導電層 412b）和

導電層 411aa (導電層 411bb、導電層 412aa 或導電層 412bb) 藉由接觸孔連接。圖 66 及圖 67 示出其情況的例子。另外，例如，當使導電層 411a 和導電層 411aa 連接時，藉由設置在導電層 402 的孔連接。也就是說，當使導電層 402 等的上側的導電層和下側的導電層隔著導電層 402 連接時，在導電層 402 中設置有孔等。

[0287] 在導電層 411a 及導電層 411b 和導電層 412a 及導電層 412b 的交叉部分形成電容。然而，有時該電容小是較佳的。於是，為了減少該交叉電容，也可以使各導電層藉由接觸孔及其他導電層連接。圖 68 及圖 69 示出其情況的例子。在圖 68 及圖 69 中，各導電層 402 藉由接觸孔及導電層 405 互相連接。例如，導電層 405 由對與閘極電極 281 同一導電膜進行加工來形成的膜或對與源極電極及汲極電極 285 同一導電膜進行加工來形成的膜構成。由此，可以減少觸控感測器中的電極所帶來的寄生電容。其結果是，可以提高觸控感測器的靈敏度。

[0288] 另外，在圖 60 中，以在 X 方向上延伸的方式設置導電層 411a 及導電層 411b，而以在 Y 方向上延伸的方式設置導電層 412a 及導電層 412b。

[0289] 此外，圖 70 示出一個例子，其中導電層 402 具有在 Y 方向上延伸的帶狀，並在 X 方向上被分開。此時，導電層 402 中的一個具有作為觸控感測器的電極的導電層 411a、導電層 411b 或導電層 411c 的功能，且還具有液晶元件的一對導電層中的一個，例如，共用電極的功

能。

[0290] 藉由採用這種結構，可以進一步使結構簡化，所以是較佳的。

[0291] 另外，雖然在此說明了使用適用 FFS 模式的液晶元件的情況的例子，但是例如也可以使用適用 IPS 模式的液晶元件。在此情況下，藉由對同一導電膜進行加工來形成導電層 401 及導電層 402，即可。或者，使導電層 401 和導電層 402 的頂面形狀都成為梳齒狀，即可。此時，較佳為使作為共用電極的導電層 402 成為在 X 方向和 Y 方向中的任一個上延伸的帶狀，並將其作為觸控感測器的一個電極。

[0292]

[結構範例 3]

下面，參照圖式說明其一部分的結構與上述結構範例 1 及結構範例 2 不同的觸控面板的結構範例。

[0293] 下面說明的本發明的一個實施例的觸控面板作為顯示元件適用有機 EL 元件。

[0294]

[結構範例 3-1]

圖 71 示出包括兩個子像素的區域的剖面結構範例。圖 71 所例示的觸控面板包括將光發射到形成有電晶體 201 等的基板一側的底部發射型發光裝置。

[0295] 觸控面板包括發光元件 202。發光元件 202 層疊有導電層 321、EL 層 322 及導電層 323。此外，也可以

在導電層 321 和導電層 323 之間設置有光學調整層 324。來自發光元件 202 的光發射到基板 371 一側。此外，覆蓋導電層 321 及光學調整層 324 的端部地設置有絕緣層 215。

[0296] 導電層 321 較佳為具有透光性。此外，導電層 323 較佳為具有反射性。

[0297] 此外，在比發光元件 202 更靠近基板 371 一側的位置上設置有彩色層 231。在圖 71 所示的結構中，彩色層 231 設置在絕緣層 213 上。

[0298] 導電層 351 和導電層 352 中的一個作為觸控感測器的一個電極，而另一個作為觸控感測器的另一個電極。導電層 351 形成在與導電層 321 同一面上。此外，導電層 352 形成在與電晶體 201 所包括的兩個閘極電極中的一個同一面上。由此，可以不增加製程地製造觸控面板。

[0299] 如圖 71 所示，在基板 371 一側可以利用產生在導電層 351 和導電層 352 之間的電容進行檢出。

[0300]

[發光元件]

作為發光元件，可以使用能夠進行自發光的元件，並且在其範疇內包括由電流或電壓控制亮度的元件。例如，可以使用發光二極體（LED）、有機 EL 元件以及無機 EL 元件等。

[0301] 發光元件可以採用頂部發射型、底部發射型或雙面發射型。作為提取光一側的電極使用使可見光透過

的導電膜。另外，作為不提取光一側的電極較佳為使用反射可見光的導電膜。

[0302] EL 層至少包括發光層。作為發光層以外的層，EL 層也可以還包括包含電洞注入性高的物質、電洞傳輸性高的物質、電洞阻擋材料、電子傳輸性高的物質、電子注入性高的物質或雙極性物質（電子傳輸性及電洞傳輸性高的物質）等的層。

[0303] EL 層可以使用低分子化合物或高分子化合物，還可以包含無機化合物。構成 EL 層的層分別可以藉由蒸鍍法（包括真空蒸鍍法）、轉印法、印刷法、噴墨法、塗佈等方法形成。

[0304] 當在陰極與陽極之間施加高於發光元件的臨界電壓的電壓時，電洞從陽極一側注入到 EL 層中，而電子從陰極一側注入到 EL 層中。被注入的電子和電洞在 EL 層中再結合，由此，包含在 EL 層中的發光物質發光。

[0305] 當作為發光元件使用白色發光的發光元件時，較佳為使 EL 層包含兩種以上的發光物質。例如藉由以使兩個以上的發光物質的各發光成為互補色關係的方式選擇發光物質，可以獲得白色發光。例如，較佳為包含如下發光物質中的兩個以上：各呈現 R（紅色）、G（綠色）、B（藍色）、Y（黃色）、O（橙色）等發光的發光物質及呈現包含 R、G、B 中的兩種以上的顏色的光譜成分的發光的發光物質。另外，較佳為使用來自發光元件的發光的光譜在可見光區域的波長（例如 350nm 至 750nm）

的範圍內具有兩個以上的峰值的發光元件。另外，在黃色的波長範圍中具有峰值的材料的發射光譜較佳為在綠色及紅色的波長範圍中也具有光譜成分。

[0306] 更佳的是，EL 層較佳為採用疊層結構，該疊層結構包括包含發射一種顏色的光的發光材料的發光層與包含發射其他顏色的光的發光材料的發光層。例如，EL 層中的多個發光層既可以互相接觸而層疊，又可以隔著分離層層疊。例如，可以在螢光發光層與磷光發光層之間設置分離層。

[0307] 分離層例如可以用來防止能量從在磷光發光層中生成的磷光材料等的激發態到螢光發光層中的螢光材料等的藉由 Dexter 機制的移動（尤其是三重態能量移動）。分離層具有幾 nm 左右的厚度即可。明確而言，為 0.1 nm 以上且 20 nm 以下、1 nm 以上且 10 nm 以下或 1 nm 以上且 5 nm 以下。分離層包含單個材料（較佳為雙極性物質）或多個材料（較佳為電洞傳輸性材料及電子傳輸性材料）。

[0308] 分離層也可以使用與該分離層接觸的發光層所包含的材料來形成。由此，發光元件的製造變得容易。另外，驅動電壓被降低。例如，當磷光發光層由主體材料、輔助材料及磷光材料（客體材料）構成時，分離層也可以由該主體材料及輔助材料形成。換言之，在上述結構中，分離層具有不包含磷光材料的區域，磷光發光層具有包含磷光材料的區域。由此，可以根據磷光材料的有無分

別蒸鍍分離層及磷光發光層。另外，藉由採用這種結構，可以在同一處理室中形成分離層及磷光發光層。由此，可以降低製造成本。

[0309] 另外，發光元件既可以是包括一個 EL 層的單元件，又可以是隔著電荷產生層層疊有多個 EL 層的串聯元件。

[0310]

[結構範例 3-2]

圖 72 與圖 71 不同之處是導電層 352 的位置。在圖 72 中，導電層 352 及電晶體 201 的閘極電極中的一個設置在絕緣層 212 和絕緣層 213 之間。

[0311] 導電層 352 及電晶體 201 的閘極電極中的一個較佳為包括上述低電阻化了的氧化物半導體。

[0312] 此外，如圖 73 那樣，也可以以導電層 321、光學調整層 324、EL 層 322、導電層 323 和彩色層 231 中的至少一個重疊的方式設置導電層 352。另外，如圖 74 所示，也可以以不與導電層 321、光學調整層 324、EL 層 322、導電層 323 和彩色層 231 重疊的方式設置導電層 352。

[0313]

[剖面結構範例 3-2]

圖 75 示出構成觸控感測器的導電層 351 和導電層 352 都形成在與導電層 321 同一面上的情況的例子。

[0314] 此時，可以利用在設置在一個子像素中的導

電層 351 和設置在另一個子像素中的導電層 352 之間產生的電容來進行檢出。

[0315]

[剖面結構範例 3-3]

圖 76 是包括對基板 372 一側發射光的頂面發射型發光裝置的觸控面板的剖面結構範例。

[0316] 在此，在發光元件 202 中，導電層 321 具有反射性，而導電層 323 具有透光性。

[0317] 此外，導電層 323 在至少與導電層 351 的一部分重疊的部分包括開口。另外，導電層 323 既可以包括狹縫或開口，又可以具有梳齒形狀。

[0318] 導電層 351 及導電層 352 形成在與導電層 321 同一面上。

[0319] 在圖 76 所示的例子中，可以利用在設置在一個子像素中的導電層 351 和設置在另一個子像素中的導電層 352 之間產生的電容來進行檢測的例子。

[0320] 此外，如圖 77 所示，也可以將導電層 323 作為觸控感測器的電極。也就是說，也可以利用在導電層 351 和導電層 323 之間產生的電容來進行檢測。

[0321] 圖 77 示出藉由採用分別著色方式形成 EL 層 322 的例子。此時，如圖 77 所示，藉由由導電層 323 覆蓋 EL 層 322 的端部，抑制擴散到 EL 層 322 的雜質，從而可以提高可靠性。此外，圖 77 示出沒有設置彩色層 231 等的情況的例子。

[0322]

[其他結構範例]

另外，本發明的一個實施例不侷限於上述所例示的結構，而可以採用各種結構。

[0323]

[感測器電極和像素用佈線的位置關係]

例如，可以根據將像素設置在偶數行或奇數行，將源極線（訊號線）設置在像素的右邊或左邊。其結果是，兩個源極線相鄰。此外，可以在其上設置觸控感測器用導電層（電極）。同樣地，使垂直方向上的像素的閘極線互接近，且在其上設置觸控感測器用電極。圖 78 示出其情況下的例子。兩個源極線 81、82 彼此鄰接，且兩個源極線 83、84 彼此鄰接。此外，兩個閘極線 85、86 彼此鄰接，且兩個閘極線 87、88 彼此鄰接。

[0324]

[週邊電路]

週邊電路可以形成在形成有像素的基板的外部。也就是說，可以分別形成驅動觸控感測器的電路和驅動像素的電路。另外，也可以利用一個電路實現這些功能。

[0325] 此外，也可以使用 TFT 在其上有像素形成的基板上一起形成選擇觸控感測器的 X 方向上的導電層和 Y 方向上的導電層（電極）中的一個導電層的驅動電路。

[0326] 另外，可以將驅動觸控感測器的電路設置於驅動像素的閘極驅動器一側或源極驅動器一側。

[0327] 此外，作為與觸控感測器的 X 方向上的導電層或 Y 方向上的導電層（電極）電連接的兩個電路中之一的具有檢測功能的電路，較佳為使用 IC。此時，較佳為利用該 IC 藉由 FPC 控制該導電層。

[0328]

[觸控感測器的導電層（電極）的材料]

構成觸控感測器的一對導電層中的至少一個較佳為使用與構成液晶元件的共用電極或像素電極等相同的材料。

[0329] 或者，構成觸控感測器的一對導電層中的至少一個可以由加工為網孔狀的金屬膜（也稱為金屬網格）構成。

[0330] 此外，藉由在觸控感測器的 X 方向上的導電層和 Y 方向上的導電層（電極）中的至少一個的正下或正上形成金屬膜，可以降低其電阻。此時，在形成包括金屬氧化物的導電膜和包括金屬的導電膜的疊層結構時，藉由採用使用半色調遮罩的圖案化技術形成該導電膜，可以實現製程的簡化，所以是較佳的。

[0331]

[連接觸控感測器的導電層（電極）的佈線]

當在觸控感測器的 X 方向上的導電層和 Y 方向上的導電層交叉的部分中，使用其他導電層實現用來連接導電層的橋接結構時，例如，將該導電層作為與電晶體的閘極電極同一面的導電層，且在像素整體中使 X 方向上的導電層在平行於閘極線的橫方向上連接。或者，將該導電層作

為與電晶體的源極電極及汲極電極同一面上的導電層，且在像素整體中使 Y 方向上的導電層在平行於源極線的縱方向上連接。此時，可以在像素中形成接觸部分。或者，作為該導電層，也可以使用與作為共用電極的導電層相同的導電層或與作為像素電極的導電層同一面上的導電層。

[0332]

[觸控感測器的導電層（電極）及液晶元件的導電層（電極）]

可以將包括狹縫並位於上部的導電層（電極）作為像素電極，而將設置在多個像素中並位於下部的導電層（電極）作為共用電極。

[0333] 或者，可以將設置在多個像素中且包括狹縫並位於上部的導電層（電極）作為共用電極，而將設置在各多個像素的中並位於下部的導電層（電極）作為像素電極。

[0334] 可以將觸控感測器的 X 方向上的導電層兼作為像素電極的導電層或作為共用電極的導電層。或者，可以將觸控感測器的 Y 方向上的導電層兼作為像素電極的導電層或作為共用電極的導電層。

[0335] 此外，可以將觸控感測器的 X 方向上的導電層作為受到脈衝電壓的導電層或檢測電流的導電層。此時，可以將觸控感測器的 Y 方向上的導電層作為受到脈衝電壓的導電層和檢測電流的導電層中的另一個。

[0336] 此外，在觸控感測器的 X 方向上的導電層和

Y 方向上的導電層的交叉部分中，可以將任一個導電層形成為與其他部分不同的形狀。例如，在僅使用與作為像素電極的導電層以及在同一面上的作為像素電極的導電層形成觸控感測器的一對導電層時，可以將設置在下部的作為共用電極的導電層不設置在觸控感測器的導電層下。注意，因為在將作為共通電極的所有導電層不設置於觸控感測器的導電層下的結構中，該作為共通電極的導電層成為島狀，所以較佳為採用具有狹縫的形狀，以連接相鄰的兩個作為共通電極的導電層的一部分。

[0337] 此外，作為共通電極的導電層可以設置在多個像素中。例如，作為共通電極的導電層可以電連接到由與電晶體的閘極電極同一面上的導電層形成的公共佈線。此時，一個作為共用電極的導電層可以具有島狀。

[0338]

[相對基板]

當在與設置有電晶體等的基板對置設置的基板（也稱為相對基板）設置觸控感測器的 X 方向上的導電層或 Y 方向上的導電層時，較佳為在該導電層的可見一側設置遮光層。

[0339] 此外，在相對基板形成液晶元件的一個電極的情況（TN 模式、MVA 模式等的液晶元件的情況）下，該液晶元件的電極較佳為在與設置在相對基板的觸控感測器的導電層重疊的部分中包括狹縫。

[0340] 此外，即使如液晶元件採用 FFS 模式及 IPS

模式等的情況那樣，將液晶元件的一對電極形成在其上設置有電晶體等的基板上，也可以在相對基板設置控制液晶的配向的導電層。也與上述同樣地，較佳為在控制液晶配向的該導電層與觸控感測器的導電層重疊的部分中設置狹縫。

[0341]

[驅動方法]

作為觸控感測器的驅動方法，例如可以採用一種方法，其中在像素的驅動中的水平期間（閘極選擇期間）之間的期間中對所對應的列進行感測（掃描）。或者，也可以將一個圖框期間分為兩個，且在前半進行所有像素的寫入，而在後半進行感測。

[0342]

[電晶體]

例如在本說明書等中，作為電晶體可以使用各種結構的電晶體。因此，不限制所使用的電晶體的種類。作為電晶體的一個例子，可以使用具有單晶矽的電晶體或者具有以非晶矽、多晶矽或微晶（也稱為奈米晶、半非晶（semi-amorphous））矽等為代表的非單晶半導體膜的電晶體等。或者，可以使用使這些半導體薄膜化的薄膜電晶體（TFT）等。當使用 TFT 時，具有各種優點。例如，因為可以在比使用單晶矽時低的溫度下進行製造，所以可以實現製造成本的降低或製造裝置的大型化。由於可以使製造裝置變大，所以可以在大型基板上製造。因此，可以同

時製造多個顯示裝置，所以可以以低成本製造。或者，由於製造溫度低，所以可以使用耐熱性低的基板。由此，可以在具有透光性的基板上製造電晶體。或者，可以使用形成在具有透光性的基板上的電晶體來控制顯示元件的透光。或者，因為電晶體的厚度較薄，所以形成電晶體的膜的一部分能夠使光透過。因此，能夠提高孔徑率。

[0343] 另外，當製造多晶矽時，藉由使用催化劑（鎳等）進一步提高結晶性，從而可以製造電特性良好的電晶體。其結果是，可以在基板上一體地形成閘極驅動電路（掃描線驅動電路）、源極驅動電路（訊號線驅動電路）以及訊號處理電路（訊號產生電路、伽瑪校正電路、DA 轉換電路等）。

[0344] 另外，在製造微晶矽的情況下，當使用催化劑（鎳等）時，結晶性進一步提高，從而可以製造電特性良好的電晶體。此時，無需進行雷射照射僅藉由進行加熱處理就可以提高結晶性。其結果是，可以在其上形成有像素的基板上一體地形成源極驅動電路的一部分（類比開關等）以及閘極驅動電路（掃描線驅動電路）。當不進行用來實現結晶化的雷射照射時，可以抑制矽結晶性的不均勻。因此，可以顯示影像品質得到了提高的影像。但是，也可以不使用催化劑（鎳等）地製造多晶矽或微晶矽。

[0345] 另外，雖然較佳為在整個面板上使矽的結晶性提高到多晶或微晶等，但不侷限於此。也可以只在面板的一部分區域中提高矽的結晶性。藉由選擇性地照射雷

射，可以選擇性地提高結晶性。例如，也可以僅對如下區域照射雷射：作為像素以外的區域的週邊電路區域；閘極驅動電路及源極驅動電路等區域；或者源極驅動電路的一部分（例如，類比開關）。其結果是，可以只在需要使電路高速地工作的區域中提高矽的結晶性。在像素區域中，由於使其高速地工作的必要性低，所以即使不提高結晶性，也可以使像素電路工作而不發生問題。由此，因為需提高結晶性的區域較少，所以可以縮短製程。因此，可以提高生產量並降低製造成本。或者，因為可以以較少的製造裝置的數量來進行製造，所以可以降低製造成本。

[0346] 作為電晶體的一個例子，可以使用包括化合物半導體（例如，SiGe、GaAs 等）或氧化物半導體（例如，Zn-O、In-Ga-Zn-O、In-Zn-O、In-Sn-O（ITO）、Sn-O、Ti-O、Al-Zn-Sn-O（AZTO）、In-Sn-Zn-O 等）等的電晶體。或者，可以使用使上述化合物半導體或上述氧化物半導體薄膜化的薄膜電晶體等。由此，可以降低製造溫度，所以例如可以在室溫下製造電晶體。其結果是，可以在塑膠基板或薄膜基板等耐熱性低的基板上直接形成電晶體。此外，不僅可以將這些化合物半導體或氧化物半導體用於電晶體的通道部分，而且還可以作為其它用途。例如，可以將這些化合物半導體或氧化物半導體作為佈線、電阻元件、像素電極或具有透光性的電極等。因為可以與電晶體同時形成上述元件，所以可以降低成本。

[0347] 作為電晶體的一個例子，可以使用藉由噴墨

法或印刷法形成的電晶體等。由此，可以在室溫下、在低真空下或在大型基板上進行製造。因此，即使不使用遮罩（遮罩版（reticle））也可以進行製造，所以可以容易地改變電晶體的佈局。或者，因為可以不使用光阻劑的方式進行製造，所以可以減少材料費，並減少製程數。或者，因為可以只在需要的部分上形成膜，所以與在整個面上形成膜之後進行蝕刻的製造方法相比成本較低且不浪費材料。

[0348] 作為電晶體的一個例子，可以使用具有有機半導體或碳奈米管的電晶體等。由此，可以在能夠彎曲的基板上形成電晶體。使用具有有機半導體或碳奈米管的電晶體的裝置能抗衝擊。

[0349] 作為電晶體還可以使用其他各種結構的電晶體。例如，作為電晶體，可以使用 MOS 型電晶體、接合型電晶體、雙極電晶體等。藉由作為電晶體使用 MOS 型電晶體，可以減小電晶體尺寸。因此，可以安裝多個電晶體。藉由作為電晶體使用雙極電晶體，可以使較大的電流流過。因此，可以使電路高速地工作。注意，也可以將 MOS 型電晶體、雙極電晶體等形成在一個基板上。由此，可以實現低功耗、小型化、高速工作等。

[0350] 例如在本說明書等中，作為電晶體的一個例子可以採用具有兩個以上的閘極電極的多閘極結構電晶體。當採用多閘極結構時，由於將通道區域串聯連接，所以成為多個電晶體串聯連接的結構。因此，藉由採用多閘

極結構，可以降低關態電流，且提高電晶體的耐壓性（提高可靠性）。或者，藉由利用多閘極結構，當電晶體在飽和區域工作時，即便汲極-源極間的電壓發生變化，汲極-源極間電流的變化也不太大，從而可以得到傾斜角平坦的電壓-電流特性。當利用傾斜角平坦的電壓-電流特性時，可以實現理想的電流源電路或電阻值極高的主動負載。其結果是，可以實現特性良好的差動電路或電流鏡電路等。

[0351] 另外，作為電晶體的一個例子，可以採用在通道上下配置有閘極電極的結構的電晶體。藉由採用在通道上下配置有閘極電極的結構，多個電晶體並聯連接。因此，通道區域增加，所以可以增大電流值。或者，藉由採用在通道上下配置有閘極電極的結構，容易產生空乏層，因此可以改善次臨限擺動（subthreshold swing）。

[0352] 另外，作為電晶體的一個例子，也可以採用將閘極電極配置在通道區域上的結構、將閘極電極配置在通道區域下的結構、交錯結構、反交錯結構、將通道區域分割成多個區域的結構、並聯連接通道區域的結構或者串聯連接通道區域的結構等。或者，作為電晶體，可以使用平面型、FIN（鰭）型、TRI-GATE（三閘極）型、頂閘極型、底閘極型、雙閘極型（在通道上下配置有閘極）等各種結構的電晶體。

[0353] 另外，作為電晶體的一個例子，還可以採用通道區域（或其一部分）與源極電極或汲極電極重疊的結構。藉由採用通道區域（或其一部分）與源極電極或汲極

電極重疊的結構，可以防止因電荷積累於通道區域的一部分而導致的工作不穩定。

[0354] 另外，作為電晶體的一個例子，可以採用設置有 LDD 區域的結構。藉由設置 LDD 區域，可以降低關態電流或者提高電晶體的耐壓性（提高可靠性）。或者，藉由設置 LDD 區域，當電晶體在飽和區域工作時，即便汲極和源極之間的電壓發生變化，汲極電流的變化也不太大，從而可以得到傾斜角平坦的電壓-電流特性。

[0355] 例如，圖 79 示出在圖 61 中使用頂閘極型電晶體的情況。

[0356]

[連接]

例如，在本說明書等中，當明確地記載為“X 與 Y 連接”時，意味著如下情況：X 與 Y 電連接；X 與 Y 在功能上連接；X 與 Y 直接連接。因此，不侷限於規定的連接關係（例如，圖式或文中所示的連接關係等），圖式或文中所示的連接關係以外的連接關係也包含於圖式或文中所記載的內容中。

[0357] 這裡，X 和 Y 為物件（例如，裝置、元件、電路、佈線、電極、端子、導電膜及層等）。

[0358] 作為 X 與 Y 直接連接的情況的一個例子，可以舉出在 X 與 Y 之間沒有連接能夠電連接 X 與 Y 的元件（例如開關、電晶體、電容元件、電感器、電阻元件、二極體、顯示元件、發光元件及負載等），並且 X 與 Y 沒

有藉由能夠電連接 X 與 Y 的元件（例如開關、電晶體、電容元件、電感器、電阻元件、二極體、顯示元件、發光元件及負載等）連接的情況。

[0359] 作為 X 與 Y 電連接的情況的一個例子，例如可以在 X 與 Y 之間連接一個以上的能夠電連接 X 與 Y 的元件（例如開關、電晶體、電容元件、電感器、電阻元件、二極體、顯示元件、發光元件及負載等）。另外，開關具有控制開啟和關閉的功能。換言之，藉由使開關處於導通狀態（開啟狀態）或非導通狀態（關閉狀態）來控制是否使電流流過。或者，開關具有選擇並切換電流路徑的功能。另外，X 與 Y 電連接的情況包括 X 與 Y 直接連接的情況。

[0360] 作為 X 與 Y 在功能上連接的情況的一個例子，例如可以在 X 與 Y 之間連接一個以上的能夠在功能上連接 X 與 Y 的電路（例如，邏輯電路（反相器、NAND 電路、NOR 電路等）、訊號轉換電路（DA 轉換電路、AD 轉換電路、伽瑪校正電路等）、電位位準轉換電路（電源電路（升壓電路、降壓電路等）、改變訊號的電位位準的位準轉移電路等）、電壓源、電流源、切換電路、放大電路（能夠增大訊號振幅或電流量等的電路、運算放大器、差動放大電路、源極隨耦電路、緩衝電路等）、訊號產生電路、記憶體電路、控制電路等）。注意，例如，即使在 X 與 Y 之間夾有其他電路，當從 X 輸出的訊號傳送到 Y 時，也可以說 X 與 Y 在功能上是連接著的。另外，X 與 Y

在功能上連接的情況包括 X 與 Y 直接連接的情況及 X 與 Y 電連接的情況。

[0361] 此外，當明確地記載為“X 與 Y 電連接”時，在本說明書等中意味著如下情況：X 與 Y 電連接（亦即，以中間夾有其他元件或其他電路的方式連接 X 與 Y）；X 與 Y 在功能上連接（亦即，以中間夾有其他電路的方式在功能上連接 X 與 Y）；X 與 Y 直接連接（亦即，以中間不夾有其他元件或其他電路的方式連接 X 與 Y）。亦即，在本說明書等中，當明確地記載為“X 與 Y 電連接”時與只明確地記載為“X 與 Y 連接”時的情況相同。

[0362] 注意，例如，在電晶體的源極（或第一端子等）藉由 Z1（或沒有藉由 Z1）與 X 電連接，電晶體的汲極（或第二端子等）藉由 Z2（或沒有藉由 Z2）與 Y 電連接的情況下以及在電晶體的源極（或第一端子等）與 Z1 的一部分直接連接，Z1 的另一部分與 X 直接連接，電晶體的汲極（或第二端子等）與 Z2 的一部分直接連接，Z2 的另一部分與 Y 直接連接的情況下，可以表示為如下。

[0363] 例如，可以表示為“X、Y、電晶體的源極（或第一端子等）與電晶體的汲極（或第二端子等）互相電連接，X、電晶體的源極（或第一端子等）、電晶體的汲極（或第二端子等）、Y 依次電連接”。或者，可以表示為“電晶體的源極（或第一端子等）與 X 電連接，電晶體的汲極（或第二端子等）與 Y 電連接，X、電晶體的源極（或第一端子等）、電晶體的汲極（或第二端子等）、

Y 依次電連接”。或者，可以表示為“X 藉由電晶體的源極（或第一端子等）及汲極（或第二端子等）與 Y 電連接，X、電晶體的源極（或第一端子等）、電晶體的汲極（或第二端子等）、Y 依次設置為相互連接”。藉由使用與這種例子相同的表示方法規定電路結構中的連接順序，可以區別電晶體的源極（或第一端子等）與汲極（或第二端子等）而決定技術範圍。

[0364] 另外，作為其他表示方法，例如可以表示為“電晶體的源極（或第一端子等）至少經過第一連接路徑與 X 電連接，所述第一連接路徑不具有第二連接路徑，所述第二連接路徑是藉由電晶體的源極（或第一端子等）與電晶體的汲極（或第二端子等）之間的路徑，所述第一連接路徑是經過 Z1 的路徑，電晶體的汲極（或第二端子等）至少經過第三連接路徑與 Y 電連接，所述第三連接路徑不具有所述第二連接路徑，所述第三連接路徑是經過 Z2 的路徑”。或者，也可以表示為“電晶體的源極（或第一端子等）至少經過第一連接路徑，藉由 Z1 與 X 電連接，所述第一連接路徑不具有第二連接路徑，所述第二連接路徑具有藉由電晶體的源極（或第一端子等）與電晶體的汲極（或第二端子等）之間的路徑，電晶體的汲極（或第二端子等）至少經過第三連接路徑，藉由 Z2 與 Y 電連接，所述第三連接路徑不具有所述第二連接路徑”。或者，也可以表示為“電晶體的源極（或第一端子等）至少經過第一電路徑，藉由 Z1 與 X 電連接，所述第一電路徑不具有第二電路徑，所述第二電路徑是從電晶體的源極

（或第一端子等）到電晶體的汲極（或第二端子等）的電路徑，電晶體的汲極（或第二端子等）至少經過第三電路徑，藉由 Z2 與 Y 電連接，所述第三電路徑不具有第四電路徑，所述第四電路徑是從電晶體的汲極（或第二端子等）到電晶體的源極（或第一端子等）的電路徑”。藉由使用與這種例子同樣的表示方法規定電路結構中的連接路徑，可以區別電晶體的源極（或第一端子等）和汲極（或第二端子等）來決定技術範圍。

[0365] 注意，這種表示方法只是一個例子而已，不侷限於上述表示方法。在此，X、Y、Z1 及 Z2 為物件（例如，裝置、元件、電路、佈線、電極、端子、導電膜及層等）。

[0366] 另外，即使圖式示出在電路圖上獨立的組件彼此電連接，也有一個組件兼有多個組件的功能的情況。例如，在佈線的一部分被作為電極時，一個導電膜兼有佈線和電極的兩個組件的功能。因此，本說明書中的“電連接”的範疇內還包括這種一個導電膜兼有多個組件的功能的情況。

[0367]

[基板]

例如在本說明書等中，可以使用各種基板形成電晶體。對基板的種類沒有特別的限制。作為該基板的一個例子，可以舉出半導體基板（例如，單晶基板或矽基板）、SOI 基板、玻璃基板、石英基板、塑膠基板、藍寶石玻璃

基板、金屬基板、不鏽鋼基板、包含不鏽鋼箔的基板、鎢基板、包含鎢箔的基板、撓性基板、貼合薄膜、包含纖維狀材料的紙或基材薄膜等。作為玻璃基板的一個例子，可以舉出鋇硼矽酸鹽玻璃、鋁硼矽酸鹽玻璃或鈉鈣玻璃等。作為撓性基板、貼合薄膜、基材薄膜等，可以舉出如下例子。例如可以舉出以聚對苯二甲酸乙二醇酯（PET）、聚萘二甲酸乙二醇酯（PEN）、聚醚砜（PES）、聚四氟乙烯（PTFE）為代表的塑膠。或者，作為一個例子，可以舉出丙烯酸樹脂等合成樹脂等。或者，可以舉出聚丙烯、聚酯、聚氟化乙烯、聚氯乙烯等。或者，作為一個例子，可以舉出聚醯胺、聚醯亞胺、芳族聚醯胺、環氧樹脂、無機蒸鍍薄膜、紙類等。尤其是，藉由使用半導體基板、單晶基板或 SOI 基板等製造電晶體，可以製造特性、尺寸或形狀等的不均勻性小、電流能力高且尺寸小的電晶體。當利用上述電晶體構成電路時，可以實現電路的低功耗化或電路的高集成化。

[0368] 另外，作為基板也可以使用撓性基板，在該撓性基板上直接形成電晶體。或者，也可以在基板與電晶體之間設置剝離層。剝離層可以在如下情況下使用，亦即：在剝離層上製造半導體裝置的一部分或全部，然後將其從基板分離並轉置到其他基板上的情況。此時，也可以將電晶體轉置到耐熱性低的基板或撓性基板上。另外，作為上述剝離層，例如可以使用鎢膜與氧化矽膜的無機膜的疊層結構或基板上形成有聚醯亞胺等有機樹脂膜的結構

等。

[0369] 就是說，也可以使用某個基板形成電晶體，然後將電晶體轉移並配置到其他基板上。作為被轉移電晶體的基板，除了上述可以形成電晶體的基板之外，還可以使用紙基板、玻璃紙基板、芳族聚醯胺薄膜基板、聚醯亞胺薄膜基板、石材基板、木材基板、布基板（包括天然纖維（絲、棉、麻）、合成纖維（尼龍、聚氨酯、聚酯）或再生纖維（醋酯纖維、銅氨纖維、人造纖維、再生聚酯）等）、皮革基板、或橡膠基板等。藉由使用上述基板，可以形成特性良好的電晶體或功耗低的電晶體，可以製造不容易發生故障的裝置或具有耐熱性的裝置，並且可以實現輕量化或薄型化。

[0370] 本實施例中的至少一部分可以與本說明書所記載的其他實施例或本實施例中的至少一部分適當地組合而實施。

[0371]

實施例 2

在本實施例中，參照圖 80A、圖 80B 說明將驅動 IC 適用於上述實施例所說明的顯示裝置時的安裝例子。

[0372] 圖 80A 所示的顯示裝置 500A 包括像素部 510、閘極驅動器 520_1、閘極驅動器 520_2 以及源極驅動器 530。像素部 510 包括與閘極線 GL、及源極線 SL 連接的像素 511。源極驅動器 530 包括多個 TAB（Tape Automated Bonding）帶 531 以及源極驅動器 IC532_1 至

532_k (k 為 2 以上的自然數)。

[0373] 在像素部 510 中，作為一個例子，在長邊一側（圖 80A 所圖示的 X 方向）和短邊一側（圖 80A 所圖示的 Y 方向）矩陣狀地設置像素 511。因此，在本實施例的結構中，與相同的源極線 SL 連接且設置在長邊一側的像素 511 的數量多於與相同的閘極線 GL 連接且設置在短邊一側的像素 511 的數量。

[0374] 閘極驅動器 520_1、閘極驅動器 520_2 設置在長邊一側的兩個邊。閘極驅動器 520_1 驅動奇數列的閘極線（GL1，GL3），閘極驅動器 520_2 驅動偶數列的閘極線（GL2，GL4）。在長邊一側排列地設置的閘極線 GL 根據像素的數量變多。藉由設置閘極驅動器 520_1 及閘極驅動器 520_2，可以延長一個閘極線 GL 的選擇期間。

[0375] 此外，與源極驅動器 530 相比，閘極驅動器 520_1、閘極驅動器 520_2 不需要高速工作。因此，閘極驅動器 520_1、閘極驅動器 520_2 較佳為由與像素 511 所包括的電晶體同樣地製造的電晶體構成。藉由在顯示裝置 500A 中內置閘極驅動器 520_1、閘極驅動器 520_2，可以實現低成本化。此外，可以實現顯示裝置 500A 的窄邊框化。

[0376] 使用各向異性導電黏合劑等將源極驅動器 IC532_1 至 532_k (k 為 2 以上的自然數) 安裝於 TAB 帶 531 上。在顯示裝置 500A 中，貼附安裝有源極驅動器 IC532_1 至 532_k 的多個 TAB 帶 531 來驅動多個源極線

(SL1、SL2) 。

[0377] 使源極驅動器 IC532_1 至 532_k 比閘極驅動器 520_1、閘極驅動器 520_2 高速地進行工作。因此，不容易將源極驅動器 IC532_1 至 532_k 與閘極驅動器 520_1、閘極驅動器 520_2 那樣地內置於顯示裝置 500A 中。如本實施例那樣，藉由將源極驅動器 530 設置在短邊一側，可以縮減源極驅動器 IC 的數量來實現低成本化。

[0378] 尤其是，像素數多的顯示裝置，例如像素數為 $8k \times 4k$ 等的顯示裝置適用源極驅動器 IC 的數量的縮減是非常有效的。可以以低成本製造像素數多的顯示裝置來提高像素的清晰度，從而可以以低成本製造更有真實感的顯示裝置。

[0379] 另外，作為與圖 80A 不同的結構，也可以採用圖 80B 的結構。圖 80B 的顯示裝置 500B 與圖 80A 不同，其中增加一個列的像素的閘極線 GL 的數量，而減少一個行的像素的源極線 SL 的數量。

[0380] 圖 80B 所示的閘極驅動器 520_1、閘極驅動器 520_2 與圖 80A 同樣地設置在長邊一側的兩個邊。閘極驅動器 520_1 驅動奇數列的閘極線 (GL1、GL3、GL5、GL7)，閘極驅動器 520_2 驅動偶數列的閘極線 (GL2、GL4、GL6、GL8) 。

[0381] 圖 80B 所示的源極驅動器 IC532_1 至 532_k/2 只需要驅動圖 80A 的一半的數量的源極線 (SL1)。因此，可以進一步縮減源極驅動器 IC 的數量，從而可以實

現更低成本化。

[0382] 在此，特別是，為了實現 50 英寸以上或 60 英寸以上的大螢幕的顯示裝置，較佳為將移動率較高的電晶體設置在各像素中。例如，電晶體的半導體層可以使用多晶矽等，但是在使用氧化物半導體時容易在大型基板上形成，所以是較佳的。此外，在作為氧化物半導體使用 In-M-Zn 氧化物時，較佳為使用包含多於 M 的 In 的氧化物。例如，藉由適用將層疊有 In : Ga : Zn=4 : 2 : 3 的氧化物膜和 In : Ga : Zn=1 : 1 : 1 的氧化物膜的氧化物半導體膜用於半導體層的電晶體，可以實現高移動率。

[0383] 本實施例中的至少一部分可以與本說明書所記載的其他實施例適當地組合而實施。

[0384]

實施例 3

在本實施例中，參照圖式說明可以置換為上述實施例所示的電晶體而使用的電晶體的一個例子。

[0385] 可以使用底閘極型電晶體或頂閘極型電晶體等的各種方式的電晶體來製造本發明的一個實施例的觸控面板。因此，可以根據習知的生產線容易置換所使用的半導體層的材料或電晶體結構。

[0386]

[底閘極型電晶體]

圖 81A1 是底閘極型電晶體的一種的通道保護型電晶體 810 的剖面圖。在圖 81A1 中，電晶體 810 形成在基板

771 上。此外，電晶體 810 在基板 771 上隔著絕緣層 772 包括電極 746。另外，電晶體 810 在電極 746 上隔著絕緣層 726 包括半導體層 742。電極 746 可以被作為閘極電極。絕緣層 726 可以被作為閘極絕緣層。

[0387] 另外，電晶體 810 在半導體層 742 的通道形成區域上包括絕緣層 741。此外，電晶體 810 在絕緣層 726 上以與半導體層 742 的一部分接觸的方式包括電極 744a 及電極 744b。電極 744a 可以作為源極電極和汲極電極中的一個。電極 744b 作為源極電極和汲極電極中的另一個。電極 744a 的一部分及電極 744b 的一部分形成在絕緣層 741 上。

[0388] 絕緣層 741 可以被作為通道保護層。藉由在通道形成區域上設置絕緣層 741，可以防止在形成電極 744a 及電極 744b 時半導體層 742 被露出。由此，可以防止在形成電極 744a 及電極 744b 時半導體層 742 的通道形成區域被蝕刻。根據本發明的一個實施例，可以實現電特性良好的電晶體。

[0389] 另外，電晶體 810 在電極 744a、電極 744b 及絕緣層 741 上包括絕緣層 728，在絕緣層 728 上包括絕緣層 729。

[0390] 可以使用其他實施例所公開的材料及方法來形成構成本實施例所公開的電晶體的電極、半導體層、絕緣層等。

[0391] 當將氧化物半導體用於半導體層 742 時，較

佳為將能夠從半導體層 742 的一部分中奪取氧而產生氧空缺的材料用於電極 744a 及電極 744b 的至少與半導體層 742 接觸的部分。半導體層 742 中的產生氧空缺的區域的載子濃度增加，該區域 n 型化而成為 n 型區域（ n^+ 層）。因此，該區域能夠被作為源極區域或汲極區域。當將氧化物半導體用於半導體層 742 時，作為能夠從半導體層 742 中奪取氧而產生氧空缺的材料的一個例子，可以舉出鎢、鈦等。

[0392] 藉由在半導體層 742 中形成源極區域及汲極區域，可以降低電極 744a 及電極 744b 與半導體層 742 的接觸電阻。因此，可以使場效移動率及臨界電壓等電晶體的電特性良好。

[0393] 當將矽等半導體用於半導體層 742 時，較佳為在半導體層 742 與電極 744a 之間及半導體層 742 與電極 744b 之間設置被作為 n 型半導體或 p 型半導體的層。作為 n 型半導體或 p 型半導體的層可以被作為電晶體的源極區域或汲極區域。

[0394] 絕緣層 729 較佳為使用具有防止雜質從外部擴散到電晶體中或者降低雜質的擴散的功能的材料形成。此外，根據需要也可以省略絕緣層 729。

[0395] 另外，當將氧化物半導體用於半導體層 742 時，也可以在形成絕緣層 729 之前、在形成絕緣層 729 之後或者在形成絕緣層 729 之前及之後進行加熱處理。藉由進行加熱處理，可以使絕緣層 729 及其他絕緣層所包含的

氧擴散到半導體層 742 中，並且可以填補半導體層 742 的氧空缺。或者，藉由在對絕緣層 729 進行加熱的同時形成絕緣層 729，可以填補半導體層 742 的氧空缺。

[0396] 一般來說，可以將 CVD 法分類為利用電漿的電漿增強 CVD (PECVD: Plasma Enhanced CVD) 法及利用熱的熱 CVD (TCVD: Thermal CVD) 法等。再者，根據所使用的源氣體，可以分類為金屬 CVD (MCVD: Metal CVD) 法、有機金屬 CVD (MOCVD: Metal Organic CVD) 法等。

[0397] 另外，一般來說，可以將蒸鍍法分類為電阻加熱法、電子束蒸鍍法、MBE (Molecular Beam Epitaxy: 分子束磊晶) 法、脈衝雷射沉積 (PLD: Pulsed Laser Deposition) 法、離子束輔助沉積 (IAD: Ion beam Assisted Deposition) 法及原子層沉積 (ALD: Atomic Layer Deposition) 法等。

[0398] PECVD 法可以以較低的溫度得到高品質的膜。另外，在當成膜時利用不使用電漿的諸如 MOCVD 法及蒸鍍法等成膜方法的情況下，在被形成面不容易產生損傷，由此可以獲得缺陷少的膜。

[0399] 另外，一般來說，可以將濺射法分類為 DC 濺射法、磁控濺射法、RF 濺射法、離子束濺射法、電子迴旋共振 (ECR: Electron Cyclotron Resonance) 濺射法及對向靶材式濺射法等。

[0400] 在對向靶材式濺射法中，電漿封閉在靶材之

間，所以可以減輕基板的電漿損傷。此外，根據靶材的傾斜可以使濺射粒子對基板的入射角度小，所以可以提高步驟覆蓋性。

[0401] 圖 81A2 所示的電晶體 811 與電晶體 810 之間的不同之處在於：電晶體 811 在絕緣層 729 上包括可作為背閘極電極的電極 723。電極 723 可以使用與閘極電極 746 同樣的材料及方法形成。

[0402] 一般而言，背閘極電極使用導電層來形成，並以半導體層的通道形成區域被閘極電極與背閘極電極夾住的方式設置。因此，背閘極電極可以具有與閘極電極同樣的功能。背閘極電極的電位可以與閘極電極相等，也可以為接地電位（GND 電位）或任意電位。另外，藉由不跟閘極電極聯動而獨立地改變背閘極電極的電位，可以改變電晶體的臨界電壓。

[0403] 電極 746 及電極 723 都可以被作為閘極電極。因此，絕緣層 726、絕緣層 728 及絕緣層 729 都可以被作為閘極絕緣層。另外，也可以將電極 723 設置在絕緣層 728 與絕緣層 729 之間。

[0404] 注意，當將電極 746 和電極 723 中的一個稱為“閘極電極”時，將另一個稱為“背閘極電極”。例如，在電晶體 811 中，當將電極 723 稱為“閘極電極”時，將電極 746 稱為“背閘極電極”。另外，當將電極 723 作為“閘極電極”時，電晶體 811 是頂閘極型電晶體之一種。此外，有時將電極 746 和電極 723 中的一個稱為

“第一閘極電極”，有時將另一個稱為“第二閘極電極”。

[0405] 藉由隔著半導體層 742 設置電極 746 以及電極 723 並將電極 746 及電極 723 的電位設定為相同，半導體層 742 中的載子流過的區域在厚度方向上更加擴大，所以載子的移動量增加。其結果是，電晶體 811 的通路狀態電流增大，並且場效移動率也增高。

[0406] 因此，電晶體 811 是相對於佔有面積具有較大的通路狀態電流的電晶體。亦即，可以相對於所要求的通路狀態電流縮小電晶體 811 的佔有面積。根據本發明的一個實施例，可以縮小電晶體的佔有面積。因此，根據本發明的一個實施例，可以實現集成度高的半導體裝置。

[0407] 另外，由於閘極電極及背閘極電極使用導電層形成，因此具有防止在電晶體的外部產生的電場影響到形成有通道的半導體層的功能（尤其是對靜電等的電場遮蔽功能）。注意，當將背閘極電極形成得比半導體層大以使背閘極電極被半導體層覆蓋時，能夠提高電場遮蔽功能。

[0408] 另外，因為電極 746 和電極 723 都具有屏蔽來自外部的電場的功能，所以產生在絕緣層 772 一側或電極 723 上方的帶電粒子等電荷不會影響到半導體層 742 的通道形成區域。其結果是，可以抑制應力測試（例如，對閘極施加負的電荷的 -GBT（Gate Bias-Temperature：閘極偏壓-溫度）應力測試）所導致的劣化。另外，根據汲極

電壓，可以減輕通路狀態電流開始流過的閘極電壓（上升電壓）變動的現象。注意，在電極 746 及電極 723 具有相同的電位時或不同的電位時得到這效果。

[0409] 注意，BT 應力測試是一種加速試驗，可以在短時間內評估因長時間使用而產生的電晶體的特性變化（隨時間變化）。尤其是，BT 應力測試前後的電晶體的臨界電壓的變動量是用於檢查可靠性的重要指標。可以說，臨界電壓的變動量越少，電晶體的可靠性則越高。

[0410] 藉由具有電極 746 及電極 723 且將電極 746 及電極 723 的電位設定為相同，臨界電壓的變動量得到降低。因此，多個電晶體中的電特性的變異也同時得到降低。

[0411] 具有背閘極電極的電晶體的對閘極施加正電荷的+GBT 應力測試前後的臨界電壓的變動也比不具有背閘極電極的電晶體小。

[0412] 另外，藉由使用具有遮光性的導電膜形成背閘極電極，能夠防止光從背閘極電極一側入射到半導體層。由此，能夠防止半導體層的光劣化，並防止電晶體的臨界電壓漂移等電特性劣化。

[0413] 根據本發明的一個實施例，可以實現可靠性良好的電晶體。另外，可以實現可靠性良好的半導體裝置。

[0414] 圖 81B1 示出作為底閘極型電晶體之一的通道保護型電晶體 820 的剖面圖。雖然電晶體 820 具有與電晶

體 810 大致同樣的結構，而不同之處在於：絕緣層 741 覆蓋半導體層 742。此外，在選擇性地去除重疊於半導體層 742 的絕緣層 741 的一部分而形成的開口部中，半導體層 742 與電極 744a 電連接。此外，在選擇性地去除重疊於半導體層 742 的絕緣層 741 的一部分而形成的其他開口部中，半導體層 742 與電極 744b 電連接。絕緣層 741 的與通道形成區域重疊的區域可以被作為通道保護層。

[0415] 圖 81B2 所示的電晶體 821 與電晶體 820 之間的不同之處在於：電晶體 821 在絕緣層 729 上具有能夠作為背閘極電極的電極 723。

[0416] 藉由設置絕緣層 741，可以防止在形成電極 744a 及電極 744b 時產生的半導體層 742 的露出。因此，可以防止在形成電極 744a 及電極 744b 時半導體層 742 被薄膜化。

[0417] 另外，與電晶體 810 及電晶體 811 相比，電晶體 820 及電晶體 821 的電極 744a 與電極 746 之間的距離及電極 744b 與電極 746 之間的距離更長。因此，可以減少產生在電極 744a 與電極 746 之間的寄生電容。此外，可以減少產生在電極 744b 與電極 746 之間的寄生電容。根據本發明的一個實施例，可以提供一種電特性良好的電晶體。

[0418] 圖 81C1 所示的電晶體 825 是底閘極型電晶體之一的通道蝕刻型電晶體。在電晶體 825 中，不使用絕緣層 741 地形成電極 744a 及電極 744b。因此，在形成電極

744a 及電極 744b 時露出的半導體層 742 的一部分有時被蝕刻。另一方面，由於不設置絕緣層 741，可以提高電晶體的生產率。

[0419] 圖 81C2 所示的電晶體 826 與電晶體 825 之間的不同之處在於：電晶體 825 在絕緣層 729 上具有能夠作為背閘極電極的電極 723。

[0420]

[頂閘極型電晶體]

圖 82A1 示出頂閘極型電晶體之一種的電晶體 830 的剖面圖。電晶體 830 在絕緣層 772 上具有半導體層 742，在半導體層 742 及絕緣層 772 上具有與半導體層 742 的一部分接觸的電極 744a 以及與半導體層 742 的一部分接觸的電極 744b，在半導體層 742、電極 744a 及電極 744b 上具有絕緣層 726，在絕緣層 726 上具有電極 746。

[0421] 因為在電晶體 830 中，電極 746 和電極 744a 以及電極 746 和電極 744b 不重疊，所以可以減少產生在電極 746 與電極 744a 之間的寄生電容以及產生在電極 746 與電極 744b 之間的寄生電容。另外，在形成電極 746 之後，以電極 746 為遮罩將雜質 755 引入到半導體層 742 中，由此可以在半導體層 742 中以自對準（Self-alignment）的方式形成雜質區（參照圖 82A3）。根據本發明的一個實施例，可以實現電特性良好的電晶體。

[0422] 另外，可以使用離子植入裝置、離子摻雜裝置或電漿處理裝置進行雜質 755 的引入。

[0423] 作為雜質 755，例如可以使用第 13 族元素和第 15 族元素中的至少一種元素。另外，在作為半導體層 742 使用氧化物半導體的情況下，作為雜質 755，也可以使用稀有氣體、氫和氮中的至少一種元素。

[0424] 圖 82A2 所示的電晶體 831 與電晶體 830 之間的不同之處在於：電晶體 831 具有電極 723 及絕緣層 727。電晶體 831 具有形成在絕緣層 772 上的電極 723、形成在電極 723 上的絕緣層 727。電極 723 可以被作為背閘極電極。因此，絕緣層 727 可以被作為閘極絕緣層。絕緣層 727 可以使用與絕緣層 726 同樣的材料及方法來形成。

[0425] 與電晶體 811 同樣，電晶體 831 是相對於佔有面積具有較大的通路狀態電流的電晶體。亦即，可以相對於所要求的通路狀態電流縮小電晶體 831 的佔有面積。根據本發明的一個實施例，可以縮小電晶體的佔有面積。因此，根據本發明的一個實施例，可以實現集成度高的半導體裝置。

[0426] 圖 82B1 所例示的電晶體 840 是頂閘極型電晶體之一。電晶體 840 與電晶體 830 之間的不同之處在於：在電晶體 840 中，在形成電極 744a 及電極 744b 之後形成半導體層 742。另外，圖 82B2 所例示的電晶體 841 與電晶體 840 之間的不同之處在於：電晶體 841 具有電極 723 及絕緣層 727。在電晶體 840 及電晶體 841 中，半導體層 742 的一部分形成在電極 744a 上，半導體層 742 的其他

一部分形成在電極 744b 上。

[0427] 與電晶體 811 同樣，電晶體 841 是相對於佔有面積具有較大的通路狀態電流的電晶體。亦即，可以相對於所要求的通路狀態電流縮小電晶體 841 的佔有面積。根據本發明的一個實施例，可以縮小電晶體的佔有面積。因此，根據本發明的一個實施例，可以實現集成度高的半導體裝置。

[0428] 圖 83A1 所例示的電晶體 842 是一種頂閘極型電晶體。電晶體 842 與電晶體 830 及電晶體 840 不同之處在於：在形成絕緣層 729 之後形成電極 744a 及電極 744b。電極 744a 及電極 744b 在形成在絕緣層 728 及絕緣層 729 的開口部中與半導體層 742 電連接。

[0429] 此外，藉由去除不與電極 746 重疊的絕緣層 726 的一部分，並以電極 746 和殘留的絕緣層 726 為遮罩將雜質 755 引入到半導體層 742 中，可以在半導體層 742 中自對準地形成雜質區域（參照圖 83A3）。電晶體 842 包括絕緣層 726 超過電極 746 的端部而延伸的區域。當將雜質 755 引入到半導體層 742 中時，半導體層 742 中的藉由絕緣層 726 引入有雜質 755 的區域的雜質濃度小於不藉由絕緣層 726 引入有雜質 755 的區域的雜質濃度。由此，在半導體層 742 中的與重疊於電極 746 的部分相鄰區域形成 LDD（Lightly Doped Drain：輕摻雜汲極）區域。

[0430] 圖 83A2 所示的電晶體 843 與電晶體 842 不同之處在於：電晶體 843 包括電極 723。電晶體 843 包括形

成在基板 771 上的電極 723，並隔著絕緣層 772 與半導體層 742 重疊。電極 723 可以作為背閘極電極。

[0431] 此外，如圖 83B1 所示的電晶體 844 及圖 83B2 所示的電晶體 845 那樣，也可以完全去除不與電極 746 重疊的區域的絕緣層 726。另外，如圖 83C1 所示的電晶體 846 及圖 83C2 所示的電晶體 847 那樣，也可以在不與電極 746 重疊的區域中使絕緣層 726 殘留。

[0432] 在電晶體 842 至電晶體 847 中，也在形成電極 746 之後以電極 746 為遮罩將雜質 755 引入到半導體層 742 中，由此可以在半導體層 742 中以自對準的方式形成雜質區。根據本發明的一個實施例，可以實現電特性良好的電晶體。另外，根據本發明的一個實施例，可以實現集成度高的半導體裝置。

[0433]

[s-channel 型電晶體]

圖 84A 至圖 84C 示出作為半導體層 742 使用氧化物半導體的電晶體結構的一個例子。在圖 84A 至圖 84C 所例示的電晶體 850 中，在半導體層 742a 上形成有半導體層 742b 且半導體層 742b 的頂面、半導體層 742b 的側面及半導體層 742a 的側面被半導體層 742c 覆蓋。圖 84A 是電晶體 850 的俯視圖。圖 84B 是沿圖 84A 中的點折線 X1-X2 所示的部分的剖面圖（通道長度方向的剖面圖）。圖 84C 是沿圖 84A 中的點折線 Y1-Y2 所示的部分的剖面圖（通道寬度方向的剖面圖）。

[0434] 另外，電晶體 850 具有作為閘極電極的電極 743。電極 743 可以使用與閘極電極 746 同樣的材料及方法形成。在本實施例中，層疊兩層的導電層形成電極 743。

[0435] 半導體層 742a、半導體層 742b 及半導體層 742c 使用包含 In 和 Ga 中的一個或者兩個的材料形成。典型地，有 In-Ga 氧化物（包含 In 和 Ga 的氧化物）、In-Zn 氧化物（包含 In 和 Zn 的氧化物）、In-M-Zn 氧化物（包含 In、元素 M 和 Zn 的氧化物，其中元素 M 是選自 Al、Ti、Ga、Y、Zr、La、Ce、Nd 和 Hf 中的一種以上的元素，且是與氧的鍵合力比 In 與氧的鍵合力強的金屬元素）。

[0436] 半導體層 742a 及半導體層 742c 較佳為使用包含構成半導體層 742b 的金屬元素中的一種以上的材料形成。藉由使用這種材料，可以使半導體層 742a 與半導體層 742b 的介面以及半導體層 742c 與半導體層 742b 的介面不容易產生介面能階。由此，不容易發生介面中的載子的散射及俘獲，而可以提高電晶體的場效移動率。另外，還可以減少電晶體的臨界電壓的不均勻。因此，可以實現具有良好的電特性的半導體裝置。

[0437] 半導體層 742a 及半導體層 742c 的厚度為 3 nm 以上且 100 nm 以下，較佳為 3 nm 以上且 50 nm 以下。另外，半導體層 742b 的厚度為 3 nm 以上且 700 nm 以下，較佳為 3 nm 以上且 100 nm 以下，更佳為 3 nm

以上且 50 nm 以下。

[0438] 另外，在半導體層 742b 是 In-M-Zn 氧化物，並且半導體層 742a 及半導體層 742c 也是 In-M-Zn 氧化物的情況下，當將半導體層 742a 及半導體層 742c 設定為 $\text{In:M:Zn}=\text{x}_1:\text{y}_1:\text{z}_1$ [原子數比]，並且將半導體層 742b 設定為 $\text{In:M:Zn}=\text{x}_2:\text{y}_2:\text{z}_2$ [原子數比] 時，以 y_1/x_1 大於 y_2/x_2 的方式可以選擇半導體層 742a、半導體層 742c 及半導體層 742b。較佳的是，以 y_1/x_1 為 y_2/x_2 的 1.5 倍以上的方式選擇半導體層 742a、半導體層 742c 及半導體層 742b。更佳的是，以 y_1/x_1 為 y_2/x_2 的 2 倍以上的方式選擇半導體層 742a、半導體層 742c 及半導體層 742b。進一步較佳的是，以 y_1/x_1 為 y_2/x_2 的 3 倍以上的方式選擇半導體層 742a、半導體層 742c 及半導體層 742b。此時，在半導體層 742b 中，如果 y_1 為 x_1 以上就可以使電晶體具有穩定的電特性，所以是較佳的。但是，當 y_1 為 x_1 的 3 倍以上時，電晶體的場效移動率會下降，因此 y_1 較佳小於 x_1 的 3 倍。藉由作為半導體層 742a 及半導體層 742c 採用上述結構，可以使半導體層 742a 及半導體層 742c 成為與半導體層 742b 相比不容易產生氧空缺的層。

[0439] 另外，當半導體層 742a 及半導體層 742c 是 In-M-Zn 氧化物時，除了 Zn 及 O 之外的 In 和元素 M 的含有率較佳為：In 低於 50 atomic%，元素 M 為 50 atomic% 以上，更佳為：In 低於 25 atomic%，元素 M 為 75 atomic% 以上。此外，當半導體層 742b 是 In-M-Zn 氧

化物時，除了 Zn 及 O 之外的 In 和元素 M 的含有率較佳為：In 為 25 atomic% 以上，元素 M 低於 75 atomic%，更佳為：In 為 34 atomic% 以上，元素 M 低於 66 atomic%。

[0440] 例如，作為包含 In 或 Ga 的半導體層 742a 及包含 In 或 Ga 的半導體層 742c，可以採用使用其原子數比為 In:Ga:Zn=1:3:2、1:3:4、1:3:6、1:6:4 或 1:9:6 等的靶材形成的 In-Ga-Zn 氧化物、使用其原子數比為 In:Ga=1:9 等的靶材形成的 In-Ga 氧化物、氧化鎵等。另外，作為半導體層 742b，可以採用使用其原子數比為 In:Ga:Zn=3:1:2、1:1:1、5:5:6 或 4:2:4.1 等的靶材形成的 In-Ga-Zn 氧化物。此外，半導體層 742a、半導體層 742b 及半導體層 742c 的原子數比都作為誤差包括上述原子數比的 $\pm 20\%$ 的變動。

[0441] 為了對使用半導體層 742b 的電晶體賦予穩定的電特性，較佳為降低半導體層 742b 中的雜質及氧空缺而實現高純度氧化物半導體層，使半導體層 742b 成為本質或實質上本質的氧化物半導體層。另外，較佳為至少使半導體層 742b 中的通道形成區域成為本質或實質上本質的氧化物半導體層。

[0442] 注意，實質上本質的氧化物半導體層是指氧化物半導體層中的載子密度低於 8×10^{11} 個/cm³，較佳為低於 1×10^{11} 個/cm³，更佳為低於 1×10^{10} 個/cm³ 且 1×10^{-9} 個/cm³ 以上的氧化物半導體層。

[0443] 圖 85A 至圖 85C 示出作為半導體層 742 使用

氧化物半導體的電晶體結構的一個例子。在圖 85A 至圖 85C 所例示的電晶體 822 中，在半導體層 742a 上形成有半導體層 742b。電晶體 822 是具有背閘極電極的底閘極型電晶體之一。圖 85A 是電晶體 822 的俯視圖。圖 85B 是沿圖 85A 中的點折線 X1-X2 所示的部分的剖面圖（通道長度方向上的剖面圖）。圖 85C 是沿圖 85A 中的點折線 Y1-Y2 所示的部分的剖面圖（通道寬度方向上的剖面圖）。

[0444] 設置在絕緣層 729 上的電極 723 在設置在絕緣層 726、絕緣層 728 及絕緣層 729 中的開口 747a 及開口 747b 中與電極 746 電連接。由此，對電極 723 及電極 746 供應相同的電位。另外，既可以不設置開口 747a 和開口 747b 中的一個，又可以不設置開口 747a 及開口 747b。當不設置開口 747a 及開口 747b 時，可以對電極 723 及電極 746 供應不同的電位。

[0445]

[氧化物半導體的能帶結構]

在此，參照圖 89A 和 89B 所示的能帶結構圖對由半導體層 742a、半導體層 742b 及半導體層 742c 的疊層構成的半導體層 742 的功能及其效果進行說明。圖 89A 示出由圖 84B 中的點折線 D1-D2 表示的部分的能帶結構。圖 89A 示出電晶體 850 的通道形成區域的能帶結構。

[0446] 在圖 89A 中，Ec882、Ec883a、Ec883b、Ec883c、Ec886 分別示出絕緣層 772、半導體層 742a、半

導體層 742b、半導體層 742c、絕緣層 726 的導帶底的能量。

[0447] 這裡，真空能階與導帶底的能量之間的能量差（也稱為“電子親和力”）是真空能階與價帶頂之間的能量差（也稱為游離電位）減去能隙的值。另外，能隙可以利用光譜橢圓偏光計（例如，HORIBA JOBIN YVON 公司製造的 UT-300）來測量。此外，真空能階與價帶頂之間的能量差可以利用紫外線光電子能譜（UPS：Ultraviolet Photoelectron Spectroscopy）裝置（例如，PHI 公司製造的 VersaProbe）來測量。

[0448] 使用其原子數比為 $\text{In:Ga:Zn}=1:3:2$ 的靶材形成的 In-Ga-Zn 氧化物的能隙大約為 3.5 eV，電子親和力大約為 4.5 eV。使用其原子數比為 $\text{In:Ga:Zn}=1:3:4$ 的靶材形成的 In-Ga-Zn 氧化物的能隙大約為 3.4 eV，電子親和力大約為 4.5 eV。使用其原子數比為 $\text{In:Ga:Zn}=1:3:6$ 的靶材形成的 In-Ga-Zn 氧化物的能隙大約為 3.3 eV，電子親和力大約為 4.5 eV。使用其原子數比為 $\text{In:Ga:Zn}=1:6:2$ 的靶材形成的 In-Ga-Zn 氧化物的能隙大約為 3.9 eV，電子親和力大約為 4.3 eV。使用其原子數比為 $\text{In:Ga:Zn}=1:6:8$ 的靶材形成的 In-Ga-Zn 氧化物的能隙大約為 3.5 eV，電子親和力大約為 4.4 eV。使用其原子數比為 $\text{In:Ga:Zn}=1:6:10$ 的靶材形成的 In-Ga-Zn 氧化物的能隙大約為 3.5 eV，電子親和力大約為 4.5 eV。使用其原子數比為 $\text{In:Ga:Zn}=1:1:1$ 的靶材形成的 In-Ga-Zn 氧化物的能隙大約

為 3.2 eV，電子親和力大約為 4.7 eV。使用其原子數比為 In:Ga:Zn=3:1:2 的靶材形成的 In-Ga-Zn 氧化物的能隙大約為 2.8 eV，電子親和力大約為 5.0 eV。

[0449] 因為絕緣層 772 和絕緣層 726 是絕緣物，所以 Ec882 和 Ec886 比 Ec883a、Ec883b 及 Ec883c 更接近於真空能階（電子親和力小）。

[0450] Ec883a 比 Ec883b 更接近於真空能階。明確而言，Ec883a 較佳為比 Ec883b 更接近於真空能階 0.05 eV 以上、0.07 eV 以上、0.1 eV 以上或 0.15 eV 以上且 2 eV 以下、1 eV 以下、0.5 eV 以下或 0.4 eV 以下。

[0451] Ec883c 比 Ec883b 更接近於真空能階。明確而言，Ec883c 較佳為比 Ec883b 更接近於真空能階 0.05eV 以上、0.07eV 以上、0.1eV 以上或 0.15eV 以上且 2eV 以下、1eV 以下、0.5eV 以下或 0.4eV 以下。

[0452] 另外，因為在半導體層 742a 與半導體層 742b 的介面附近以及半導體層 742b 與半導體層 742c 的介面附近形成混合區域，所以導帶底的能量連續地變化。亦即，在這些介面處不存在能階或者幾乎不存在能階。

[0453] 因此，在具有該能帶結構的疊層結構中，電子主要在半導體層 742b 中移動。由此，即使半導體層 742a 與絕緣層 724 的介面或者半導體層 742c 與絕緣層 726 的介面存在有能階，該能階也幾乎不會影響到電子的移動。另外，因為在半導體層 742a 與半導體層 742b 的介面以及半導體層 742c 與半導體層 742b 的介面不存在能階

或者幾乎不存在能階，所以在該區域中不會阻礙電子的移動。因此，具有上述氧化物半導體的疊層結構的電晶體可以實現高場效移動率。

[0454] 此外，如圖 89A 所示，雖然在半導體層 742a 與絕緣層 772 的介面附近以及半導體層 742c 與絕緣層 726 的介面附近有可能形成起因於雜質或缺陷的陷阱能階 890，但是由於半導體層 742a 及半導體層 742c 的存在，可以使半導體層 742b 遠離該陷阱能階。

[0455] 尤其是，在本實施例所例示的電晶體中，半導體層 742b 的頂面及側面接觸於半導體層 742c，半導體層 742b 的底面接觸於半導體層 742a。如此，藉由採用由半導體層 742a 和半導體層 742c 覆蓋半導體層 742b 的結構，可以進一步減少上述陷阱能階的影響。

[0456] 注意，當 Ec883a 或 Ec883c 與 Ec883b 的能量差小時，有時半導體層 742b 的電子越過該能量差到達陷阱能階。在電子被陷阱能階俘獲時，在絕緣層的介面產生固定負電荷，導致電晶體的臨界電壓漂移到正方向。

[0457] 因此，藉由將 Ec883a 與 Ec883b 的能量差以及 Ec883c 與 Ec883b 的能量差都設定為 0.1 eV 以上，較佳為 0.15 eV 以上，電晶體的臨界電壓的變動得到抑制，從而可以使電晶體的電特性良好，所以是較佳的。

[0458] 另外，半導體層 742a 及半導體層 742c 的能帶間隙較佳為寬於半導體層 742b 的能帶間隙。

[0459] 圖 89B 示出由圖 85B 中的點折線 D3-D4 表示

的部分的能帶結構。圖 89B 示出電晶體 822 的通道形成區域的能帶結構。

[0460] 在圖 89B 中，Ec887 示出絕緣層 728 的導帶底的能量。藉由以半導體層 742a 及半導體層 742b 的兩層形成半導體層 742，可以提高電晶體的生產率。雖然由於不設置半導體層 742c，所以包括該兩個半導體層的電晶體容易受到陷阱能階 890 的影響，但是與半導體層 742 為單層結構的情況相比，可以實現更高的場效移動率。

[0461] 根據本發明的一個實施例，可以實現電特性的微變異的電晶體。因此，可以實現電特性的微變異的半導體裝置。根據本發明的一個實施例，可以提供一種可靠性高的電晶體。因此，可以實現可靠性高的半導體裝置。

[0462] 此外，氧化物半導體的能隙大，為 3.0 eV 以上，可見光透射率較大。此外，在以適當的條件對氧化物半導體進行加工而得到的電晶體中，可以在使用時的溫度條件下（例如為 25℃）使關態電流為 100zA (1×10^{-19} A) 以下、10zA (1×10^{-20} A) 以下或 1zA (1×10^{-21} A) 以下。由此，可以提供低功耗的半導體裝置。

[0463] 根據本發明的一個實施例，可以實現低功耗的電晶體。因此，可以實現低功耗的顯示元件及顯示裝置等的半導體裝置。或者，可以提供可靠性良好的顯示元件及顯示裝置等的半導體裝置。

[0464] 再次對圖 84A 至圖 84C 所示的電晶體 850 進行說明。藉由在形成於絕緣層 772 的凸部上設置半導體層

742b，半導體層 742b 的側面也可以被電極 743 覆蓋。亦即，電晶體 850 具有由電極 743 的電場能夠電圍繞半導體層 742b 的結構。如此，將由導電膜的電場電圍繞形成有通道的半導體層的電晶體結構稱為 *surrounded channel* (*s-channel*) 結構。另外，將具有 *s-channel* 結構的電晶體也稱為 *s-channel* 型電晶體。

[0465] 在 *s-channel* 結構中，也可以在半導體層 742b 的整體（塊體）形成通道。在 *s-channel* 結構中可以使電晶體的汲極電流增大，來可以得到更高的通路狀態電流。此外，也可以由電極 743 的電場使形成在半導體層 742b 中的通道形成區域的整個區域空乏化。因此，*s-channel* 結構可以進一步降低電晶體的關態電流。

[0466] 另外，藉由增大絕緣層 772 的凸部的高度且縮短通道寬度，可以進一步提高增大通路狀態電流且降低關態電流的 *s-channel* 結構的效果等。此外，也可以去除半導體層 742a 的在形成半導體層 742b 時露出的部分。此時，半導體層 742a 的側面與半導體層 742b 的側面有時一致。

[0467] 另外，如圖 86A 至圖 86C 所示的電晶體 851，也可以在半導體層 742 的下方隔著絕緣層設置電極 723。圖 86A 是電晶體 851 的俯視圖。圖 86B 是沿圖 86A 中的點折線 X1-X2 所示的部分的剖面圖。圖 86C 是沿圖 86A 中的點折線 Y1-Y2 所示的部分的剖面圖。

[0468] 另外，如圖 87A 至圖 87C 所示的電晶體

852，也可以在電極 743 的上方設置絕緣層 775，在絕緣層 775 上設置有層 725。圖 87A 是電晶體 852 的俯視圖。圖 87B 是沿圖 87A 中的點折線 X1-X2 所示的部分的剖面圖。圖 87C 是沿圖 87A 中的點折線 Y1-Y2 所示的部分的剖面圖。

[0469] 在圖 87A 至圖 87C 中，雖然將層 725 設置於絕緣層 775 上，但也可以設置於絕緣層 728 或絕緣層 729 上。藉由使用具有遮光性的材料形成層 725，能夠防止因光照射的電晶體的特性變動或可靠性的下降等。另外，藉由將層 725 形成得至少比半導體層 742b 大以使半導體層 742b 被層 725 覆蓋，能夠提高上述效果。層 725 可以使用有機材料、無機材料或金屬材料製造。另外，當使用導電材料製造層 725 時，既可以對層 725 供應電壓，又可以使層 725 處於電浮動（floating）狀態。

[0470] 圖 88A 至圖 88C 示出具有 s-channel 結構的電晶體的一個例子。圖 88A 至圖 88C 所例示的電晶體 848 具有與上述電晶體 847 大致相同的結構。在電晶體 848 中，在設置在絕緣層 772 的凸部上形成有半導體層 742。電晶體 848 是一種包括背閘極電極的頂閘極型電晶體。圖 88A 是電晶體 848 的俯視圖。圖 88B 示出由圖 88A 中的 X1-X2 的點折線表示的部分的剖面圖。圖 88C 示出由圖 88A 中的 Y1-Y2 的點折線表示的部分的剖面圖。

[0471] 設置在絕緣層 729 上的電極 744a 在設置在絕緣層 726、絕緣層 728 及絕緣層 729 的開口 747c 中與半

導體層 742 電連接。此外，設置在絕緣層 729 上的電極 744b 在設置在絕緣層 726、絕緣層 728 及絕緣層 729 的開口 747d 中與半導體層 742 電連接。

[0472] 設置在絕緣層 726 上的電極 743 在設置在絕緣層 726 及絕緣層 772 的開口 747a 及開口 747b 中與電極 723 電連接。因此，電極 746 及電極 723 被供應相同的電位。此外，也可以不設置開口 747a 和開口 747b 中的一個或兩個。在不設置開口 747a 及開口 747b 時，可以對電極 723 及電極 746 供應不同的電位。

[0473] 注意，用於具有 s-channel 結構的電晶體的半導體層不侷限於氧化物半導體。

[0474] 本實施例可以與其他實施例所記載的結構適當地組合而實施。

[0475]

實施例 4

在本實施例中，參照圖 90 至圖 92B 對本發明的一個實施例的顯示裝置或包括觸控面板的顯示模組及電子裝置進行說明。

[0476] 圖 90 所示的顯示模組 8000 在上蓋 8001 與下蓋 8002 之間包括連接於 FPC8003 的觸控面板 8004、框架 8009、印刷電路板 8010、電池 8011。

[0477] 例如，可以將本發明的一個實施例的觸控面板用於觸控面板 8004。

[0478] 上蓋 8001 及下蓋 8002 可以根據觸控面板

8004 的尺寸可以適當地改變形狀或尺寸。

[0479] 觸控面板 8004 能夠是電阻膜式觸控面板或電容式觸控面板，並且能夠被形成為與顯示面板重疊。此外，也可以使觸控面板 8004 的相對基板（密封基板）具有觸控面板的功能。另外，也可以在觸控面板 8004 的各像素內設置光感測器，而形成光學觸控面板。

[0480] 此外，在使用透過型液晶元件時，也可以如圖 90 所示那樣地設置背光 8007。背光 8007 具有光源 8008。注意，雖然在圖 90 中例示出在背光 8007 上配置光源 8008 的結構，但是不侷限於此。例如，可以在背光 8007 的端部設置光源 8008，並使用光擴散板。當使用有機 EL 元件等自發光型發光元件時，或者當使用反射式面板等時，可以採用不設置背光 8007 的結構。

[0481] 框架 8009 除了具有保護觸控面板 8004 的功能以外還具有用來遮斷因印刷電路板 8010 的工作而產生的電磁波的電磁屏蔽的功能。此外，框架 8009 也可以具有散熱板的功能。

[0482] 印刷電路板 8010 具有電源電路以及用來輸出視訊訊號及時脈訊號的訊號處理電路。作為對電源電路供應電力的電源，既可以採用外部的商業電源，又可以採用另行設置的電池 8011 的電源。當使用商業電源時，可以省略電池 8011。

[0483] 此外，在觸控面板 8004 中還可以設置偏光板、相位差板、稜鏡片等構件。

[0484] 圖 91A 至圖 91H 及圖 92A 和圖 92B 是示出電子裝置的圖。這些電子裝置可以包括外殼 5000、顯示部 5001、揚聲器 5003、LED 燈 5004、操作鍵 5005（包括電源開關或操作開關）、連接端子 5006、感測器 5007（該感測器具有測量如下因素的功能：力、位移、位置、速度、加速度、角速度、轉速、距離、光、液、磁、溫度、化學物質、聲音、時間、硬度、電場、電流、電壓、電力、輻射線、流率、濕度、傾斜度、振動、氣味或紅外線）、麥克風 5008 等。

[0485] 圖 91A 示出移動電腦，該移動電腦除了上述以外還可以包括開關 5009、紅外線埠 5010 等。圖 91B 示出具備儲存媒體的可攜式影像再現裝置（例如 DVD 再現裝置），該可攜式影像再現裝置除了上述以外還可以包括第二顯示部 5002、儲存媒體讀取部 5011 等。圖 91C 示出電視機，該電視機除了上述以外還可以包括支架 5012 等。此外，可以藉由利用外殼 5000 所具備的操作開關、另外提供的遙控器 5013 進行電視機的操作。藉由利用遙控器 5013 所具備的操作鍵，可以進行頻道及音量的操作，並可以對顯示在顯示部 5001 上的影像進行操作。另外，也可以採用在遙控器 5013 中設置顯示從該遙控器 5013 輸出的資料的顯示部的結構。圖 91D 示出可攜式遊戲機，該可攜式遊戲機除了上述以外還可以包括儲存媒體讀取部 5011 等。圖 91E 示出具有電視接收功能的數位相機，該數位相機除了上述以外還可以包括天線 5014、快

門按鈕 5015、影像接收部 5016 等。圖 91F 示出可攜式遊戲機，該可攜式遊戲機除了上述以外還可以包括第二顯示部 5002、儲存媒體讀取部 5011 等。圖 91G 示出可攜式電視接收機，該可攜式電視接收機除了上述以外還可以包括能夠收發訊號的充電器 5017 等。圖 91H 示出手錶型資訊終端，除上述之外還可以包括腕帶 5018、錶帶扣 5019 等。安裝在兼作為框架（bezel）的外殼 5000 中的顯示部 5001 具有非矩形狀的顯示區域。顯示部 5001 可以顯示表示時間的圖示 5020 以及其他圖示 5021 等。圖 92A 示出數位看板（Digital Signage）。圖 92B 示出設置於圓筒狀的柱子上的數位看板。

[0486] 圖 91A 至圖 91H 以及圖 92A 和圖 92B 所示的電子裝置可以具有各種功能。例如，可以具有如下功能：將各種資訊（靜態影像、動態影像、文字影像等）顯示在顯示部上的功能；觸控面板的功能；顯示日曆、日期或時間等的功能；藉由利用各種軟體（程式）控制處理的功能；進行無線通訊的功能；藉由利用無線通訊功能來連接到各種電腦網路的功能；藉由利用無線通訊功能，進行各種資料的發送或接收的功能；讀出儲存在存儲介質中的程式或資料並將其顯示在顯示部上的功能；等。此外，包括多個顯示部的電子裝置可以具有在一個顯示部主要顯示影像資訊而在另一個顯示部主要顯示文本資訊的功能，或者具有藉由將考慮了視差的影像顯示於多個顯示部上來顯示三維影像的功能等。再者，在具有影像接收部的電子裝置

中，可以具有如下功能：拍攝靜態影像；拍攝動態影像；對所拍攝的影像進行自動或手工校正；將所拍攝的影像存儲在記錄介質（外部或內置於影像拍攝裝置中）中；將所拍攝的影像顯示在顯示部上；等等。注意，圖 91A 至圖 91H 以及圖 92A 和圖 92B 所示的電子裝置可具有的功能不侷限於上述功能，而可以具有各種功能。

[0487] 本實施例的電子裝置的特徵在於具有用於顯示某種資訊的顯示部。可以將本發明的一個實施例的觸控面板適用於該顯示部。

[0488] 本實施例的至少一部分可以與本說明書所記載的其他實施例適當地組合而實施。

【符號說明】

[0489]

10：觸控面板

11：基板

12：基板

13：FPC

14：導電層

15：連接層

20：液晶元件

21：導電層

22：導電層

23：液晶

31：彩色層

41：導電層

41a：導電層

41b：導電層

51：像素電極

52：共用電極

55：感測器電極

56：感測器電極

57：佈線

61：佈線

62：佈線

63：電晶體

64：液晶元件

65_1：區塊

65_2：區塊

66：佈線

71：佈線

71_1：佈線

71_2：佈線

72：佈線

72_1：佈線

72_2：佈線

81：源極線

82：源極線

83：源極線
84：源極線
85：閘極線
86：閘極線
87：閘極線
88：閘極線
100：顯示裝置
151：黏合層
201：電晶體
202：發光元件
203：電晶體
206：連接部
207：導電層
208：液晶元件
209：連接層
211：絕緣層
212：絕緣層
213：絕緣層
214：絕緣層
215：絕緣層
216：間隔物
217：絕緣層
231：彩色層
232：遮光層

251：導電層
252：導電層
253：液晶
254：絕緣層
255：絕緣層
262：區域
263：區域
271：彩色層
281：閘極電極
282：閘極電極
283：閘極電極
284：閘極電極
285：汲極電極
286：閘極電極
310：觸控面板
311：導電層
321：導電層
322：EL 層
323：導電層
324：光學調整層
331：導電層
332：導電層
335：導電層
341：導電層

351：導電層

352：導電層

371：基板

372：基板

373：FPC

373a：FPC

373b：FPC

374：IC

381：顯示部

382：驅動電路

383：佈線

384：驅動電路

385：連接部

386：連接器

401：導電層

402：導電層

404：導電層

405：導電層

411a：導電層

411a_1：導電層

411aa：導電層

411b：導電層

411b_1：導電層

411bb：導電層

411c：導電層

412a：導電層

412aa：導電層

412b：導電層

412bb：導電層

412c：導電層

500A：顯示裝置

500B：顯示裝置

510：像素部

511：像素

520_1：閘極驅動器

520_2：閘極驅動器

530：源極驅動器

531：TAB

531_k：源極驅動器 IC

531_1：源極驅動器 IC

601：脈衝電壓輸出電路

602：電流檢測電路

603：電容

621：電極

622：電極

705：絕緣層

706：電極

707：絕緣層

708：半導體層

710：絕緣層

711：絕緣層

714：電極

715：電極

722：絕緣層

723：電極

724：絕緣層

724a：電極

724b：電極

725：層

726：絕緣層

727：絕緣層

728：絕緣層

729：絕緣層

732：電晶體

741：絕緣層

742：半導體層

742a：半導體層

742b：半導體層

742c：半導體層

743：電極

744a：電極

744b：電極

746 : 電 極

747a : 開 口

747b : 開 口

747c : 開 口

747d : 開 口

755 : 雜 質

771 : 基 板

772 : 絕 緣 層

775 : 絕 緣 層

810 : 電 晶 體

811 : 電 晶 體

820 : 電 晶 體

821 : 電 晶 體

822 : 電 晶 體

825 : 電 晶 體

830 : 電 晶 體

831 : 電 晶 體

834 : 電 晶 體

840 : 電 晶 體

841 : 電 晶 體

842 : 電 晶 體

843 : 電 晶 體

844 : 電 晶 體

845 : 電 晶 體

846 : 電 晶 體

847 : 電 晶 體

848 : 電 晶 體

850 : 電 晶 體

851 : 電 晶 體

852 : 電 晶 體

882 : Ec

883a : Ec

883b : Ec

883c : Ec

886 : Ec

887 : Ec

890 : 陷 阱 能 階

5000 : 外 殼

5001 : 顯 示 部

5002 : 顯 示 部

5003 : 揚 聲 器

5004 : LED 燈

5005 : 操 作 鍵

5006 : 連 接 端 子

5007 : 感 測 器

5008 : 麥 克 風

5009 : 開 關

5010 : 紅 外 線 埠

5011：儲存媒體讀取部

5012：支架

5013：遙控器

5014：天線

5015：快門按鈕

5016：影像接收部

5017：充電器

5018：腕帶

5019：錶帶扣

5020：圖示

5021：圖示

8000：顯示模組

8001：上蓋

8002：下蓋

8003：FPC

8004：觸控面板

8006：顯示面板

8007：背光

8008：光源

8009：框架

8010：印刷電路板

8011：電池

申請專利範圍

【請求項 1】一種顯示裝置，包含：

第一基板；

第二基板；

第一導電層；

第二導電層；

第三導電層；

第四導電層；

發光元件；

觸控感測器，其包含第一電極和第二電極；以及

FPC（軟性印刷電路板），

其中，該第一導電層包含作為該觸控感測器之該第一電極的區域，

其中，該第二導電層包含作為該發光元件之電極的區域，

其中，該第三導電層包含作為該觸控感測器之該第二電極的區域，

其中，該 FPC 與該第四導電層電連接，

其中，該第一導電層、該第二導電層、該第三導電層、該第四導電層及該發光元件設置於該第一基板與該第二基板之間，

其中，該第一導電層、該第二導電層及該第三導電層設置於該第一基板上。

圖式

圖 1A

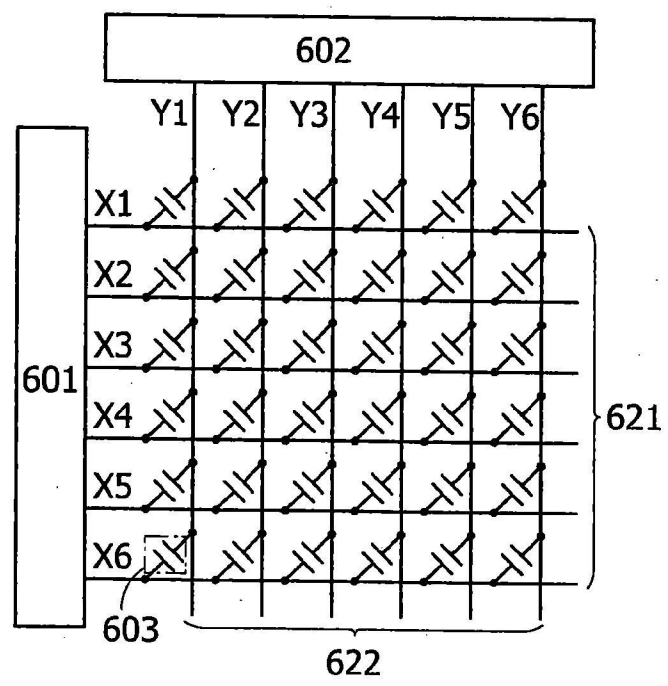


圖 1B

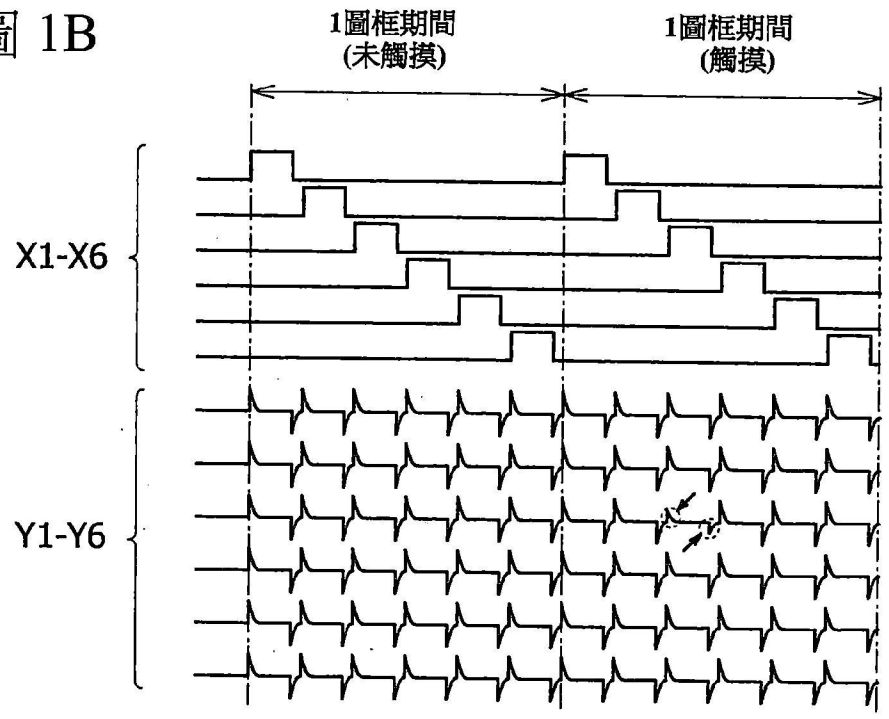


圖 2A

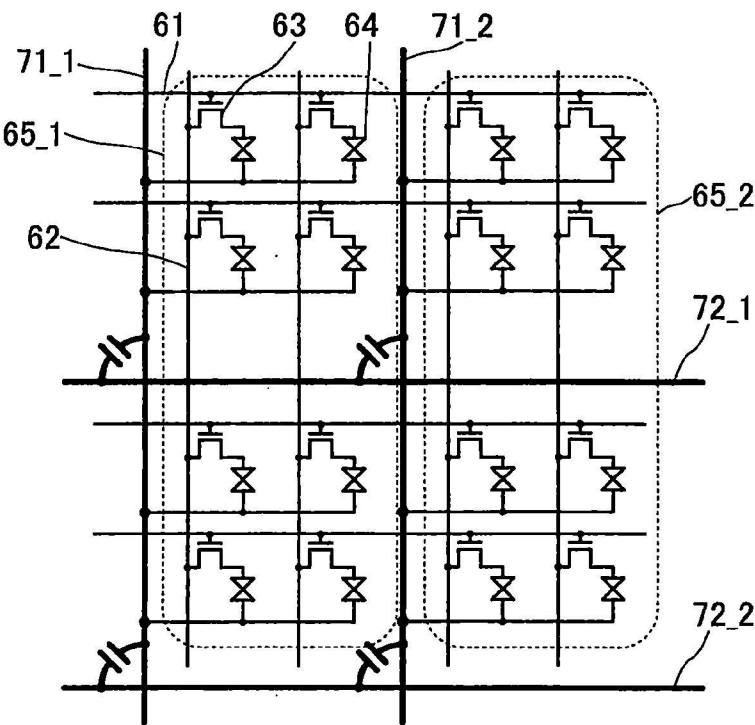


圖 2B

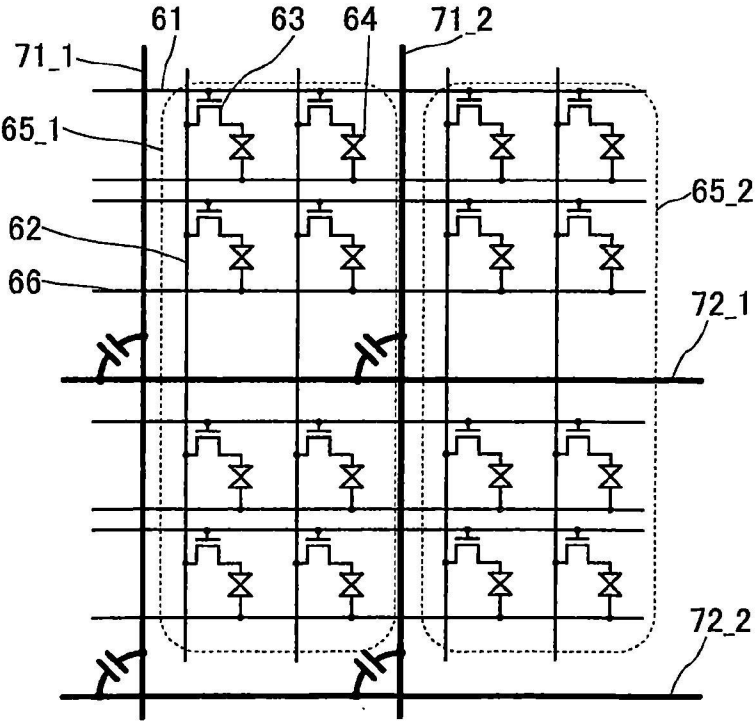


圖 3

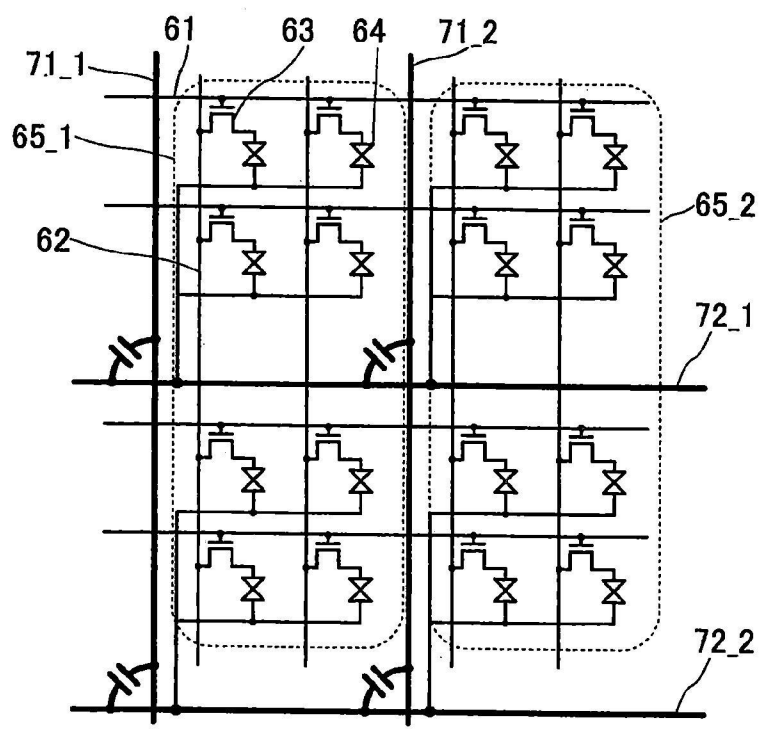


圖 4

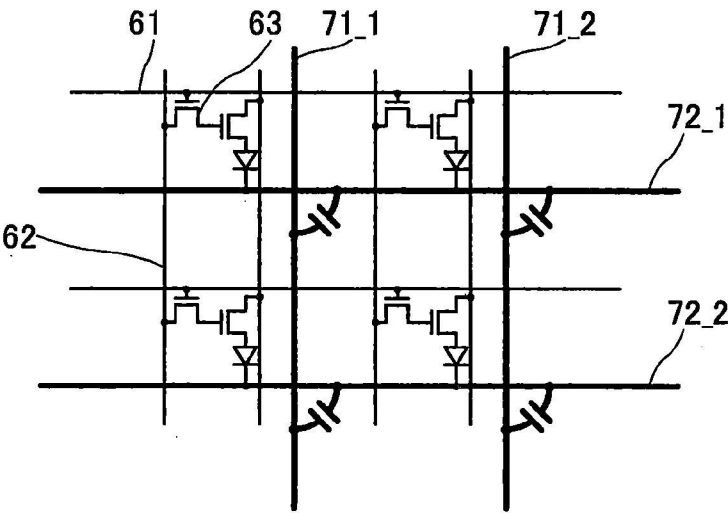


圖 5

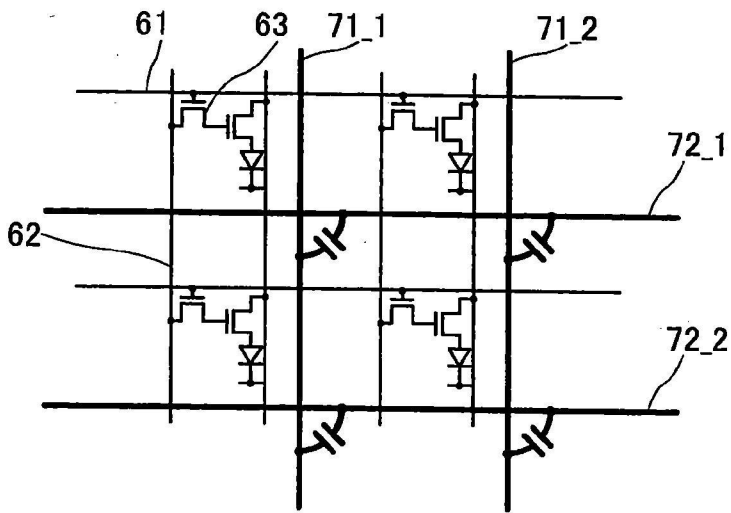


圖 6A

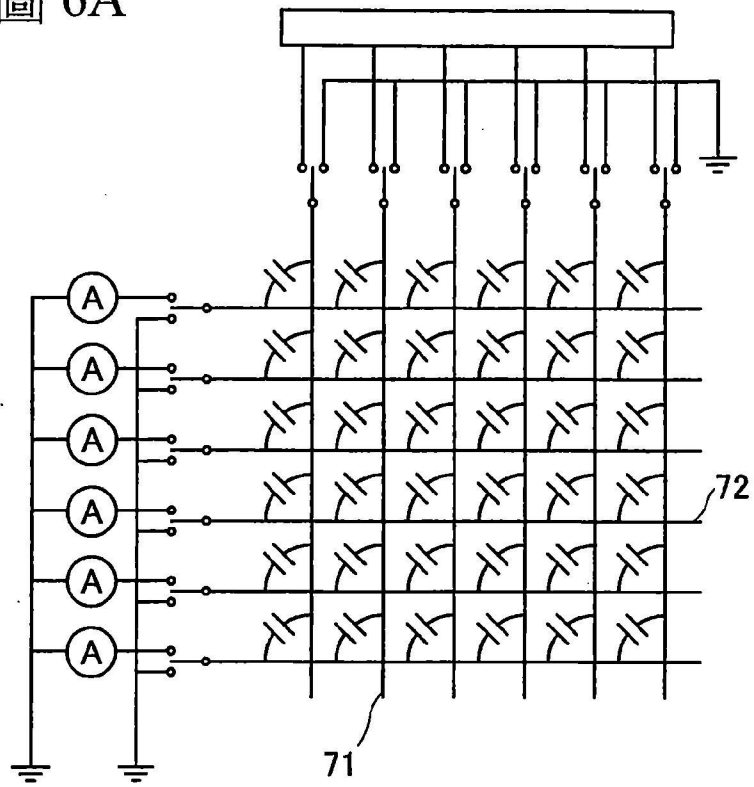


圖 6B

寫入期間

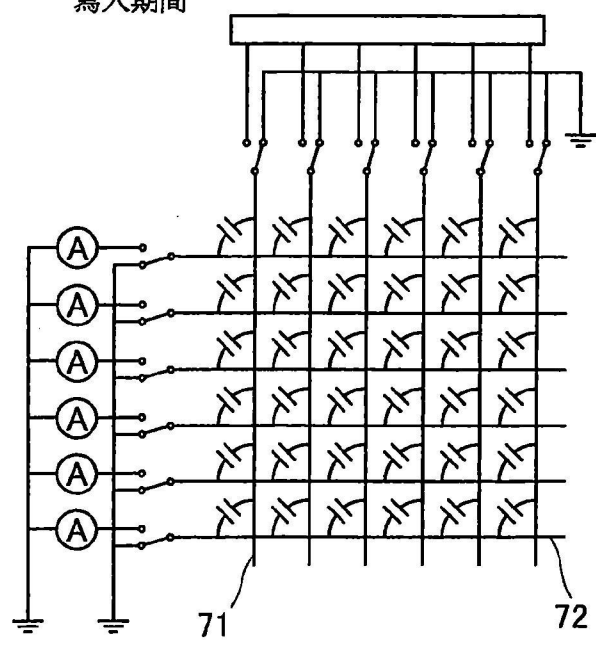
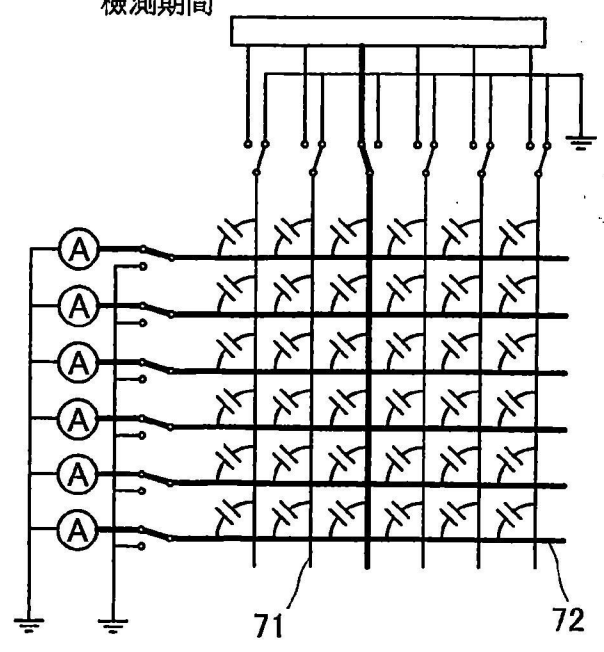


圖 6C

檢測期間



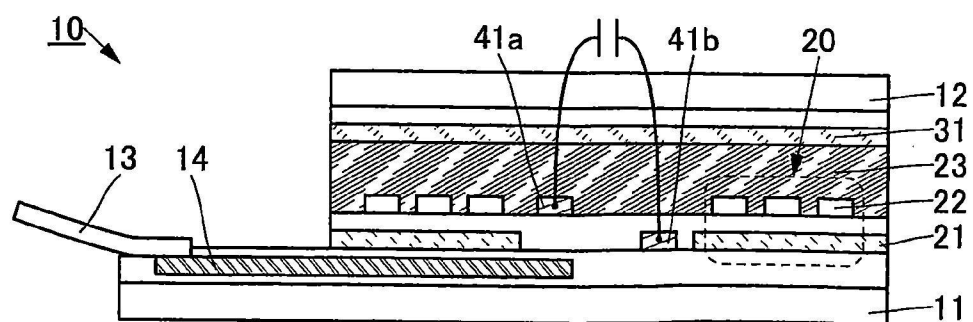
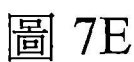


圖 8A

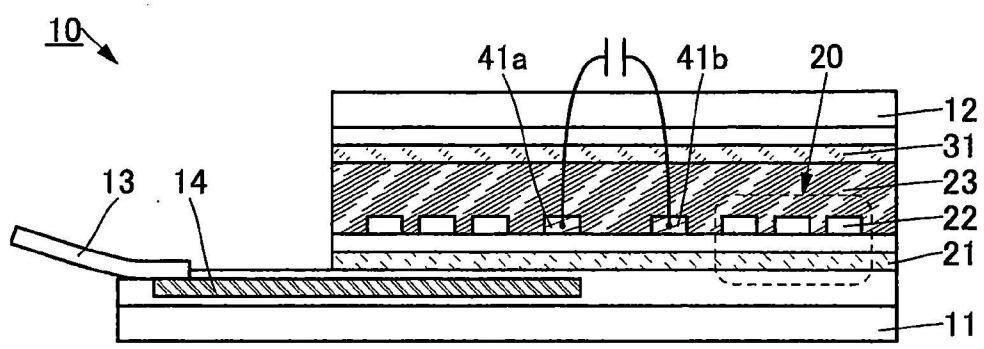


圖 8B

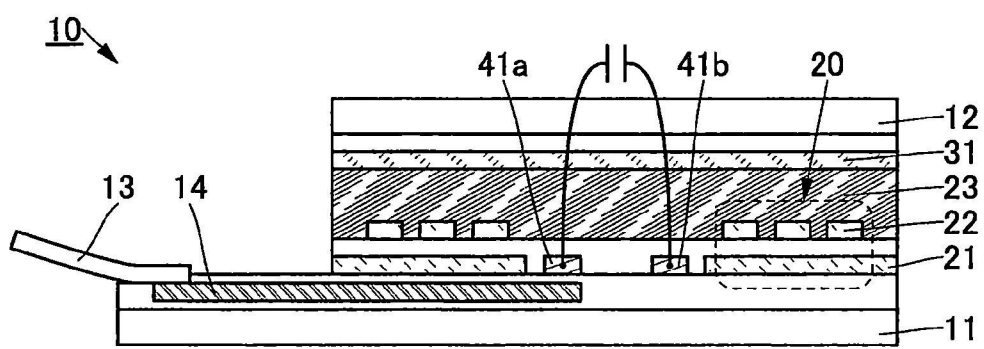


圖 8C

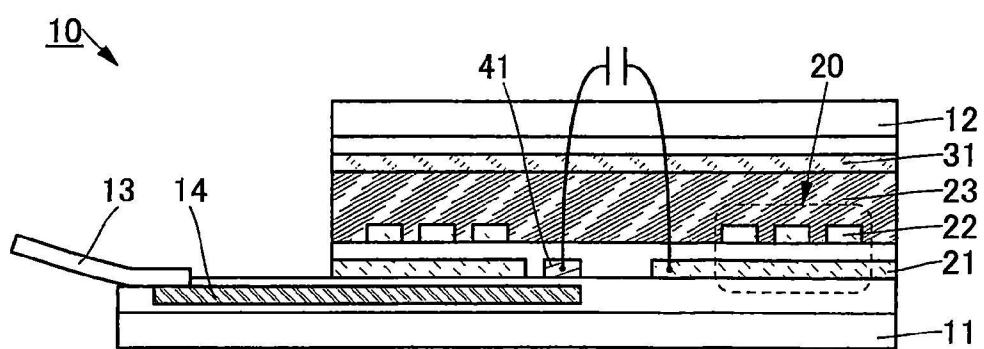


圖 9

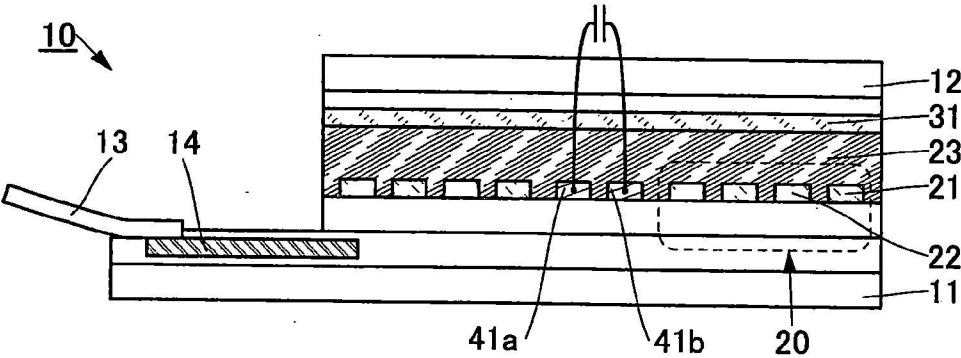


圖 10A

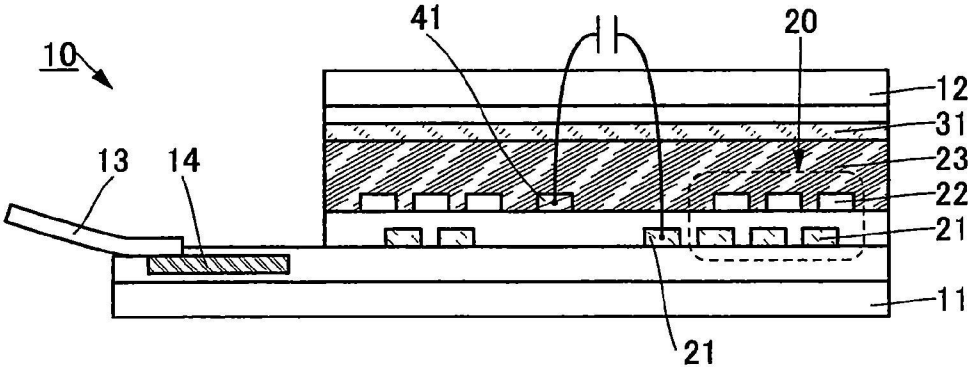


圖 10B

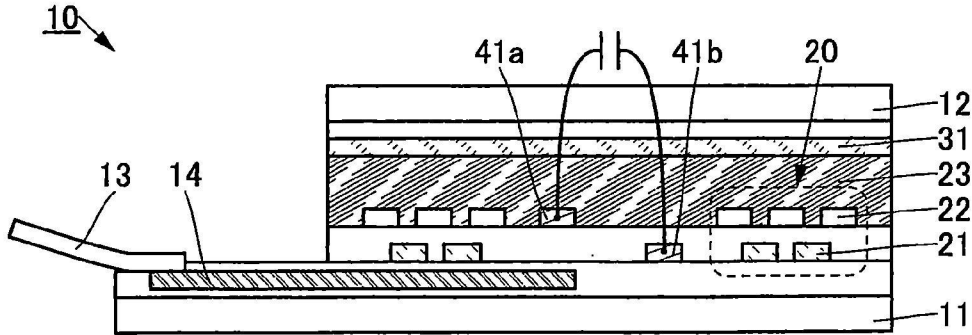


圖 11A

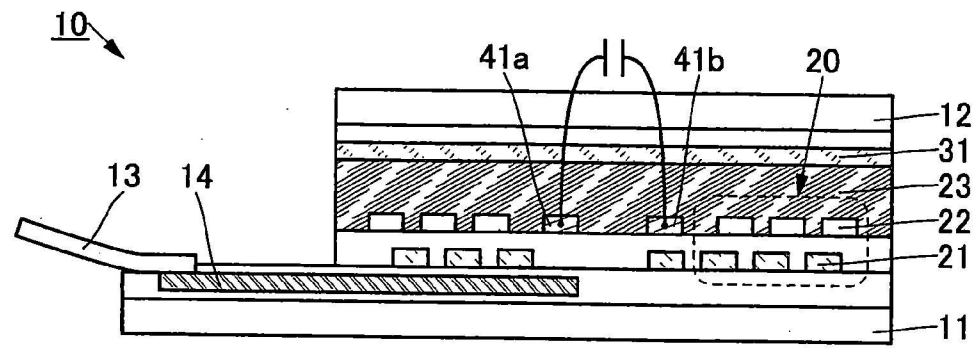


圖 11B

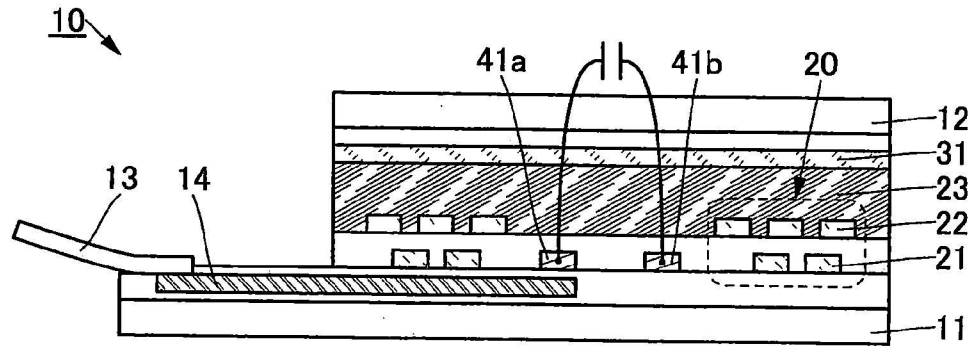


圖 11C

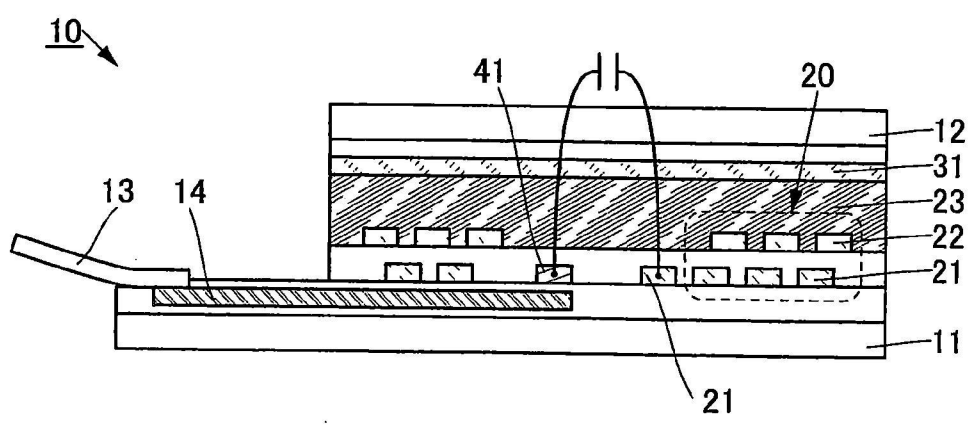


圖 12

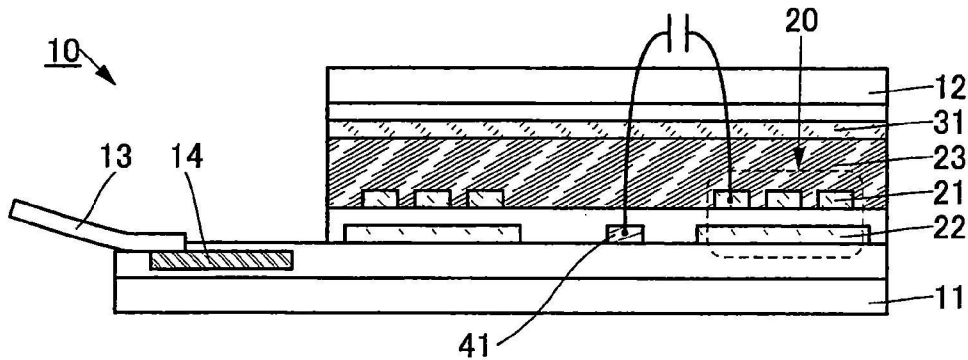


圖 13A

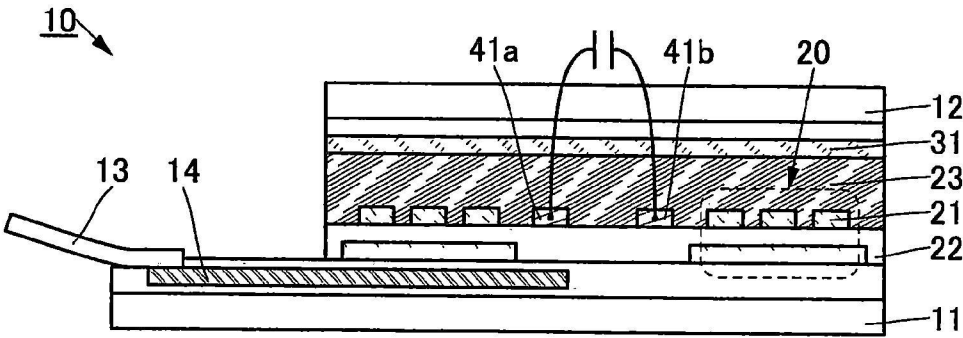


圖 13B

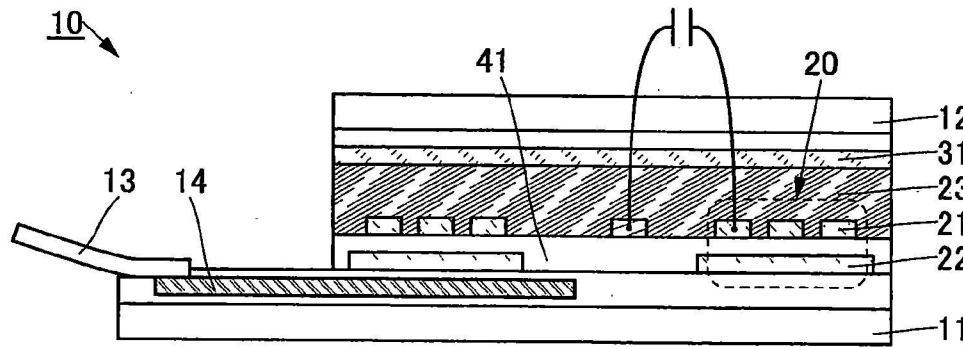


圖 14

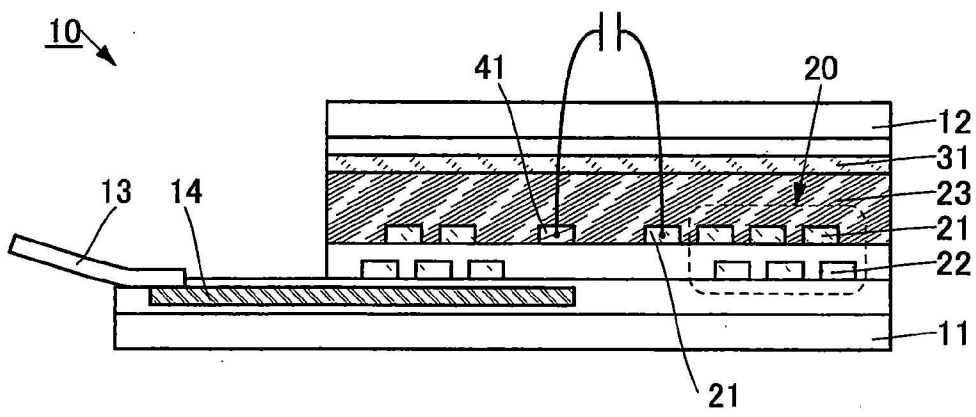


圖 15A

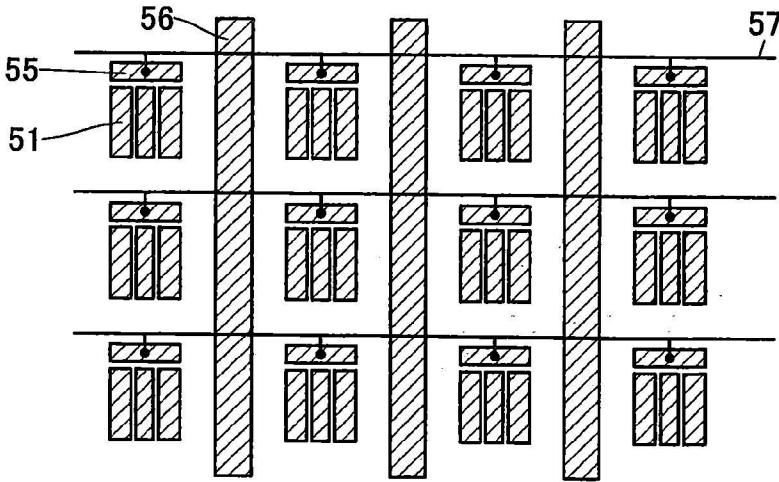


圖 15B

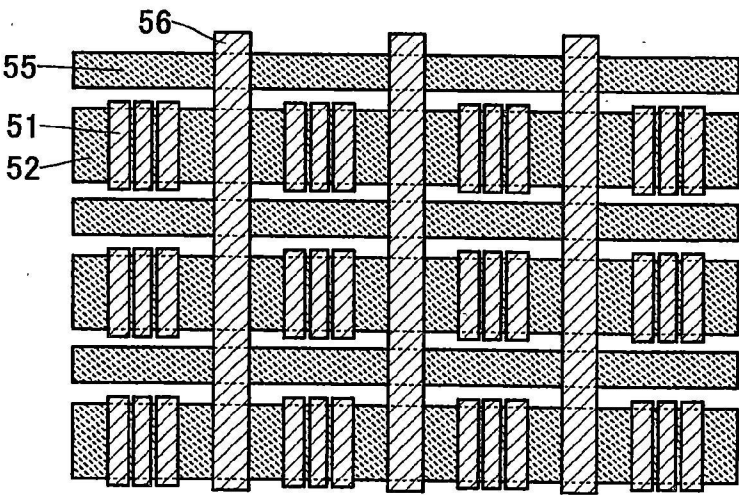


圖 15C

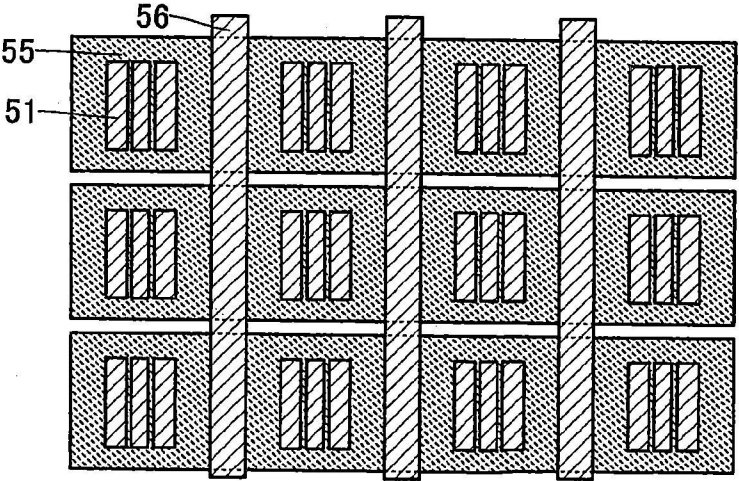


圖 16A

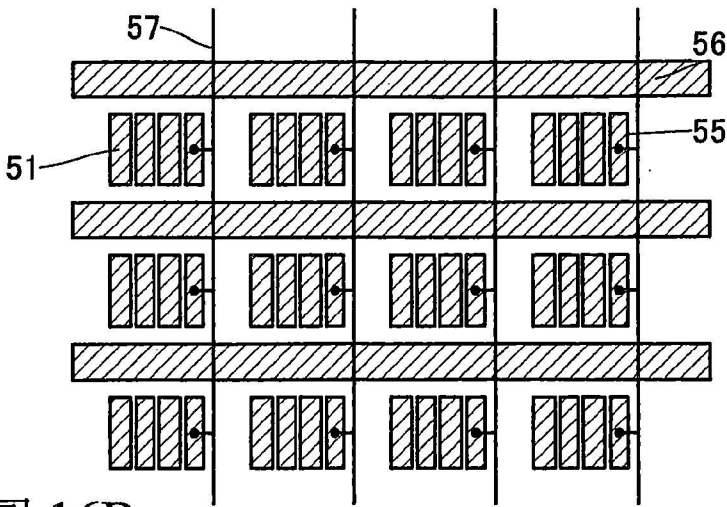


圖 16B

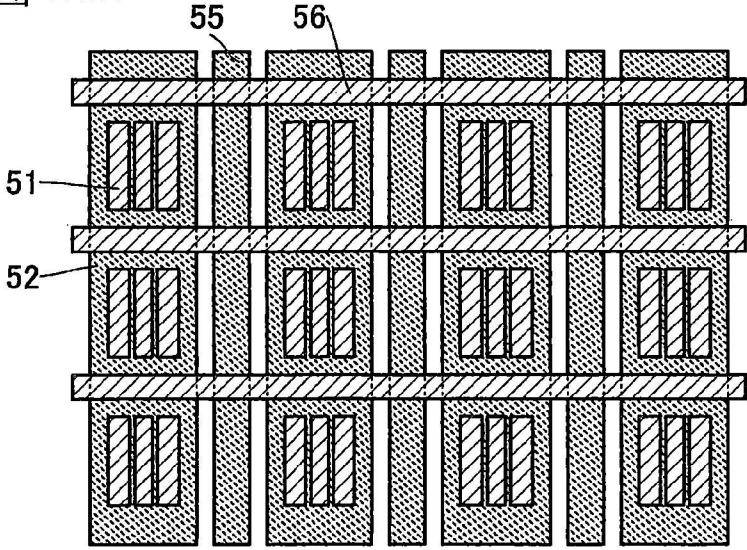


圖 16C

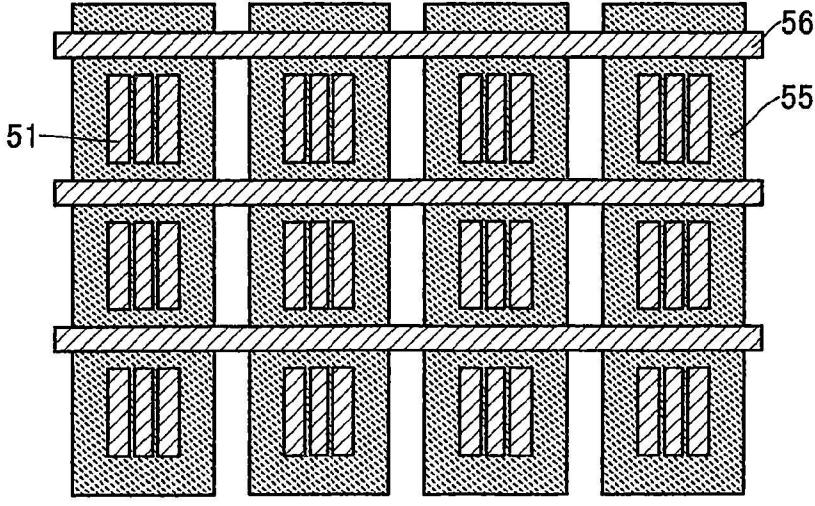


圖 17A

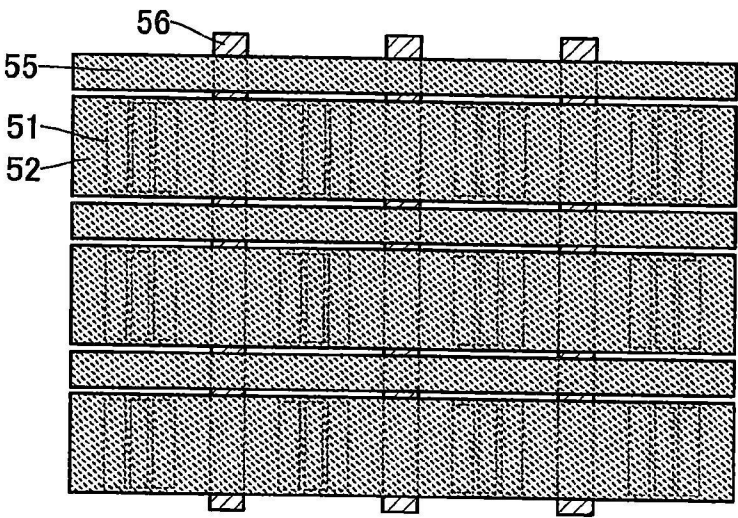


圖 17B

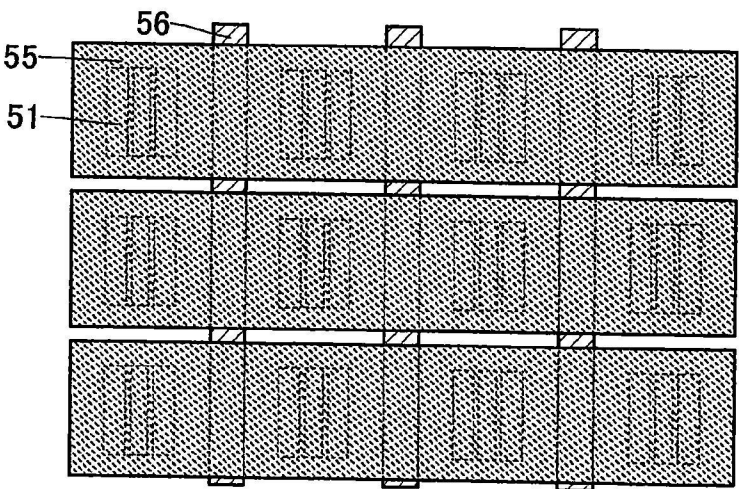


圖 18A

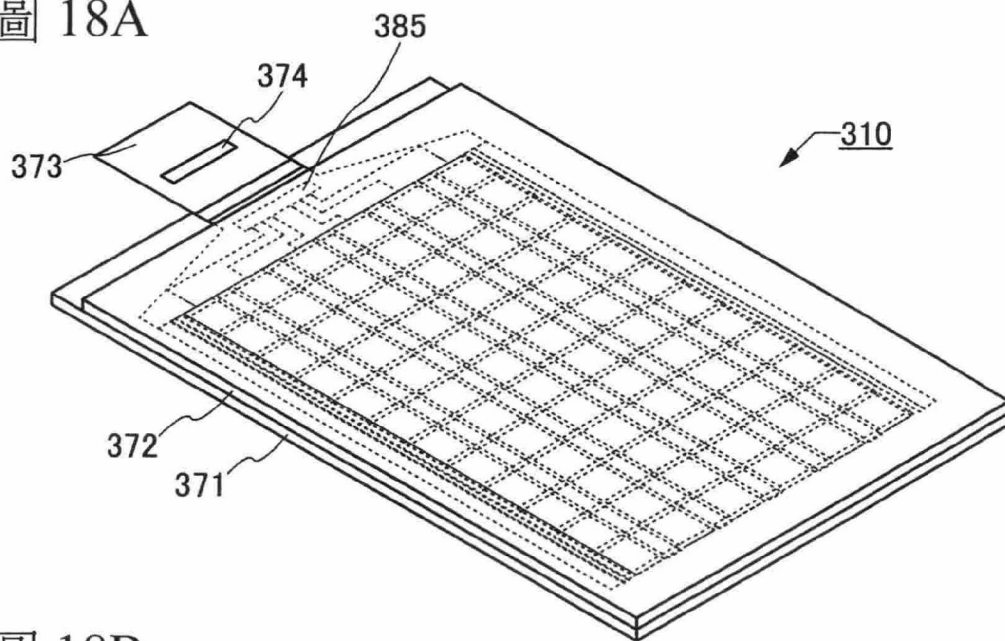


圖 18B

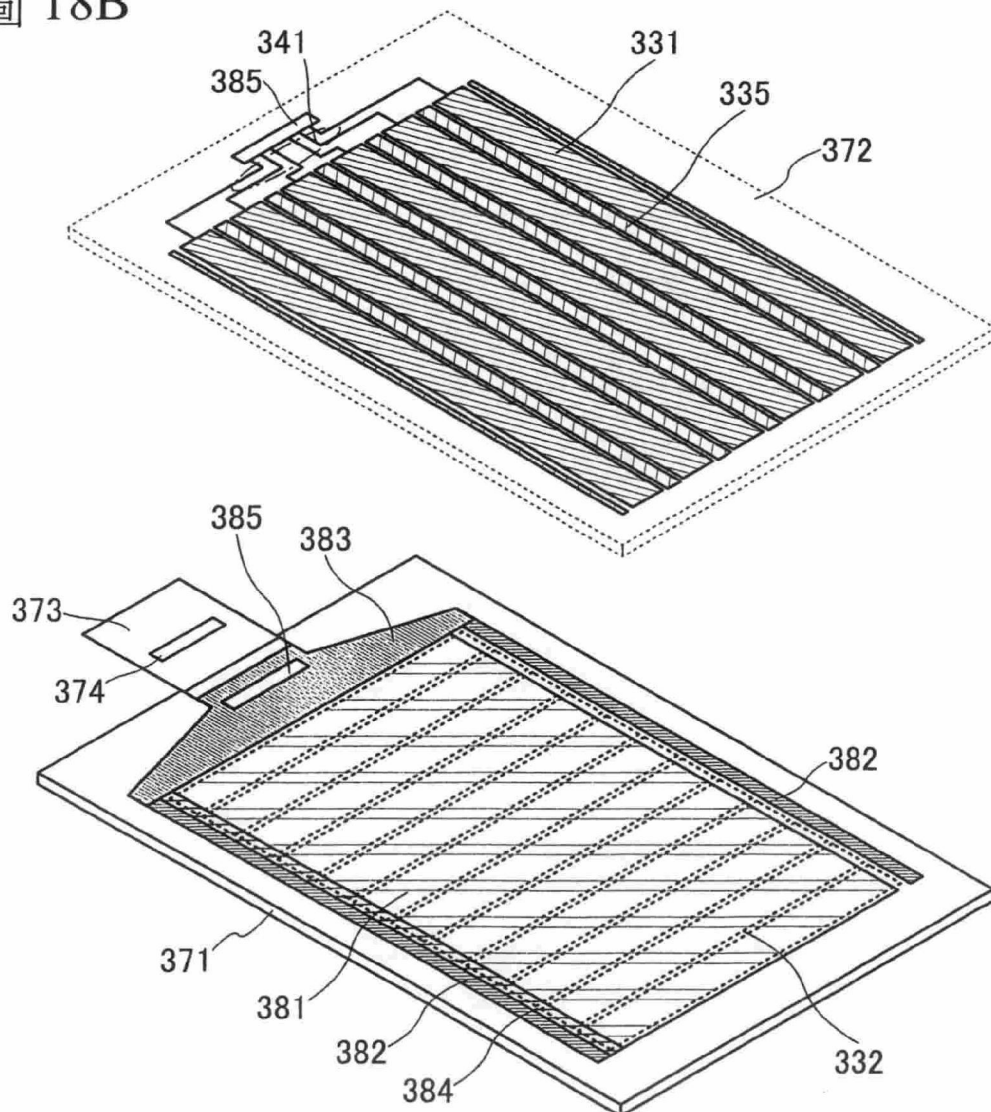


圖 19

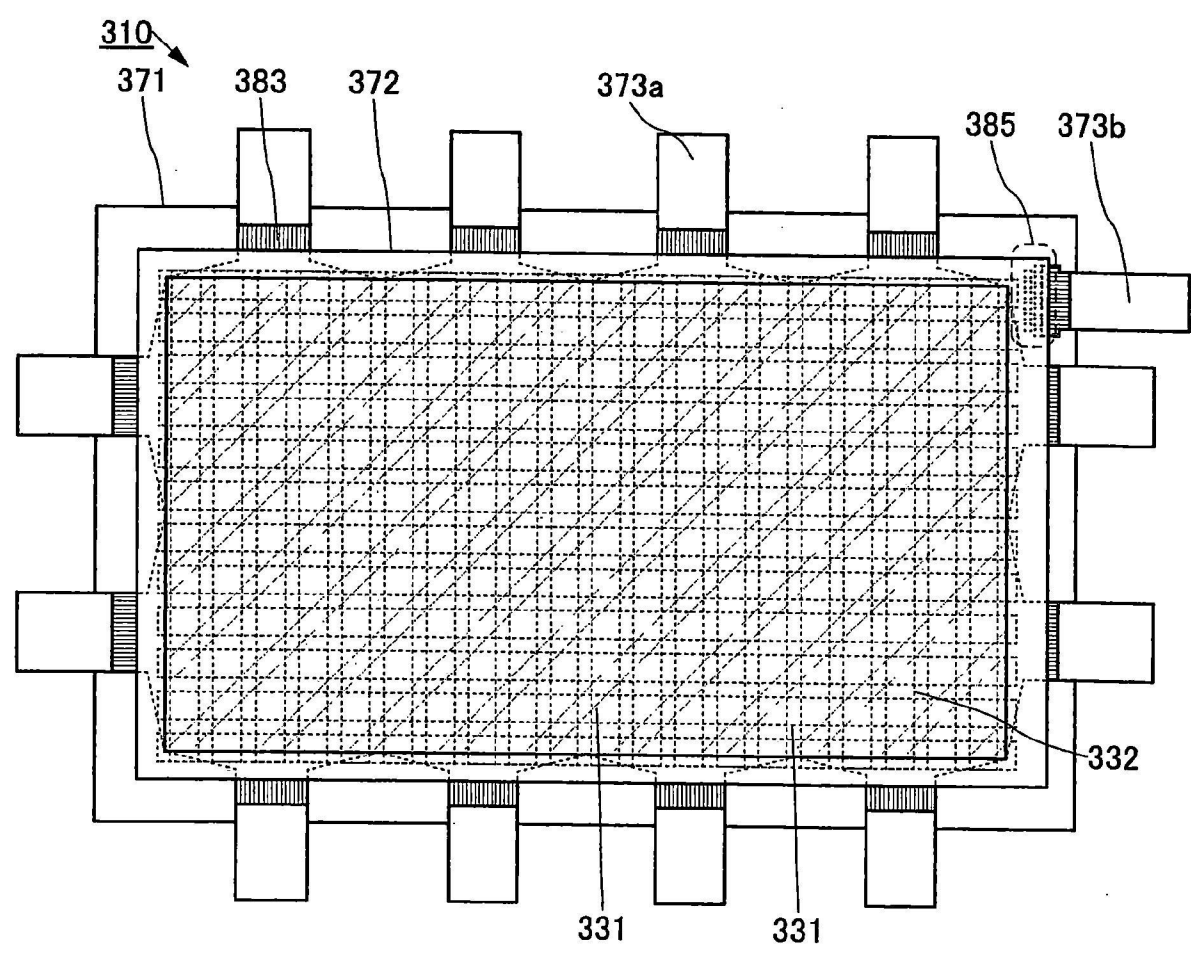


圖 20
310

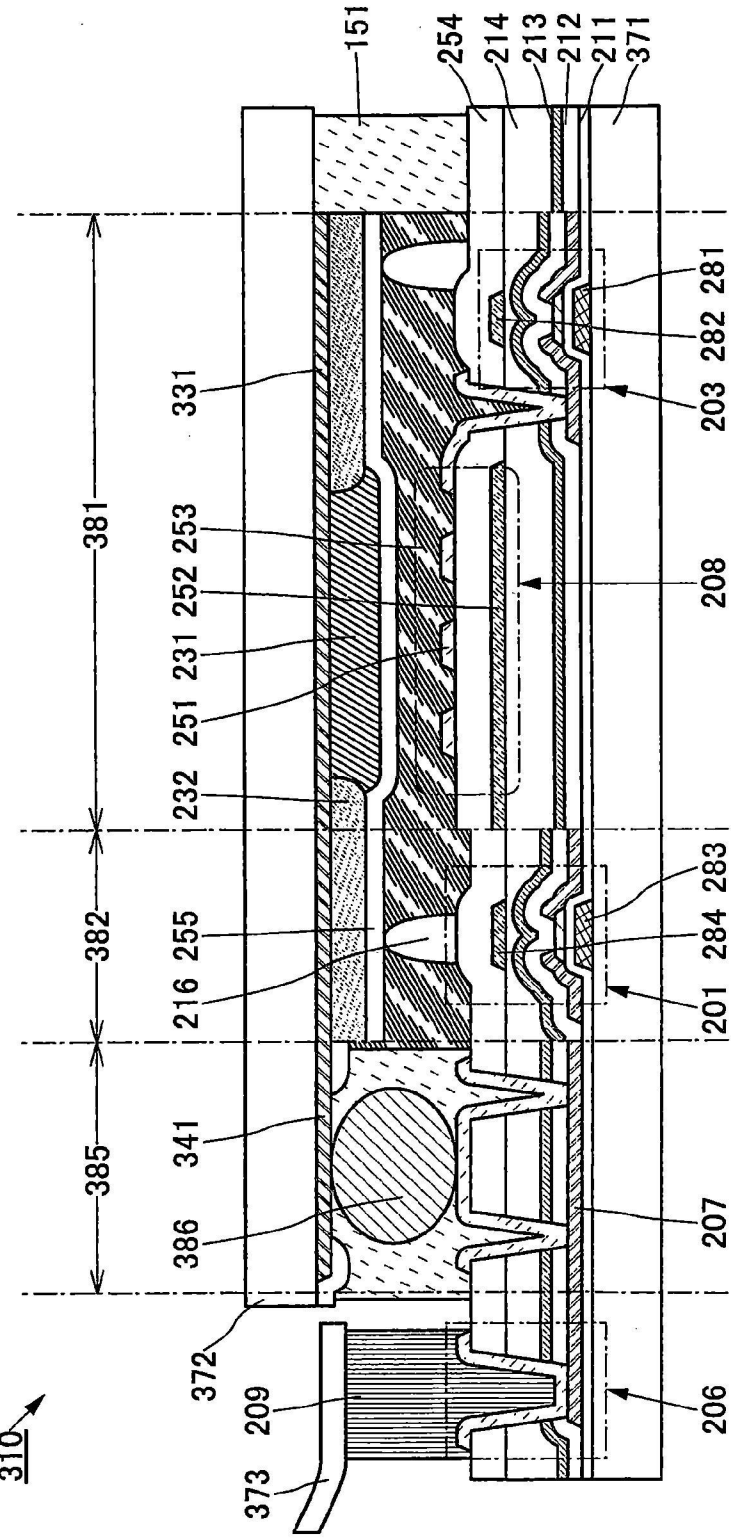


圖 21
310

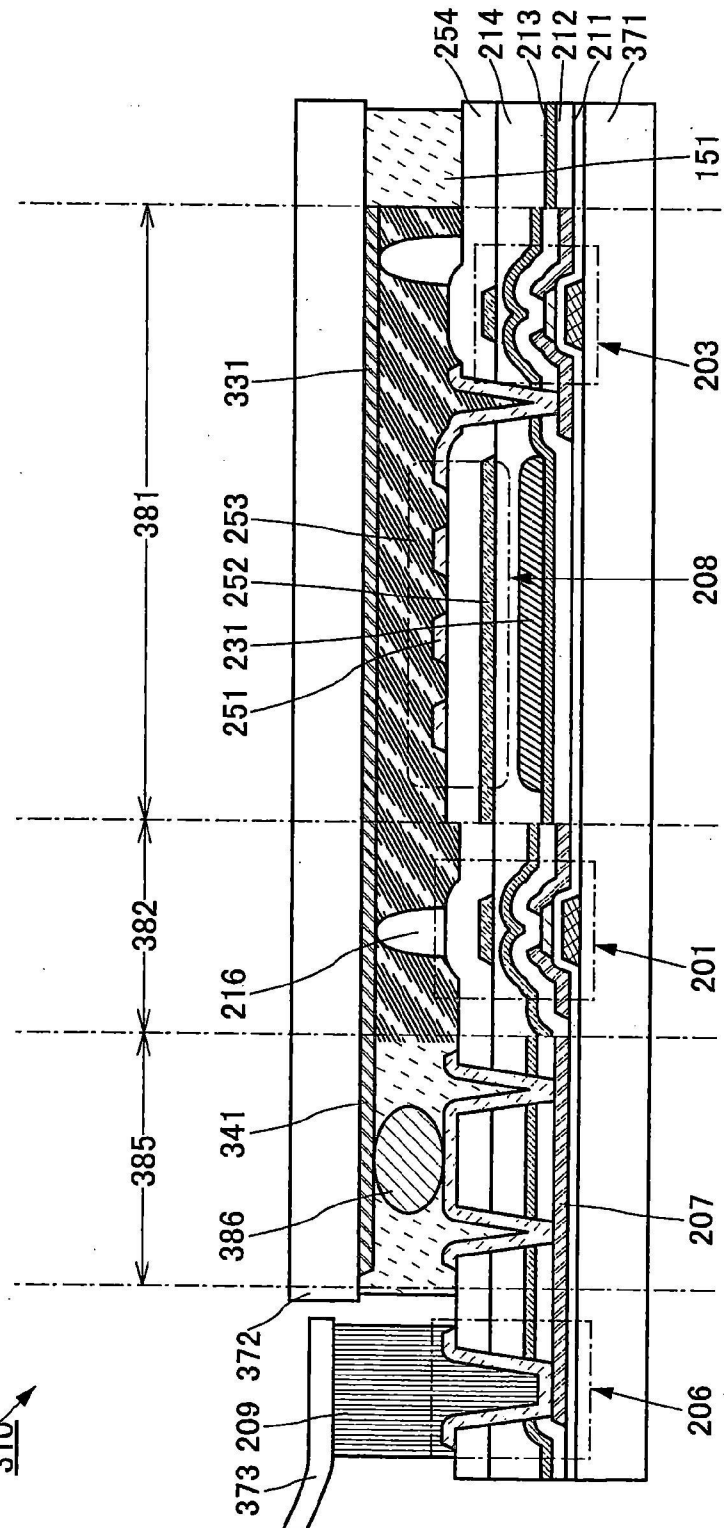


圖 22
310

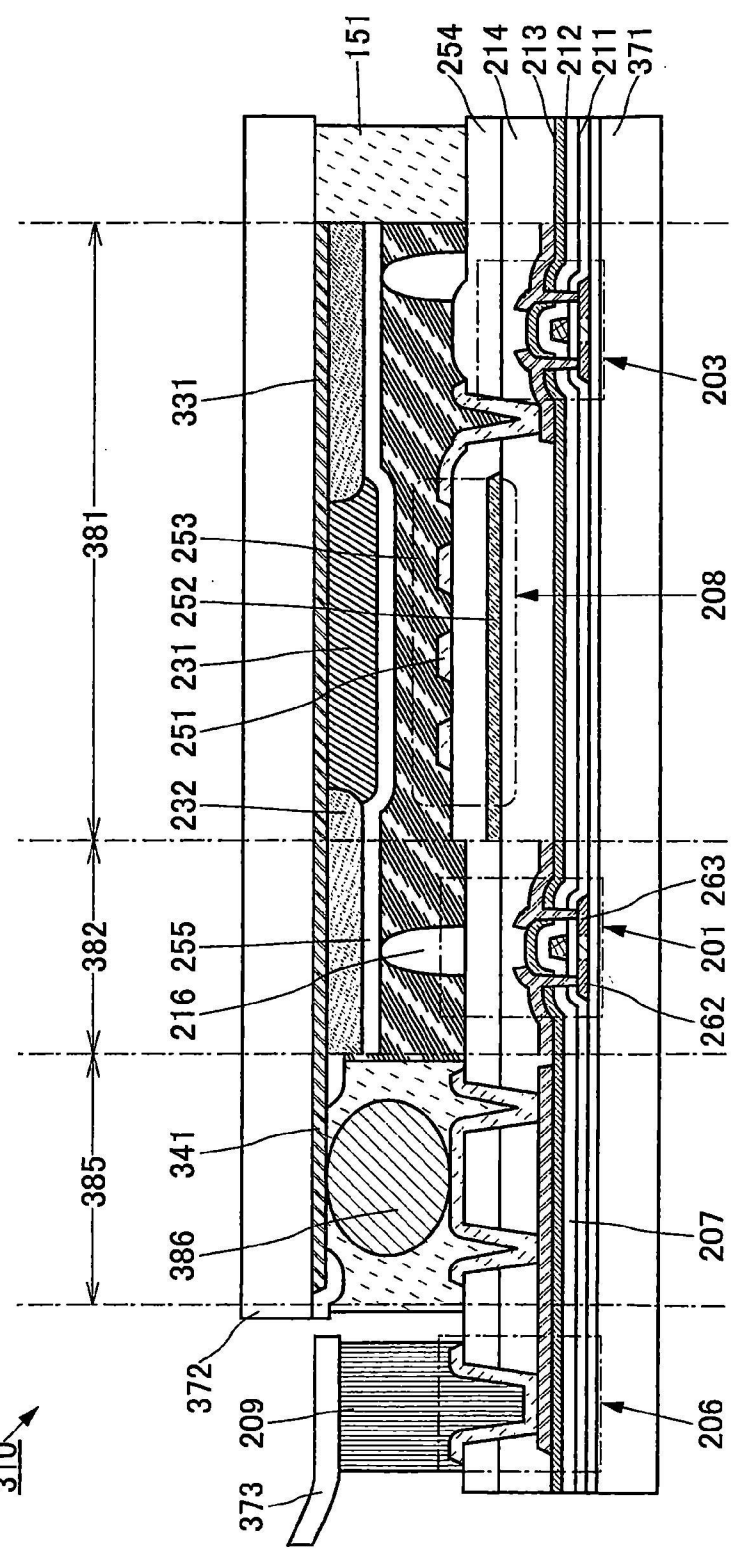


圖 23

310

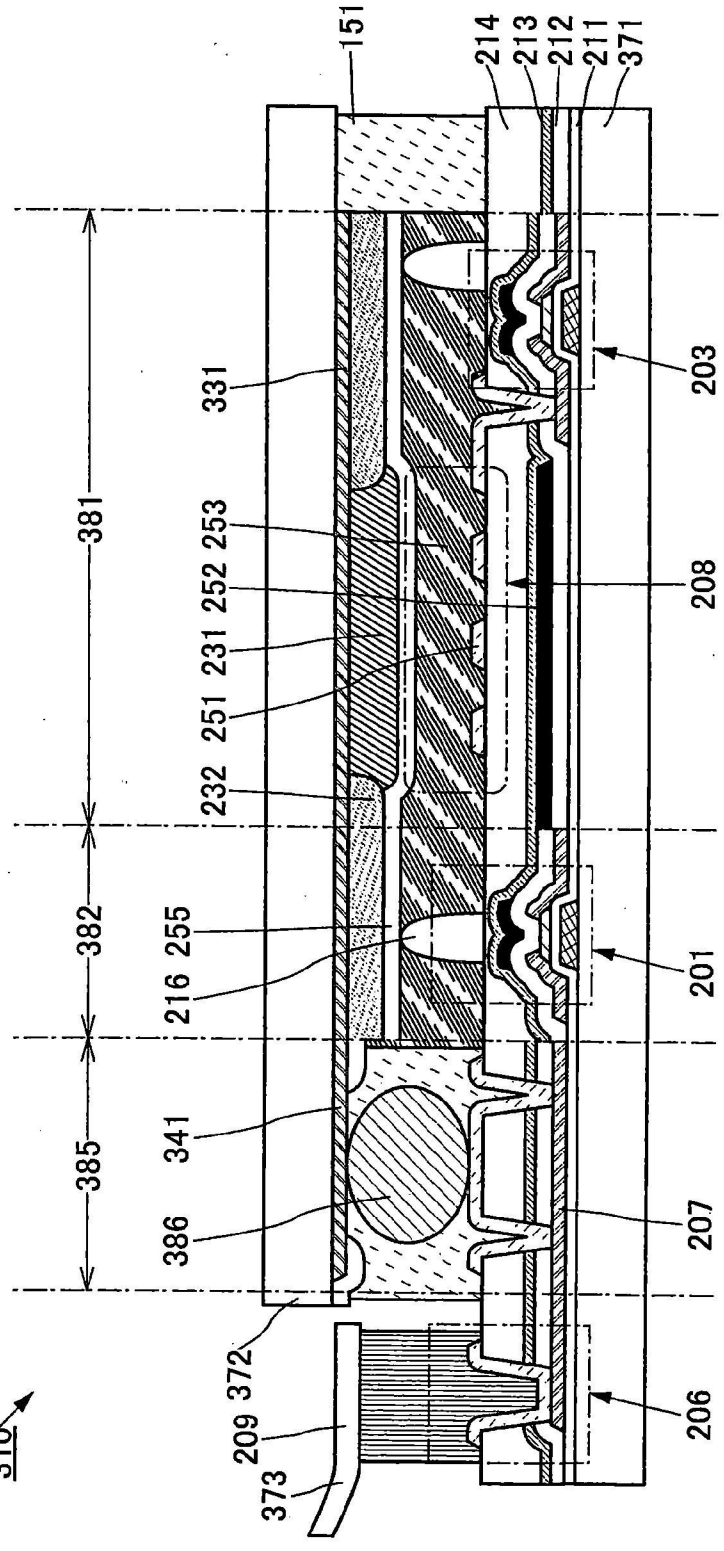


圖 24
310

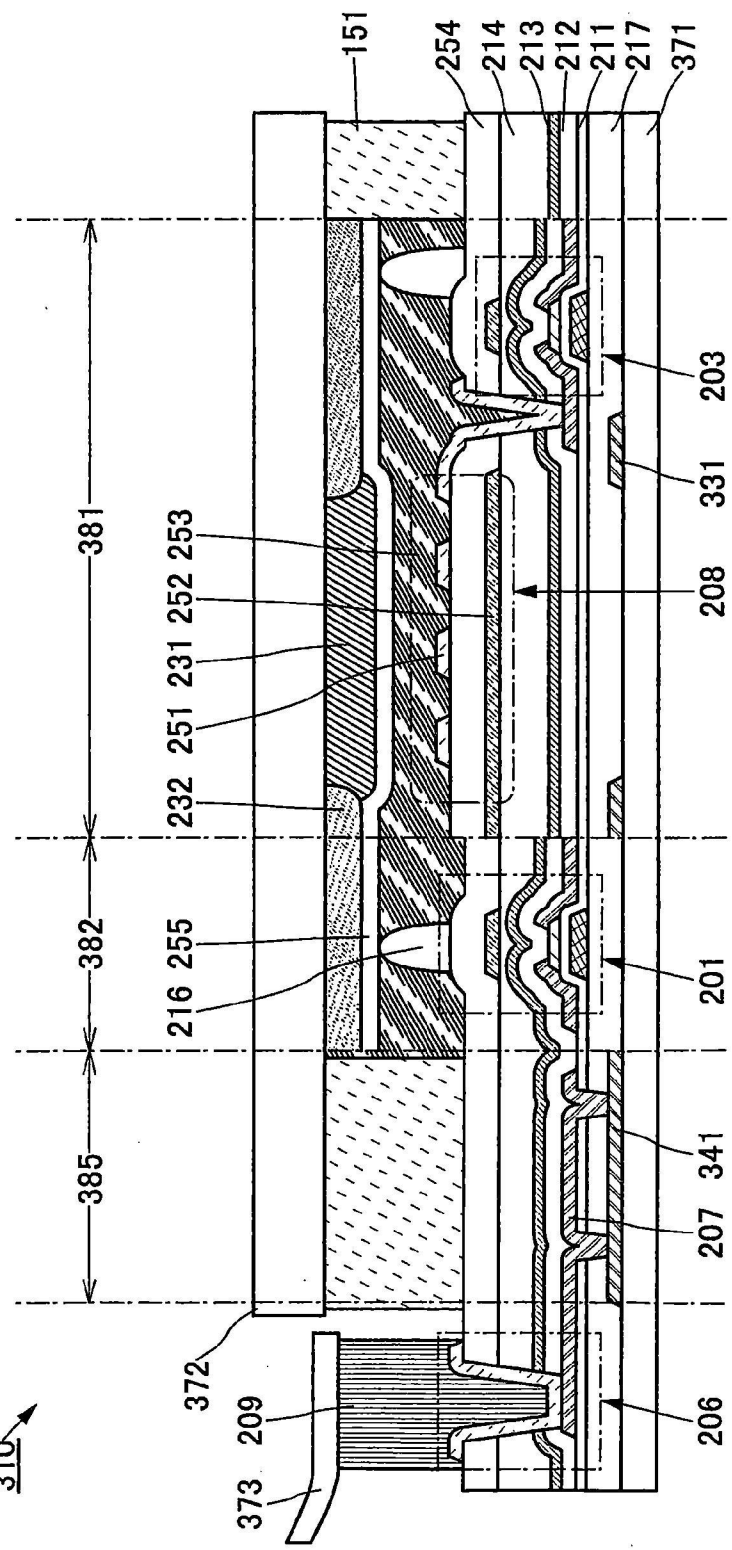


圖 25
310

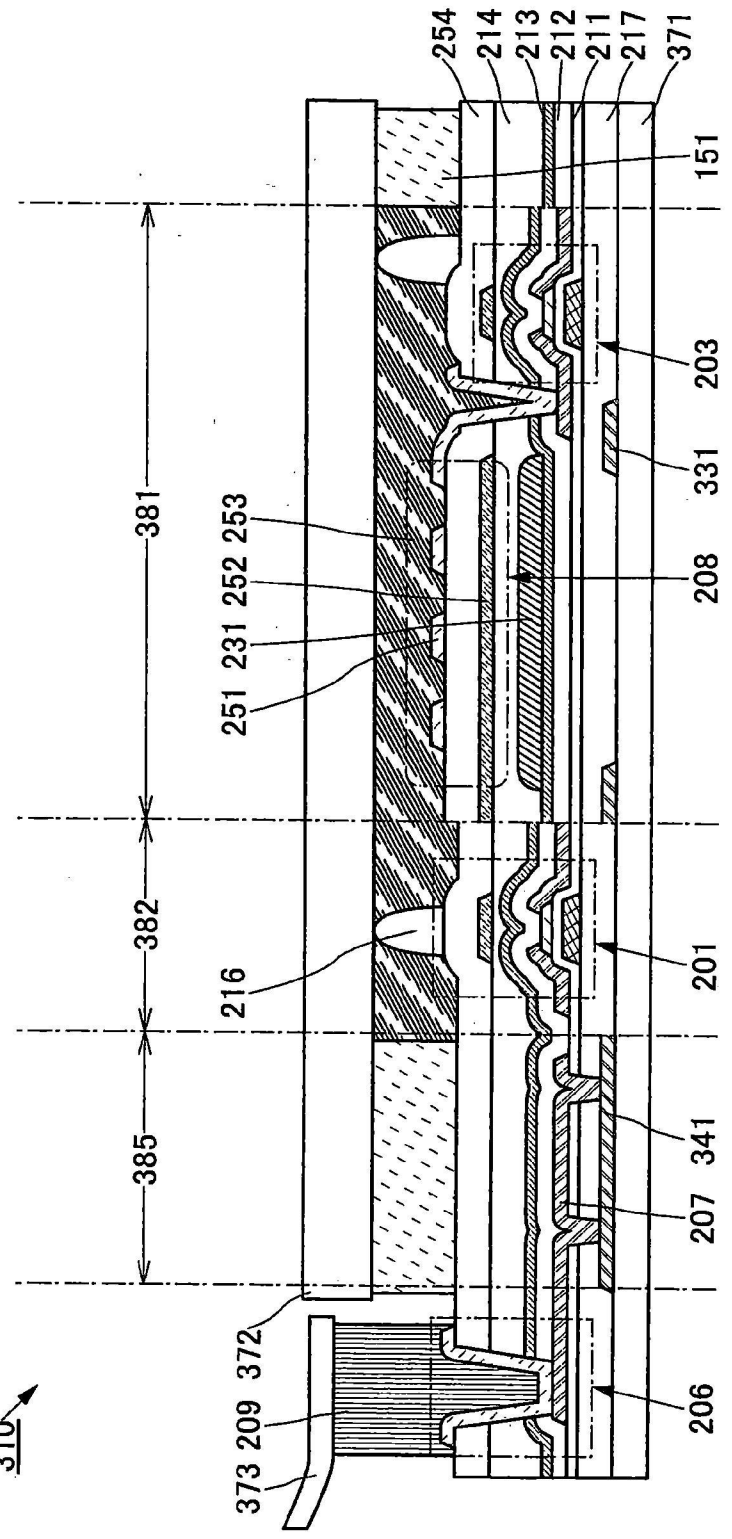


圖 26

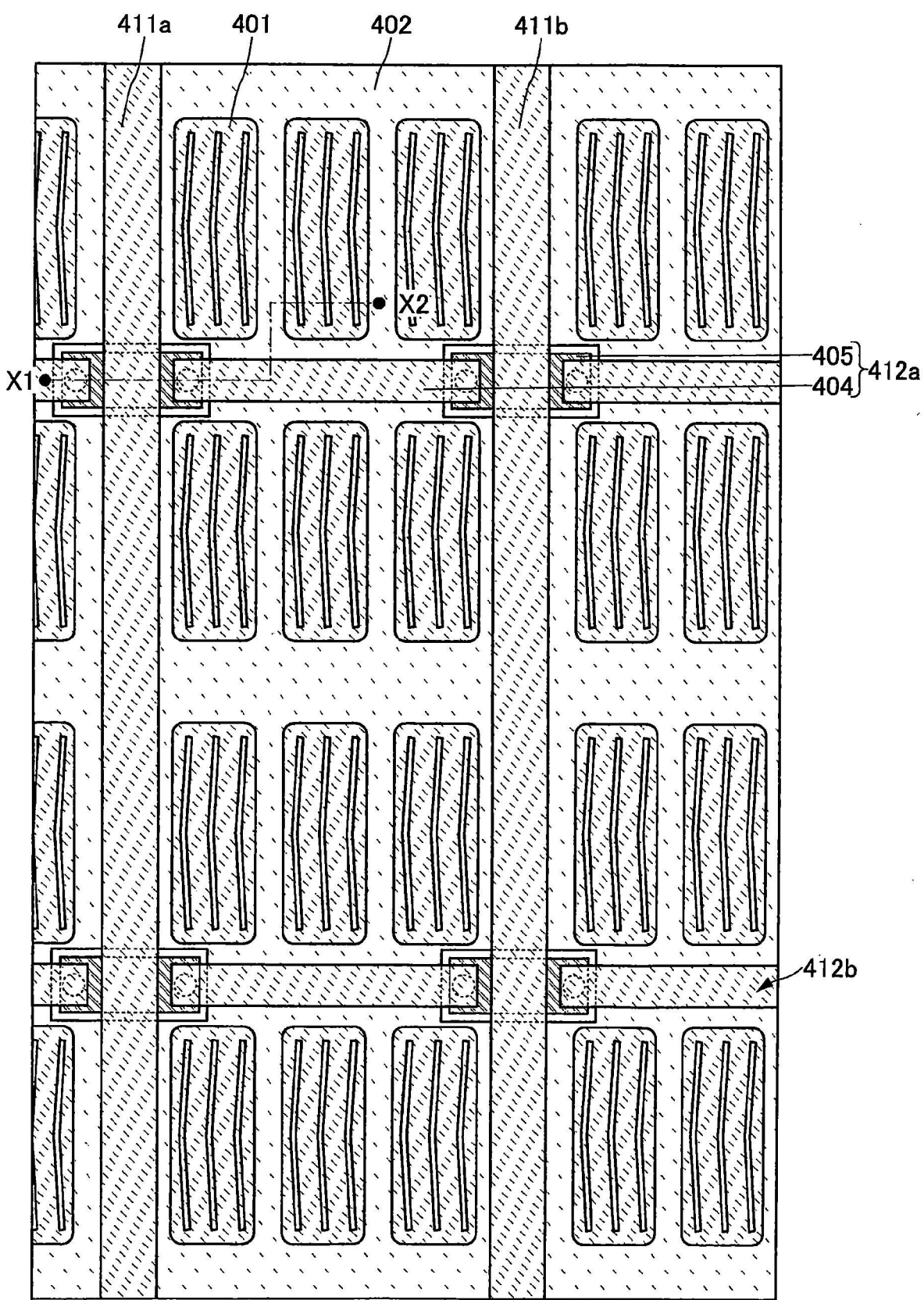


圖 27

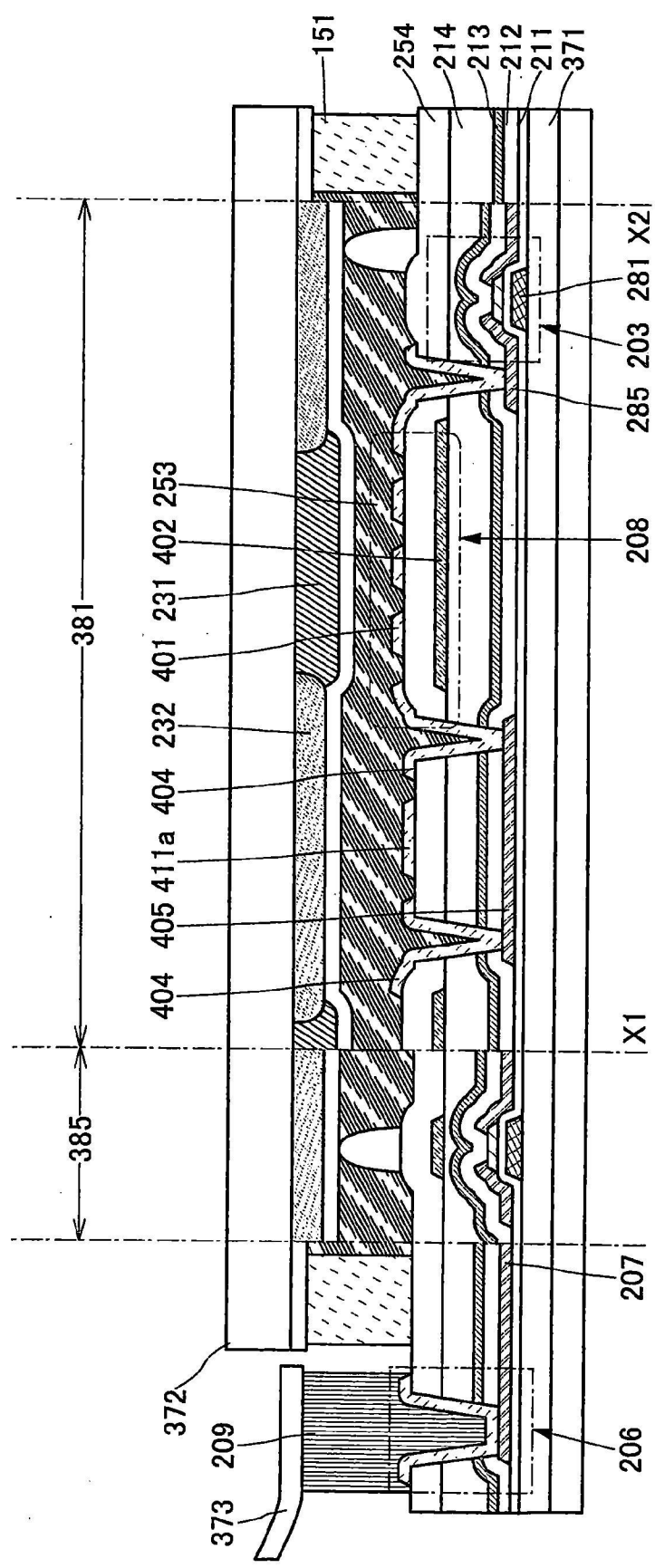


圖 28

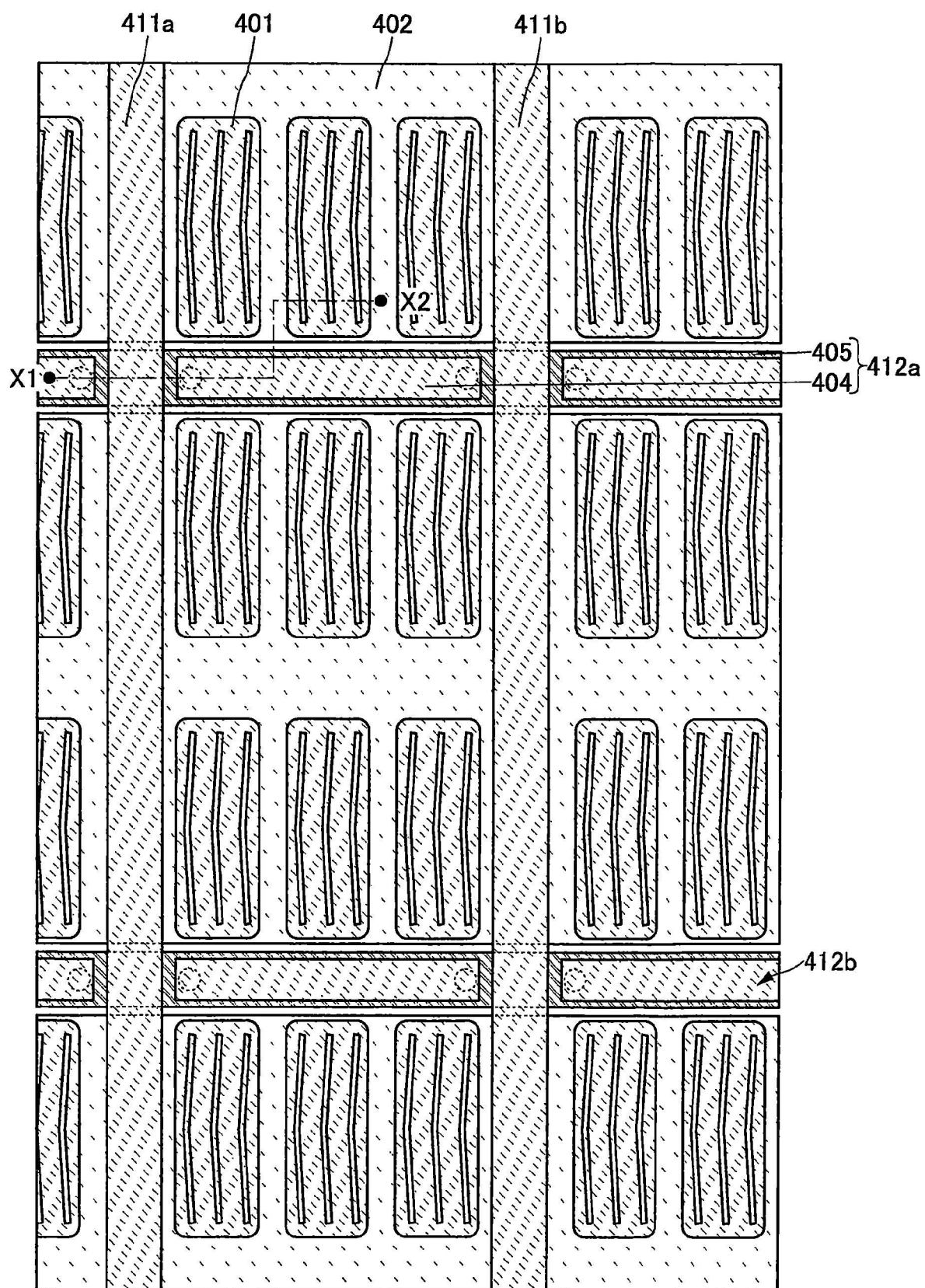


圖 29

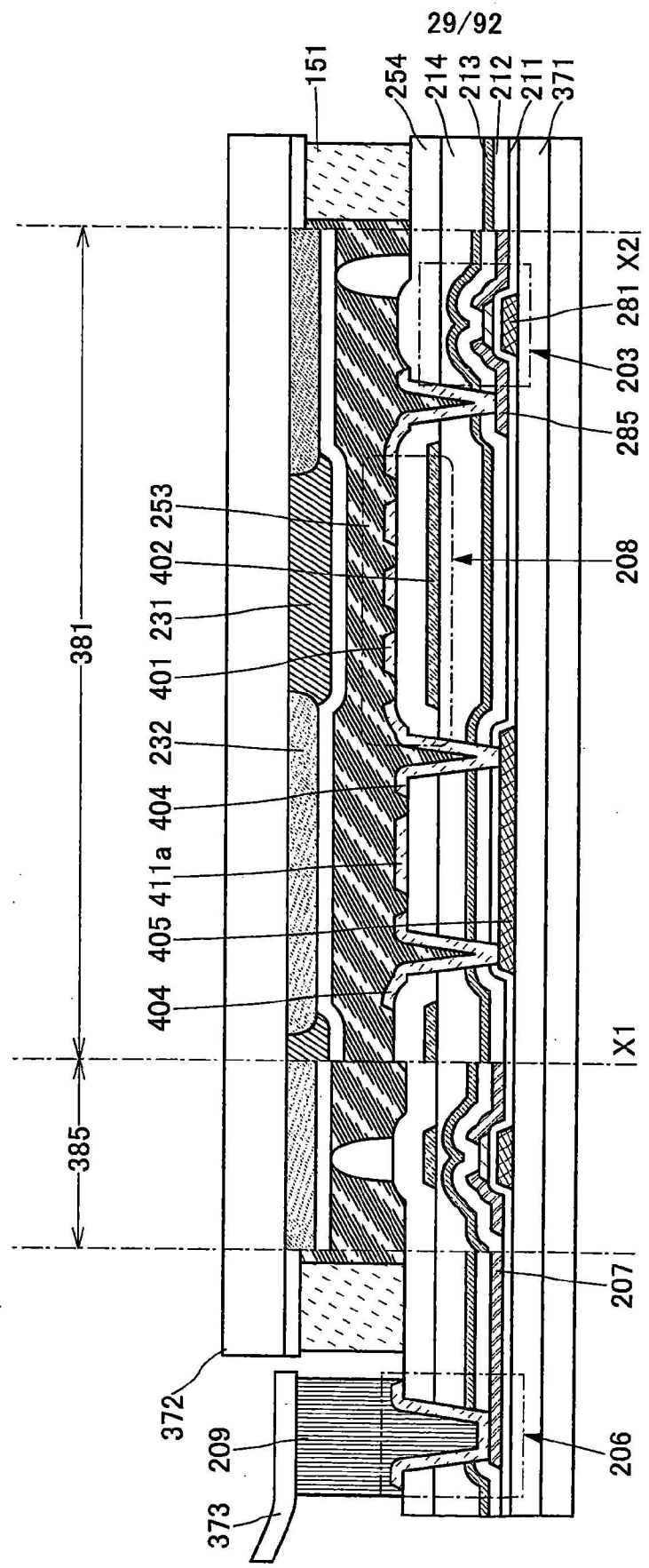


圖 30

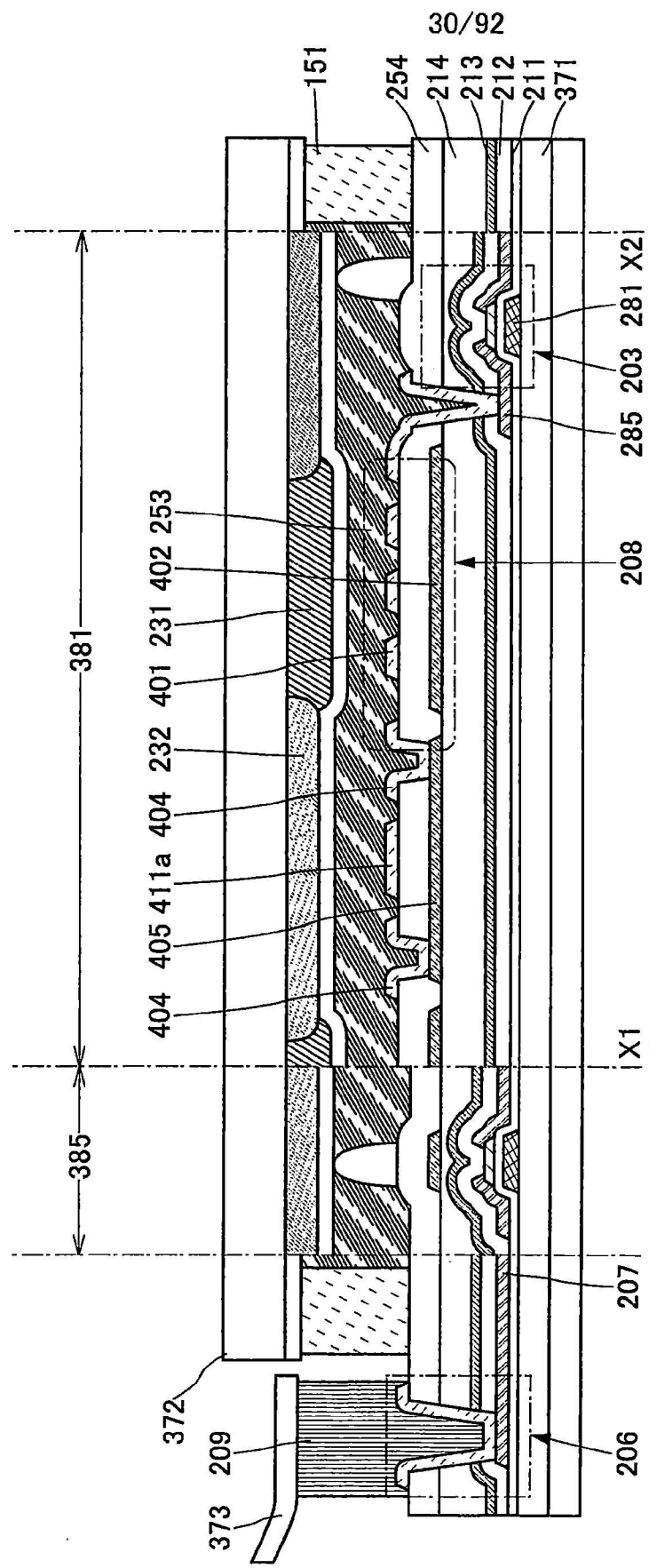


圖 31

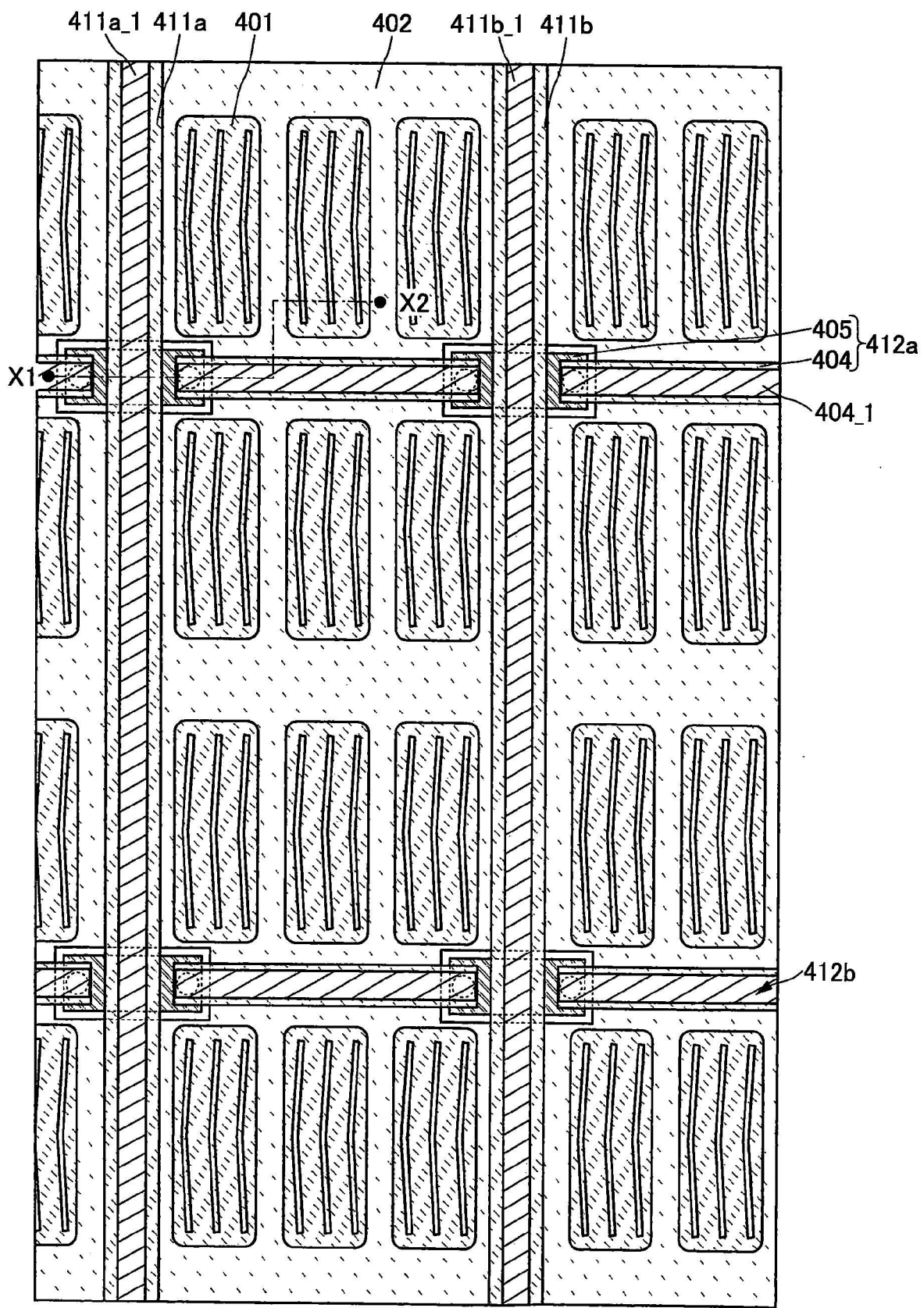


圖 32

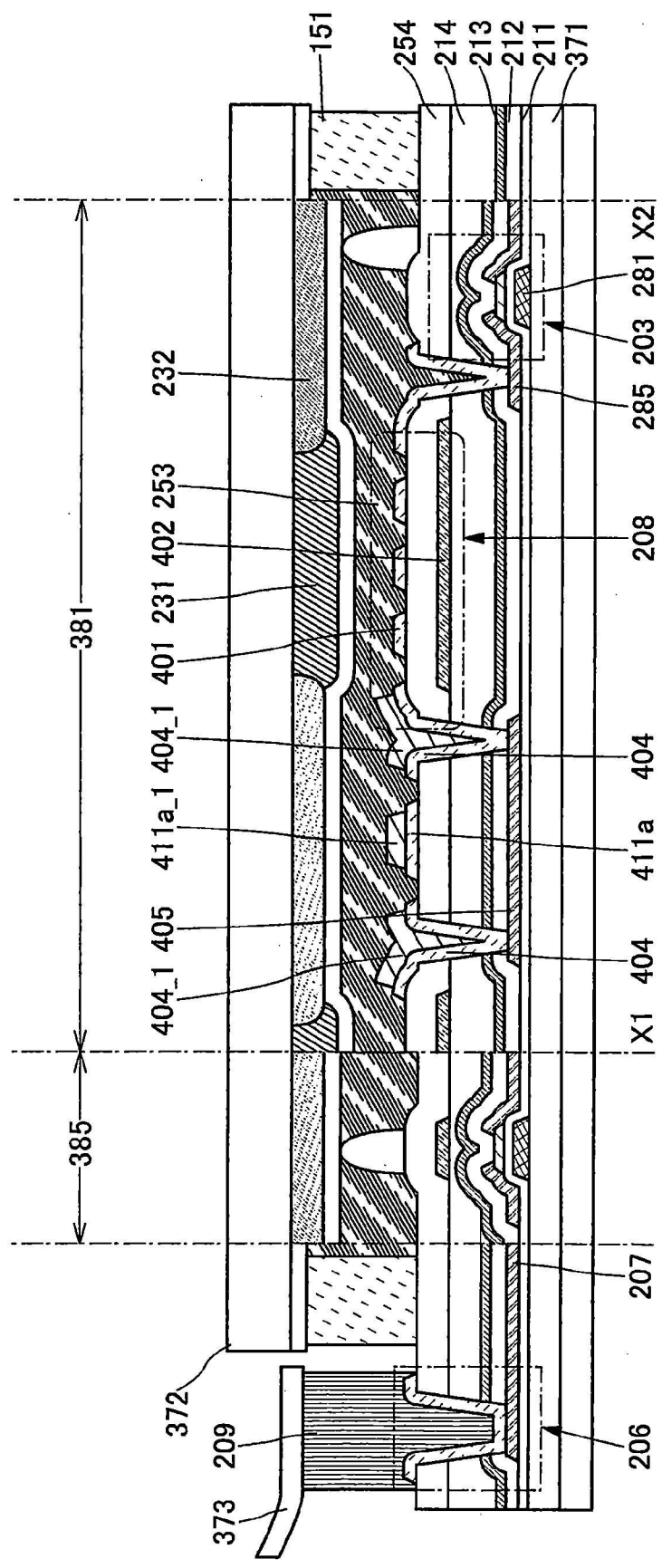


圖 33

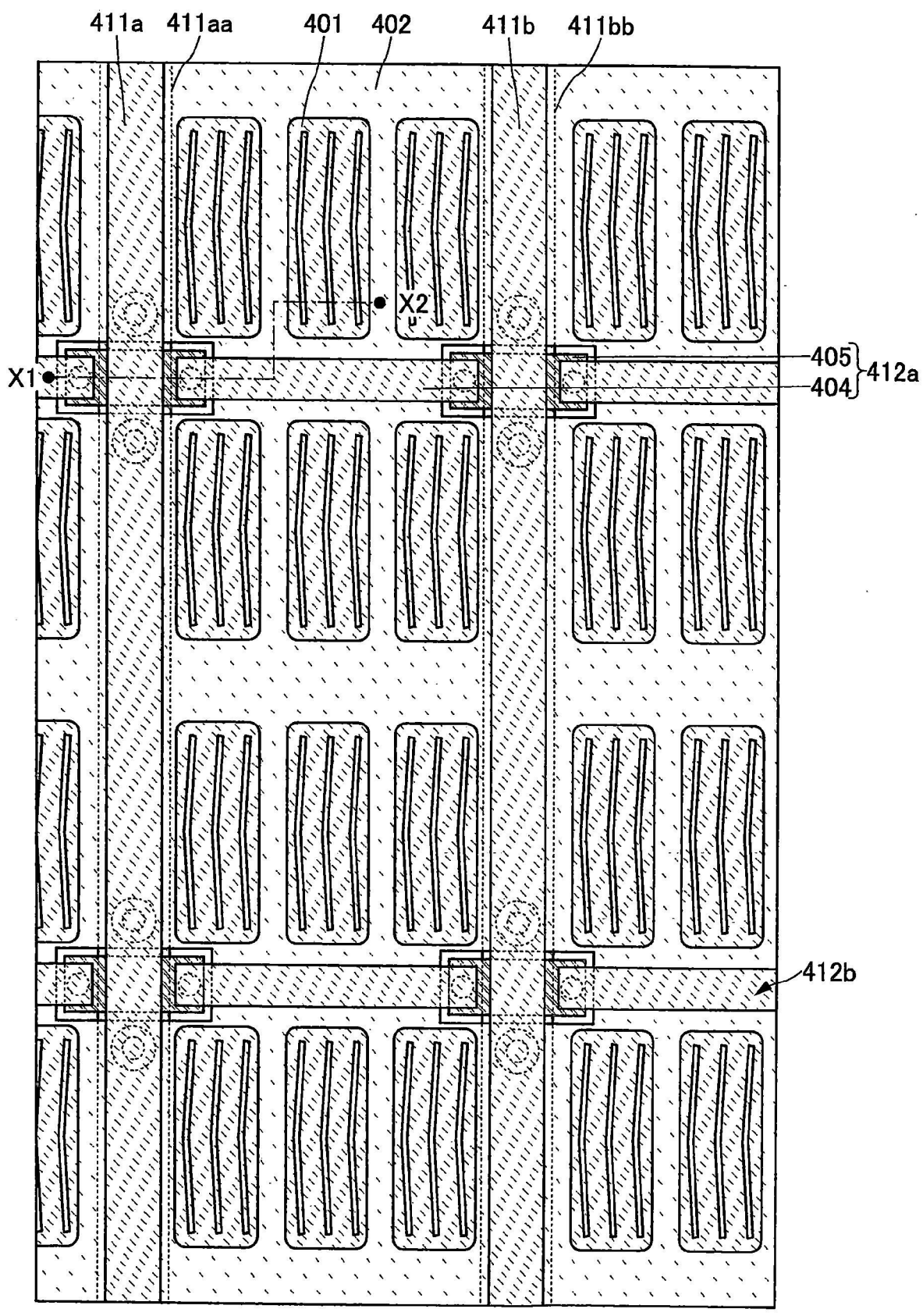


圖 34

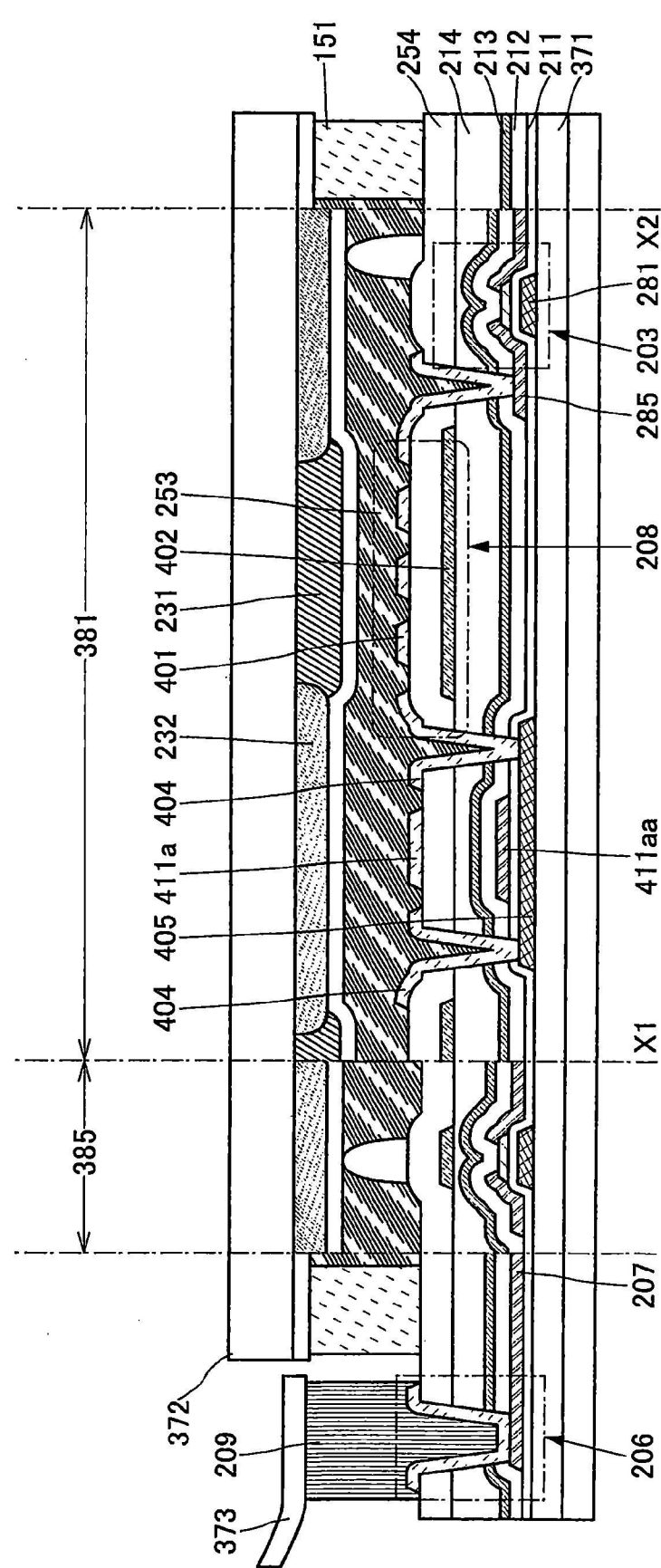


圖 35

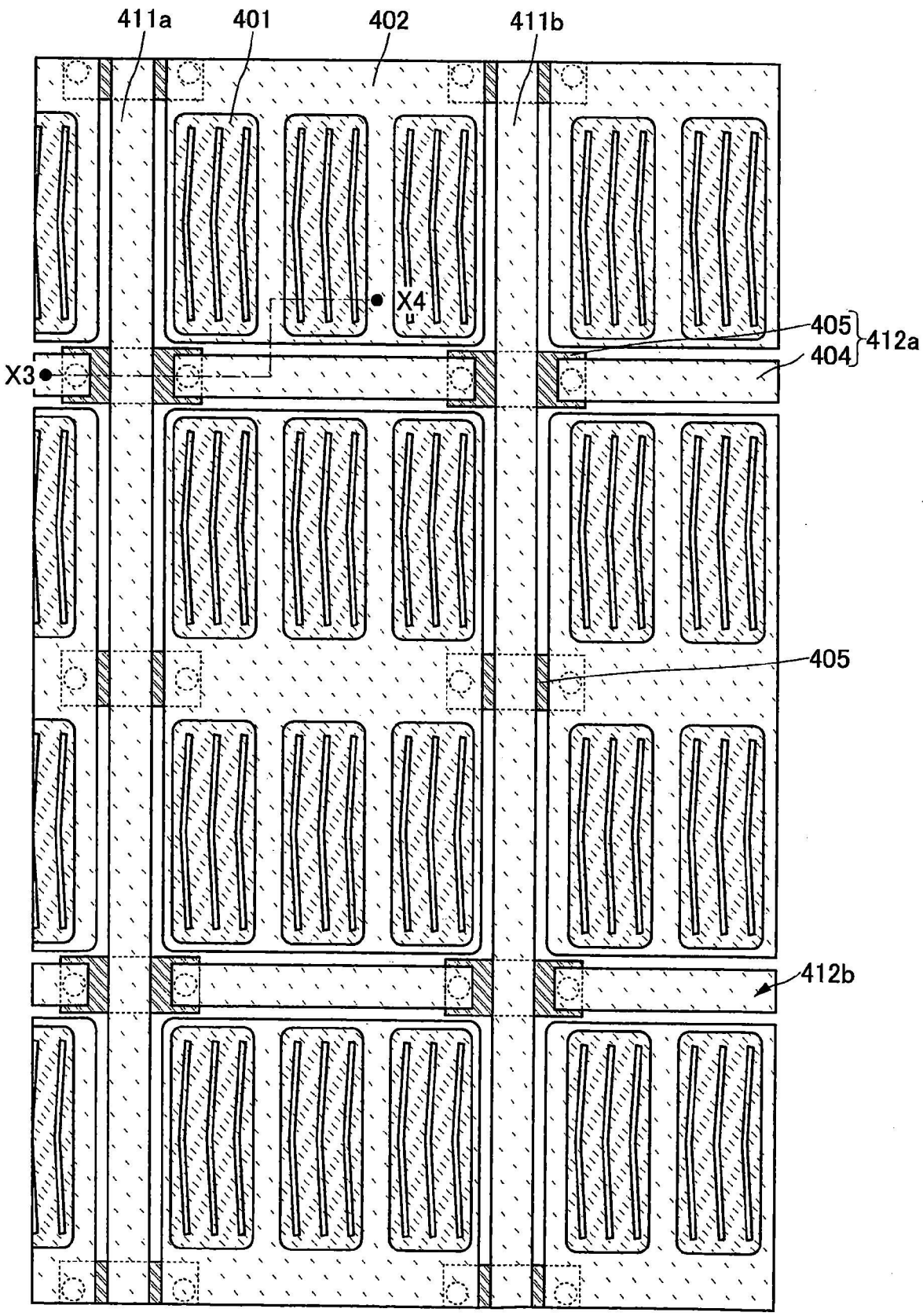


圖 37

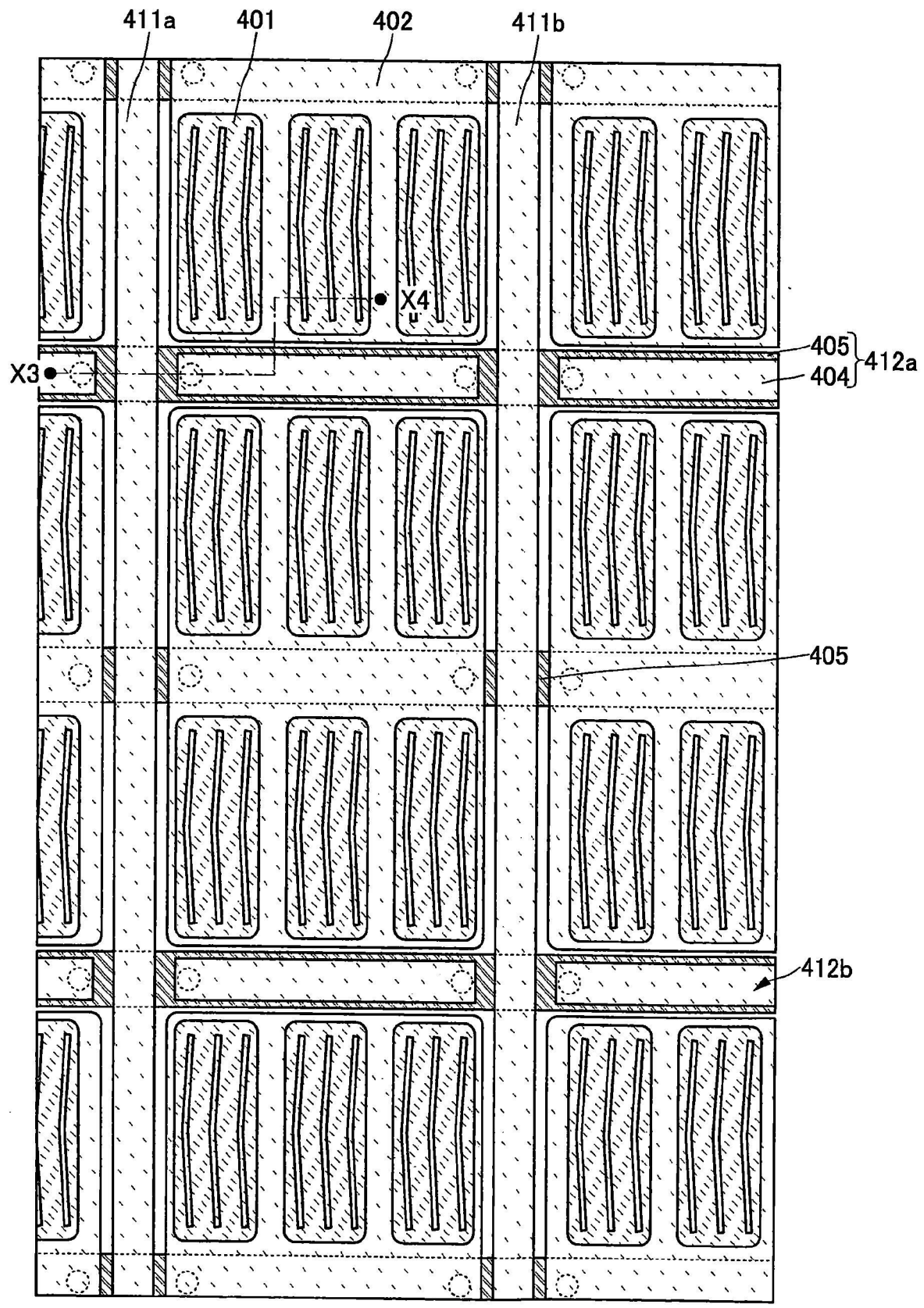


圖 38

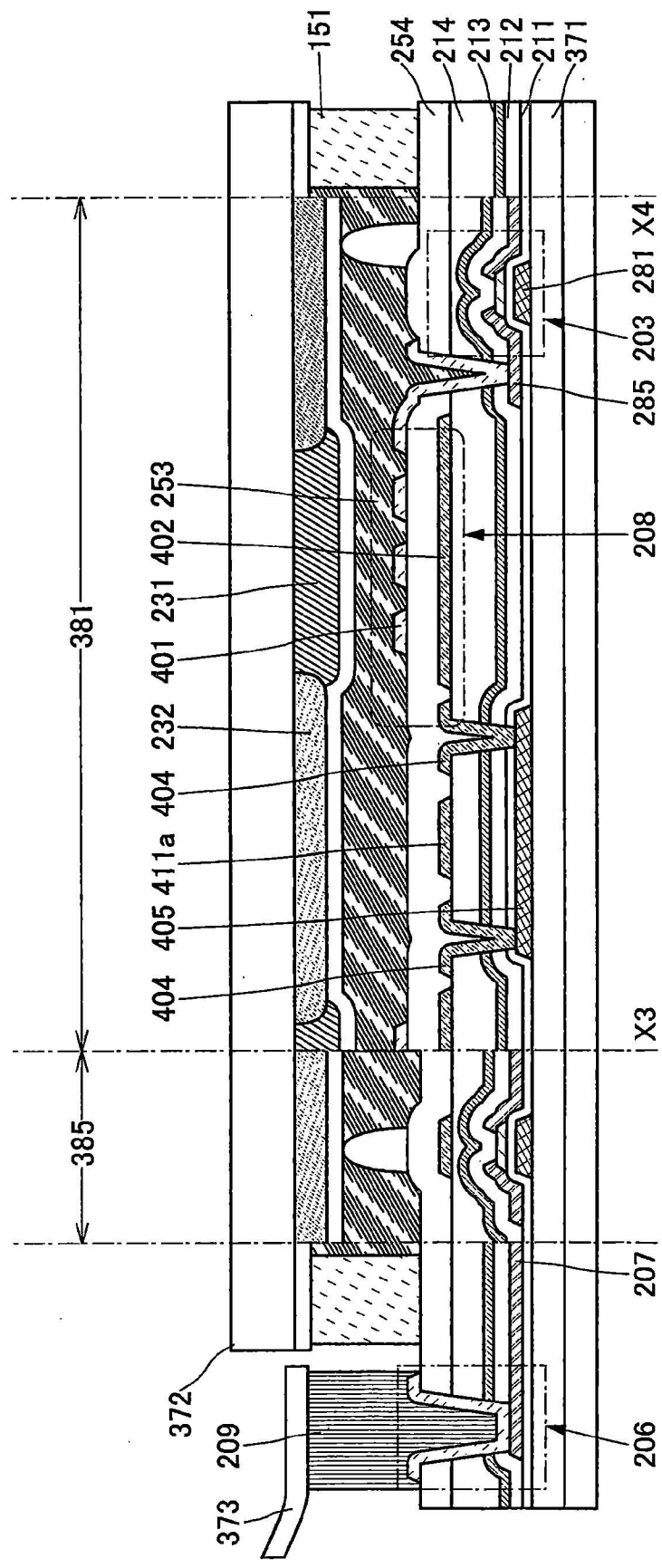


圖 39

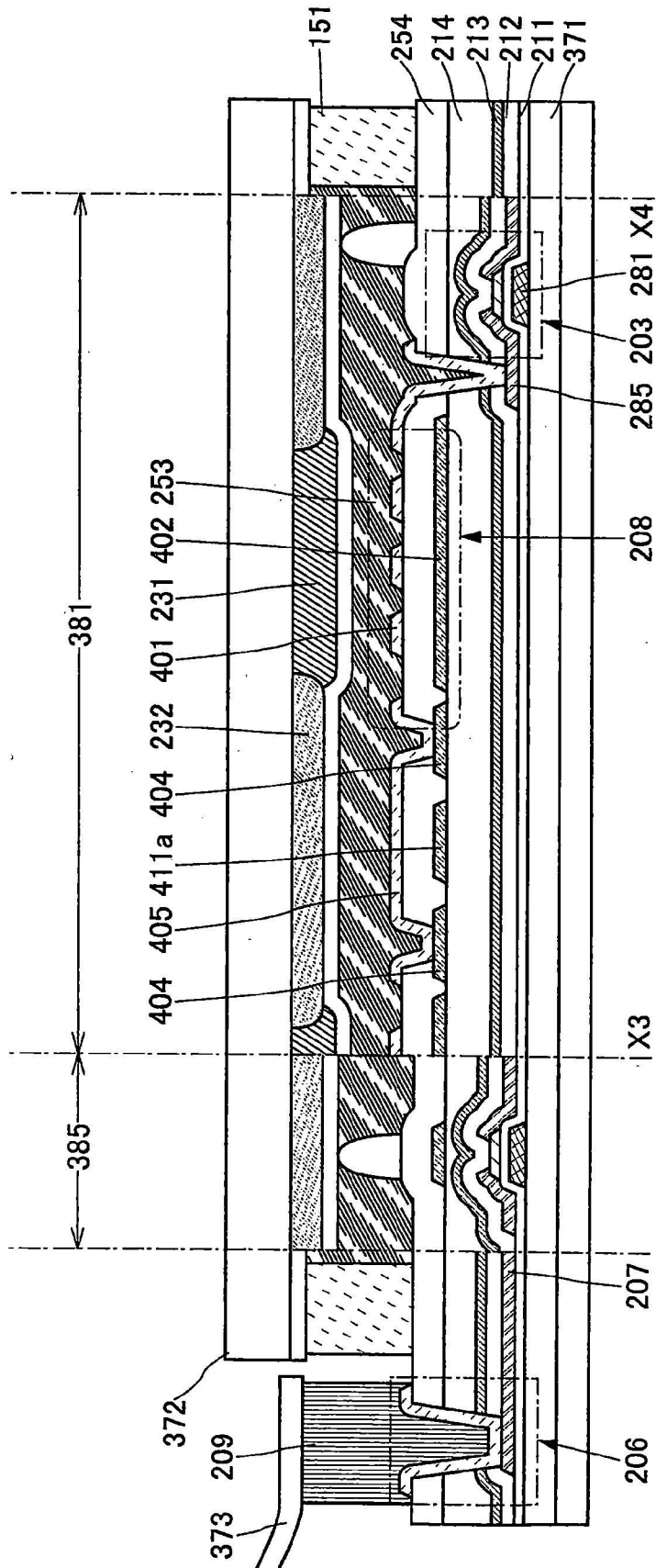


圖 40

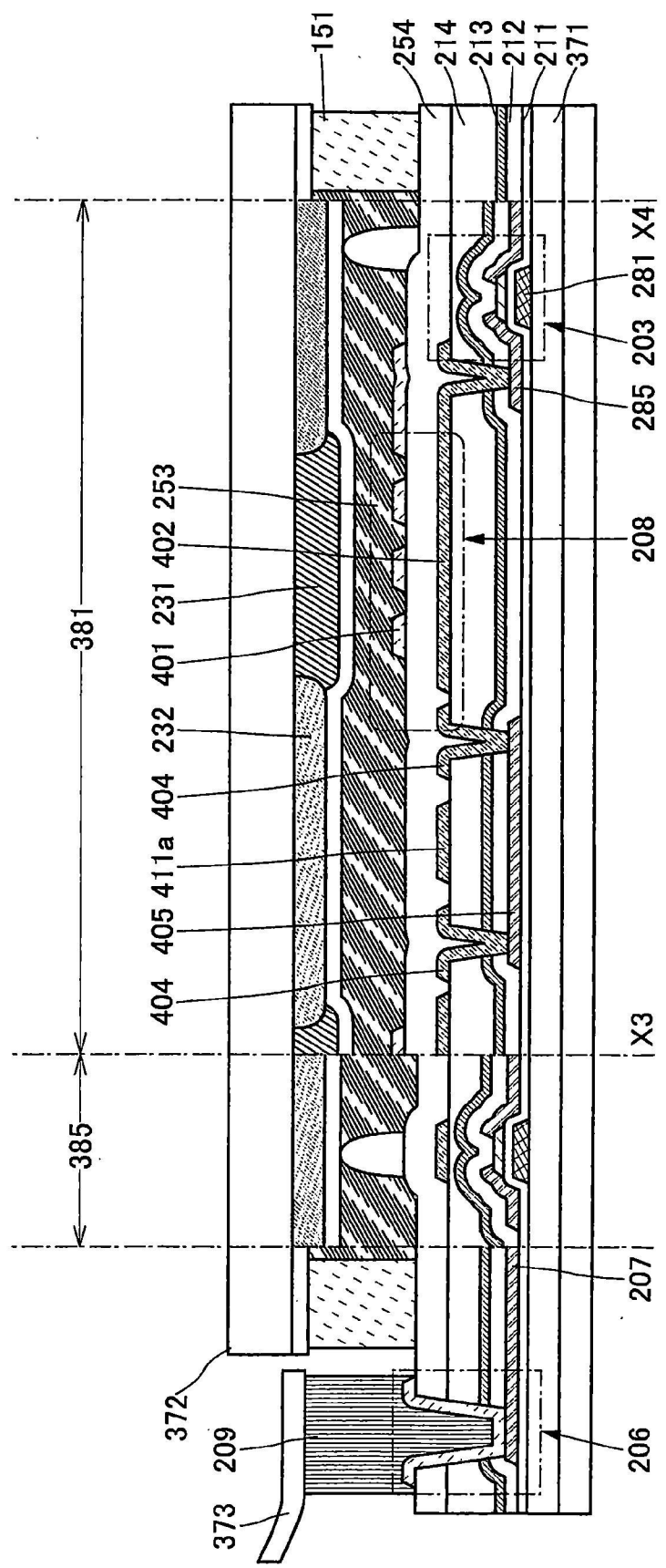


圖 41

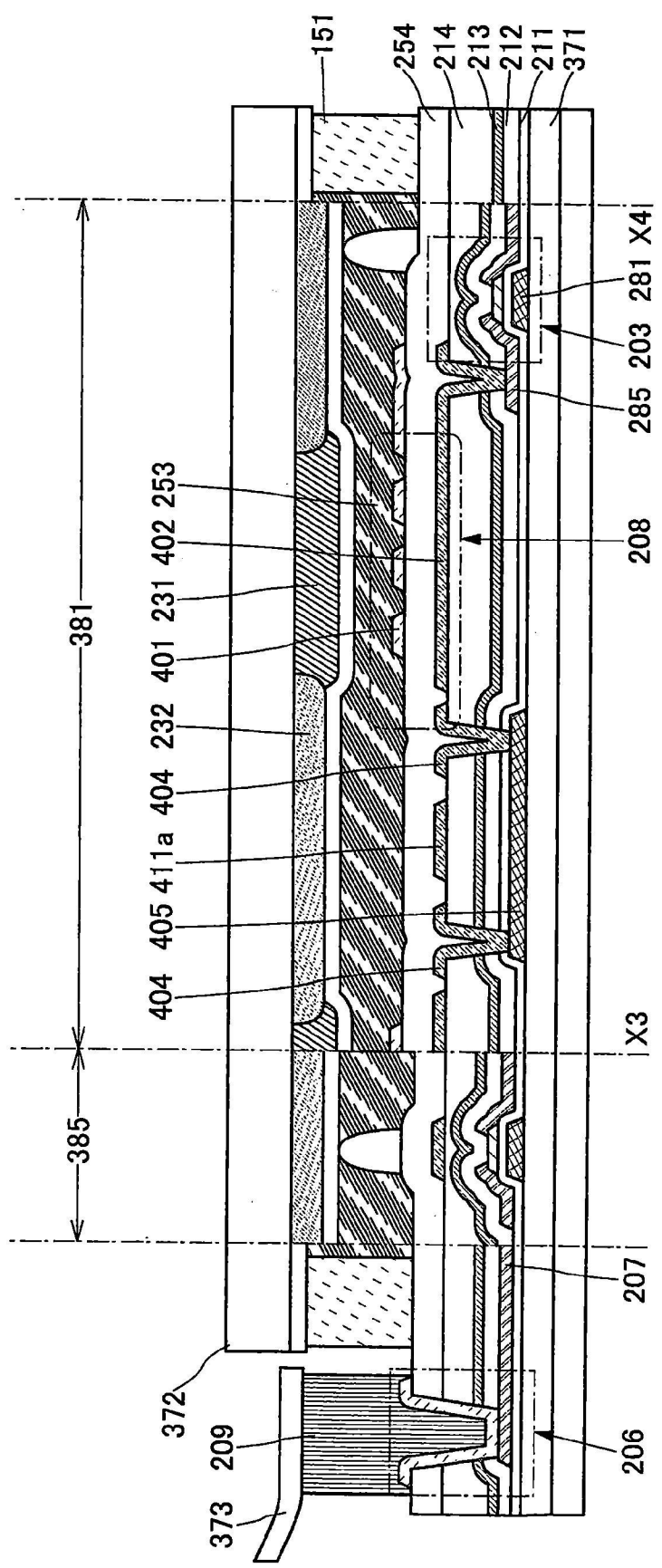


圖 42

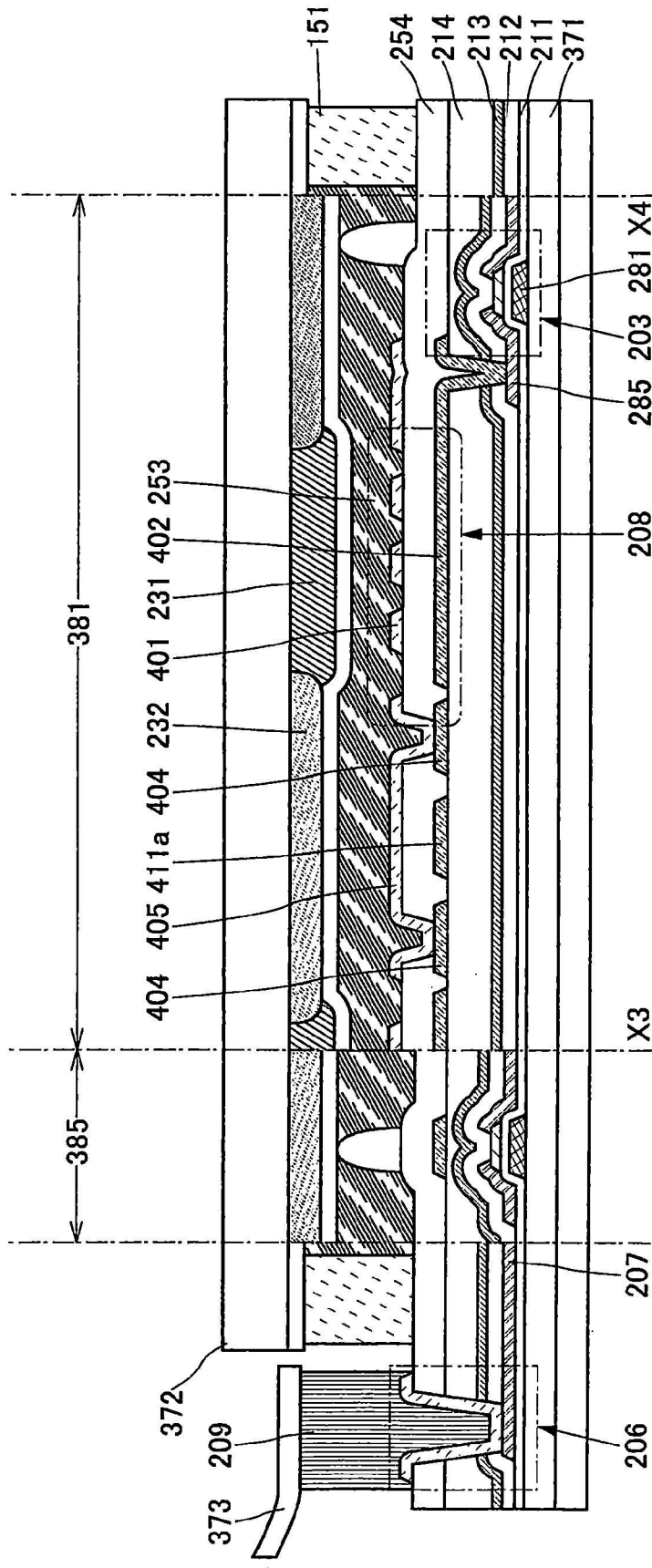


圖 43

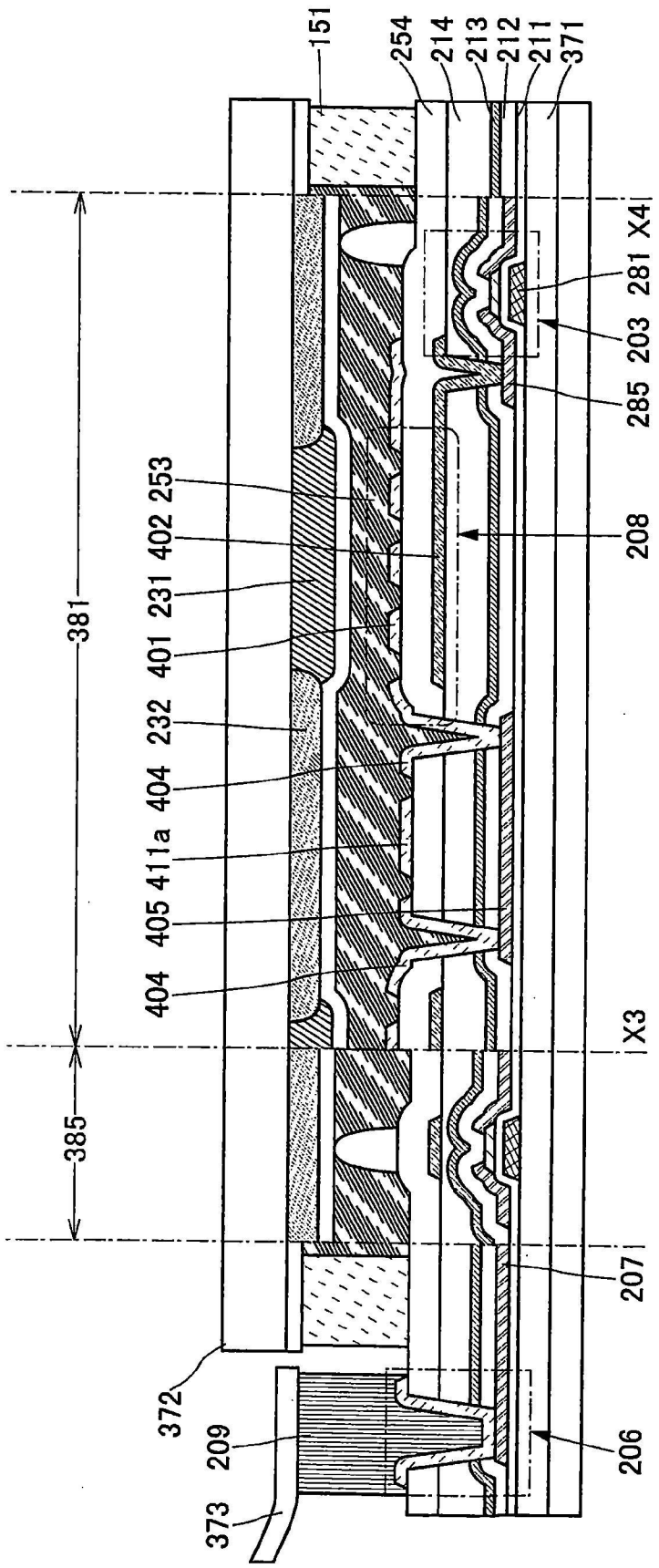


圖 44

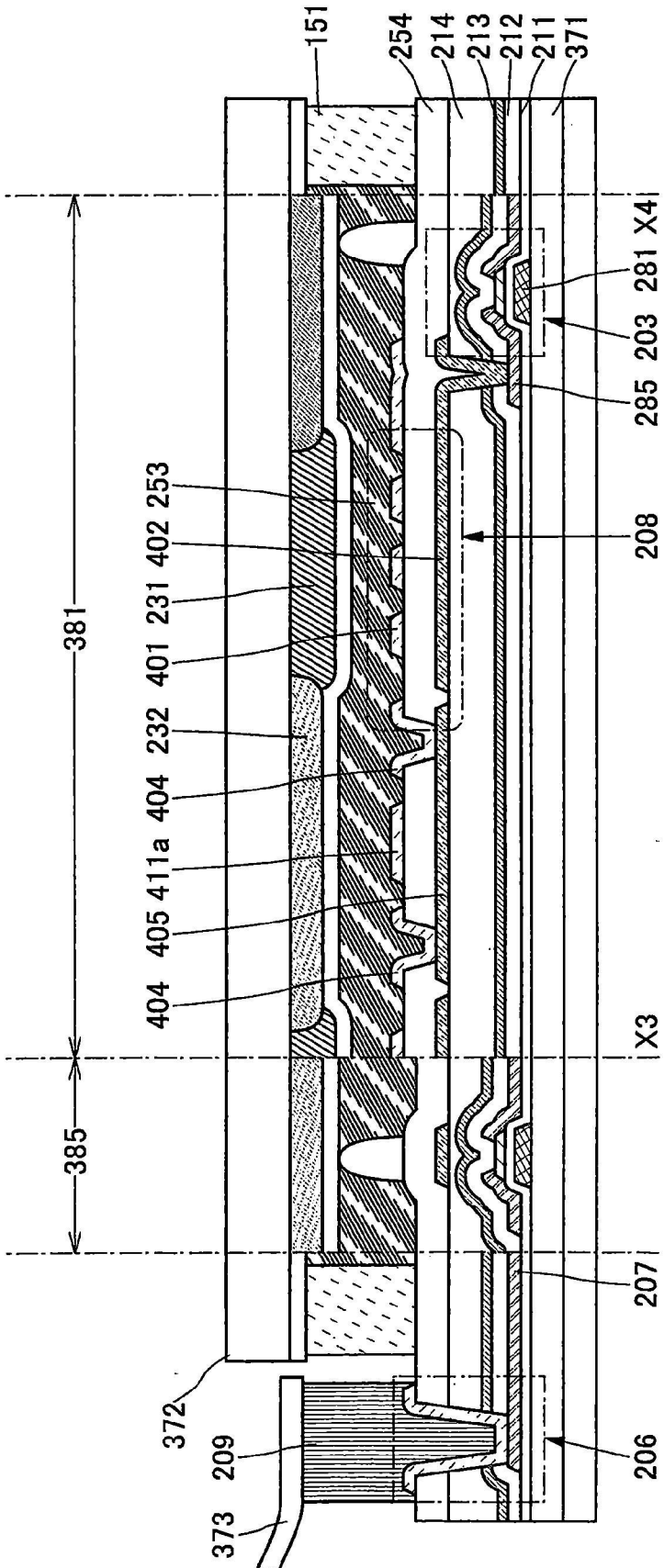


圖 45

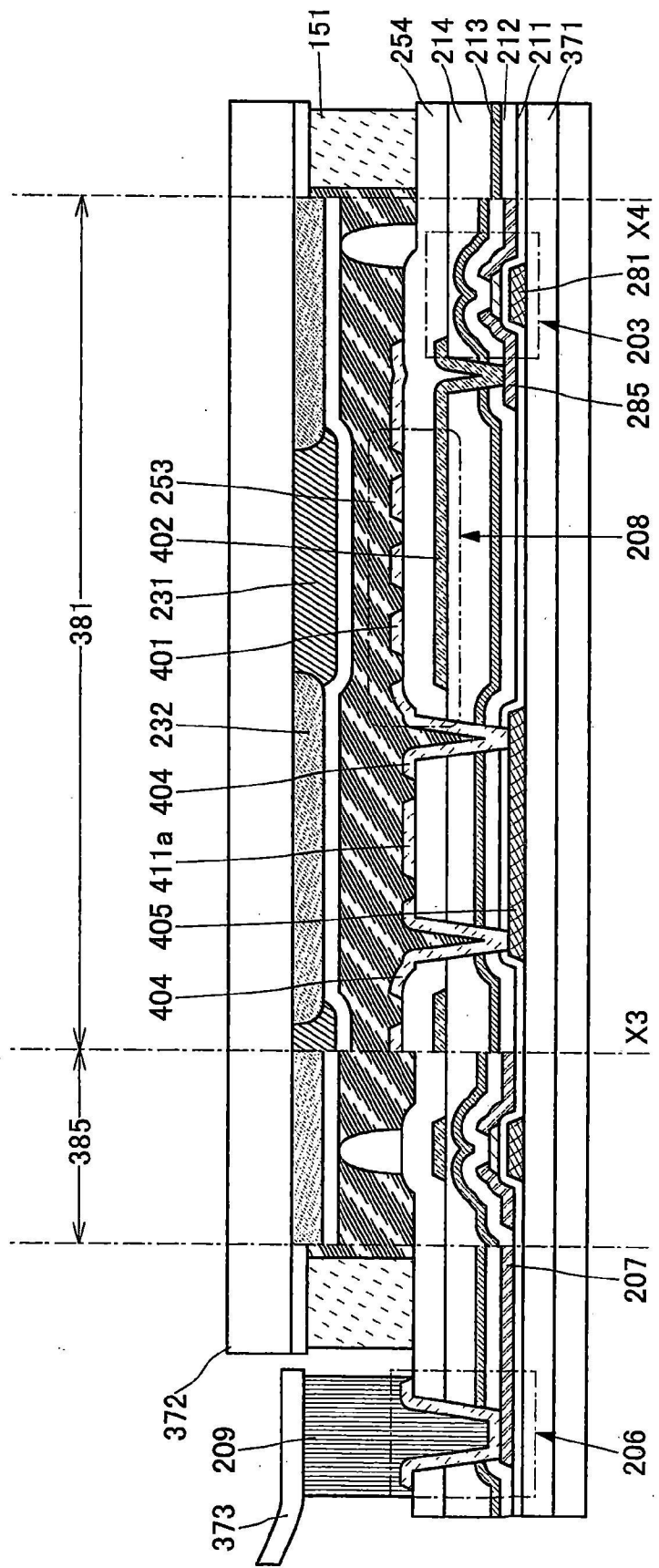


圖 46

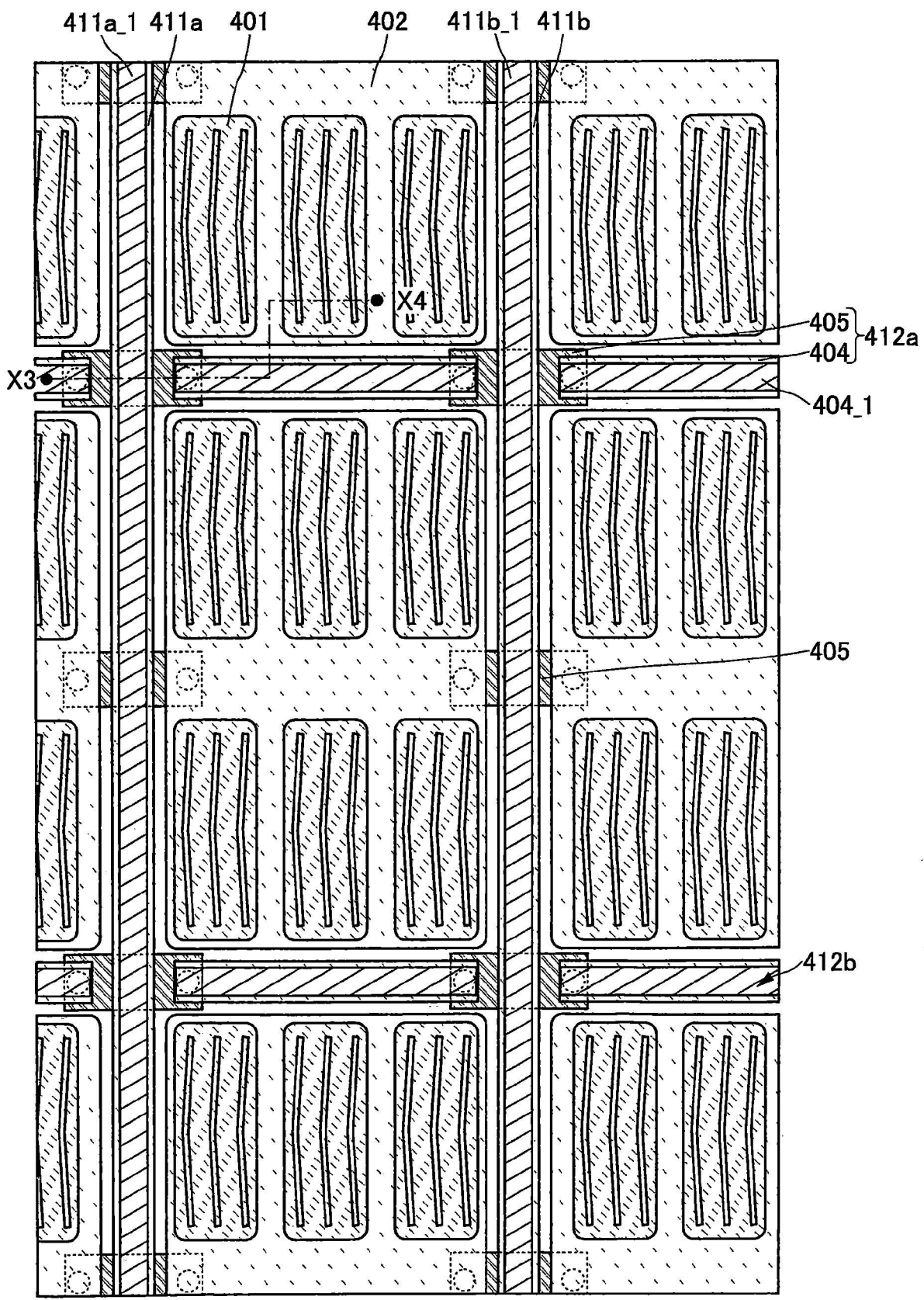


圖 47

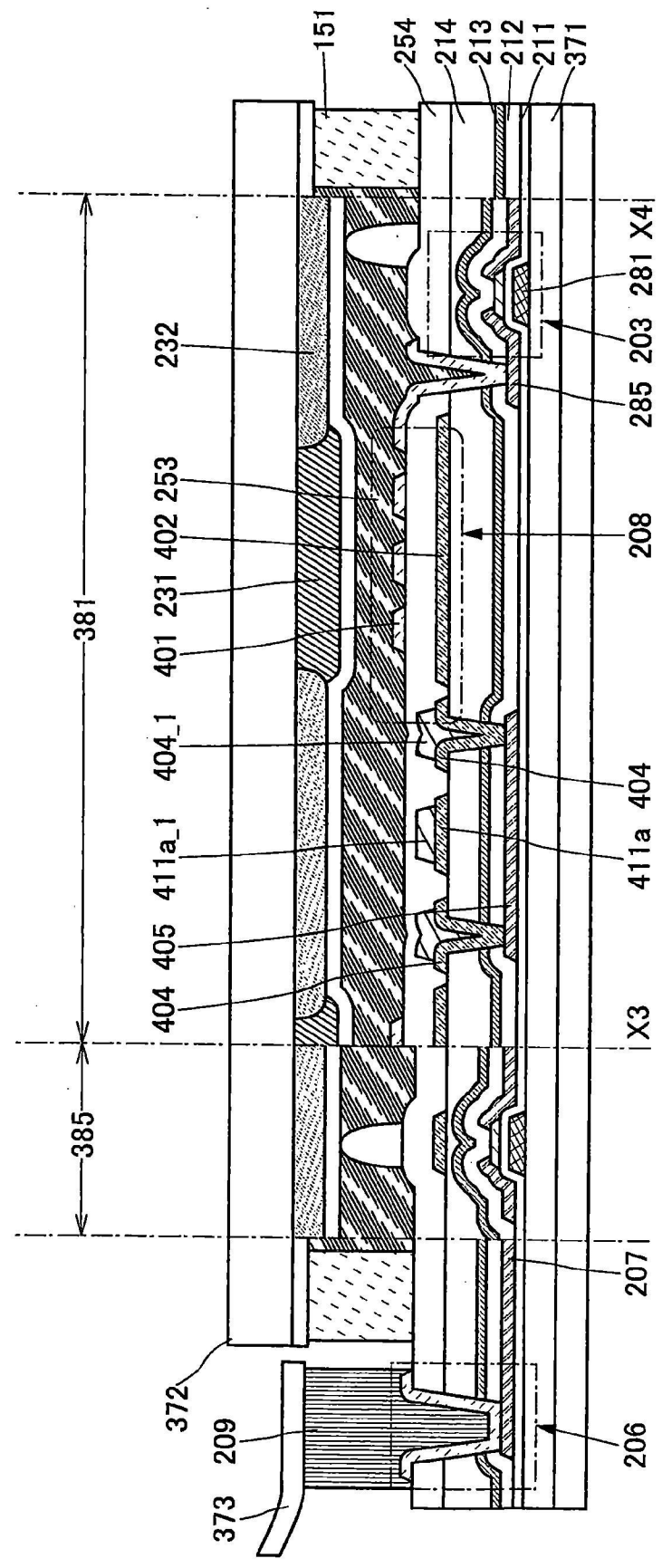


圖 48

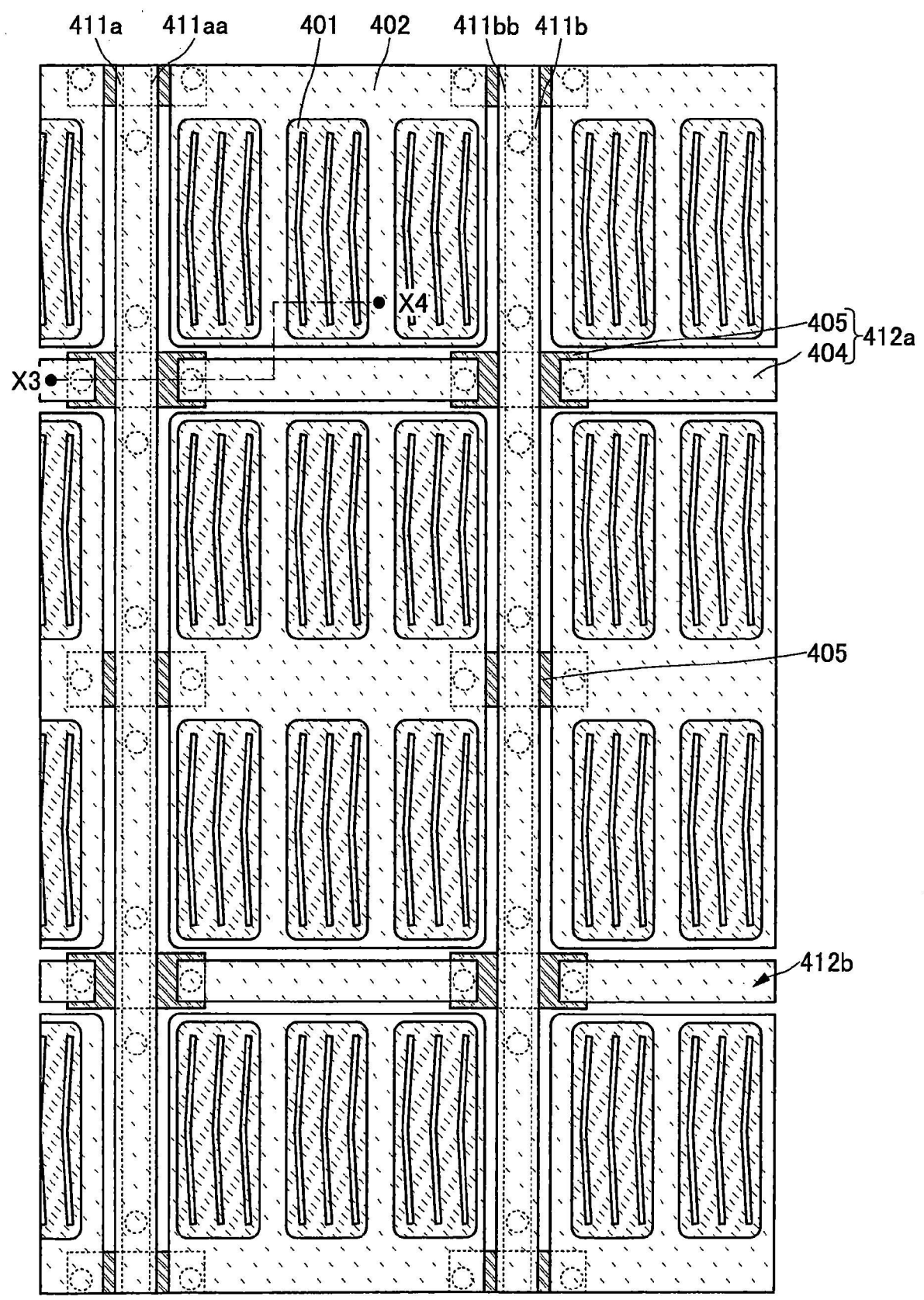


圖 49

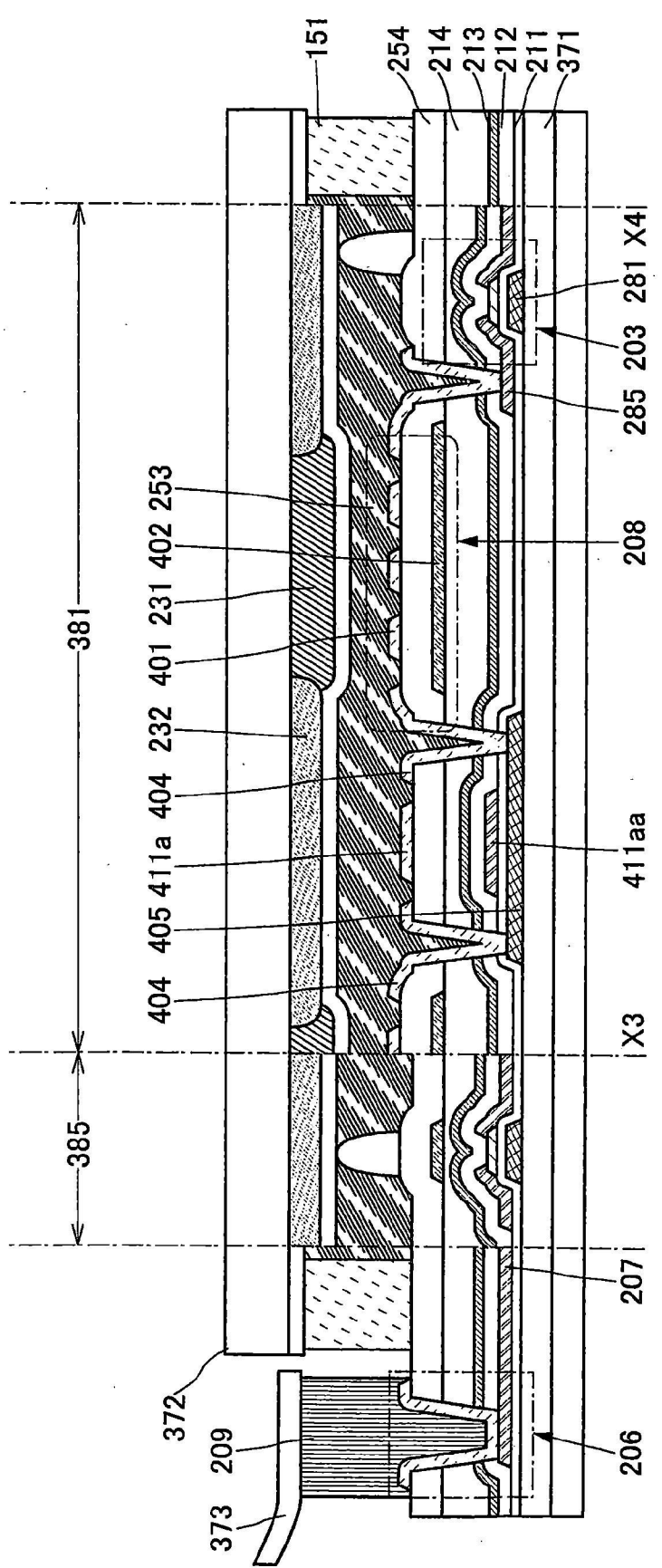


圖 50

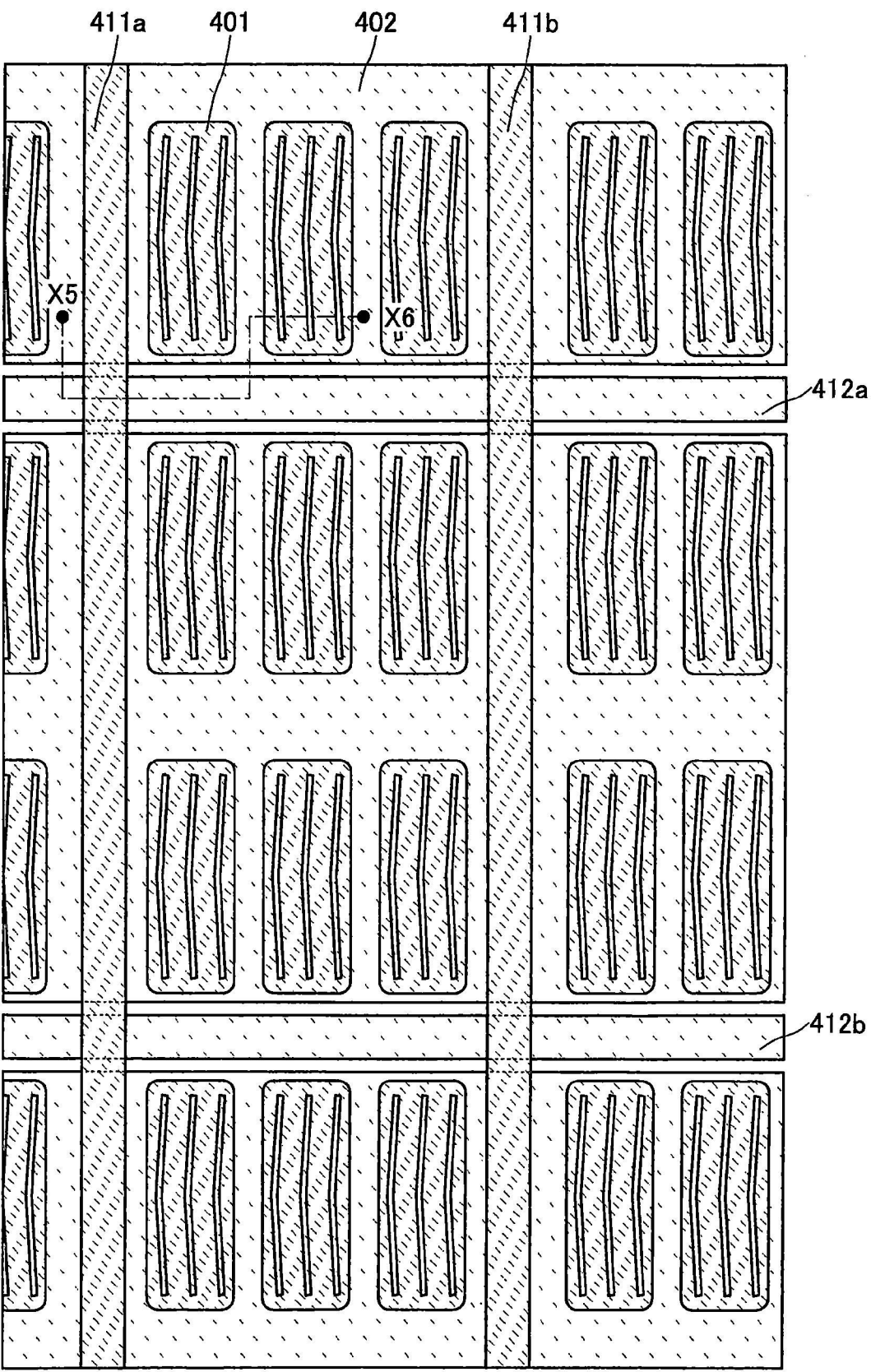


圖 51

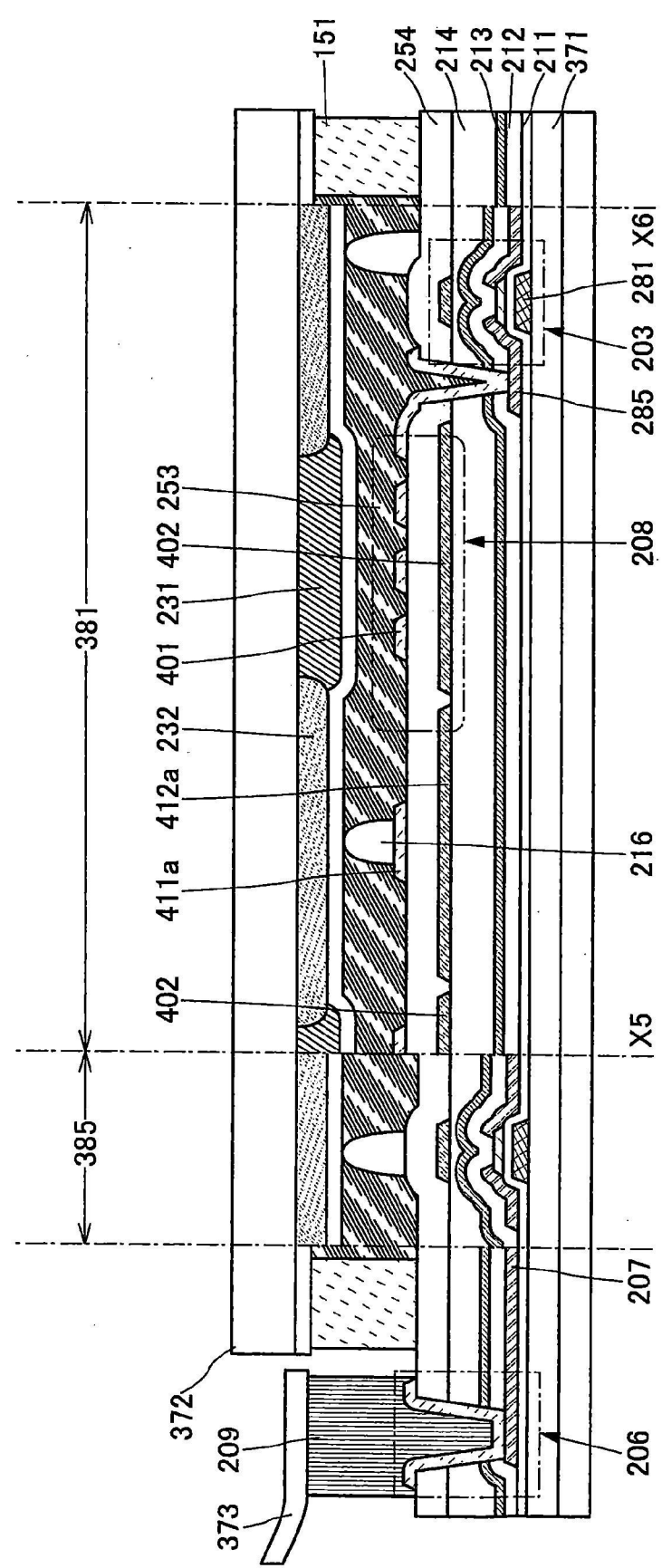


圖 52

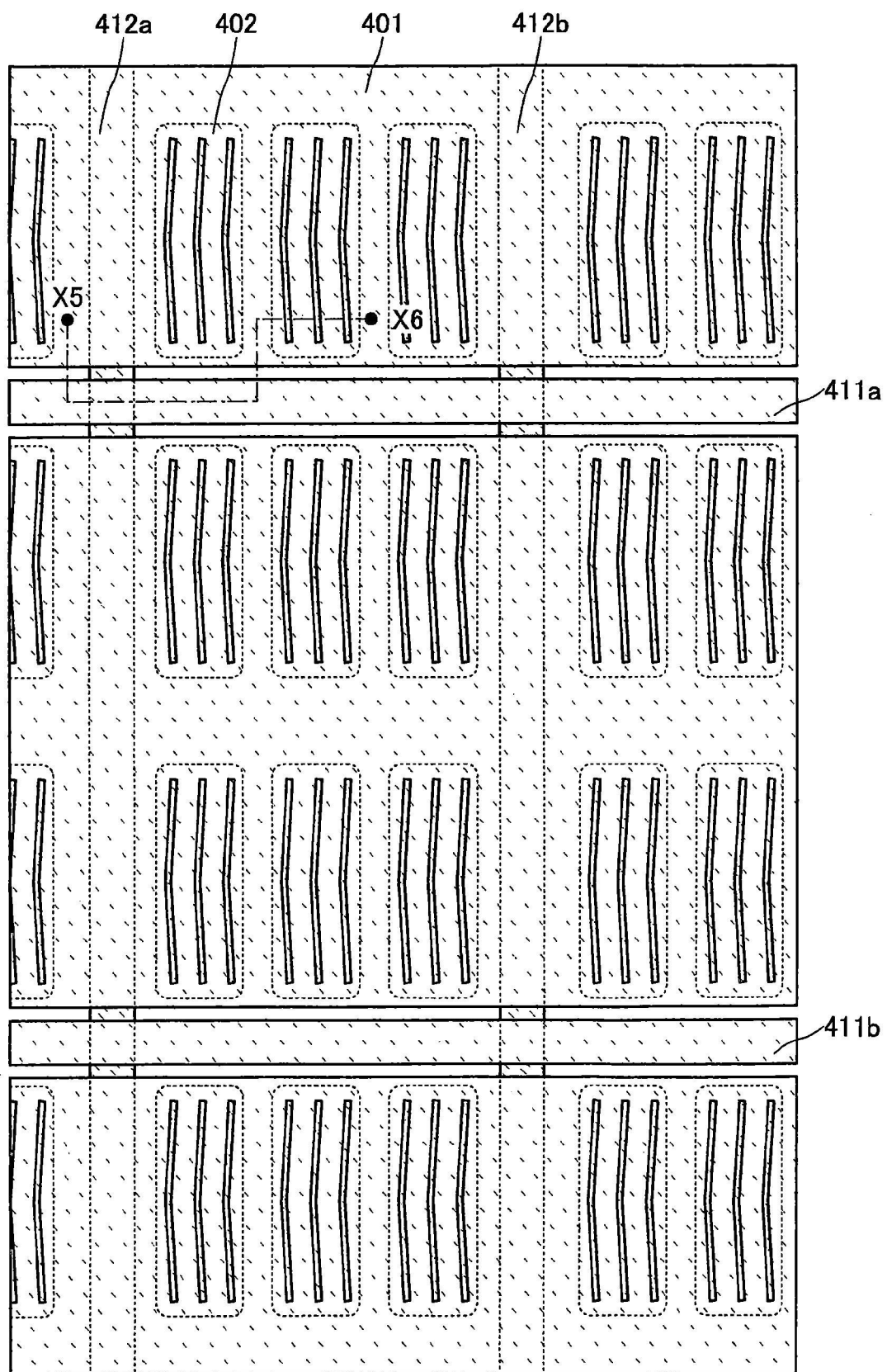


圖 53

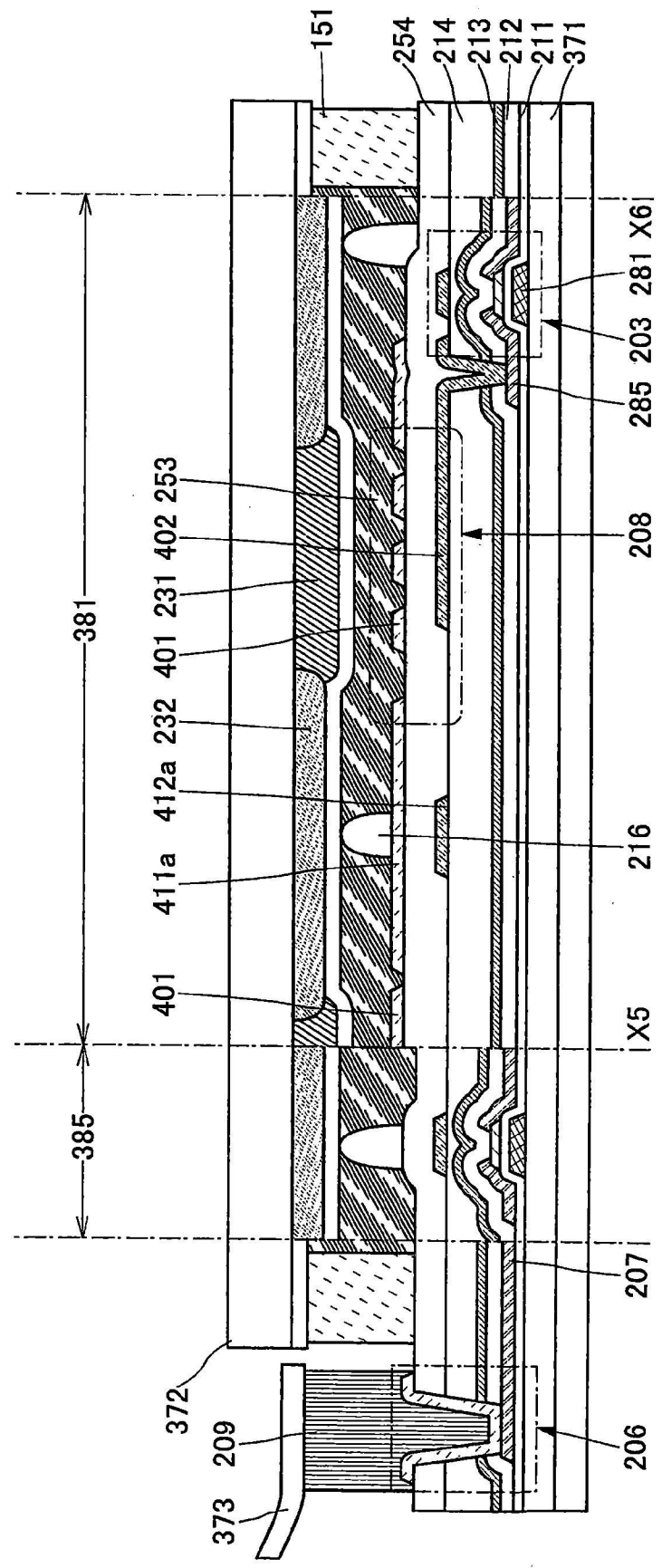


圖 54

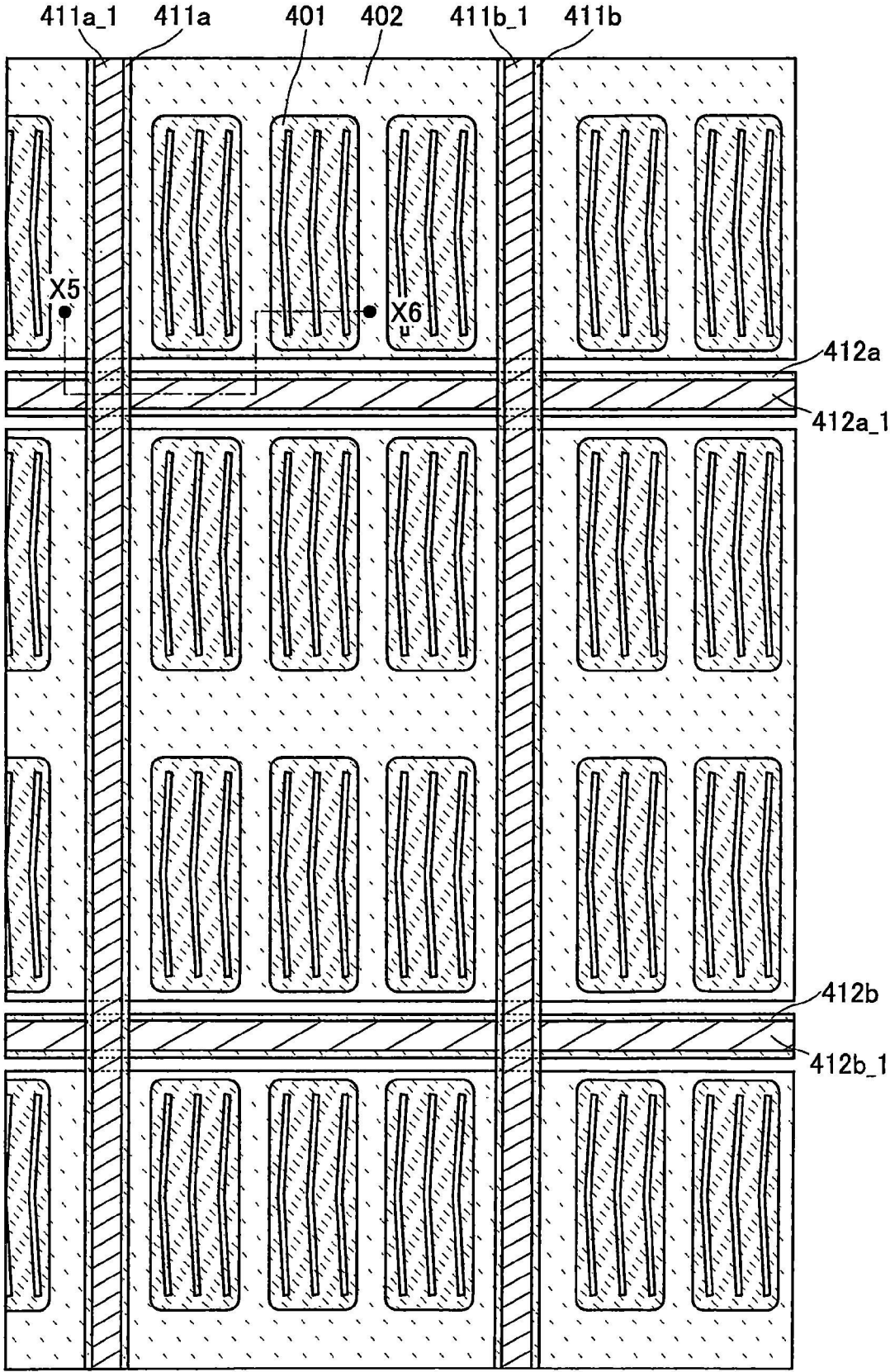


圖 55

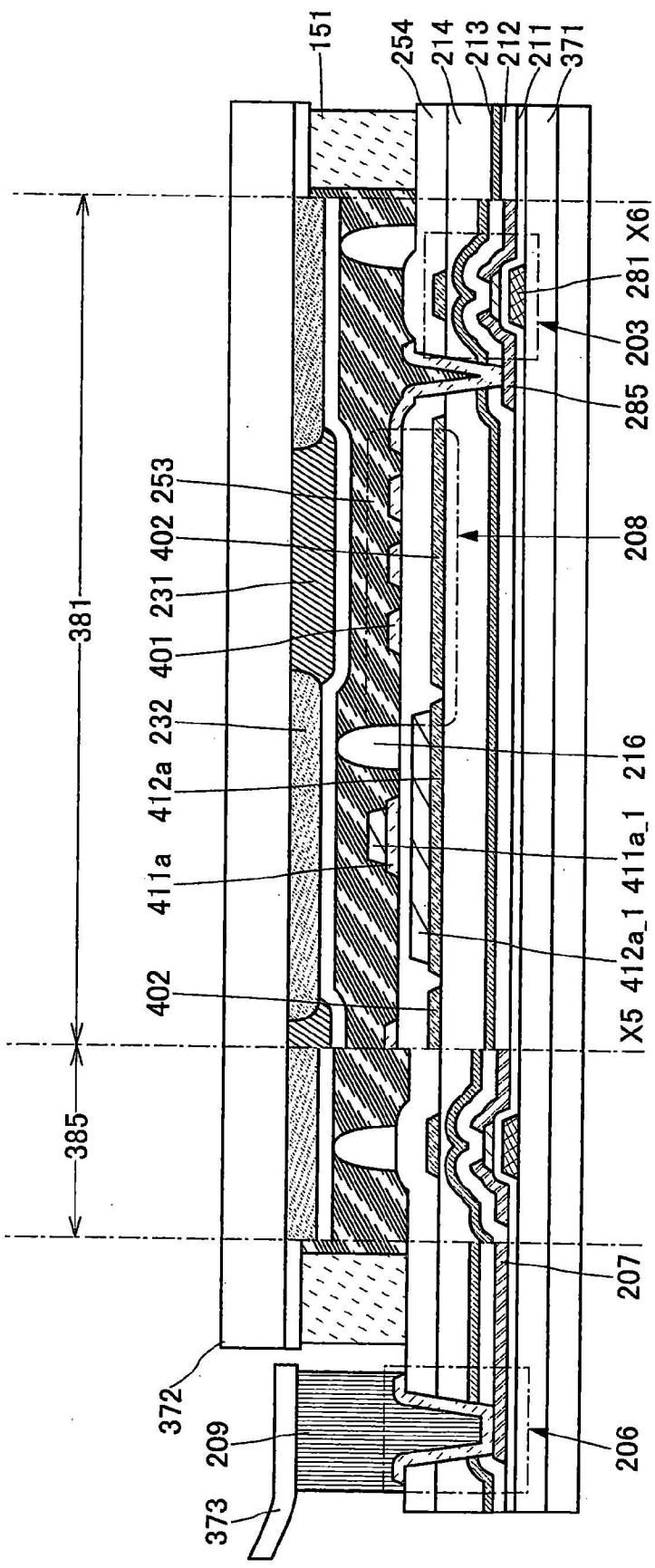


圖 56

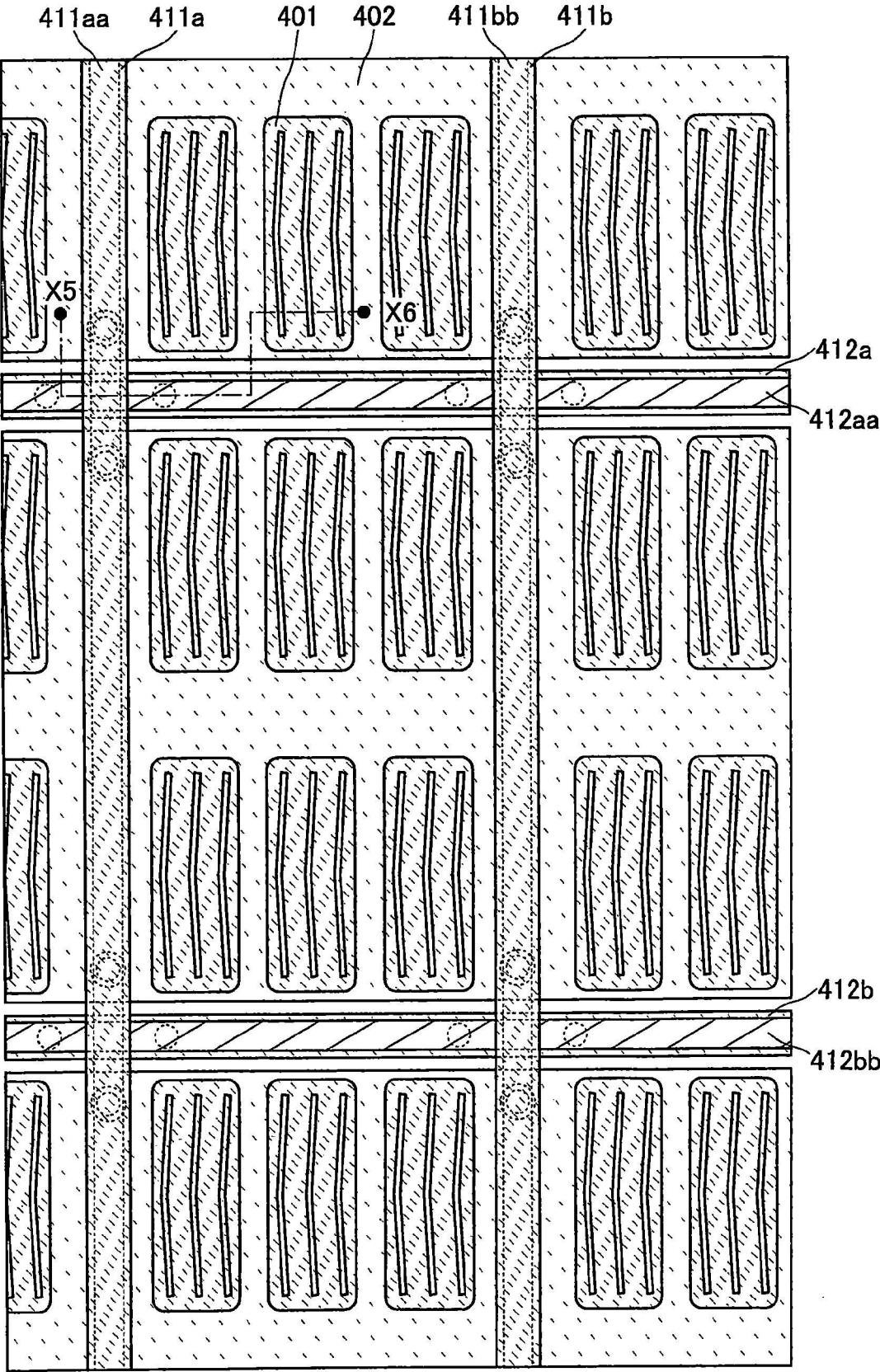


圖 57

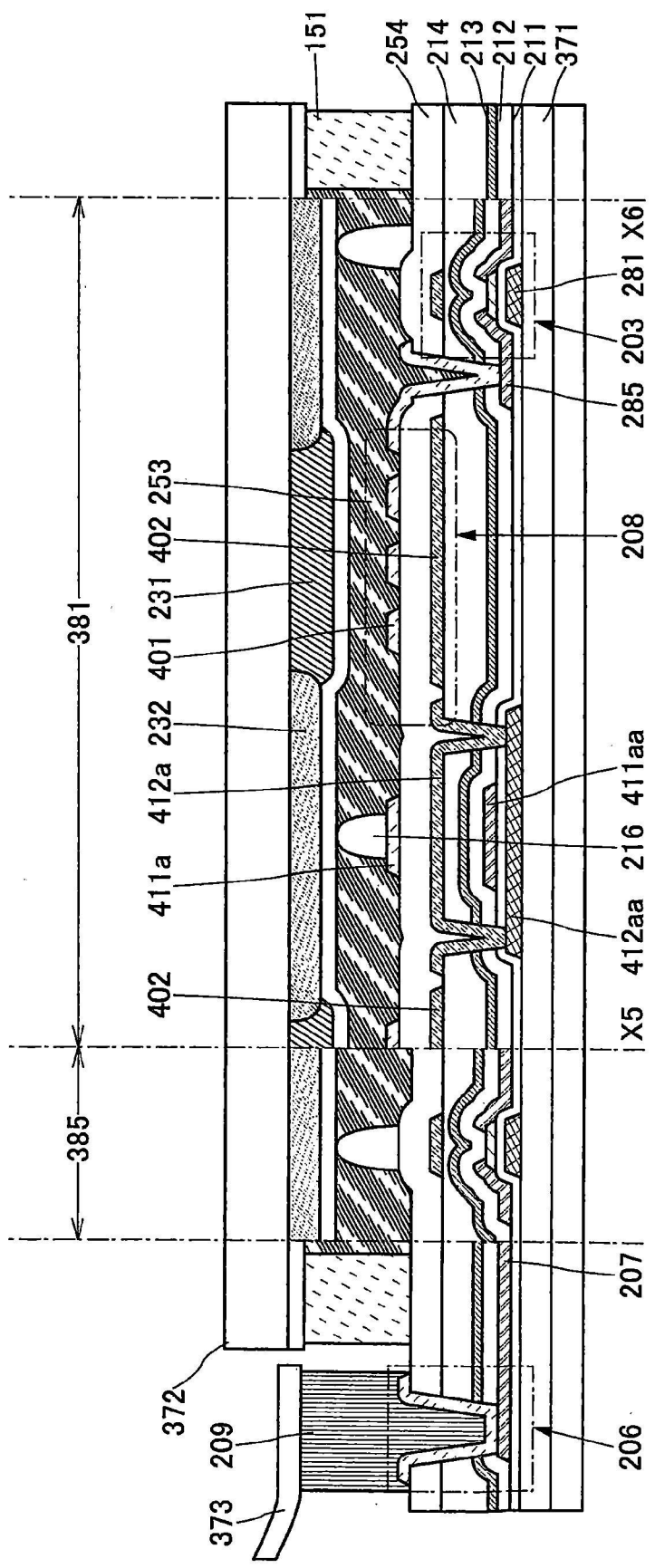


圖 58

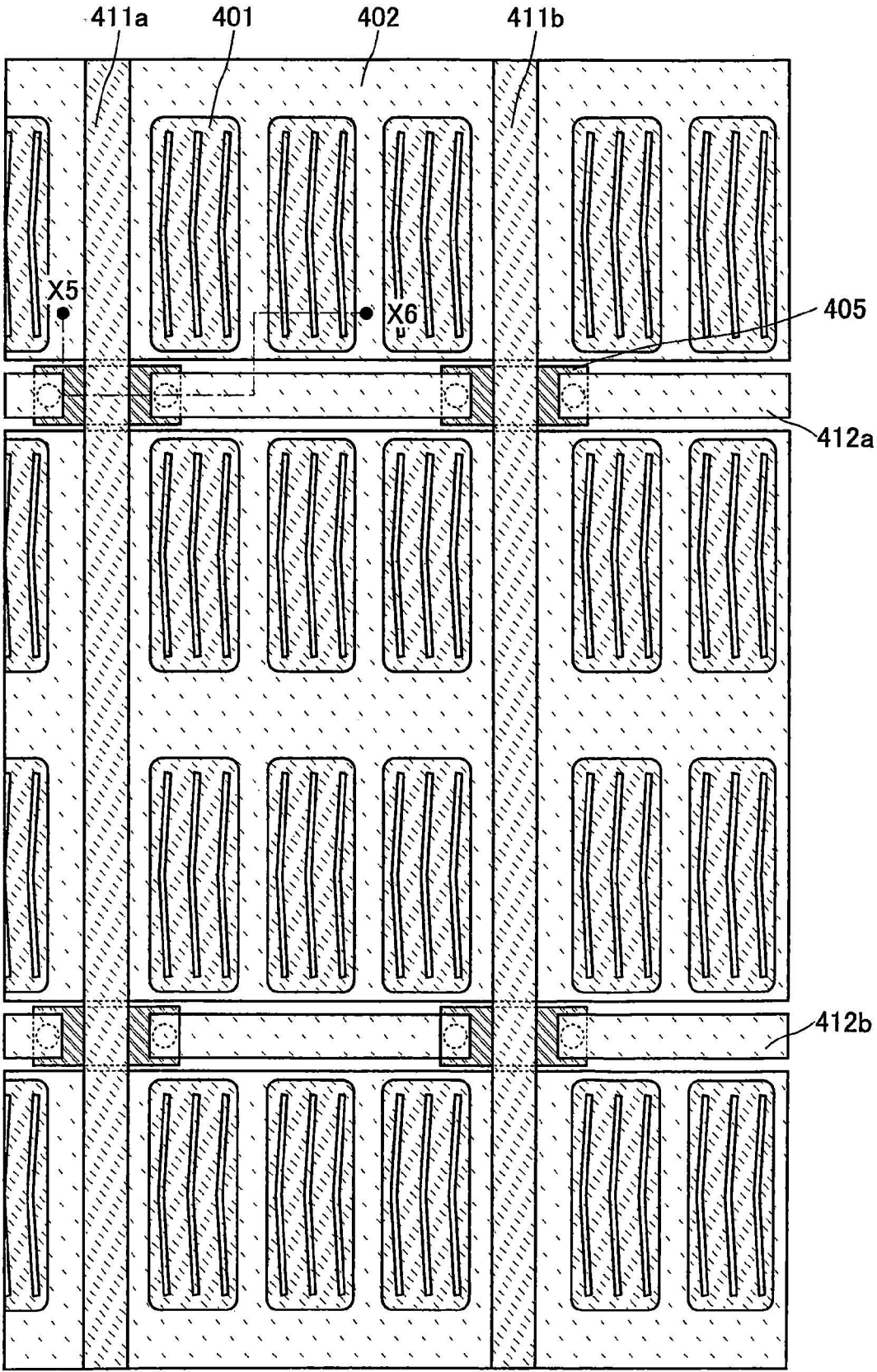


圖 59

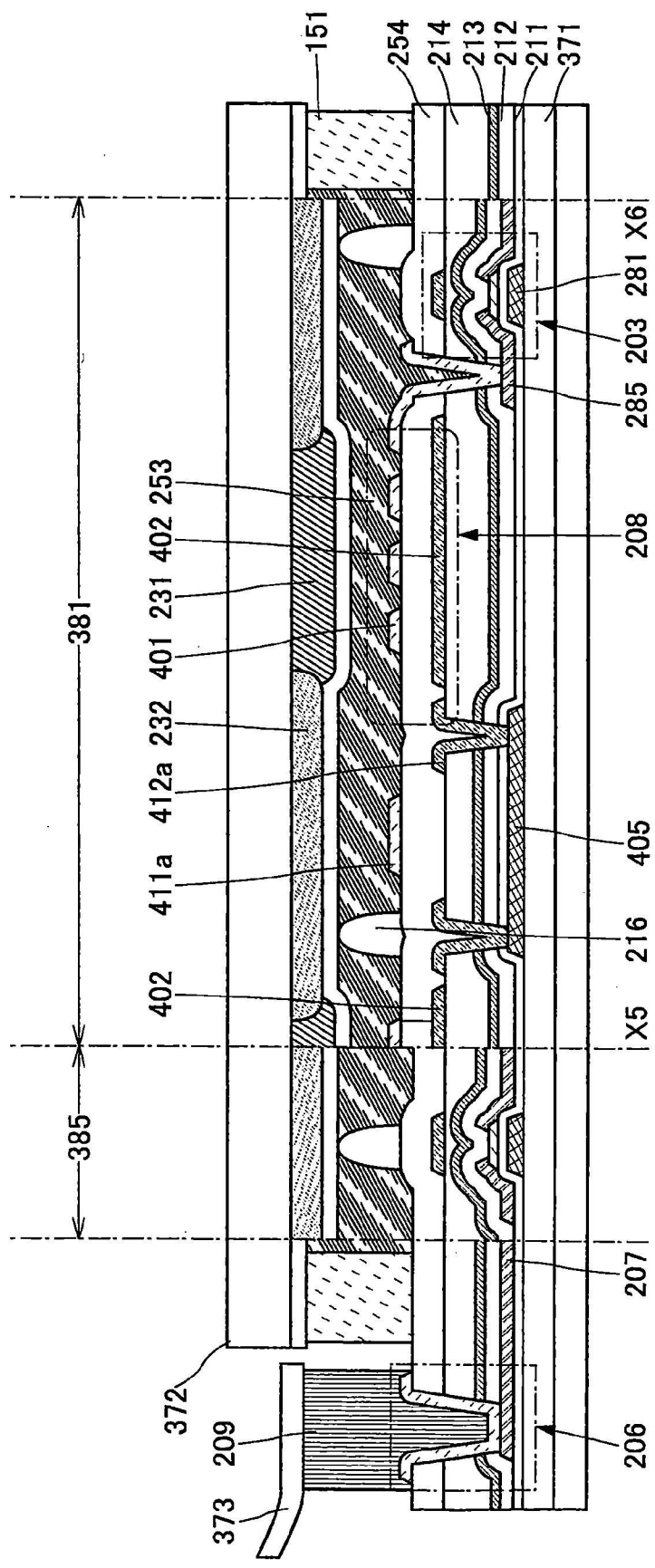


圖 60

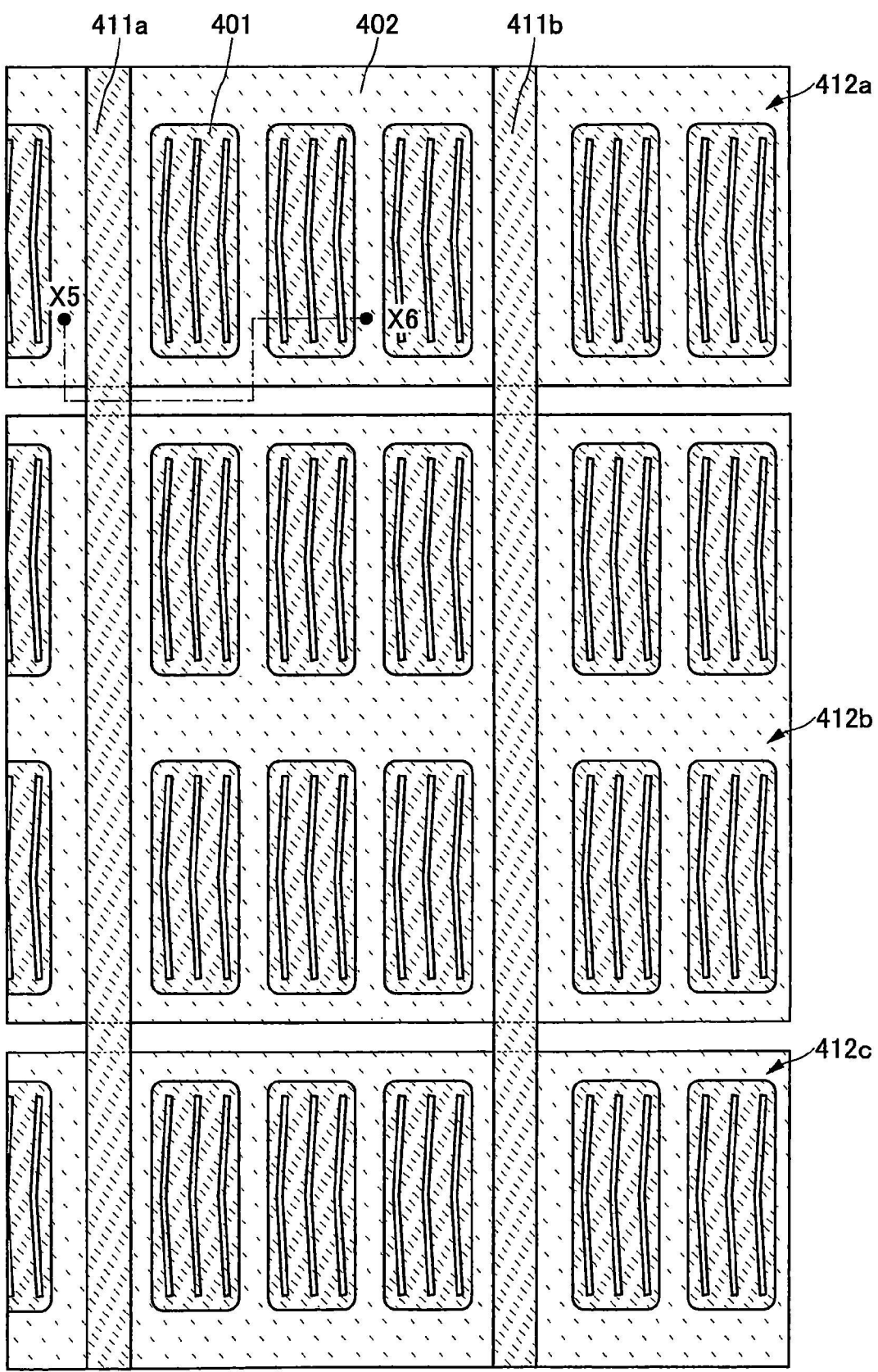


圖 61

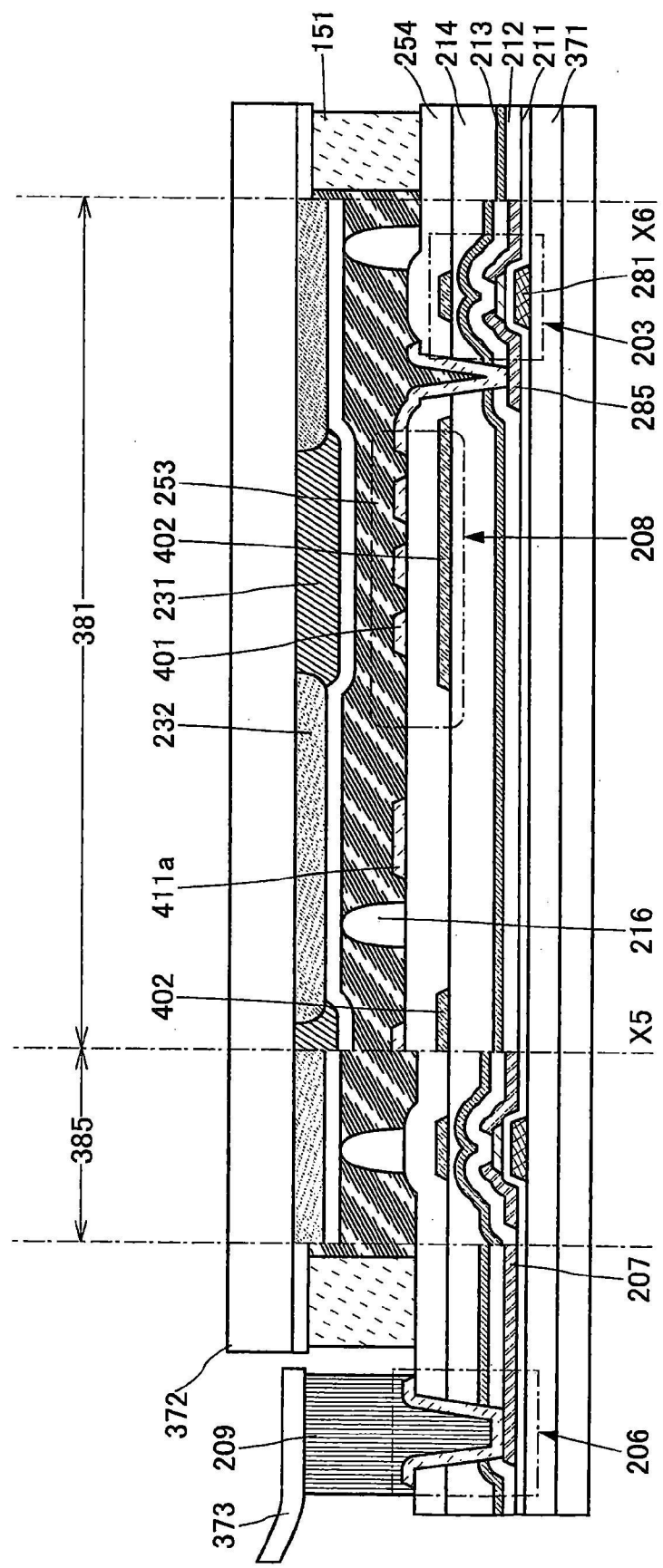


圖 62

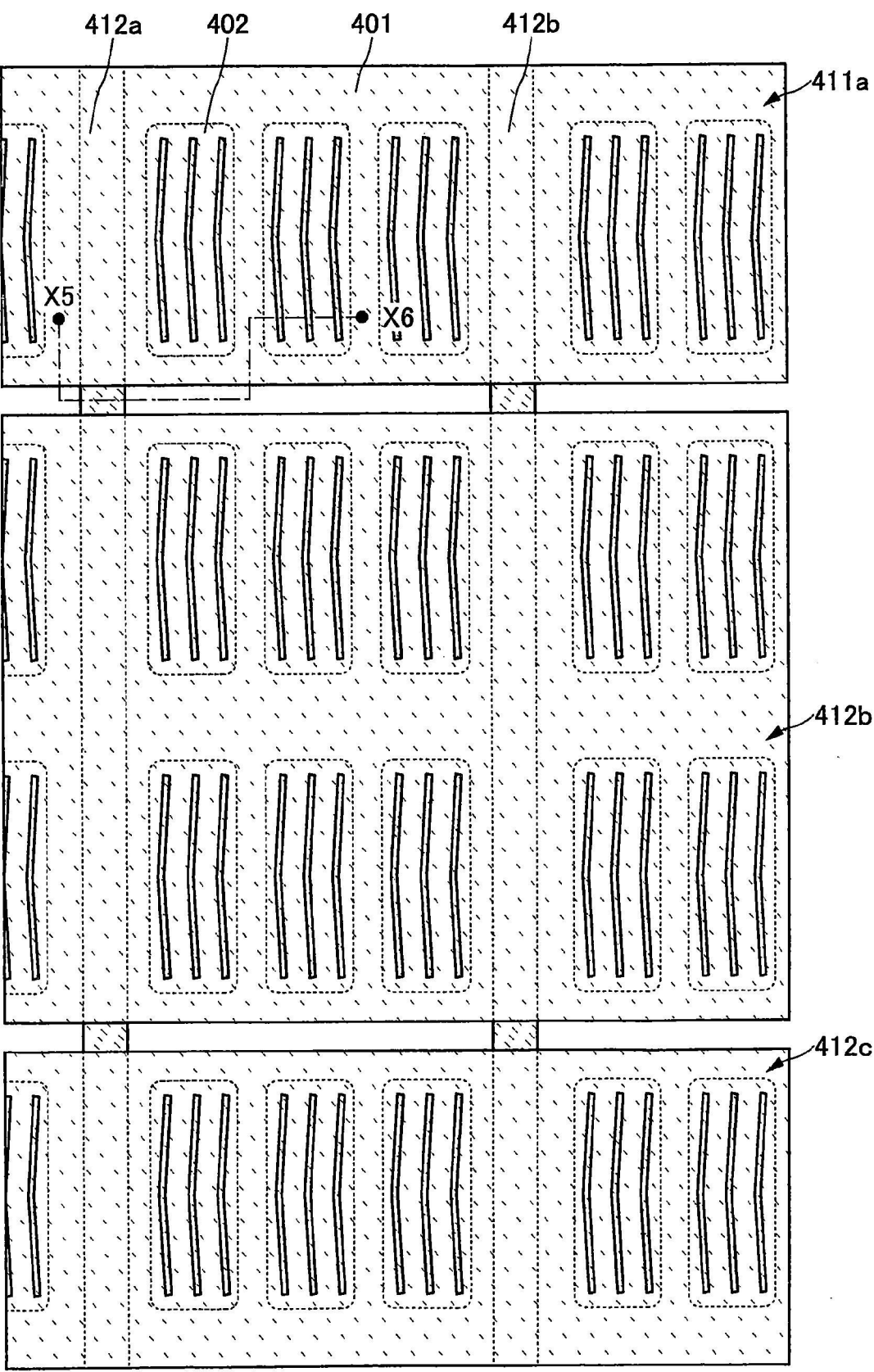


圖 63

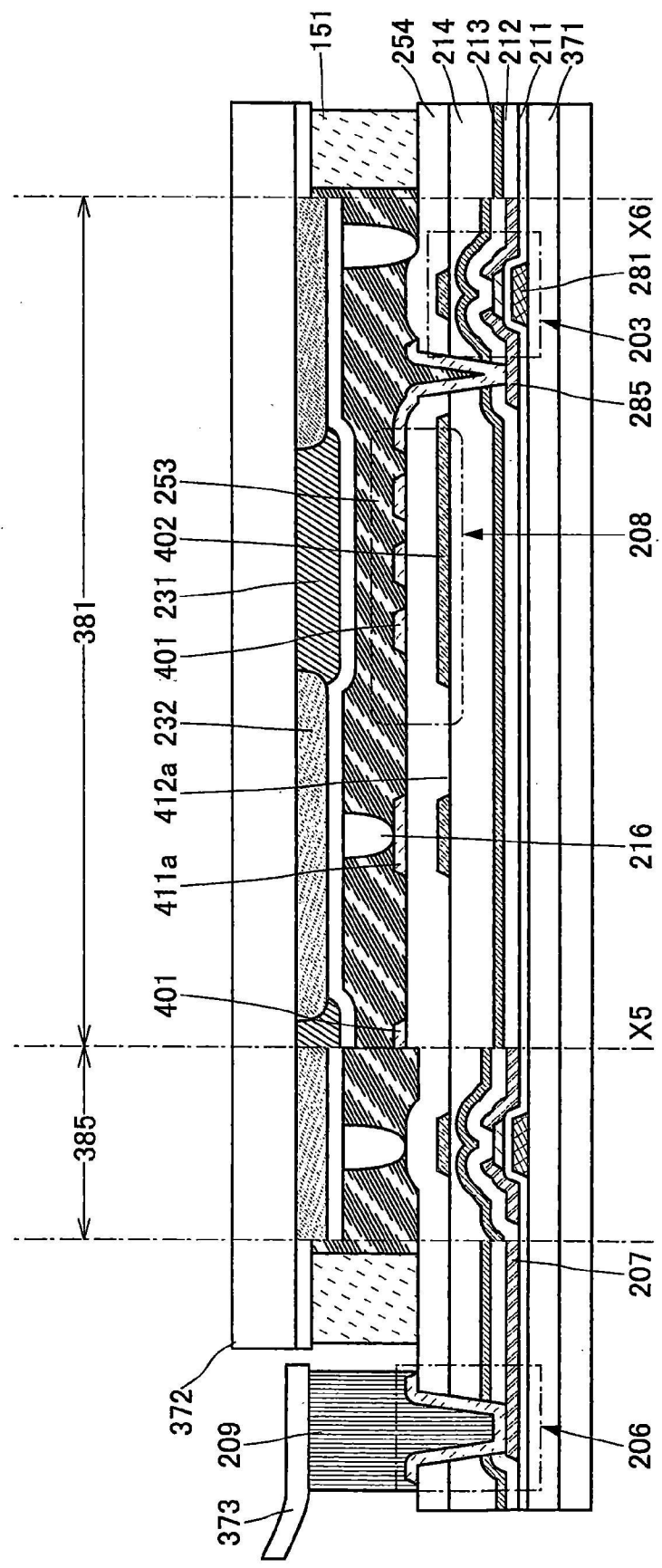


圖 64

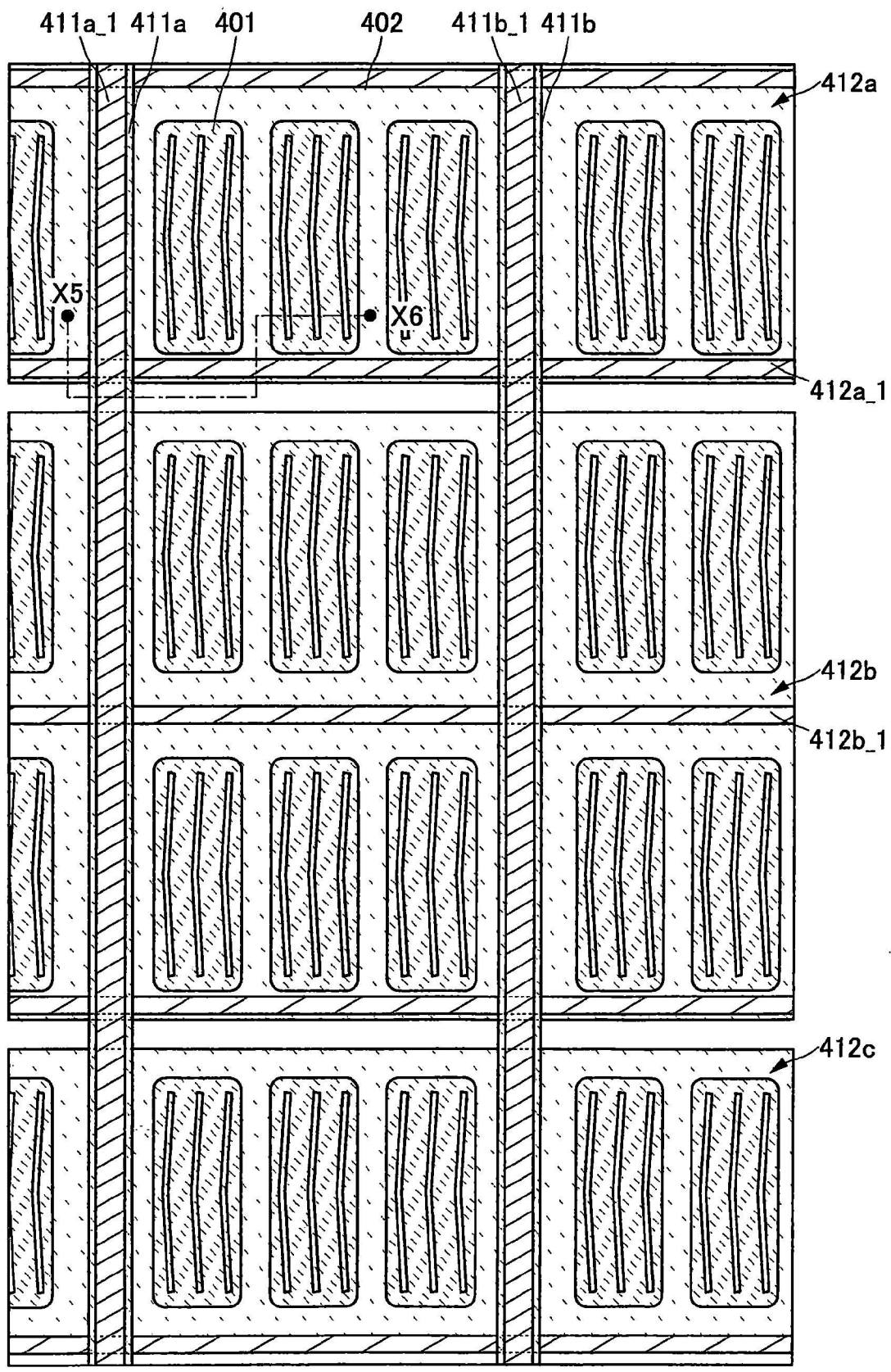


圖 65

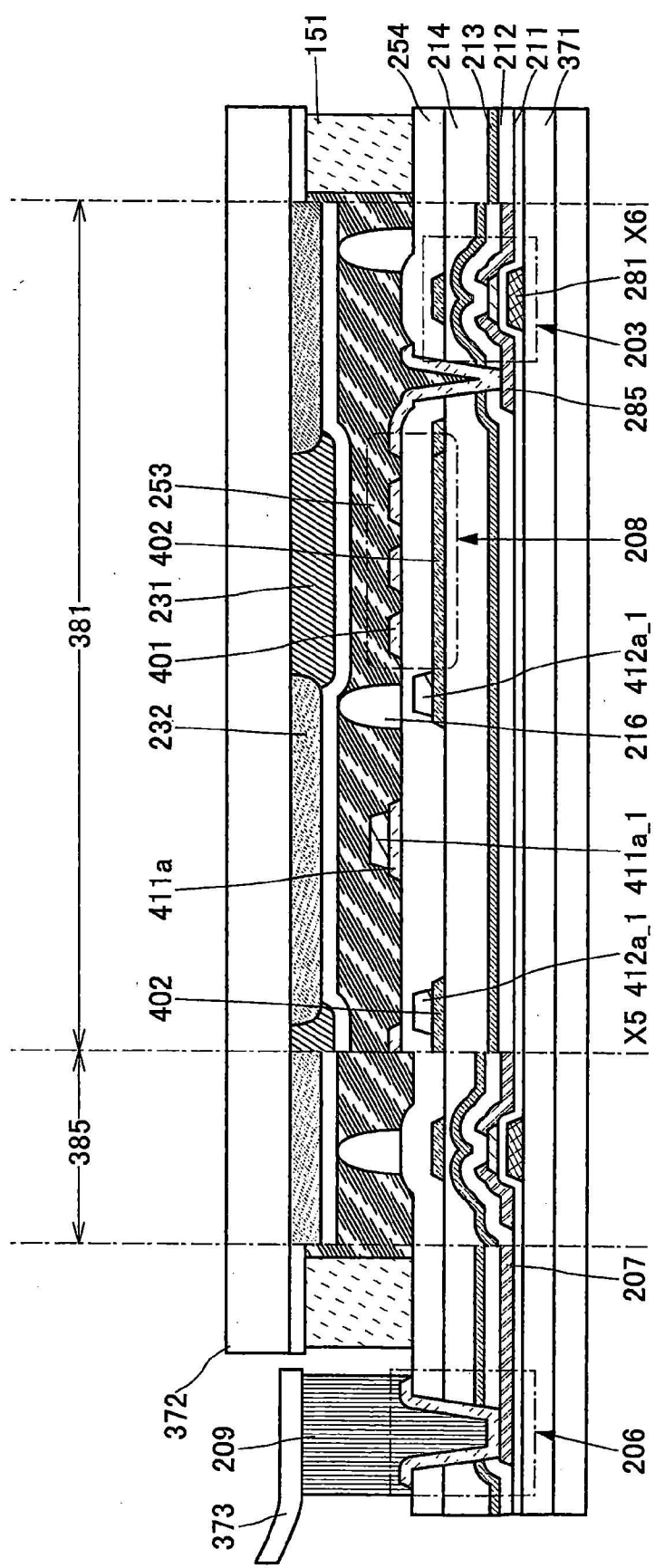


圖 66

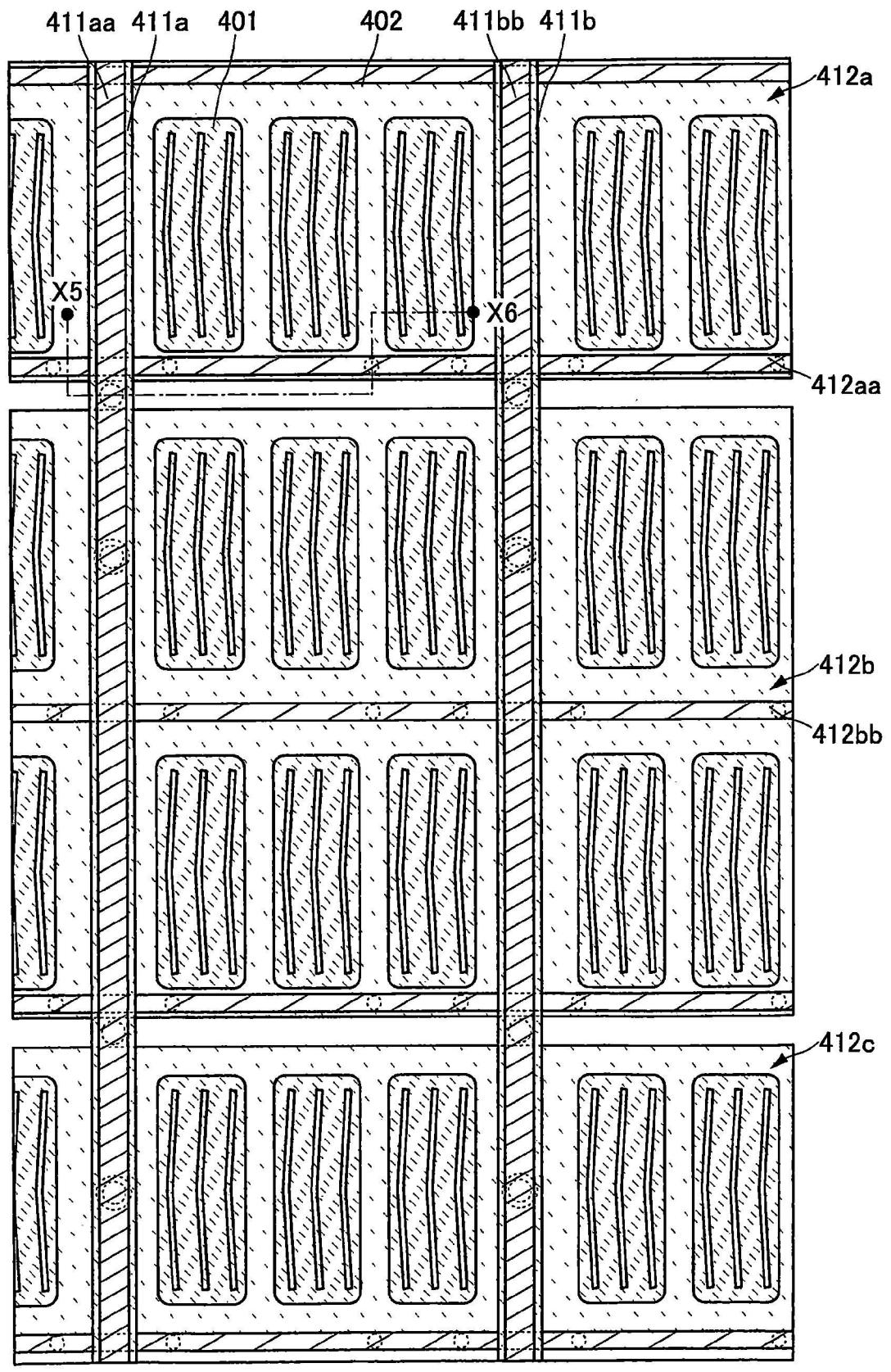


圖 67

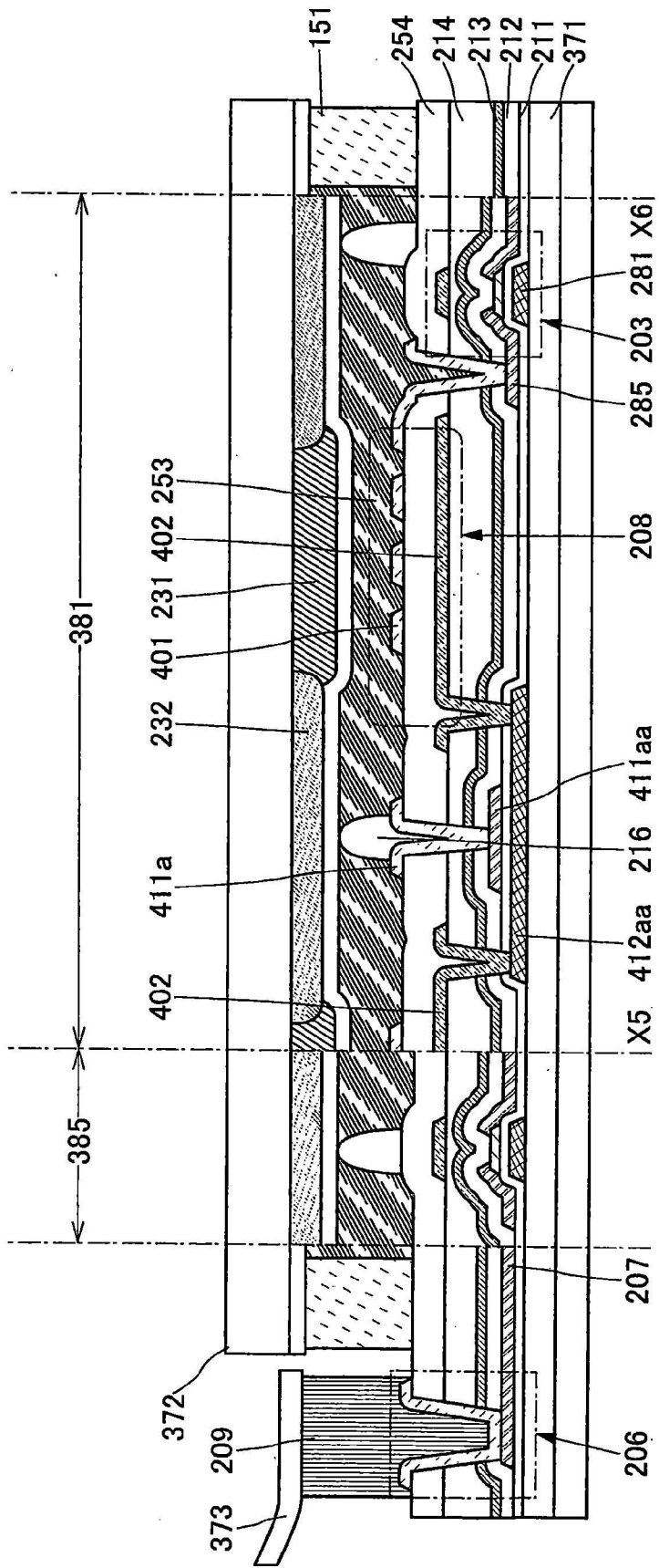


圖 68

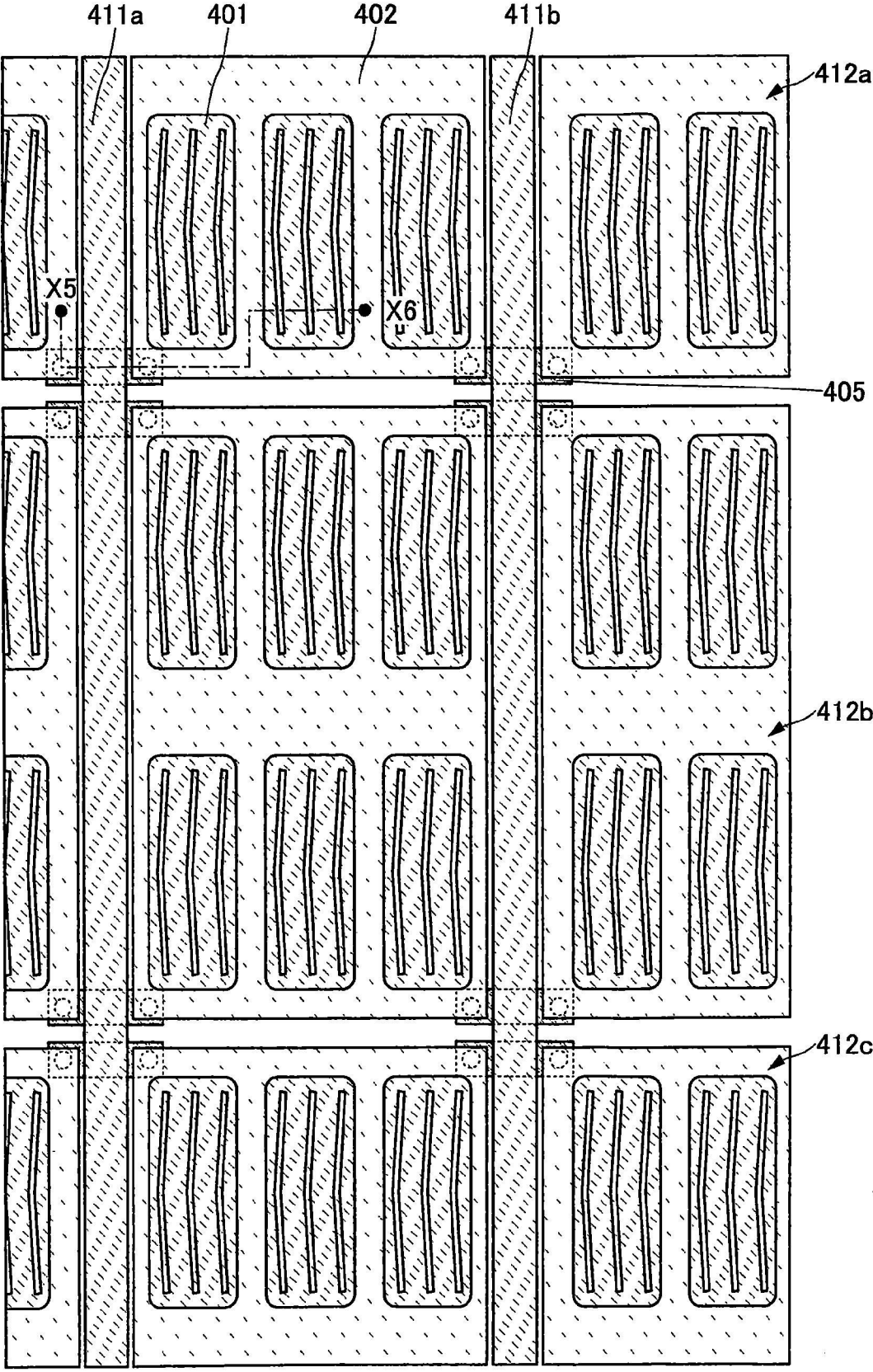


圖 69

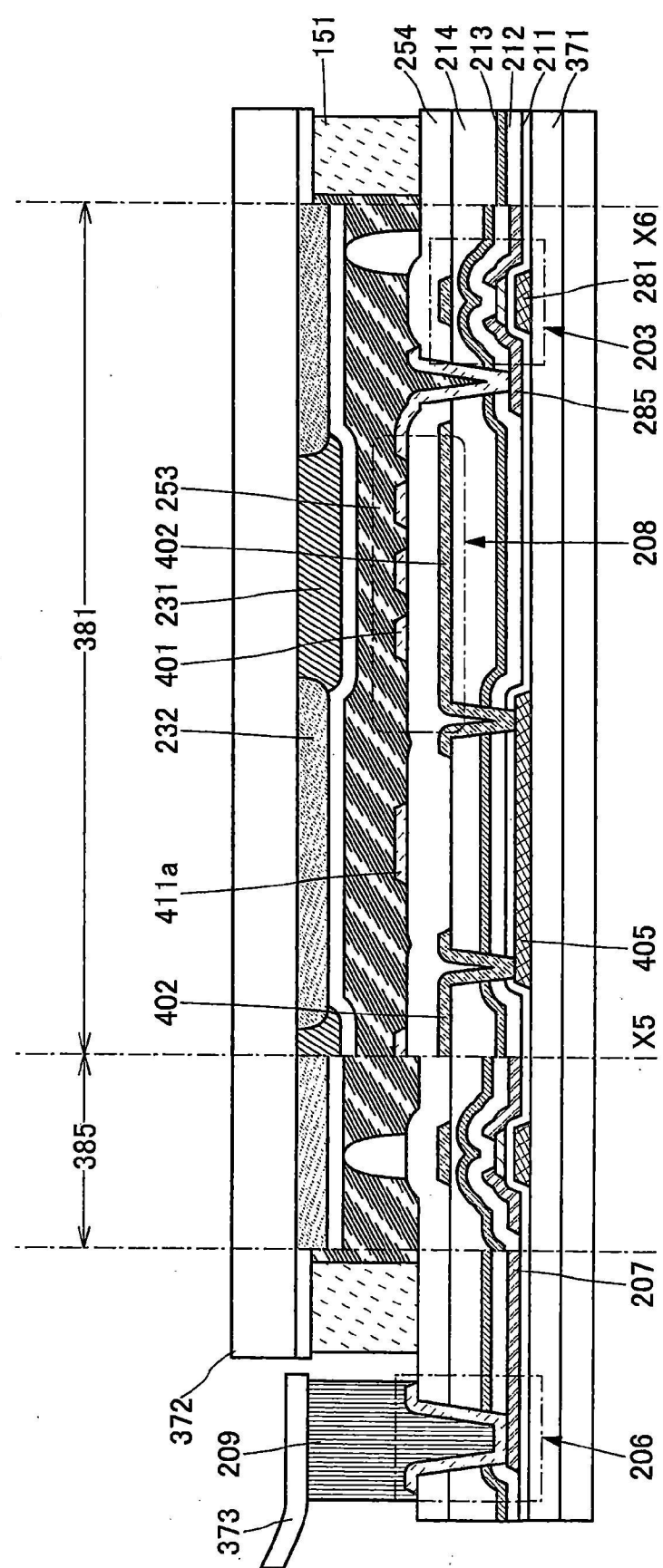


圖 70

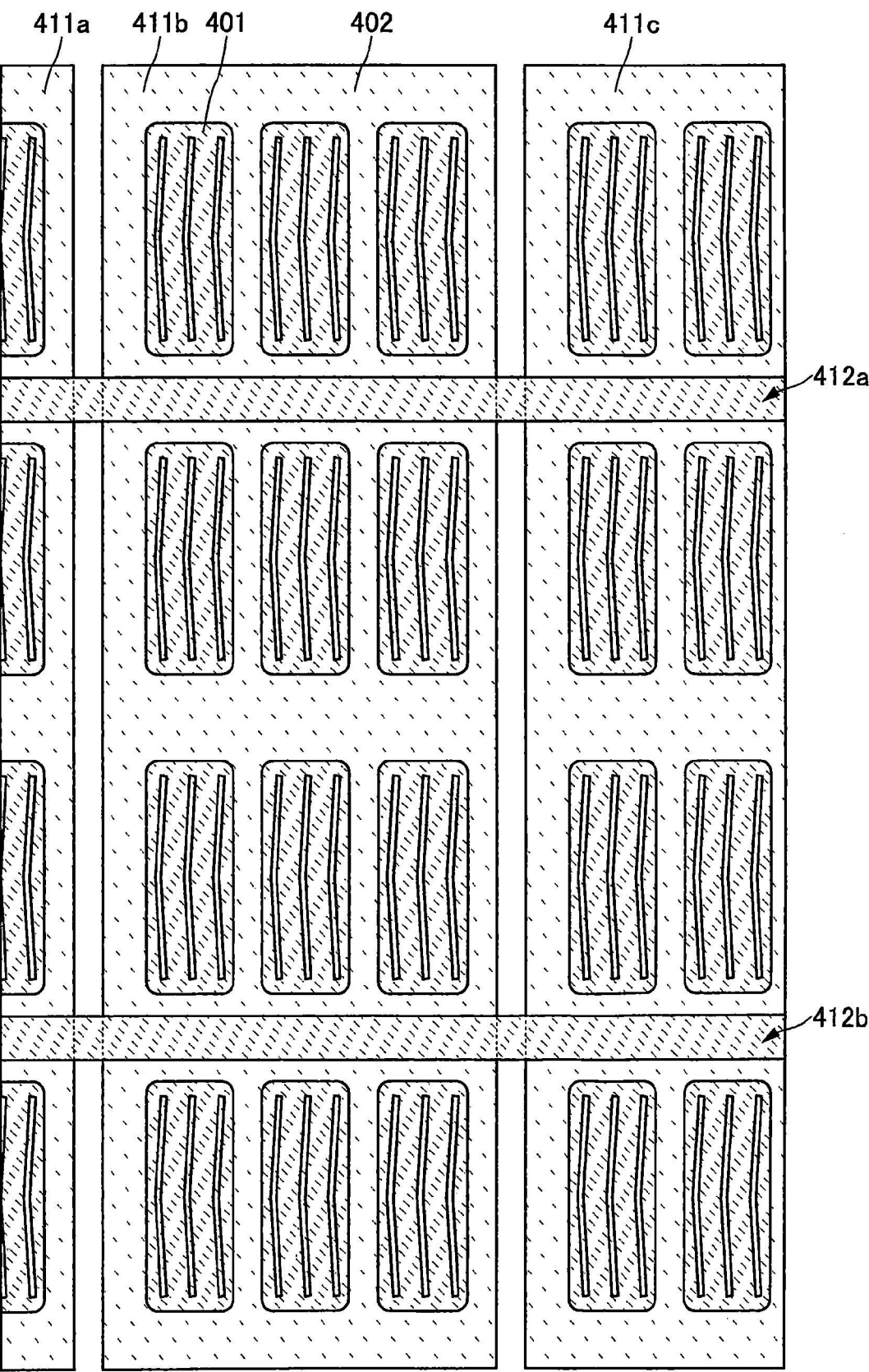


圖 71

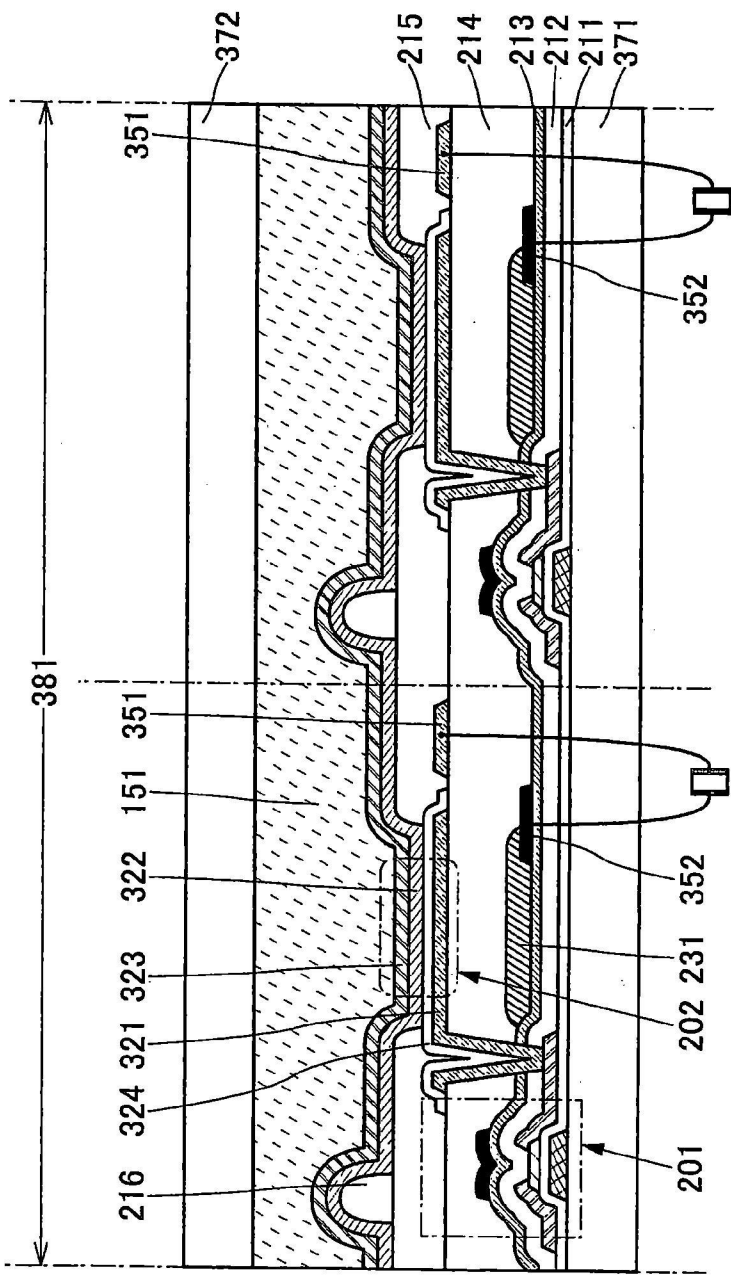


圖 72

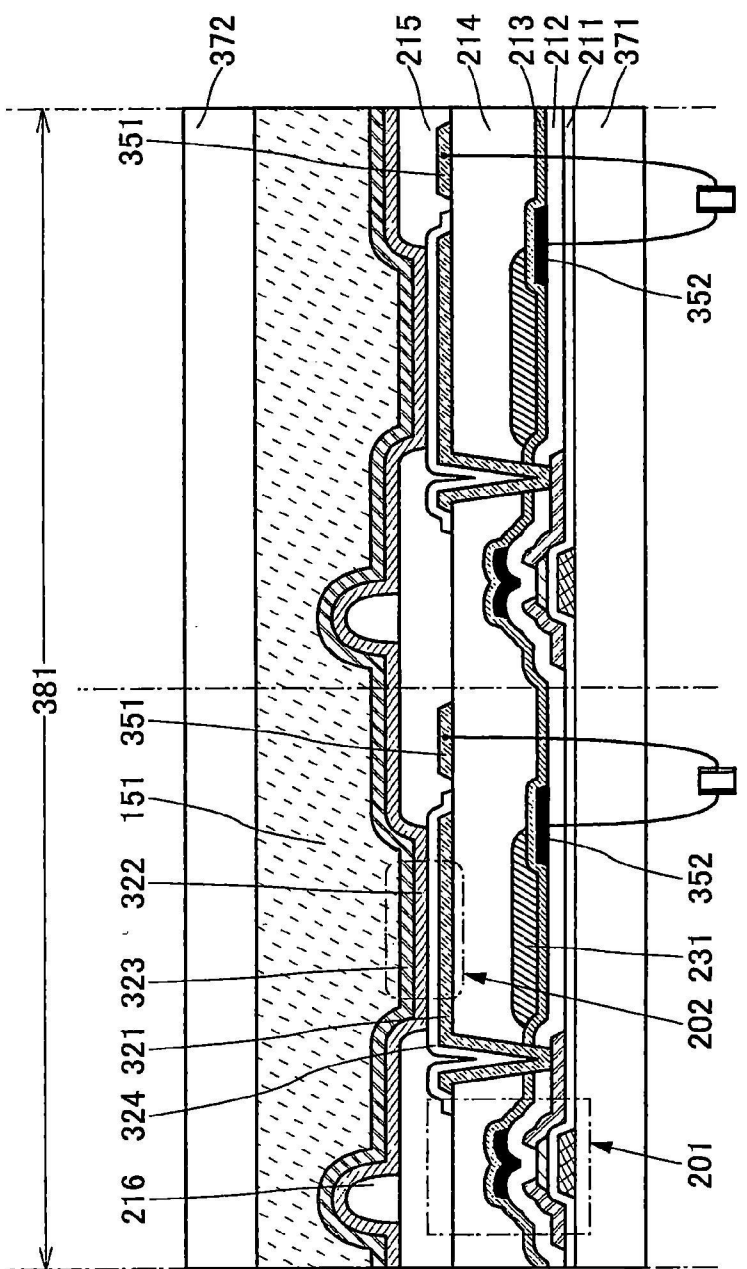


圖 73

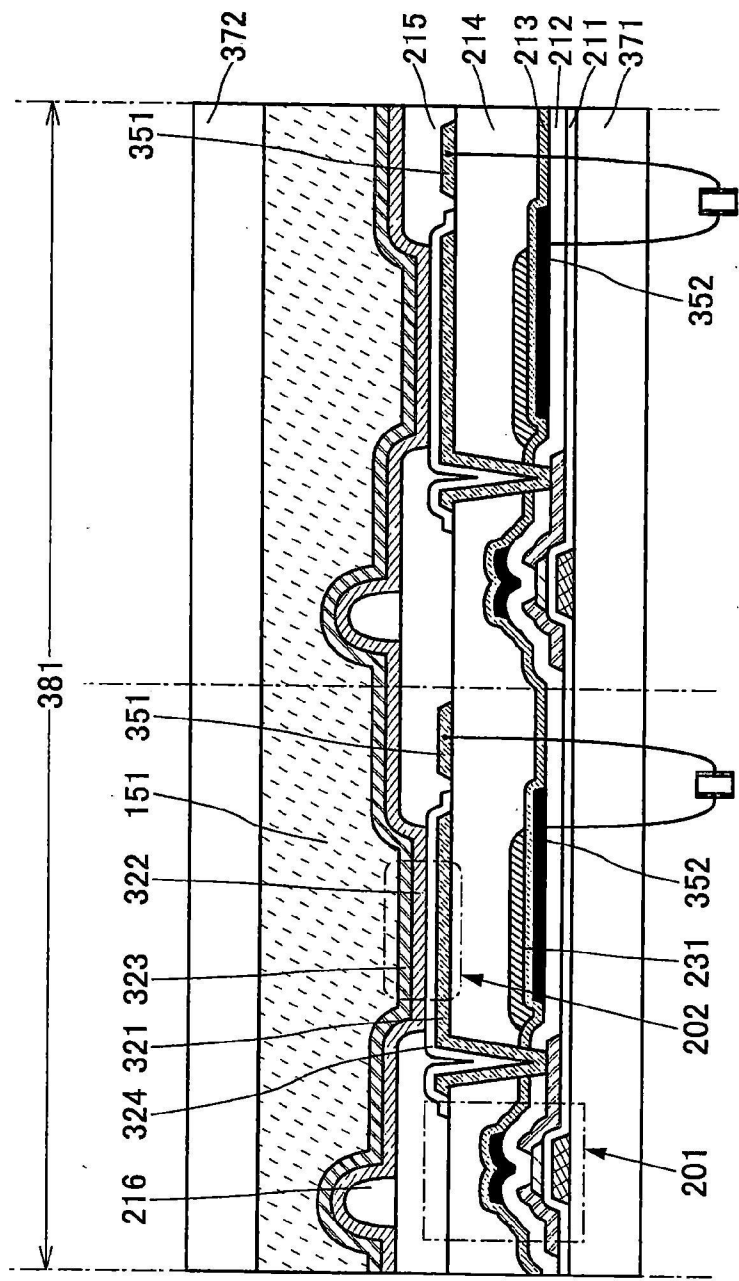
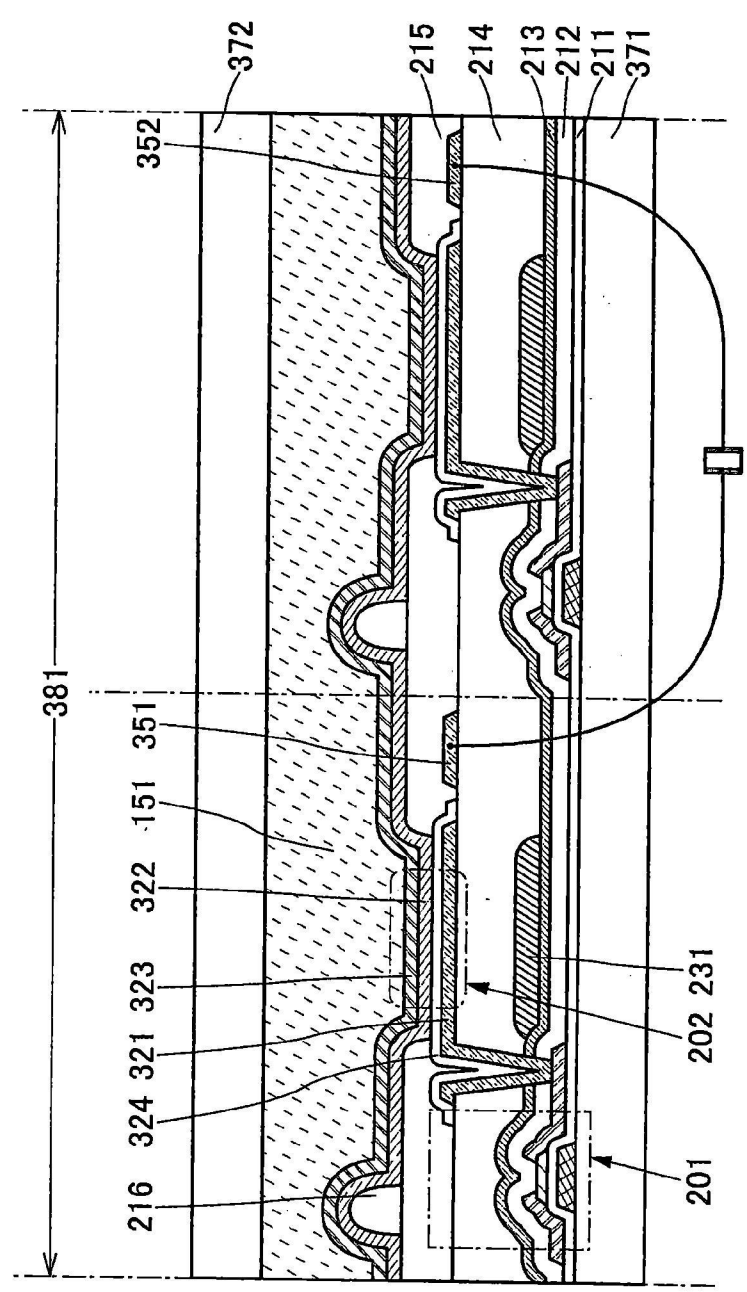


圖 75



76 回

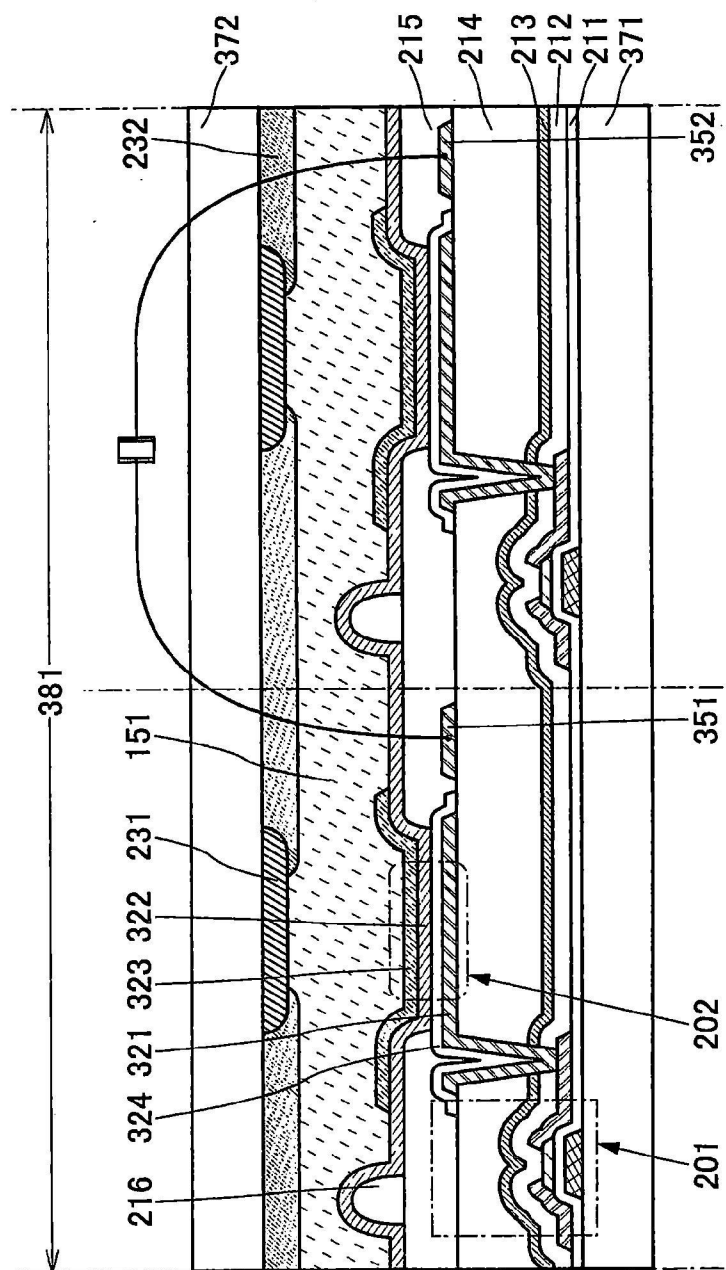


圖 77

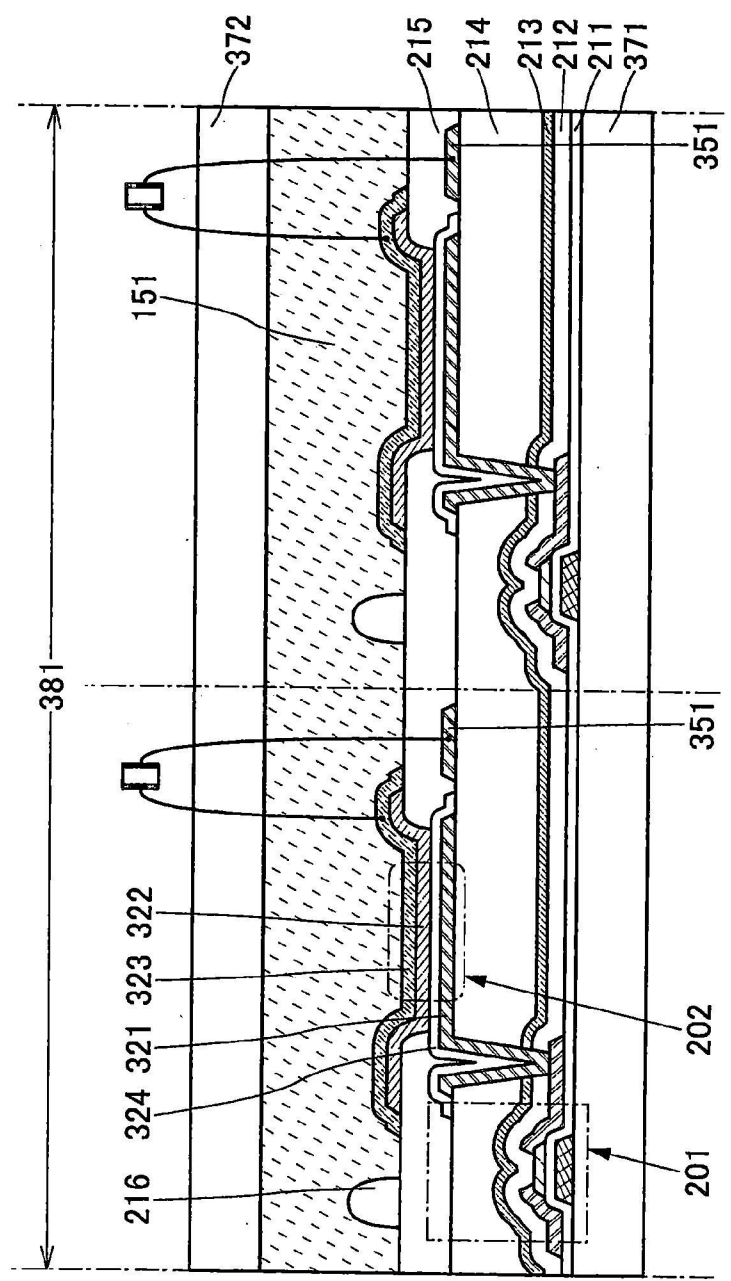


圖 78

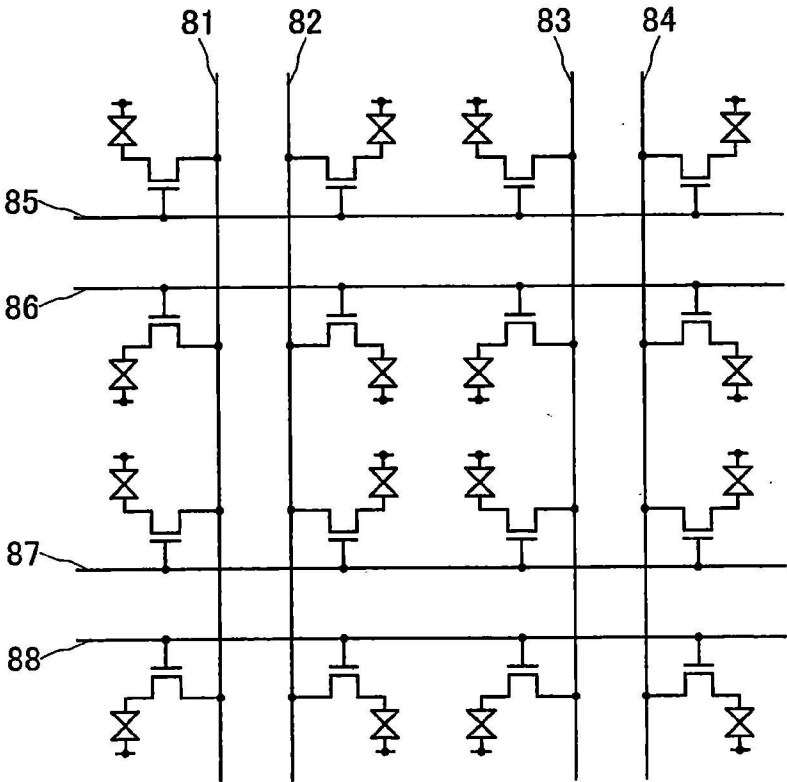


圖 79

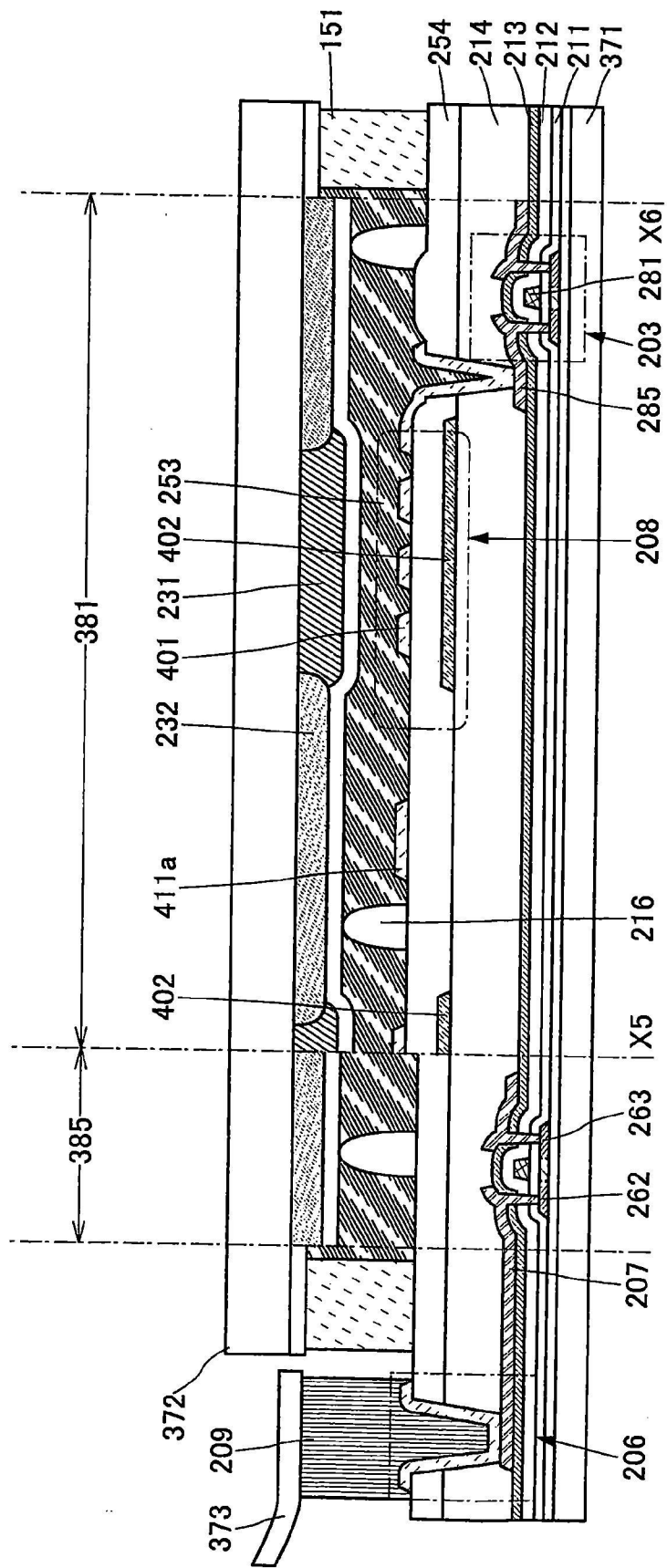


圖 80A

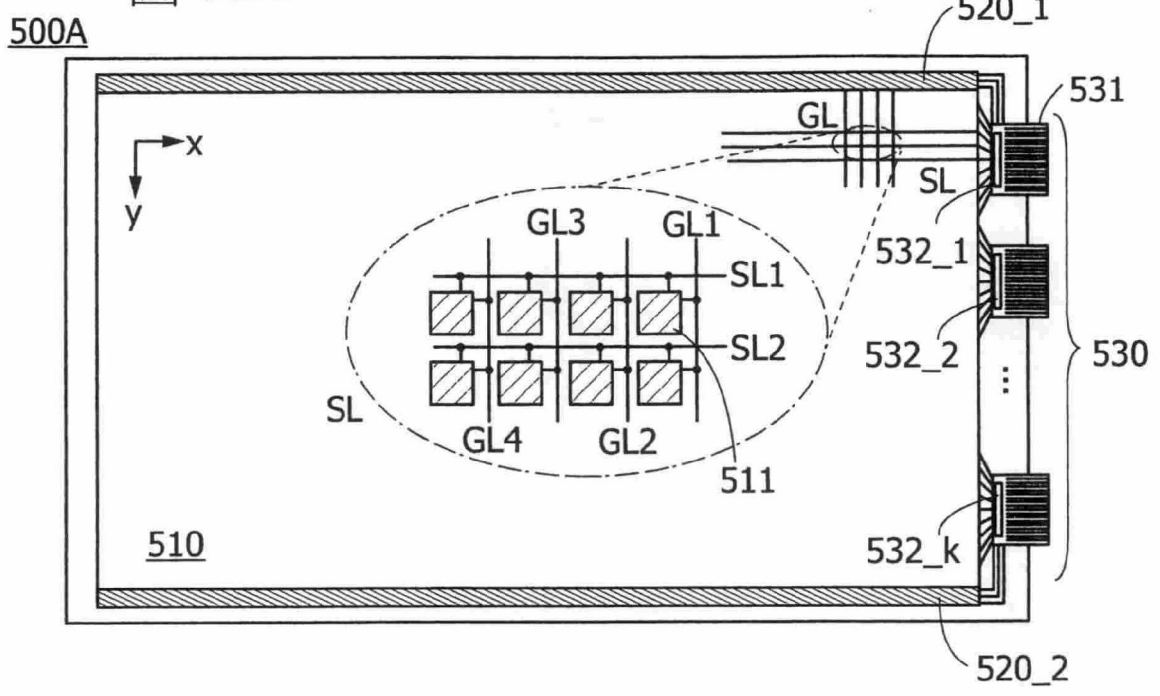


圖 80B

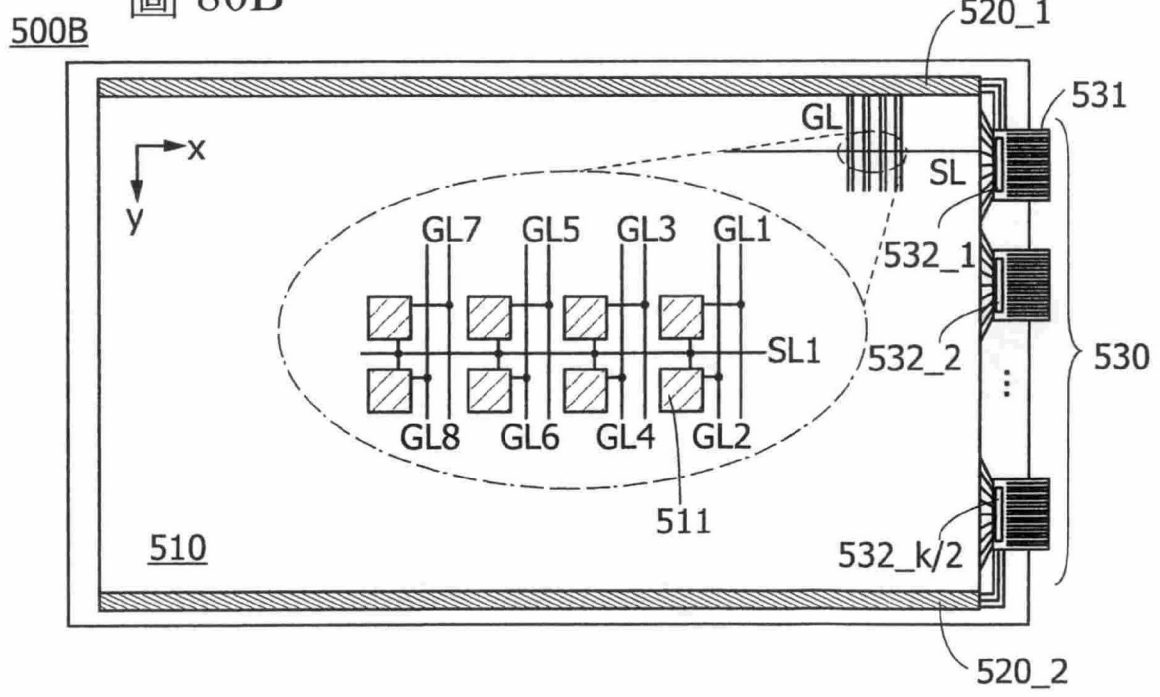


圖 81A1

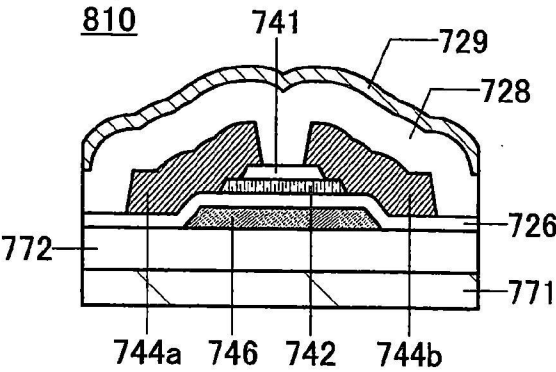


圖 81A2

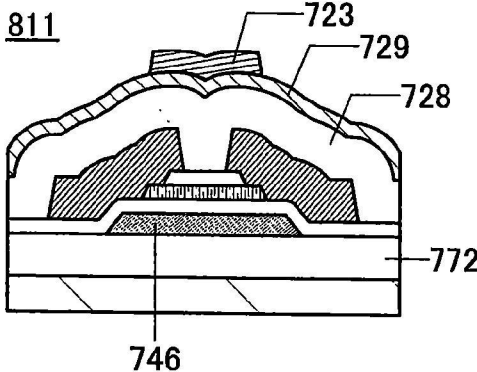


圖 81B1

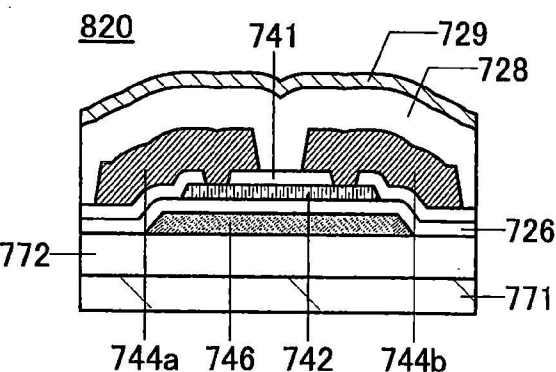


圖 81B1

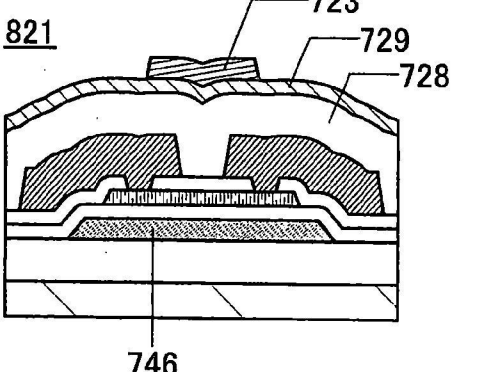


圖 81C1

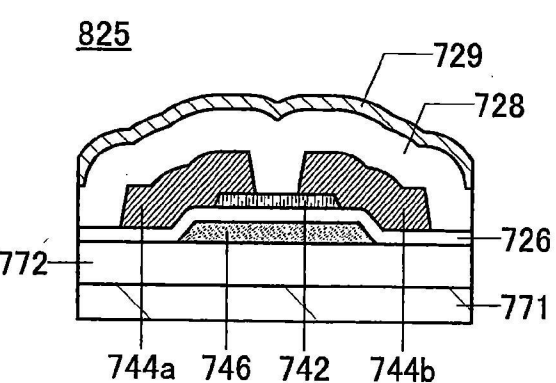


圖 81C2

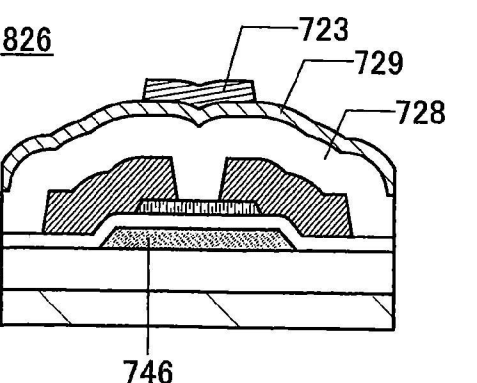


圖 82A1

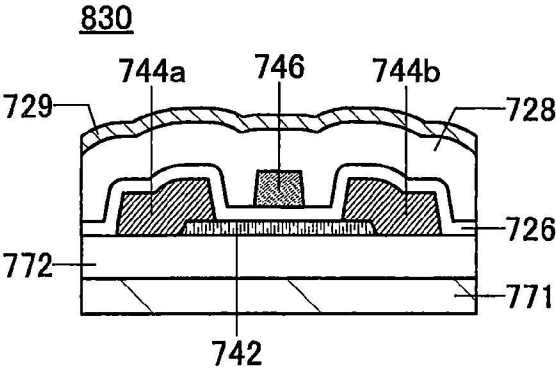


圖 82A2

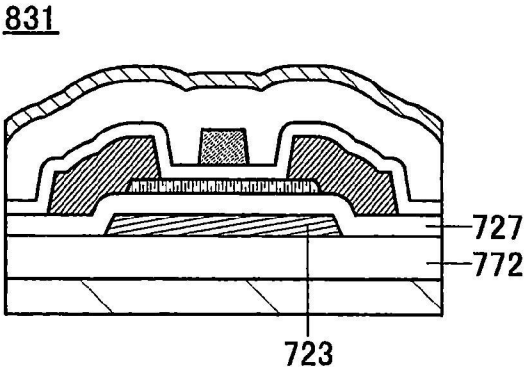


圖 82A3

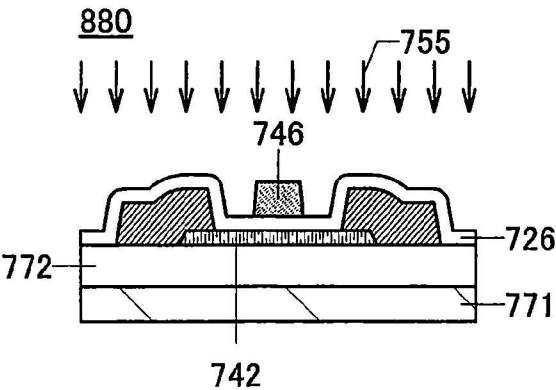


圖 82B1

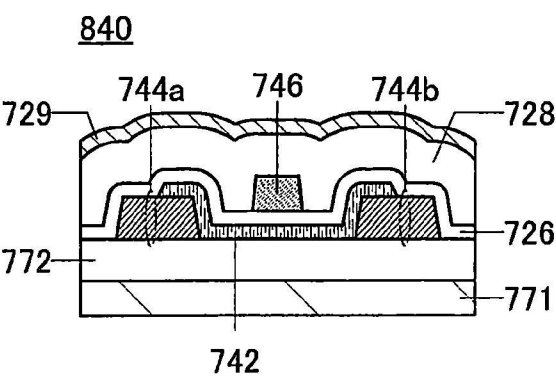


圖 82B2

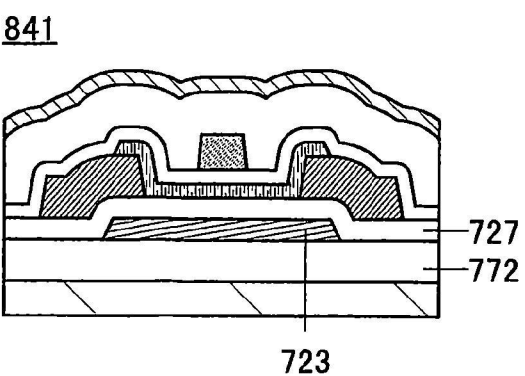


圖 83A1

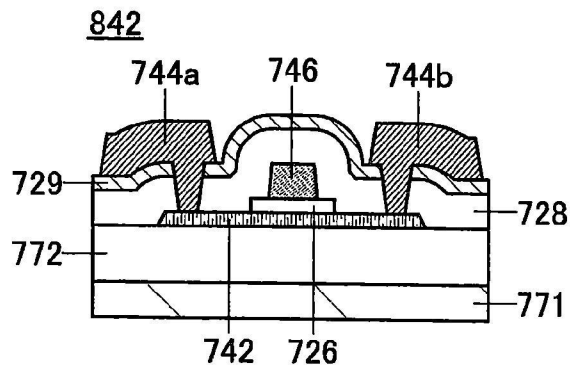


圖 83A2

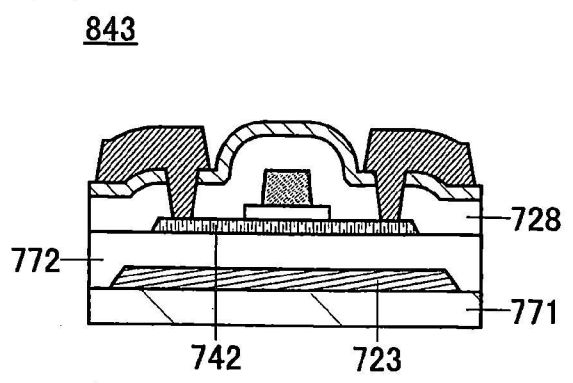


圖 83A3

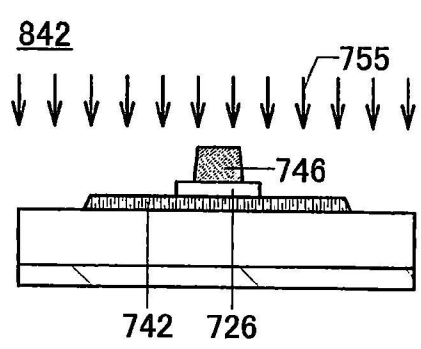


圖 83B1

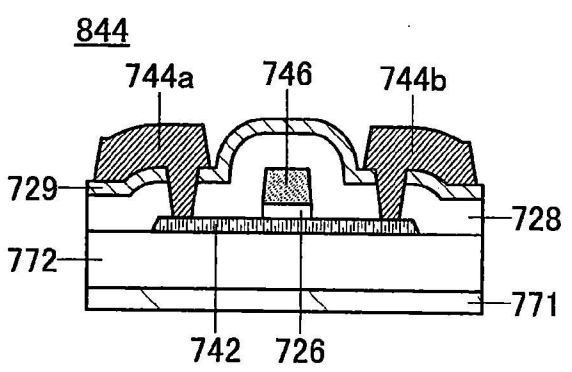


圖 83B2

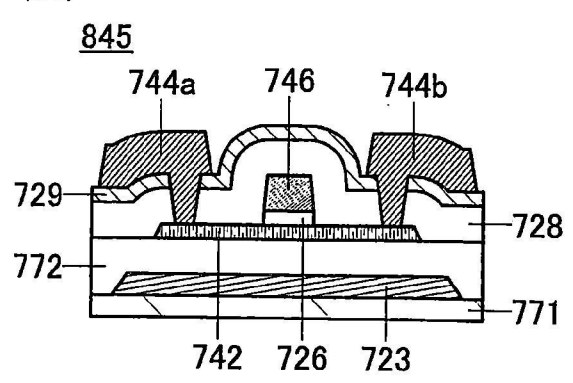


圖 83C1

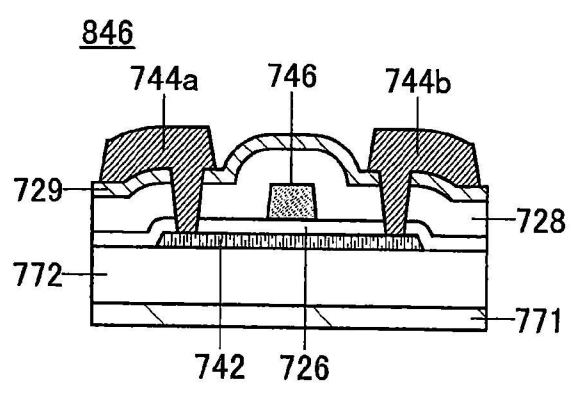
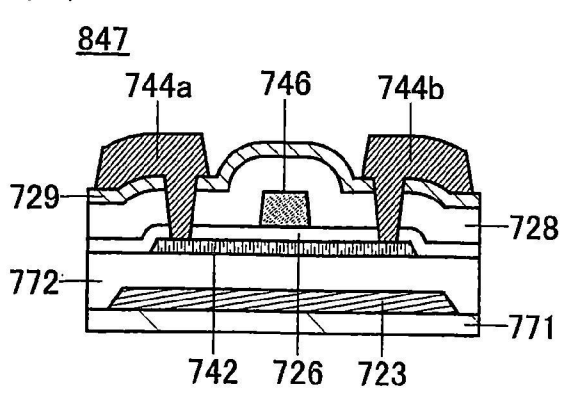
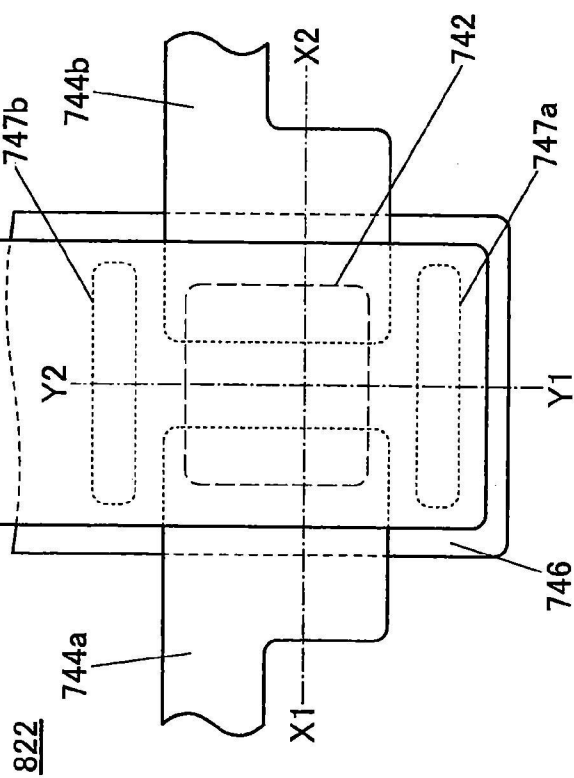


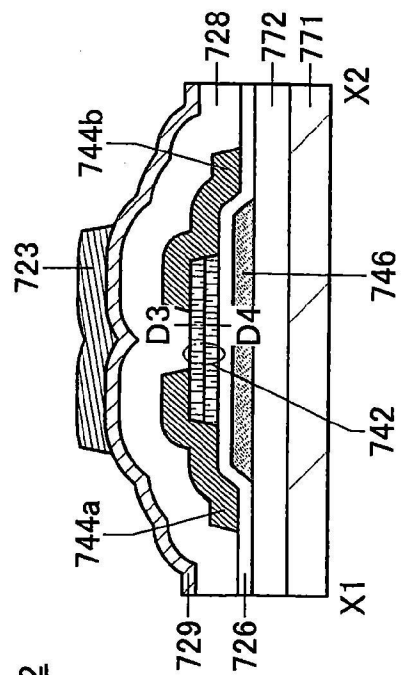
圖 83C2



85A



85B



850

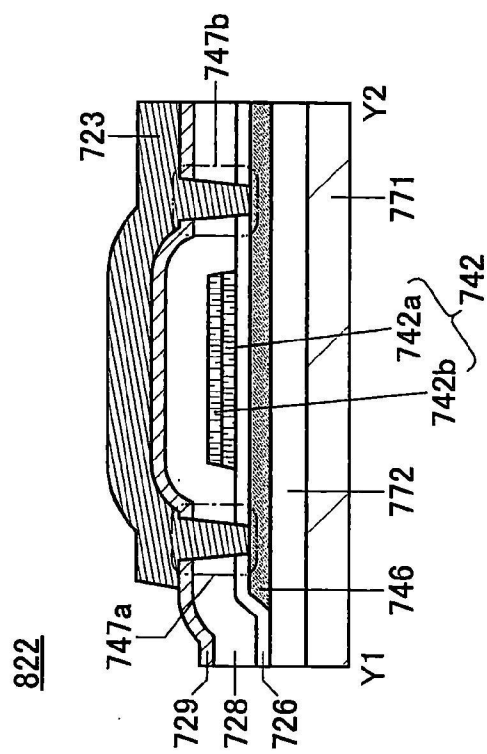


圖 86A

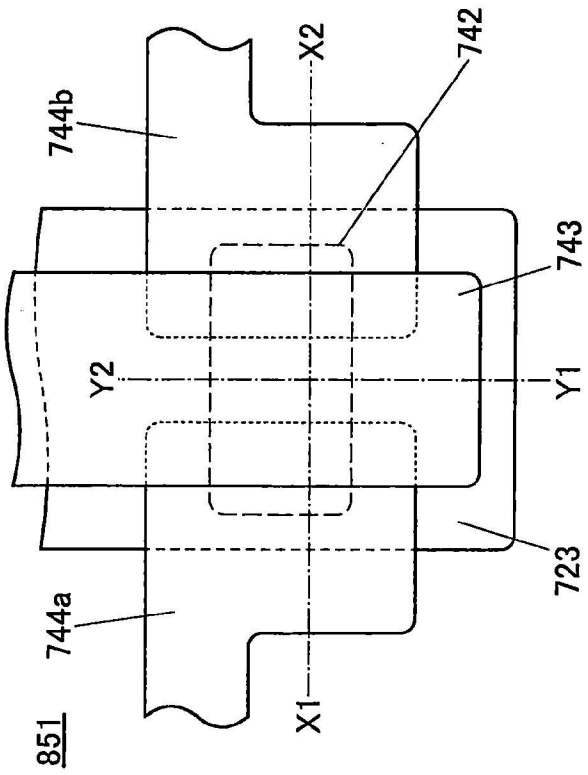


圖 86C

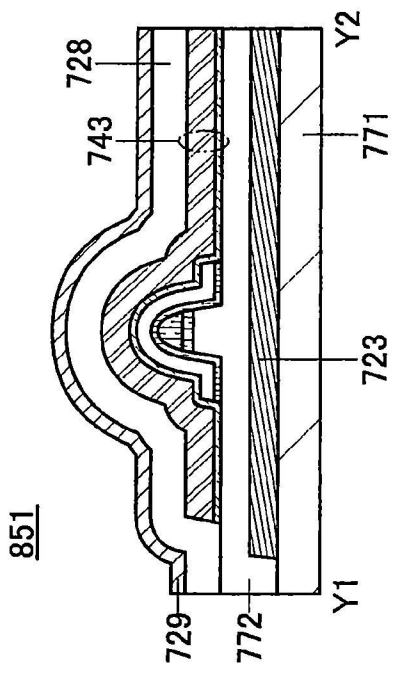


圖 86B

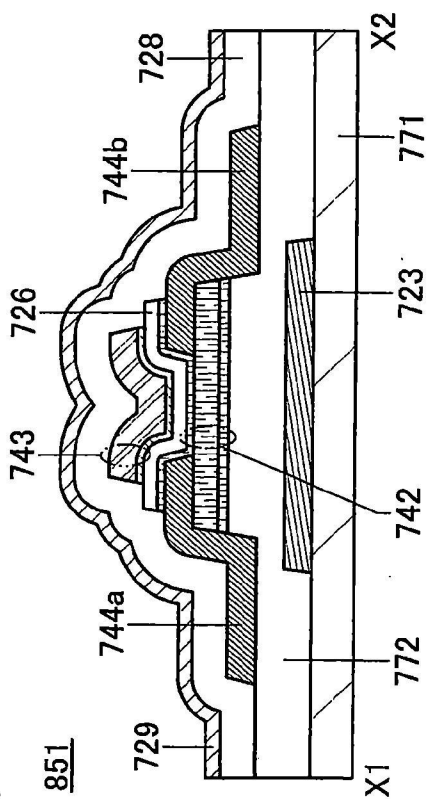


圖 87A

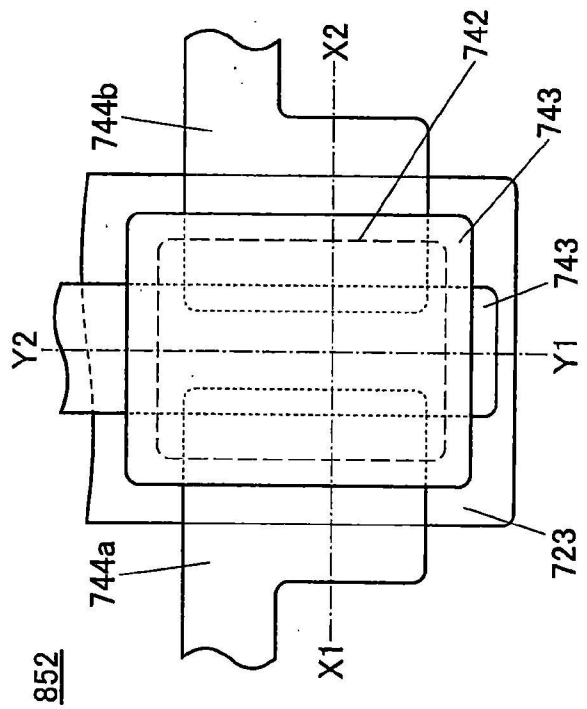


圖 87B

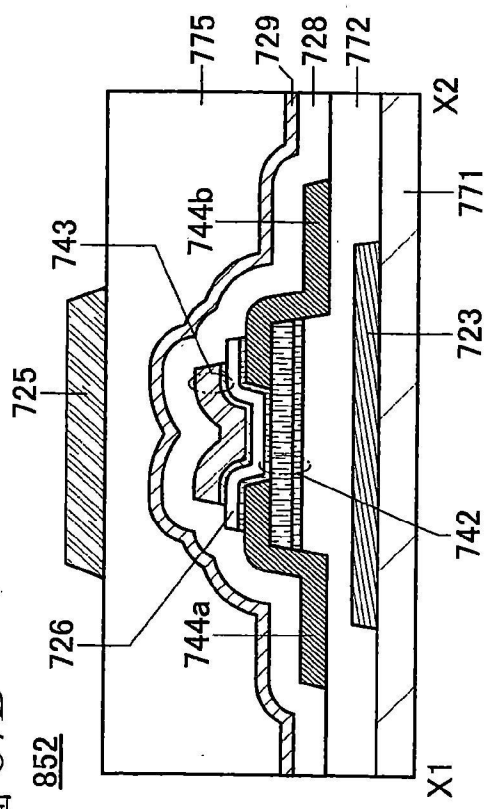


圖 87C

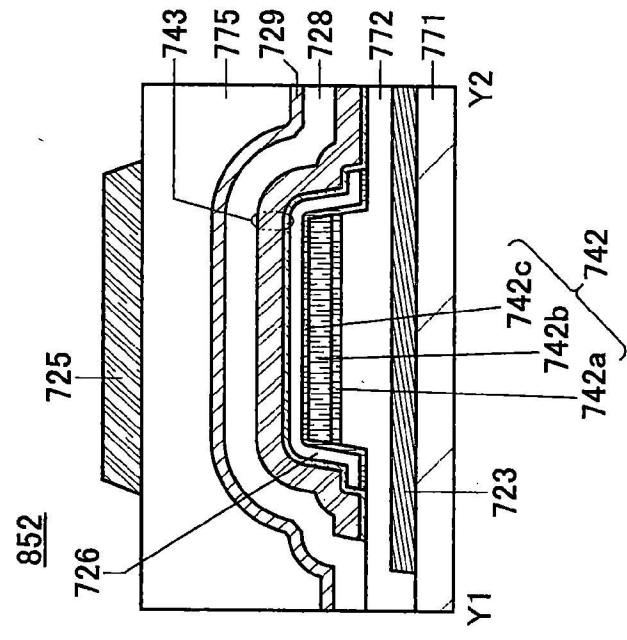


圖 88A

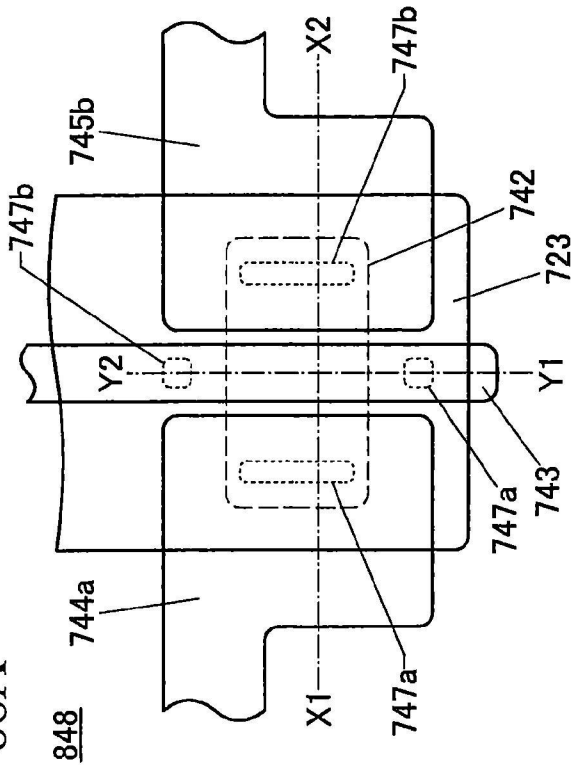


圖 88C

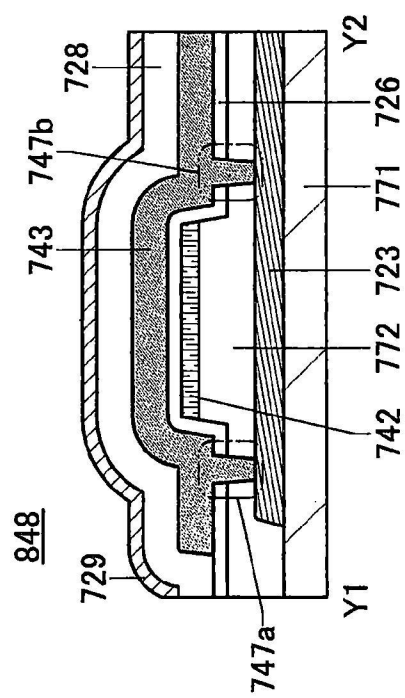


圖 88B

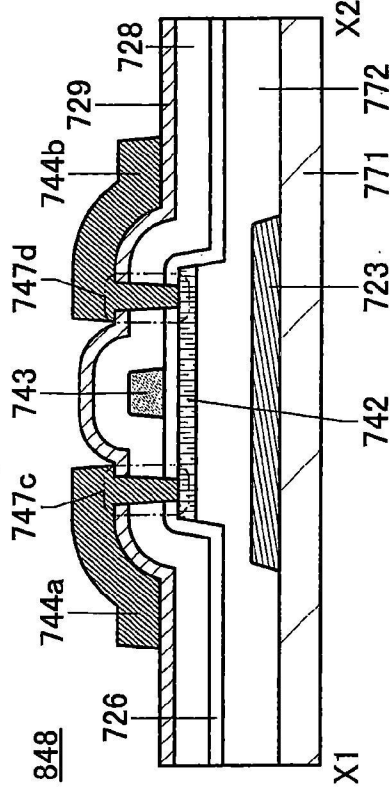


圖 89A

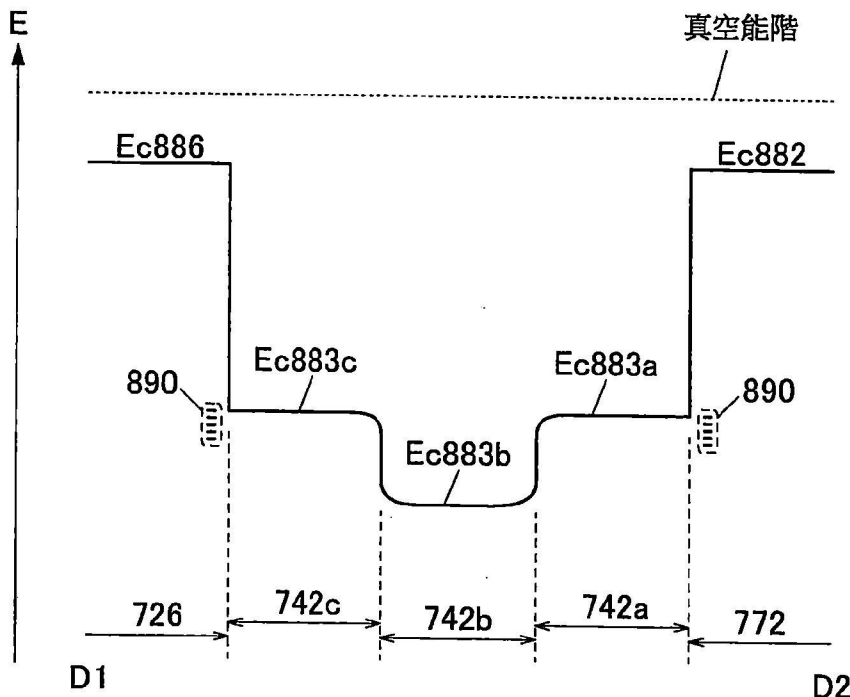


圖 89B

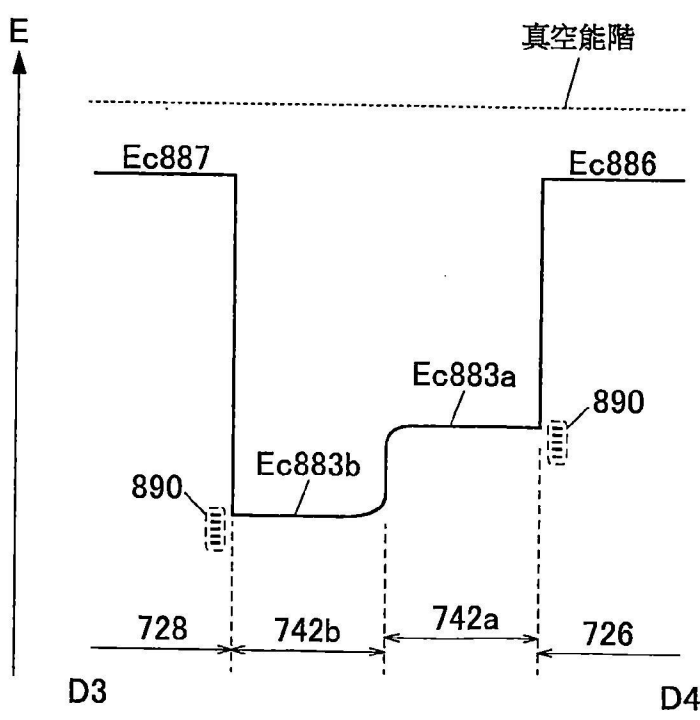


圖 90

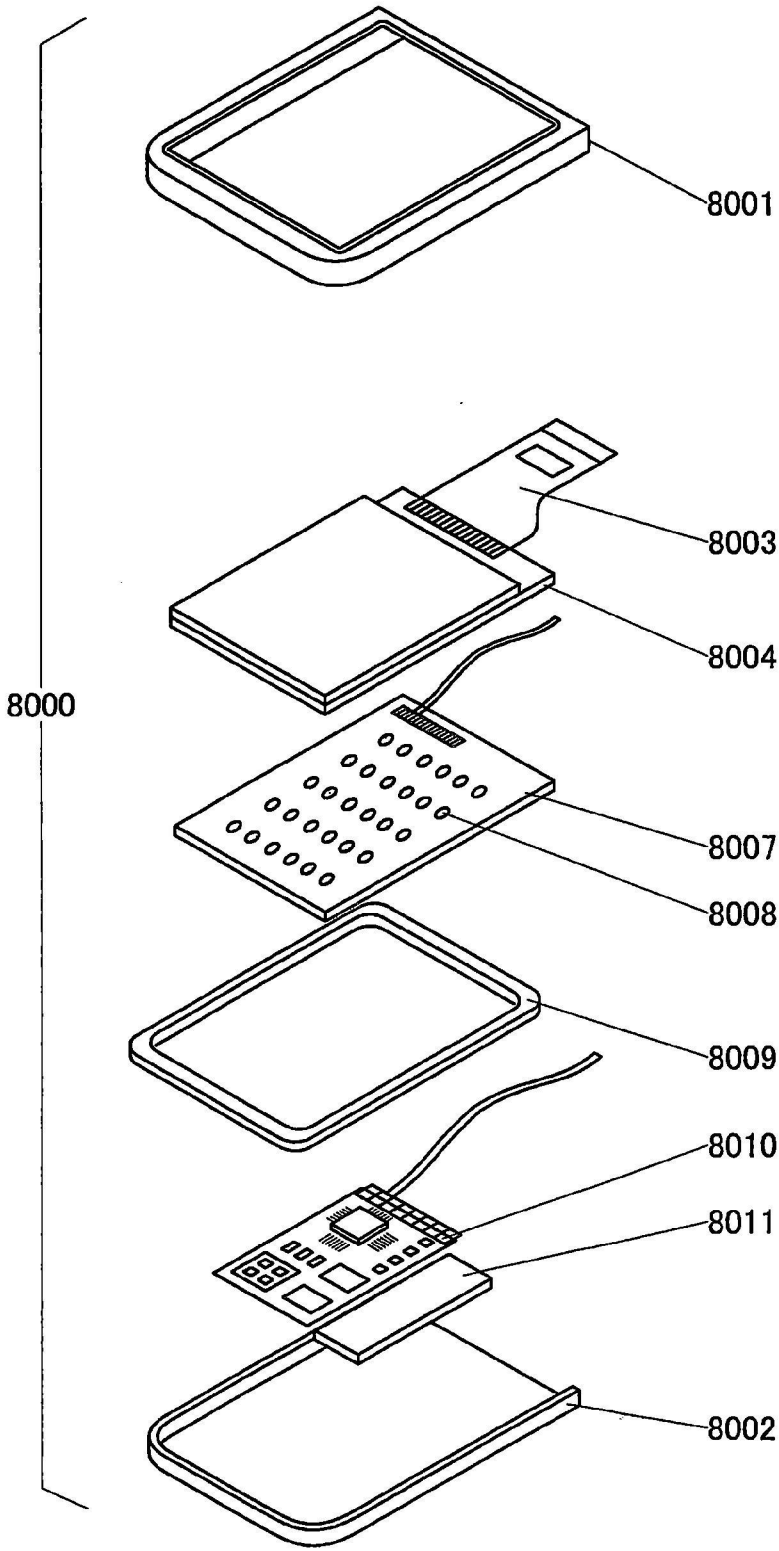


圖 91A

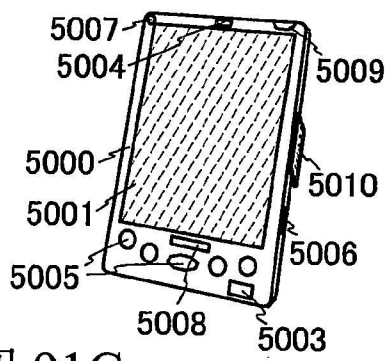


圖 91B

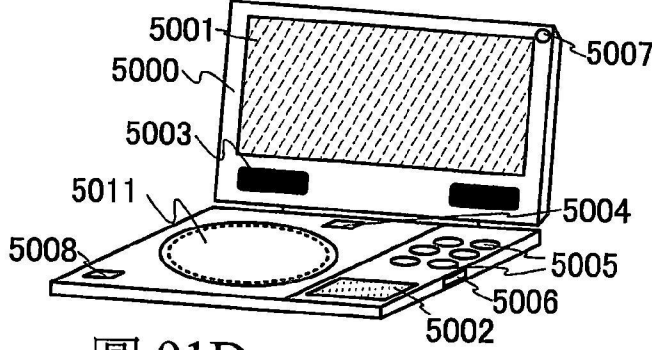


圖 91C

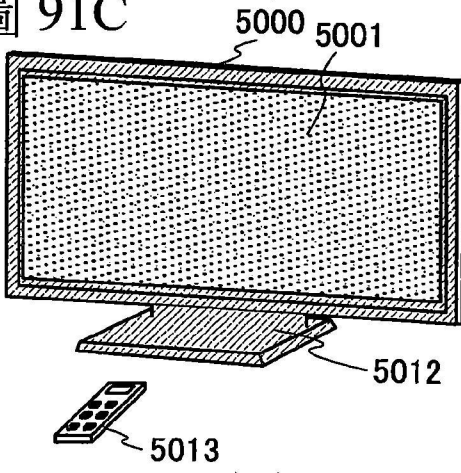


圖 91D

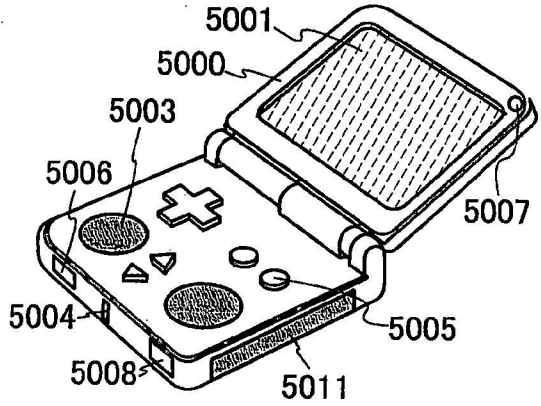


圖 91E

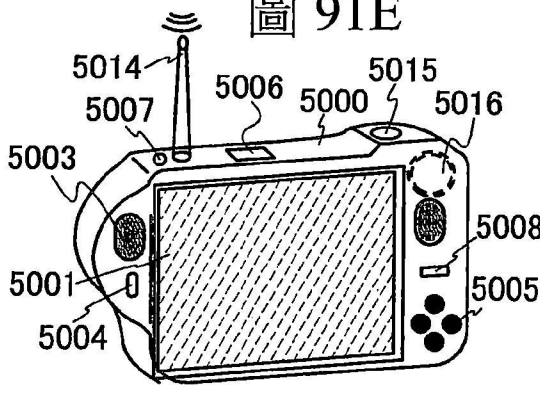


圖 91F

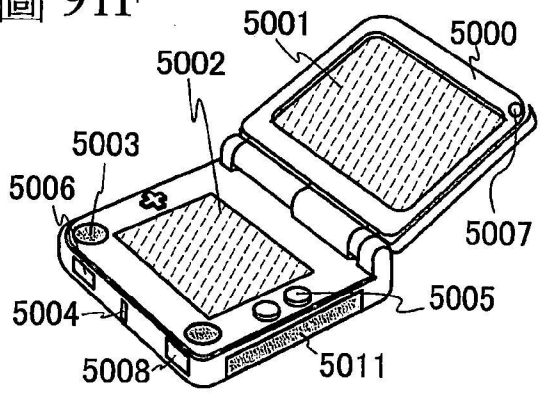


圖 91G

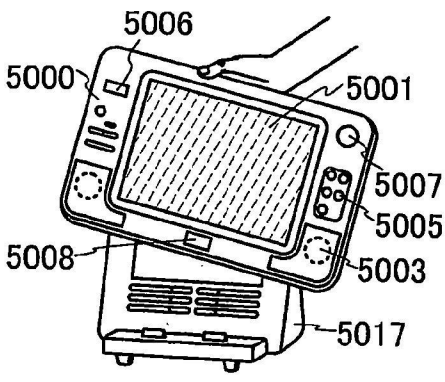


圖 91H

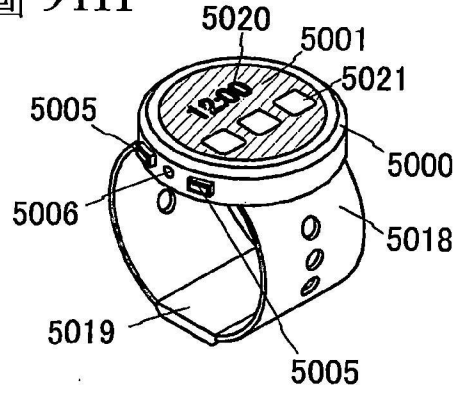


圖 92A

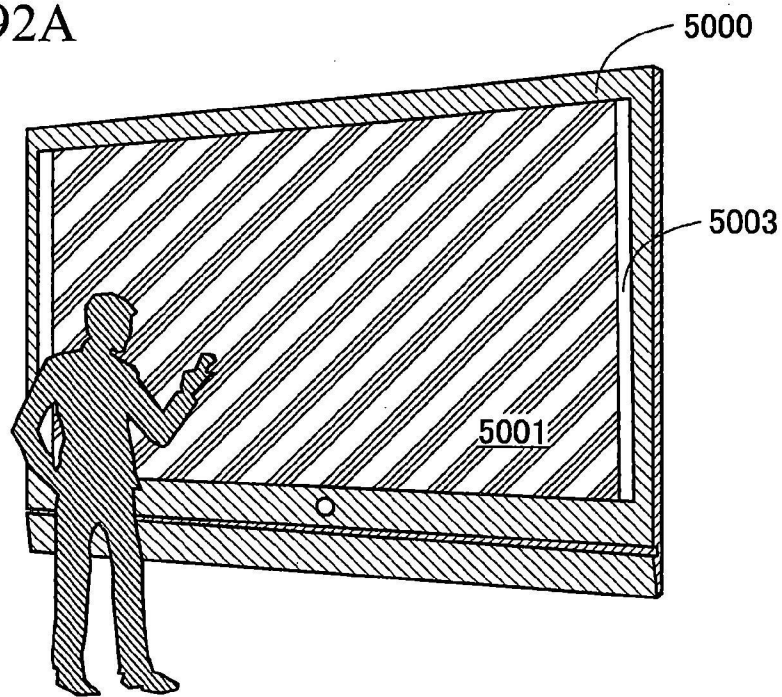


圖 92B

