

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6251338号
(P6251338)

(45) 発行日 平成29年12月20日 (2017.12.20)

(24) 登録日 平成29年12月1日 (2017.12.1)

| | | | | | |
|--------------------------|--------|--------|---------|--|--|
| (51) Int.Cl. | F I | | | | |
| HO 1 L 29/786 (2006.01) | HO 1 L | 29/78 | 6 1 8 C | | |
| HO 1 L 21/336 (2006.01) | HO 1 L | 29/78 | 6 1 8 B | | |
| HO 1 L 21/8242 (2006.01) | HO 1 L | 29/78 | 6 1 7 K | | |
| HO 1 L 27/108 (2006.01) | HO 1 L | 29/78 | 6 2 6 C | | |
| HO 1 L 27/10 (2006.01) | HO 1 L | 27/108 | 3 2 1 | | |
| 請求項の数 2 (全 32 頁) 最終頁に続く | | | | | |

(21) 出願番号 特願2016-156495 (P2016-156495)
 (22) 出願日 平成28年8月9日 (2016.8.9)
 (62) 分割の表示 特願2012-94372 (P2012-94372)
 の分割
 原出願日 平成24年4月18日 (2012.4.18)
 (65) 公開番号 特開2016-192580 (P2016-192580A)
 (43) 公開日 平成28年11月10日 (2016.11.10)
 審査請求日 平成28年8月19日 (2016.8.19)
 (31) 優先権主張番号 特願2011-96162 (P2011-96162)
 (32) 優先日 平成23年4月22日 (2011.4.22)
 (33) 優先権主張国 日本国 (JP)

(73) 特許権者 000153878
 株式会社半導体エネルギー研究所
 神奈川県厚木市長谷398番地
 (72) 発明者 笹川 慎也
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内
 (72) 発明者 石塚 章広
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内
 審査官 川原 光司

最終頁に続く

(54) 【発明の名称】 半導体装置の作製方法

(57) 【特許請求の範囲】

【請求項1】

凸部を有する絶縁層を形成し、
 前記凸部を有する絶縁層に、プラズマ処理を行って、前記凸部の上端部に曲面を形成し、
 前記絶縁層上に、酸化物半導体層を形成し、
 前記酸化物半導体層上に、前記凸部とは重ならない、ソース電極及びドレイン電極を形成し、
 前記ソース電極、前記酸化物半導体層、及び前記ドレイン電極上に、ゲート絶縁層を形成し、
 前記ゲート絶縁層を介して、前記酸化物半導体層と重なる領域を有するように、前記凸部を覆うゲート電極を形成することを特徴とする半導体装置の作製方法。

【請求項2】

凸部を有する絶縁層を形成し、
 前記凸部を有する絶縁層に、プラズマ処理を行って、前記凸部の上端部に曲面を形成し、
 前記絶縁層上に、Inと、Gaと、Znと、を有する酸化物半導体層を形成し、
 前記酸化物半導体層上に、前記凸部とは重ならない、ソース電極及びドレイン電極を形成し、
 前記ソース電極、前記酸化物半導体層、及び前記ドレイン電極上に、ゲート絶縁層を形

成し、

前記ゲート絶縁層を介して、前記酸化物半導体層と重なる領域を有するように、前記凸部を覆うゲート電極を形成することを特徴とする半導体装置の作製方法。

【発明の詳細な説明】

【技術分野】

【0001】

本明細書で開示する発明は、半導体素子を利用した半導体装置の作製方法に関する。

【背景技術】

【0002】

絶縁表面を有する基板上に形成された半導体薄膜を用いてトランジスタを構成する技術が注目されている。該トランジスタは、集積回路（IC）や画像表示装置（表示装置）のような電子デバイスに広く応用されている。また、トランジスタに適用可能な半導体薄膜として、酸化物半導体等のワイドギャップ半導体を用いる技術が注目されている。

10

【0003】

例えば、特許文献1では、In-Ga-Zn系酸化物で構成される酸化物半導体が、薄膜トランジスタのチャンネル形成領域に適用可能であることが確認されている。

【先行技術文献】

【特許文献】

【0004】

【特許文献1】特開2004-103957号公報

20

【発明の概要】

【発明が解決しようとする課題】

【0005】

ところで、トランジスタの動作の高速化、トランジスタの低消費電力化、高集積化、低価格化、などを達成するためには、トランジスタの微細化は必須である。

【0006】

トランジスタを微細化する場合には、製造工程において発生する不良が大きな問題となる。例えば、ソース電極およびドレイン電極と、チャンネル形成領域とは電氣的に接続されるが、微細化に伴う被覆性の低下などに起因して、断線や接続不良などが生じうる。

【0007】

30

また、トランジスタを微細化する場合には、短チャンネル効果の問題も生じる。短チャンネル効果とは、トランジスタの微細化（チャンネル長（L）の縮小）に伴って顕在化する電気特性の劣化である。短チャンネル効果は、ドレインの電界の効果がソースにまでおよぶことに起因するものである。短チャンネル効果の具体例としては、しきい値電圧の低下、S値の増大、漏れ電流の増大などがある。特に、酸化物半導体等のワイドギャップ半導体を用いたトランジスタは、シリコンを用いたトランジスタのようにドーピングによるしきい値制御を適用することが困難であるため、短チャンネル効果が現れやすい傾向にある。

【0008】

そこで、開示する発明の一態様は、不良を抑制しつつ微細化を達成した半導体装置の作製方法を提供することを目的の一とする。

40

【課題を解決するための手段】

【0009】

開示する発明では、絶縁層に凸状部またはトレンチ（溝部）を形成し、該凸状部またはトレンチに接して半導体層のチャンネル形成領域を設けることで、チャンネル形成領域を基板垂直方向に延長させる。これによって、トランジスタの微細化を達成しつつ、実効的なチャンネル長を延長させることができる。また、半導体層成膜前に、半導体層が接する凸状部またはトレンチの上端コーナー部に、R加工処理を行うことで、薄膜の半導体層を被覆性良く成膜することが可能となる。より具体的には、以下の作製方法とすることができる。

【0010】

本発明の一態様は、絶縁層を形成し、絶縁層にエッチング処理を行い、曲率半径20nm

50

以上60nm以下の曲面を有する領域を形成し、少なくとも曲面を有する領域に接するよう、絶縁層上にワイドギャップ半導体層を形成し、ワイドギャップ半導体層に電氣的に接続するソース電極及びドレイン電極を形成し、ワイドギャップ半導体層上にゲート絶縁層を形成し、ゲート絶縁層上にゲート電極を形成する半導体装置の作製方法である。

【0011】

また、本発明の他の一態様は、絶縁層を形成し、絶縁層にエッチング処理を行い、第1の膜厚を有する第1の領域と、第1の膜厚より小さい第2の膜厚を有する第2の領域と、を形成し、第1の領域の上端コーナー部を、希ガスプラズマ処理によって曲率半径20nm以上60nm以下の曲面状に加工し、少なくとも曲面状に加工した先端コーナー部を含む第1の領域と、第2の領域の少なくとも一部に接して、ワイドギャップ半導体層を形成し、ワイドギャップ半導体層に電氣的に接続するソース電極及びドレイン電極を形成し、ワイドギャップ半導体層上にゲート絶縁層を形成し、ゲート絶縁層上にゲート電極を形成する半導体装置の作製方法である。

10

【0012】

また、本発明の他の一態様は、絶縁層を形成し、絶縁層上に金属層を形成し、金属層上にレジストマスクを形成し、レジストマスクを用いて、金属層をパターン形成した後、レジストマスクを除去し、パターン形成された金属層を用いて、絶縁層をエッチングして、第1の膜厚を有する第1の領域と、第1の膜厚より小さい第2の膜厚を有する第2の領域と、を形成し、パターン形成された金属層を、フッ素を含むガス及び塩素を含むガスのいずれかまたは双方を用いてドライエッチングして、パターン形成された金属層を除去するとともに、第1の領域の上端コーナー部を曲率半径20nm以上60nm以下の曲面状に加工し、少なくとも曲面状に加工した先端コーナー部を含む第1の領域と、第2の領域の少なくとも一部に接して、ワイドギャップ半導体層を形成し、ワイドギャップ半導体層に電氣的に接続するソース電極及びドレイン電極を形成し、ワイドギャップ半導体層上にゲート絶縁層を形成し、ゲート絶縁層上にゲート電極を形成する半導体装置の作製方法である。

20

【0013】

また、本発明の他の一態様は、絶縁層を形成し、絶縁層上にレジストマスクを形成し、レジストマスクを加熱処理して表面に曲面を有するレジストマスクとし、曲面を有するレジストマスクを用いて、絶縁層をエッチングして、第1の膜厚を有し、先端コーナー部を曲率半径20nm以上60nm以下の曲面状に加工された第1の領域と、第1の膜厚より小さい第2の膜厚を有する第2の領域と、を形成し、少なくとも曲面状に加工された先端コーナー部を含む第1の領域と、第2の領域の少なくとも一部に接して、ワイドギャップ半導体層を形成し、ワイドギャップ半導体層に電氣的に接続するソース電極及びドレイン電極を形成し、ワイドギャップ半導体層上にゲート絶縁層を形成し、ゲート絶縁層上にゲート電極を形成する半導体装置の作製方法である。

30

【0014】

上記半導体装置の作製方法のいずれか一において、第2の領域を、互いに離間する第1の領域の一と、第1の領域の他の一と、の間に配置することで、絶縁層にトレンチを形成し、ゲート電極を、トレンチと重畳する位置に形成してもよい。

40

【0015】

または、上記半導体装置の作製方法のいずれか一において、第1の領域を、互いに離間する第2の領域の一と、第2の領域の他の一と、の間に配置することで、絶縁層に凸状部を形成し、ゲート電極を、凸状部と重畳する位置に形成してもよい。

【0016】

また、上記半導体装置の作製方法のいずれか一において、ワイドギャップ半導体層として、酸化物半導体層を形成してもよい。

【0017】

なお、本明細書等において「上」や「下」の用語は、構成要素の位置関係が「直上」または「直下」であることを限定するものではない。例えば、「ゲート絶縁層上のゲート電極

50

」の表現であれば、ゲート絶縁層とゲート電極との間に他の構成要素を含むものを除外しない。

【0018】

また、本明細書等において「電極」や「配線」という用語は、これらの構成要素を機能的に限定するものではない。例えば、「電極」は「配線」の一部として用いられることがあり、その逆もまた同様である。さらに、「電極」や「配線」という用語は、複数の「電極」や「配線」が一体となって形成されている場合なども含む。

【0019】

また、「ソース」や「ドレイン」の機能は、異なる極性のトランジスタを採用する場合や、回路動作において電流の方向が変化する場合などには入れ替わることがある。このため、本明細書においては、「ソース」や「ドレイン」という用語は、入れ替えて用いることができるものとする。

10

【0020】

なお、本明細書等において、「電氣的に接続」には、「何らかの電氣的作用を有するもの」を介して接続されている場合が含まれる。ここで、「何らかの電氣的作用を有するもの」は、接続対象間での電氣信号の授受を可能とするものであれば、特に制限を受けない。

【0021】

例えば、「何らかの電氣的作用を有するもの」には、電極や配線をはじめ、トランジスタなどのスイッチング素子、抵抗素子、インダクタ、キャパシタ、その他の各種機能を有する素子などが含まれる。

20

【0022】

なお、本明細書等において、平均面粗さ(Ra)とは、JIS B 0601:2001 (ISO 4287:1997)で定義されている算術平均粗さ(arithmetic mean surface roughness)(Ra)を、曲面に対して適用できるように三次元に拡張したものであり、基準面から指定面までの偏差の絶対値を平均した値で表現される。

【0023】

ここで、算術平均粗さ(Ra)は、粗さ曲線を評価長さ L_0 に対応した分抜き取り、この抜き取り部の平均線の方向をx軸、縦倍率の方向(x軸に垂直な方向)をy軸とし、粗さ曲線を $y = f(x)$ で表すとき、次の式(1)で与えられる。

30

【0024】

【数1】

$$Ra = \frac{1}{L_0} \int_0^{L_0} |f(x)| dx \quad (1)$$

【0025】

そして、平均面粗さ(Ra)は、測定面から長波長成分を遮断して得た曲面を $Z_0 = f(x, y)$ で表すとき、基準面から指定面までの偏差の絶対値を平均した値で表現され、次の式(2)で与えられる。

40

【0026】

【数2】

$$Ra = \frac{1}{S_0} \int_{y_1}^{y_2} \int_{x_1}^{x_2} |f(x, y) - Z_0| dx dy \quad (2)$$

【0027】

ここで、指定面とは、粗さ計測の対象となる面であり、座標 $(x_1, y_1, f(x_1, y_1))$

50

$(x_1, y_2, f(x_1, y_2))$ 、 $(x_2, y_1, f(x_2, y_1))$ 、 $(x_2, y_2, f(x_2, y_2))$ の4点で表される四角形の領域とし、指定面が理想的にフラットであるとしたときの面積を S_0 とする。

【0028】

また、基準面とは、指定面の平均の高さにおける、 $x-y$ 平面と平行な面のことである。つまり、指定面の高さの平均値を Z_0 とするとき、基準面の高さも Z_0 で表される。

【発明の効果】

【0029】

開示する発明の一態様によって、不良を抑制しつつ、微細化を達成した半導体装置の作製方法を提供することができる。

10

【0030】

また、開示する発明の一態様によって、トランジスタサイズを十分に小さくすることが可能になる。トランジスタサイズを十分に小さくすることで、半導体装置の占める面積が小さくなり、半導体装置の取り数が増大する。これにより、半導体装置あたりの製造コストは抑制される。また、半導体装置が小型化されるため、同程度の大きさでさらに機能が高められた半導体装置を実現することができる。または、半導体装置の高集積化が可能となる。また、トランジスタの微細化による、動作の高速化、低消費電力化などの効果を得ることもできる。

【図面の簡単な説明】

【0031】

20

【図1】半導体装置の作製工程に係る断面図。

【図2】半導体装置の作製工程に係る断面図。

【図3】半導体装置の作製工程に係る断面図。

【図4】本発明の一態様の半導体装置を示す断面図、平面図及び回路図。

【図5】本発明の一態様の半導体装置を示す回路図及び斜視図。

【図6】本発明の一態様の半導体装置を示す断面図及び平面図。

【図7】本発明の一態様の半導体装置を示す回路図。

【図8】本発明の一態様の半導体装置を示すブロック図。

【図9】本発明の一態様の半導体装置を示すブロック図。

【図10】本発明の一態様の半導体装置を示すブロック図。

30

【図11】実施例1で作製した試料のSTEM (Scanning Transmission Electron Microscopy) 像。

【図12】実施例2で作製した試料のSTEM像。

【発明を実施するための形態】

【0032】

本発明の実施の形態の一例について、図面を用いて以下に説明する。但し、本発明は以下の説明に限定されず、本発明の趣旨およびその範囲から逸脱することなくその形態および詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本発明は以下に示す実施の形態の記載内容に限定して解釈されるものではない。なお、以下に説明する実施の形態および実施例において、同一部分又は同様な機能を有する部分には同一の符号を異なる図面間で共通して用い、その繰り返しの説明は省略する。

40

【0033】

なお、図面等において示す各構成の、位置、大きさ、範囲などは、理解の簡単のため、実際の位置、大きさ、範囲などを表していない場合がある。このため、開示する発明は、必ずしも、図面等を開示された位置、大きさ、範囲などに限定されない。

【0034】

なお、本明細書等における「第1」、「第2」、「第3」などの序数詞は、構成要素の混同を避けるために付すものであり、数的に限定するものではないことを付記する。

【0035】

(実施の形態1)

50

本実施の形態では、開示する発明の一態様に係る半導体装置及びその作製工程の例について、図1を参照して説明する。

【0036】

なお、本実施の形態では、トランジスタに適用されるワイドギャップ半導体として、酸化物半導体を用いる例を示す。酸化物半導体としては、少なくともシリコンの1.1 eVよりも大きい禁制帯幅を持つ酸化物半導体を適用することができ、例えば、禁制帯幅が3.15 eVであるIn-Ga-Zn-O系酸化物半導体、禁制帯幅が約3.0 eVである酸化インジウム、禁制帯幅が約3.0 eVであるインジウム錫酸化物、禁制帯幅が約3.3 eVであるインジウムガリウム酸化物、禁制帯幅が約2.7 eVであるインジウム亜鉛酸化物、禁制帯幅が約3.3 eVである酸化錫、禁制帯幅が約3.37 eVである酸化亜鉛などを好ましく用いることができる。ただし、本発明の半導体装置に適用可能なワイドギャップ半導体は、上述の酸化物半導体に限られず、窒化ガリウム、酸化窒化ガリウム、酸化窒化ガリウム亜鉛等を用いてもよい。このような材料を用いることにより、トランジスタのオフ電流を極めて低く保つことが可能である。

10

【0037】

図1(E)に示すトランジスタ162は、トレンチ131が設けられた絶縁層130と、絶縁層130の上面の少なくとも一部、並びにトレンチ131の底面及び内壁面に接して設けられた酸化物半導体層144と、酸化物半導体層144と電氣的に接続するソース電極142a及びドレイン電極142bと、酸化物半導体層144上に設けられたゲート絶縁層146と、トレンチ131内を充填するようにゲート絶縁層146上に設けられたゲート電極148と、を有する。

20

【0038】

図1(E)に示すトランジスタ162は、絶縁層130に形成されたトレンチ131の底面及び内壁面に接するように酸化物半導体層144が設けられている。酸化物半導体層144のチャンネル長方向(キャリアが流れる方向)の断面形状は、トレンチ131の断面形状に沿って湾曲した形状となっており、トレンチ131の深さが深くなればなるほどトランジスタ162の実効的なチャンネル長を長くすることができる。

【0039】

従って、ソース電極142aとドレイン電極142bとの距離を短くしてもトレンチ131の深さを適宜設定することで実効的なチャンネル長を維持することができるため、トランジスタ面積の縮小を達成しつつ短チャンネル効果の発現を抑制することが可能である。なお、トレンチ131の上面形状は、トランジスタ162のチャンネル幅方向(キャリアが流れる方向と直交する方向)に延在するストライプ形状であるのが好ましい。

30

【0040】

また、絶縁層130に設けられたトレンチ131の上端コーナー部には、R加工処理によって曲面を有する領域が形成されている。上端コーナー部が鋭い角部であると、酸化物半導体層の被覆性低下による形状不良などを招き、安定した電氣的特性が得られにくくなる恐れがある。しかしながら、本実施の形態において酸化物半導体層144は、少なくとも曲面を有する領域に接して設けられるため、トレンチ131の上端コーナー部における酸化物半導体層144の被覆性を向上させ、断線や接続不良を防止することができる。

40

【0041】

トランジスタ162に含まれる酸化物半導体層144は、水素などの不純物が十分に除去されることにより、または、十分な酸素が供給されることにより、高純度化されたものであることが望ましい。具体的には、例えば、酸化物半導体層144の水素濃度は $5 \times 10^{19} \text{ atoms/cm}^3$ 以下、望ましくは $5 \times 10^{18} \text{ atoms/cm}^3$ 以下、より望ましくは $5 \times 10^{17} \text{ atoms/cm}^3$ 以下とする。なお、上述の酸化物半導体層144中の水素濃度は、二次イオン質量分析法(SIMS: Secondary Ion Mass Spectrometry)で測定されるものである。このように、水素濃度が十分に低減されて高純度化され、十分な酸素の供給により酸素欠乏に起因するエネルギーギャップ中の欠陥準位が低減された酸化物半導体層144では、キャリア濃度が 1×10

50

$10^{12} / \text{cm}^3$ 未満、望ましくは、 $1 \times 10^{11} / \text{cm}^3$ 未満、より望ましくは $1.45 \times 10^{10} / \text{cm}^3$ 未満となる。例えば、室温 (25) でのオフ電流 (ここでは、単位チャネル幅 (1 μm) あたりの値) は 100 zA (1 zA (zeptoアンペア) は $1 \times 10^{-21} \text{ A}$) 以下、好ましくは 10 zA 以下、より好ましくは 1 zA 以下、さらに好ましくは 100 yA (1 yA (yoctoアンペア) は $1 \times 10^{-24} \text{ A}$) 以下レベルにまで低くすることができる。このように、*i* 型化 (真性化) または実質的に *i* 型化された酸化物半導体を用いることで、極めて優れたオフ電流特性のトランジスタ 162 を得ることができる。

【0042】

以下に、トランジスタ 162 の作製工程の一例を示す。

【0043】

まず、半導体材料を含む基板 (図示しない) 上に、絶縁層 130 を形成する。

【0044】

半導体材料を含む基板としては、シリコンや炭化シリコンなどの単結晶半導体基板、多結晶半導体基板、シリコンゲルマニウムなどの化合物半導体基板、SOI基板などを適用することができる。当該基板上に半導体素子が形成されていてもよい。なお、一般に「SOI基板」は、絶縁表面上にシリコン半導体層が設けられた構成の基板をいうが、本明細書等においては、絶縁表面上にシリコン以外の材料からなる半導体層が設けられた構成の基板も含むものとする。つまり、「SOI基板」が有する半導体層は、シリコン半導体層に限定されない。また、SOI基板には、ガラス基板などの絶縁基板上に絶縁層を介して半導体層が設けられた構成のものが含まれるものとする。

【0045】

絶縁層 130 としては、酸化シリコン膜、酸化ガリウム膜、酸化アルミニウム膜、酸化窒化シリコン膜、または酸化窒化アルミニウム膜等を形成することができる。

【0046】

次いで、絶縁層 130 にトレンチ 131 (溝とも呼ぶ) を形成する (図 1 (A) 参照)。トレンチ 131 は、例えば、絶縁層 130 上にフォトリソグラフィ工程によりレジストマスクを形成し、レジストマスクを用いた絶縁層 130 のエッチングによって形成することができる。

【0047】

絶縁層 130 のエッチング工程としては、例えば、反応性イオンエッチング (RIE: Reactive Ion Etching) 法、ICP (Inductively Coupled Plasma) エッチング法、ECR (Electron Cyclotron Resonance) エッチング法、平行平板型 (容量結合型) エッチング法、マグネトロンプラズマエッチング法、2 周波プラズマエッチング法またはヘリコン波プラズマエッチング法等のドライエッチング法を用いることができる。また、エッチングガスとしては、三フッ化メタン (CHF_3)、四フッ化炭素 (CF_4)、パーフルオロシクロブタン (C_4F_8) などのフロロカーボン系ガス、メタン (CH_4)、水素、ヘリウム、又はアルゴンなどの希ガスを、適宜混合して用いることができる。

【0048】

また、トレンチ 131 は一回のエッチング工程、又は複数回のエッチング工程によって形成する。複数回のエッチング工程を行う場合、ドライエッチング工程とウェットエッチング工程を組み合わせてもよい。

【0049】

当該トレンチ 131 の形成によって、絶縁層 130 には、第 1 の膜厚を有する第 1 の領域 130 a と、第 1 の膜厚よりも小さい膜厚を有する第 2 の領域 130 b と、が形成されることになる。第 2 の領域 130 b が、第 1 の領域 130 a の一と、他の第 1 の領域 130 a の一と、の間に配置されることで、溝部 (トレンチ 131) が形成されている、と言い換えることもできる。

【0050】

次いで、トレンチ 131 を有する絶縁層 130 に希ガスプラズマ処理を行う。当該希ガス

10

20

30

40

50

プラズマ処理によって、第1の領域130aの上面と、第1の領域130aと第2の領域130bの境界面と、からなるコーナー部（以下、第1の領域130aの上端コーナー部とも記載する）が丸みを帯び（R加工処理されて）、曲面を有する領域132が形成される（図1（B）参照）。プラズマ処理には、アルゴン、クリプトン、キセノンなど質量の大きい希ガス元素を用いることが好ましい。希ガスプラズマ処理によって、第1の領域130aの上端コーナー部が、好ましくは曲率半径20nm以上60nm以下の曲面状に加工される。

【0051】

なお、当該希ガスプラズマ処理によって、絶縁層130表面に付着した酸素、水分、有機物などの不純物をスパッタリングの効果で除去することも可能である。また、絶縁層130表面を平坦化することも可能である。例えば、絶縁層130（曲面を有する領域132を含む）の表面を平坦化して表面粗さを低減し、絶縁層130の平均面粗さを、好ましくは0.1nm以上0.5nm未満とすることができる。

10

【0052】

次いで、絶縁層130に設けられたトレンチ131の底面及び内壁面に接するように、酸化半導体層144を形成する（図1（C）参照）。酸化半導体層144は、曲面を有する領域132を含む第1の領域130aと、第2の領域130bの少なくとも一部に接して、設けられることとなる。絶縁層130において、第1の領域130aの上端コーナー部に曲面を有する領域132を含むことで、酸化半導体層144の被覆性を向上させ、断線や接続不良を防止することができる。

20

【0053】

酸化半導体層144の膜厚は、1nm以上100nm以下とし、スパッタリング法、MBE（Molecular Beam Epitaxy）法、パルスレーザ堆積法、ALD（Atomic Layer Deposition）法等を適宜用いることができる。また、酸化半導体層144は、スパッタリングターゲット表面に対し、概略垂直に複数の基板表面がセットされた状態で成膜を行うスパッタ装置、所謂CPスパッタ装置（Columnar Plasma Sputtering system）を用いて成膜してもよい。

【0054】

酸化半導体層144の材料としては、少なくともシリコンよりも大きい禁制帯幅を持つ酸化半導体を用いる。シリコンよりも大きい禁制帯幅を持つ酸化半導体としては、例えば、四元系金属の酸化物であるIn-Sn-Ga-Zn-O系酸化半導体や、三元系金属の酸化物であるIn-Ga-Zn-O系酸化半導体、In-Sn-Zn-O系酸化半導体、In-Al-Zn-O系酸化半導体、Sn-Ga-Zn-O系酸化半導体、Al-Ga-Zn-O系酸化半導体、Sn-Al-Zn-O系酸化半導体、Hf-In-Zn-O系酸化半導体や、二元系金属の酸化物であるIn-Zn-O系酸化半導体、Sn-Zn-O系酸化半導体、Al-Zn-O系酸化半導体、Zn-Mg-O系酸化半導体、Sn-Mg-O系酸化半導体、In-Mg-O系酸化半導体や、In-Ga-O系酸化半導体、一元系金属の酸化物であるIn-O系酸化半導体、Sn-O系酸化半導体、Zn-O系酸化半導体などを用いることができる。本実施の形態では、In-Ga-Zn-O系酸化半導体を用いる。

30

40

【0055】

なお、例えば、In-Ga-Zn-O系酸化半導体とは、インジウム（In）、ガリウム（Ga）、亜鉛（Zn）を有する酸化半導体、という意味であり、その組成比は問わない。

【0056】

また、酸化半導体層144は、化学式 $InMO_3(ZnO)_m$ （ $m > 0$ ）で表記される薄膜を用いることができる。ここで、Mは、Zn、Ga、Al、Mn及びCoから選ばれた一または複数の金属元素を示す。例えばMとして、Ga、Ga及びAl、Ga及びMn、またはGa及びCoなどがある。

50

【0057】

また、酸化物半導体としてIn-Sn-Zn-O系酸化物半導体の材料を用いる場合、用いるターゲット中の金属元素の原子数比は、 $In : Sn : Zn = 1 : 2 : 2$ 、 $In : Sn : Zn = 2 : 1 : 3$ 、 $In : Sn : Zn = 1 : 1 : 1$ などとすればよい。

【0058】

また、酸化物半導体としてIn-Zn-O系の材料を用いる場合、用いるターゲット中の金属元素の原子数比は、 $In : Zn = 50 : 1 \sim 1 : 2$ (モル数比に換算すると $In_2O_3 : ZnO = 25 : 1 \sim 1 : 4$)、好ましくは $In : Zn = 20 : 1 \sim 1 : 1$ (モル数比に換算すると $In_2O_3 : ZnO = 10 : 1 \sim 1 : 2$)、さらに好ましくは $In : Zn = 15 : 1 \sim 1.5 : 1$ (モル数比に換算すると $In_2O_3 : ZnO = 15 : 2 \sim 3 : 4$)とする。 $In-Zn-O$ 系酸化物半導体の形成に用いるターゲットは、原子数比が $In : Zn : O = X : Y : Z$ のとき、 $Z > 1.5X + Y$ とする。

10

【0059】

成膜の雰囲気は、希ガス(代表的にはアルゴン)雰囲気下、酸素雰囲気下、または、希ガスと酸素の混合雰囲気下などとすればよい。また、酸化物半導体層144への水素、水、水酸基、水素化物などの混入を防ぐために、水素、水、水酸基、水素化物などの不純物が十分に除去された高純度ガスを用いた雰囲気とすることが望ましい。

【0060】

また、酸化物半導体層144として、結晶化した部分を有する酸化物半導体層であるCAAC-OS(C Axis Aligned Crystalline Oxide Semiconductor)膜を用いてもよい。

20

【0061】

CAAC-OS膜は、完全な単結晶ではなく、完全な非晶質でもない。CAAC-OS膜は、結晶部及び非晶質部を有する結晶-非晶質混相構造の酸化物半導体膜である。なお、当該結晶部は、一辺が100nm未満の立方体内に収まる大きさであることが多い。また、透過型電子顕微鏡(TEM: Transmission Electron Microscope)による観察像では、CAAC-OS膜に含まれる非晶質部と結晶部の境界は明確ではない。また、TEMによってCAAC-OS膜には粒界(グレインバウンダリーともいう)は確認できない。そのため、CAAC-OS膜は、粒界に起因する電子移動度の低下が抑制される。

30

【0062】

CAAC-OS膜に含まれる結晶部は、c軸がCAAC-OS膜の被形成面の法線ベクトル又は表面の法線ベクトルに平行な方向に揃い、かつab面に垂直な方向から見て三角形状または六角形状の原子配列を有し、c軸に垂直な方向から見て金属原子が層状または金属原子と酸素原子とが層状に配列している。なお、異なる結晶部間で、それぞれa軸及びb軸の向きが異なってもよい。本明細書において、単に垂直と記載する場合、 85° 以上 95° 以下の範囲も含まれることとする。また、単に平行と記載する場合、 -5° 以上 5° 以下の範囲も含まれることとする。

【0063】

なお、CAAC-OS膜において、結晶部の分布が一様でなくてもよい。例えば、CAAC-OS膜の形成過程において、酸化物半導体層の表面側から結晶成長させる場合、被形成面の近傍に対し表面の近傍では結晶部の占める割合が高くなることもある。また、CAAC-OS膜へ不純物を添加することにより、当該不純物添加領域において結晶部が非晶質化することもある。

40

【0064】

CAAC-OS膜に含まれる結晶部のc軸は、CAAC-OS膜の被形成面の法線ベクトル又は表面の法線ベクトルに平行な方向に揃うため、CAAC-OS膜の形状(被形成面の断面形状又は表面の断面形状)によっては互いに異なる方向を向くことがある。なお、結晶部のc軸の方向は、CAAC-OS膜が形成されたときの被形成面の法線ベクトル又は表面の法線ベクトルに平行な方向となる。結晶部は、成膜することにより、又は成膜後

50

に加熱処理などの結晶化処理を行うことにより形成される。

【0065】

C A A C - O S 膜を用いたトランジスタは、可視光や紫外光の照射による電気特性の変動を低減することが可能である。よって、当該トランジスタは信頼性が高い。

【0066】

酸化物半導体層144をC A A C - O S 膜とする際には、基板を加熱しながら酸化物半導体層144を形成すればよく、基板を加熱する温度としては、150 以上450 以下とすればよく、好ましくは基板温度が200 以上350 以下とする。なお、酸化物半導体層の形成時に、基板を加熱する温度を高くすることで、非晶質な部分に対して結晶部分の占める割合の多いC A A C - O S 膜とすることができる。

10

【0067】

なお、酸化物半導体層144を結晶性とする場合、該酸化物半導体層144に含まれる結晶は絶縁層130の表面に概略垂直な方向に成長するため、酸化物半導体層144を成膜する絶縁層130の表面の平坦性が良好であると、酸化物半導体層144の結晶性が向上する。本実施の形態においては、酸化物半導体層144の成膜前の希ガスプラズマ処理によって、酸化物半導体層144の被成膜面である絶縁層130表面の平坦性が向上している。よって、該希ガスプラズマ処理は、酸化物半導体層144の結晶性の向上のためにも有用な処理であるといえる。

【0068】

酸化物半導体層144成膜後、酸化物半導体層144に対して、熱処理（第1の熱処理）を行ってもよい。熱処理を行うことによって、酸化物半導体層144中に含まれる水素原子、又は水素原子を含む物質をさらに除去することができる。熱処理の温度は、不活性ガス雰囲気下、250 以上700 以下、好ましくは450 以上600 以下、または基板の歪み点未満とする。不活性ガス雰囲気としては、窒素、または希ガス（ヘリウム、ネオン、アルゴン等）を主成分とする雰囲気であって、水、水素などが含まれない雰囲気を適用するのが望ましい。例えば、熱処理装置に導入する窒素や、ヘリウム、ネオン、アルゴン等の希ガスの純度を、6N（99.9999%）以上、好ましくは7N（99.99999%）以上（すなわち、不純物濃度が1ppm以下、好ましくは0.1ppm以下）とする。

20

【0069】

熱処理を行うことによって不純物を低減することで、極めて優れた特性のトランジスタを実現することができる。

30

【0070】

なお、上述の熱処理には水素や水などを除去する効果があるため、当該熱処理を、脱水化処理や、脱水素化処理などと呼ぶこともできる。当該熱処理は、例えば、酸化物半導体層を島状に加工した後などのタイミングにおいて行うことも可能である。また、このような脱水化処理、脱水素化処理は、一回に限らず複数回行ってよい。

【0071】

次いで、酸化物半導体層144上に、導電層を形成し、該導電層を加工して酸化物半導体層144と電氣的に接続するソース電極142a及びドレイン電極142bを形成する。

40

【0072】

ソース電極142a及びドレイン電極142bは、モリブデン、チタン、タンタル、タングステン、アルミニウム、銅、クロム、ネオジウム、スカンジウム等の金属材料またはこれらを主成分とする合金材料を用いて形成することができる。

【0073】

次いで、酸化物半導体層144、ソース電極142a及びドレイン電極142b上にゲート絶縁層146を形成する（図1(D)参照）。

【0074】

ゲート絶縁層146の膜厚は、1nm以上100nm以下とし、スパッタリング法、MBE法、CVD法、パルスレーザー堆積法、ALD法等を適宜用いることができる。なお、酸

50

化物半導体層 144 と接することを考慮すれば、水素等の不純物が十分に除去されていることが好ましいため、ゲート絶縁層 146 は、水素等の不純物が含まれにくいスパッタリング法を用いて形成することが好ましい。

【0075】

ゲート絶縁層 146 の材料としては、酸化シリコン膜、酸化ガリウム膜、酸化アルミニウム膜、窒化シリコン膜、酸化窒化シリコン膜、酸化窒化アルミニウム膜、または窒化酸化シリコン膜等を用いて形成することができる。さらに、ゲート絶縁層 146 は、作製するトランジスタのサイズやゲート絶縁層 146 の段差被覆性を考慮して形成することが好ましい。

【0076】

本実施の形態では、ゲート絶縁層 146 として、 SiO_{2+x} （ただし、 $x > 0$ ）である酸化シリコン膜を用いる。この酸化シリコン膜をゲート絶縁層 146 として用いることで、In-Ga-Zn-O系酸化物半導体に酸素を供給することができ、特性を良好にすることができる。

【0077】

また、ゲート絶縁層 146 の材料として酸化ハフニウム、酸化イットリウム、酸化ランタン、ハフニウムシリケート ($HfSi_xO_y$ ($x > 0$, $y > 0$))、ハフニウムアルミネート ($HfAl_xO_y$ ($x > 0$, $y > 0$))、窒素が添加されたハフニウムシリケート、窒素が添加されたハフニウムアルミネートなどの high-k 材料を用いることでゲートリーク電流を低減できる。さらに、ゲート絶縁層 146 は、単層構造としてもよいし、積層構造としてもよい。

【0078】

ゲート絶縁層 146 の成膜後に、不活性ガス雰囲気下、または酸素雰囲気下で第 2 の熱処理を行ってもよい。熱処理の温度は、200 以上 450 以下とするのが好ましく、250 以上 350 以下とするのがより好ましい。第 2 の熱処理を行うことによって、トランジスタの電気的特性のばらつきを軽減することができる。また、酸化物半導体層 144 と接するゲート絶縁層 146 が酸素を含む場合、酸化物半導体層 144 に酸素を供給し、該酸化物半導体層 144 の酸素欠損を補填して、i 型（真性半導体）または i 型に限りなく近い酸化物半導体層を形成することもできる。

【0079】

なお、本実施の形態では、ゲート絶縁層 146 の形成後に第 2 の熱処理を行っているが、第 2 の熱処理のタイミングはこれに限定されない。例えば、ソース電極 142a 及びドレイン電極 142b を形成した後に第 2 の熱処理を行ってもよい。また、第 1 の熱処理に続けて第 2 の熱処理を行ってもよい。

【0080】

次いで、ゲート絶縁層 146 を介して酸化物半導体層 144 上にゲート電極 148 を形成する（図 1 (E) 参照）。本実施の形態において、ゲート電極 148 は、トレンチ 131 内を充填するように設けられる。

【0081】

ゲート電極 148 の材料は、モリブデン、チタン、タンタル、タンゲステン、アルミニウム、銅、クロム、ネオジウム、スカンジウム等の金属材料またはこれらを主成分とする合金材料を用いて形成することができる。また、ゲート電極 148 としてリン等の不純物元素をドーピングした多結晶シリコン膜に代表される半導体膜、ニッケルシリサイドなどのシリサイド膜を用いてもよい。ゲート電極 148 は、単層構造としてもよいし、積層構造としてもよい。

【0082】

ゲート絶縁層 146 と接するゲート電極 148 の一層として、窒素を含む金属酸化物、具体的には、窒素を含む In-Ga-Zn-O 膜、窒素を含む In-Sn-O 膜、窒素を含む In-Ga-O 膜、窒素を含む In-Zn-O 膜、窒素を含む Sn-O 膜、窒素を含む In-O 膜、金属窒化膜 (InN、SnN など) を用いるのが好ましい。これらの膜は 5

10

20

30

40

50

e V、好ましくは5.5 e V以上の仕事関数を有し、ゲート電極として用いた場合、トランジスタの電気特性のしきい値電圧をプラスにすることができ、所謂ノーマリーオフのスイッチング素子を実現できるためである。

【0083】

以上によって、本実施の形態のトランジスタ162を作製することができる。本実施の形態で示すトランジスタ162は、酸化物半導体層144がトレンチ131の底面及び内壁面に接して設けられていることで、ソース電極142a及びドレイン電極142b間の距離（トランジスタ162の見かけ上のチャンネル長）よりも、トランジスタ162の実効的なチャンネル長を長くすることが可能である。例えば、トランジスタ162において、トレンチ内壁面、底面に接して酸化物半導体層144を形成することで、チャンネル長はトレンチの底面の幅（第2の領域130bのチャンネル長方向の長さ）の2倍以上とすることができる。よって、トランジスタ面積の縮小を図りつつ、短チャンネル効果の発現を抑制することが可能である。

10

【0084】

また、本実施の形態で示すトランジスタ162は、絶縁層130において、膜厚の大きい第1の領域130aの上端コーナー部に曲面を有する領域132が設けられていることで、当該領域に接して設けられる酸化物半導体層144及び、酸化物半導体層144を介して当該領域と重畳するゲート絶縁層146の被覆性を向上させ、断線や接続不良を防止することができる。また、これによって、酸化物半導体層144及びゲート絶縁層146において、局所的に膜厚の小さい領域が形成されることを抑制することができるため、トランジスタ162の絶縁破壊耐圧を向上させるとともに、ゲートリークの発生を抑制することができる。

20

【0085】

また、トランジスタ162のチャンネル形成領域に、禁制帯幅が広いワイドギャップ半導体を用いることで、トランジスタ162のオフ電流を低減することができる。本実施の形態においては、チャンネル形成領域に高純度化され、真性化された酸化物半導体層144を用いることで、トランジスタ162のオフ電流をより低減することが可能となる。

【0086】

以上、本実施の形態に示す構成、方法などは、他の実施の形態に示す構成、方法などと適宜組み合わせる用いることができる。

30

【0087】

（実施の形態2）

本実施の形態では、上記実施の形態で示した構成と異なる構成を有する半導体装置及びその作製方法を、図2を用いて説明する。

【0088】

図2(F)に示すトランジスタ262は、凸状部231が設けられた絶縁層230と、絶縁層230上であって少なくとも凸状部231に接して設けられたワイドギャップ半導体層244と、ワイドギャップ半導体層244と電氣的に接続するソース電極142a及びドレイン電極142bと、ワイドギャップ半導体層244上に設けられたゲート絶縁層146と、ゲート絶縁層146上において凸状部231と重畳する位置に設けられたゲート電極148と、を有する。

40

【0089】

図2(F)に示すトランジスタ262は、絶縁層230に形成された凸状部231の表面に接するようにワイドギャップ半導体層244が設けられている。ワイドギャップ半導体層244のチャンネル長方向の断面形状は、凸状部231の断面形状に沿って湾曲した形状となっており、凸状部231の高さが高くなればなるほどトランジスタ262の実効的なチャンネル長を長くすることができる。すなわち、本実施の形態で示すトランジスタは、チャンネル形成領域を基板垂直方向に延長させることで、ソース電極とドレイン電極間の距離を微細に保ちつつ、実効的なチャンネル長を延長させて短チャンネル効果の発現を抑制することができる点において、先の実施の形態のトランジスタ162と共通している。

50

【0090】

トランジスタ262は、ソース電極142aとドレイン電極142bとの距離を短くしても凸状部231の高さを適宜設定することで実効的なチャンネル長を維持することができるため、トランジスタ面積の縮小を達成しつつ短チャンネル効果の発現を抑制することが可能である。なお、凸状部231の上面形状は、トランジスタ262のチャンネル幅方向に延在するストライプ形状であるのが好ましい。

【0091】

また、絶縁層230に設けられた凸状部231の上端コーナー部には、R加工処理によって曲面を有する領域が形成されている。上端コーナー部が鋭いな角部であると、ワイドギャップ半導体層の被覆性低下による形状不良などを招き、安定した電気的特性が得られにくくなる恐れがある。しかしながら、ワイドギャップ半導体層244は、少なくとも当該曲面を有する領域に接して設けられるため、凸状部231の上端コーナー部におけるワイドギャップ半導体層244の被覆性を向上させ、断線や接続不良を防止することができる。

10

【0092】

以下に、トランジスタ262の作製工程の一例を示す。

【0093】

まず、半導体材料を含む基板（図示しない）上に、絶縁層230を形成し、絶縁層230上に金属層250を形成する。

【0094】

絶縁層230としては、先の実施の形態の絶縁層130と同様の材料を用いることができる。金属層250の材料としては、フッ素を含むガス又は塩素を含むガスでエッチング可能な材料であれば特に限定はない。例えば、Al、Cr、Ta、Ti、Mo、Wから選ばれた元素、または上述した元素を成分とする合金か、上述した元素を組み合わせた合金膜等を用いることができる。また、マンガン、マグネシウム、ジルコニウム、ベリリウム、トリウムのうちいずれか一または複数から選択された材料を用いてもよい。

20

【0095】

次いで、金属層250上にフォトリソグラフィ工程によって、レジストマスク240を形成する（図2（A）参照）。なお、インクジェット法などの液滴吐出法やスクリーン印刷法などを用いて選択的にレジストマスク240を形成してもよい。レジストマスク240を選択的に形成することによって、レジスト材料の使用量の削減が図れるため、製造コストを削減することができる。

30

【0096】

次いで、レジストマスク240を用いて金属層250をエッチングすることで、パターン形成された金属層251を形成した後、レジストマスク240を除去する（図2（B）参照）。パターン形成された金属層251は、後の工程において絶縁層230に凸状部231を形成するためのハードマスクとして機能する。

【0097】

金属層250のエッチングは、ウェットエッチング、またはドライエッチングを適用することができる。但し、微細化のためにはドライエッチングを用いるのが好ましい。ドライエッチングを行う場合には、エッチングガスとしてフッ素を含むガス及び塩素を含むガスのいずれかまたは双方を用いることができる。フッ素を含むガス（フッ素系ガス）としては、例えば、四フッ化炭素、フッ化硫黄、フッ化窒素、トリフルオロメタン等を用いることができる。また、塩素を含むガス（塩素系ガス）としては、例えば塩素、塩化ホウ素、塩化ケイ素、四塩化炭素等を用いることができる。本実施の形態においては、例えば、金属層としてタングステン膜を成膜し、エッチングガスとして四フッ化炭素、塩素及び酸素の混合ガスを用いてドライエッチングを行い、パターン形成された金属層251を形成するものとする。

40

【0098】

次いで、パターン形成された金属層251をマスクとして用いて、絶縁層230をエッチ

50

ングして、凸状部231を形成する(図2(C)参照)。絶縁層230のエッチングには、ドライエッチングを好ましく用いることができ、エッチングガスには、フルオロカーボン系のガスを含む混合ガスを用いることができる。例えば、トリフルオロメタンと、メタンと、ヘリウムとの混合ガス、四フッ化炭素と、水素との混合ガス、トリフルオロメタンと、ヘリウムとの混合ガス、オクタフルオロシクロブタンと、アルゴンとの混合ガス、または、トリフルオロメタンと、四フッ化炭素と、アルゴンとの混合ガス等を用いることができる。当該凸状部231の形成によって、絶縁層230には、第1の膜厚を有する第1の領域230aと、第1の膜厚よりも小さい膜厚を有する第2の領域230bとが形成されることになる。第1の領域230aが、第2の領域230bの一と、他の第2の領域230bの一と、の間に配置されることで、凸状部231が形成されている、と言い換えることもできる。

10

【0099】

次いで、金属層251をドライエッチングにより除去する。ドライエッチングに用いるエッチングガスとしては、フッ素を含むガス及び塩素を含むガスのいずれかまたは双方を用いることができる。

【0100】

ここで、上述のエッチングガスに対する絶縁層230のエッチングレートは、金属層のエッチングレートよりも高いため、当該ガスを用いて金属層251をエッチングすることで、露出した絶縁層230の表面及び金属層251と接する領域も同時にエッチングされる。これによって、第1の領域230aの上端コーナー部が丸みを帯び(R加工処理されて)、曲面を有する領域232が形成される(図2(D)参照)。金属層251のエッチングによって、第1の領域230aの上端コーナー部は、好ましくは曲率半径20nm以上60nm以下の曲面状に加工される。

20

【0101】

次いで、絶縁層230に設けられた凸状部231に接するように、ワイドギャップ半導体層244を形成する(図2(E)参照)。ワイドギャップ半導体層244は、曲面を有する領域232を含む第1の領域230aと、第2の領域230bの少なくとも一部に接して、設けられることとなる。絶縁層230において、第1の領域230aの上端コーナー部に曲面を有する領域232を含むことで、ワイドギャップ半導体層244の被覆性を向上させ、断線や接続不良を防止することができる。

30

【0102】

ワイドギャップ半導体としては、少なくともシリコンの1.1eVよりも大きい禁制帯幅を持つ酸化物半導体(例えばIn-Ga-Zn-O系酸化物半導体は3.15eV、酸化インジウムは約3.0eV、インジウム錫酸化物は約3.0eV、インジウムガリウム酸化物は約3.3eV、インジウム亜鉛酸化物は約2.7eV、酸化錫は約3.3eV、酸化亜鉛は約3.37eVなど)や、GaN(約3.4eV)等を用いることができる。

【0103】

ワイドギャップ半導体層244の膜厚は、1nm以上100nm以下とし、スパッタリング法、MBE(Molecular Beam Epitaxy)法、パルスレーザ堆積法、ALD(Atomic Layer Deposition)法等を適宜用いることができる。

40

【0104】

なお、ワイドギャップ半導体層244を成膜する前に、絶縁層230表面に希ガスプラズマ処理を行ってもよい。希ガスプラズマ処理によって、絶縁層230表面に付着した酸素、水分、有機物などの不純物をスパッタリングの効果で除去することも可能である。また、絶縁層230表面を平坦化することも可能である。例えば、絶縁層230(曲面を有する領域232を含む)の表面を平坦化して表面粗さを低減し、絶縁層230の平均面粗さを、好ましくは0.1nm以上0.5nm未満とすることができる。また、当該希ガスプラズマ処理によって、第1の領域230aの上端コーナー部をさらに平滑性よくすることも可能である。

50

【0105】

次いで、ワイドギャップ半導体層244に電氣的に接続するソース電極142aとドレイン電極142bを形成し、ワイドギャップ半導体層244、ソース電極142a及びドレイン電極142b上にゲート絶縁層146を形成する。その後、ゲート絶縁層146を介してワイドギャップ半導体層244上にゲート電極148を形成する(図2(F)参照)。詳細は先の実施の形態を参酌することができる。

【0106】

以上によって、本実施の形態のトランジスタ262を作製することができる。本実施の形態で示すトランジスタ262は、ワイドギャップ半導体層244が凸状部231に接して設けられていることで、ソース電極142a及びドレイン電極142b間の距離(トランジスタ262の見かけ上のチャンネル長)よりも、トランジスタ262の実効的なチャンネル長を長くすることが可能である。例えば、トランジスタ262において、ワイドギャップ半導体層244が凸状部231に接して設けられていることで、チャンネル長を凸状部231の底面の幅(第1の領域230aのチャンネル長方向の長さ)の2倍以上とすることができる。よって、トランジスタ面積の縮小を図りつつ、短チャンネル効果の発現を抑制することが可能である。

10

【0107】

また、本実施の形態で示すトランジスタ262は、絶縁層230において、膜厚の大きい第1の領域230aの上端コーナー部に曲面を有する領域232が設けられていることで、当該領域に接して設けられるワイドギャップ半導体層244及び、ワイドギャップ半導体層244を介して当該領域と重畳するゲート絶縁層146の被覆性を向上させ、断線や接続不良を防止することができる。また、これによって、ワイドギャップ半導体層244及びゲート絶縁層146において、局所的に膜厚の小さい領域が形成されることを抑制することができるため、トランジスタ262の絶縁破壊耐圧を向上させるとともに、ゲートリークの発生を抑制することができる。

20

【0108】

また、トランジスタ262のチャンネル形成領域に、禁制帯幅が広いワイドギャップ半導体を用いることで、トランジスタ262のオフ電流を低減することができる。

【0109】

以上、本実施の形態に示す構成、方法などは、他の実施の形態に示す構成、方法などと適宜組み合わせる用いることができる。例えば、本実施の形態で示したR加工処理方法を、実施の形態1で示した方法と置き換えてもよいし、その双方を行うことも可能である。

30

【0110】

(実施の形態3)

本実施の形態では、実施の形態1または2で示した作製方法とは異なる半導体装置の作製方法を示す。具体的には、実施の形態1または2とは異なるトレンチまたは凸状部のR加工処理方法を示す。

【0111】

図3(A-1)乃至図3(A-3)を用いて、トレンチの上端コーナー部に曲面を有する領域を形成する方法を示す。

40

【0112】

まず、絶縁層130上に、フォトリソグラフィ工程によりテーパーを有するレジストマスク241を形成する(図3(A-1)参照)。レジストマスク241のテーパーの角度(絶縁層130表面とレジストマスクの側面との角度)は90度未満とすればよい。本実施の形態では、テーパーの角度が75度であるレジストマスク241とする。

【0113】

次いで、テーパーを有するレジストマスク241に加熱処理を行うことで、表面に曲面を有するレジストマスク242を形成する(図3(A-2)参照)。加熱処理の時間または温度によって、レジストマスク242の有する曲率半径を制御することが可能である。本実施の形態においては、レジストマスク241を180で2時間加熱処理を行い、表面

50

に曲面を有するレジストマスク 242 を形成する。

【0114】

次いで、表面に曲面を有するレジストマスク 242 を用いて絶縁層 130 をエッチングすることで、上端コーナー部（第 1 の領域 130 a の上端コーナー部ともいえる）が曲率半径 20 nm 以上 60 nm 以下の曲面状に加工されたトレンチ 131 を形成することができる。

【0115】

次いで、図 3（B-1）乃至（B-3）を用いて、凸状部の上端コーナー部に曲面を有する領域を形成する方法を示す。

【0116】

まず、絶縁層 230 上に、フォトリソグラフィ工程によりテーパーを有するレジストマスク 241 を形成する（図 3（B-1）参照）。レジストマスク 241 のテーパーの角度（絶縁層 230 表面とレジストマスクの側面との角度）は 90 度未満とすればよい。

【0117】

次いで、テーパーを有するレジストマスク 241 に加熱処理を行うことで、表面に曲面を有するレジストマスク 242 を形成する（図 3（B-2）参照）。

【0118】

次いで、表面に曲面を有するレジストマスク 242 を用いて絶縁層 230 をエッチングすることで、上端コーナー部（第 1 の領域 230 a の上端コーナー部ともいえる）が曲率半径 20 nm 以上 60 nm 以下の曲面状に加工された凸状部 231 を形成することができる。

【0119】

以上の工程で加工された絶縁層 130 または絶縁層 230 を用いて、本発明の一態様の半導体装置を作製することができる。

【0120】

本実施の形態に示す構成、方法などは、他の実施の形態に示す構成、方法などと適宜組み合わせ用いることができる。

【0121】

（実施の形態 4）

本実施の形態では、実施の形態 1 に示すトランジスタ 162 を使用し、電力が供給されない状況でも記憶内容の保持が可能で、かつ、書き込み回数にも制限が無い半導体装置の一例を、図面を用いて説明する。

【0122】

トランジスタ 162 は、オフ電流が小さいため、これを用いることにより長期にわたり記憶内容を保持することが可能である。つまり、リフレッシュ動作を必要としない、或いは、リフレッシュ動作の頻度が極めて少ない半導体記憶装置とすることが可能となるため、消費電力を十分に低減することができる。

【0123】

図 4 は、半導体装置の構成の一例である。図 4（A）に、半導体装置の断面図を、図 4（B）に半導体装置の平面図を、図 4（C）に半導体装置の回路図をそれぞれ示す。ここで、図 4（A）は、図 4（B）の C1 - C2 及び D1 - D2 における断面に相当する。

【0124】

図 4（A）及び図 4（B）に示す半導体装置は、下部に第 1 の半導体材料を用いたトランジスタ 160 を有し、上部に第 2 の半導体材料を用いたトランジスタ 162 を有するものである。トランジスタ 162 は、実施の形態 1 で示した構成と同一であるため、図 4（A）、（B）において図 1 と同じ箇所は、同じ符号を用いて説明する。なお、トランジスタ 162 に代えて、実施の形態 2 で示したトランジスタ 262 を用いてもよい。

【0125】

ここで、第 1 の半導体材料と第 2 の半導体材料は異なる禁制帯幅を持つ材料とすることが望ましい。例えば、第 1 の半導体材料を酸化物半導体以外の半導体材料（シリコンなど）

10

20

30

40

50

とし、第2の半導体材料を酸化物半導体とすることができる。酸化物半導体以外の材料を用いたトランジスタは、高速動作が容易である。一方で、酸化物半導体を用いたトランジスタは、その特性により長時間の電荷保持を可能とする。

【0126】

なお、上記トランジスタは、いずれもnチャネル型トランジスタであるものとして説明するが、pチャネル型トランジスタを用いることができるのはいうまでもない。また、開示する発明の技術的な本質は、情報を保持するためにワイドギャップ半導体をトランジスタ162に用いる点にあるから、半導体装置に用いられる材料や半導体装置の構造など、半導体装置の具体的な構成をここで示すものに限定する必要はない。

【0127】

図4(A)におけるトランジスタ160は、半導体材料(例えば、シリコンなど)を含む基板100に設けられたチャネル形成領域116と、チャネル形成領域116を挟むように設けられた不純物領域120と、不純物領域120に接する金属化合物領域(半導体材料を金属材料と反応させて低抵抗化した領域)124と、チャネル形成領域116上に設けられたゲート絶縁層108と、ゲート絶縁層108上に設けられたゲート電極110と、を有する。

【0128】

トランジスタ160の金属化合物領域124の一部には、電極126が接続されている。ここで、電極126は、トランジスタ160のソース電極やドレイン電極として機能する。また、基板100上にはトランジスタ160を囲むように素子分離絶縁層106が設けられており、トランジスタ160を覆うように絶縁層130が設けられている。なお、高集積化を実現するためには、図4(A)に示すようにトランジスタ160がサイドウォール絶縁層を有しない構成とすることが望ましい。一方で、トランジスタ160の特性を重視する場合には、ゲート電極110の側面にサイドウォール絶縁層を設け、不純物濃度が異なる領域を含む不純物領域120としてもよい。

【0129】

図4(A)に示すようにトランジスタ162は、ワイドギャップ半導体を有するトレンチ構造のトランジスタである。本実施の形態では、ワイドギャップ半導体として、酸化物半導体層144を有する。ここで、酸化物半導体層144は、高純度化されたものであることが望ましい。高純度化された酸化物半導体を用いることで、極めて優れたオフ電流特性のトランジスタ162を得ることができる。

【0130】

ゲート絶縁層146を介して、トランジスタ162のソース電極142aと重畳する領域には、導電層153が設けられており、ソース電極142aと、ゲート絶縁層146と、導電層153とによって、容量素子164が構成される。すなわち、トランジスタ162のソース電極142aは、容量素子164の一方の電極として機能し、導電層153は、容量素子164の他方の電極として機能する。導電層153は、ゲート電極148と同じ工程で作製することができる。

【0131】

なお、容量が不要の場合には、容量素子164を設けない構成とすることもできる。また、容量素子164は、別途、トランジスタ162の上方に設けてもよい。例えば、トレンチ型のキャパシタやスタック型の容量素子を別途、トランジスタ162の上方、或いは、トランジスタ160の下方に形成し、3次的に積み重ねることにより高集積化を図ってもよい。

【0132】

トランジスタ162および容量素子164の上には絶縁層150が設けられている。そして、絶縁層150上にはトランジスタ162と、他のトランジスタを接続するための配線156が設けられている。配線156は、絶縁層150及びゲート絶縁層146などに形成された開口に形成された電極154を介してドレイン電極142bと電気的に接続されている。ここで、電極154は、少なくともトランジスタ162の酸化物半導体層144

10

20

30

40

50

の一部と重畳するように設けられることが好ましい。

【0133】

図4(A)及び図4(B)において、トランジスタ160と、トランジスタ162とは、少なくとも一部が重畳するように設けられており、トランジスタ160のソース領域またはドレイン領域と酸化半導体層144の一部が重畳するように設けられているのが好ましい。また、トランジスタ162及び容量素子164が、トランジスタ160の少なくとも一部と重畳するように設けられている。例えば、容量素子164の導電層153は、トランジスタ160のゲート電極110と少なくとも一部が重畳して設けられている。このような平面レイアウトを採用することにより、半導体装置の占有面積の低減を図ることができるため、高集積化を図ることができる。

10

【0134】

なお、図4(A)では電極126及び電極154を用いて、金属化合物領域124、ドレイン電極142b及び配線156を接続しているが、開示する発明はこれに限定されない。例えば、ドレイン電極142bを直接、金属化合物領域124に接触させてもよい。または、配線156を直接、ドレイン電極142bに接触させてもよい。

【0135】

図4(A)及び図4(B)に対応する回路構成の一例を図4(C)に示す。

【0136】

図4(C)において、第1の配線(1st Line)とトランジスタ160のソース電極とは、電氣的に接続され、第2の配線(2nd Line)とトランジスタ160のドレイン電極とは、電氣的に接続されている。また、第3の配線(3rd Line)とトランジスタ162のソース電極またはドレイン電極の一方とは、電氣的に接続され、第4の配線(4th Line)と、トランジスタ162のゲート電極とは、電氣的に接続されている。そして、トランジスタ160のゲート電極と、トランジスタ162のソース電極またはドレイン電極の他方は、容量素子164の電極の一方と電氣的に接続され、第5の配線(5th Line)と、容量素子164の電極の他方は電氣的に接続されている。

20

【0137】

図4(C)に示す半導体装置では、トランジスタ160のゲート電極の電位が保持可能という特徴を生かすことで、次のように、情報の書き込み、保持、読み出しが可能である。

30

【0138】

情報の書き込みおよび保持について説明する。まず、第4の配線の電位を、トランジスタ162がオン状態となる電位にして、トランジスタ162をオン状態とする。これにより、第3の配線の電位が、トランジスタ160のゲート電極、および容量素子164に与えられる。すなわち、トランジスタ160のゲート電極には、所定の電荷が与えられる(書き込み)。ここでは、異なる二つの電位レベルを与える電荷(以下Lowレベル電荷、Highレベル電荷という)のいずれかが与えられるものとする。その後、第4の配線の電位を、トランジスタ162がオフ状態となる電位にして、トランジスタ162をオフ状態とすることにより、トランジスタ160のゲート電極に与えられた電荷が保持される(保持)。

40

【0139】

トランジスタ162のオフ電流は極めて小さいため、トランジスタ160のゲート電極の電荷は長時間にわたって保持される。

【0140】

次に情報の読み出しについて説明する。第1の配線に所定の電位(定電位)を与えた状態で、第5の配線に適切な電位(読み出し電位)を与えると、トランジスタ160のゲート電極に保持された電荷量に応じて、第2の配線は異なる電位をとる。一般に、トランジスタ160をnチャンネル型とすると、トランジスタ160のゲート電極にHighレベル電荷が与えられている場合の見かけのしきい値 V_{th_H} は、トランジスタ160のゲート電極にLowレベル電荷が与えられている場合の見かけのしきい値 V_{th_L} より低くな

50

るためである。ここで、見かけのしきい値とは、トランジスタ160を「オン状態」とするために必要な第5の配線の電位をいうものとする。したがって、第5の配線の電位を V_{th_H} と V_{th_L} の間の電位 V_0 とすることにより、トランジスタ160のゲート電極に与えられた電荷を判別できる。例えば、書き込みにおいて、Highレベル電荷が与えられていた場合には、第5の配線の電位が $V_0 (> V_{th_H})$ となれば、トランジスタ160は「オン状態」となる。Lowレベル電荷が与えられていた場合には、第5の配線の電位が $V_0 (< V_{th_L})$ となっても、トランジスタ160は「オフ状態」のままである。このため、第2の配線の電位を見ることで、保持されている情報を読み出すことができる。

【0141】

なお、メモリセルをアレイ状に配置して用いる場合、所望のメモリセルの情報のみを読み出せることが必要になる。このように情報を読み出さない場合には、ゲート電極の状態にかかわらずトランジスタ160が「オフ状態」となるような電位、つまり、 V_{th_H} より小さい電位を第5の配線に与えればよい。または、ゲート電極の状態にかかわらずトランジスタ160が「オン状態」となるような電位、つまり、 V_{th_L} より大きい電位を第5の配線に与えればよい。

【0142】

本実施の形態に示す半導体装置では、チャネル形成領域にワイドギャップ半導体（例えば酸化物半導体）を用いたオフ電流の極めて小さいトランジスタを適用することで、極めて長期にわたり記憶内容を保持することが可能である。つまり、リフレッシュ動作が不要となるか、または、リフレッシュ動作の頻度を極めて低くすることが可能となるため、消費電力を十分に低減することができる。また、電力の供給がない場合（ただし、電位は固定されていることが望ましい）であっても、長期にわたって記憶内容を保持することが可能である。

【0143】

また、本実施の形態に示す半導体装置では、情報の書き込みに高い電圧を必要とせず、素子の劣化の問題もない。例えば、従来の不揮発性メモリのように、フローティングゲートへの電子の注入や、フローティングゲートからの電子の引き抜きを行う必要がないため、ゲート絶縁層の劣化といった問題が全く生じない。すなわち、開示する発明に係る半導体装置では、従来の不揮発性メモリで問題となっている書き換え可能回数に制限はなく、信頼性が飛躍的に向上する。さらに、トランジスタのオン状態、オフ状態によって、情報の書き込みが行われるため、高速な動作も容易に実現しうる。

【0144】

また、トランジスタ162にトレンチ構造を採用することで、トランジスタ162の平面面積を縮小できるため、高集積化が可能である。

【0145】

以上、本実施の形態に示す構成、方法などは、他の実施の形態に示す構成、方法などと適宜組み合わせ用いることができる。

【0146】

（実施の形態5）

本実施の形態においては、実施の形態2に示すトランジスタ262を使用し、電力が供給されない状況でも記憶内容の保持が可能で、かつ、書き込み回数にも制限が無い半導体装置について、実施の形態4に示した構成と異なる構成について、図5及び図6を用いて説明を行う。なお、トランジスタ262に代えて、実施の形態1に示すトランジスタ162を用いることも可能である。

【0147】

図5(A)は、半導体装置の回路構成の一例を示し、図5(B)は半導体装置の一例を示す概念図である。まず、図5(A)に示す半導体装置について説明を行い、続けて図5(B)に示す半導体装置について、以下説明を行う。

【0148】

図5(A)に示す半導体装置において、ビット線BLとトランジスタ262のソース電極又はドレイン電極とは電氣的に接続され、ワード線WLとトランジスタ262のゲート電極とは電氣的に接続され、トランジスタ262のソース電極又はドレイン電極と容量素子354の第1の端子とは電氣的に接続されている。

【0149】

ワイドギャップ半導体を用いたトランジスタ262は、オフ電流が小さいという特徴を有している。特に、ワイドギャップ半導体として、高純度化された酸化物半導体を用いることで、オフ電流を極めて小さくすることができる。このため、トランジスタ262をオフ状態とすることで、容量素子354の第1の端子の電位(あるいは、容量素子354に蓄積された電荷)を極めて長時間にわたって保持することが可能である。また、トランジスタ262では、短チャネル効果が現れにくいというメリットもある。

10

【0150】

次に、図5(A)に示す半導体装置(メモリセル350)に、情報の書き込みおよび保持を行う場合について説明する。

【0151】

まず、ワード線WLの電位を、トランジスタ262がオン状態となる電位として、トランジスタ262をオン状態とする。これにより、ビット線BLの電位が、容量素子354の第1の端子に与えられる(書き込み)。その後、ワード線WLの電位を、トランジスタ262がオフ状態となる電位として、トランジスタ262をオフ状態とすることにより、容量素子354の第1の端子の電位が保持される(保持)。

20

【0152】

トランジスタ262のオフ電流は極めて小さいため、容量素子354の第1の端子の電位(あるいは容量素子に蓄積された電荷)は長時間にわたって保持することができる。

【0153】

次に、情報の読み出しについて説明する。トランジスタ262がオン状態となると、浮遊状態であるビット線BLと容量素子354とが導通し、ビット線BLと容量素子354の間で電荷が再分配される。その結果、ビット線BLの電位が変化する。ビット線BLの電位の変化量は、容量素子354の第1の端子の電位(あるいは容量素子354に蓄積された電荷)によって、異なる値をとる。

【0154】

例えば、容量素子354の第1の端子の電位をV、容量素子354の容量をC、ビット線BLが有する容量成分(以下、ビット線容量とも呼ぶ)をCB、電荷が再分配される前のビット線BLの電位をVB0とすると、電荷が再分配された後のビット線BLの電位は、 $(CB \times VB0 + C \times V) / (CB + C)$ となる。従って、メモリセル350の状態として、容量素子354の第1の端子の電位がV1とV0($V1 > V0$)の2状態をとるとすると、電位V1を保持している場合のビット線BLの電位($= (CB \times VB0 + C \times V1) / (CB + C)$)は、電位V0を保持している場合のビット線BLの電位($= (CB \times VB0 + C \times V0) / (CB + C)$)よりも高くなることわかる。

30

【0155】

そして、ビット線BLの電位を所定の電位と比較することで、情報を読み出すことができる。

40

【0156】

このように、図5(A)に示す半導体装置は、トランジスタ262のオフ電流が極めて小さいという特徴から、容量素子354に蓄積された電荷は長時間にわたって保持することができる。つまり、リフレッシュ動作が不要となるか、または、リフレッシュ動作の頻度を極めて低くすることが可能となるため、消費電力を十分に低減することができる。また、電力の供給がない場合であっても、長期にわたって記憶内容を保持することが可能である。

【0157】

次に、図5(B)に示す半導体装置について、説明を行う。

50

【0158】

図5(B)に示す半導体装置は、上部に記憶回路として図5(A)に示したメモリセル350を複数有するメモリセルアレイ351a及びメモリセルアレイ351bを有し、下部に、メモリセルアレイ351(メモリセルアレイ351a及びメモリセルアレイ351b)を動作させるために必要な周辺回路353を有する。なお、周辺回路353は、メモリセルアレイ351と電氣的に接続されている。

【0159】

図5(B)に示した構成とすることにより、周辺回路353をメモリセルアレイ351(メモリセルアレイ351a及びメモリセルアレイ351b)の直下に設けることができるため半導体装置の小型化を図ることができる。

10

【0160】

周辺回路353に設けられるトランジスタは、トランジスタ262とは異なる半導体材料を用いるのがより好ましい。例えば、シリコン、ゲルマニウム、シリコンゲルマニウム、炭化シリコン、またはガリウムヒ素等を用いることができ、単結晶半導体を用いることが好ましい。他に、有機半導体材料などを用いてもよい。このような半導体材料を用いたトランジスタは、十分な高速動作が可能である。したがって、該トランジスタにより、高速動作が要求される各種回路(論理回路、駆動回路など)を好適に実現することが可能である。

【0161】

なお、図5(B)に示した半導体装置では、2つのメモリセルアレイ351(メモリセルアレイ351aと、メモリセルアレイ351b)が積層された構成を例示したが、積層するメモリセルの数はこれに限定されない。3つ以上のメモリセルを積層する構成としてもよい。

20

【0162】

次に、図5(A)に示したメモリセル350の具体的な構成について図6を用いて説明を行う。

【0163】

図6は、メモリセル350の構成の一例である。図6(A)に、メモリセル350の断面図を、図6(B)にメモリセル350の平面図をそれぞれ示す。ここで、図6(A)は、図6(B)のF1-F2及びG1-G2における断面に相当する。

30

【0164】

図6(A)及び図6(B)に示すトランジスタ262は、実施の形態2で示した構成と同一であるため、図6(A)、(B)において図2と同じ箇所は、同じ符号を用いて説明する。

【0165】

ゲート絶縁層146を介して、トランジスタ262のソース電極142aと重畳する領域には、導電層253が設けられており、ソース電極142aと、ゲート絶縁層146と、導電層253とによって、容量素子354が構成される。すなわち、トランジスタ262のソース電極142aは、容量素子354の一方の電極として機能し、導電層253は、容量素子354の他方の電極として機能する。

40

【0166】

トランジスタ262および容量素子354の上には絶縁層258が設けられている。そして、絶縁層258上にはメモリセル350と、隣接するメモリセル350を接続するための配線260が設けられている。配線260は、ゲート絶縁層146及び絶縁層258などに形成された開口を介してトランジスタ262のドレイン電極142bと電氣的に接続されている。但し、開口に他の導電層を設け、該他の導電層を介して、配線260とドレイン電極142bとを電氣的に接続してもよい。なお、配線260は、図5(A)の回路図におけるビット線BLに相当する。

【0167】

図6(A)及び図6(B)において、トランジスタ262のドレイン電極142bは、隣

50

接するメモリセルに含まれるトランジスタのソース電極としても機能している。このような平面レイアウトを採用することにより、半導体装置の占有面積の低減を図ることができるため、高集積化を図ることができる。

【0168】

以上のように、上部に多層に形成された複数のメモリセルは、ワイドギャップ半導体層として酸化物半導体を用いたトランジスタにより形成されている。ワイドギャップ半導体層として酸化物半導体を用いたトランジスタは、オフ電流が小さいため、これを用いることにより長期にわたり記憶内容を保持することが可能である。つまり、リフレッシュ動作の頻度を極めて低くすることが可能となるため、消費電力を十分に低減することができる。

【0169】

このように、酸化物半導体以外の材料を用いたトランジスタ（換言すると、十分な高速動作が可能なトランジスタ）を用いた周辺回路と、酸化物半導体を用いたトランジスタ（より広義には、十分にオフ電流が小さいトランジスタ）を用いた記憶回路とを一体に備えることで、これまでにない特徴を有する半導体装置を実現することができる。また、周辺回路と記憶回路を積層構造とすることにより、半導体装置の集積化を図ることができる。

【0170】

本実施の形態は、他の実施の形態に記載した構成と適宜組み合わせることで実施することが可能である。

【0171】

（実施の形態6）

本実施の形態では、先の実施の形態で示した半導体装置を携帯電話、スマートフォン、電子書籍などの携帯機器に応用した場合の例を図7乃至図10を用いて説明する。

【0172】

携帯電話、スマートフォン、電子書籍などの携帯機器においては、画像データの一時記憶などにSRAMまたはDRAMが使用されている。SRAMまたはDRAMは使用される理由としてはフラッシュメモリでは応答が遅く、画像処理では不向きであるためである。一方で、SRAMまたはDRAMを画像データの一時記憶に用いた場合以下の特徴がある。

【0173】

通常のSRAMは、図7(A)に示すように1つのメモリセルがトランジスタ801~806の6個のトランジスタで構成されており、それをXデコーダー807、Yデコーダー808にて駆動している。トランジスタ803とトランジスタ805、トランジスタ804とトランジスタ806はインバータを構成し、高速駆動を可能としている。しかし1つのメモリセルが6トランジスタで構成されているため、セル面積が大きいという欠点がある。デザインルールの最小寸法をFとしたときにSRAMのメモリセル面積は通常 $100 \sim 150F^2$ である。このためSRAMはビットあたりの単価が各種メモリの中で最も高い。

【0174】

それに対して、DRAMはメモリセルが図7(B)に示すようにトランジスタ811、保持容量812によって構成され、それをXデコーダー813、Yデコーダー814にて駆動している。1つのセルが1トランジスタ1容量の構成になっており、面積が小さい。DRAMのメモリセル面積は通常 $10F^2$ 以下である。ただし、DRAMは常にリフレッシュが必要であり、書き換えをおこなわない場合でも電力を消費する。

【0175】

しかし、先の実施の形態で説明した半導体装置のメモリセル面積は、 $10F^2$ 前後であり、且つ頻繁なリフレッシュは不要である。したがって、メモリセル面積が縮小され、且つ消費電力が低減することができる。

【0176】

図8に携帯機器のブロック図を示す。図8に示す携帯機器はRF回路901、アナログベースバンド回路902、デジタルベースバンド回路903、バッテリー904、電源回路

10

20

30

40

50

905、アプリケーションプロセッサ906、フラッシュメモリ910、ディスプレイコントローラ911、メモリ回路912、ディスプレイ913、タッチセンサ919、音声回路917、キーボード918などより構成されている。ディスプレイ913は表示部914、ソースドライバ915、ゲートドライバ916によって構成されている。アプリケーションプロセッサ906はCPU907、DSP908、インターフェイス909(IF909)を有している。一般にメモリ回路912はSRAMまたはDRAMで構成されており、この部分に先の実施の形態で説明した半導体装置を採用することによって、情報の書き込みおよび読み出しが高速で、長期間の記憶保持が可能で、且つ消費電力が十分に低減することができる。

【0177】

図9に、ディスプレイのメモリ回路950に先の実施の形態で説明した半導体装置を使用した例を示す。図9に示すメモリ回路950は、メモリ952、メモリ953、スイッチ954、スイッチ955およびメモリコントローラ951により構成されている。また、メモリ回路950は、信号線から入力された画像データ(入力画像データ)、メモリ952、及びメモリ953に記憶されたデータ(記憶画像データ)を読み出し、及び制御を行うディスプレイコントローラ956と、ディスプレイコントローラ956からの信号により表示するディスプレイ957が接続されている。

【0178】

まず、ある画像データがアプリケーションプロセッサ(図示しない)によって、形成される(入力画像データA)。入力画像データAは、スイッチ954を介してメモリ952に記憶される。そしてメモリ952に記憶された画像データ(記憶画像データA)は、スイッチ955、及びディスプレイコントローラ956を介してディスプレイ957に送られ、表示される。

【0179】

入力画像データAに変更が無い場合、記憶画像データAは、通常30~60Hz程度の周期でメモリ952からスイッチ955を介して、ディスプレイコントローラ956により読み出される。

【0180】

次に、例えばユーザーが画面を書き換える操作をしたとき(すなわち、入力画像データAに変更が有る場合)、アプリケーションプロセッサは新たな画像データ(入力画像データB)を形成する。入力画像データBはスイッチ954を介してメモリ953に記憶される。この間も定期的にメモリ952からスイッチ955を介して記憶画像データAは読み出されている。メモリ953に新たな画像データ(記憶画像データB)が記憶し終わると、ディスプレイ957の次のフレームより、記憶画像データBは読み出され、スイッチ955、及びディスプレイコントローラ956を介して、ディスプレイ957に記憶画像データBが送られ、表示がおこなわれる。この読み出しはさらに次に新たな画像データがメモリ952に記憶されるまで継続される。

【0181】

このようにメモリ952及びメモリ953は交互に画像データの書き込みと、画像データの読み出しを行うことによって、ディスプレイ957の表示をおこなう。なお、メモリ952及びメモリ953はそれぞれ別のメモリには限定されず、1つのメモリを分割して使用してもよい。先の実施の形態で説明した半導体装置をメモリ952及びメモリ953に採用することによって、情報の書き込みおよび読み出しが高速で、長期間の記憶保持が可能で、且つ消費電力が十分に低減することができる。

【0182】

図10に電子書籍のブロック図を示す。図10はバッテリー1001、電源回路1002、マイクロプロセッサ1003、フラッシュメモリ1004、音声回路1005、キーボード1006、メモリ回路1007、タッチパネル1008、ディスプレイ1009、ディスプレイコントローラ1010によって構成される。

【0183】

10

20

30

40

50

ここでは、図10のメモリ回路1007に先の実施の形態で説明した半導体装置を使用することができる。メモリ回路1007の役割は書籍の内容を一時的に保持する機能を持つ。機能の例としては、ユーザーがハイライト機能を使用する場合などがある。ユーザーが電子書籍を読んでいるときに、特定の箇所にマーキングをしたい場合がある。このマーキング機能をハイライト機能と言い、表示の色を変える、アンダーラインを引く、文字を太くする、文字の書体を変えるなどによって、周囲との違いを示すことである。ユーザーが指定した箇所の情報を記憶し、保持する機能である。この情報を長期に保存する場合にはフラッシュメモリ1004にコピーしてもよい。このような場合においても、先の実施の形態で説明した半導体装置を採用することによって、情報の書き込みおよび読み出しが高速で、長期間の記憶保持が可能で、且つ消費電力が十分に低減することができる。

10

【0184】

以上のように、本実施の形態に示す携帯機器には、先の実施の形態に係る半導体装置が搭載されている。このため、読み出しが高速で、長期間の記憶保持が可能で、且つ消費電力を低減した携帯機器が実現される。

【0185】

本実施の形態に示す構成、方法などは、他の実施の形態に示す構成、方法などと適宜組み合わせ用いることができる。

【実施例1】

【0186】

本実施例では、実施の形態1に示した作製方法を用いて、上端コーナー部に曲面を有するトレンチを形成し、該トレンチに接して酸化物半導体層を成膜する例を示す。

20

【0187】

本実施例で用いた試料の作製方法を以下に示す。

【0188】

基板としてはシリコン基板を用い、該シリコン基板上に絶縁層として酸化シリコン膜をスパッタリング法で500nmの膜厚で成膜した。

【0189】

酸化シリコン膜の成膜条件としては、ターゲットとして酸化シリコン(SiO_2)ターゲットを用い、シリコン基板とターゲットの間との距離を60mm、圧力0.4Pa、高周波(RF)電源2kW、アルゴン及び酸素(アルゴン流量25sccm:酸素流量25sccm)雰囲気下、基板温度100とした。

30

【0190】

次いで、酸化シリコン膜上にフォトリソグラフィ工程によりレジストマスクを形成し、レジストマスクを用いて酸化シリコン膜をエッチングしトレンチを形成した。エッチング工程としては、ICP(Inductively Coupled Plasma:誘導結合型プラズマ)エッチング法により、基板温度を70とし、エッチングガスとして三フッ化メタン(CHF_3)、ヘリウム(He)、及びメタン(CH_4)(CHF_3 : He : CH_4 =22.5sccm:127.5sccm:5sccm)を用い、電源電力475W、バイアス電力300W、圧力3.0Paで処理した。トレンチの断面における底面の幅は約350nmとした。

40

【0191】

次いで、アルゴンプラズマ処理によって、トレンチの上端コーナー部をR加工処理した。アルゴンプラズマ処理としては、ICPエッチング法により、基板温度を-10とし、電源電力500W、バイアス電力100W、圧力1.35Paで、アルゴンガスを流量100sccmで流しながら3分間処理した。アルゴンプラズマ処理後、トレンチの上端コーナー部には、曲率半径20nm以上60nm以下の曲面を有する領域が形成された。

【0192】

その後、トレンチの内壁面、トレンチの底面、及び絶縁層の最上面に接する酸化物半導体層として、スパッタリング法によりIn-Ga-Zn-O膜を成膜した。

【0193】

50

本実施例においては、基板を200 に加熱しながら酸化物半導体層の成膜を行った。なお、In-Ga-Zn-O膜の成膜条件は、組成比としてIn:Ga:Zn=1:1:1 [atom比]の金属酸化物ターゲットを用い、シリコン基板とターゲットとの間の距離を60mm、圧力0.4Pa、直流(DC)電源0.5kW、アルゴン及び酸素(アルゴン流量30sccm:酸素流量15sccm)雰囲気下とした。酸化物半導体層の膜厚は20nmとした。

【0194】

以上の工程で得られた本実施例の試料(以下、試料1とする)、及び、比較例として、トレンチ形成後、アルゴンプラズマ処理を行うことなく酸化物半導体層を同条件にて成膜した試料(以下、試料2とする)の、断面を断面走査透過型電子顕微鏡(STEM(Scanning Transmission Electron Microscopy))で観察した。図11(A)に試料1のSTEM像を示す。また、図11(B)に試料2のSTEM像を示す。

10

【0195】

図11(B)より、アルゴンプラズマ処理を行っていない試料2では、絶縁層310に形成されたトレンチの上端コーナー部に角部が形成されている。また、絶縁層310に接して設けられた酸化物半導体層344において、上述の角部を有するトレンチの上端コーナー部に接する領域344aでは、成膜不良が起こっている。これは、R加工処理を施していない絶縁層310では、トレンチの上端コーナー部においてカバレッジ不良を起こしたためと考えられる。

20

【0196】

一方、図11(A)より、本実施例の試料1においては、アルゴンプラズマ処理によって絶縁層410に形成されたトレンチの上端コーナー部に、曲面を有する領域412が形成されており、絶縁層410に接して設けられた酸化物半導体層444も被覆性よく成膜されていることが確認できる。

【0197】

以上示したように、アルゴンプラズマ処理によって、トレンチの上端コーナー部(絶縁層において膜厚の大きい第1の領域の上端コーナー部と言い換えることもできる)に曲面を有する領域を設けることができることが確認できた。また、該曲面を有する領域に接して設けられる酸化物半導体層は、被覆性よく成膜されることが示された。

30

【実施例2】

【0198】

本実施例では、実施の形態2に示した作製方法を用いて、上端コーナー部に曲面を有する凸状部を形成し、該凸状部に接して酸化物半導体層を成膜する例を示す。

【0199】

本実施例で用いた試料の作製方法を以下に示す。

【0200】

基板としてはシリコン基板を用い、該シリコン基板上に絶縁層として酸化シリコン膜をスパッタリング法で500nmの膜厚で成膜した。

【0201】

酸化シリコン膜の成膜条件としては、ターゲットとして酸化シリコン(SiO₂)ターゲットを用い、シリコン基板とターゲットの間との距離を60mm、圧力0.4Pa、高周波(RF)電源2kW、アルゴン及び酸素(アルゴン流量25sccm:酸素流量25sccm)雰囲気下、基板温度100 とした。

40

【0202】

次いで、酸化シリコン膜上に金属層として、タングステン膜を膜厚100nmで成膜した。その後、タングステン膜上にフォトリソグラフィ工程によりレジストマスクを形成し、レジストマスクを用いてタングステン膜をエッチングし、パターン形成されたタングステン膜を形成した。タングステン膜のエッチング工程としては、ICPエッチング法により、基板温度を70 とし、エッチングガスとして四フッ化炭素(CF₄)、塩素(Cl)

50

、及び酸素 (O_2) ($CF_4 : Cl : O_2 = 25 \text{ sccm} : 25 \text{ sccm} : 10 \text{ sccm}$) を用い、電源電力 500 W 、バイアス電力 100 W 、圧力 1.5 Pa で処理した。

【0203】

タングステン膜のパターン形成後、レジストマスクを除去し、該パターン形成されたタングステン膜をハードマスクとして酸化シリコン膜をエッチングして、凸状部を形成した。酸化シリコン膜のエッチング工程としては、ICPエッチング法により、基板温度を 70 とし、エッチングガスとして三フッ化メタン (CHF_3)、ヘリウム (He)、及びメタン (CH_4) ($CHF_3 : He : CH_4 = 22.5 \text{ sccm} : 127.5 \text{ sccm} : 5 \text{ sccm}$) を用い、電源電力 475 W 、バイアス電力 300 W 、圧力 3.0 Pa で処理した。

10

【0204】

次いで、上述のタングステン膜のパターン形成と同じ条件にてドライエッチング処理を行い、ハードマスクとして用いたタングステン膜を除去した。当該ドライエッチング処理後、凸状部の上端コーナー部には、曲率半径 20 nm 以上 60 nm 以下の曲面を有する領域が形成された。

【0205】

その後、凸状部に接する酸化物半導体層として、スパッタリング法により $In-Ga-Zn-O$ 膜を成膜した。

【0206】

本実施例においては、基板を 200 に加熱しながら酸化物半導体層の成膜を行った。なお、 $In-Ga-Zn-O$ 膜の成膜条件は、組成比として $In : Ga : Zn = 1 : 1 : 1$ [atom比] の金属酸化物ターゲットを用い、シリコン基板とターゲットとの間の距離を 60 mm 、圧力 0.4 Pa 、直流 (DC) 電源 0.5 kW 、アルゴン及び酸素 (アルゴン流量 30 sccm : 酸素流量 15 sccm) 雰囲気下とした。酸化物半導体層の膜厚は 20 nm とした。

20

【0207】

以上の工程で得られた本実施例の試料の断面を断面走査透過型電子顕微鏡で観察した。図12にSTEM像を示す。

【0208】

図12より、本実施例の試料において絶縁層510に形成された凸状部の上端コーナー部に、曲面を有する領域532aが形成されており、絶縁層510に接して設けられた酸化物半導体層544も被覆性よく成膜されていることが確認できる。よって、金属層をハードマスクとして用い、その後該金属層をエッチング処理することによって、凸状部の上端コーナー部 (絶縁層において膜厚の大きい第1の領域の上端コーナー部と言い換えることもできる) に曲面を有する領域を設けることができることが確認できた。また、該曲面を有する領域に接して設けられる酸化物半導体層は、被覆性よく成膜されることが示された。

30

【符号の説明】

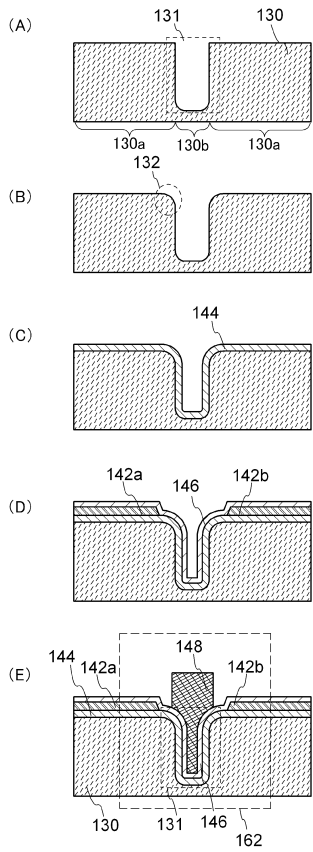
【0209】

| | | |
|-----|----------|----|
| 100 | 基板 | 40 |
| 106 | 素子分離絶縁層 | |
| 108 | ゲート絶縁層 | |
| 110 | ゲート電極 | |
| 116 | チャネル形成領域 | |
| 120 | 不純物領域 | |
| 124 | 金属化合物領域 | |
| 126 | 電極 | |
| 130 | 絶縁層 | |
| 131 | トレンチ | |
| 132 | 領域 | 50 |

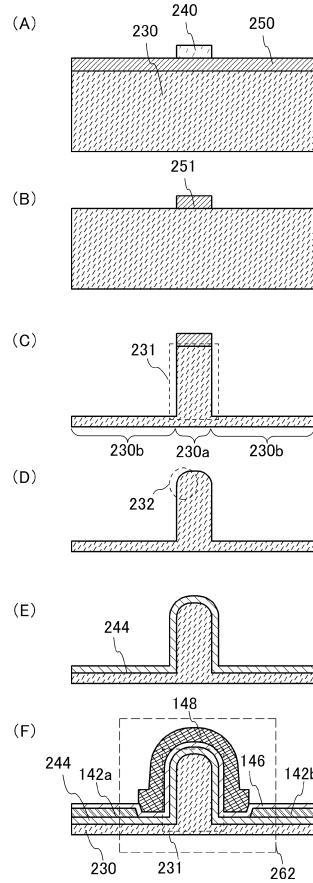
| | | |
|---------|--------------|----|
| 1 4 4 | 酸化物半導体層 | |
| 1 4 6 | ゲート絶縁層 | |
| 1 4 8 | ゲート電極 | |
| 1 5 0 | 絶縁層 | |
| 1 5 3 | 導電層 | |
| 1 5 4 | 電極 | |
| 1 5 6 | 配線 | |
| 1 6 0 | トランジスタ | |
| 1 6 2 | トランジスタ | |
| 1 6 4 | 容量素子 | 10 |
| 2 3 0 | 絶縁層 | |
| 2 3 1 | 凸状部 | |
| 2 3 2 | 領域 | |
| 2 4 0 | レジストマスク | |
| 2 4 1 | レジストマスク | |
| 2 4 2 | レジストマスク | |
| 2 4 4 | ワイドギャップ半導体層 | |
| 2 5 0 | 金属層 | |
| 2 5 1 | 金属層 | |
| 2 5 3 | 導電層 | 20 |
| 2 5 8 | 絶縁層 | |
| 2 6 0 | 配線 | |
| 2 6 2 | トランジスタ | |
| 3 1 0 | 絶縁層 | |
| 3 4 4 | 酸化物半導体層 | |
| 3 5 0 | メモリセル | |
| 3 5 1 | メモリセルアレイ | |
| 3 5 1 a | メモリセルアレイ | |
| 3 5 1 b | メモリセルアレイ | |
| 3 5 3 | 周辺回路 | 30 |
| 3 5 4 | 容量素子 | |
| 4 1 0 | 絶縁層 | |
| 4 1 2 | 領域 | |
| 4 4 4 | 酸化物半導体層 | |
| 5 1 0 | 絶縁層 | |
| 5 4 4 | 酸化物半導体層 | |
| 8 0 1 | トランジスタ | |
| 8 0 3 | トランジスタ | |
| 8 0 4 | トランジスタ | |
| 8 0 5 | トランジスタ | 40 |
| 8 0 6 | トランジスタ | |
| 8 0 7 | Xデコーダー | |
| 8 0 8 | Yデコーダー | |
| 8 1 1 | トランジスタ | |
| 8 1 2 | 保持容量 | |
| 8 1 3 | Xデコーダー | |
| 8 1 4 | Yデコーダー | |
| 9 0 1 | R F回路 | |
| 9 0 2 | アナログベースバンド回路 | |
| 9 0 3 | デジタルベースバンド回路 | 50 |

| | | |
|---------|---------------|----|
| 9 0 4 | バッテリー | |
| 9 0 5 | 電源回路 | |
| 9 0 6 | アプリケーションプロセッサ | |
| 9 0 7 | C P U | |
| 9 0 8 | D S P | |
| 9 0 9 | インターフェイス | |
| 9 1 0 | フラッシュメモリ | |
| 9 1 1 | ディスプレイコントローラ | |
| 9 1 2 | メモリ回路 | |
| 9 1 3 | ディスプレイ | 10 |
| 9 1 4 | 表示部 | |
| 9 1 5 | ソースドライバ | |
| 9 1 6 | ゲートドライバ | |
| 9 1 7 | 音声回路 | |
| 9 1 8 | キーボード | |
| 9 1 9 | タッチセンサ | |
| 9 5 0 | メモリ回路 | |
| 9 5 1 | メモリコントローラ | |
| 9 5 2 | メモリ | |
| 9 5 3 | メモリ | 20 |
| 9 5 4 | スイッチ | |
| 9 5 5 | スイッチ | |
| 9 5 6 | ディスプレイコントローラ | |
| 9 5 7 | ディスプレイ | |
| 1 0 0 1 | バッテリー | |
| 1 0 0 2 | 電源回路 | |
| 1 0 0 3 | マイクロプロセッサ | |
| 1 0 0 4 | フラッシュメモリ | |
| 1 0 0 5 | 音声回路 | |
| 1 0 0 6 | キーボード | 30 |
| 1 0 0 7 | メモリ回路 | |
| 1 0 0 8 | タッチパネル | |
| 1 0 0 9 | ディスプレイ | |
| 1 0 1 0 | ディスプレイコントローラ | |
| 1 3 0 a | 領域 | |
| 1 3 0 b | 領域 | |
| 1 4 2 a | ソース電極 | |
| 1 4 2 b | ドレイン電極 | |
| 2 3 0 a | 領域 | |
| 2 3 0 b | 領域 | 40 |
| 3 4 4 a | 領域 | |
| 5 3 2 a | 領域 | |

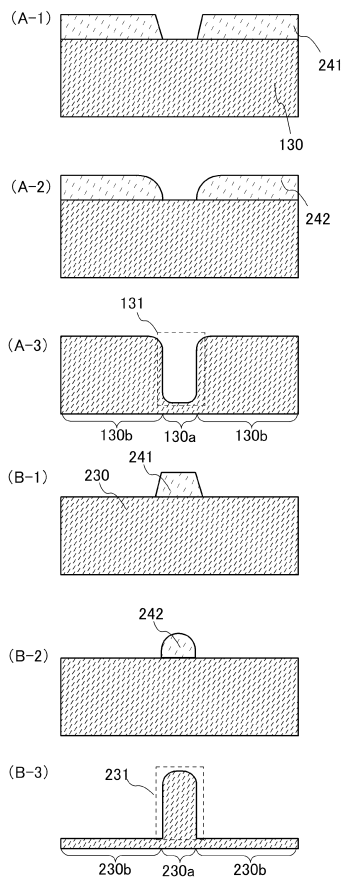
【 図 1 】



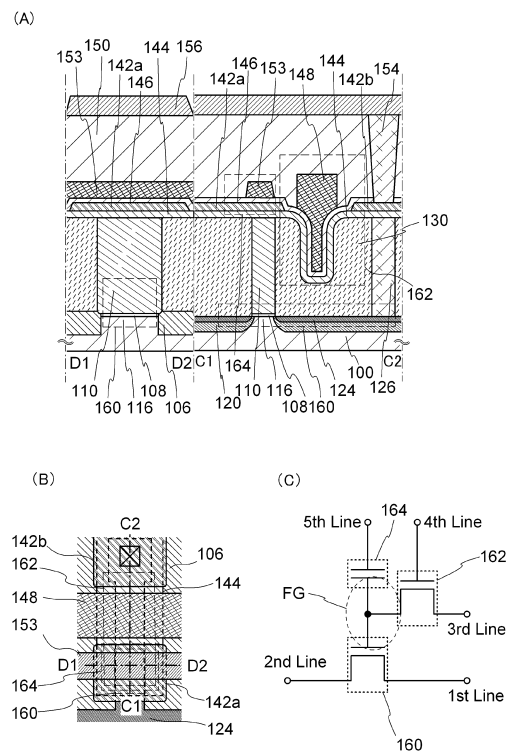
【 図 2 】



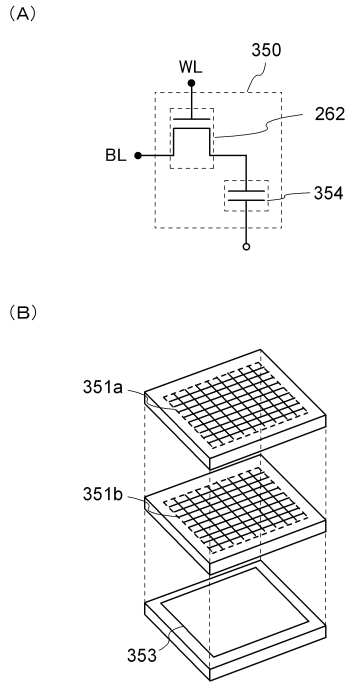
【 図 3 】



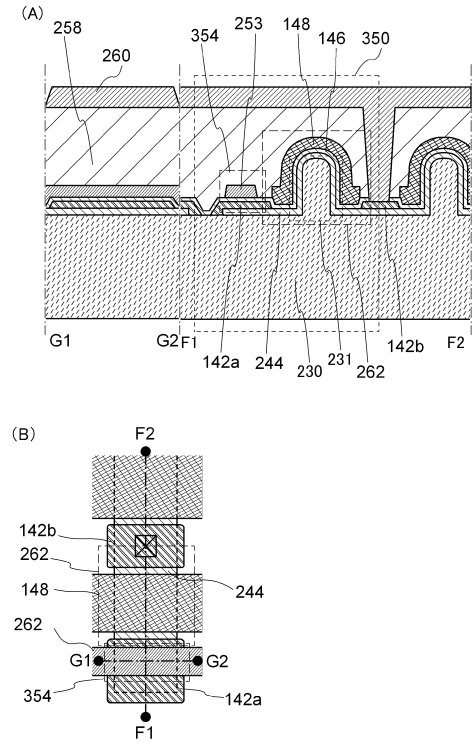
【 図 4 】



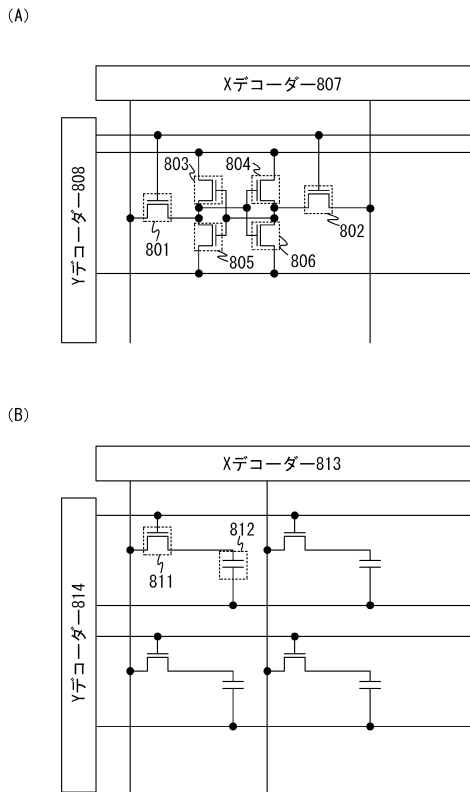
【図5】



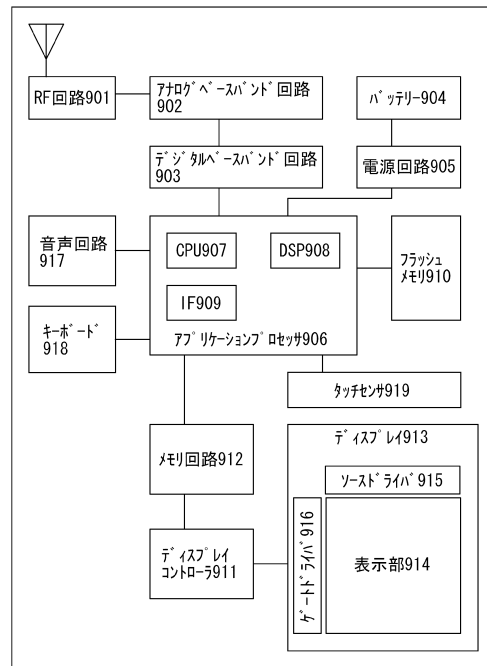
【図6】



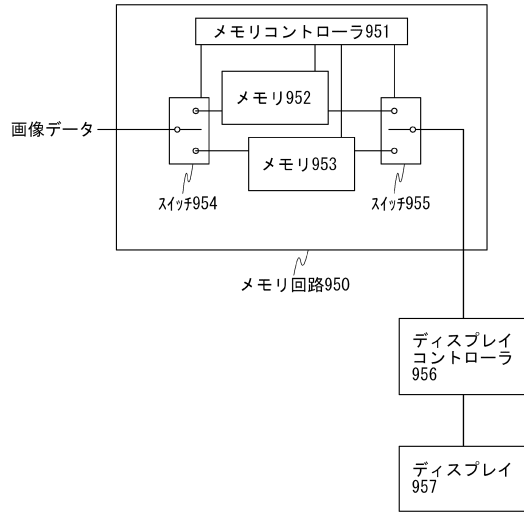
【図7】



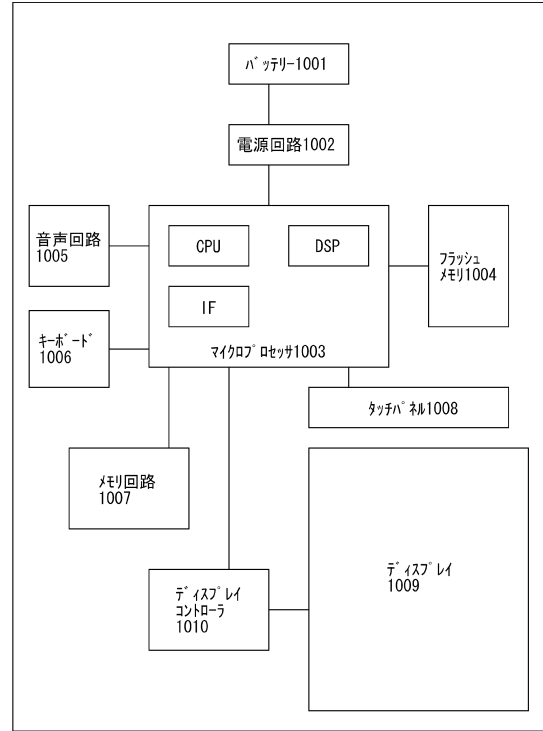
【図8】



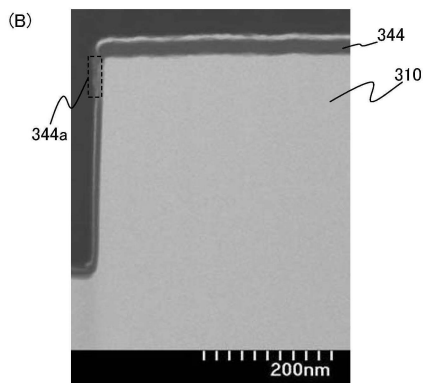
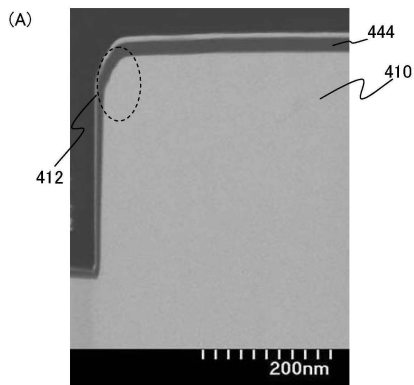
【図9】



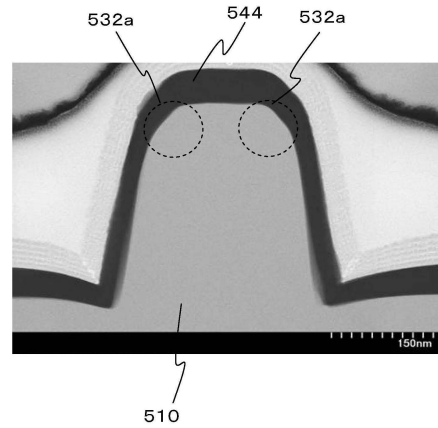
【図10】



【図11】



【図12】



フロントページの続き

(51)Int.Cl. F I
H 0 1 L 27/10 4 6 1
H 0 1 L 27/108 6 7 1 Z
H 0 1 L 27/108 6 8 1 F

(56)参考文献 特開昭59 - 124166 (JP, A)
特開平04 - 251926 (JP, A)
特開2009 - 016368 (JP, A)
特開2008 - 277665 (JP, A)
特開2008 - 034760 (JP, A)
特開2008 - 060524 (JP, A)
特開2006 - 203035 (JP, A)

(58)調査した分野(Int.Cl., DB名)
H 0 1 L 2 1 / 3 3 6
H 0 1 L 2 1 / 8 2 4 2
H 0 1 L 2 7 / 1 0
H 0 1 L 2 7 / 1 0 8
H 0 1 L 2 9 / 7 8 6