



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I776488 B

(45) 公告日：中華民國 111 (2022) 年 09 月 01 日

(21) 申請案號：110115547

(22) 申請日：中華民國 110 (2021) 年 04 月 29 日

(51) Int. Cl. : **H03K23/40 (2006.01)****H03K23/00 (2006.01)**

(71) 申請人：華邦電子股份有限公司 (中華民國) WINBOND ELECTRONICS CORP. (TW)

臺中市大雅區科雅一路 8 號

(72) 發明人：林哲民 LIN, CHE-MIN (TW)

(74) 代理人：葉璟宗；詹東穎；劉亞君

(56) 參考文獻：

TW 200614671A

US 4741006A

US 20200382124A1

US 2017/0214406A1

審查人員：蘇齊賢

申請專利範圍項數：10 項 圖式數：6 共 25 頁

(54) 名稱

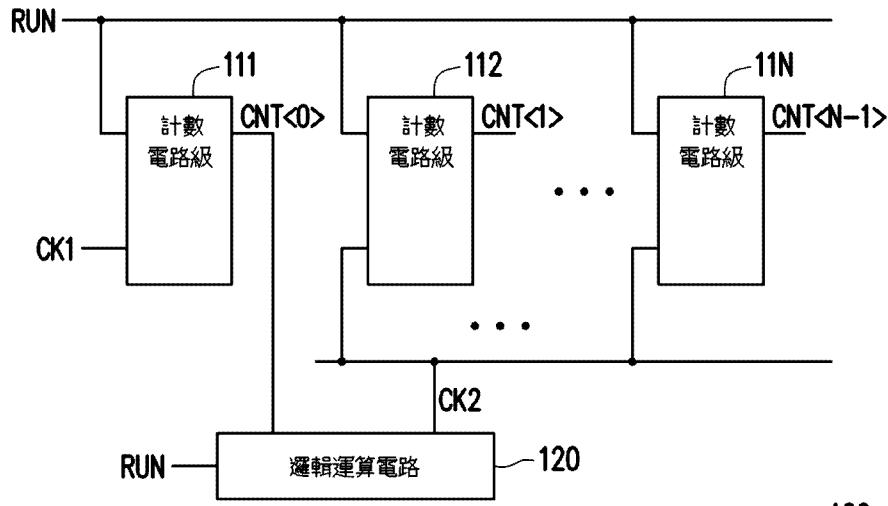
計數裝置

(57) 摘要

計數裝置包括多個計數電路級以及第一邏輯運算電路。計數電路級依序連接。第一級的計數電路級依據第一時脈信號執行計數動作，並產生第一級計數結果。第二級的計數電路級至第 N 級的計數電路級依據第二時脈信號以進行計數動作，N 為大於 2 的正整數。第一邏輯運算電路依據指示信號以提供第一級計數結果以做為第二時脈信號。

A counting device includes a plurality of counting circuit stages and a first logic operation circuit. The counting circuit stages are connected in sequence. A first counting circuit stage performs a counting action according to a first clock signal and generates a first counting result. The second to Nth counting circuit stages perform a counting operation according to a second clock signal, where N is a positive integer larger than 2. The first logic operation circuit provides the first counting result to be the second clock signal according to an indication signal.

指定代表圖：



符號簡單說明：

100:計數裝置

111~11N:計數電路級

120:邏輯運算電路

CK1:第一時脈信號

CNT<0>~CNT<N-1>:

計數結果

CK2:第二時脈信號

RUN:指示信號

【圖1】



I776488

【發明摘要】

公告本

【中文發明名稱】計數裝置

【英文發明名稱】COUNTING DEVICE

【中文】計數裝置包括多個計數電路級以及第一邏輯運算電路。計數電路級依序連接。第一級的計數電路級依據第一時脈信號執行計數動作，並產生第一級計數結果。第二級的計數電路級至第N級的計數電路級依據第二時脈信號以進行計數動作，N為大於2的正整數。第一邏輯運算電路依據指示信號以提供第一級計數結果以做為第二時脈信號。

【英文】A counting device includes a plurality of counting circuit stages and a first logic operation circuit. The counting circuit stages are connected in sequence. A first counting circuit stage performs a counting action according to a first clock signal and generates a first counting result. The second to Nth counting circuit stages perform a counting operation according to a second clock signal, where N is a positive integer larger than 2. The first logic operation circuit provides the first counting result to be the second clock signal according to an indication signal.

【指定代表圖】圖1。

【代表圖之符號簡單說明】

100：計數裝置

111~11N：計數電路級

120：邏輯運算電路

CK1：第一時脈信號

CNT<0>~CNT<N-1>：計數結果

CK2：第二時脈信號

RUN：指示信號

【特徵化學式】

無

【發明說明書】

【中文發明名稱】計數裝置

【英文發明名稱】COUNTING DEVICE

【技術領域】

【0001】本發明是有關於一種計數裝置，且特別是有關於一種可提升工作速度的計數裝置。

【先前技術】

【0002】在計數裝置的應用中，可針對計數裝置設定一初始值，然後在計數動作中，計數裝置可依據一時脈信號來動作，並輸出多個位元的計數結果。

【0003】在習知技術領域中，計數裝置在操作時，可以設定一計算目標數值以作為計數終止點。並且，計數裝置中的邏輯運算電路會被啟動，當時脈信號在震盪時，邏輯運算電路會針對逐漸減小的計數結果進行運算，並在當計數結到達計算目標數值時，邏輯運算電路可輸出一個計數終止信號。在這樣的應用中，當時脈信號的頻率過高時（週期過小），而使得邏輯運算電路的計算速度來不及產生計數終止信號時，計數裝置的計數動作就會產生錯誤。

【發明內容】

【0004】本發明提供一種計數裝置，可有效提升工作頻率。

【0005】 本發明的計數裝置包括多個計數電路級以及第一邏輯運算電路。計數電路級依序連接，其中第一級的計數電路級依據第一時脈信號執行計數動作，並產生第一級計數結果。第二級的計數電路級至第 N 級的計數電路級依據第二時脈信號以進行計數動作，N 為大於 2 的正整數。第一邏輯運算電路耦接該些計數電路級，依據指示信號以提供第一級計數結果以做為第二時脈信號。

【0006】 基於上述，本發明透過使第一級的計數電路級依據相對高頻率的第一時脈信號來工作，並使第一時脈信號降頻以產生第二時脈信號，再使後級的第二級的計數電路級至第 N 級的計數電路級依據對低頻率的第二時脈信號來工作。如此一來，本發明實施例的計數裝置可以產生第一時脈信號所進行的計數結果，且不至於因運算電路來不及動作而產生錯誤，有效提升計數裝置的速度。

【圖式簡單說明】

【0007】

圖 1 繪示本發明一實施例的計數裝置的示意圖。

圖 2 繪示本發明實施例的計數裝置的多個計數電路級的電路示意圖。

圖 3 繪示本發明實施例的計數電路級中的正反器的元件符號圖。

圖 4 繪示本發明實施例的計數裝置的邏輯運算電路的示意

圖。

圖 5 繪示本發明實施例中，計數裝置中用以產生一計數終止信號的邏輯運算電路的電路示意圖。

圖 6A 以及圖 6B 分別繪示本發明實施例的計數裝置依據不同初始值所執行的計數動作的波形圖。

【實施方式】

【0008】請參照圖 1，圖 1 繪示本發明一實施例的計數裝置的示意圖。計數裝置 100 包括多個計數電路級 111~11N 以及邏輯運算電路 120。計數電路級 111~11N 依序連接，其中，第一級的計數電路級 111 接收第一時脈信號 CK1，並依據第一時脈信號 CK1 執行計數動作，以產生第一級計數結果 CNT<0>。邏輯運算電路 120 耦接計數電路級 111~11N。第一級的計數電路級 111 傳送所產生的第一級計數結果 CNT<0>至邏輯運算電路 120。邏輯運算電路 120 並依據第一級計數結果 CNT<0>以及指示信號 RUN 以提供第一級計數結果 CNT<0>來產生第二時脈信號 CK2。

【0009】計數電路級 111~11N 中，第二級的計數電路級 112 至第 N 級的計數電路級 11N 均接收第二時脈信號 CK2。第二級的計數電路級 112 至第 N 級的計數電路級 11N 依據第二時脈信號 CK2 來執行計數動作，並分別產生第二計數結果至第 N 計數結果 CNT<1>~CNT<N-1>。其中，第二時脈信號 CK2 的頻率低於第一時脈信號 CK1 的頻率。

【0010】 在本實施例中，邏輯運算電路 120 可依據指示信號 RUN 第一級計數結果 CNT<0>以決定使第二時脈信號 CK2 等於第一級計數結果 CNT<0>或第一時脈信號 CK1。其中，在當指示信號 RUN 為第一邏輯準位時，邏輯運算電路 120 可以提供第一級計數結果 CNT<0>以作為第二時脈信號 CK2。相對的，在當指示信號 RUN 為第二邏輯準位時，邏輯運算電路 120 則可以提供第一時脈信號 CK1 以作為第二時脈信號 CK2。另外，計數電路級 111~11N 並接收指示信號 RUN，並在當指示信號 RUN 為第一邏輯準位時，被啟動以執行加速的計數動作。在本實施例中，第一邏輯準位可以為邏輯 1 或邏輯 0，第二邏輯準位則可以為邏輯 0 或邏輯 1。

【0011】 在本實施例中，計數電路級 111~11N 可以建構為一同步計數器。計數電路級 111~11N 在一初始時間點可分別接收多個初始值。這些初始值用以設定計數裝置 100 的一計數起點。計數電路級 111~11N 並在計數動作中由此計數起點執行一遞減計數動作。計數電路級 111~11N 的計數動作可以在第一級計數結果至第 N 級計數結果 CNT<0>~CNT<N-1>等於一預設值時結束。

【0012】 值得注意的，在本實施例中，計數電路級 111~11N 中僅有對應最小有效位元的第一級計數電路級 111 是依據具有相對高頻率的第一時脈信號 CK1 來進行計數動作，其餘的第二級計數電路級 112 至第 N 級計數電路級 11N 的計數動作均是依據具有相對低頻率的第一時脈信號 CK2 來進行。因此，因做為計數依據的時脈信號的頻率過高，而導致的周邊的運算電路音來不及運算所發

生的錯誤可以有效被避免。也因此，計數裝置 100 在可產生正確的計數結果 $CNT<0>\sim CNT<N-1>$ 的前提下，可以有效提升計數動作的速度。

【0013】 請參照圖 2 以及圖 3，其中圖 2 繪示本發明實施例的計數裝置的多個計數電路級的電路示意圖，圖 3 則繪示本發明實施例的計數電路級中的正反器的元件符號圖。在圖 2 中，計數裝置 200 包括計數電路級 211~217。其中，第一級的計數電路級 211 接收第一時脈信號 CK1，並依據第一時脈信號 CK1 以執行計數動作。在本實施例中，第一級的計數電路級 211 包括正反器 FF1 以及反向器 IV1。請先參照圖 3，圖 2 實施例中的正反器 FF1~FF7 的電路符號可如圖 3 所示的正反器 FFx。其中，正反器 FFx 具有時脈端 CK、重置端 R、初始端 ini、指示信號接收端 RUNX、資料端 D 以及輸出端 Q。正反器 FFx 可透過時脈端 CK 以接收工作時脈；透過初始端 ini 以接收進行初始化的初始值；透過指示信號接收端 RUNX 以接收指示信號 RUN；透過重置端 R 以接收重置信號；並透過輸出端 Q 產生計數結果。

【0014】 請重新參照圖 2，在第一級的計數電路級 211 中，正反器 FF1 的初始端接收初始值 i_0 ；正反器 FF1 的時脈端接收第一時脈信號 CK1；正反器 FF1 的指示信號接收端接收指示信號 RUN；正反器 FF1 的資料端耦接至反向器 IV1 的輸出端；正反器 FF1 的輸出端產生第一級計數結果 $CNT<0>$ 。在本實施例中，正反器 FF1 可以建構為一除頻器，並用以使第一時脈信號 CK1 的頻率除以 2，

以產生第一級計數結果 CNT<0>。

【0015】此外，第二級的計數電路級 212 包括正反器 FF2、反互斥或閘 X1 以及反向器 IV2、IV3。反互斥或閘 X1 具有第一輸入端接收第二級計數結果 CNT<1>，並具有第二輸入端接收依據前級計數結果所產生的邏輯運算結果。其中，在第二級的計數電路級 212 中，反互斥或閘 X1 的第二輸入端接收反向器 IV2 所產生的第一級計數結果 CNT<0>的反向信號。反互斥或閘 X1 的輸出端則耦接至正反器 FF2 的資料端。

【0016】此外，正反器 FF2 的初始端接收初始值 i1；正反器 FF2 的時脈端接收第二時脈信號 CK2；正反器 FF2 的指示信號接收端接收指示信號 RUN；正反器 FF2 的輸出端產生第二級計數結果 CNT<1>。並且，反向器 IV3 並耦接至正反器 FF2 的輸出端，用以產生第二級反向計數結果 CNTB<1>。

【0017】在本實施例中，第三級的計數電路級 213 包括正反器 FF3、反互斥或閘 X2 以及反向器 IV4、IV5。反互斥或閘 X2 具有第一輸入端接收第二級計數結果 CNT<2>，並具有第二輸入端接收依據前級計數結果所產生的邏輯運算結果。其中，在第三級的計數電路級 213 中，反互斥或閘 X2 的第二輸入端接收反向器 IV4 以及反或閘 NO1 所產生的第一級計數結果 CNT<0>以及第二級計數結果 CNT<1>的或運算結果。反互斥或閘 X2 的輸出端則耦接至正反器 FF3 的資料端。

【0018】此外，正反器 FF3 的初始端接收初始值 i2；正反器 FF3

的時脈端接收第二時脈信號 CK2；正反器 FF3 的指示信號接收端接收指示信號 RUN；正反器 FF3 的輸出端產生第三級計數結果 CNT<2>。反向器 IV5 並耦接至正反器 FF3 的輸出端，用以產生第二級反向計數結果 CNTB<2>。

【0019】 第四級的計數電路級 214 至第七級的計數電路級 217 的電路架構與第四級的計數電路級 213 相類似，相關細節不多贅述。其中，第四級的計數電路級 214 至第七級的計數電路級 217 分別包括正反器 FF4~FF7、反互斥或閘 X3~X6 以及反向器 IV6~IV9。並且，反互斥或閘 X3 透過反及閘 ND1 以及反或閘 NO1 以接收多個前級計數結果（第一級計數結果 CNT<0>至第三級計數結果 CNT<2>）的邏輯運算結果；反互斥或閘 X4 透過反及閘 ND2、反或閘 NO2 以及反或閘 NO1 以接收多個前級計數結果（第一級計數結果 CNT<0>至第四級計數結果 CNT<3>）的邏輯運算結果；反互斥或閘 X5 透過反及閘 ND3、反或閘 NO1 以及反或閘 NO2 以接收多個前級計數結果（第一級計數結果 CNT<0>至第五級計數結果 CNT<4>）的邏輯運算結果；反互斥或閘 X6 透過反及閘 ND4、反或閘 NO1、NO2 以及 NO3 以接收多個前級計數結果（第一級計數結果 CNT<0>至第六級計數結果 CNT<5>）的邏輯運算結果。

【0020】 附帶一提，反向器 IV6 至 IV9 分別產生第四級反向計數結果 CNTB<3>至第七級反向計數結果 CNTB<6>。正反器 FF4~FF7 分別依據初始值 i3~i6 以執行初始化動作。

【0021】 在本實施例中，正反器 FF1~FF7 可以是 J-K 型的正反器。

【0022】計數電路級 211~217 可執行一同步計數動作，並在初始時間點上分別依據初始值 $i_0 \sim i_6$ 以獲得計數起點。正反器 FF1 依據第一時脈信號 CK1，正反器 FF2~FF7 則依據第二時脈信號 CK2 由計數起點開始，執行遞減計數動作。

【0023】以下請參照圖 4，圖 4 繪示本發明實施例的計數裝置的邏輯運算電路的示意圖。邏輯運算電路 400 用以依據指示信號 RUN 以提供第二時脈信號 CK2。其中，邏輯運算電路 400 包括正反器 DFF1、反向器 IV41~IV45、反及閘 ND41、ND42、或閘 OR41 以及延遲器 DEL。正反器 DFF1 為一 D 型正反器，接收指示信號 RUN 並依據第一時脈信號 CK1 以對指示信號 RUN 同步，並產生同步指示信號 SRUN。另外，正反器 DFF1 可依據重置信號 RST 以執行重置動作。反向器 IV41、IV42 依序串接在正反器 DFF1 的輸出端以及反及閘 ND41 的一輸入端間。反及閘 ND41 的另一輸入端接收第一級計數結果 $CNT<0>$ 。反及閘 ND41 針對同步指示信號 SRUN 以及第一級計數結果 $CNT<0>$ 進行反及運算，並將結果透過串接的反向器 IV43、IV44 以及延遲器 DEL 傳送至及閘 ND42。具體來說，當同步指示信號 SRUN 為邏輯準位 1 時，第一級計數結果 $CNT<0>$ 可在被延遲後，被傳送至及閘 ND42 的一輸入端。相對的，當同步指示信號 SRUN 為邏輯準位 0 時，延遲器 DEL 傳送邏輯準位 1 至反及閘 ND42。

【0024】在另一方面，或閘 OR41 接收第一時脈信號 CK1 以及同步指示信號 SRUN。在當同步指示信號 SRUN 為邏輯準位 1 時，

第一時脈信號 CK1 可被遮罩而不被傳送至反及閘 ND42。相對的，若同步指示信號 SRUN 為邏輯準位 0 時，第一時脈信號 CK1 可被傳送至反及閘 ND42。

【0025】 承續上述的說明，在當同步指示信號 SRUN 為邏輯準位 1 時，反及閘 ND42 可輸出第一級計數結果 CNT<0>的反向信號，並透過反向器 IV45，可使第二時脈信號 CK2 實質上與第一級計數結果 CNT<0>相同。相對的，在當同步指示信號 SRUN 為邏輯準位 0 時，反及閘 ND42 則輸出第一時脈信號 CK1 的反向信號，並透過反向器 IV45，可使第二時脈信號 CK2 實質上與第一時脈信號相同。

【0026】 以下請參照圖 5，圖 5 繪示本發明實施例中，計數裝置中用以產生一計數終止信號的邏輯運算電路的電路示意圖。在本發明實施例中，計數裝置並可設置邏輯運算電路 500 以產生計數終止信號 STP。計數終止信號 STP 用以指示計數裝置的計數動作已經完成。計數裝置後的應用電路，可以依據計數終止信號來執行各項所需要的操作。

【0027】 對應圖 2 實施例的計數裝置 200，在本實施方式中，計數裝置 200 的計數終止點例如設置在第二級計數結果 CNT<1>至第七級計數結果 CNT<6>分別為邏輯準位 1、0、0、0、0、0 時。邏輯運算電路 500 包括反向器 IV51、反及閘 ND51、ND52、反或閘 NO51 以及正反器 DFF51、DFF52。反向器 IV51、反及閘 ND51、ND52 以及反或閘 NO51 用以基於第二級反向計數結果 CNTB<1>至第七級反向計數結果 CNTB<6>進行邏輯運算，並在當第二級計

數結果 CNT<1>至第七級計數結果 CNT<6>分別為邏輯準位 1、0、0、0、0、0 時，由反或閘 NO51 產生邏輯準位 1 的輸出信號。這個邏輯準位 1 的輸出信號可透過正反器 DFF51、DFF52，以依據第一時脈信號 CK1 進行同步來產生計數終止信號 STP。另外，正反器 DFF51、DFF52 可依據重置信號 RST 執行重置動作。

【0028】 值得一提的，在本實施方式中，設計者可以自行設置所需要的計數終止點，並針對所設定的計數終止點所需的邏輯運算式來變更其中的反向器 IV51、反及閘 ND51、ND52 以及反或閘 NO51。相關的邏輯運算式與對應的邏輯閘設置的方式，為本領域具通常知識者所熟知，在此述不多贅述。

【0029】 請參照圖 6A 以及圖 6B，圖 6A 以及圖 6B 分別繪示本發明實施例的計數裝置依據不同初始值所執行的計數動作的波形圖。在圖 6A 中，對應圖 2 實施例的計數裝置 200，計數裝置 200 接收十六進位值為 38 的初始值 i6-i0 以作為計數起點，並在時間點 T1 啟動計數動作。在時間點 T1 上，第七級計數結果 CNT<6>至第二級計數結果 CNT<1>的十六進位值為 1c，第七級的反向計數結果 CNTB<6>至第二級的反向計數結果 CNT<1>的十六進位值則為 23，而此時的第一級計數結果 CNT<0>為邏輯準位 0。

【0030】 在時間點 T1 後，第一級計數結果 CNT<0>依據第一時脈信號 CK1 轉態，第二級計數結果 CNT<1>至第七級計數結果 CNT<6>則依據第一級計數結果 CNT<0>轉態。第一級計數結果 CNT<0>至第七級計數結果 CNT<6>的數位值可隨著第一時脈信號

CK1 依序遞減。在時間點 T2 時，第一級計數結果 CNT<0>至第七級計數結果 CNT<6>等於所設定的終止時間點，因此，計數終止信號 STP 被拉升為邏輯準位 1，計數裝置 200 的計數動作可以被停止。

【0031】 在圖 6B 中，同樣對應圖 2 實施例的計數裝置 200，計數裝置 200 接收十六進位值為 39 的初始值 i6-i0 以作為計數起點，並在時間點 T3 啟動計數動作。在時間點 T3 上，第七級計數結果 CNT<6>至第二級計數結果 CNT<1>的十六進位值為 1c，第七級的反向計數結果 CNTB<6>至第二級的反向計數結果 CNTB<1>的十六進位值則為 23，而此時的第一級計數結果 CNT<0>為邏輯準位 1。

【0032】 在時間點 T3 後，第一級計數結果 CNT<0>依據第一時脈信號 CK1 轉態，第二級計數結果 CNT<1>至第七級計數結果 CNT<6>則依據第一級計數結果 CNT<0>轉態。第一級計數結果 CNT<0>至第七級計數結果 CNT<6>的數位值可隨著第一時脈信號 CK1 依序遞減。在時間點 T4 時，第一級計數結果 CNT<0>至第七級計數結果 CNT<6>等於所設定的終止時間點，因此，計數終止信號 STP 被拉升為邏輯準位 1，計數裝置 200 的計數動作可以被停止。

【0033】 由圖 6A 以及圖 6B 的波形可以得知，本發明實施例的計數裝置可在相對高速的第一時信號 CK1 下完成計數動作，不會因邏輯運算電路來不及運算而產生錯誤的情況。

【0034】 值得一提的，在圖 6A 以及圖 6B 的波形中，計數裝置均

執行遞減計數動作。然在本發明的實施範疇中，並不限定計數裝置必須執行遞減計數動作。依據本發明多個實施例以及實施方式的提示，本領域具通常知識者不難進行相同概念的執行遞增計數動作的計數裝置。

【0035】 綜上所述，本發明透過使第一級的計數電路級依據相對高頻率的第一時脈信號來工作，並維持計數裝置的正常計數行為。本發明並使第一時脈信號降頻以產生第二時脈信號，再使後級的第二級的計數電路級至第 N 級的計數電路級依據對低頻率的第二時脈信號來工作。如此一來，本發明實施例的計數裝置不至於因運算電路來不及動作而產生錯誤，有效提升計數裝置的速度。

【符號說明】

【0036】

100：計數裝置

111~11N、211~217：計數電路級

120、400、500：邏輯運算電路

CK：時脈端

CK1：第一時脈信號

CK2：第二時脈信號

CNT<0>~CNT<N-1>：計數結果

CNTB<1>~CNTB<6>：反向計數結果

D：資料端

DEL：延遲器

FF1~FF7、FFx、DFF1、DFF51、DFF52：正反器

i0~i6：初始值

Ini：初始端

IV1~IV9、IV41~IV45、IV51：反向器

ND1~ND4、ND41、ND42、ND51、ND52：反及閘

NO1、NO2、NO3、NO51：反或閘

OR1、OR41：或閘

Q：輸出端

R：重置端

RST：重置信號

RUN：指示信號

RUNX：指示信號接收端

SRUN：同步指示信號

STP：計數終止信號

T1~T4：時間點

X1~X6：反互斥或閘

【發明申請專利範圍】

【請求項1】 一種計數裝置，包括：

多個計數電路級，該些計數電路級依序連接，其中第一級的計數電路級依據一第一時脈信號執行計數動作，並產生一第一級計數結果，第二級的計數電路級至第 N 級的計數電路級依據一第二時脈信號以進行計數動作，N 為大於 2 的正整數；以及

一第一邏輯運算電路，耦接該些計數電路級，依據一指示信號以提供該第一級計數結果以做為該第二時脈信號。

【請求項2】 如請求項1所述的計數裝置，其中該第二時脈信號的頻率低於該第一時脈信號的頻率。

【請求項3】 如請求項1所述的計數裝置，其中該些計數電路級形成一同步計數器。

【請求項4】 如請求項1所述的計數裝置，其中該第一邏輯運算電路在該指示信號為一第一邏輯準位時，使該第一級計數結果以為該第二時脈信號，在該指示信號為一第二邏輯準位時，使該第一時脈信號為該第二時脈信號。

【請求項5】 如請求項1所述的計數裝置，其中該些計數電路級在一初始時間點分別接收多個初始值，並依據該些初始值設定該計數裝置的一計數起點。

【請求項6】 如請求項1所述的計數裝置，其中更包括：

一第二邏輯運算電路，接收該第一級計數結果以及該第二級的計數電路級至第N級的計數電路級分別產生的一第二計數結果

至一第N計數結果，該第二邏輯運算電路依據該第一級計數結果至該第N計數結果以進行邏輯運算來產生一計數終止信號。

【請求項7】 如請求項1所述的計數裝置，其中該第一邏輯運算電路包括：

一正反器，接收該指示信號，依據該第一時脈信號以同步該指示信號來產生一同步指示信號；

一第一反及閘，針對該同步指示信號以及該第一級計數結果執行反及運算來產生一第一信號；

一延遲器，延遲該第一信號以產生一第二信號；

一或閘，針對該同步指示信號以及該第一時脈信號進行一或運算來產生一第三信號；以及

一第二反及閘，針對該第二信號以及該第三信號進行反及運算以產生該第二時脈信號。

【請求項8】 如請求項1所述的計數裝置，其中該第一級的計數電路級包括：

一反向器；以及

一正反器，具有資料端耦接至該反向器的輸出端，該正反器的輸出端產生該第一級計數結果並耦接至該反向器的輸入端，該正反器的時脈端接收該第一時脈信號，該正反器依據該指示信號以被啟動以執行計數動作，該正反器的初始信號端接收一初始值。

【請求項9】 如請求項1所述的計數裝置，其中該第二級的計數電路級至該第N級的計數電路級的每一者包括：

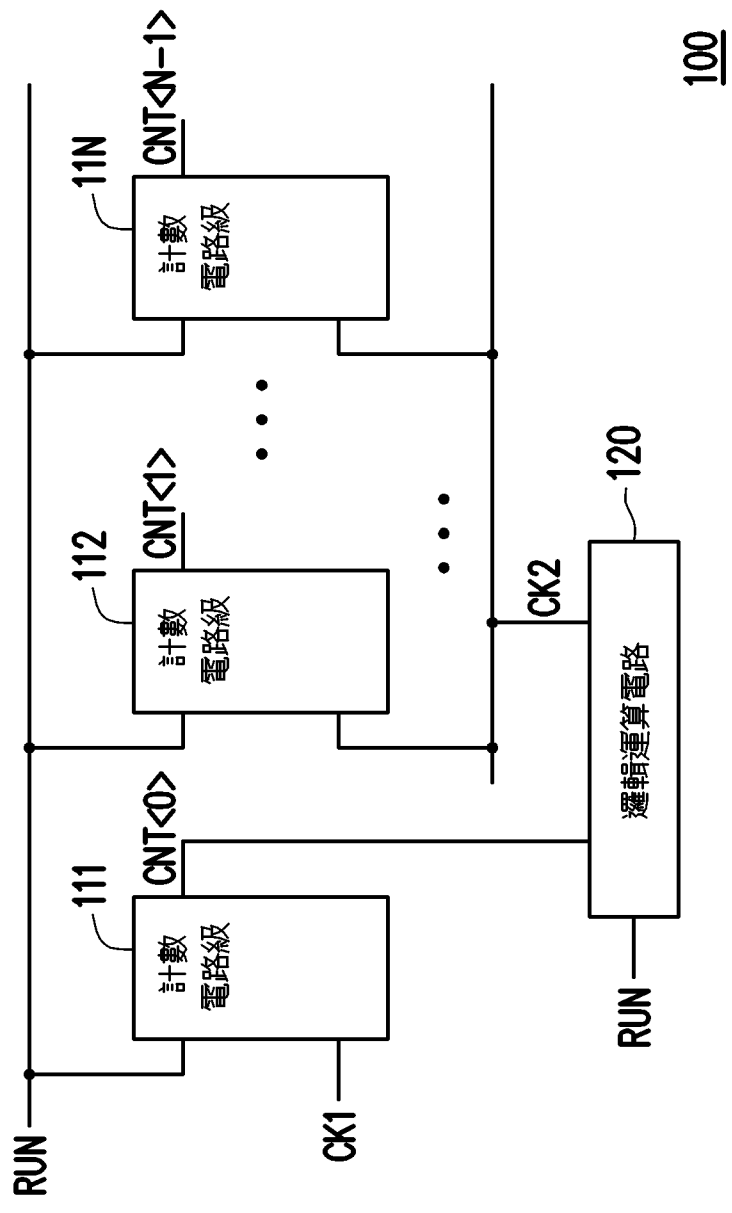
一反互斥或閘，具有一輸入端接收一當級計數結果，並具有另一輸入端接收依據多個前級計數結果所產生的邏輯運算結果；以及

一正反器，具有資料端耦接至該反互斥或閘的輸出端，該正反器的輸出端產生該當級計數結果並耦接至該反互斥或閘的輸入端，該正反器的時脈端接收該第二時脈信號，該正反器依據該指示信號以被啟動以執行計數動作，該正反器的初始信號端接收一初始值；以及

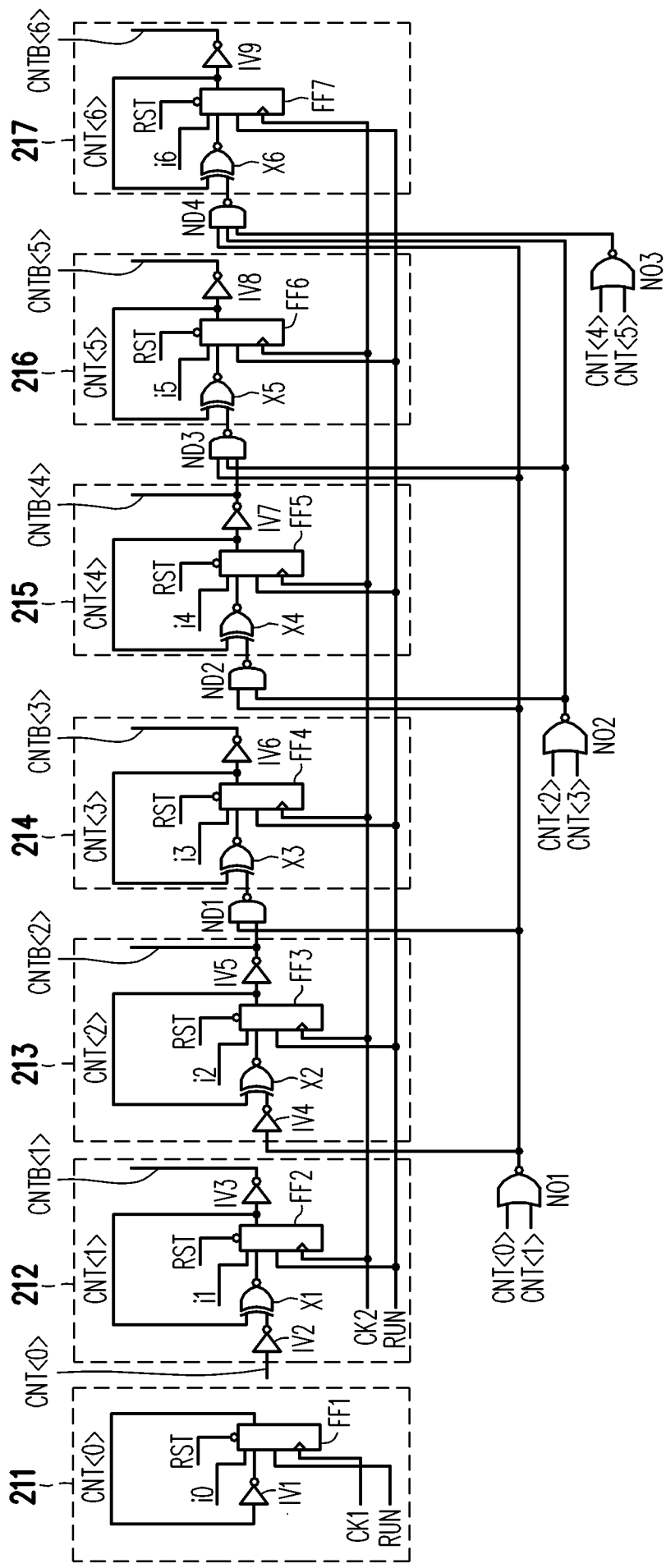
一反向器，耦接至該正反器的輸出端，依據該當級計數結果以產生一反向當級計數結果。

【請求項10】 如請求項1所述的計數裝置，其中該些計數電路級依據該指示信號以執行一遞減計數動作。

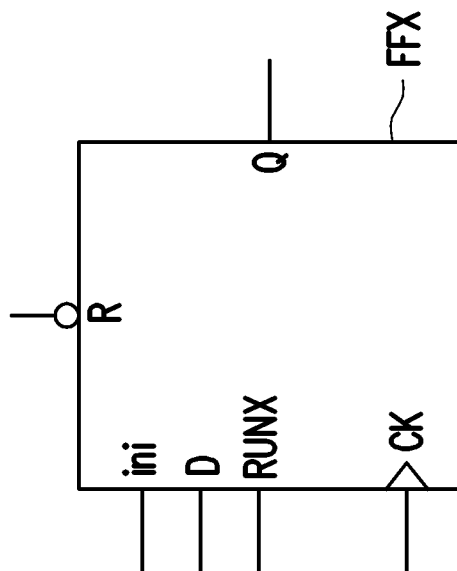
【發明圖式】



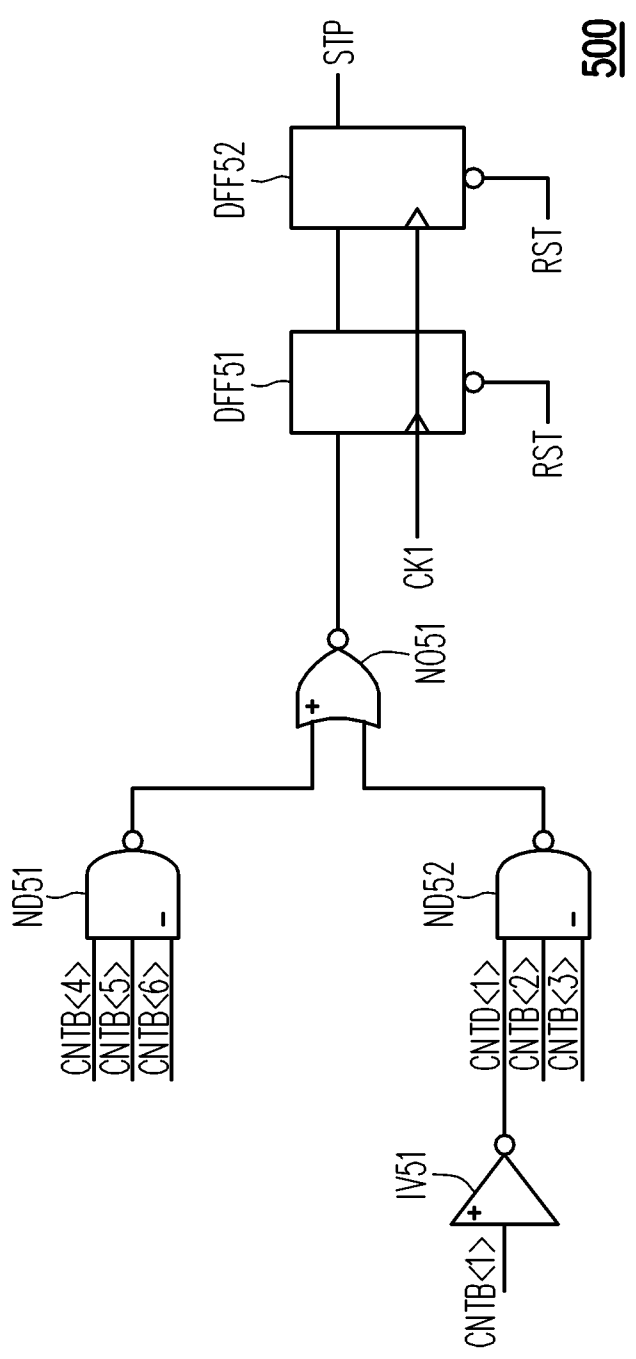
【圖1】



【圖2】

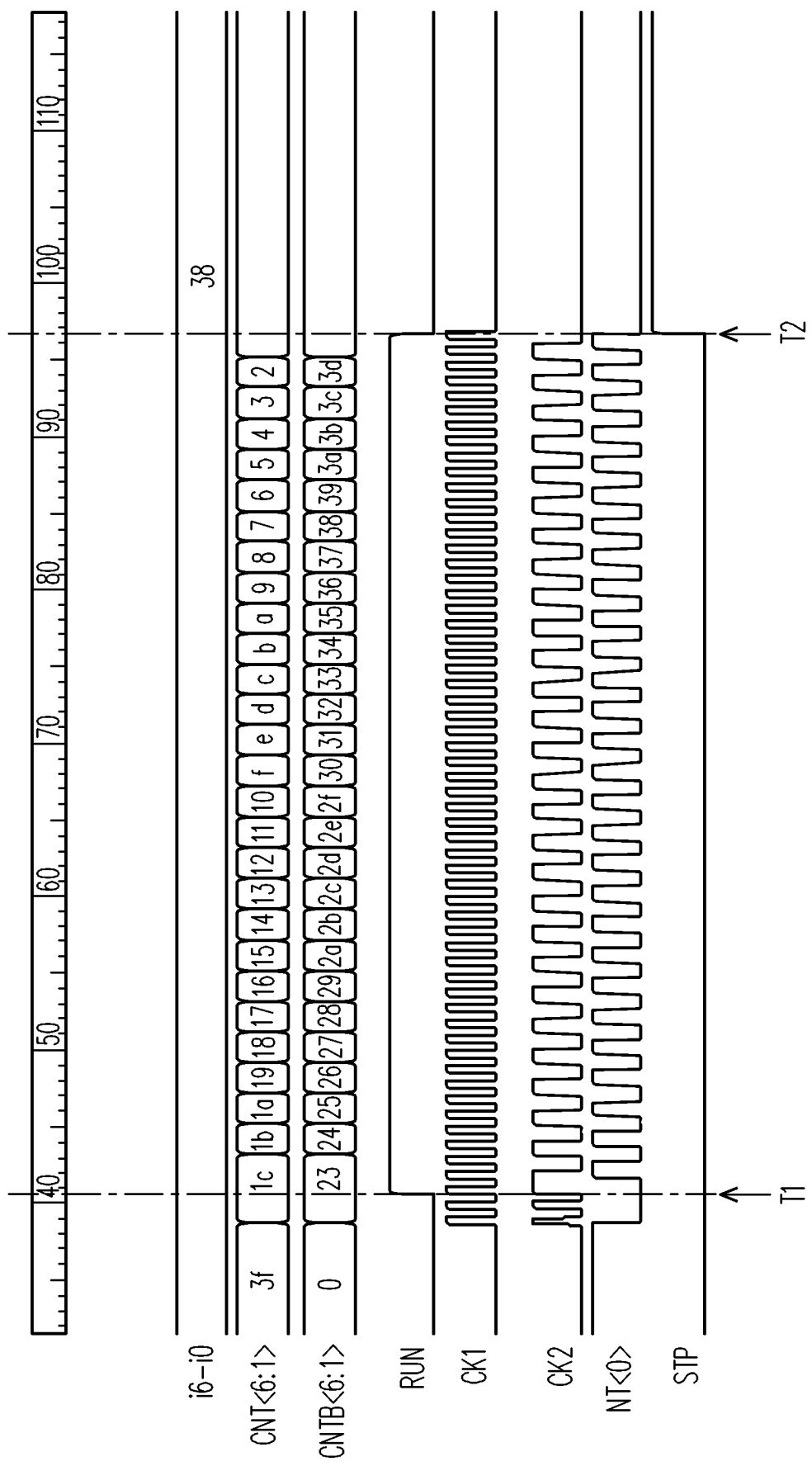


【圖3】

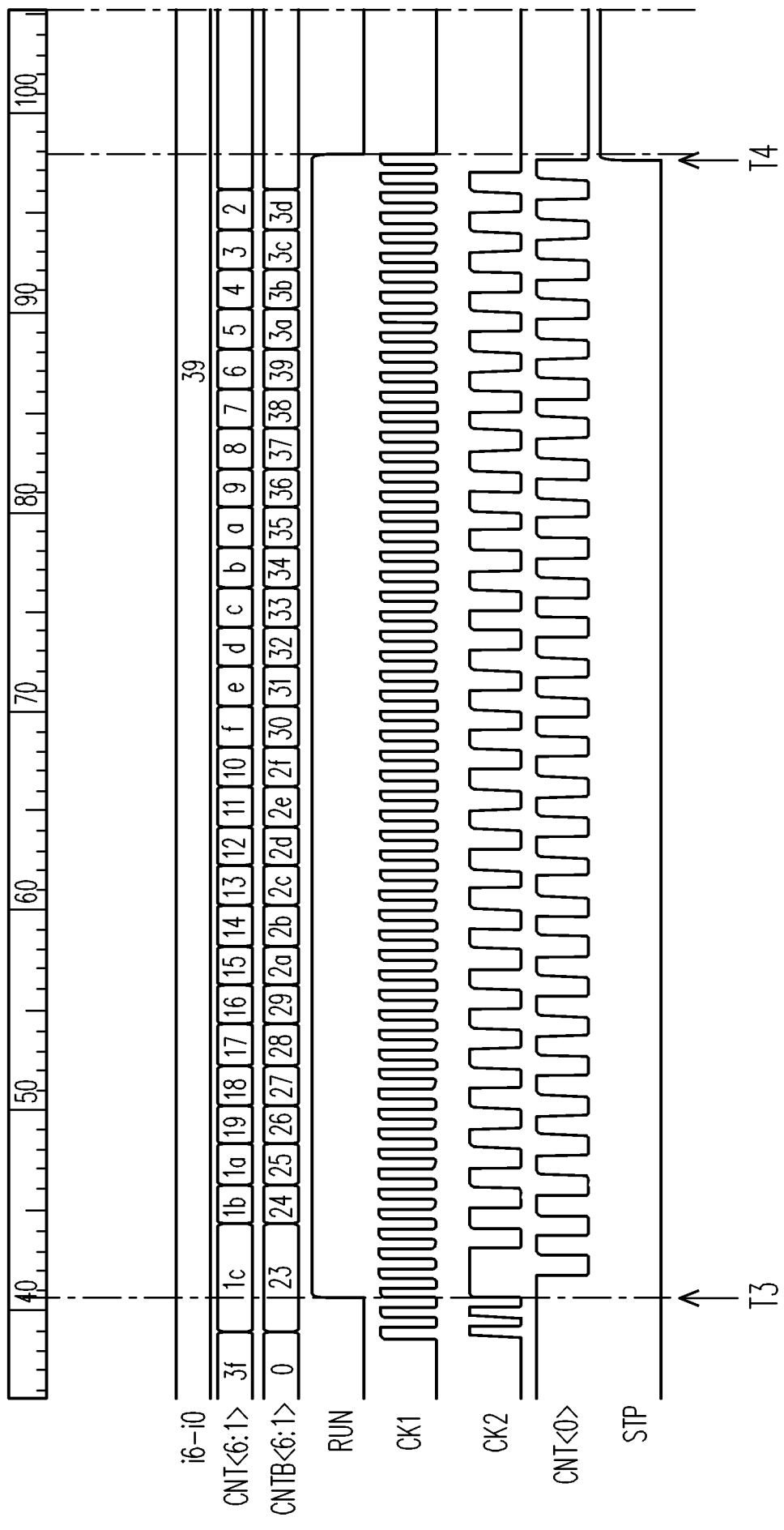


500

【圖5】



【圖6A】



【圖6B】