

發明專利說明書 200537515

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：**93129633**

※申請日期：**93-12-20**

※IPC 分類：**G11C 5/00**

一、發明名稱：(中文/英文)

具有晶片上終結電路的半導體記憶體裝置

SEMICONDUCTOR MEMORY DEVICE WITH ON-DIE TERMINATION
CIRCUIT

二、申請人：(共 1 人)

姓名或名稱：**(中文/英文)**

海力士半導體股份有限公司

HYNIX SEMICONDUCTOR INC.

代表人：**(中文/英文)**

鄭東洙/CHUNG, DONG-SOO

住居所或營業所地址：**(中文/英文)**

大韓民國京畿道 467-860 利川市夫鉢邑牙美里山 136-1

San 136-1, Ami-ri, Bubal-eub, Ichon-shi, Kyoungki-do, 467-860, Republic
of Korea

國 籍：**(中文/英文)**

大韓民國/Republic of Korea

三、發明人：(共 1 人)

姓 名：**(中文/英文)**

崔誠珉/CHOE, SEONG-MIN

國 籍：(中文/英文)

大韓民國/Republic of Korea

四、聲明事項：

主張專利法第二十二條第二項 第一款或 第二款規定之事實，其事實發生日期為： 年 月 日。

申請前已向下列國家(地區)申請專利：

【格式請依：受理國家(地區)、申請日、申請案號 順序註記】

有主張專利法第二十七條第一項國際優先權：

1. 韓國 2004.05.06 10-2004-0031970

無主張專利法第二十七條第一項國際優先權：

主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

主張專利法第三十條生物材料：

須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

九、發明說明：

【發明所屬之技術領域】

本發明係關於一種半導體記憶體裝置；尤其是具有用以降低雜訊之晶片上終結電路的半導體記憶體裝置。

【先前技術】

一般而言，半導體記憶體裝置係被用以當作計算系統，微處理系統等的主要記憶體。在系統中，許多儲存在半導體記憶體裝置之資料，會藉由晶片組傳送到緩衝器、中央處理單元(CPU)或系統的其他電路。在此，晶片組可以視為用以控制許多控制訊號之控制裝置，其係用以控制緩衝器、中央處理單元(CPU)或其他電路、和系統之資料傳送。

當資料從晶片組傳送到半導體記憶體裝置時，即，輸出自晶片組輸出緩衝器之資料訊號，被輸入到半導體記憶體裝置的輸入緩衝器時，會發生訊號反射的情形。訊號反射係一種因為輸入緩衝器的輸入阻抗沒有精確匹配傳輸線的阻抗，所以某些輸入到半導體記憶體裝置之輸入緩衝器的訊號會被反射到傳輸線之現象。

若系統的操作速度不快，即，2個連續輸出自晶片組之資料間的時間間隔很長，則訊號反射可以忽略。但是，若系統的操作速度快於預定值，如，2個連續輸出自晶片組之資料間的時間間隔非常短，則因為有訊號反射，所以系統中之資料傳送的穩定性無法保證。

換言之，在輸入的訊號和下一個輸入的訊號之間有干擾現象。因此，下一個輸入的訊號並不會穩定地輸入到半導體記憶體裝置。為了防止系統因干擾現象所造成的不穩

定性，系統電路板包含一個終結電路，用以使半導體記憶體裝置的輸入阻抗對應連接到半導體記憶體裝置之傳輸線的阻抗。

第 1 圖為用於傳統系統之傳統終結電路的方塊圖。

如圖所示，傳統的終結電路 30 係位在晶片組 10 和半導體記憶體裝置 20 之間。晶片組 10 包含輸出緩衝器 11，用以將資料訊號 D_a 輸出到半導體記憶體裝置 20。此外，半導體記憶體裝置 20 具有輸入緩衝器 21，用以接收輸出自晶片組 10 的輸出緩衝器 11 之資料訊號 D_a 。晶片組 10 和半導體記憶體裝置 20 係藉由資料傳輸線 40，透過傳統的終結電路耦合。換言之，資料傳輸線 40 貫穿傳統的終結電路 30，其中傳統的終結電路 30 係位在包含在半導體記憶體裝置 20 之中的輸入緩衝器 21 外部附近。

在此，傳統的終結電路 30 包含第一電阻器 R_a 和第二電阻器 R_b 。第一電阻器 R_a 係耦合在供應電壓 V_{DD} 和資料傳輸線 40 之間；而第二電阻器 R_b 係連接在資料傳輸線 40 和接地電位 V_{SS} 之間。

例如，若資料傳輸線 40 的阻抗為 $28\ \Omega$ (歐姆)，則分別將第一和第二電阻器 R_a 和 R_b 設為 $56\ \Omega$ (歐姆)，以使有等效的電阻，即，半導體記憶體裝置的輸入阻抗係設為 $28\ \Omega$ (歐姆)。因此，在第一和第二電阻器 R_a 和 R_b 之間共同節點，供應一半的供應電壓，即 $1/2 V_{DD}$ 。

因此，經由資料傳輸線 40 傳輸的資料訊號 D_a 可以穩定地輸入到輸入緩衝器 21；而反射訊號 D_r 會因傳統終結電路 30 中的第一和第二電阻器 R_a 和 R_b 而消失。然後，下

一個資料訊號可以傳輸到輸入緩衝器 21，而沒有反射訊號 Dr 和下一個資料訊號之間的干擾現象。

另一方面，傳統半導體記憶體裝置的操作速度可以更快，而且傳統半導體記憶體裝置可以發展成大型積體電路。最近，有人提出一種晶片上終結電路，以反應先進半導體記憶體裝置的快速操作速度和很小的尺寸。

【發明內容】

因此，本發明之目的係要提供一種具有晶片上終結電路之半導體記憶體裝置，用以同時導通包含在該晶片上終結電路中的兩 MOS 電晶體，即兩開關裝置，以減少雜訊。

根據本發明之一方向，其係提供一種耦合至一墊並包含於半導體記憶體裝置中的晶片上終結電路，用以減少由訊號反射現象所造成之干擾；該晶片上終結電路包含一耦合在輸出節點和供應電壓之間的拉升方塊；一耦合在輸出節點和接地電位之間的拉降方塊；及一用以接收 ODT 控制訊號之控制方塊，以同時活化拉升方塊和拉降方塊。

根據本發明之另一方向，本發明提供一種半導體記憶體裝置，其包含許多用以輸入和輸出資料訊號或控制訊號之輸入-輸出墊；一用以響應寫入指令訊號而儲存許多資料，和響應讀取指令訊號而輸出儲存資料之內部方塊；及許多各自耦合到各個輸入-輸出墊和內部區域，用以減少由於訊號反射現象所造成之干擾的晶片上終結電路，其中該晶片上終結電路包含：一耦合在輸出節點和供應電壓之間的拉升方塊；一耦合在輸出節點和接地電位之間的拉降方塊；及一用以接收 ODT 控制訊號之控制方塊，以同時活化拉

升方塊和拉降方塊。

【實施方式】

下面將參考附圖詳細說明根據本發明之具有用以減少雜訊的晶片上終結電路之半導體記憶體裝置。

半導體記憶體裝置包含許多用以輸入和輸出資料訊號或控制訊號之輸入-輸出墊；一用以響應寫入指令訊號而儲存許多資料，和響應讀取指令訊號而輸出儲存資料之內部方塊；及許多各自耦合到各個輸入-輸出墊和內部區域，用以減少由於訊號反射現象所造成之干擾的晶片上終結電路。

第 2 圖為說明根據本發明一實施例之包含在半導體記憶體裝置中之晶片上終結電路的方塊圖。

如圖所示，先進半導體記憶體裝置包含一記憶體核心區域 80、一輸出緩衝器 60、一輸入緩衝器 70、一晶片上終結電路 50 和一輸入-輸出墊 DQ。共同節點 X 耦合到晶片上終結電路 50、輸入-輸出墊 DQ、輸出緩衝器 60 和輸入緩衝器 70。記憶體核心區域 80 包含許多單位胞元、一行解碼器、一列解碼器，等等。在此，輸出緩衝器 60 係用以將輸出自記憶體核心區域 80 之輸出資料 Dout，經由輸入-輸出墊 DQ，緩衝及輸出到位在先進半導體記憶體裝置外部之外部電路。輸入緩衝器 70 係用以將經由輸入-輸出墊 DQ，自外部電路輸入之輸入資料 Din，傳輸進入記憶體核心區域 80。在此，輸入-輸出墊 DQ 係用以接收來自外部電路之資料，並且將資料輸出到外部電路。

參照第 2 圖，晶片上終結電路 50 包含第一 PMOS 電晶體 MP1、第一 NMOS 電晶體 MN1、第三電阻器 R2、第四電

阻器 R4 和第一反向器 I1。

第一 PMOS 電晶體 MP1 具有一源極、一汲極和一閘極：源極耦合到供應電壓 VDD，閘極用以接收 ODT 控制訊號 ODTCON，而汲極則耦合到第三電阻器 R2。第三電阻器 R2 係耦合在第一 PMOS 電晶體 MP1 和共同節點 X 之間。第一反向器 I1 係用以接收 ODT 控制訊號 ODTCON，然後將反向 ODT 控制訊號輸出到第一 NMOS 電晶體 MN1。同樣地，第一 NMOS 電晶體 MN1 具有一源極、一汲極和一閘極：源極耦合到接地電位 VSS，閘極用以接收反向 ODT 控制訊號，而汲極則耦合到第四電阻器 R4。第四電阻器 R4 係耦合在第一 NMOS 電晶體 MN1 和共同節點 X 之間。

晶片上終結電路 50 應該在資料經由輸入-輸出墊 DQ 輸入期間被致能，而在資料經由輸入-輸出墊 DQ 輸出期間被怠化。

若被活化成爲邏輯低準位之 ODT 控制訊號 ODTCON 輸入到晶片上終結電路 50，則第一 PMOS 電晶體 MP1 和第一 NMOS 電晶體 MN1 導通。然後，共同節點 X 被供應一半準位的供應電壓，即 $1/2 VDD$ 。在此，共同節點 X 的阻抗等效於資料傳輸線的阻抗，其中資料傳輸線係連接到用以將先進半導體記憶體裝置耦合到外部電路之輸入-輸出墊 DQ。例如，資料傳輸線 40 的阻抗爲 $28\ \Omega$ (歐姆)，則分別將第一和第二電阻器 Ra 和 Rb 設爲 $56\ \Omega$ (歐姆)，以使等效電阻設爲 $28\ \Omega$ (歐姆)。

在上述的半導體記憶體裝置中，因爲第一反向器 I1 的延遲時間，所以第一 PMOS 和 NMOS 電晶體 MP1 和 MN1

的各閘極係在不同的時序接收到控制訊號。換言之，反向 ODT 控制訊號輸入到第一 NMOS 電晶體 MN1 閘極的時間點，晚於 ODT 控制訊號輸入到第一 PMOS 電晶體 MP1 閘極的時間點。此時序間隙會在共同節點 X 產生雜訊，而此雜訊會對輸入的資料造成很大的影響。

當半導體記憶體裝置的操作速度更快時，第一反向器 I1 的延遲時間會降低半導體記憶體裝置之操作的可靠度和穩定度。當有許多資料輸入到半導體記憶體裝置時，由於時序間隙所產生的雜訊會造成錯誤。

第 3 圖為說明根據本發明一實施例之包含在半導體記憶體裝置中之晶片上終結電路的方塊圖。

如圖所示，半導體記憶體裝置包含一記憶體核心區域 400、一輸出緩衝器 200、一輸入緩衝器 300、一晶片上終結電路 100 和一輸入-輸出墊 DQ。

晶片上終結電路 100 係用以使共同節點 A 的阻抗等於從外部連接到輸入-輸出墊 DQ 之資料傳輸線的阻抗。共同節點 A 耦合到晶片上終結電路 100、輸入-輸出墊 DQ、輸出緩衝器 200 和輸入緩衝器 300。記憶體核心區域 400 包含許多單位胞元、一行解碼器、一列解碼器、一感測放大器，等等。在此，輸出緩衝器 200 係用以將輸出自記憶體核心區域 400 之輸出資料 D_{out} ，經由輸入-輸出墊 DQ，緩衝及輸出到位在先進半導體記憶體裝置外部之外部電路。輸入緩衝器 300 係用以將經由輸入-輸出墊 DQ，自外部電路輸入之輸入資料 D_{in} ，傳輸進入記憶體核心區域 400。在

此，輸入-輸出墊 DQ 係用以接收來自外部電路之資料，並且將資料輸出到外部電路。

參照第 3 圖，該用以減少由於訊號反射現象所造成的干擾之晶片上終結電路 100，包含一拉升方塊 120、一拉降方塊 130 和一控制方塊 110。

控制方塊 110 係用以接收 ODT 控制訊號 ODTCON，以同時活化拉升方塊 120 和拉降方塊 130。再者，控制方塊 130 包含第一反向器 I2 和一交互耦合閘。第一反向器 I2 係用以將 ODT 控制訊號 ODTCON 反向，然後將反向 ODT 控制訊號輸出到交互耦合閘。在此，交互耦合閘係由第一和第二 NAND 閘 ND1 和 ND2 構成。交互耦合閘係用以接收 ODT 控制訊號 ODTCON 和輸出自第一反向器 I2 的反向 ODT 控制訊號，然後產生第一和第二控制訊號，以同時活化拉升方塊 120 和拉降方塊 130。第一 NAND 閘 ND1 接收 ODT 控制訊號 ODTCON 和第二 NAND 閘 ND2 的輸出訊號，然後輸出第一控制訊號到拉升方塊 120。同樣地，第二 NAND 閘 ND2 接收輸出自第一反向器 I2 的反向 ODT 控制訊號和第一 NAND 閘 ND1 的輸出訊號，即，第一控制訊號，然後輸出第二控制訊號到拉降方塊 130。換言之，第一和第二 NAND 閘 ND1 和 ND2 分別輸出第一和第二控制訊號到拉升方塊 120 和拉降方塊 130。

拉升方塊 120 係用以供應共同節點 A 供應電壓 VDD。拉升方塊 120 包含第一 PMOS 電晶體 MP2 和第一電阻器 R6。詳而言之，第一 PMOS 電晶體 MP2 具有一源極、一汲極

和一閘極：源極耦合到供應電壓 VDD，閘極用以接收輸出自控制方塊 110 的第一 NAND 閘 ND1 之第一控制訊號，而汲極則耦合到第一電阻器 R6。第三電阻器 R6 係耦合在第一 PMOS 電晶體 MP2 和共同節點 A 之間。

此外，拉降方塊 130 係用以供應共同節點 A 接地電位 VSS。具有第一 NMOS 電晶體 MN2 和第二電阻器 R8 之拉降方塊 130，其結構類似於拉升方塊 120。第一 NMOS 電晶體 MN2 具有一源極、一汲極和一閘極：源極耦合到接地電位 VSS，閘極用以接收輸出控制方塊 110 的第二 NAND 閘 ND2 之第二控制訊號，而汲極則耦合到第二電阻器 R8。第二電阻器 R8 係耦合在第一 NMOS 電晶體 MN2 和共同節點 A 之間。

下面，將參照第 3 圖，詳細說明晶片上終結電路 100 的操作。

晶片上終結電路 100 應該在資料經由輸入-輸出墊 DQ 輸入期間被致能，而在資料經由輸入-輸出墊 DQ 輸出期間被怠化 (inactivated)。換言之，當經由輸出緩衝器 200 傳輸自記憶體核心區域 400 的資料被輸出到輸入-輸出墊 DQ 時，ODT 控制訊號 ODTCON 被輸入成爲邏輯低準位。然後，第一 PMOS 電晶體 MP2 和第一 NMOS 電晶體 MN2 關閉。

相對地，當資料係經由輸入-輸出墊 DQ 輸入到輸入緩衝器 300 時，ODT 控制訊號 ODTCON 被輸入成爲邏輯高準位。然後，來自第一 NAND 閘 ND1 之第一控制訊號被輸出

成爲邏輯低準位；及來自第二 NAND 閘 ND2 之第二控制訊號被輸出成爲邏輯高準位。因此，第一 PMOS 電晶體 MP2 和第一 NMOS 電晶體 MN2 都導通。

然後，若第一電阻器 R6 的電阻和第二電阻器 R8 的電阻相同，則共同節點 A 被供應一半準位的供應電壓，即 $1/2 V_{DD}$ 。因此，共同節點 A 的阻抗等效於資料傳輸線的阻抗，其中資料傳輸線係來自於半導體記憶體裝置外部，被連接到輸入-輸出墊 DQ。例如，若資料傳輸線 40 的阻抗爲 28Ω (歐姆)，則分別將第一和第二電阻器 Ra 和 Rb 設爲 56Ω (歐姆)，以使等效電阻設爲 28Ω (歐姆)。

因此，在資料訊號經由輸入-輸出墊 DQ，連續輸入到輸入緩衝器 300 期間所產生的反射訊號，不會回到資料傳輸線。反射訊號可以藉由晶片上終結電路 100 消失。然後，資料訊號可以傳輸到輸入緩衝器 300，而沒有由於響應前面的資料訊號之反射訊號所造成的干擾現象。

此外，因爲根據本發明包含在晶片上終結電路 100 之控制方塊 110，包含由兩個 NAND 閘構成之交互耦合閘，所以拉升方塊 120 的第一 PMOS 電晶體 MP2 和拉降方塊 130 的第一 NMOS 電晶體 MN2 係同時導通，即活化。換言之，拉升方塊 120 和拉降方塊 130 係同時被致能。

同樣地，當晶片上終結訊號 ODTCON 被輸入成爲邏輯低準位，即被怠化時，控制方塊 110 的第一和第二 NAND 閘，分別將第一和第二控制訊號，同時輸出到第一 PMOS 電晶體 MP2 和第一 NMOS 電晶體 MN2。因此，晶片上終結

方塊的拉升方塊 120 和拉降方塊 130 係同時被怠化。

於是，在根據本發明之半導體記憶體裝置中，如第 2 圖之說明，發生在共同節點 X 之開關雜訊，可以藉由同時導通或關閉拉升方塊 120 和拉降方塊 130 消除。換言之，當晶片上終結電路 100 導通或關閉，即活化或怠化時，在該時間點會產生開關雜訊；然後，經由輸入-輸出墊 DQ 傳輸的資料訊號可以更穩定地輸入到輸入緩衝器 300。

第 4 圖為說明根據本發明另一實施例之包含在半導體記憶體裝置中之晶片上終結電路 100' 的方塊圖。

如圖所示，晶片上終結電路 100' 和示於第 3 圖之晶片上終結電路 100 類似。同樣地，晶片上終結電路 100' 也包含拉升方塊 120、拉降方塊 130 和控制方塊 110'。但是，控制方塊 110' 具有第二反向器 I3 和由兩個 NOR 閘構成之交互耦合門。第二反向器 I3 係用以將 ODT 控制訊號 ODTCON 反向，然後將反向 ODT 控制訊號輸出到交互耦合門。

在此，交互耦合門包含用以接收 ODT 控制訊號 ODTCON，然後將第一控制訊號輸出到拉升方塊 120 之第一 NOR 閘 NOR1，及用以接收第一控制訊號和輸出自第二反向器 I3 的反向 ODT 控制訊號，然後將第二控制訊號輸出到拉降方塊 130 和第一 NOR 閘 NOR1 之第二 NOR 閘 NOR2。

除了晶片上終結電路 100' 中之交互耦合門的結構之外，晶片上終結電路 100' 的操作和晶片上終結電路 100 非常類似；因此，省略關於晶片上終結電路 100' 之操作的詳細

說明。

如上所述，具有根據本發明之晶片上終結電路的半導體記憶體裝置，藉由同步化包含在晶片上終結電路中之兩個開關元件的個別操作，即導通或關閉，就可以急劇性地減少晶片上終結電路在被致能或失能時所產生的開關雜訊。因此，半導體記憶體裝置可以穩定地接收，經由連接到晶片上終結電路之墊輸入的資料訊號。

本申請書包含 2004 年 5 月 6 日向韓國專利局申請之韓國專利公報第 2004-31970 號的相關內容，此處將所有的內容都納入參考。

本發明已對特別的實施例詳細說明，那些熟悉本項技術之人士所做之各種不同的變化例和修正例，明顯將不脫離本發明在後面之申請專利範圍所界定之精神和範圍。

【圖式簡單說明】

根據下面參考相關附圖之較佳實施例的說明，本發明上述的和其他的目的與特徵將會變得很清楚，其中：

第 1 圖為顯示用於習知系統之習知終結電路的方塊圖；

第 2 圖為顯示根據本發明一實施例之包含在半導體記憶體裝置中之晶片上終結電路的方塊圖；

第 3 圖為顯示根據本發明另一實施例之包含在半導體記憶體裝置中之晶片上終結電路的方塊圖；及

第 4 圖為顯示根據本發明另一實施例之包含在半導體記憶體裝置中之晶片上終結電路的方塊圖。

【主要元件符號說明】

10	晶片組
11,60,200	輸出緩衝器
20	半導體記憶體裝置
21,70,300	輸入緩衝器
30	傳統終結電路
40	資料傳輸線
50,100,100'	晶片上終結電路
80,400	記憶體核心區域
110,110'	控制方塊
120	拉升方塊
130	拉降方塊
A,X	共同節點
Da	資料訊號
Dr	反射訊號
Din	輸入資料
Dout	輸出資料
DQ	輸入-輸出墊
Ra	第一電阻器
Rb	第二電阻器
R2	第三電阻器
R4	第四電阻器
R6	第一電阻器
R8	第二電阻器

MN1, MN2	第一 NMOS 電晶體
MP1, MP2	第一 PMOS 電晶體
ODTCON	ODT 控制訊號
ND1	第一 NAND 閘
ND2	第二 NAND 閘
I1, I2	第一 反向器
NOR1	第一 NOR 閘
NOR2	第二 NOR 閘

五、中文發明摘要：

一種晶片上終結電路，其被耦合到一墊 (pad) 且包含在半導體記憶體裝置中，用以減少由於訊號反射現象所造成之干擾，其包含一耦合在輸出節點和供應電壓之間的拉升方塊；一耦合在輸出節點和接地電位之間的拉降方塊；及一用以接收 ODT 控制訊號之控制方塊，以同時活化拉升方塊和拉降方塊。

六、英文發明摘要：

An on-die termination circuit, which is coupled to a pad and included in a semiconductor memory device, for reducing an interference caused by a signal reflection phenomenon, includes a pull-up block coupled between an output node and a supply voltage; a pull-down block coupled between the output node and a ground; and a control block for receiving an ODT control signal to simultaneously activate the pull-up block and the pull-down block.

十、申請專利範圍：

1. 一種晶片上終結電路，其被耦合到一墊且包含在半導體記憶體裝置中，用以減少由於訊號反射現象所造成之干擾，其包含：
 - 一耦合在輸出節點和供應電壓之間的拉升方塊；
 - 一耦合在輸出節點和接地電位之間的拉降方塊；及
 - 一用以接收 ODT 控制訊號之控制方塊，以同時活化拉升方塊和拉降方塊。
2. 如申請專利範圍第 1 項之晶片上終結電路，其中該控制方塊包含一用以反向 ODT 控制訊號之反向器。
3. 如申請專利範圍第 2 項之晶片上終結電路，其中該控制方塊包含一交互耦合門，用以接收 ODT 控制訊號和輸出自反向器的反向 ODT 控制訊號，然後產生第一和第二控制訊號，以同時活化拉升方塊和拉降方塊。
4. 如申請專利範圍第 3 項之晶片上終結電路，其中該交互耦合門包含：
 - 第一 NAND 閘，用以接收 ODT 控制訊號，然後輸出第一控制訊號到拉升方塊；及
 - 第二 NAND 閘，用以接收第一控制訊號和輸出自反向器的反向 ODT 控制訊號，然後輸出第二控制訊號到拉降方塊和第一 NAND 閘。
5. 如申請專利範圍第 3 項之晶片上終結電路，其中該交互耦合門包含：
 - 第一 NOR 閘，用以接收 ODT 控制訊號，然後輸出

第一控制訊號到拉升方塊；及

第二 NOR 閘，用以接收第一控制訊號和輸出自反向器的反向 ODT 控制訊號，然後輸出第二控制訊號到拉降方塊和第一 NOR 閘。

6. 如申請專利範圍第 3 項之晶片上終結電路，其中拉升方塊包含：

響應第一控制訊號而導通之第一電晶體，用以供應供應電壓；及

一耦合在第一電晶體和輸出節點之間的電阻器。

7. 如申請專利範圍第 6 項之晶片上終結電路，其中拉降方塊包含：

響應第二控制訊號而導通之第二電晶體，用以供應接地電位；及

一耦合在第二電晶體和輸出節點之間的電阻器。

8. 如申請專利範圍第 7 項之晶片上終結電路，其中第一電阻器的電阻等於第二電阻器的電阻。

9. 如申請專利範圍第 8 項之晶片上終結電路，其中第一電晶體係 PMOS 電晶體，而第二電晶體係 NMOS 電晶體。

10. 一種半導體記憶體裝置，包含：

許多輸入-輸出墊，用以輸入和輸出資料訊號或控制訊號；

一內部方塊，用以響應寫入指令訊號而儲存許多資料，和響應讀取指令訊號而輸出儲存資料；及

許多晶片上終結電路，其各自耦合到各個輸入-輸出

墊和內部區域，用以減少由於訊號反射現象所造成之干擾，

其中該晶片上終結電路包含：

一耦合在輸出節點和供應電壓之間的拉升方塊；

一耦合在輸出節點和接地電位之間的拉降方塊；及

一用以接收 ODT 控制訊號之控制方塊，以同時活化拉升方塊和拉降方塊。

11. 如申請專利範圍第 10 項之晶片上終結電路，其中該控制方塊包含一用以反向 ODT 控制訊號之反向器。

12. 如申請專利範圍第 11 項之晶片上終結電路，其中該控制方塊包含一交互耦合門，用以接收 ODT 控制訊號和輸出自反向器的反向 ODT 控制訊號，然後產生第一和第二控制訊號，以同時活化拉升方塊和拉降方塊。

13. 如申請專利範圍第 12 項之晶片上終結電路，其中該交互耦合門包含：

第一 NAND 閘，用以接收 ODT 控制訊號，然後輸出第一控制訊號到拉升方塊；及

第二 NAND 閘，用以接收第一控制訊號和輸出自反向器的反向 ODT 控制訊號，然後輸出第二控制訊號到拉降方塊和第一 NAND 閘。

14. 如申請專利範圍第 12 項之晶片上終結電路，其中該交互耦合門包含：

第一 NOR 閘，用以接收 ODT 控制訊號，然後輸出第一控制訊號到拉升方塊；及

第二 NOR 閘，用以接收第一控制訊號和輸出自反向器的反向 ODT 控制訊號，然後輸出第二控制訊號到拉降方塊和第一 NOR 閘。

15. 如申請專利範圍第 12 項之晶片上終結電路，其中拉升方塊包含：

響應第一控制訊號而導通之第一電晶體，用以供應供應電壓；及

耦合在第一電晶體和輸出節點之間的電阻器。

16. 如申請專利範圍第 15 項之晶片上終結電路，其中拉降方塊包含：

響應第二控制訊號而導通之第二電晶體，用以供應接地電位；及

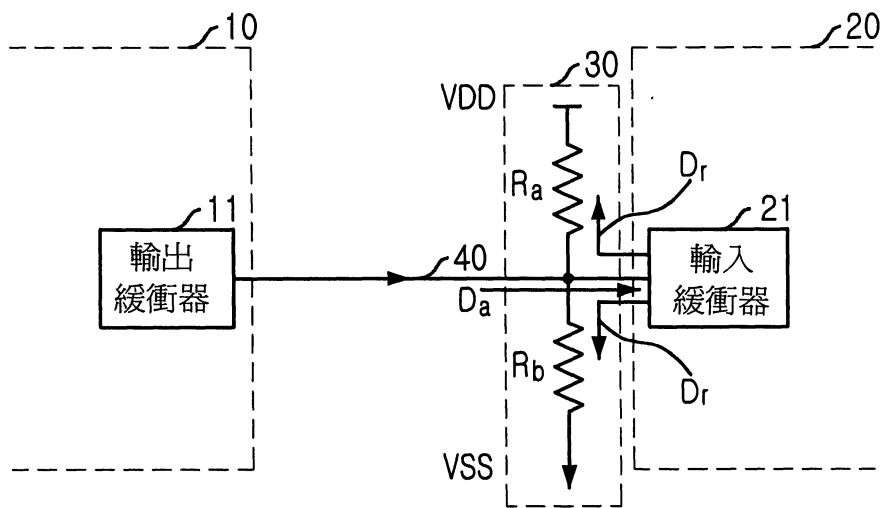
耦合在第二電晶體和輸出節點之間的電阻器。

17. 如申請專利範圍第 16 項之晶片上終結電路，其中第一電阻器的電阻等於第二電阻器的電阻。

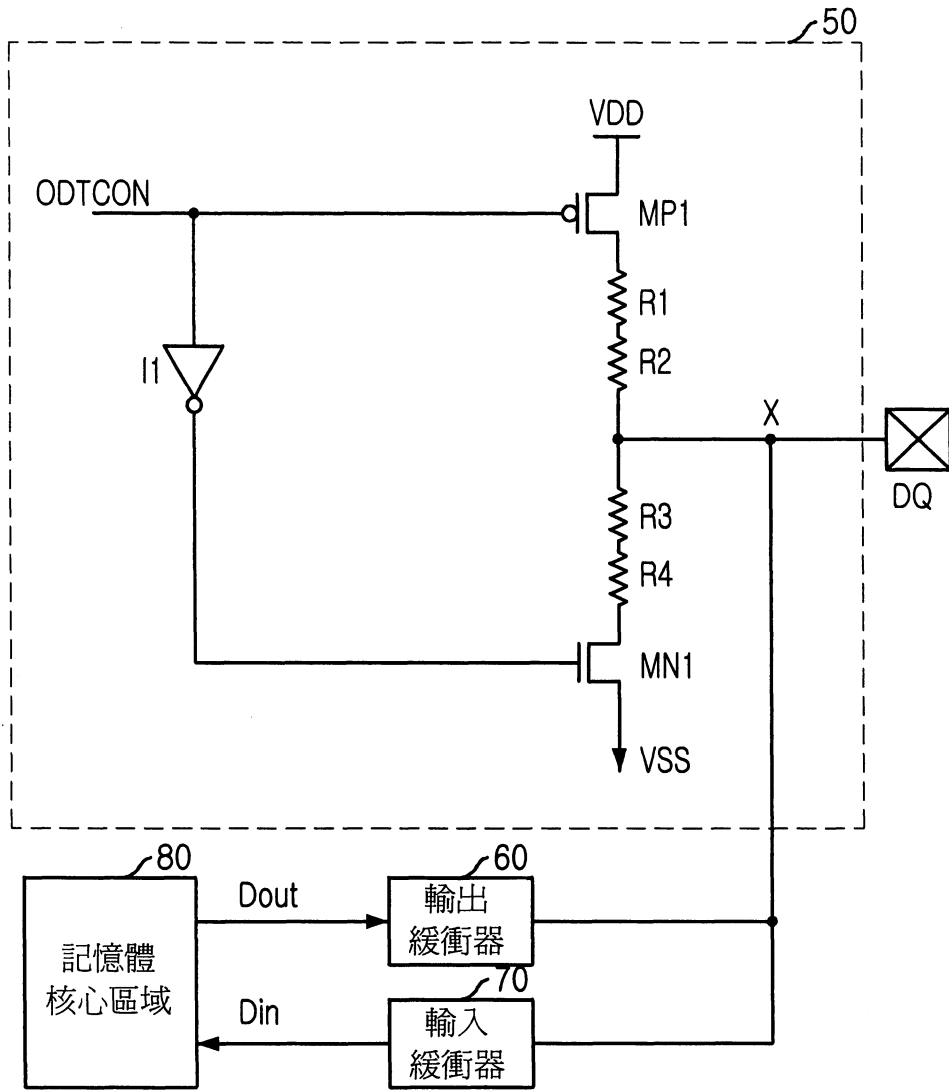
18. 如申請專利範圍第 16 項之晶片上終結電路，其中第一電晶體係 PMOS 電晶體，而第二電晶體係 NMOS 電晶體。

93139633

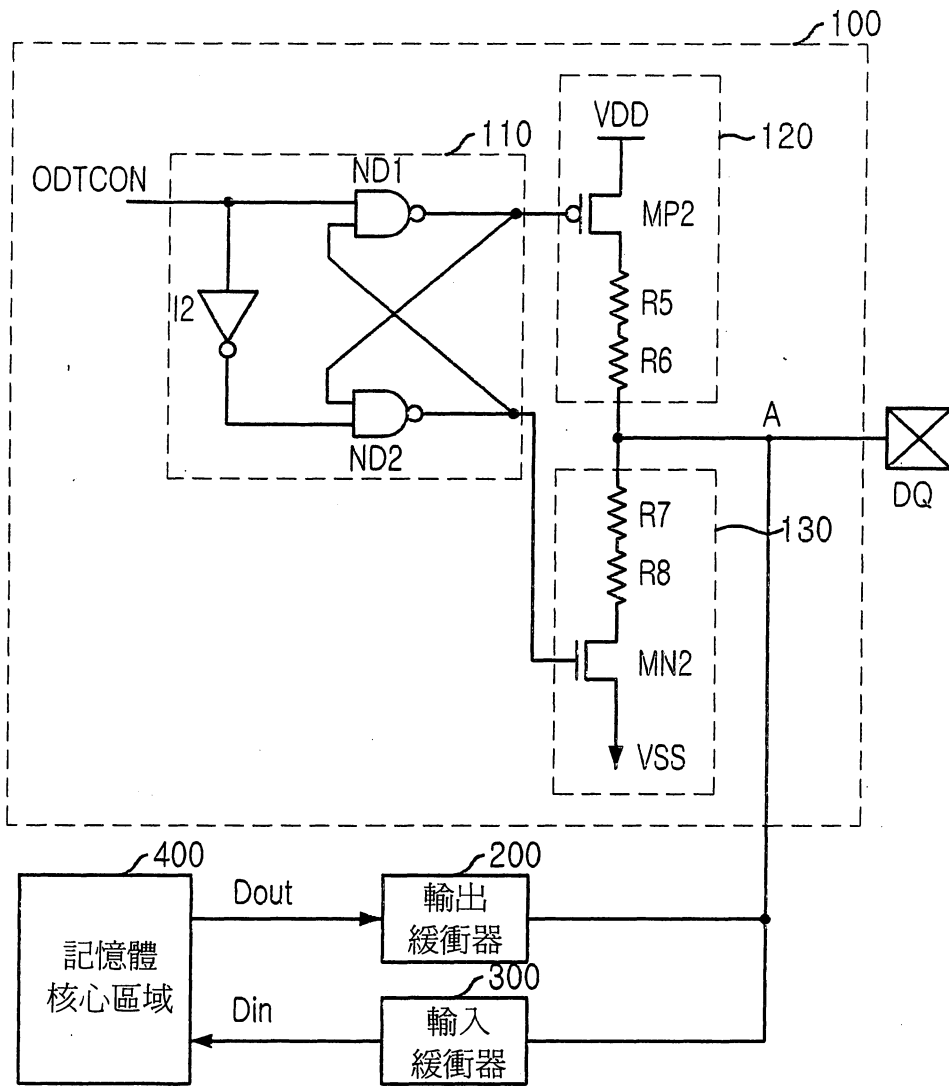
第 1 圖
(習知技術)



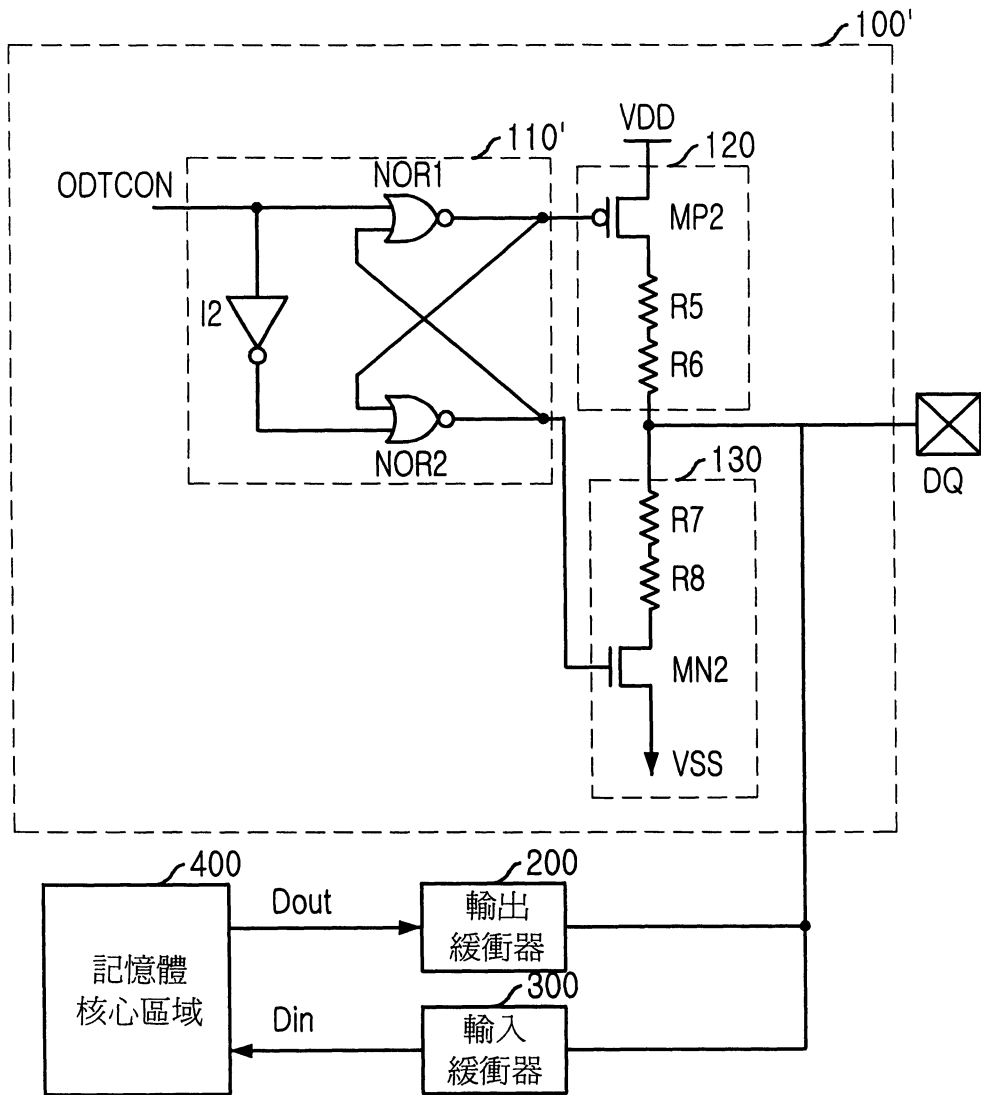
第 2 圖



第 3 圖



第 4 圖



七、指定代表圖：

(一)本案指定代表圖為：第 4 圖。

(二)本代表圖之元件符號簡單說明：

100'	晶片上終結電路
200	輸出緩衝器
300	輸入緩衝器
400	記憶體核心區域
110'	控制方塊
120	拉升方塊
130	拉降方塊
DQ	輸入-輸出墊
I2	第一反向器
ODTCON	ODT 控制訊號
NOR1	第一 NOR 閘
NOR2	第二 NOR 閘
MP2	第一 PMOS 電晶體
R6	第一電阻器
R8	第二電阻器
MN2	第一 NMOS 電晶體
Din	輸入資料
Dout	輸出資料

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：