

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2006-80295

(P2006-80295A)

(43) 公開日 平成18年3月23日(2006.3.23)

(51) Int. Cl.		F I		テーマコード (参考)
HO 1 L 23/52 (2006.01)		HO 1 L 21/88	J	5 F O 3 3
HO 1 L 21/3205 (2006.01)		HO 1 L 23/12	5 O 1 B	
HO 1 L 23/12 (2006.01)		HO 1 L 23/32	D	
HO 1 L 23/32 (2006.01)		HO 1 L 21/88	B	

審査請求 未請求 請求項の数 16 O L (全 20 頁)

(21) 出願番号	特願2004-262659 (P2004-262659)	(71) 出願人	000002185 ソニー株式会社 東京都品川区北品川6丁目7番35号
(22) 出願日	平成16年9月9日(2004.9.9)	(74) 代理人	100098785 弁理士 藤島 洋一郎
		(74) 代理人	100109656 弁理士 三反崎 泰司
		(72) 発明者	宇賀神 肇 神奈川県横浜市神奈川区鶴屋町二丁目26番地2 株式会社ジャパンアウトソーシング内
		(72) 発明者	岩元 勇人 東京都品川区北品川6丁目7番35号 ソニー株式会社内

最終頁に続く

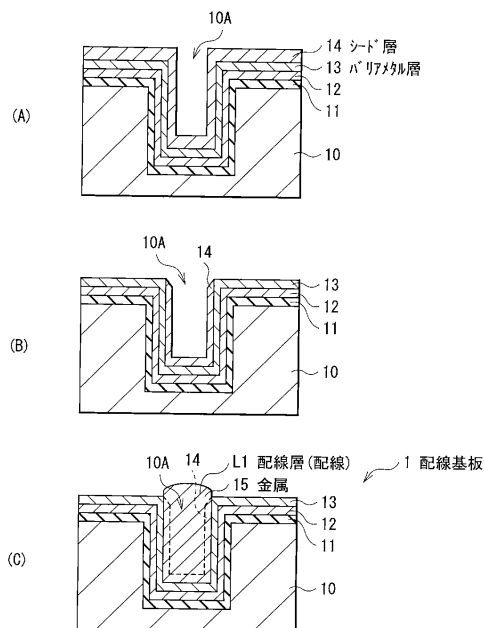
(54) 【発明の名称】 配線基板の製造方法および半導体モジュールの製造方法

(57) 【要約】

【課題】埋め込み型の配線層を形成するに際して、ウェハの反りやディッシングの発生を防止することができ、高精度な均一性と再現性を容易に得ることのできる配線基板の製造方法を提供する。

【解決手段】基板10に溝10Aを形成した後、溝10Aの内部を含むシリコン基板10上にバリアメタル層13およびシード層14をこの順で形成する。エッチングにより、シード層14の溝10A内の領域以外の部分を選択的に除去した後、めっきによりシード層14上に金属15(例えば銅(Cu))を選択的に成長させて配線層L1を形成する。配設層L1を形成するに際し、シード層14を用いためっきにより溝10A内にのみ金属15を選択的に成長させるようにしたので、従来のように、基板10上に金属層が厚く成膜されることはなく、金属層に起因してシリコン基板10が反るような虞がなくなる。

【選択図】 図2



## 【特許請求の範囲】

## 【請求項 1】

内部に埋設された配線層を有する配線基板の製造方法であって、  
半導体基板に対して一方の面側から選択的に溝を形成する工程と、  
前記溝の内部を含む前記半導体基板上にバリアメタル層を形成する工程と、  
前記溝の内部のバリアメタル層上に導電性物質を選択的に成長させることにより前記溝内に配線層を形成する工程と  
を含むことを特徴とする配線基板の製造方法。

## 【請求項 2】

前記バリアメタル層を難めっき材により形成すると共に、前記バリアメタル層上にシード層を形成し、前記シード層の溝内の領域以外の部分を選択的に除去した後、めっきにより前記シード層上に前記導電性物質を選択的に成長させて前記配線層を形成することを特徴とする請求項 1 記載の配線基板の製造方法。 10

## 【請求項 3】

反応性イオンビームエッチングまたはリアクティブイオンエッチングにより、前記シード層の選択的除去を行う  
ことを特徴とする請求項 2 記載の配線基板の製造方法。

## 【請求項 4】

前記溝内に感光性樹脂を選択的に埋め込んだ後、ウエットエッチングにより前記シード層の選択的除去を行い、そののち前記感光性樹脂を除去することを特徴とする請求項 2 記載の配線基板の製造方法。 20

## 【請求項 5】

前記バリアメタル層の前記溝の底部に対向する領域を選択的に除去して前記半導体基板の表面を露出させた後、選択成長タングステン CVD 法により前記半導体基板の露出領域上にタングステンを選択的に成長させて前記配線層を形成することを特徴とする請求項 1 記載の配線基板の製造方法。

## 【請求項 6】

前記半導体基板の表面が露出するまで前記配線層および前記バリアメタル層を研磨すると共に、その研磨している表面を平坦化する工程を含む  
ことを特徴とする請求項 1 ないし 5 のいずれか 1 項に記載の配線基板の製造方法。 30

## 【請求項 7】

内部に埋設された配線層を有する配線基板の製造方法であって、  
半導体基板に対して一方の面側から選択的に孔を形成する工程と、  
前記孔の内部を含む前記半導体基板上にバリアメタル層を形成する工程と、  
前記孔の内部のバリアメタル層上に導電性物質を選択的に成長させることにより前記孔内に配線層を形成する工程と、  
前記半導体基板の他方の面を研磨することにより前記孔内の配線層を露出させる工程と  
を含むことを特徴とする配線基板の製造方法。

## 【請求項 8】

前記バリアメタル層を難めっき材により形成すると共に、前記バリアメタル層上にシード層を形成し、前記シード層の溝内の領域以外の部分を選択的に除去した後、めっきにより前記シード層上に前記導電性物質を選択的に成長させて前記配線層を形成することを特徴とする請求項 7 記載の配線基板の製造方法。 40

## 【請求項 9】

反応性イオンビームエッチングまたはリアクティブイオンエッチングによりシード層の選択的除去を行う  
ことを特徴とする請求項 8 記載の配線基板の製造方法。

## 【請求項 10】

前記孔内に感光性樹脂を選択的に埋め込んだ後、ウエットエッチングによりシード層の選択的除去を行い、そののち前記感光性樹脂を除去する

ことを特徴とする請求項 8 記載の配線基板の製造方法。

【請求項 1 1】

前記バリアメタル層の前記孔の底部に対向する領域を選択的に除去して前記半導体基板の表面を露出させた後、選択成長タングステン CVD 法により前記半導体基板の露出領域上にタングステンを選択的に成長させて前記配線層を形成する

ことを特徴とする請求項 1 記載の配線基板の製造方法。

【請求項 1 2】

前記半導体基板の表面が露出するまで前記配線層および前記バリアメタル層を研磨すると共に、その研磨している表面を平坦化する工程を含む

ことを特徴とする請求項 7 ないし 1 1 のいずれか 1 項に記載の配線基板の製造方法。

10

【請求項 1 3】

半導体基板上に配線層と絶縁層とを交互に積層すると共に、絶縁層の内部に配線層を有する配線基板の製造方法であって、

半導体基板上に絶縁層を形成した後、前記絶縁層に溝を形成する工程と、

前記溝の内部を含む前記絶縁層上にバリアメタル層を形成する工程と、

前記溝の内部のバリアメタル層上に導電性物質を選択的に成長させることにより前記溝内に配線層を形成する工程と

を含むことを特徴とする配線基板の製造方法。

【請求項 1 4】

半導体基板上に配線層と絶縁層とを交互に積層すると共に、絶縁層の内部に配線層を有する配線基板の製造方法であって、

20

半導体基板上に絶縁層を形成した後、前記絶縁層を貫通し下層の配線層に到達する孔を形成する工程と、

前記孔の内部を含む前記絶縁層上および前記孔の底部に露出している配線層上にバリアメタル層を形成する工程と、

前記孔の内部のバリアメタル層上に導電性物質を選択的に成長させることにより前記孔内に配線層を形成する工程と

を含むことを特徴とする配線基板の製造方法。

【請求項 1 5】

半導体基板に対して一方の面側から選択的に孔を形成し、前記孔の内部を含む前記半導体基板上にバリアメタル層を形成した後、前記孔の内部のバリアメタル層上に導電性物質を選択的に成長させ、その後、前記半導体基板の表面が露出するまで前記配線層および前記バリアメタル層を研磨すると共に、その研磨している表面を平坦化することにより、埋設された配線層を有する配線基板を形成する工程と、

30

前記半導体基板の他方の面を研磨することにより前記孔内の配線層を露出させる工程と  
前記配線層の一方の面に対して電極を電氣的に接続させることにより、半導体チップを配線基板の表面に実装する工程と

を含むことを特徴とする半導体モジュールの製造方法。

【請求項 1 6】

半導体基板に対して一方の面側から選択的に孔を形成し、前記孔の内部を含む前記半導体基板上にバリアメタル層を形成した後、前記孔の内部のバリアメタル層上に導電性物質を選択的に成長させ、その後、前記半導体基板の表面が露出するまで前記配線層および前記バリアメタル層を研磨すると共に、その研磨している表面を平坦化した後、前記半導体基板の他方の面を研磨して前記孔内の配線層を露出させることにより、両面に貫通した配線層を備えた配線基板を形成する工程と、

40

前記配線層の一方の面に対して電極を電氣的に接続させることにより、半導体チップを配線基板の表面に実装する工程と、

前記配線層の他方の面を配線に対して電氣的に接続させることにより、前記配線基板をパッケージ基板の表面に実装する工程と

を含むことを特徴とする半導体モジュールの製造方法。

50

## 【発明の詳細な説明】

## 【技術分野】

## 【0001】

本発明は、半導体基板内あるいは半導体基板上の絶縁層内に埋め込み型の配線層を有する配線基板の製造方法、およびこの配線基板を備えた半導体モジュールの製造方法に関する。

## 【背景技術】

## 【0002】

近年、携帯電話やPDA(Personal Digital Assistants; 携帯型情報通信機器)、デジタルカメラといったポータブル製品では、携帯性向上の要請に伴い、部品レベルでの小型化・薄型化が急速に進んでいる。更に、アプリケーションの高機能化の要請に伴い、1つの半導体チップの端子数が急速に増大している。このような要請に答えるべく、半導体チップ内の配線、およびBGA(Ball Grid Array)またはCSP(Chip Size Package)に代表される半導体パッケージ用の基板(パッケージ基板)の配線の微細化・高集積化も急速に進んでいる。

## 【0003】

しかしながら、このような配線の微細化・高集積化により、半導体モジュールの高速性を表す指標の1つであるRC時定数が急速に増大している。これは、配線遅延の増大を意味しており、半導体モジュールを高速化するにはRC時定数を下げることが必要となる。

## 【0004】

そこで、抵抗(R)と容量(C)を下げるために、導電材料としてAl(比抵抗 =  $3 \mu \cdot \text{cm}$ )の代わりに低抵抗の銅(Cu)( =  $1.7 \mu \cdot \text{cm}$ )が、絶縁層として通常のSiO<sub>2</sub>(k = 4.0)の代わりにLow-k材料(SiO<sub>2</sub>より小さい比誘電率の材料)が、それぞれ適用されるようになってきている。更に、配線を多層化してRC時定数の増大を抑制しつつ高集積化を図っている。

## 【0005】

ところが、上記のように半導体チップ内の配線を微細化・高集積化・多層化するにつれて、配線工程数の増加に伴った歩留りの低下が顕在化しており、これに起因して半導体チップの製造コストが上昇している。一方で、半導体チップ内の配線の微細化・高集積化・多層化に伴い、パッケージ基板内の配線も微細化・高集積化・多層化する必要があるため、従来のラフな設計ルールのパッケージ基板を用いることができず、パッケージ基板の製造コストの上昇をも招いている。

## 【0006】

そこで、半導体チップとパッケージ基板との間に新たな中間基板(インターポーザ)を用意し、半導体チップやパッケージ基板の配線の微細化・高集積化・多層化を緩和する技術が提案されている(特許文献1)。これにより、歩留りの低下に起因する半導体チップの製造コストの上昇を抑制すると共に、パッケージ基板の設計ルールをラフにしてパッケージ基板の製造コストの上昇を抑制することができるようになる。

## 【0007】

【特許文献1】特開平11-214639号公報

## 【発明の開示】

## 【発明が解決しようとする課題】

## 【0008】

ところで、各種配線には、上記のように低抵抗のCuが用いられるようになってきているが、このCu配線は一般的には以下のような方法で形成される。すなわち、絶縁層にその上層にある素子同士を連結するための溝、または絶縁層に上層の配線と下層の配線を連結するための孔を形成する。次に、バリア層とCu層とをこの順に形成して溝または孔の中に埋め込む。なお、上層の配線と下層の配線を連結するプラグを形成する場合、またはそのプラグに連結する配線を形成する場合には、Cu層を形成する前にあらかじめ孔または溝の底部のバリア層を除去して下層の配線やプラグとの電気的な接続領域を確保してお

10

20

30

40

50

く。続いて、Cu層の溝または孔以外の部分をCMP (Chemical Mechanical Polishing; 化学機械研磨) で除去する。このように、Cu層にCMPを施して溝または孔内にのみCuを残すことによってプラグ等の各種配線が形成される。

【0009】

ここで、CMPにより研磨される前のCu層の厚さは、溝または孔をCuで埋め込む必要があるため、溝の幅の半分または孔の直径の半分と同等またはそれ以上であることが必要となる。このため、溝の幅または孔の直径が大きい場合には、Cu層の厚さも厚くなり、この膜厚の厚いCu層に起因して応力がウェハ内に生じ、この応力によりウェハが反る虞がある。例えば、直径200mm、厚さ725mmのウェハ上にCu層を10μm成膜すると、ウェハが約70μm反ってしまう。そして、このウェハの反り具合によっては、半導体製造プロセスにおいてウェハの搬送が困難となったり、二次実装の信頼性を低下させるなどの虞がある。

10

【0010】

また、Cu層にCMPを施した場合には、ディッシング(Dishing)と呼ばれる金属層のくぼみが生じやすい。更に、固い材質のバリア層と柔らかい材質のCu層の研磨率が大きく異なる。そのため、面積の大きい溝あるいは孔の上部に厚く形成されたCu層にCMPを施した場合には、特に、高精度な均一性と再現性を確保することが難しい他、ディッシングがより大きくなり、配線層や絶縁層の平坦化が困難となるという問題がある。

【0011】

本発明はかかる問題点に鑑みてなされたもので、その目的は、埋め込み型の配線層を形成するに際して、ウェハの反りやディッシングの発生を防止することができ、高精度な均一性と再現性を容易に得ることのできる配線基板の製造方法および半導体モジュールの製造方法を提供することにある。

20

【課題を解決するための手段】

【0012】

本発明の第1の配線基板の製造方法は、半導体基板に対して一方の面側から選択的に溝を形成する工程と、溝の内部を含む半導体基板上にバリアメタル層を形成する工程と、溝の内部のバリアメタル層上に導電性物質を選択的に成長させることにより溝内に配線層を形成する工程とを含むものである。この第1の方法では、埋め込み型の配線層(配線)が半導体基板内に形成される。

30

【0013】

配線層を形成する工程は、具体的には、バリアメタル層を難めっき材により形成すると共に、バリアメタル層上にシード層を形成し、シード層の溝内の領域以外の部分を選択的に除去した後、めっきによりシード層上に導電性物質を選択的に成長させるものである。

【0014】

なお、この工程では、バリアメタル層の溝の底部に対向する領域を選択的に除去して半導体基板の表面を露出させた後、選択成長タングステンCVD法により半導体基板の露出領域上にタングステンを選択的に成長させて配線層を形成するようにしてもよい。ここで、選択成長タングステンCVD法とは、シリコン基板上にのみタングステンを選択的に成長させるものであり、この方法を用いることにより、不要部分を除去する必要がなくなる

40

【0015】

また、本発明の第2の配線基板の製造方法は、半導体基板に対して一方の面側から選択的に孔を形成する工程と、孔の内部を含む半導体基板上にバリアメタル層を形成する工程と、孔の内部のバリアメタル層上に導電性物質を選択的に成長させることにより孔内に配線層を形成する工程と、半導体基板の他方の面を研磨することにより孔内の配線層を露出させる工程とを含むようにしたものである。この第2の方法では、半導体基板の両面まで貫通した埋め込み型の配線層(プラグ)が形成される。

【0016】

本発明の第3の配線基板の製造方法は、半導体基板上に配線層と絶縁層とを交互に積層

50

すると共に、絶縁層の内部に配線層を有する配線基板の製造方法であり、半導体基板上に絶縁層を形成した後、絶縁層に溝を形成する工程と、溝の内部を含む絶縁層上にバリアメタル層を形成する工程と、溝の内部のバリアメタル層上に導電性物質を選択的に成長させることにより溝内に配線層を形成する工程とを含むものである。この第3の方法では、埋め込み型の配線層（配線）が絶縁層の内部に形成される。

**【0017】**

本発明の第4の配線基板の製造方法は、半導体基板上に配線層と絶縁層とを交互に積層すると共に、絶縁層の内部に配線層を有する配線基板の製造方法であり、半導体基板上に絶縁層を形成した後、絶縁層を貫通し下層の配線層に到達する孔を形成する工程と、孔の内部を含む絶縁層上および孔の底部に露出している配線層上にバリアメタル層を形成する工程と、孔の内部のバリアメタル層上に導電性物質を選択的に成長させることにより孔内に配線層を形成する工程とを含むものである。この第4の方法では、絶縁層を貫通した埋め込み型の配線層（プラグ）が形成される。

10

**【0018】**

本発明の第1の半導体モジュールの製造方法は、半導体基板に対して一方の面側から選択的に孔を形成し、孔の内部を含む半導体基板上にバリアメタル層を形成した後、孔の内部のバリアメタル層上に導電性物質を選択的に成長させ、その後、前記半導体基板の表面が露出するまで前記配線層および前記バリアメタル層を研磨すると共に、その研磨している表面を平坦化することにより、埋設された配線層を有する配線基板を形成する工程と、半導体基板の他方の面を研磨することにより孔内の配線層を露出させる工程と、配線基板の配線層に対して電極を電氣的に接続させることにより、半導体チップを配線基板の表面に実装する工程とを含むものである。

20

**【0019】**

また、本発明の第2の半導体モジュールの製造方法は、半導体基板に対して一方の面側から選択的に孔を形成し、孔の内部を含む半導体基板上にバリアメタル層を形成した後、孔の内部のバリアメタル層上に導電性物質を選択的に成長させ、その後、半導体基板の表面が露出するまで配線層およびバリアメタル層を研磨すると共に、その研磨している表面を平坦化した後、半導体基板の他方の面を研磨して孔内の配線層を露出させることにより、両面に貫通した配線層を備えた配線基板を形成する工程と、配線層の一方の面に対して電極を電氣的に接続させることにより、半導体チップを配線基板の表面に実装する工程と、配線層の他方の面を配線に対して電氣的に接続させることにより、配線基板をパッケージ基板の表面に実装する工程とを含むものである。

30

**【発明の効果】****【0020】**

本発明の配線基板の製造方法または半導体モジュールの製造方法によれば、半導体基板あるいは絶縁層に形成した溝または孔内にのみ導電性物質を選択的に成長させるようにしたので、導電性物質を溝または孔以外の表面に厚く堆積させることなく、埋め込み型の配線層（配線またはプラグ）を形成することができる。このため、厚く堆積した導電性物質によって基板に応力が生じることがなく、配線基板や実装後の半導体モジュールに反りが生ずることを防止することができる。また、埋め込み型の配線層を形成した後に、表面を平坦化する必要がある場合であっても、CMPで研磨する導電性層の厚さは薄いので、デッシングが生じる虞がなくなる。従って、高精度な均一性と再現性を容易に得ることができる。

40

**【発明を実施するための最良の形態】****【0021】**

以下、本発明の実施の形態について、図面を参照して詳細に説明する。

**【0022】****〔第1の実施の形態〕**

（基板10内に配線層L1（配線）を形成）

まず、図1～図2を参照して、本発明の第1の実施の形態に係る配線基板1の製造方法

50

について説明する。本実施の形態は、半導体基板、例えばシリコン(Si)基板10(以下、基板10という)内に埋め込み型の配線層L1(配線)を有する配線基板1(図2(C))を製造するものである。

【0023】

まず、図1(A)に示したように、基板10上に、例えばCVD法(Cemical Vapor Deposition, 化学的気相成長法)によりSiO<sub>2</sub>層111を7μm堆積させる。続いて、SiO<sub>2</sub>層111上に、溝形成パターンを有するレジスト層(感光性樹脂)112を形成し、このレジスト層112をマスクとしてエッチングを行い、基板10が露出するまでSiO<sub>2</sub>層111を選択的に除去する。その後、このレジスト層112を除去する。

【0024】

次に、図1(B)に示したように、SiO<sub>2</sub>層111をマスクとして、基板10をエッチングして溝10Aを形成する。溝10Aは、例えば幅20μm、深さ20μmとする。その後、このSiO<sub>2</sub>層111を例えばフッ酸により除去する。

【0025】

次に、図1(C)に示したように、溝10A内を含む基板10表面に、例えば熱酸化により厚み50nmのSiO<sub>2</sub>層11を形成した後、例えばプラズマCVD法により厚み50nmのSiN層12を形成する。これらの層は、後述のめっき用のシード層14を形成する際に、シード層14内の金属が基板10内に拡散するのを防止すると共に、シード層14と基板10との密着性を良くするためのものである。

【0026】

次いで、図2(A)に示したように、溝10A内を含むSiN層12上に、例えばマグネトロンスパッタ法により tantalum (Ta) からなる厚み125nmのバリアメタル層13を形成した後、このバリアメタル層13上に銅(Cu)からなる厚み500nmのシード層14を形成する。このバリアメタル層13は、上記のSiN層12と同様に、シード層14内の金属が基板10内に拡散するのを防止すると共に、シード層14と基板10との密着性を良くするためのものである。

【0027】

次に、図2(B)に示したように、例えばRIE(Reactive Ion Etching; 反応性イオンエッチング)によりシード層14の溝10Aの内部以外の部分を選択的に除去する。ここでは、RIE装置として、図4に示したようなICP(Inductive Coupled Plasma; 誘導結合プラズマ)型のものを用いる。このICP型RIE装置は、Ar, Cl<sub>2</sub>の混合ガスからなる母ガス(図示せず)、ソースパワーP1、バイアスパワーP2、コイルC、チャンバCH、ステージSを含んで構成されている。

【0028】

なお、後述のめっきの際にカソードとして用いるために、バリアメタル層13はSiN層12上全体に渡って残すようにする。ここで、シード層14を選択的に除去しつつ、バリアメタル層13をSiN層12上全体に渡って残すための、ICP型RIE装置の条件を表1に例示する。

【0029】

10

20

30

【表 1】

パラメータ	実験値	範囲
Cl <sub>2</sub> 流量	5sccm	2~10sccm
Ar 流量	90sccm	50~100sccm
ソースパワー P <sub>1</sub> (12.56MHz)	1400W	1000~1500W
バイアスパワー P <sub>2</sub> (13.56MHz)	500W	200~600W
ステージ温度	225°C	200°C以上
圧力	666.7mPa (5mTorr)	400.0mPa (3mTorr) 以上
処理時間	33.3sec	

10

## 【0030】

ICP型RIE装置は、物理的作用（イオン衝撃によるもの）の他に、物理化学的作用（ラジカルによる化学反応とイオン衝撃によるもの）により低イオンエネルギーで異方性エッチングを行うものである。本実施の形態では、バイアスパワーを低く設定して、イオンがシード層14の溝10Aの内部へ到達しない、すなわち内部がエッチングされないようにすると共に、シード層14の溝10Aの内部以外の表面でエッチングされるようにしている。これによりシード層14を溝10A内にのみ残すことが可能となる。

20

## 【0031】

次に、図2(C)に示したように、シード層14上に、例えばバリアメタル層13をカソードとして用いためっきにより、シード層14と同一組成の金属(Cu)15（導電性物質）を選択的に成長させる。なお、バリアメタル層13は、本実施の形態では難めっき材であるTaを用いているので、金属15がバリアメタル層13上に成長することはほとんどない。従って、金属15は溝10A内のシード層14上にのみ選択的に成長し、溝10A内にのみ金属15が配線層L1（配線）として埋め込まれる。これにより、埋設された配線層L1（配線）を有する配線基板1が形成される。

30

## 【0032】

続いて、溝10Aに埋め込まれた金属15が盛り上がっているために表面を平坦にする必要がある場合や、溝10A以外の表面にわずかに形成された金属15もしくはバリアメタル層13を除去する必要がある場合には、図3に示したように、例えばCMPによりその表面を削って平坦化する。ここで、削ることが必要な金属15の厚さは、従来に比べて薄い（厚くても数μm程度）ので、CMPを用いて研磨しても表面にディッシングが生じる虞はほとんど無く、均一性が向上すると共に再現性も良くなる。

## 【0033】

以上のように本実施の形態では、配線層L1の形成に際してシード層14を用いためっきにより、溝10A内にのみ金属15を選択的に成長させるようにしたので、従来のように、基板10上に金属15が厚く成膜されることはない。従って、金属15に起因して配線基板10が反る虞がなくなり、製造プロセスにおいて配線基板1の搬送が困難となったり、配線基板1を二次実装する際の信頼性を低下させることがなくなる。

40

## 【0034】

以下、本発明の他の実施の形態について説明するが、第1の実施の形態と同一の構成要素については同一符号を付して、その説明は省略する。

## 【0035】

〔第2の実施の形態〕

（基板10内に配線層L1（配線）を形成）

50

第2の実施の形態は、第1の実施の形態とシード層14のエッチング工程が異なるものであり、第1の実施の形態の図1(A)~(C)、図2(A)の工程は、本実施の形態においても同じである。以下では、それ以降の工程について説明する。

【0036】

すなわち、図2(A)の工程ののち、図5(A)に示したように、溝10内を含むシード層14上にレジスト層113を形成したのち、例えばドライエッチングまたはCMPによりレジスト層113における溝10A以外の部分を除去して、溝10A内にのみレジスト層113を埋め込む。次に、図5(B)に示したように、このレジスト層113をマスクとして、バリアメタル層13が露出するまでシード層14を例えばウエットエッチングして、溝10A以外の部分のシード層14を選択的に除去する。その後、このレジスト層113を除去すると、シード層14は溝10A内にのみ残存した状態となる。

10

【0037】

以下、図5(C)の工程(配線層L1の形成工程)は、第1の実施の形態の図2(C)の工程と同様である。これにより基板10に埋め込み型の配線層L1(配線)が形成される。そして、必要に応じて、第1の実施の形態の図3と同様の平坦化工程を行う。

【0038】

このように本実施の形態においても、めっき用のシード層14を溝10A内にのみ残存させることができるものであり、その他の作用効果は第1の実施の形態と同様である。

【0039】

(基板10内に配線層L2(配線)を形成)

20

[第3の実施の形態]

第3の実施の形態は、図6(A)~(C)の工程に特徴を有するもので、溝10A内への金属の埋め込みをめっきではなく、選択成長タングステンCVD法により行うものである。なお、第1の実施の形態の図1(A)~(C)の工程は、本実施の形態においても同じであるので、以下では、それ以降の工程について説明する。

【0040】

まず、図6(A)に示したように、溝10Aの底部10B以外のSiN層12上にレジスト層114を形成する。次に、図6(B)に示したように、このレジスト層114をマスクとして、基板10が露出するまでエッチングしてSiN層12およびSiO<sub>2</sub>層11を選択的に除去し、その後、このレジスト層114を除去する。

30

【0041】

次に、図6(C)に示したように、基板10上に、例えば選択成長タングステンCVD法によりタングステン(W)16を選択的に成膜する。このとき、W16は基板10の露出した領域上に成長するが、SiN層12上に成長することは殆どない。すなわち、溝10A内にのみW16が埋め込まれる。これにより、基板10に埋め込み型の配線層L2(配線)を有する配線基板2が形成される。

【0042】

続いて、溝10Aに埋め込まれた金属16が盛り上がっているために表面を平坦にする必要がある場合や、溝10A以外の表面にわずかに形成されたW16を除去する必要がある場合には、図7に示したように、例えばドライエッチングまたはCMPによりその表面を削って平坦化する。ここで、表面を削って平坦化する際にドライエッチングを用いた場合には、CMPのようなディッシングが生じる虞がないので、均一性が向上すると共に再現性もよくなる。また、CMPを用いた場合であっても、削ることが必要なW16の厚さは、従来に比べて薄い(厚くても数μm程度)ので、表面にディッシングが生じる虞はほとんど無く、均一性が向上すると共に再現性も良くなる。さらに、本実施の形態では、バリアメタル層を除去する必要がないので、上記第1および第2の実施の形態と比較して、均一性がより向上すると共に再現性もより良くなる。

40

【0043】

このように本実施の形態においても、溝10A内にのみW16を成長させることができるものであり、その他の作用効果は第1の実施の形態と同様である。

50

## 【0044】

(基板10内に配線層L3, 4(プラグ)を形成)

以上、埋め込み型の配線層L1, L2(配線)を備えた構造の配線基板1, 2の製造方法について説明したが、この配線基板1, 2を半導体チップとパッケージ基板との間に適用される中間基板(インターポーザ)として用いる場合には、配線層が基板10の裏面まで貫通していることが望ましい。

## 【0045】

ただし、この場合には、上記第1または第2の実施の形態のような幅20 $\mu$ m、深さ20 $\mu$ mからなる溝10Aの代わりに、図8(A)に示したように、例えば直径20 $\mu$ m、深さ20 $\mu$ m、アスペクト比1からなる孔30A内に配線層L3を形成する。そして、図8(B)に示したように、例えばCMPにより、金属15からなる配線層L3が配線基板の裏面に露出するまで配線基板を研磨する。これにより、基板10の両面まで貫通した埋め込み型の配線層L3(プラグ)を有する配線基板3を得ることができる。なお、必要に応じて、図8(C)に示したように、図3と同様の工程により、配線基板3の表面を削って平坦化する。

10

## 【0046】

同じく、上記第3の実施の形態のような幅20 $\mu$ m、深さ20 $\mu$ mからなる溝10Aの代わりに、図9(A)に示したように、例えば直径20 $\mu$ m、深さ20 $\mu$ m、アスペクト比1からなる孔30A内に配線層L4を形成する。そして、図9(B)に示したように、例えばCMPにより、W16からなる配線層L4が配線基板の裏面に露出するまで配線基板を研磨する。これにより、半導体基板10の両面まで貫通した埋め込み型の配線層L4(プラグ)を有する配線基板4を得ることができる。なお、必要に応じて、図9(C)に示したように、図7と同様の工程により、配線基板4の表面を削って平坦化する。

20

## 【0047】

[第4の実施の形態]

(絶縁層20内に配線層L5(配線)を形成)

上記第1~第3の実施の形態に係る配線基板1, 2では、基板10の内部に配線層L1~L2(配線)を埋め込むようにしていたが、第4の実施の形態に係る配線基板5では、図11(B)に示したように、基板10上の絶縁層20内に配線層L5(配線)を埋め込むようにしたものである。ここでは、配線基板1における配線層L1(配線)がある表面を平坦化処理し(図3)、その上に絶縁層20を形成した例について説明する。絶縁層20は、例えば酸化シリコン(SiO<sub>2</sub>)により構成されている。

30

## 【0048】

まず、図10(A)に示したように、絶縁層20上に溝形成パターンを有するレジスト層212を形成し、このレジスト層212をマスクとして、絶縁層20をエッチングして溝20Aを形成する。溝20Aは、例えば幅20 $\mu$ m、深さ20 $\mu$ mとする。その後、このレジスト層212を除去する。

## 【0049】

次に、図10(B)に示したように、溝20A内を含む絶縁層20表面に、例えばプラズマCVD法により厚み50nmのSiN層21を形成する。次いで、図10(C)に示したように、溝20A内を含むSiN層21上に、例えばマグネトロンスパッタ法によりTaからなる厚み125nmのバリアメタル層22を形成した後、このバリアメタル層22上にCuからなる厚み500nmのシード層23を形成する。なお、SiN層21およびバリアメタル層22の各機能は、第1の実施の形態のSiN層11およびバリアメタル層12と同じである。

40

## 【0050】

以下、図11(A)~図11(B)の工程(配線層L5の形成工程)は、第1の実施の形態の図2(B)~(C)の工程と同様である。これにより、平坦化処理した配線基板(図3)上の絶縁層20内に配線層L5(配線)を有する配線基板5が形成される。そして、必要に応じて、図11(C)の工程(平坦化工程)を行う。この工程は、第1の実施の

50

形態の図3の工程と同様である。

【0051】

このように本実施の形態においても、めっき用のシード層23を溝20A内にのみ残存させることができるものであり、その他の作用効果は第1の実施の形態と同様である。

【0052】

〔第5の実施の形態〕

(絶縁層20内に配線層L5(配線)を形成)

第5の実施の形態は、第4の実施の形態とシード層23のエッチング工程が異なるものであり、第4の実施の形態の図10(A)~(C)の工程は、本実施の形態においても同じである。以下では、それ以降の工程について説明する。

10

【0053】

すなわち、図10(C)の工程ののち、図12(A)に示したように、溝20内を含むシード層23上にレジスト層213を形成したのち、例えばドライエッチングまたはCMPによりレジスト層213における溝20A以外の部分を除去して、溝20A内にのみレジスト層213を埋め込む。次に、図12(B)に示したように、このレジスト層213をマスクとして、バリアメタル層22が露出するまでシード層23をエッチングし、溝20A以外の部分のシード層23を選択的に除去する。その後、このレジスト層213を除去すると、シード層23は溝20A内にのみ残存した状態となる。

【0054】

以下、図12(C)の工程(配線層L5の形成工程)は、第4の実施の形態の図11(B)の工程と同様である。これにより、平坦化処理した配線基板(図3)上の絶縁層20内に配線層L5(配線)を有する配線基板5が形成される。そして、必要に応じて、第4の実施の形態の図11(C)と同様の平坦化工程を行う。

20

【0055】

このように本実施の形態においても、めっき用のシード層23を溝20A内にのみ残存させることができるものであり、その他の作用効果は第1の実施の形態と同様である。

【0056】

〔第6の実施の形態〕

(絶縁層20内に配線層L6(配線)を形成)

上記の第4および第5の実施の形態5では、配線基板1における配線層L1(配線)側の表面を平坦化処理した配線基板(図3)上の絶縁層20内に配線層L5(配線)を形成するようにしていたが、第6の実施の形態では、配線基板3における配線層L3(プラグ)側の表面を平坦化処理した配線基板(図8(C))上の絶縁層20内に配線層L6(配線)を形成するようにしたものである。

30

【0057】

まず、図13(A)に示したように、配線基板3における配線層L3(プラグ)側の表面を平坦化処理し、その上に絶縁層20を形成する。次に、絶縁層20上に溝パターンを有するレジスト層212を形成する。続いて、このレジスト層212をマスクとして、配線層L3(プラグ)が露出するまで絶縁層20をエッチングして溝20Aを形成する。この溝20Aは、例えば幅が20 $\mu$ mであり、絶縁層20を貫通している。その後、このレ

40

【0058】

次に、図13(B)に示したように、溝20A内を含む絶縁層20表面および溝20Aの底部に露出している配線層L3(プラグ)上に、例えばプラズマCVD法により厚さ50nmのSiN層21を形成する。このSiN層21は、第4の実施の形態のSiN層21と同じ機能を有する。

【0059】

次いで、図13(C)に示したようにSiN層21上にレジスト層214を形成し、溝20Aの底部20B以外の領域を覆う。次に、図14(A)に示したように、このレジスト層214をマスクとして、配線層L3(プラグ)が露出するまで、SiN層21および

50

絶縁層 20 をエッチングし、その後、このレジスト層 214 を除去する。

【0060】

次に、図 14 (B) に示したように、露出した配線層 L3 (プラグ) 上に、例えば CVD 法により金属 25 を選択的に成膜する。すなわち、金属 25 を溝 20A 内で露出した配線層 L3 (プラグ) 上にのみ選択的に成長させて溝 20A 内を埋め込む。これにより、平坦化処理した配線基板 (図 9 (B)) 上の絶縁層 20 内に配線層 L6 (配線) を有する配線基板 6 が形成されると共に、配線層 L3 (プラグ) と配線層 L6 (配線) が電氣的に接続される。

【0061】

次の図 14 (C) の工程 (平坦化処理工程) は、第 3 の実施の形態の図 7 の工程と同様である。従って、第 3 の実施の形態と同様に、表面を平坦化する際にドライエッチングを用いた場合には、CMP のようなディッシングが生じる虞がないので、均一性が向上すると共に再現性もよくなる。また、CMP を用いた場合であっても、表面を平坦化するために削ることが必要な金属 25 の厚さは、従来に比べて薄い (厚くても数  $\mu\text{m}$  程度) ので、表面にディッシングが生じる虞はほとんど無く、均一性が向上すると共に再現性もよくなる。

10

【0062】

このように本実施の形態においても、溝 20A 内にのみ金属 25 を成長させることができるものであり、その他の作用効果は第 1 の実施の形態と同様である。

【0063】

なお、第 6 の実施の形態では、配線基板 3 における配線層 L3 (プラグ) 側の表面を平坦化処理した配線基板 (図 8 (C)) 上の絶縁層 20 内に配線層 L6 (配線) を形成するようにしていたが、配線基板 4 における配線層 L4 (プラグ) 側の表面を平坦化処理した配線基板 (図 9 (C)) 上の絶縁層 20 内に配線層 L6 (配線) を形成するようにしてもよい。

20

【0064】

〔第 7 の実施の形態〕

(絶縁層 20 内に配線層 L7 (プラグ) を形成)

上記第 6 の実施の形態において、配線基板 3 における配線層 L3 (プラグ) がある表面を平坦化処理した配線基板 (図 8 (B)) 上の絶縁層 20 内に配線層 L6 (配線) を備えた構造の配線基板 6 の製造方法について説明したが、本実施の形態では、配線基板 1 における配線層 L1 (配線) がある表面を平坦化処理した配線基板 (図 3) 上の絶縁層 20 内に配線層 L7 (プラグ) を備えた構造の配線基板 7 の製造方法について説明する。

30

【0065】

まず、図 15 (A) に示したように、配線基板 1 における配線層 L1 (配線) がある表面を平坦化処理し、その上に絶縁層 20 を形成する。次に、絶縁層 20 上に孔形成パターンを有するレジスト層 212 を形成する。続いて、このレジスト層 212 をマスクとして、配線層 L1 (配線) が露出するまで絶縁層 20 をエッチングして孔 40A を形成する。この孔 40A は、例えば直径が  $20\ \mu\text{m}$  であり、絶縁層 20 を貫通している。その後、このレジスト層 212 を除去する。

40

【0066】

次に、図 15 (B) に示したように、孔 40A 内を含む絶縁層 20 表面および孔 40A の底部 40B に露出している配線層 L1 (配線) 上に、例えばプラズマ CVD 法により厚さ  $50\ \text{nm}$  の SiN 層 21 を形成する。この SiN 層 21 は、第 4 の実施の形態の SiN 層 21 と同じ機能を有する。

【0067】

次いで、図 15 (C) に示したように SiN 層 21 上にレジスト層 214 を形成し、孔 40A の底部 40B 以外の領域を覆う。次に、図 16 (A) に示したように、このレジスト層 214 をマスクとして、配線層 L1 (配線) が露出するまで、SiN 層 21 および絶縁層 20 をエッチングし、その後、このレジスト層 214 を除去する。

50

## 【 0 0 6 8 】

次に、図 1 6 ( B ) に示したように、露出した配線層 L 1 ( 配線 ) 上に、例えば C V D 法により金属 2 5 を選択的に成膜する。すなわち、金属 2 5 を孔 4 0 A 内で露出した配線層 L 1 ( 配線 ) 上のみ選択的に成長させて孔 4 0 A 内を埋め込む。これにより、平坦化処理した配線基板 ( 図 3 ) 上の絶縁層 2 0 内に配線層 L 7 ( プラグ ) を有する配線基板 7 が形成される。

## 【 0 0 6 9 】

次の図 1 6 ( C ) の工程 ( 平坦化処理工程 ) は、第 3 の実施の形態の図 7 の工程と同様である。従って、第 3 の実施の形態と同様に、表面を平坦化する際にドライエッチングを用いた場合には、C M P のようなディッシングが生じる虞がないので、均一性が向上すると共に再現性もよくなる。また、C M P を用いた場合であっても、表面を平坦化するために削ることが必要な金属 2 5 の厚さは、従来に比べて薄い ( 厚くても数  $\mu$  m 程度 ) ので、表面にディッシングが生じる虞はほとんど無く、均一性が向上すると共に再現性もよくなる。

## 【 0 0 7 0 】

このように本実施の形態においても、孔 4 0 A 内にのみ金属 2 5 を成長させることができるものであり、その他の作用効果は第 1 の実施の形態と同様である。

## 【 0 0 7 1 】

なお、第 7 の実施の形態では、配線基板 1 における配線層 L 1 ( 配線 ) 側の表面を平坦化処理した配線基板 ( 図 3 ) 上の絶縁層 2 0 内に配線層 L 7 ( プラグ ) を形成するようにしていたが、配線基板 2 における配線層 L 2 ( 配線 ) 側の表面を平坦化処理した配線基板 ( 図 7 ) 上の絶縁層 2 0 内に配線層 L 7 ( プラグ ) を形成するようにしてもよい。

## 【 0 0 7 2 】

## 〔 第 8 の実施の形態 〕

次に、上記実施の形態により得られた配線基板 1 ~ 7 の具体的な適用例について説明する。ただし、ここでは、その適用例の 1 つである配線基板 3 の両面を平坦化処理したもの ( 図 8 ( C ) ) を含んで構成した第 8 の実施の形態について説明する。

## 【 0 0 7 3 】

本実施の形態は、図 1 7 に示したように、半導体チップ 3 2 とプリント基板 P C B との間に、図 8 ( C ) の配線基板 3 1 を中間基板 ( インターポーザ ) として用いて半導体モジュール 3 0 としたものである。

## 【 0 0 7 4 】

この半導体モジュール 3 0 は、配線基板 3 1 の一方の面に露出している配線層 L 3 ( プラグ ) 上のパッド 3 2 と、半導体チップ 3 3 の所定の面に露出している電極 3 4 とを例えば半田からなるバンプ 3 5 を介して電氣的に接続させ、そのうち半導体チップ 3 3 を例えば樹脂からなる保護膜 3 6 で覆うと共に、配線基板 3 1 の裏面に露出している配線層 L 3 上のパッド 3 2 の部位にバンプ 3 5 を設けることにより形成される。

## 【 0 0 7 5 】

本実施の形態では、前述のように、配線基板 3 1 が反ることはほとんど無いので、配線基板 3 1 と半導体チップ 3 3 との間で電氣的な接触不良が生じることは無く、配線基板 3 1 を二次実装する際の信頼性を低下させる虞はない。

## 【 0 0 7 6 】

## 〔 第 9 の実施の形態 〕

次に、上記実施の形態により得られた半導体モジュール 3 0 をパッケージ基板 3 7 にあらかじめ実装して半導体モジュール 4 0 とした第 9 の実施の形態について説明する。

## 【 0 0 7 7 】

この半導体モジュール 4 0 は、半導体モジュール 3 0 の配線層 L 3 上のパッド 3 2 と、パッケージ基板 3 7 の所定の面に露出しているパッド 3 8 とを例えば半田からなるバンプ 3 5 を介して電氣的に接続させると共に、パッケージ基板 3 7 の裏面に露出しているパッド 3 8 上にバンプ 3 5 を設けることにより形成される。

10

20

30

40

50

## 【0078】

本実施の形態では、前述のように、配線基板31が反ることはほとんど無いので、配線基板31とパッケージ基板34との間で電氣的な接触不良が生じることは無く、配線基板31を二次実装する際の信頼性を低下させる虞はない。

## 【0079】

以上、種々の実施の形態およびそれらの変形例を挙げて本発明を説明したが、本発明はそれらに限定されるものではなく、種々変形可能である。

## 【0080】

例えば、上記第1および第4の実施の形態では、シード層23の溝20Aの内部以外の領域をRIEにより除去するようにしたが、反応性イオンビームエッチングなどのその他の方法を用いるようにしてもよい。

## 【0081】

上記第1ないし第8の実施の形態では、基板10または絶縁層20内に形成した溝10A、20Aの幅または孔30A、40Aの直径を20 $\mu$ mとしたが、本発明はこれに限定されるものではなく、20 $\mu$ mより小さくても大きくても構わない。ただし、従来は、上記溝の幅や孔の直径が20 $\mu$ m以上の場合には、上述のように、ウェハが反る虞があったが、本発明では、このような場合であっても、上述のように、ウェハが反る虞がないので、本発明は、従来技術と比較すると、上記溝の幅や孔の直径が20 $\mu$ m以上の場合に特に有効である。

## 【図面の簡単な説明】

## 【0082】

【図1】本発明の第1の実施の形態に係る配線基板の製造工程を説明するための断面図である。

【図2】図1に続く工程を説明するための断面図である。

【図3】図2に続く工程を説明するための断面図である。

【図4】ICP型RIE装置の概略構成図である。

【図5】本発明の第2の実施の形態に係る配線基板の製造工程を説明するための断面図である。

【図6】本発明の第3の実施の形態に係る配線基板の製造工程を説明するための断面図である。

【図7】図6に続く工程を説明するための断面図である。

【図8】第1または第2の実施の形態の変形例に係る配線基板の製造工程を説明するための断面図である。

【図9】第3の実施の形態の変形例に係る配線基板の製造工程を説明するための断面図である。

【図10】本発明の第4の実施の形態に係る配線基板の製造工程を説明するための断面図である。

【図11】図10に続く工程を説明するための断面図である。

【図12】本発明の第5の実施の形態に係る配線基板の製造工程を説明するための断面図である。

【図13】本発明の第6の実施の形態に係る配線基板の製造工程を説明するための断面図である。

【図14】図13に続く工程を説明するための断面図である。

【図15】本発明の第7の実施の形態に係る配線基板の製造工程を説明するための断面図である。

【図16】図15に続く工程を説明するための断面図である。

【図17】本発明の第8の実施の形態に係る半導体モジュールの製造工程を説明するための断面図である。

【図18】本発明の第9の実施の形態に係る半導体モジュールの製造工程を説明するための断面図である。

10

20

30

40

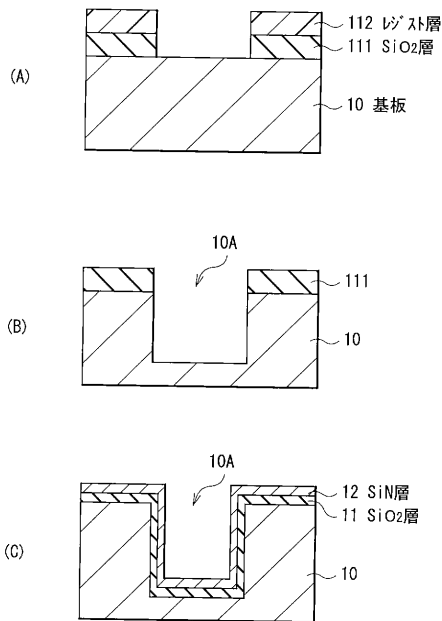
50

【符号の説明】

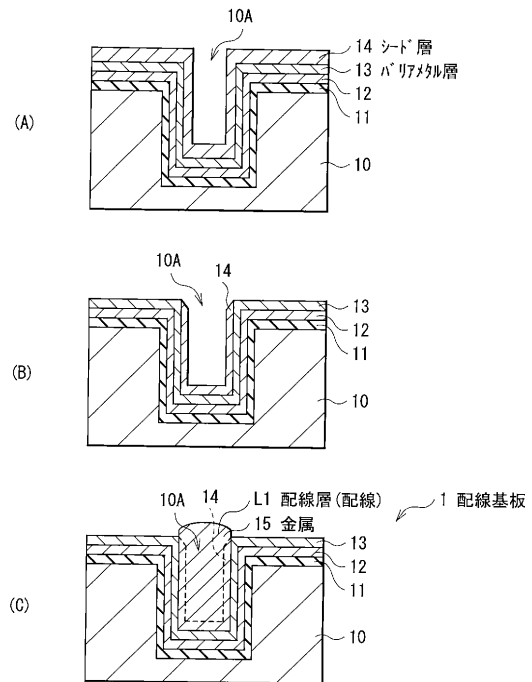
【0083】

1, 2, 3, 4, 5, 6, 7...配線基板、10...半導体基板、10A, 20A...溝、30A, 40A...孔、10B, 20B, 40B...底部、11, 111...SiO<sub>2</sub>層、12, 21...SiN層、13, 22...バリアメタル層、14, 23...シード層、15, 24, 25...金属、16...タンゲステン(W)、20...絶縁層、30, 40...半導体モジュール、31...配線基板、32, 38...パッド、33...半導体チップ、34...電極、35...バンプ、36...保護膜、37...パッケージ基板、112, 113, 114, 212, 213, 214...レジスト層、C...コイル、CH...チャンバ、L1, L2, L5, L6...配線層(配線)、L3, L4, L7...配線層(プラグ)、P1...ソースパワー、P2...バイアスパワー、S...ステージ

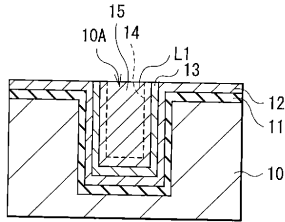
【図1】



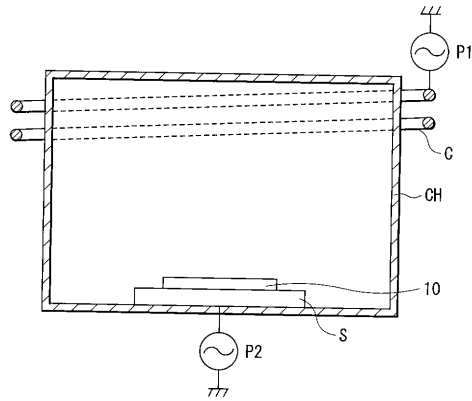
【図2】



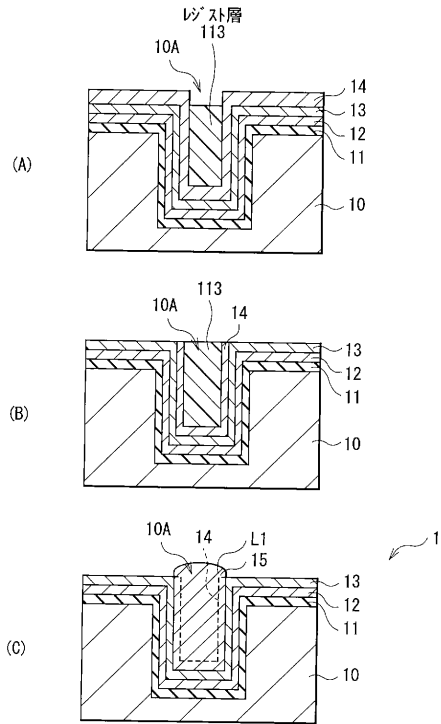
【図3】



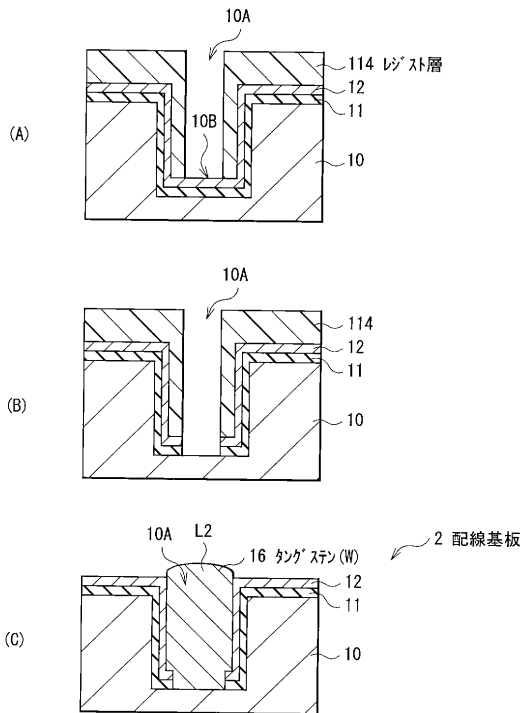
【図4】



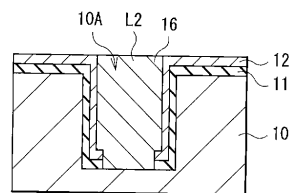
【図5】



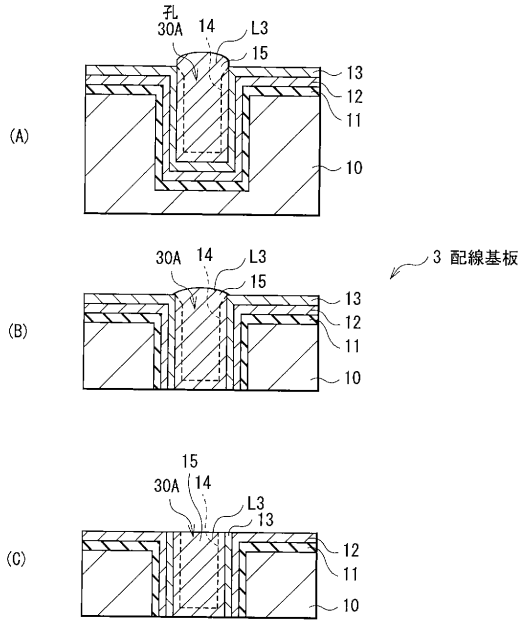
【図6】



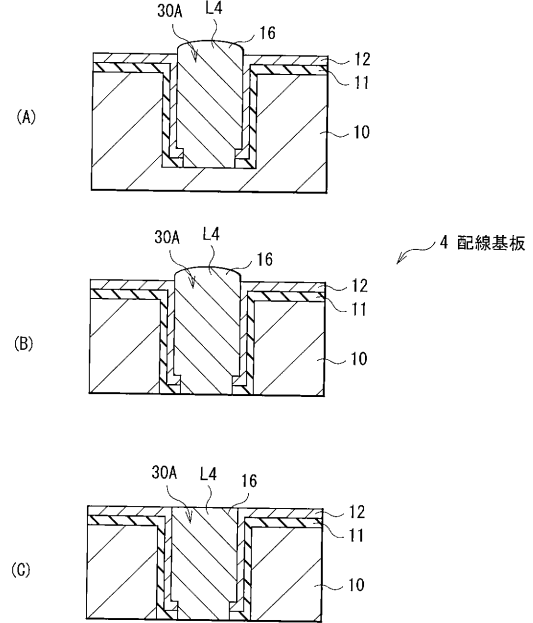
【図7】



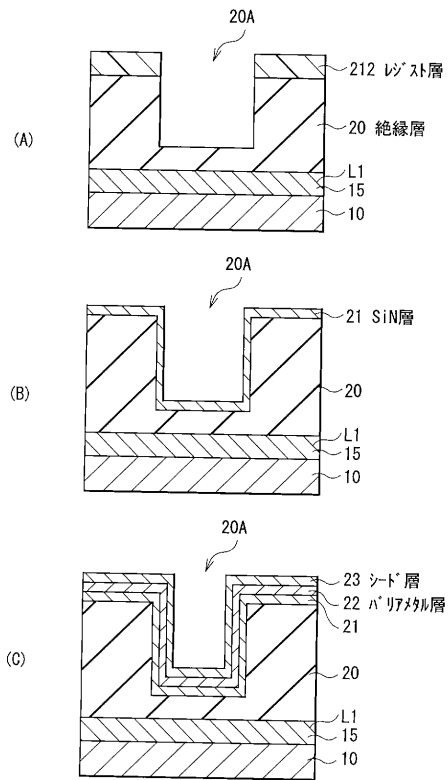
【 図 8 】



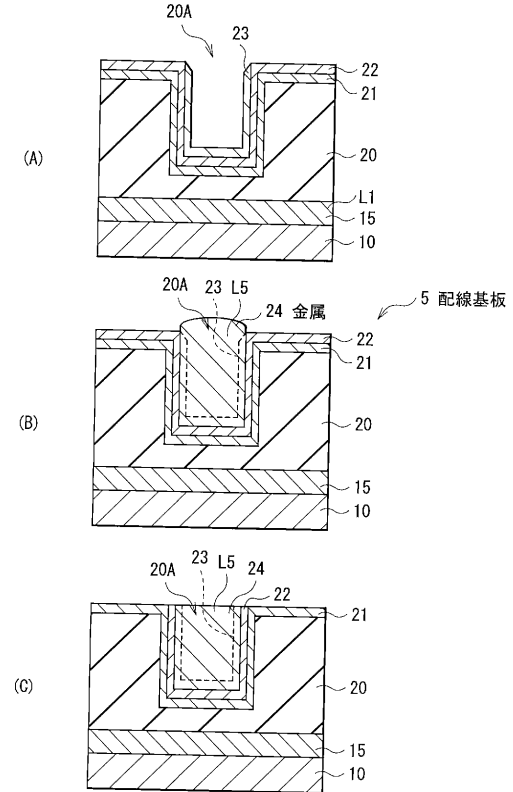
【 図 9 】



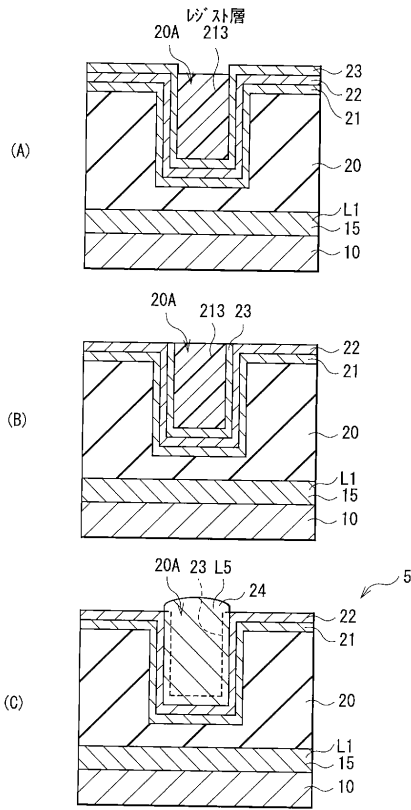
【 図 1 0 】



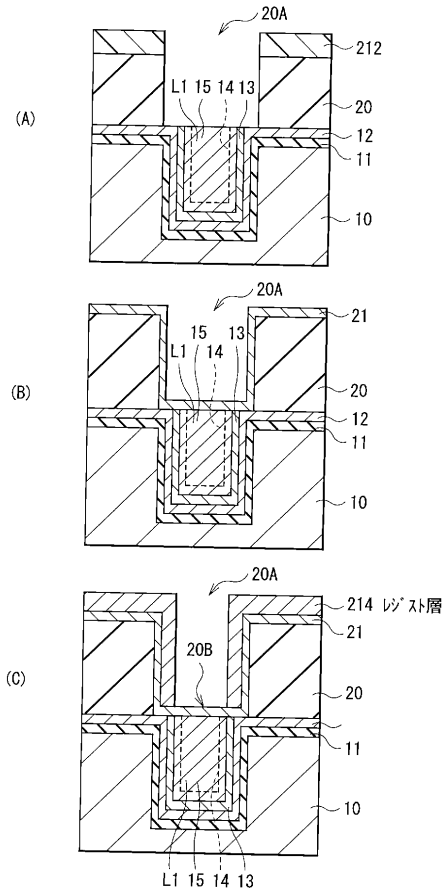
【 図 1 1 】



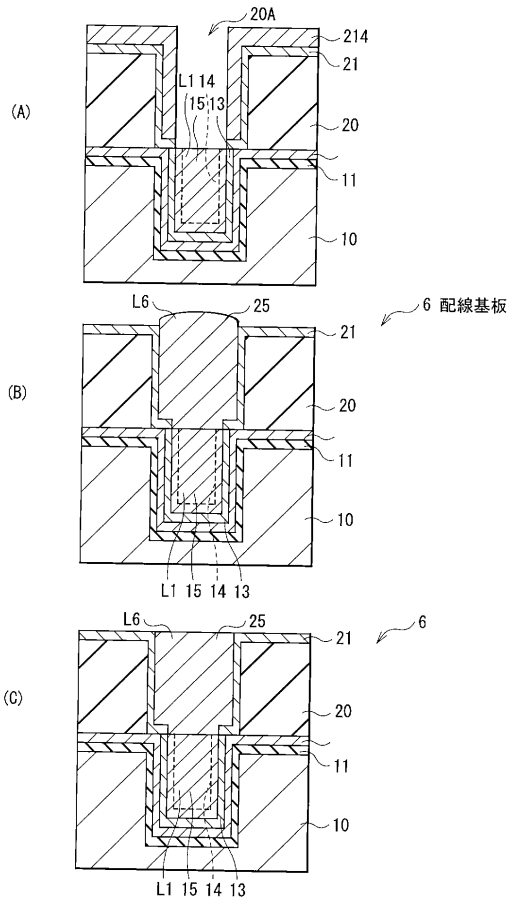
【 図 1 2 】



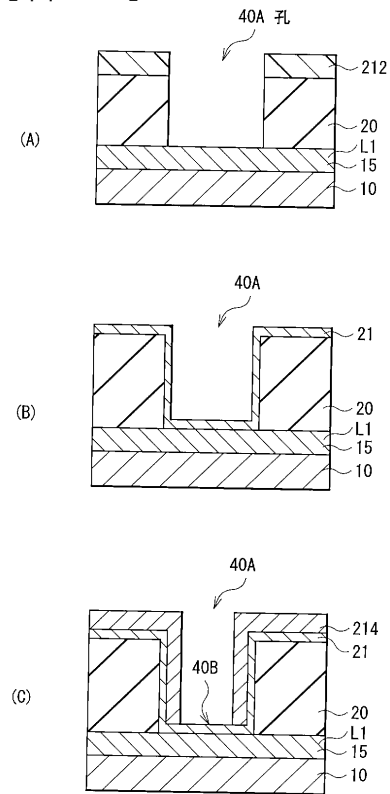
【 図 1 3 】



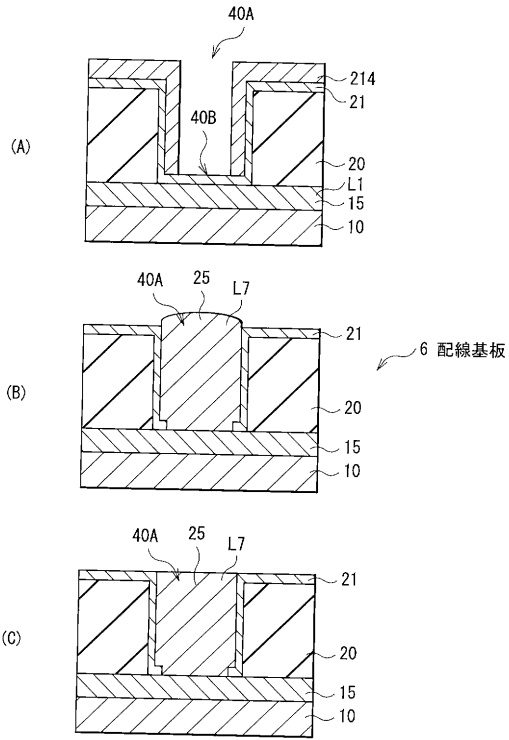
【 図 1 4 】



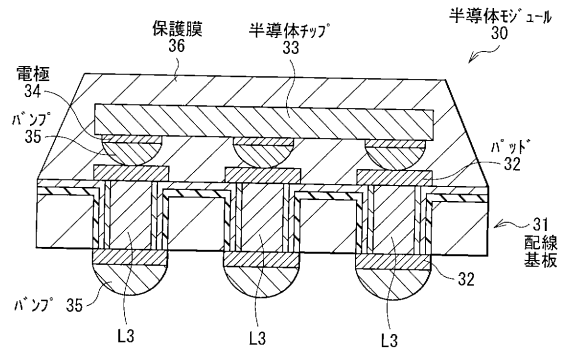
【 図 1 5 】



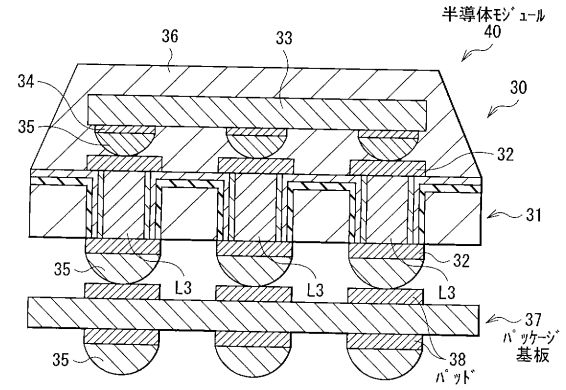
【図16】



【図17】



【図18】



---

フロントページの続き

Fターム(参考) 5F033 JJ11 JJ19 JJ21 MM01 MM30 NN01 NN02 NN06 NN07 PP06  
PP07 PP15 PP27 PP28 QQ08 QQ09 QQ11 QQ13 QQ28 QQ48  
QQ76 RR04 RR06 SS11 SS15