

90年5月8日 修正  
補充

申請日期	88.8.24
案 號	88113809
類 別	H01L 39/772

A4  
448581 C4

中文說明書修正本(90年5月)

(以上各欄由本局填註)

## 發 明 專 利 說 明 書

~~新 型~~

一、發明 名稱	中 文	增強導電性之金氧半導體閘半導體裝置之製法
	英 文	"FABRICATION OF CONDUCTIVITY ENHANCED MOS-GATED SEMICONDUCTOR DEVICES"
二、發明 人	姓 名	克里斯多夫 柏格斯羅 卡康
	國 籍	美國
	住、居所	美國賓州普蘭斯市葛瑞斯路16號
三、申請人	姓 名 (名稱)	美商賀利實公司
	國 籍	美國
	住、居所 (事務所)	美國佛羅里達州美爾鉢市那沙路1025號
	代 表 人 姓 名	威廉.A. 楚納

經濟部智慧財產局員工消費合作社印製

裝 訂 線

448581

A6  
B6

(由本局填寫)

承辦人代碼：
大類：
IPC分類：

本案已向：

國(地區) 申請專利，申請日期： 案號： ， 有 無主張優先權

美國 1998年08月12日 09/133,030 有 無主張優先權

有關微生物已寄存於： ，寄存日期： ，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝 訂 線

經濟部智慧財產局員工消費合作社印製

## 五、發明說明(1)

本發明係關於金氧半導體閘型半導體裝置，尤指一種製造此裝置具有改良導電性之方法。

金氧半導體(MOS)閘型係指半導體裝置包括一閘控制結構，其重疊但是絕緣於一半導體基材之第一表面，而該基材在此表面處包括以一通道區分隔之源極及汲極區。裝置之操作係在電壓控制之下，電壓施加於閘極，以利控制一路徑之導電性，而該路徑供電流流過源極與汲極區之間之通道區。雖然目前存在有多種不同型式之金氧半導體閘裝置，例如絕緣閘雙極式電晶體(IGBTs)及金氧半導體控制矽控整流器(MCTs)，而本發明可用於諸此裝置中，本發明之最大實用性在於單極性裝置，特別是金屬氧化物半導體場效電晶體(MOSFETs)。在單極性裝置中，僅有一種多數荷電體(電洞或電子)，且裝置半導體材料之電阻係相關於裝置性能，如文後所述，使用本發明即可使用較高導電性之裝置。

此外，本發明之裝置最大實用性為汲極區延伸至基材第一表面，而介設於通道區(其可為一共同環形通道區之一部份)之間，且汲極區電壓施加於通道區下方一位置處之汲極區，鄰近於基材第一表面且在相對立通道區之間之汲極區部份則稱為汲極「頸」。

半導體裝置中之累增崩潰係屬習知，且發生於當抵達一反向偏壓p-n接合處之荷電體由接合處耗盡區中之電場加速時，且接收足夠之能量使得撞擊於基材晶格時，荷電體令電子與電洞呈離子化，而重覆過程及導致大電流流過反向偏壓接合處。相關於本發明之反向偏壓接合處為通道區

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明(2)

與汲極之間之p-n接合處，且當裝置在其電流未導通電壓阻斷(中斷)狀態時，其需可承受裝置之源極與汲極區之間之電壓差。

大致上，較高之累增崩潰能力係利用鄰近於p-n接合處之較高電阻(較輕度摻雜)之半導體材料，惟，其問題在於半導體材料之電阻越高，即特別是電流密度不足以高到「導電性調制」材料之電阻(實際為可忽略不計)，則通過裝置之電壓降與裝置之 $I^2R$ 熱量越高，諸此變數最好應盡量低，且本發明即在於朝向此目標。

本發明包括一種製造一金氧半導體(MOS)閘半導體裝置之方法，其包含以下步驟：在一矽基材(224a)之一第一側上提供一表面(214)，具有第一導電性(N)摻雜物之第一濃度於其內，一第一區(217)具有一高於該第一濃度之第一導電性摻雜物之第二濃度，形成一第一凹紋(217a)於該基材第一側上之一表面(214a)中，且其延伸至該第一區內，積置一矽層224於該基材第一側上及進入該第一凹紋內，矽層具有一第一導電性摻雜物之第三濃度且小於該第一濃度，以利複製該第一凹紋成為該矽層表面上之一第二凹紋(217b)，將摻雜物自該第一區向外擴散至該矽層內，以利形成一隱埋區(217c)於該矽層內且延伸向該第二凹紋(217b)，及形成一閘極結構(212)於該矽層表面上且與該隱埋區呈預定之間隔關係。

如文後所述，方便的是在與汲極區直接鄰接於通道區p-n接合處相間隔之金氧半導體裝置汲極區特定部份可支承

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明(3)

少量或任意之反向偏壓施加通過p-n接合處。依本發明所示，此汲極部份係製成導電性較高於習知裝置中者，如文後所述，其係藉由提供一控制擴散過程，其中一基材內之摻雜物區同時提供較高導電性於汲極區之選定部份及提供對準標記於連續之處理步驟中。

本發明將利用舉例及參考相關圖式而闡釋之，其中：

圖1係習知MOSFET半導體裝置之一基材部份平面圖；

圖2係沿圖1之2-2線所取之截面；

圖3-5係圖1、2所示裝置之連續製造步驟中之一半導體工件之部份截面圖；及

圖6-11相似於圖3-5，但是說明本發明裝置之製造過程。

本發明具有主要(但是非唯一)實用性於MOSFET型單極式電力裝置中，雖然結構之細節係依裝置而不同，但是在電力裝置中其共同提供平行並側關係之複數相同閘極結構於一半導體晶圓之表面上。圖1、2所示之實例中，其揭示一單一閘極結構10、及相鄰諸此閘結構之部份，各閘極結構10包含一長形(如圖1)之導電材料閘極12，如摻雜之多矽晶，其利用一絕緣材料如二氧化矽之較薄層18(以下稱之為閘氧化物層)，以間隔於一矽半導體基材24-24a之表面，閘極12直接重疊於一導電性之通道區20，在此例中為p型(其沿著閘極12之各側)，而通道區設於一源極區22及一汲極區24之間。源極及汲極區係一相對立於通道區20之導電類型，且在此實例中為n型，閘極12延伸於源極

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明(4)

22及汲極24區上。

電力連接係提供用以施加電壓至裝置之不同部份，且不同之組合係依特定之裝置結構而使用。在一共同之組合中，其中本發明可具有特殊之實用性，通道區20為一較大「主體」區20a之一部份且源極區22設於主體區中(如圖2所示，各主體區20包括二間隔之源極區22，各定義出一由各別閘極12控制之各別通道區20)，一共同之電力連接係利用一金屬層28做為源極而形成於源極22及主體20a區。

其中設有二通道區20之主體區20a可視為一形成於汲極區24內之「井」，其完全圍繞於基材內之不同主體區20a，汲極區24向下延伸至主體區20a下方，且鄰接於基材24-24a之一下層部份24a，而鄰接汲極區24於一介面26處之部份24a則形成汲極區24之一延伸段，部份24a通電於相對立於表面14之部份24a之一表面32上之金屬電極30。汲極區24向上延伸於相鄰主體區20a之間且到達基材表面14，汲極區之各向上延伸部份34即視為汲極「頸」，本文中，在圖1所示之並側長條形狀中，頸34包含位於各別閘極下方之長方條。在幾何形狀中(圖中未示)，即圖2所示之二並側主體區20a為單一環形主體區一部份，則各汲極頸包含一向上延伸之實心圓筒。

在另一金氧半導體閘裝置中，汲極區24(包括部份24a)係依習知方式透過一或多介置摻雜區而連接於下層電極30，如上所述，一典型之斷續金氧半導體閘電力裝置包含

## 五、發明說明(5)

並側地設於基材24、24a上之圖1、2所示複數平行連接之閘極結構10，汲區24延伸於下方且共同於所有閘極結構。

圖2說明裝置40(以及其他金氧半導體閘裝置)如何在導電之「通電」狀態及阻斷電壓之「斷電」狀態中操作，在「通電」狀態中，帶電體在相對於源極區22以控制電壓施加於閘極12之情況下流過源極22與汲極24區之間之各通道區20。此處所示裝置40具有一p型通道區20設於n型源極22與汲極區24之間，一正電壓施加於閘極12，以利將電子吸引向通道區之表面。在有足夠濃度時，所吸引之電子令將鄰近於基材表面14之p型通道區之一窄部份之導電型式轉變成n型，以利自源極區22建立一n型導電連續路徑，且經過通道區20到達汲極區。當一正電壓相對於源極區22而施加於汲極區24時，電流(電子)流過n型通道，電流進入接近於基材頂表面14處之汲極區24，然後(依圖2箭頭25所示)向下流過汲極區層24，到達相當高導電性之下方汲極區層24a，汲極區層24係較低導電性且會有電力損耗發生於其上。

若無一導電類型轉換閘極上之電壓，則一電流路徑即無法建立通過通道區20，且裝置處於其斷電狀態。若汲極區24上之電壓為正而裝置斷電，則n型汲極區24與p型主體區20a之間之p-n接合處42即反向偏壓，且汲極區24與源極區22之間之電壓似呈通過反向偏壓之接合處42。耗盡區43(如圖2所示)鄰接於各p-n接合處42，圖2中，當裝置

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明(6)

係經歷累增崩潰時耗盡區43即表示此狀態，崩潰狀態將進一步探討於後。

當裝置在其斷電狀態時，裝置40係設計可承受一特定額定之源極至汲極電壓，就此而言，裝置諸區之尺寸及摻雜輪廓係依已知之設計參數而選定，以避免當所施加之電壓小於裝置之額定電壓時發生反向偏壓接合處42崩潰。現在大致可瞭解累增崩潰現象，而其可利用汲極區24之諸部份之低摻雜度加以避免，亦即形成具有主體區20a之p-n接合處42。如何選定摻雜度則將說明於後。

圖1、2係關於製造，且一部份在圖3至5。

啟始工件(如圖3)包含一均勻高導電性(例如 $n^+$ )之矽先質基材24a，而基材上可積置一均勻地輕量摻雜( $n^-$ )磊晶層24，積置時，存在於層24中之摻雜物係稱為「襯底」摻雜物，此層24亦形成前述之汲極區24。如文後所述，摻雜濃度係在汲極區內變化，且為後續添加至汲極區之摻雜物所調整之襯底摻雜濃度之函數(即當其呈磊晶性生長時存在於層24中之摻雜物)，例如利用習知之離子植入與後續擴散。如前所示，先質基材24a係摻以 $2 \times 10^{19}$ 原子/厘米<sup>3</sup>均勻濃度之磷或砷，而層24則摻以 $2.8 \times 10^{16}$ 原子/厘米<sup>3</sup>均勻濃度之磷。

一薄閘氧化物層18(例如二氧化矽)重疊於層18之表面上，及一導電材料層12(例如重度摻雜之多晶矽)重疊於閘氧化物層18上，隨後(如圖4)，上層12、18(利用光微影蝕刻術)製圖形成複數之並側式長形閘極12，圖1、2中僅

## 五、發明說明(7)

示其中。如文後所示，重要的是用於定義不同閘極12於基材層24上之光罩對準上所需之準確度較低，此係因為在上層12、18製圖時下層24並無圖型，其內部各處皆為均勻摻雜。反之，一旦閘極定位時，自動對準過程之優點即可極精確地取得。

下一步驟(圖4)係將p型摻雜物(例如硼)以離子植入法植入基材24，即基材表面14由閘極12曝露之處。二區域20c之邊緣46(如圖4中之虛線所示者)，即植入離子處，其係精確地由閘極12之邊緣48定義。然後在精確控制之加熱步驟中，植入之雜質在基材層24內呈向下及橫向地擴散，以利移動區緣46至閘極12下方之位置42(即前述之p-n接合處)。當二摻雜物存在於一半導體裝置之任意區域內時，區域之導電型式即屬較高濃度之摻雜物者，且區域之實際導電性係由二摻雜物濃度之淨差異所決定，擴散p型區20a(即前述之p#)與下層n型區24之間之p-n接合處42係二摻雜物濃度相等之處。在鄰接於p-n接合處42之n型區24部份中存在有p型摻雜物，但是其濃度小於已存在之n型襯底摻雜物者，且其濃度隨著遠離於p-n接合處42而減低。

製成擴散之p型區20a後，n型摻雜物(例如磷)再次利用(圖5)閘極做為光罩而植入p型區20a內，以精確定位所生成植入n型區之邊緣，添加至原存在於層24中n型摻雜物內之新植入n型摻雜物濃度係大幅超過先前植入p型摻雜物之濃度，以提供圖5虛線所示之二個n型區22a。

## 五、發明說明(8)

區域22a隨後在其各別p型區域20a內精確地橫向及向下擴散，以提供前述之源極區22延伸於閘極12下方且形成具有p型區20a之p-n接合處50，鄰近於p-n接合處42、50之間基材表面14之p型區20a之部份20係前述之通道區。

如前所釋，圖2揭示裝置經歷累增崩潰之狀態，且說明耗盡區因為p-n接合處42之反向偏壓而存在。

已知的是，一耗盡區內之電場強度係耗盡區所包圍之淨固定電荷數之函數，且當最大之電場強度(在p-n接合處)達到一臨界振幅時(相關於淨固定電荷之臨界數)，即發生累增崩潰。裝置40係設計成對於層24之特定摻雜與寬度而言，臨界電場強度並未到達，且累增崩潰並未發生，直到耗盡區43完全延伸過層24之寬度及貫穿入重度摻雜層24a，此項設計之理由在於層24之厚度與摻雜為裝置製造期間可予以控制之變數，因此，具有預先選定累增崩潰額定值之裝置可穩定地製造。

一旦耗盡區43開始貫穿重度摻雜之汲極區24a時，電場強度即快速上昇至會發生累增崩潰之臨界值(此狀態已揭露於圖2中)，現在將進一步探討此狀態。

大體而言，閘極結構10之寬度(即圖2中由左至右之尺寸)應越小越好，寬度越小則對於電流導通及切斷於裝置之控制越佳。圖2雖未依比例，但是實際上位於p-n接合處42與汲極層24a之間之汲極層24部份之厚度T係明顯小於二間隔主體區20a之間之頸區34之寬度W。

例如在一典型裝置中，厚度T大約為寬度W之一半，此

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明(9)

結果為當耗盡區43在其最大寬度時亦為累增崩潰開始時，則橫向相互伸過汲極頸34之二耗盡區43並未遇合，但是間隔一間隙G。

由於源極與汲極區之間之整個電壓差發生於耗盡區43之寬度上，因此在汲極頸34間隙部份G內無電壓降發生，且間隙部份G之尺寸與導電性變數並不影響裝置之累增崩潰能力。

反之，如圖2之箭頭所示，裝置通電期間，當電子流過通道區20進入汲極區24時，部份電流路徑通過頸部份G，且通過頸部份G之導電性影響裝置之電壓降及裝置內之 $I^2R$ 損失。據此，藉由增加頸區34之部份G之導電性且無關於耗盡區43內在累增崩潰開始時之頸區34部份之導電性(摻雜)，則導通過裝置之改善電流效率(即較低之電壓與 $I^2R$ 損失)可取得而不影響裝置之累增崩潰額定值。

以一高均勻性摻雜( $n^+$ )基材224a啟始(例如 $2 \times 10^{19}$ 原子/厘米<sup>3</sup>)且其上尚未積置一磊晶層時(圖6)，可提供更重度摻雜之複數區域217(圖中僅示其一)，區域217可利用習知製程提供，例如離子植入(濃度 $4 \times 10^{15}$ 原子/厘米<sup>3</sup>之磷或砷植入0.03-0.07微米深度)通過一覆蓋於基材224a表面214之圖型光罩層219。

層219隨後去除，且(圖7)一二氧化矽層221熱生長於基材224a之表面上(其表面現在以214a標示)，此熱生長製程之一項效應為修復(回火)由先前摻雜過程所致之表面損壞，另一項效應為由於沿基材224a表面214a之極重度摻

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明(10)

雜區217之圖型，致使一可見之佈局圖型形成於基材表面214a上，可見圖型係來自於已知之事實，即相關於基材表面處矽氧化情形之一熱生長二氧化矽層之生長速率為該表面處之摻雜物濃度之函數。因此，如圖7所示，氧化物層221在超重度摻雜部份217生長最快速，藉此使氧化物層221形成栓塞221a在部份217處伸入基材224a(如圖所示，氧化層221之上表面亦佈局圖案化，惟其僅相同於製程，因為氧化層221隨後即去除)。

去除氧化物層221(例如利用一習知之二氧化矽蝕刻劑)之結果係揭示於圖8中，由於氧化物層221(如圖7)已貫穿基材224a最深部份217，因此氧化物層221與栓塞221a之去除會在最新曝露之基材表面214a中生成一表面凹紋圖型217a，諸表面凹紋217a係保留於工件中，以做為對準記號而用於待進行之後續光罩製程。

下一步驟(如圖9)為生成一n摻雜磊晶層224於n型基材224a上，層224之摻雜濃度係依據先前技藝實施，亦即層224為較低導電性(n<sup>-</sup>)，以提供(精確而言係如先前技藝裝置40中者)一低導電性汲極區做為反向偏壓功能。磊晶層224複製基材224a之表面214a輪廓(如圖8)，因此，對應於基材表面214a上凹紋217a之凹紋217b(如圖9)即複製於層224之表面225上。此外，因為磊晶層生長過程係在昇溫狀態完成，因此工件中會發生不同摻雜物之擴散，在此，來自n<sup>+</sup>基材224a之摻雜物向上擴散入層224中，而基材224a超重度摻雜部份217中之摻雜物則同時向上擴散至

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明(11)

層224中及向下至基材224a中，高導電性之隱埋區217c因而提供於基材224a與層224之間介面214a處。

導電性較周側層224者為高之各隱埋區217c係直接位於磊晶層224表面225中之一對應凹紋217b下方，此外，各隱埋區217c局部地沿垂直方向延伸通過層224而趨近於層224之表面225。如習於此技者所知，相對於層224厚度之隱埋區217c高度係區域217寬度與摻雜濃度以及所用不同熱製程之函數，如習知者，此高度亦為所存在摻雜物之擴散率之函數，例如磷在矽中之擴散即比砷快速，因此，若基材224a均勻地摻雜以砷，且部份217(如圖6)摻以磷，則層224內之隱埋區217c高度將因為磷之快速擴散率而進一步增加。

令工件在圖9所示狀態中，一裝置隨即可例如使用圖3、4所示相同製程且相同於圖5所示先前技藝裝置40之製造而完成。惟，其中一項例外為圖3、4中所示者，先前技藝裝置閘極12形成於一無圖型(featureless)基材24a上，而欲形成於圖9所示工件上之閘極212(如圖11)則仔細對準於層224內之隱埋區217c，此項對準可用習知方式達成，其相關於使用一光罩以定義出閘極212之一圖案，且各閘極疊置於一對應隱埋區217c上及位於中央處。在過程中，一閘氧化物層226(如圖10)先形成於層224之表面225上，隨後為一閘極材料層228，例如用於圖1、2所示先前技藝裝置40中之摻雜多元矽。顯然，二層226、228分別將表面225上之凹紋217b圖型(如圖9)複製為凹紋

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明(12)

217d、217e，用於定義閘極結構之光罩(圖中未示)對準於凹紋217e，以利精確地將待形成之電極結構對準先前定義之隱埋區217c。

生成之裝置240(如圖11)相似於圖5所示之先前技藝裝置，不同的是汲極頸部份234重疊於一自層224底部向上突伸之區域217c，區域217c之導電性較高於均勻摻雜 $n^-$ 層之其餘部份，向上突伸區217c之較高導電性提供一較低之電阻路徑225，供電流通過進入裝置之汲極區224(通過一通道區220)，到達 $n^+$ 導電性之下層基材224a。惟，顯然較高導電性區217c係在裝置呈最大量(依其額定值)反向偏壓時位於耗盡區(虛線243所示)外側。(在圖11中，所示 $p-n$ 接合處242與介面214a之間之距離 $T$ 係大於 $p-n$ 接合處242與隱埋區217c之間之最小距離 $S$ )。據此，裝置之累增崩潰承受力不受高導電性區217c存在之影響，惟，該區有利於減少電流流過裝置之阻力。

在一金氧半導體(MOS)閘半導體裝置之製造中，凹紋係提供於一半導體晶圓之表面上，其在摻雜濃度較高之晶圓表面處朝各別間隔區之內側延伸。一具有摻雜濃度較低於基材者之矽層係保形地提供於基材表面上，藉此使基材表面中之凹紋可複製於矽層之表面上，基材區中之摻雜物隨後向外擴散至矽層內，以提供高摻雜之隱埋區於層內。隨後利用矽層表面凹紋做為光罩對準記號，則閘極結構即形成於矽層上及內，且相對於隱埋區而在預先選定之方位，隱埋區提供低電阻路徑供電流通過生成之裝置。

## 四、中文發明摘要 (發明之名稱: 增強導電性之金氧半導體閘半導體裝置之製法 )

在一金氧半導體(MOS)閘半導體裝置之製造中，若干凹紋提供於一半導體晶圓之一表面上，係在晶圓表面之各別間隔區域朝內延伸，其摻雜濃度大於晶圓之其餘部份者。一矽層具有小於基材者之摻雜濃度，其係保形地提供於基材表面上，藉此使基材表面中之凹紋複製於矽層表面上。基材區中之摻雜物隨後擴散入矽層，以利於層內提供重度摻雜之隱埋區。隨後利用矽層表面凹紋做為光罩對準記號，閘極結構即以相對於隱埋區之預定方位而形成於矽層上及內，隱埋區提供低電阻路徑供電流通過所生成之裝置。

## 英文發明摘要 (發明之名稱: "FABRICATION OF CONDUCTIVITY ENHANCED MOS-GATED SEMICONDUCTOR DEVICES" )

In the manufacture of an MOS gated semiconductor device, indentations are provided on a surface of a semiconductor wafer extending inwardly of respective spaced apart regions at the wafer surface having doping concentrations greater than that present in the remainder of the wafer. A layer of silicon having a doping concentration less than that of the substrate is conformally provided on the substrate surface whereby the indentations in the substrate surface are replicated on the surface of the silicon layer. Dopants in the substrate regions are then out-diffused into the silicon layer to provide highly doped buried regions within the layer. Then, using the silicon layer surface indentations as photomask alignment marks, gate electrode structures are formed on and within the silicon layer in preselected orientation relative to the buried regions. The buried regions provide low resistance paths for current through the resulting devices.

## 六、申請專利範圍

1. 一種製造金氧半導體(MOS)開半導體裝置之方法，其包含以下步驟：在一矽基材(224a)之一第一側上提供一表面(214)，具有第一導電性(N)摻雜物之第一濃度於其內，一第一區(217)具有一高於該第一濃度之第一導電性摻雜物之第二濃度，形成一第一凹紋(217a)於該基材第一側上之一表面(214a)中，且其延伸至該第一區內，積置一矽層224於該基材第一側上及進入該第一凹紋內，矽層具有一第一導電性摻雜物之第三濃度且小於該第一濃度，以利複製該第一凹紋成為該矽層表面上之一第二凹紋(217b)，將摻雜物自該第一區向外擴散至該矽層內，以利形成一隱埋區(217c)於該矽層內且延伸向該第二凹紋(217b)，及形成一閘極結構(212)於該矽層表面上且與該隱埋區呈預定之間隔關係。
2. 如申請專利範圍第1項之方法，其中形成該第一凹紋之步驟包含熱性生長一二氧化矽層(221)於該基材之第一側上及內，疊於該第一區(217)上之該二氧化矽層厚度係大於疊在該基材第一側其他部份上之該二氧化矽層厚度，因而形成一二氧化矽栓塞(221a)在該第一區域處朝基材內側延伸，及去除含有該朝內延伸栓塞之該二氧化矽層。
3. 如申請專利範圍第1項之方法，其中該閘極結構步驟包含一閘極疊合於該矽層及其內之該第二凹紋，且相關於該隱埋區而對準。
4. 如申請專利範圍第3項之方法，包括提供一第二區(220a)

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 六、申請專利範圍

於該矽層(224)內，而與該矽層形成一p-n接合處(242)，該p-n接合處相隔於該矽層內之該隱埋區(217c)之距離超過當裝置使用期間該p-n接合處累增崩潰啟始時一耗盡區(243)自該p-n接合處至該隱埋區之最大延展量。

5. 如申請專利範圍第4項之方法，包括提供該第二區(220a)相隔於該矽層(224)與該基材(224a)之介面(214a)以一間距(T)，且小於該p-n接合處與該隱埋區之間之該間距(S)。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

紙

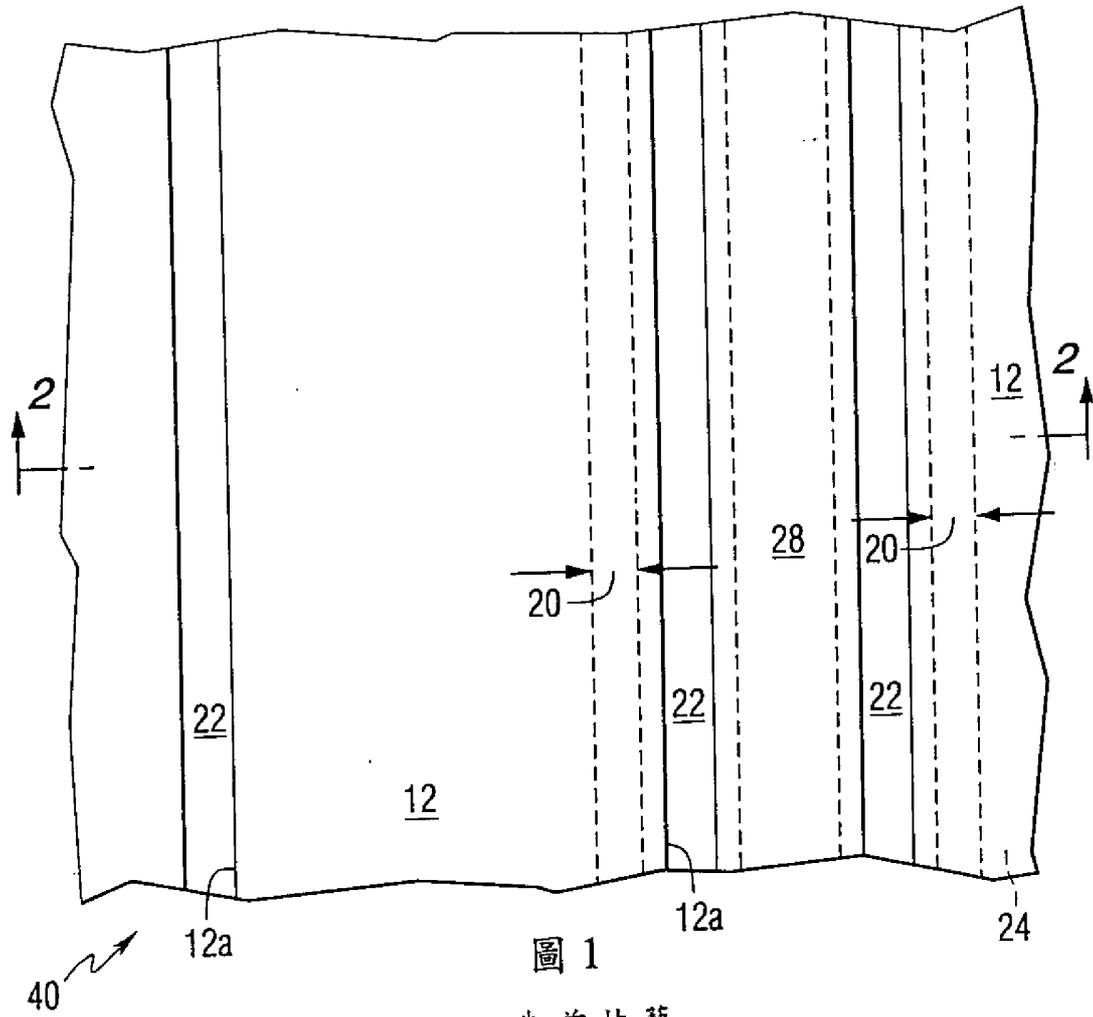


圖 1

先前技藝

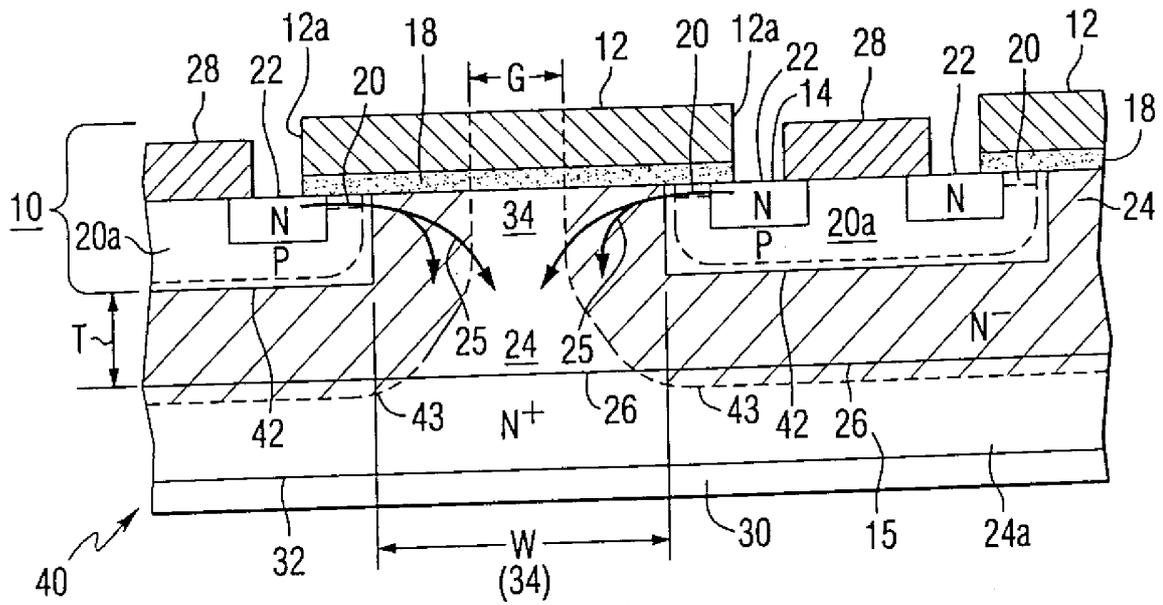


圖 2

先前技藝

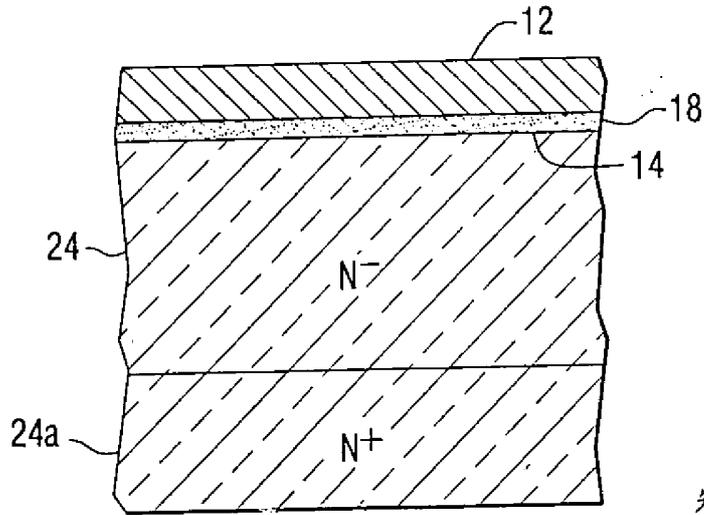


圖 3  
先前技藝

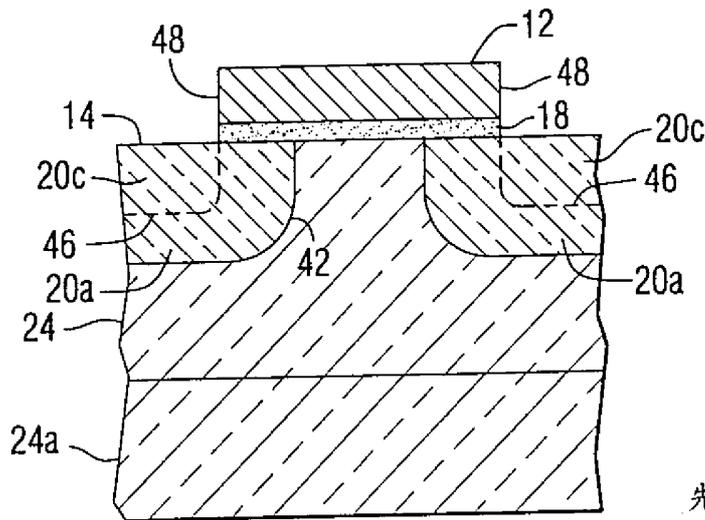


圖 4  
先前技藝

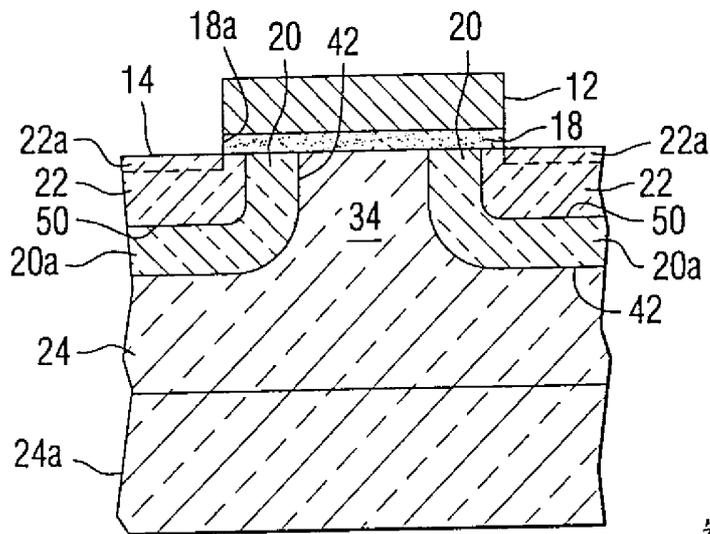


圖 5  
先前技藝

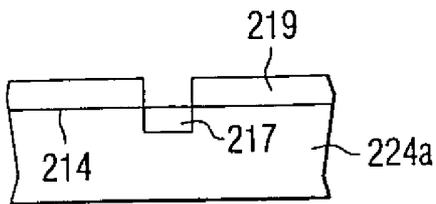


圖 6

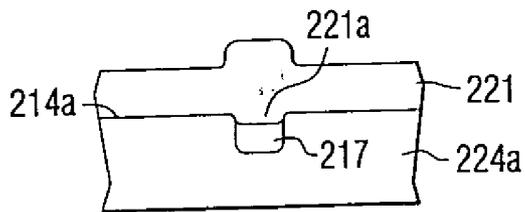


圖 7

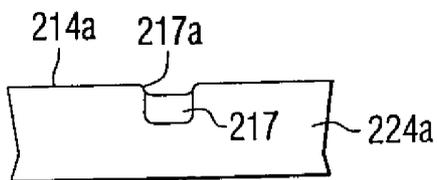


圖 8

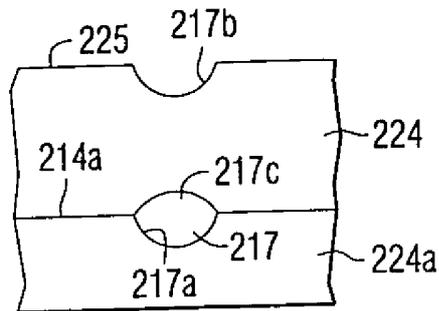


圖 9

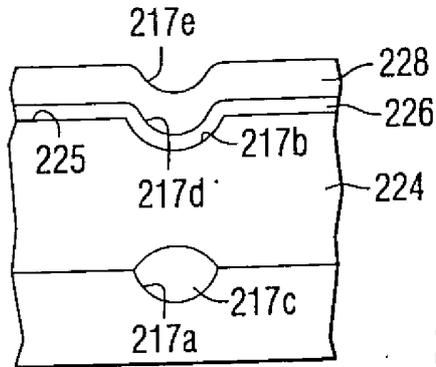


圖 10

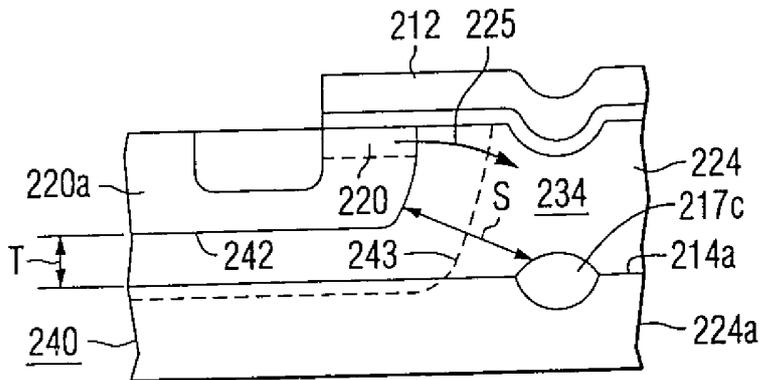


圖 11

90年5月8日 修正  
補充

申請日期	88.8.24
案 號	88113809
類 別	H01L 39/772

A4  
448581 C4

中文說明書修正本(90年5月)

(以上各欄由本局填註)

## 發 明 專 利 說 明 書

~~新 型~~

一、發明名稱	中 文	增強導電性之金氧半導體閘半導體裝置之製法
	英 文	"FABRICATION OF CONDUCTIVITY ENHANCED MOS-GATED SEMICONDUCTOR DEVICES"
二、發明人	姓 名	克里斯多夫 柏格斯羅 卡康
	國 籍	美國
	住、居所	美國賓州普蘭斯市葛瑞斯路16號
三、申請人	姓 名 (名稱)	美商賀利實公司
	國 籍	美國
	住、居所 (事務所)	美國佛羅里達州美爾鉢市那沙路1025號
	代 表 人 名 姓	威廉.A. 楚納

裝

訂

線

經濟部智慧財產局員工消費合作社印製