

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2004年12月2日 (02.12.2004)

PCT

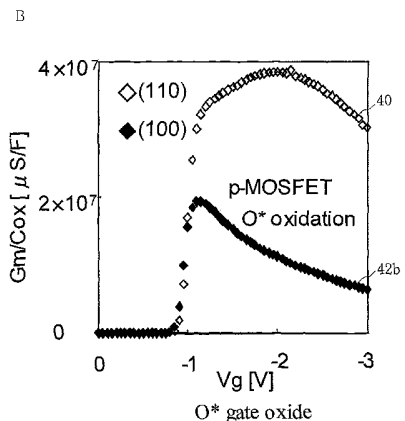
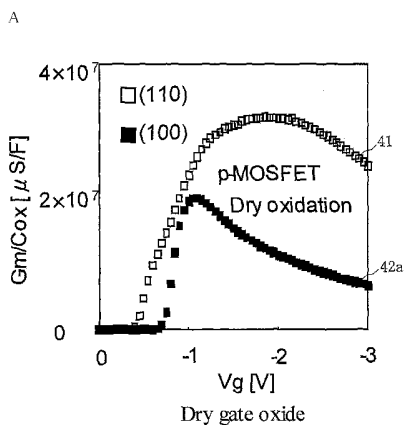
(10) 国際公開番号
WO 2004/105116 A1

- (51) 国際特許分類: H01L 21/336, 29/78, 21/316, 21/304
- (21) 国際出願番号: PCT/JP2004/007075
- (22) 国際出願日: 2004年5月24日 (24.05.2004)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ: 特願2003-148275 2003年5月26日 (26.05.2003) JP
- (71) 出願人 (米国を除く全ての指定国について): 矢崎総業株式会社 (YAZAKI CORPORATION) [JP/JP]; 〒1088333 東京都港区三田1丁目4番28号 Tokyo (JP).
- (71) 出願人 および
- (72) 発明者: 大見 忠弘 (OHMI, Tadahiro) [JP/JP]; 〒9800813 宮城県仙台市青葉区米ヶ袋2丁目1番17号301 Miyagi (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 寺本章伸 (TERAMOTO, Akinobu) [JP/JP]; 〒9830037 宮城県仙台市宮城野区平成1丁目1番地22号 K6 Miyagi (JP). 赤堀 浩史 (AKAHORI, Hiroshi) [JP/JP]; 〒2410822 神奈川県横浜市旭区さちが丘148-4-7 O1 Kanagawa (JP). 二井 啓一 (NIII, Keiichi) [JP/JP]; 〒9820825 宮城県仙台市太白区西の平2丁目23-45 C-203 Miyagi (JP). 渡邊 高訓 (WATANABE, Takanori) [JP/JP]; 〒4101194 静岡県裾野市御宿1500 矢崎総業株式会社内 Shizuoka (JP).
- (74) 代理人: 山川 政樹 (YAMAKAWA, Masaki); 〒1000014 東京都千代田区永田町2丁目4番2号 秀和溜池ビル8階 山川国際特許事務所内 Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM,

[続葉有]

(54) Title: P-CHANNEL POWER MIS FIELD EFFECT TRANSISTOR AND SWICHING CIRCUIT

(54) 発明の名称: PチャネルパワーMIS電界効果トランジスタおよびスイッチング回路



(57) Abstract: A P-channel power MIS field effect transistor formed on a silicon surface having substantially a (110) plane, wherein a gate insulation film is used which provides a gate-to-source withstand voltage of at least 10V, and flattens a silicon surface or contains Kr, Ar or Xe.

(57) 要約: 實質的に(110)面を有するシリコン表面に形成されたPチャネルパワーMIS電界効果トランジスタにおいて、ゲート、ソース間耐電圧を10V以上とし、かつシリコン表面を平坦化するか、Kr、ArまたはXeを含むゲート絶縁膜を用いる。

WO 2004/105116 A1



DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告書

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG,

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

明 細 書

PチャンネルパワーMIS電界効果トランジスタおよびスイッチング回路

技術分野

- [0001] 本発明は、NチャンネルパワーMIS電界効果トランジスタと同等サイズ、同等コストで同等以上の性能を得ることができるPチャンネルパワーMIS電界効果トランジスタ、およびPチャンネルパワーMIS電界効果トランジスタを用いたスイッチング回路に関するものである。

背景技術

- [0002] ワイパやドアロック等の車両用電装品においては、これらの電装品を動かしたり止めたりするため、バッテリーからモータ等の負荷への電圧供給をオン／オフするスイッチ回路が使用されている。従来、これらのスイッチ回路にはリレーが使用されてきたが、小型化や省電力化のために半導体デバイスの使用が要請されている。半導体デバイスによるスイッチング制御の対象となる負荷としては、前記のワイパーモーターやドアロックモーターの他にブローモーター、パワーシートモーター、ヘッドランプやテールランプ等のランプ類、ホーン、リヤデフオグガー、シートヒーター等があり、駆動電流は数Aから約20A、バッテリー定格電圧は12Vまたは36V、耐電圧は60Vから100Vに達する。また、最近ではHEV、FCV等の電気駆動自動車用に大電流化、高電圧化に対し、適応可能な半導体デバイスも必要とされている。

- [0003] 図21は半導体デバイスを使用した従来のスイッチ回路の1例を示す回路図である。図21のスイッチ回路は、チャージポンプ回路CP101と、抵抗R101, R102と、シリコン基板の(100)面に形成されたNチャンネルパワーMOS電界効果トランジスタQ101とからなる。電源電圧BATT(バッテリー定格電圧)は、12Vまたは36Vである。このスイッチ回路をオンさせる場合、マイクロコンピュータMCは、ハイレベルの電圧(バッテリー電圧BATT)を出力する。このとき、トランジスタQ101では、しきい値電圧の分だけソース電圧がゲート電圧よりも低下するため、マイクロコンピュータMCの出力と抵抗R101, R102とを直結すると、負荷LOに供給する電圧がトランジスタQ101のしきい値電圧だけ低下する。そこで、チャージポンプ回路CP101によりマイクロコンピュータ

MCの出力を昇圧することで、このような電圧低下を回避している。しかし、図21に示したスイッチ回路では、チャージポンプ回路CP101の分だけコストが上昇し、またチャージポンプ回路CP101がノイズを放射するという問題点があった。

[0004] 図22は従来のスイッチ回路の他の例を示す回路図である。図21の構成では負荷LOへの電源供給ラインの高電位側にスイッチング素子であるNチャンネルパワーMOS電界効果トランジスタQ101を挿入している。これに対して、図22のスイッチ回路は、電源供給ラインの高電位側にNチャンネルパワーMOS電界効果トランジスタQ111, Q112を挿入すると共に、電源供給ラインの低電位側(グランド)にNチャンネルパワーMOS電界効果トランジスタQ113, Q114を挿入するブリッジ構成をとるものであり、トランジスタQ111, Q112, Q113, Q114と、抵抗R111, R112, R113, R114と、ハイ側ドライブ回路DR1と、ロウ側ドライブ回路DR2とからなる。ハイ側ドライブ回路DR1は、マイクロコンピュータMCの出力電流を増幅してトランジスタQ111, Q112を駆動するバイポーラトランジスタ等からなり、同様にロウ側ドライブ回路DR2は、トランジスタQ113, Q114を駆動するバイポーラトランジスタ等からなる。図21の構成と同様に、図22に示したスイッチ回路においても、負荷電圧の低下を回避するためにチャージポンプ回路CP101が必要なので、チャージポンプ回路CP101の分だけコストが上昇し、チャージポンプ回路CP101がノイズを放射するという問題点があった。

[0005] 一方、負荷電圧の低下を回避する他の方法として、PチャンネルパワーMOS電界効果トランジスタを用いる方法がある。PチャンネルパワーMOS電界効果トランジスタでは、NチャンネルパワーMOS電界効果トランジスタで説明したような電圧低下がないため、チャージポンプ回路を使用することなくスイッチ回路を実現することができ、チャージポンプ回路に係る前述の問題点を解消することができる。

[0006] しかしながら、NチャンネルMOSトランジスタと同様にシリコンの(100)面に形成されたPチャンネルMOS電界効果トランジスタは、電流駆動能力、例えば移動度、がNチャンネルMOS電界効果トランジスタの約3分の1であり、NチャンネルMOSトランジスタと同等の電流駆動能力をPチャンネルMOSトランジスタで得るためには、PチャンネルMOSトランジスタのサイズをNチャンネルMOSトランジスタの約3倍の大きさにしなければならない。したがって、シリコンの(100)面にこれと同等の特性のPチャンネルMOSトラン

ジスタを形成した場合、コストがNチャンネルMOSトランジスタの約3倍となり、チャージポンプ回路が不要になってもスイッチ回路全体としては図21、図22に示した回路よりもコストが上昇してしまうという問題があった。もしもPチャンネルMOSトランジスタのサイズをシリコン(100)面に形成されたNチャンネルMOSトランジスタと同等にすることができれば、安くかつチャージポンプ回路からのノイズ発生がないスイッチ回路を提供できることになる。そのためには、PチャンネルMOSトランジスタの電流駆動能力をシリコン(100)面に形成されたものよりも高くする必要がある。

[0007] PチャンネルMOSトランジスタの電流駆動能力を高めるために、シリコンの(110)面にPチャンネルMOSトランジスタを設けることが、例えば特許文献1および特許文献2に提唱されている。特許文献1ではNチャンネルMOSトランジスタを形成した表面が(100)面のシリコンをエッチングして側面の(110)面にPチャンネルMOSトランジスタを形成している。しかしながら、本発明者等の知見によれば、従来方法でエッチングしてその(110)表面に熱酸化によってシリコン酸化膜を形成しそれをゲート絶縁膜としたPチャンネルMOSトランジスタは実用に耐える特性を持たず、ましてゲート、ソース間耐電圧が10V以上のパワーMOSトランジスタとして用いることは不可能である。特許文献2では、図23に示すように(同文献の図2である)実効垂直電界が3V程度では(110)面の正孔の移動度が(100)面での電子の移動度よりも大きくなることに着目して(110)面にPチャンネルトランジスタを作ることを狙ったものであるが、酸化膜の破壊限界が実効垂直電界で1Vであるところから、ゲート絶縁膜にシリコン酸化膜を用いず、酸化タンタルまたは酸化チタン等の高誘電材料を用いてPチャンネルMISトランジスタを形成したものである。このデバイスでも、図23に示すように移動度は通常のNチャンネルMOSトランジスタより劣っており、NチャンネルMOSトランジスタと同等の移動度が得られているとはいいがたい。

[0008] 特許文献1:特開平4-372166号公報

特許文献2:特開平7-231088号公報

発明の開示

発明が解決しようとする課題

[0009] 以上のようにシリコンの(110)面にPチャンネルパワーMIS電界効果トランジスタを設

ける提案はなされているが、NチャンネルパワーMOS電界効果トランジスタと同等サイズで同等以上の電流駆動能力をもち実用に耐えるPチャンネルパワーMIS電界効果トランジスタは実現していなかった。なお、以上のような問題点は、MOSTランジスタに限らず、ゲート絶縁膜を有するMISトランジスタ全般で同様に生じるものである。

[0010] 本発明は、上記課題を解決するためになされたもので、NチャンネルパワーMIS電界効果トランジスタと同等サイズで同等以上の性能を得ることができるPチャンネルパワーMIS電界効果トランジスタ、およびPチャンネルパワーMIS電界効果トランジスタを用いたスイッチング回路を実現することを目的とする。

課題を解決するための手段

[0011] 本発明は、表面が実質的に(110)面であるシリコン領域を有する基板と、前記表面上に設けられたゲート絶縁膜と、前記ゲート絶縁膜上に設けられたゲート電極とを有し、前記シリコン領域を少なくともチャンネルに用いたPチャンネルMIS電界効果トランジスタにおいて、前記ゲート絶縁膜のうち少なくとも前記シリコン領域の表面と接する接触部にはアルゴン、クリプトンまたはキセノンが含まれ、かつゲート、ソース間耐電圧が10ボルト以上であることを特徴とするPチャンネルパワーMIS電界効果トランジスタを提供するものである。

本発明のPチャンネルパワーMIS電界効果トランジスタの一構成例では、ゲート絶縁膜のうち少なくともシリコン領域の表面と接する接触部のアルゴン、クリプトンまたはキセノンの含有量は表面密度において $5 \times 10^{11} \text{ cm}^{-2}$ 以下である。

また、本発明のPチャンネルパワーMIS電界効果トランジスタの一構成例では、ゲート絶縁膜のアルゴン、クリプトンまたはキセノンの含有量は、ゲート絶縁膜がゲート電極と接する界面が最大で、かつゲート絶縁膜がシリコン領域の表面と接する界面に向かって減少している。

さらに、本発明のPチャンネルパワーMIS電界効果トランジスタの一構成例では、PチャンネルパワーMIS電界効果トランジスタのゲート閾値電圧が、アルゴン、クリプトンまたはキセノンを含まないこと以外は同じゲート絶縁膜を有し、かつ表面が(100)面であるシリコン領域にゲート絶縁膜およびゲート電極が形成されたPチャンネルMIS電界効果トランジスタのゲート閾値電圧と実質的に同等である。

本発明のPチャンネルパワーMIS電界効果トランジスタの一構成例では、ゲート絶縁膜のうち少なくともシリコン領域の表面と接する接触部が、シリコン酸化膜、シリコン酸窒化膜、またはシリコン窒化膜からなる。

本発明のPチャンネルパワーMIS電界効果トランジスタの一構成例では、ゲート絶縁膜のうち少なくともシリコン領域の表面と接する接触部が、シリコン領域の表面をラジカル酸素を用いて酸化した100nm以下の厚さのシリコン酸化膜になっている。

ゲート絶縁膜のうち少なくともシリコン領域の表面と接する接触部は、シリコン領域の表面をラジカル窒素またはラジカルNHを用いて窒化した100nm以下の厚さのシリコン窒化膜であってもよい。

ゲート絶縁膜のうち少なくともシリコン領域の表面と接する接触部は、シリコン領域の表面をラジカル窒素またはラジカルNHとラジカル酸素とを用いて酸窒化した100nm以下の厚さのシリコン酸窒化膜であってもよい。

ゲート絶縁膜の厚さは、好ましくは200乃至1500オングストロームである。

ゲート絶縁膜のうちシリコン領域の表面と接する接触部以外の部分は、CVDによって形成されたシリコン酸化膜、シリコン酸窒化膜、シリコン窒化膜を含んでもよい。

[0012] 本発明のPチャンネルパワーMIS電界効果トランジスタの一構成例では、ゲート絶縁膜は、マイクロ波励起を発生させるための希ガスと絶縁膜形成ガスとの混合ガスプラズマを用いて形成されたものである。

前記希ガスはアルゴン、クリプトンまたはキセノンのうち少なくとも1つであり、前記絶縁膜形成ガスは酸素、窒素、アンモニアのうち少なくとも1つを含むガスであるのが好ましい。

また、本発明は、表面が実質的に(110)面であるシリコン領域を有する基板と、前記表面上に設けられたゲート絶縁膜と、前記ゲート絶縁膜上に設けられたゲート電極とを有し、前記シリコン領域を少なくともチャンネルに用いたPチャンネルMIS電界効果トランジスタにおいて、シリコン表面の表面粗さが中心線平均粗さ(Ra)で表現すると0.15nm以下であり、かつソース、ゲート間耐電圧が10ボルト以上であるようにしたものである。

ゲート絶縁膜のうち少なくともシリコン領域の表面と接する接触部にアルゴン、クリプ

トンまたはキセノンが含まれるのが好ましい。

[0013] また、本発明のPチャンネルパワーMIS電界効果トランジスタは、前記シリコン表面の表面ラフネスが、中心線平均粗さRaで表現すると0.11nm以下となるようにしたものである。

また、本発明のPチャンネルパワーMIS電界効果トランジスタは、前記シリコン表面の表面ラフネスが、中心線平均粗さRaで表現すると0.09nm以下となるようにしたものである。

また、本発明のPチャンネルパワーMIS電界効果トランジスタは、前記シリコン表面の表面ラフネスが、中心線平均粗さRaで表現すると0.07nm以下となるようにしたものである。

中心線平均粗さRaは、0.11nm以下が好ましく、0.09nm以下がより好ましく、0.07nmが更に好ましい。

[0014] また、本発明のPチャンネルパワーMIS電界効果トランジスタの1構成例において、前記実質的に(110)面を有するシリコン表面は、(110)面、(551)面、(311)面、(221)面、(553)面、(335)面、(112)面、(113)面、(115)面、(117)面、(331)面、(221)面、(332)面、(111)面、及び、(320)面のいずれかである。

また、本発明のPチャンネルパワーMIS電界効果トランジスタの1構成例において、前記実質的に(110)面を有するシリコン表面は、(110)面または(551)面である。

[0015] 佐藤等によれば、“Sensors and Actuators 73(1999)”(p.122-130)に掲載された論文の図2に、(110)面をアルカリエッチング処理した場合、 $\langle -110 \rangle$ 方向に筋が走る表面形状となることが示されている。このように、(110)面と同様な表面形状が得られる領域として、 $\langle 100 \rangle$ 方向に $0 \sim 12^\circ$ までオフさせた面、例えば 8° オフの(551)面などが当てはまる。 $\langle -110 \rangle$ 方向へは 1° オフさせた面までは、同様な表面形状が得られる。したがって、当該論文の図2に示された(110)面と同じ表面ラフネス挙動を示す面方位は、実質的に(110)面方位に含まれる。

[0016] さらに、佐藤等は、“Physical Review Letters , B4, 1950(1971)”において、(110)面と同様なキャリア電子移動度が得られる面を報告している。この報告によれば、 $\langle -110 \rangle$ 方向に電子を流した場合、 $\langle -110 \rangle$ 方向へ $0 \sim 35^\circ$ オフさせた

面、例えば(331)面、(221)面、(332)面、(111)面などを用いても(110)面と同様の電子移動挙動を得ることができるとしている。また、 $\langle 110 \rangle$ 方向へ $0-12^\circ$ オフさせた面、例えば(320)面を用いても(110)面と同様の挙動を得ることができる。したがって、上記した面やその近傍面も、実質的(110)面に含まれる。

[0017] また、本発明のPチャンネルパワーMIS電界効果トランジスタの1構成例は、ゲート絶縁膜のうち少なくともシリコン表面に接する接触部を、シリコン酸化膜、シリコン窒化膜、シリコン酸窒化膜のうち少なくとも1つを含む膜によって構成してもよい。

また、本発明のPチャンネルパワーMIS電界効果トランジスタの1構成例は、ゲート絶縁膜の接触部以外の部分が、Hf, Zr, Ta, Ti, La, Co, Y, Alから選ばれる少なくとも1つの元素を含む金属シリケートと、Si, Hf, Zr, Ta, Ti, Y, Nb, Na, Co, Al, Zn, Pb, Mg, Bi, La, Ce, Pr, Sm, Eu, Gd, Dy, Er, Sr, Baから選ばれる少なくとも1つの元素を含む金属酸化物と、Si, Hf, Zr, Ta, Ti, Y, Nb, Na, Co, Al, Zn, Pb, Mg, Bi, La, Ce, Pr, Sm, Eu, Gd, Dy, Er, Sr, Baから選ばれる少なくとも1つの元素を含む金属窒化物と、Si, Hf, Zr, Ta, Ti, Y, Nb, Na, Co, Al, Zn, Pb, Mg, Bi, La, Ce, Pr, Sm, Eu, Gd, Dy, Er, Sr, Baから選ばれる少なくとも1つの元素を含む金属酸窒化物とのうち少なくとも1つを含む高誘電膜を含むようにしてもよい。

また、本発明のPチャンネルパワーMIS電界効果トランジスタの1構成例は、ゲート絶縁膜の接触部以外の部分を、シリコン酸化膜、シリコン窒化膜、シリコン酸窒化膜、前記高誘電膜のうち少なくとも1つを含む膜によって構成してもよい。

また、本発明のPチャンネルパワーMIS電界効果トランジスタの1構成例において、ゲート絶縁膜のうち少なくともシリコン領域の表面と接する接触部のアルゴン、クリプトンまたはキセノンの含有量は $5 \times 10^{11} \text{ cm}^{-2}$ 以下である。

[0018] また、本発明のPチャンネルパワーMIS電界効果トランジスタの1構成例において、ゲート絶縁膜のうち少なくともシリコン領域の表面と接する接触部は、ラジカル酸素とラジカル窒素のうち少なくとも1つを含む雰囲気中において、前記シリコン表面を酸化する酸化処理工程と前記シリコン表面を窒化する窒化処理工程のうちいずれか1つ、あるいは前記酸化処理工程と前記窒化処理工程の同時並行処理で形成されたもの

である。

また、ゲート絶縁膜は、マイクロ波励起を発生させるための希ガスと絶縁膜形成ガスとの混合ガスプラズマを用いて形成された部分を含むものである。

前記希ガスはクリプトン、キセノンおよびアルゴンのうちの少なくとも1つであり、前記絶縁膜形成ガスはアンモニア、窒素、酸素のうち少なくとも1つを含むガスである。

[0019] また、本発明のPチャンネルパワーMIS電界効果トランジスタの1構成例は、前記シリコン表面を、ソース領域とドレイン領域とチャンネル領域とゲート絶縁膜とが形成される前に、OH濃度の低いRCA洗浄工程により洗浄してもよい。

また、本発明のPチャンネルパワーMIS電界効果トランジスタの1構成例は、前記シリコン表面を処理する液体のpHを7以下にしたものである。

また、本発明のPチャンネルパワーMIS電界効果トランジスタの1構成例は、前記シリコン表面を、ソース領域とドレイン領域とチャンネル領域とゲート絶縁膜とが形成される前に、OHの発生を抑制した超音波洗浄を含む洗浄工程により洗浄してもよい。

[0020] また、本発明のPチャンネルパワーMIS電界効果トランジスタの1構成例は、前記シリコン表面を、ソース領域とドレイン領域とチャンネル領域とゲート絶縁膜とが形成される前に、オゾンを含む純水による洗浄を行う第1工程と、500kHz以上の周波数の振動を与えながら、HFと脱気した H_2O と界面活性剤とを含む洗浄液による洗浄を行う第2工程と、オゾンを含む H_2O による洗浄を行う第3工程と、この第3工程において形成された酸化膜を除去するためにHFと脱気した H_2O とを含む洗浄液による洗浄を行う第4工程と、水素が添加された H_2O による洗浄を行う第5工程とからなる洗浄工程により洗浄してもよい。

また、本発明のPチャンネルパワーMIS電界効果トランジスタの1構成例において、前記第2工程および第4工程の脱気した H_2O は、 H_2O を脱気した後に水素を添加することによって形成された H_2O である。

また、本発明のPチャンネルパワーMIS電界効果トランジスタの1構成例において、前記第2工程および第4工程の脱気した H_2O は、溶存酸素濃度が100ppb以下である。

[0021] また、本発明のPチャンネルパワーMIS電界効果トランジスタの1構成例は、前記シリ

コン表面を、ソース領域とドレイン領域とチャンネル領域とゲート絶縁膜とが形成される前に、500kHz以上の周波数の振動を与えながら、HFと、溶存酸素濃度が100ppb以下の H_2O に水素を添加した洗浄液により洗浄してもよい。

また、本発明のPチャンネルパワーMIS電界効果トランジスタの1構成例は、前記シリコン表面の洗浄開始から洗浄終了まで、処理薬液と前記シリコン表面とが空気に触れることが無いような装置中で処理を行ってもよい。

また、本発明のPチャンネルパワーMIS電界効果トランジスタの1構成例において、前記シリコン表面は、洗浄工程後に、酸素ラジカルを含む雰囲気中で前記シリコン表面に犠牲酸化膜を形成する工程とこの犠牲酸化膜を剥離する工程とを含む表面平坦化処理が行われるようにしてもよい。

また、本発明のPチャンネルパワーMIS電界効果トランジスタの1構成例において、前記シリコン表面は、洗浄工程後に、湿式ガスを用いた酸化処理を行い酸化膜を形成する第1工程と、前記酸化膜を所定の厚さまでエッチバックする第2工程とからなる2つの工程を所望数繰り返した後、HFを含む水溶液により前記酸化膜を剥離する表面平坦化処理が行われるようにしてもよい。

さらに本発明は、上記のようなPチャンネルパワーMIS電界効果トランジスタのソースまたはドレインの一方に直接または間接に電源を接続し、ソースまたはドレインの他方に負荷を接続し、ゲートに前記PチャンネルパワーMIS電界効果トランジスタをオンまたはオフにする駆動信号を印加する手段を接続したスイッチング回路を提供するものである。

前記電源の定格電圧は、好ましくは12ボルト以上である。駆動信号を印加する手段はバイポーラトランジスタを含むのが好ましい。

発明の効果

- [0022] 本発明によれば、表面が実質的に(110)面であるシリコン領域を有する基板と、前記表面上に設けられたゲート絶縁膜と、前記ゲート絶縁膜上に設けられたゲート電極とを有し、前記シリコン領域を少なくともチャンネルに用いたPチャンネルMIS電界効果トランジスタにおいて、前記ゲート絶縁膜のうち少なくとも前記シリコン領域の表面と接する部分にアルゴン、クリプトンまたはキセノンが含まれるようにしたので、従来(10

0)面でも(110)面でも達成または実現することのできなかつた、NチャネルMOSトランジスタと同等サイズで同等以上の電流駆動能力を有するPチャネルパワーMIS電界効果トランジスタを得ることができる。

[0023] また、本発明によれば、実質的に(110)面を有するシリコン表面の平坦性を、従来のRCA洗浄によって得られる1.0nm程度の表面ラフネス(Ra)から0.15nm以下とすることにより、従来のRCA洗浄を用いて形成したMISトランジスタに比べて、電流駆動能力を約3倍向上させることができる。したがって、本発明のPチャネルパワーMIS電界効果トランジスタは、NチャネルパワーMIS電界効果トランジスタと同等サイズ、同等コストで同等以上の電流駆動能力を得ることができる。また、本発明では、シリコン表面とゲート絶縁膜との界面が原子的に平坦であることから、ゲート結縁膜の信頼性も向上させることができる。

図面の簡単な説明

- [0024] [図1]本発明の第1実施例において電界効果トランジスタが形成される(110)面方位のシリコン基体の結晶構造を示す概略図である。
- [図2]本発明の第1実施例において(110)面内に電界効果トランジスタを形成した際のトランジスタ移動度の配置方向依存性を示す図である。
- [図3A-3B]本発明の第1実施例と従来の電界効果トランジスタのドレイン電流-ドレイン電圧特性を示す図である。
- [図4A-4B]本発明のPチャネルMOSトランジスタと従来のPチャネルMOSトランジスタの相互コンダクタンス-ゲート電圧特性を示す図である。
- [図5A-5H]本発明の第1実施例となるPチャネルパワーMIS電界効果トランジスタの製造方法を示す工程断面図である。
- [図6]本発明の第1実施例の電界効果トランジスタの製造工程で使用するマイクロ波励起プラズマ装置の概略構成を示す断面図である。
- [図7]シリコン結晶面方位を変化させたときのシリコン酸化膜厚の形成時間依存性を示す図である。
- [図8]本発明の第1実施例のPチャネルパワーMIS電界効果トランジスタを用いたスイッチ回路の構成を示す回路図である。

[図9]本発明の第1実施例のPチャンネルパワーMIS電界効果トランジスタを用いた他のスイッチ回路の構成を示す回路図である。

[図10]シリコン表面の中心線平均粗さと界面ラフネススペクトルとの関係を調べたシミュレーション結果を示す図である。

[図11A-11J]本発明の第4実施例となるPチャンネルパワーMIS電界効果トランジスタの製造方法を示す工程断面図である。

[図12]本発明の第4実施例に係る製造方法による効果を説明するための図であり、シリコン表面の平坦化に対する酸化方法の依存性を示す図である。

[図13]シリコン表面の中心線平均粗さと電子移動度との関係を説明する図である。

[図14A-14J]本発明の第5実施例となるPチャンネルパワーMIS電界効果トランジスタの製造方法を示す工程断面図である。

[図15]本発明の第5実施例で使用する(551)面における原子ステップの模式図である。

[図16]本発明の第6実施例に係る製造方法の第2工程におけるシリコン酸化膜のエッチバック残膜量と中心線平均粗さとの関係を示す図である。

[図17]本発明の第6実施例で行われる第1工程と第2工程の繰り返し回数と中心線平均粗さとの関係を示す図である。

[図18]本発明の第7実施例に係る表面平坦性維持手法の効果を示す図である。

[図19A-19D]本発明の第8実施例に係る製造方法を示す工程断面図である。

[図20A-20B]本発明の第8実施例に係る製造方法を示す工程断面図である。

[図21]従来のスイッチ回路の構成を示す回路図である。

[図22]従来の他のスイッチ回路の構成を示す回路図である。

[図23]従来のPチャンネルMOSトランジスタの特性を示す図である。

発明を実施するための最良の形態

[0025] [第1実施例]

以下、本発明の実施例について詳細に説明する。本実施例では、表面に(110)面を有するシリコン基板上にシリコン酸化膜からなるゲート絶縁膜を形成したPチャンネルパワーMIS電界効果トランジスタについて述べる。

- [0026] 図1に、本実施例の電界効果トランジスタで使われるシリコン基板を構成する、 $\langle 110 \rangle$ 方向から見たシリコン結晶の結晶構造の概略図を示す。ただし図1において、矢印101、矢印102はいずれも $\langle 110 \rangle$ 方向を示しており、電界効果トランジスタが形成される基板最上面においては、シリコン原子103がゲート絶縁膜との界面に平行に配列されることが分かる。
- [0027] さらに、本実施例の電界効果トランジスタでは、ゲート電極を、前記 $\langle 110 \rangle$ 方位のシリコン基板主面、例えば(110)面上に、その長手方向が図1の紙面左右方向に延在するように配置し、さらに紙面手前方向にソース領域を、紙面奥方向にドレイン領域を配置する。この方向が、 $\langle 110 \rangle$ 方位のシリコン面上にソース領域とドレイン領域とを、ソース領域とドレイン領域とを結ぶ線が $\langle 110 \rangle$ 方位に一致するように電界効果トランジスタを配置した方向であり、次の図2に示すようにMISトランジスタの移動度は、この方向において最も高くなる。
- [0028] 図2は、(110)面上にPチャネルMISトランジスタを形成した際のトランジスタ移動度のトランジスタ配置方向依存性を示す図であり、(110)面内において、(111)面との交線を基準にして、ゲート電極長手方向の角度を変化させて配置したときの移動度の変化を示す。
- [0029] 図2を参照すると、移動度はゲート電極長手方向のなす角度が135度方向のとき、すなわち(110)面あるいは(110)面内にソース領域・ドレイン領域を、ソース領域とドレイン領域とを結ぶ方向が $\langle 110 \rangle$ 方向となるように配置したときが最大になるのが分かる。NチャネルMISトランジスタについても同様である。この方向に配置したMISトランジスタの移動度は(100)面の移動度に比べてNチャネルMISトランジスタで約1.4倍、PチャネルMISトランジスタで約2.5倍に相当する。この方向に配置したMISトランジスタの移動度が高くなるのは、ソース領域からドレイン領域に沿った電子および正孔の有効質量および格子散乱確率が減少することに起因すると考えられる。
- [0030] 図2を見ても分かるように、移動度が最大になる角度の周辺の角度でも急激に移動度が低下することにはならないので、60度の角度から180度程度の結晶面方位を選択しても移動度は(100)面NチャネルMOSトランジスタと同等の電界効果トランジスタを得ることができる。また、実質的に(110)面あるいは(110)面と等価ないしは面

方向角度が近い他の面方位、例えば(551)面、(331)面、(221)面、(321)面、(531)面、(231)面、(351)面、(320)面、(230)面などに本実施例の電界効果トランジスタを形成してもよい。

[0031] 図3A、図3Bは、それぞれ(100)面、(110)面のシリコン基板上に形成したPチャネルMIS電界効果トランジスタのドレイン電流-ドレイン電圧特性を示す図である。図3によれば、本実施例の(110)面上のMIS電界効果トランジスタの電流駆動能力は、(100)面の場合の2.5倍になっている。

[0032] 図4は、本発明のPチャネルMOSトランジスタのゲート電圧対相互コンダクタンス特性を、従来のPチャネルMOSトランジスタの特性と比較して示すもので、それぞれのPチャネルMOSトランジスタは、ゲートの長さが100 μ m、ゲート幅が300 μ m、ゲート酸化膜の厚さが5nmである。本発明のトランジスタは、シリコン(110)面に後に述べる酸素ラジカルを用いた酸化方法でシリコン酸化膜のゲート絶縁膜を形成してなるPチャネルトランジスタであり、従来のトランジスタは、シリコン(100)面に熱酸化または酸素ラジカルを用いた酸化でシリコン酸化膜のゲート絶縁膜を形成してなるPチャネルトランジスタおよびシリコン(110)面に熱酸化でシリコン酸化膜のゲート絶縁膜を形成してなるPチャネルトランジスタである。図4Aを参照すると、シリコン(110)面に熱酸化でシリコン酸化膜のゲート絶縁膜を形成してなる従来のPチャネルトランジスタの特性41は、シリコン(100)面に熱酸化でゲート酸化膜を形成してなる従来のPチャネルトランジスタの特性42aよりも相互コンダクタンスが優れているものの、閾値電圧が大きすぎ、かつ一定の値を取ることができず、実用に耐えない。一方、図4Bを参照すると、本発明のPチャネルMOSトランジスタの特性40は、シリコン(100)面に酸素ラジカルを用いた酸化方法でゲート酸化膜を形成してなる従来のPチャネルトランジスタの特性42b(シリコン(100)面に熱酸化でゲート酸化膜を形成してなるPチャネルトランジスタの特性42aと同等である)と比べて、ゲート電圧の絶対値の大きい領域においても相互コンダクタンスが3倍以上の高さであってシリコン(110)面に熱酸化でシリコン酸化膜のゲート絶縁膜を形成してなる従来のPチャネルトランジスタの特性41より優れているのみならず、その閾値電圧もシリコン(100)面に酸素ラジカルを用いた酸化方法でゲート酸化膜を形成してなる従来のPチャネルトランジスタの閾値電圧

と同等であり、従ってシリコン(100)面に熱酸化でゲート酸化膜を形成してなるPチャネルトランジスタの閾値電圧とも同等であって、実用にあたって何ら差し支えないものであることが分かる。一般に、閾値電圧のズレは次の式で表される。

[0033] [数1]

$$\Delta V_{th} = \frac{Q_{ss}}{C_{ox}} = \frac{\tau_{ox} \times Q_{ss}}{\epsilon} \quad \dots (1)$$

[0034] ここで、 V_{th} は閾値、 C_{ox} はゲート絶縁膜容量、 Q_{ss} は、ゲート絶縁膜中の固定電荷、 ϵ はゲート絶縁膜の誘電率、 τ_{ox} はゲート絶縁膜の厚さである。シリコン(110)面に熱酸化で形成されたゲート酸化膜には多量の固定電荷が存在するために ΔV_{th} が大きくなるが、特にゲート、ソース間耐電圧が10V以上のパワーデバイスでは、ゲート絶縁膜の耐圧を高めるためにその厚さ τ_{ox} を厚くする必要があり、その結果上記の式から ΔV_{th} がさらに大きくなるので、シリコン(110)面に熱酸化でゲート酸化膜を形成してなる従来のPチャネルトランジスタをパワーデバイスに使うことは実用的に不可能である。これに対して本発明のPチャネルMOSTランジスタは、ゲート、ソース間電圧10V以上の耐圧を持つ厚さのゲート絶縁膜であっても、シリコン(100)面にゲート酸化膜を形成してなる従来のPチャネルトランジスタの閾値特性と同等であり、本発明によって始めて、相互コンダクタンスが高く移動度が高い、NチャネルMOSTランジスタと同等のPチャネルトランジスタを実用に供することができた。

[0035] 次に、図5を参照して、本実施例のPチャネルパワーMIS電界効果トランジスタの製造方法を説明する。なお、図5の例は、LDD(Lightly Doped Drain)構造のPチャネルトランジスタを製造する工程を示している。

[0036] まず、図5Aに示すように、表面に(110)面を有するN型シリコンウェハ基板201を用意し、その表面に、例えばSTI(Shallow Trench Isolation)法により素子分離を行い、ソースドレインおよびチャネル領域を含む素子領域202を形成する。

[0037] 次に、素子領域202に対して、 $\text{NH}_4\text{OH}-\text{H}_2\text{O}_2-\text{H}_2\text{O}$ (SC1)及び $\text{HCl}-\text{H}_2\text{O}_2-\text{H}_2\text{O}$ (SC2)を用いたRCA洗浄を行う(図5B)。このRCA洗浄により有機物、パーティクル、メタル不純物が全表面から除去された後、シリコン表面を酸化して、シリコン酸

化膜からなるゲート絶縁膜204を形成する(図5C)。

[0038] 図6は、本実施例のゲート絶縁膜204を実現するための、ラジアルラインスロットアンテナを用いたマイクロ波励起プラズマ装置の1例の要部を示す断面図である。真空容器の下部は、反応ガス排出手段も含めて省略してある。このマイクロ波励起プラズマ装置は、特表平10-33362号公報に開示されたプラズマ装置と実質的に同等の構成を備えている。

[0039] 本実施例のゲート絶縁膜204は以下のようにして形成される。まず、真空容器(処理室)401内を真空にし、シャワープレート402からKrガス、 O_2 ガスを導入して、処理室401内の圧力を1Torr程度に設定する。表面に(110)面を有するN型シリコンウェハ基板403(図5の201)を、加熱機構を持つ試料台404上に載置し、シリコンウェハ基板403の温度が400°C程度になるように設定する。この温度設定は、200〜550°Cの範囲内で以下に述べる結果はほとんど同様のものとなる。

[0040] 続いて、同軸導波管405からラジアルラインスロットアンテナ406と誘電体板407を通して、処理室401内に2.45GHzのマイクロ波を供給し、処理室401内に高密度のプラズマを生成する。供給するマイクロ波の周波数は、900MHz以上10GHz以下の範囲にあれば以下に述べる結果はほとんど同様のものとなる。シャワープレート402と基板403との間の間隔は、本実施例では6cmに設定してある。この間隔は狭いほうがより高速な成膜が可能となる。本実施例では、ラジアルラインスロットアンテナを用いたプラズマ装置を用いて成膜した例を示しているが、他の方法を用いてマイクロ波を処理室内に導入してもよい。

[0041] Krガスと O_2 ガスが混合されたマイクロ波励起プラズマ中では、中間励起状態にある Kr^* と O_2 分子とが衝突して、原子状酸素 O^* が効率よく発生する。この原子状酸素により、基板表面は酸化される。従来の、シリコン表面の酸化は、 H_2O 分子、 O_2 分子により行われ、処理温度は、800°C以上と極めて高いものであったが、本実施例の原子状酸素による酸化は、550°C以下と十分に低い温度で可能である。

[0042] 図7に、マイクロ波励起Kr/ O_2 プラズマを用いたシリコン基板表面酸化時の酸化膜厚と酸化時間の関係の面方位依存性を示す。シリコン基板は(100)面、(110)面のものを示している。図7には同時に従来の900°Cのドライ熱酸化による酸化時間依

存性を示している。従来の高温熱酸化技術では、表面に形成された酸化膜を O_2 分子や H_2O 分子が拡散によって通り抜け、シリコンとシリコン酸化膜との界面に到達して酸化に寄与するため、酸化膜の成長速度の面方位による差が発生するが、本実施例のようにマイクロ波励起 Kr/O_2 プラズマを用いたシリコン基板表面酸化では、図7に示す以外のあらゆる面方位に対してもシリコン酸化膜の成長速度の依存は殆どない。

- [0043] また、シリコン酸化膜とシリコンとの界面準位密度を、低周波C-V測定により測定した結果、マイクロ波励起プラズマを用いて成膜したシリコン酸化膜の界面準位密度は、(100)面、(110)面および他のあらゆる面方位とも低く良好であった。
- [0044] 上述したように、マイクロ波励起 Kr/O_2 プラズマにより形成したシリコン酸化膜は、 $400^\circ C$ という低温で酸化しているにもかかわらず、(100)面、(110)面および他のあらゆる面方位とも、従来の(100)面の高温熱酸化膜と同等ないしはより優れた電気的特性が得られる。
- [0045] こうした効果が得られるのは、成膜直後にシリコン酸化膜中に Kr が含有されることにも起因している。シリコン酸化膜中に Kr が含有されることにより、膜中やシリコンとシリコン酸化膜との界面でのストレスが緩和され、膜中電荷や界面準位密度が低減され、シリコン酸化膜の電気的特性が大幅に改善されるためと考えられる。特に、表面密度において $5 \times 10^{11} \text{ cm}^{-2}$ 以下の Kr を含むことがシリコン酸化膜の電気的特性、信頼性的特性の改善に寄与している。 Kr の代わりに Ar または Xe を用いても同様の結果が得られる。酸化膜の場合は Kr が特に好ましい。
- [0046] 図5の説明に戻ると、ゲート絶縁膜204を形成したシリコンウェハ基板201の全面に、しきい値電圧を制御するため、ボロンをイオン注入する(図5D)。ボロンのイオン注入後、シリコンウェハ基板201の全面に、多結晶シリコン膜を堆積させ、これをパターンニングして素子領域202のゲート絶縁膜204上に、多結晶シリコン電極(ゲート電極)205を形成する(図5E)。
- [0047] ゲート電極205の形成後、ボロンを低濃度でイオン注入して高電界を緩和するPソース領域およびPドレイン領域206を形成する(図5F)。次に、CVD法などにより、ゲート電極205を被覆するように、シリコン酸化膜をシリコンウェハ基板201の全面

に堆積させた後、異方性エッチングを行って、ゲート電極205の側壁に側壁絶縁膜207を形成する(図5G)。

- [0048] その後、ボロンなどのP型不純物を高濃度にイオン注入してP+ソース領域およびP+ドレイン領域208を形成する(図5H)。最後に、P+ソース領域およびP+ドレイン領域208上の絶縁膜204に開口部を形成して、アルミニウム等によりソース電極およびドレイン電極(不図示)を形成して、PチャンネルパワーMIS電界効果トランジスタの作製が終了する。
- [0049] 以上のように、本実施例では、(100)面を有するシリコン表面上に形成されたPチャンネルMISトランジスタに比べて、約2.5倍の電流駆動能力を得ることができ、従来の(110)面のシリコンに形成したPチャンネルMISトランジスタでは不可能だったNチャンネルパワーMIS電界効果トランジスタと同等サイズ、同等コストで同等の電流駆動能力をもつPチャンネルMISトランジスタを得ることができる。
- [0050] 図8は本実施例のPチャンネルパワーMIS電界効果トランジスタを用いたスイッチ回路の1例を示す回路図であり、図21と同一の構成には同一の符号を付してある。図8のスイッチ回路は、図21と同様に、負荷LOへの電源供給ラインの高電位側にスイッチング素子であるPチャンネルパワーMIS電界効果トランジスタQ1を挿入したものであり、トランジスタQ1と、NPNトランジスタQ2と、抵抗R1, R2とからなる。電源電圧(バッテリー定格電圧)は12Vである。
- [0051] 図9は本実施例のPチャンネルパワーMIS電界効果トランジスタを用いたスイッチ回路の他の例を示す回路図であり、図22と同一の構成には同一の符号を付してある。図9のスイッチ回路は、図22と同様に、負荷LOへの電源供給ラインの高電位側にPチャンネルパワーMIS電界効果トランジスタQ11, Q12を挿入し、電源供給ラインの低電位側にNチャンネルパワーMIS電界効果トランジスタQ13, Q14を挿入したものであり、トランジスタQ11, Q12, Q13, Q14と、抵抗R11, R12, R13, R14と、ハイ側ドライブ回路DR1と、ロウ側ドライブ回路DR2とからなる。
- [0052] 図8、図9のいずれの場合においても、従来必要であったチャージポンプ回路が不要となり、またNチャンネルパワーMIS電界効果トランジスタと同等サイズのPチャンネルパワーMIS電界効果トランジスタを使用することができるので、コストを低減することができる。

できる。図8の場合、バイポーラNPNトランジスタが1個必要となるが、バイポーラトランジスタはチャージポンプ回路に比べて安価であるため、スイッチ回路のコストを低減することができる。

- [0053] なお、本実施例においてマイクロ波励起プラズマで形成するゲートシリコン酸化膜は少なくともシリコンと接する部分に存在すればよく、そのゲートシリコン酸化膜の上に異種の材料、例えばシリコン窒化膜、アルミニウム酸化膜、タンタル酸化膜、ハフニウム酸化膜、ジルコニウム酸化膜などの絶縁膜を積層形成してもよい。本実施例では、ゲート、ソース間耐圧が20VのPチャンネルパワーMIS電界効果トランジスタを作成する(定格12Vのバッテリーで駆動される車両用電装品に使用するパワートランジスタを作成する)ので、ゲート酸化膜の厚さは40nmであるが、例えばゲート、ソース間耐圧を60Vにする場合は、マイクロ波励起プラズマで形成可能なゲートシリコン酸化膜の厚さは数十nm程度なので、このゲートシリコン酸化膜の上に他の製造方法、例えばマイクロ波励起高密度プラズマCVD法等により絶縁膜を形成して、所望の厚さ(1200オングストロームから1500オングストローム)のゲート絶縁膜を得るようにしてもよい。ゲート、ソース間耐電圧10Vを得るためのゲート酸化膜の厚さは20nmである。
- [0054] また、本実施例のゲートシリコン酸化膜を実現するためには、図6に示した装置の他に、プラズマを用いた低温の酸化膜形成を可能とする別のプラズマプロセス用装置を使用しても構わない。例えば、マイクロ波によりプラズマを励起するためのKrガスを放出する第1のガス放出手段と、酸素ガスを放出する第2のガス放出手段とをもつ2段シャワープレート型プラズマプロセス装置でゲートシリコン酸化膜を形成することも可能である。
- [0055] 表面に(110)面を有するシリコンウェハは、バルク結晶ウェハでも、埋め込み絶縁膜上にシリコン層が形成されたシリコン・オン・インシュレータ(SOI)ウェハでも構わない。SOIウェハの埋め込み絶縁膜の下にはシリコン基体があっても金属層があってもよい。銅などの低抵抗金属層が埋め込み絶縁膜の下に設けられたSOIウェハの方が高速動作には有利である。
- [0056] [第2実施例]
- 次に、本発明の第2実施例として、表面に(110)面を有するシリコン基板上にシリコ

ン酸窒化膜からなるゲート絶縁膜を形成したPチャンネルパワーMIS電界効果トランジスタについて述べる。

- [0057] シリコン酸窒化膜をゲート絶縁膜に用いる電界効果トランジスタを形成する場合も、図1に示した、 $\langle 110 \rangle$ 方位のシリコン基板上に、最上面のシリコン原子がゲート絶縁膜との界面に平行に配列し、ゲート電極を、長手方向が紙面左右方向に一致するように配置し、紙面手前方向にソース領域を、紙面奥方向にドレイン領域を配置する構成が、最も高い移動度を与える。
- [0058] この方向に配置した本実施例のMIS電界効果トランジスタの電流駆動能力は、シリコン酸窒化膜の誘電率がシリコン酸化膜に比べて高くなる分だけ第1実施例よりも高くなる。本実施例のPチャンネルMIS電界効果トランジスタの電流駆動能力は、 $\langle 100 \rangle$ 方位のシリコン基板上にシリコン酸化膜からなるゲート絶縁膜を形成したPチャンネルMIS電界効果トランジスタの約2.8倍となる。本実施例のMIS電界効果トランジスタの移動度が高くなるのは、第1実施例と同様、ソース領域からドレイン領域に沿った電子および正孔の有効質量および格子散乱確率が減少することに起因する。
- [0059] 以上のように、本実施例では、PチャンネルパワーMIS電界効果トランジスタの電流駆動能力を第1実施例よりもさらに高めることができる。
- 本実施例の移動度を高める面方位として、第1実施例と同様、実質的に(110)面あるいは(110)面と等価ないしは面方向角度が近い他の面方位、例えば(551)面、(331)面、(221)面、(321)面、(531)面、(231)面、(351)面、(320)面、(230)面などに本実施例の電界効果トランジスタを形成してもよい。
- [0060] 本実施例のPチャンネルMIS電界効果トランジスタのゲートシリコン酸窒化膜は、第1実施例と同様に、図6に示したラジアルラインスロットアンテナを用いたマイクロ波励起プラズマ装置で実現される。本実施例のゲートシリコン酸窒化膜は以下のようにして形成される。
- [0061] まず、真空容器(処理室)401内を真空にし、シャワープレート402からKrガス、 O_2 ガス、 NH_3 ガスを導入して、処理室401内の圧力を1Torr程度に設定する。表面に(110)面を有するN型シリコンウェハ基板403(図5の201)を、加熱機構を持つ試料台404上に載置し、シリコンウェハ基板403の温度が $400^\circ C$ 程度になるように設定す

る。

- [0062] 続いて、同軸導波管405からラジアルラインスロットアンテナ406と誘電体板407を通して、処理室401内に5.45GHzのマイクロ波を供給し、処理室401内に高密度のプラズマを生成する。シャワープレート402と基板403との間の間隔は6cm程度とする。本実施例では、ラジアルラインスロットアンテナを用いたプラズマ装置を用いて成膜した例を示しているが、他の方法を用いてマイクロ波を処理室内に導入してもよい。
- [0063] Krガス、O₂ガス、NH₃ガスが混合された高密度励起プラズマ中では、中間励起状態にあるKr*とO₂分子、NH₃分子が衝突して、原子状酸素O*およびNH*が効率よく発生する。このラジカルにより、シリコン基板表面は酸化される。
- [0064] マイクロ波励起プラズマを用いたシリコン表面酸化では、酸化膜の成長速度の面方位依存は殆どない。また、シリコン酸化膜とシリコンとの界面準位密度は、(100)面、(110)面および他のあらゆる面方位とも低く良好である。
- [0065] 本実施例のゲートシリコン酸化膜形成においては、水素が存在することがひとつの重要な要件である。プラズマ中に水素が存在することにより、シリコン酸化膜中およびシリコン酸化膜とシリコンとの界面のダングリングボンドがSi-H、N-H結合を形成して終端され、その結果シリコン酸化膜および界面の電子トラップが無くなる。Si-H結合、N-H結合が本実施例のシリコン酸化膜に存在することはそれぞれ赤外吸収スペクトル、X線光電子分光スペクトルを測定することで確認されている。水素が存在することで、CV特性のヒステリシスも無くなり、シリコンとシリコン酸化膜との膜界の面密度も $3 \times 10^{10} \text{ cm}^{-2}$ と低く抑えられる。希ガス(Ar、XeまたはKr)とO₂、N₂/H₂の混合ガスを使用してシリコン酸化膜を形成する場合には水素ガスの分圧を0.5%以上とすることで、膜中の電子や正孔のトラップが急激に減少する。
- [0066] なお、本実施例においてマイクロ波励起プラズマで形成するゲートシリコン酸化膜は少なくともシリコンと接する部分に存在すればよく、そのゲートシリコン酸化膜の上に異種材料、例えばシリコン酸化膜、アルミニウム酸化膜、タンタル酸化膜、ハフニウム酸化膜、ジルコニウム酸化膜などの絶縁膜を積層形成してもよい。特に、本実施例のように、PチャンネルパワーMIS電界効果トランジスタを作成する場合、ゲ

ートシリコン窒化膜の上に他の製造方法、例えばCVD法等により絶縁膜を形成して、所望の厚さのゲート絶縁膜を得るようにしてもよい。

[0067] また、本実施例のゲートシリコン窒化膜を実現するためには、図6に示した装置の他に、プラズマを用いた低温の窒化膜形成を可能とする別のプラズマプロセス用装置を使用しても構わない。例えば、マイクロ波によりプラズマを励起するためのAr、XeまたはKrガスを放出する第1のガス放出手段と、 O_2 、 NH_3 ガス(または N_2/H_2 ガス)を放出する第2のガス放出手段とをもつ2段シャワープレート型プラズマプロセス装置でゲートシリコン窒化膜を形成することも可能である。また、Krガスの代わりにArガスまたはXeガスを用いてもよい。Xeガスを用いるのが好ましい。

[0068] [第3実施例]

次に、本発明の第3実施例として、表面に(110)面を有するシリコン基板上にシリコン窒化膜からなるゲート絶縁膜を形成したPチャネルパワーMIS電界効果トランジスタについて述べる。

[0069] シリコン窒化膜をゲート絶縁膜に用いる電界効果トランジスタを形成する場合も、図1に示した、 $\langle 110 \rangle$ 方位のシリコン基板上に、最上面のシリコン原子がゲート絶縁膜との界面に平行に配列し、ゲート電極を、長手方向が紙面左右方向に一致するように配置し、紙面手前方向にソース領域を、紙面奥方向にドレイン領域を配置する構成が、最も高い移動度を与える。

[0070] この方向に配置した本実施例のMIS電界効果トランジスタの電流駆動能力は、シリコン窒化膜の誘電率がシリコン酸化膜に比べて高くなる分だけ第1実施例よりも高くなる。シリコン窒化膜の誘電率はシリコン酸化膜の約2倍であった。本実施例のPチャネルMIS電界効果トランジスタの電流駆動能力は、 $\langle 100 \rangle$ 方位のシリコン基板上にシリコン酸化膜からなるゲート絶縁膜を形成したPチャネルMIS電界効果トランジスタの約5倍となる。本実施例のMIS電界効果トランジスタの移動度が高くなるのは、第1実施例と同様、ソース領域からドレイン領域に沿った電子および正孔の有効質量および格子散乱確率が減少することに起因する。

[0071] 以上のように、本実施例では、PチャネルパワーMIS電界効果トランジスタの電流駆動能力を第2実施例よりもさらに高めることができる。

本実施例の移動度を高める面方位として、第1実施例と同様、実質的に(110)面あるいは(110)面と等価ないしは面方向角度が近い他の面方位、(551)面、(331)面、(221)面、(321)面、(531)面、(231)面、(351)面、(320)面、(230)面などに本実施例の電界効果トランジスタを形成してもよい。

[0072] 本実施例のPチャンネルMIS電界効果トランジスタのゲートシリコン窒化膜は、第1実施例と同様に、図6に示したラジアルラインスロットアンテナを用いたマイクロ波励起プラズマ装置で実現される。本実施例のゲートシリコン窒化膜は以下のようにして形成される。

[0073] まず、真空容器(処理室)401内を真空にし、シャワープレート402からKrガス、 NH_3 ガスを導入して、処理室401内の圧力を1Torr程度に設定する。表面に(110)面を有するN型シリコンウェハ基板403(図5の201)を、加熱機構を持つ試料台404上に載置し、シリコンウェハ基板403の温度が400°C程度になるように設定する。

[0074] 続いて、同軸導波管405からラジアルラインスロットアンテナ406と誘電体板407を通して、処理室401内に2.45GHzのマイクロ波を供給し、処理室401内に高密度のプラズマを生成する。シャワープレート402と基板403との間の間隔は6cm程度とする。本実施例では、ラジアルラインスロットアンテナを用いたプラズマ装置を用いて成膜した例を示しているが、他の方法を用いてマイクロ波を処理室内に導入してもよい。

[0075] Krガス、 NH_3 ガスが混合された高密度励起プラズマ中では、中間励起状態にある Kr^* と NH_3 分子が衝突して、 NH^* が効率よく発生する。このラジカルにより、シリコン基板表面は窒化される。

[0076] マイクロ波励起プラズマを用いたシリコン表面窒化では、窒化膜の成長速度の面方位依存は殆どない。また、シリコン窒化膜とシリコンとの界面準位密度は、(100)面、(110)面および他のあらゆる面方位とも低く良好である。

[0077] 本実施例のゲートシリコン窒化膜形成においては、水素が存在することがひとつの重要な要件である。プラズマ中に水素が存在することにより、シリコン窒化膜中およびシリコン窒化膜とシリコンとの界面のダングリングボンドがSi-HあるいはN-H結合を形成して終端され、その結果シリコン窒化膜および界面の電子トラップが無くなる。Si

-H結合、N-H結合が本実施例のシリコン窒化膜に存在することはそれぞれ赤外吸収スペクトル、X線光電子分光スペクトルを測定することで確認されている。水素が存在することで、CV特性のヒステリシスも無くなり、シリコンとシリコン窒化膜との膜界面密度も $3 \times 10^{10} \text{cm}^{-2}$ と低く抑えられる。希ガス(Ar、XeまたはKr)と N_2/H_2 の混合ガスを使用してシリコン窒化膜を形成する場合には水素ガスの分圧を0.5%以上とすることで、膜中の電子や正孔のトラップが急激に減少する。

[0078] なお、本実施例においてマイクロ波励起プラズマで形成するゲートシリコン窒化膜は少なくともシリコンと接する部分に存在すればよく、そのゲートシリコン窒化膜の上に異種の材料、例えばシリコン酸化膜、アルミニウム酸化膜、タンタル酸化膜、ハフニウム酸化膜、ジルコニウム酸化膜などの絶縁膜を積層形成してもよい。特に、本実施例のように、PチャンネルパワーMIS電界効果トランジスタを作成する場合、ゲートシリコン窒化膜の上に他の製造方法、例えばCVD法等により絶縁膜を形成して、所望の厚さのゲート絶縁膜を得るようにしてもよい。

[0079] また、本実施例のゲートシリコン窒化膜を実現するためには、図6に示した装置の他に、プラズマを用いた低温の窒化膜形成を可能とする別のプラズマプロセス用装置を使用しても構わない。例えば、マイクロ波によりプラズマを励起するためのAr、XeまたはKrガス(Xeが好ましい)を放出する第1のガス放出手段と、 NH_3 ガス(または N_2/H_2 ガス)を放出する第2のガス放出手段とをもつ2段シャワープレート型プラズマプロセス装置でゲートシリコン窒化膜を形成することも可能である。

[0080] [第4実施例]

次に、シリコン表面の粗さを低減させることにより、PチャンネルパワーMIS電界効果トランジスタの特性を向上させる本発明の第4実施例について説明する。

本発明者等の観察によれば、電界効果トランジスタを製造する場合、RCA洗浄におけるアルカリ処理時、並びに純水リンス時等に、素子領域表面が不可避免的に粗面化してしまうことが判明した。

[0081] 一方、電界効果トランジスタにおけるキャリアの移動度は、トランジスタの電流駆動能力を示す指標の1つであり、Pチャンネル電界効果トランジスタにおいてはホールがキャリアとなる。一般に、電界効果トランジスタの電流駆動能力を向上させるためには

、素子領域の表面の粗さを少なくしてキャリアの移動度を上げる必要がある。

[0082] 具体的に説明すると、通常のRCA洗浄を用いた場合、素子領域におけるシリコンの表面ラフネスは、中心線平均粗さRaで表現すると、 $Ra=0.5\sim 1.5$ nm程度の荒れを生じ、その上に、ゲート絶縁膜が形成されることを本発明者等は確認した。ゲート絶縁膜の形成にはドライ O_2 を用いて形成されるシリコン酸化膜が一般的であるが、ドライ O_2 を用いる酸化の場合、(111)ファセット面から酸化種が進入し、優先的に酸化が進むと考えられ、その結果、シリコン表面とゲートシリコン酸化膜との界面の粗さは、更に大きくなることが観測された。

[0083] RCA洗浄による微小な荒れを有するシリコンを用いて、電界効果トランジスタを作製した場合、当該電界効果トランジスタの電流駆動能力が低下するのみならず、実際にゲート電極に電圧を加えた場合、突起部に電界集中が生じ、絶縁破壊に至りやすくなる。特に、表面に実質的に(110)面を有するシリコンを用いた場合、アルカリ処理時における荒れは激しくなり、このシリコンを用いた場合における移動度の低下等を招く。

[0084] 本実施例では、以上のようなシリコン表面の粗さを低減させることにより、PチャンネルパワーMIS電界効果トランジスタの特性を向上させる。

まず、本実施例の原理について説明する。(110)シリコン表面におけるキャリアの移動度を、律速する要因(律速要因)について説明すると、移動度の律速要因として、通常、(1) 不純物散乱 μ_{co} 、(2) ホノン散乱 μ_{ph} 、(3) 表面ラフネス散乱 μ_{sr} の3つの要因が挙げられる。さらに、観測される移動度 μ は、3つの要因の足し合わせとなっており、マターソン(Matterson)の法則で与えられ、下記の式2によってあらわされることが知られている。

[0085] [数2]

$$\mu^{-1} = \mu_{co}^{-1} + \mu_{ph}^{-1} + \mu_{sr}^{-1} \quad \dots (2)$$

[0086] 上記した3つの律速要因の中で、(110)面におけるキャリアが、シリコン表面のラフネス(すなわち、表面ラフネス散乱 μ_{sr})に大きく影響を受けることが判明した。実際に、極低温にて移動度と実効電界との関係を調べると、不純物散乱 μ_{co} およびホノン散

乱 μ_{ph} を実質的に無視することができ、表面ラフネス散乱 μ_{sr} による影響だけを抽出することができる。そこで、77Kにて移動度と実効電界との関係を調べた結果、(110)面は、(100)面よりも、界面ラフネスが移動度に与える影響が大きいことが分かった。

[0087] さらに、図10を参照すると、中心線平均粗さRaと界面ラフネススペクトルとの関係を、シミュレーションにより調べた結果が示されている。従来手法を用いて実際に実現可能な中心線平均粗さRaが約0.4nmであることを考慮すると、図10に示した中心線平均粗さRaと界面ラフネススペクトルとの関係は、従来手法による限界より小さいRa領域における関係であることが分かる。ここで、界面ラフネススペクトルとは、物理的に測定などで求められるラフネスではなく、実際にキャリアが感じているラフネスであり、以下の式3のように定義する。

[0088] [数3]

$$\langle |\Delta q|^2 \rangle = \pi \Delta^2 \Lambda^2 e^{\left(-\frac{q^2 \Lambda^2}{4} \right)} \dots (3)$$

[0089] ここで、 Δ は界面ラフネスの中心線平均粗さRa、 Λ は界面ラフネスの平均周期であり、さらにqはキャリアの界面への入射波数ベクトルkと反射波数ベクトルk'との差(すなわち、 $q=k-k'$)である。

[0090] 図10に示すように、(100)面では、中心線平均粗さRaの変化に対して、界面ラフネススペクトルの変化は無視できるほど小さい。それに対して、(110)面の場合、中心線平均粗さRaの低下に従い、界面ラフネススペクトルは低下し、キャリアの移動度が上昇することが分かる。さらに、図10からも明らかなおり、中心線平均粗さRaを0.07nm以下にすることで、(100)シリコンにおける電子移動度と同等レベルまで、(110)シリコンにおける移動度が向上することがシミュレーションにより推測できる。

[0091] そこで、本実施例の趣旨は、(110)シリコン表面の中心線平均粗さRaを従来の限界である0.04nm以下、特に、0.15nm以下、好ましくは、0.07nm以下まで平坦化できる手法および平坦化されたシリコンを用いてPチャネルパワーMIS電界効果トランジスタを得ることにある。

[0092] 図11を参照して、本発明の第4実施例となるPチャネルパワーMIS電界効果トランジスタの製造方法を説明する。

まず、図11Aに示すように、表面に(110)面を有するN型シリコンウェハ基板301を用意し、その表面に、例えばSTI法により素子分離を行い、ソースドレインおよびチャネル領域を含む素子領域302を形成する。

[0093] 次に、素子領域302に対してRCA洗浄を施す(図11B)。本実施例のように、微細な粗さ(ラフネス)が問題となるようなラフネス領域では、RCA洗浄の1工程であるSC1洗浄時におけるラフネスの増加をも考慮しておく必要があることが分かった。実際、RCA洗浄の1工程であるSC1洗浄時に、OH濃度によってシリコン表面がエッチングされ、当該エッチングによりラフネスが増加することが確認された。

[0094] このことを考慮して、本実施例では、OH濃度が低いSC1洗浄処理を施す。典型的な従来のSC1処理では、 $\text{NH}_4\text{OH}:\text{H}_2\text{O}_2:\text{H}_2\text{O}=1:1:5$ の薬液が使用される。しかしながら、本実施例では、 $\text{NH}_4\text{OH}:\text{H}_2\text{O}_2:\text{H}_2\text{O}=0.05:1:5$ と、従来のSC1処理と比較してOH濃度を下げている。

[0095] なお、シリコン結晶中において、COP(Crystal Originated Particle)等の欠陥密度が高い場合、SC1処理時に表面ラフネスの増加が加速することも観測された。さらに、欠陥が原因で、SC1処理後にマイクロピットが表面に形成され、酸化膜耐圧の劣化も誘発することが判明した。特に、CZウェハを用いた場合、COP密度が高いことが知られている。

[0096] したがって、SC1洗浄時における表面ラフネスの増加を抑制するには、好ましくは、シリコン表面に水素アニール処理、またはアルゴンアニール処理等を施し、残留酸素のレベルを、 $5 \times 10^{16} / \text{cm}^3$ 程度まで低下させたシリコンを用いるか、さらにはSiエピタキシャル成長を表面に施したシリコンウェハを用いるのが良い。本実施例では、Siエピタキシャル成長を表面に施したシリコンウェハを用いた。

[0097] このように、前記低OH濃度のSC1工程を用いた場合、シリコン表面は、0.15nm程度の中心線平均粗さRaを有していた。この程度の表面粗さを有するシリコンを用いてPチャネルトランジスタを作製した場合、従来のPチャネルトランジスタと比較して改善された移動度を有するトランジスタを得ることができる。しかしながら、図10からも

明らかなどおり、(110)シリコンを使用した場合、この程度の中心線平均粗さRaでは、(100)シリコンを使用した場合と同等の移動度は達成できない。

- [0098] そこで、本実施例では、表面粗さを更に平坦化するために、図11Cに示すように、素子領域302のシリコン表面の平坦化処理として、ラジカル酸素を含む雰囲気中において、素子領域302の表面を酸化し、犠牲酸化膜303を形成する。このラジカル酸素雰囲気中で犠牲酸化膜303を形成することによって、この犠牲酸化膜303の表面は犠牲酸化膜303の形成前に比較して平坦化されることが確認された。
- [0099] ここで、図11Cで使用したラジカル酸化について具体的に説明する。本実施例のラジカル酸化処理は、図6に示したマイクロ波励起プラズマ装置を用いる。図6において、真空容器(処理室)401は、まず真空状態にされ、続いて、シャワープレート402からKrガス、 O_2 ガスを導入し、処理室401内の圧力を1Torr程度に設定する。表面に(110)面を有するシリコンウェハ基板403(図11の301)を加熱機構を持つ試料台404上に載置し、シリコンウェハ基板403の温度が400°C程度になるように設定する。この温度設定は、200〜550°Cの範囲内で以下に述べる結果はほとんど同様のものとなる。
- [0100] 続いて、同軸導波管405からラジアルラインスロットアンテナ406と誘電体板407を通して、処理室401内に2.45GHzのマイクロ波を供給し、処理室401内に高密度のプラズマを生成する。供給するマイクロ波の周波数は、900MHz以上10GHz以下の範囲にあれば以下に述べる結果はほとんど同様のものとなる。シャワープレート402と基板403との間の間隔は、本実施例では6cmに設定してある。この間隔は狭いほうがより高速な成膜が可能となる。本実施例では、ラジアルラインスロットアンテナを用いたプラズマ装置を用いて酸化した例を示しているが、他の方法を用いてマイクロ波を処理室内に導入してもよい。
- [0101] ラジカル酸素を含む雰囲気中でシリコン表面を酸化する場合、シリコン表面の突起部分への酸化種の付着確率が高い効果と、さらには、ラジカルが突起部に当たると、突起部分が負に帯電し、 O^+ や O_2^+ 等の酸素イオンを引き寄せ易くなる効果が相乗し、突起部分が優先的に酸化され、結果として、シリコン表面には、平坦化されたシリコン酸化膜が形成されるものと推測される。

- [0102] 図12には、ドライ酸化をシリコン表面に施した場合と、ラジカル酸素を含む雰囲気中で酸化を施した場合で、酸化前後における表面平坦変化の様子が示されている。ここで、イニシャルは、前記低OH濃度のSC1工程を行った後の中心線平均粗さRaを示しており、図12からも明らかとなっており、中心線平均粗さRaは0.14〜0.16nmの範囲にある。
- [0103] このようなシリコン表面に、ドライ酸化により、シリコン酸化膜を形成した場合、中心線平均粗さRaは0.17〜0.19nmの範囲に変化している。一方、本実施例のように、ラジカル酸化によりシリコン酸化膜を形成した場合、その表面の中心線平均粗さRaは0.07nmよりも小さくなっている。このように、ドライ酸化の場合は、酸化によりラフネスが増加しているのに対し、ラジカル酸化を施すことにより、平坦性が向上していることが分かる。
- [0104] 図12に示した酸化後のラフネスは、酸化膜をHFとHClの混合液(体積比率、HF:HCl=1.19)に1分間浸して剥離した後のものである。なお、酸化膜のエッチングにHFとHClの混合液を用いたのは、なるべく低OHイオン濃度の薬液を用いることにより、酸化膜剥離時におけるシリコン表面のエッチングを抑制して、シリコンとゲート絶縁膜界面の状況を正確に把握するためである。
- [0105] 酸化後のラフネスを測定する前に、(110)面シリコンを、HFとHClの混合液に10分以上浸漬した後、浸漬前後での中心線平均粗さRaの変化を調べた。この結果、浸漬前後において、(110)面シリコンに中心線平均粗さRaの変化が認められず、シリコンのエッチングは生じていないことが確認できた。このことにより、本評価手法の妥当性が確認できた。以降、絶縁膜下のシリコン表面のラフネス値は、前記HFとHClの混合液に1分間浸して絶縁膜を剥離した後に評価した値とする。
- [0106] 前述したように、ラジカル酸化を施した場合、シリコン表面の平坦性を向上させることができる。本ラジカル酸化処理を用いたシリコン表面の平坦化は、シリコン面方位や適応される半導体素子に限定されることなく、他の半導体素子にも応用が可能な技術である。
- [0107] 前述した犠牲酸化膜303の形成後、図11Dに示すように、この犠牲酸化膜303を剥離する。本実施例では、HF:HCl=1:19の体積比で混合したpHが1以下の薬液

を使用して、犠牲酸化膜303を剥離した。

[0108] 次に、図11Eに示すように、ラジカル酸素を含む雰囲気中で素子領域のシリコン表面を酸化し、厚さ5nmのシリコン酸化膜からなるゲート絶縁膜304を形成する。この状態で、ゲート絶縁膜304を、HF:HCl=1:19の体積比で混合したpHが1以下の薬液に1分間浸漬して試験的に剥離し、シリコン表面とゲート絶縁膜の界面ラフネスを評価したところ、中心線平均粗さRaが0.06nmであった。

[0109] 続いて、ゲート絶縁膜304を形成したシリコンウェハ基板301の全面に、しきい値電圧を制御するため、ボロンをイオン注入する(図11F)。ボロンのイオン注入後、素子領域302のゲート絶縁膜304上に多結晶シリコン電極(ゲート電極)305を形成する(図11G)。

[0110] ゲート電極305の形成後、ボロンを低濃度でイオン注入してP-ソース領域およびP-ドレイン領域306を形成し(図11H)、ゲート電極305の側壁に側壁絶縁膜307を形成する(図11I)。その後、P型不純物を高濃度にイオン注入してP+ソース領域およびP+ドレイン領域308を形成する(図11J)。最後に、P+ソース領域およびP+ドレイン領域308上の絶縁膜304に開口部を形成して、アルミニウム等によりソース電極およびドレイン電極(不図示)を形成して、PチャンネルパワーMIS電界効果トランジスタの作製が終了する。

[0111] 次に、図11Bに示したRCA洗浄後における中心線平均粗さRaと移動度との関係を検討した。ここでは、RCA洗浄後のSC1洗浄時のアンモニア濃度を变化させることにより、シリコン表面の中心線平均粗さRaを、0.05~0.18nmと変化させ、その際における移動度のラフネス散乱成分の変化を調べた。

[0112] 結果を図13に示す。図13により、中心線平均粗さRaが低下するに従い、移動度は向上することが分かる。前記した低OH濃度のSC1工程を用いた場合、中心線平均粗さRaは0.15nm程度であり、これが洗浄によって達成できる平坦限界と言える。これに対して、本実施例のように、ラジカル酸化により犠牲酸化膜303を形成し、それを剥離する工程を入れることで、中心線平均粗さRaを0.05nmまで平坦化が達成できた。

[0113] 図13に示した(110)シリコンの中心線平均粗さRaと移動度との関係からも明らかな

ように、中心線平均粗さRaを0.15nm以下とすることで、電子移動度の向上現象を確認できた。また、中心線平均粗さRaを0.09nm以下にすると、急激に移動度が増加することが分かった。0.09nmは急激な移動度上昇が起こり始める変曲点と言える。さらに、中心線平均粗さRaを0.07nmまで平坦化することで、(100)表面で得られるキャリア電子移動度と同等の移動度が得られ、移動度は0.05nm以下まで改善されることが予測できる。

[0114] 以上は、洗浄後、前記ラジカル犠牲酸化を行うことにより、非常に平坦な面を得ることができたことで、初めて得ることができた知見である。

図13からも明らかな通り、本実施例では、中心線平均粗さRa=0.05nmを達成できており、従来のRCA洗浄を用いて形成したPチャンネルMISトランジスタに比べて、移動度を3倍向上させることが実現できた。

[0115] こうして、本実施例では、NチャンネルパワーMIS電界効果トランジスタと同等サイズ、同等コストで同等の電流駆動能力を得ることができる。

さらに、従来のRCA洗浄を用いて形成したMISトランジスタに比べて、シリコン表面とゲート絶縁膜との界面が平坦であることから、ゲート絶縁膜304の信頼性を向上させることができる。

[0116] なお、本実施例では、ゲート絶縁膜304をマイクロ波励起プラズマを用いて形成しているが、他の製造方法、例えばCVD法等により形成してもよい。ゲート絶縁膜304を構成するシリコン酸化膜は、少なくともシリコンと接する部分に存在すればよく、その上層に異種の材料、例えばアルカリ土類金属や希土類金属もしくは遷移金属を用いた酸化物、窒化物、酸窒化物、シリケートなどの絶縁膜を1層以上積層形成してもよい。例えば、ゲート、ソース間耐電圧が60Vの場合は、マイクロ波励起プラズマで形成可能なゲート絶縁膜の厚さは数十nm程度なので、このゲート絶縁膜の上に他の製造方法、例えばCVD法等により絶縁膜を形成して、所望の厚さのゲート絶縁膜304を得るようにしてもよい。

[0117] また、本実施例において形成するシリコン酸化膜の代わりに、アルカリ土類金属や希土類金属もしくは遷移金属を用いた酸化物、窒化物、酸窒化物、シリケート等からなるゲート絶縁膜を形成してもよい。さらには、シリコン酸化膜、シリコン窒化物、シリ

コン酸窒化膜のいずれか1つ以上を含むゲート絶縁膜を形成してもよい。

[0118] 本実施例においてゲート絶縁膜として使用できる高誘電膜を構成する材料を例示すると、Hf, Zr, Ta, Ti, La, Co, YおよびAlの1つ又は何れかの元素を組み合わせた金属シリケート、Si, Hf, Zr, Ta, Ti, Y, Nb, Na, Co, Al, Zn, Pb, Mg, Bi, La, Ce, Pr, Sm, Eu, Gd, Dy, Er, SrおよびBaから選ばれる1つ又は何れかの元素を組み合わせた金属酸化物、Si, Hf, Zr, Ta, Ti, Y, Nb, Na, Co, Al, Zn, Pb, Mg, Bi, La, Ce, Pr, Sm, Eu, Gd, Dy, Er, SrおよびBaから選ばれる1つ又は何れかの元素を組み合わせた金属窒化物、あるいは、Si, Hf, Zr, Ta, Ti, Y, Nb, Na, Co, Al, Zn, Pb, Mg, Bi, La, Ce, Pr, Sm, Eu, Gd, Dy, Er, SrおよびBaから1つ又は何れかの元素を組み合わせた金属酸窒化物が含まれる。

[0119] [第5実施例]

次に、図14を参照して、本発明の第5実施例となるPチャネルパワーMIS電界効果トランジスタの製造方法を説明する。第4実施例では、表面にSiエピタキシャル成長処理を施した(110)シリコン面を用いたが、本実施例では、表面にSiエピタキシャル成長処理を施した(110)シリコン面を、 $\langle 100 \rangle$ 方向へ 8° オフさせたシリコン面を用い、さらにゲートシリコン酸窒化膜を用いた場合について述べる。なお、前述の 8° オフさせた面は、(551)シリコン面と言い換えることができる。

[0120] まず、図14Aに示すように、表面に(551)面を有するN型シリコンウェハ基板401を用意し、その表面に、例えばSTI法により素子分離を行い、ソースドレインおよびチャネル領域を含む素子領域402を形成する。

[0121] 次に、素子領域402に対してRCA洗浄を施す(図14B)。ここでは、第4実施例と同様に、SC1洗浄時におけるラフネス増加を抑制するために、 $\text{NH}_4\text{OH}:\text{H}_2\text{O}_2:\text{H}_2\text{O} = 0.05:1:5$ と、従来のSC1処理に比較してOH濃度を下げた薬液を使用した。

[0122] その後、図14Cおよび図14Dのように、素子領域402のシリコン表面の平坦化処理として、 300°C ～ 500°C のラジカル酸素を含む雰囲気中で、素子領域402の表面に犠牲酸化膜403を形成し、さらに犠牲酸化膜403を剥離する。本実施例では、HF:HCl=1:19の体積比で混合したpHが1以下の薬液を使用して、犠牲酸化膜403を剥離した。

- [0123] 犠牲酸化膜403を剥離した時点での表面状況を観察すると、図15に示すように、(110)面が表面に現れたテラスと、 $\langle -110 \rangle$ 方向に沿ったステップにより、自己整合的に、階段状の形状が現れる。ステップの高さは0.17〜0.35nm程度、中心線平均粗さRaで0.04nm程度が好ましい。
- [0124] 次に、図14Eに示すように、ラジカル酸素を含む雰囲気中で素子領域402のシリコン表面を酸化し、シリコン酸窒化膜からなるゲート絶縁膜404を形成する。この状態で、ゲート絶縁膜404を、HF:HCl=1:19の体積比で混合したpHが1以下の薬液に1分間浸漬して試験的に剥離し、シリコン表面とゲート絶縁膜の界面ラフネスを評価したところ、中心線平均粗さRaが0.05nmであった。なお、比較のために、ラジカル犠牲酸化処理を行わなかったシリコン表面の中心線平均粗さRaを調べたところ、0.15nmであった。
- [0125] 本実施例の電界効果トランジスタのゲートシリコン酸窒化膜は、第4実施例と同様に、ラジアルラインスロットアンテナを用いたマイクロ波励起プラズマ処置(図6)を使用することによって形成できる。具体的には、シリコン酸窒化膜は次のようにして形成される。
- [0126] まず、真空容器(処理室)401内を真空にし、シャワープレート402からKrガス、 O_2 ガス、 NH_3 ガスを導入して、処理室401内の圧力を1Torr程度に設定する。表面に(110)面を有するシリコンウェハ基板403(図14の401)を加熱機構を持つ試料台404上に載置し、シリコンウェハ基板403の温度が400°C程度になるように設定する。この温度設定は、200〜550°Cの範囲内で以下に述べる結果はほとんど同様のものとなる。
- [0127] 続いて、同軸導波管405からラジアルラインスロットアンテナ406と誘電体板407を通して、処理室401内に5.45GHzのマイクロ波を供給し、処理室401内に高密度のプラズマを生成する。シャワープレート402と基板403との間の間隔は6cm程度とする。本実施例では、ラジアルラインスロットアンテナを用いたプラズマ装置を用いて酸窒化した例を示しているが、他の方法を用いてマイクロ波を処理室内に導入してもよい。
- [0128] 本実施例のゲートシリコン酸窒化膜形成においては、第2実施例と同様に、水素が

存在することがひとつの重要な要件である。水素が存在することで、CV特性のヒステリシスも無くなり、シリコンとシリコン酸窒化膜との膜界の面密度も $3 \times 10^{10} \text{ cm}^{-2}$ と低く抑えられる。希ガス(ArまたはKr)と O_2 、 N_2 、 H_2 の混合ガスを使用してシリコン酸窒化膜を形成する場合には水素ガスの分圧を0.5%以上とすることで、膜中の電子や正孔のトラップが急激に減少する。

[0129] 次に、ゲート絶縁膜404の形成後、シリコンウェハ基板401の全面に、しきい値電圧を制御するため、ボロンをイオン注入し(図14F)、素子領域402のゲート絶縁膜404上に多結晶シリコン電極(ゲート電極)405を形成する(図14G)。

[0130] ゲート電極405の形成後、ボロンを低濃度でイオン注入してP-ソース領域およびP-ドレイン領域406を形成し(図14H)、ゲート電極405の側壁に側壁絶縁膜407を形成する(図14I)。その後、P型不純物を高濃度にイオン注入してP+ソース領域およびP+ドレイン領域408を形成する(図14J)。最後に、P+ソース領域およびP+ドレイン領域408上の絶縁膜404に開口部を形成して、アルミニウム等によりソース電極およびドレイン電極(不図示)を形成して、PチャンネルパワーMIS電界効果トランジスタの作製が終了する。

[0131] 本実施例では、従来のRCA洗浄を用いて形成したPチャンネルMISTランジスタに比べて、移動度を3倍向上させることが実現できた。

さらに、従来のRCA洗浄を用いて形成したMISTランジスタに比べて、シリコン表面とゲート絶縁膜との界面が平坦であることから、ゲート絶縁膜404の信頼性を向上させることができる。

[0132] なお、本実施例において、マイクロ波励起プラズマ処理室内に導入するガスを、例えば、Krガス、 NH_3 ガスとすれば、ゲートシリコン窒化膜を形成することも可能となる。

[0133] また、ゲート絶縁膜404を構成するシリコン酸窒化膜またはシリコン窒化膜は、少なくともシリコンと接する部分に存在すればよく、その上層に異種の材料、例えばアルカリ土類金属や希土類金属もしくは遷移金属を用いた酸化物、窒化物、酸窒化物、シリケートなどの絶縁膜を1層以上積層形成してもよい。本実施例では、ゲート、ソース間耐電圧が20VのPチャンネルパワーMIS電界効果トランジスタを作成する場合(定格

12Vのバッテリーで駆動される車両用電製品に使用されるパワートランジスタを作成する場合)なので、ゲート絶縁膜の厚さは40nmであり、窒化または酸窒化で形成可能であるが、ゲート、ソース間耐電圧が例えば60Vの場合は、マイクロ波励起プラズマで形成可能なゲート絶縁膜の厚さは数十nm程度なので、このゲート絶縁膜の上に他の製造方法、例えばCVD法等により絶縁膜を形成して、所望の厚さのゲート絶縁膜404を得るようにしてもよい。

[0134] また、本実施例において形成するシリコン酸窒化膜の代わりに、アルカリ土類金属や希土類金属もしくは遷移金属を用いた酸化物、窒化物、酸窒化物、シリケート等からなるゲート絶縁膜を形成してもよい。

[0135] 以上の第4実施例および第5実施例では、シリコン表面をラジカル犠牲酸化処理によって平坦化した場合の実施例を示したが、ラジカル犠牲酸化処理以外の手法を用いても、平坦性を維持または向上させ、PチャンネルパワーMIS電界効果トランジスタの性能を向上させることができる。

[0136] [第6実施例]

まず、湿式酸化を用いた平坦性向上の実施例を第6実施例として説明する。比較的大きいラフネスを有する表面を備えた(110)シリコンを用意し、1000°C、 $H_2 = 1\text{slm}$ 、 $O_2 = 1\text{slm}$ の条件で、当該シリコン表面を湿式酸化して、厚さ3000オングストロームのシリコン酸化膜を形成する(第1工程)。

[0137] 次に、HFを含む H_2O 薬液により、シリコン酸化膜を残膜厚0〜2500オングストロームとなるまでエッチバックし(第2工程)、その後、第1工程と第2工程を、2回繰り返す、最後にHF:HCl=1:19の体積比で混合したpHが1以下の薬液を用いてシリコン酸化膜を完全に剥離した。

[0138] その結果を図16に示す。図16の横軸は、第2工程におけるシリコン酸化膜の残膜量(厚さ)を示し、縦軸は中心線平均粗さRaを示している。リファレンスとして、一度に9000オングストロームのシリコン酸化膜を形成し、HF:HCl=1:19の体積比で混合したpHが1以下の薬液を用いてシリコン酸化膜を剥離したものを示す。

[0139] 図16によれば、第2工程におけるエッチバック時のシリコン酸化膜の残膜厚を小さくするに従い、中心線平均粗さRaは低減することが分かり、残膜厚1000オングストロ

ームで中心線平均粗さRaがほぼ飽和している。残膜厚0、つまりシリコン酸化膜を全て剥離し切ってしまうと、平坦化の効果が失われることが分かる。

[0140] これは、薬液処理によりシリコン面が露出すると、薬液自身によるシリコン表面のアタックやメタル汚染付着などの平坦化を阻害する要因が増加することに起因するものと推測される。また、第2工程における残膜量を適切な値、例えば、残膜厚100オングストロームなどにすれば、一度に9000オングストロームのシリコン酸化膜を形成し剥離するよりも、第1工程と第2工程を繰り返した処理を行った方が、平坦化効果が高いことが確認できた。

[0141] 酸化とエッチバックによる平坦化効果のメカニズムは不明であるが、エッチバックにより残膜を薄くすると、シリコンとシリコン酸化膜の界面付近に、湿式酸化時の酸化種が均一に届きやすくなることも一因と推測される。

[0142] さらに、第1工程と第2工程の繰り返し回数と平坦性との関係を調べ、その結果を図17に示す。図17の横軸は、繰り返し回数、縦軸は中心線平均粗さRaである。図17からも明らかなおり、繰り返し回数が3回を超えると、中心線平均粗さRaにほぼ飽和の傾向が見られ、第1工程と第2工程の繰り返し回数に適正值があることが確認できた。

[0143] 以上のように、湿式ガスを用いた酸化を行い(第1工程)、酸化膜を剥離すること無く10オングストローム以上1000オングストローム以下までエッチバックを行い(第2工程)、その後、第1工程と第2工程を所望数繰り返し、最後にHFを含む水溶液により酸化膜を剥離することによっても、シリコン表面をイニシャルウェハに比較して平坦化することができる。

[0144] [第7実施例]

次に、薬液処理を用いて平坦性維持および改善する手法を本発明の第7実施例として説明する。シリコン表面の洗浄にはRCA洗浄が多用されていることは前述したとおりであるが、RCA洗浄工程のSC1洗浄(80°C程度に昇温させたアンモニアと過酸化水素水と純水液中にシリコンを浸漬しての洗浄)中に、Si-Si結合の弱い部分がOHイオンによりアタックされ、Si表面が荒れることが知られている。SC1処理では、過酸化水素水によるシリコン表面の酸化と、OHイオンによるSi-Oエッチング、さらには

Si-Siエッチングによるエッチバックを同時に進行させる。そのことにより、パーティクル除去や有機物汚染除去の効果が高いという特徴を有するものの、Si表面を荒らすという副作用が存在する。シリコン表面をなるべく荒らさないためには、アルカリ洗浄を無くした洗浄処理方法が求められる。アルカリ洗浄処理を無くし、RCAと同等レベル以上のパーティクル除去、有機汚染除去、メタル汚染除去能力を有する洗浄方法として、特開平11-057636号公報に、5つの工程を用いた洗浄処理方法が開示されている。

[0145] 特開平11-057636号公報に開示された洗浄方法は、オゾンを含む純水による洗浄を行う第1工程、500kHz以上の周波数の振動を与えながら、HFと H_2O と界面活性剤を含む洗浄液による洗浄を行う第2工程、オゾンを含む純水による洗浄を行う第3工程、シリコン酸化膜を除去するためのHFと H_2O を含む洗浄液による洗浄を行う第4工程、純水による洗浄を行う第5工程からなることを特徴としている。

[0146] 特開平11-057636号公報に開示された洗浄方法は、前述のようにアルカリ処理が入っていないことから、Si表面の平坦性を損なうことなく洗浄を行うことができるものと推測され、当該公報には、洗浄前又は洗浄後の表面が中心線平均粗さRaで0.11nmに保たれている例が示されている。しかしながら、当該公報には、RCA洗浄を施した場合、表面ラフネス(Ra)が荒れると言う事実について指摘していない。さらに、当該公報は、表面に(100)面を有するシリコンに限って行った実験結果である。表面に(110)面を有するシリコンの場合、イニシャルウェハが0.15nm以下のものは得られないし、同方法を用いても0.15nm以下の中心線平均粗さRaは得られない。

[0147] 本発明者等は、特開平11-057636号公報に開示された第1工程～第5工程のうち、第2工程および第4工程に用いる H_2O を脱気させ、溶存酸素量を下げる処理を施すことによって、表面の平坦性を維持できることを見いだした。つまり、本実施例の第2工程では、第1工程において形成されたシリコン酸化膜を除去し、パーティクルの除去を行っている。同じく、第4工程においては、第3工程において形成されたシリコン酸化膜を除去し、メタル汚染の除去を行っている。

[0148] 第2工程および第4工程において、薬液中に溶存酸素が存在すると、HFにより除

去されたシリコン表面において、Si-Si結合の弱い部分が選択的に再酸化され、さらにHFにより除去されることが同時に進行し、結果、表面ラフネスが増大してしまう。そこで、本実施例では、第2工程および第4の工程における溶存酸素量を従来のppmオーダーから100ppb以下(好ましくは、10ppb以下)まで下げ、薬液処理を行った結果、表面ラフネス(Ra)を維持できることを見いだした。

- [0149] より具体的に説明すると、表面に(110)面を有するシリコンに対しオゾン5ppmを含む純水による洗浄を5分行い(第1工程)、950kHzの周波数の振動を与えながら、脱気した0.5%HF水と脱気した H_2O と50ppmの界面活性剤とを含有する洗浄液による洗浄を5分行った(第2工程)。次に、オゾンを含む5ppm純水による洗浄を5分行い(第3工程)、酸化膜を除去するための脱気した0.5%HFと脱気した H_2O とを含有する洗浄液による洗浄を1分行い(第4工程)、脱気した H_2O にHを0.1~50ppm添加した超純水による洗浄を10分行った(第5工程)。
- [0150] また、洗浄は、シリコンを洗浄液に浸漬することで行った。洗浄が終了したシリコン表面のラフネスを、従来のRCAと比較した結果を図18に示す。図18からも明らかとおり、洗浄前に中心線平均粗さRaが0.08nmのシリコン表面に、従来技術のRCA洗浄を施すと、0.13nmまで粗くなるが、本実施例では、0.10nmと荒れが緩和していることが分かる。
- [0151] なお、本実施例のように、シリコン酸化膜を剥離する際に、HFと100ppb以下の溶存酸素濃度を有する H_2O とを含有する洗浄液を用いることで、シリコン表面の荒れを緩和することができる技術は、シリコン窒化膜、シリコン酸化窒化膜のいずれか1つを剥離処理を行う際にも利用できる。
- [0152] また、第2工程および第4工程に用いる H_2O を脱気させ、その後、水素を0.1~50ppm添加することで、溶存酸素量を下げる効果に加え、OHイオン濃度を下げることを試み、RCAと比較した結果も図18に示す。この結果、中心線平均粗さRaは、インシャルウェハの0.08nmと比較し、0.01nm程度、荒れるものの、その程度は低減できていることが分かる。特に、第2工程においては、特開平11-057636号公報に開示された洗浄方法の場合、500kHz以上の周波数の振動を与えながら処理すると、 H_2O がHとOHに解離し、OH濃度が上昇すると言う問題があった。

[0153] 本実施例では、HFと、脱気することで溶存酸素を100ppb以下とした後にHを50ppm添加したH₂Oと、50ppmの界面活性剤とを含有する洗浄液による洗浄を行うことにより、中心線平均粗さRaを実質的に維持できる。このことは、OHの発生を抑制した超音波洗浄が第2工程で行われていることを意味している。なお、溶存酸素は10ppb以下が好ましい。

[0154] さらに、第2工程および第4工程に用いるH₂Oを脱気させ、その後、水素を0.1〜50ppm添加した薬液を使用することに加え、5つの工程を処理するにあたり、洗浄開始から終了まで、洗浄薬液とシリコン表面共に空気に晒すことの無い装置内で処理することで、空気中から薬液へ酸素が溶け込むことを防止した。従来のRCAと比較した結果をも図18に示す。図18からも明らかなどおり、イニシャルウェハの0.08nmと比較して荒れは生じず、表面ラフネス(Ra)を維持できることが分かる。

[0155] 前述した半導体の処理或いは洗浄は、pHが7以下の非アルカリ性の液体のみで行ってもよい。この場合、超音波洗浄をOHの発生を抑制しつつ行ってもよいし、OH発生の抑制はH₂を添加することによって行ってもよい。

[0156] [第8実施例]

本発明をトレンチ構造縦形PチャネルパワーMOSトランジスタに適用した実施例について図19を用いて説明する。図19Aは本実施例における縦形PチャネルMOSFET用基板であり、第1の導電形を示す高濃度ドレイン層503、これと不純物濃度の異なるが導電形は同一のドレイン層504および第1の導電形とは反対の導電形である第2の導電形を有し、PチャネルMOSFETのチャンネルが形成されるボディ層505を、(110)面を有するシリコン基板(図示せず)上に形成して構成される。各層の導電形、不純物濃度および厚さは高濃度ドレイン層についてp型 $1 \times 10^{20} \text{ cm}^{-3}$ 、 $0.2 \mu\text{m}$ 、ドレイン層についてp型 $2 \times 10^{17} \text{ cm}^{-3}$ 、 $0.5 \mu\text{m}$ 、ボディ層についてn型 $5 \times 10^{18} \text{ cm}^{-3}$ 、 $0.2 \mu\text{m}$ とした。本実施例では、高濃度ドレイン層503を不純物濃度が $1 \times 10^{20} \text{ cm}^{-3}$ 程度以上で厚さが $20 \mu\text{m}$ 以下であるため、形成した素子の直列抵抗を減少でき、高速に動作する素子を簡単に形成することができる。さらに、該層503は(110)面方位を有するSi単結晶であり、従来の(100)面方位の基板を用いた場合に比べ拡散定数が大きく動作速度を向上できる。また該Si層は 600°C 程度以下の低温エ

ピタキシャル成長で形成され、不純物プロファイルが精密に制御されているため、高性能の素子を簡単に製造することができる。

[0157] 本実施例に係る縦型トレンチ構造PチャネルMOSFETは、図19Aに示す基板を用い、図19Bに示すように、ソース領域を形成するために、ボディ領域505とは反対の導伝形を形成するボロンを導入すべく、 BF_2^+ をイオン注入法により注入し、ソース領域506を形成する。その不純物濃度は、p型 $1 \times 10^{20} \text{cm}^{-3}$ である。続いて層間絶縁膜を形成するために、CVD法により SiO_2 507を $0.5 \mu\text{m}$ 堆積した(図19C)。これによりゲート電極とソース領域の重なり容量を低減することができる。

[0158] 次に、図19Dに示すように、ゲート電極を形成するために、ゲート電極となる場所にトレンチホール508を形成する。これは次のように行う。基板全面にフォトレジストを塗布し、該フォトレジストのパターニングを行い、トレンチ作成部のレジストに開口部を設ける。該開口部はソース領域内に配置するようにする。次に一般に用いられているRIE法によりトレンチホールを形成する。該トレンチホール508の底部はドレイン領域504に達するように形成し、本実施例においては深さ $0.8 \mu\text{m}$ 、幅 $0.3 \mu\text{m}$ 、長さ $20 \mu\text{m}$ とした。この値は素子の使用目的によって変更可能である。シリコン505表面は(110)面であるので、それと 90° をなすトレンチホール508の内側壁面も(110)面になっている。次に図20Aに示すように、フォトレジストを除去したのちゲート酸化膜511を形成する。ゲート酸化膜の形成は、Krと O_2 を混合したガスを用いて 400°C の温度でプラズマ酸化し、該トレンチホール内壁に20nmの膜厚のイリコン酸化膜を形成した。これにより、該トレンチホール508の(110)面内壁に均一に耐圧4乃至 $5 \text{MV}/\text{cm}$ の良質の酸化膜511が形成できる。このゲート酸化膜511を有するPチャネルMOSトランジスタのゲート、ソース間耐電圧は、10Vである。

[0159] 次に図20Bに示すように、ゲート電極510を形成する。ゲート電極材料として例えばポリSiをCVD法により 400°C で $0.1 \mu\text{m}$ 堆積した後、Siを原子組成で1%程度含むAlをスパッタ法により成膜した。フォトレジストを基板全面に塗布しゲート電極部のパターニングを行いゲート電極510が完成する。

次に、引き続き図20Bに示すように、層間絶縁膜512を形成するために基板全面にわたってCVD法により 400°C の温度で SiO_2 を堆積し、ソース電極509を形成す

る。ソース電極の形成は、まずフォトレジストを塗布してソース電極部509用開口のパターニングを行う。ソース電極開口のパターニングに際してはフォトレジスト開口部がソース p^+ 層506とボディの n 層505の両方にまたがるように形成する。このようにすることによって、ソース電極509でソース電位とボディ電位の両方をとることができる。開口形成のためには、RIE法を用いてフォトレジスト開口部の SiO_2 膜507および512をエッチングしてコンタクトホールを形成し、Siを原子組成で1%程度程度含むAlをスパッタ法で成膜し、これをエッチングでパターニングしてソース電極509を形成する。

[0160] 以上の工程により本実施例に係るトレンチ構造縦形PチャネルパワーMOS電界効果トランジスタが完成する。高濃度ドレイン層503は $0.2\mu m$ と薄く形成されており、十分に低抵抗化されているため、素子の直列抵抗が低く、高速なトランジスタが得られた。

なお、高濃度ドレイン領域に n^+ 及び p^+ シリコンを交互に配したドレイン短絡形の素子でも同等の効果を得ることができる。

産業上の利用可能性

[0161] 本発明は、例えば車両用電装品に使用するPチャネルパワーMOS電界効果トランジスタに適用することができる。

請求の範囲

- [1] 表面が実質的に(110)面であるシリコン領域を有する基板と、前記表面上に設けられたゲート絶縁膜と、前記ゲート絶縁膜上に設けられたゲート電極とを有し、前記シリコン領域を少なくともチャネルに用いたPチャネルMIS電界効果トランジスタにおいて、
- 前記ゲート絶縁膜のうち少なくとも前記シリコン領域の表面と接する接触部にはアルゴン、クリプトンまたはキセノンが含まれ、かつ前記PチャネルMIS電界効果トランジスタのソース、ゲート間耐電圧が10ボルト以上であることを特徴とするPチャネルパワーMIS電界効果トランジスタ。
- [2] 前記ゲート絶縁膜のうち少なくとも前記シリコン領域の表面と接する接触部のアルゴン、クリプトンまたはキセノンの含有量は表面密度において $5 \times 10^{11} \text{ cm}^{-2}$ 以下であることを特徴とする請求項1に記載のPチャネルパワーMIS電界効果トランジスタ。
- [3] 前記ゲート絶縁膜のアルゴン、クリプトンまたはキセノンの含有量は、前記ゲート絶縁膜が前記ゲート電極と接する界面が最大で、かつ前記ゲート絶縁膜が前記シリコン領域の表面と接する界面に向かって減少していることを特徴とする請求項1に記載のPチャネルパワーMIS電界効果トランジスタ。
- [4] 前記PチャネルパワーMIS電界効果トランジスタのゲート閾値電圧が、アルゴン、クリプトンまたはキセノンを含まないゲート絶縁膜を有し、かつ表面が(100)面であるシリコン領域にゲート絶縁膜およびゲート電極が形成されたPチャネルMIS電界効果トランジスタのゲート閾値電圧と実質的に同等であることを特徴とする請求項1に記載のPチャネルパワーMIS電界効果トランジスタ。
- [5] 前記ゲート絶縁膜のうち少なくとも前記シリコン領域の表面と接する接触部が、シリコン酸化膜、シリコン酸窒化膜、またはシリコン窒化膜からなることを特徴とする請求項1に記載のPチャネルパワーMIS電界効果トランジスタ。
- [6] 前記ゲート絶縁膜のうち少なくとも前記シリコン領域の表面と接する接触部が、前記シリコン領域の表面をラジカル酸素を用いて酸化した100nm以下の厚さのシリコン酸化膜であることを特徴とする請求項5記載のPチャネルパワーMIS電界効果トランジスタ。

- [7] 前記ゲート絶縁膜のうち少なくとも前記シリコン領域の表面と接する接触部が、前記シリコン領域の表面をラジカル窒素またはラジカルNHを用いて窒化した100nm以下の厚さのシリコン窒化膜であることを特徴とする請求項5記載のPチャンネルパワーMIS電界効果トランジスタ。
- [8] 前記ゲート絶縁膜のうち少なくとも前記シリコン領域の表面と接する接触部が、前記シリコン領域の表面をラジカル窒素またはラジカルNHとラジカル酸素とを用いて酸窒化した100nm以下の厚さのシリコン酸窒化膜であることを特徴とする請求項5記載のPチャンネルパワーMIS電界効果トランジスタ。
- [9] 前記ゲート絶縁膜のうち前記シリコン領域の表面と接する前記接触部以外の部分がCVDによって形成されたシリコン酸化膜、シリコン酸窒化膜およびシリコン窒化膜の少なくとも一つを含むことを特徴とする請求項5に記載のPチャンネルパワーMIS電界効果トランジスタ。
- [10] 前記ゲート絶縁膜が、マイクロ波励起を発生させるための希ガスと絶縁膜形成ガスとの混合ガスプラズマを用いて形成されたものであることを特徴とする請求項1に記載のPチャンネルパワーMIS電界効果トランジスタ。
- [11] 前記希ガスはアルゴン、クリプトンまたはキセノンのうち少なくとも1つであり、前記絶縁膜形成ガスは酸素、窒素、アンモニアのうち少なくとも1つを含むガスであることを特徴とする請求項10記載のPチャンネルパワーMIS電界効果トランジスタ。
- [12] 表面が実質的に(110)面であるシリコン領域を有する基板と、前記表面上に設けられたゲート絶縁膜と、前記ゲート絶縁膜上に設けられたゲート電極とを有し、前記シリコン領域を少なくともチャンネルに用いたPチャンネルMIS電界効果トランジスタにおいて、
前記シリコン表面の表面粗さが中心線平均粗さ(Ra)で表現すると0.15nm以下であり、かつソース、ゲート間耐電圧が10ボルト以上であることを特徴とするPチャンネルパワーMIS電界効果トランジスタ。
- [13] 前記ゲート絶縁膜のうち少なくとも前記シリコン領域の表面と接する接触部にアルゴン、クリプトンまたはキセノンが含まれることを特徴とする請求項12に記載のPチャンネルパワーMIS電界効果トランジスタ。

- [14] 前記シリコン表面の表面粗さRaが0.11nm以下であることを特徴とする請求項12に記載のPチャンネルパワーMIS電界効果トランジスタ。
- [15] 前記シリコン表面の表面粗さRaが0.09nm以下であることを特徴とする請求項14に記載のPチャンネルパワーMIS電界効果トランジスタ。
- [16] 前記シリコン表面の表面粗さRaが0.07nm以下であることを特徴とする請求項15に記載のPチャンネルパワーMIS電界効果トランジスタ。
- [17] 前記中心線平均粗さRaは、0.02nm以上であることを特徴とする請求項12に記載のPチャンネルパワーMIS電界効果トランジスタ。
- [18] 前記実質的に(110)面を有するシリコン表面は、(110)面、(551)面、(311)面、(221)面、(553)面、(335)面、(112)面、(113)面、(115)面、(117)面、(331)面、(221)面、(332)面、(111)面、及び、(320)面のいずれかであることを特徴とする請求項1に記載のPチャンネルパワーMIS電界効果トランジスタ。
- [19] 前記実質的に(110)面を有するシリコン表面は、(110)面、(551)面、(311)面、(221)面、(553)面、(335)面、(112)面、(113)面、(115)面、(117)面、(331)面、(221)面、(332)面、(111)面、及び、(320)面のいずれかであることを特徴とする請求項12に記載のPチャンネルパワーMIS電界効果トランジスタ。
- [20] 前記実質的に(110)面を有するシリコン表面は、(110)面または(551)面であることを特徴とする請求項1に記載のPチャンネルパワーMIS電界効果トランジスタ。
- [21] 前記実質的に(110)面を有するシリコン表面は、(110)面または(551)面であることを特徴とする請求項12に記載のPチャンネルパワーMIS電界効果トランジスタ。
- [22] ゲート絶縁膜のうち少なくとも前記シリコン表面に接する接触部が、シリコン酸化膜、シリコン窒化膜、シリコン酸窒化膜のうち少なくとも1つを含む膜によって構成されていることを特徴とする請求項12に記載のPチャンネルパワーMIS電界効果トランジスタ。
- [23] 前記ゲート絶縁膜の前記接触部以外の部分が、
Hf, Zr, Ta, Ti, La, Co, Y, Alから選ばれる少なくとも1つの元素を含む金属シリケートと、
Si, Hf, Zr, Ta, Ti, Y, Nb, Na, Co, Al, Zn, Pb, Mg, Bi, La, Ce, Pr, Sm,

Eu, Gd, Dy, Er, Sr, Baから選ばれる少なくとも1つの元素を含む金属酸化物と、
Si, Hf, Zr, Ta, Ti, Y, Nb, Na, Co, Al, Zn, Pb, Mg, Bi, La, Ce, Pr, Sm,
Eu, Gd, Dy, Er, Sr, Baから選ばれる少なくとも1つの元素を含む金属窒化物と、
Si, Hf, Zr, Ta, Tj, Y, Nb, Na, Co, Al, Zn, Pb, Mg, Bi, La, Ce, Pr, Sm,
Eu, Gd, Dy, Er, Sr, Baから選ばれる少なくとも1つの元素を含む金属酸窒化物と
のうち少なくとも1つを含む高誘電膜を含むことを特徴とする請求項22に記載のPチャ
ネルパワーMIS電界効果トランジスタ。

- [24] 前記ゲート絶縁膜の前記接触部以外の部分が、シリコン酸化膜、シリコン窒化膜、
シリコン酸窒化膜、前記高誘電膜のうち少なくとも1つを含む膜によって構成されてい
ることを特徴とする請求項23に記載のPチャネルパワーMIS電界効果トランジスタ。
- [25] 前記ゲート絶縁膜のうち少なくとも前記シリコン領域の表面と接する接触部のアルゴ
ン、クリプトンまたはキセノンの含有量は $5 \times 10^{11} \text{ cm}^{-2}$ 以下であることを特徴とする請
求項13に記載のPチャネルパワーMIS電界効果トランジスタ。
- [26] 前記ゲート絶縁膜のうち少なくとも前記シリコン領域の表面と接する接触部が、ラジ
カル酸素とラジカル窒素のうち少なくとも1つを含む雰囲気中において、前記シリコン
表面を酸化する酸化処理工程と前記シリコン表面を窒化する窒化処理工程のうちい
ずれか1つ、あるいは前記酸化処理工程と前記窒化処理工程の同時並行処理で形
成されたものであることを特徴とする請求項12に記載のPチャネルパワーMIS電界
効果トランジスタ。
- [27] 前記ゲート絶縁膜が、マイクロ波励起を発生させるための希ガスと絶縁膜形成ガス
との混合ガスプラズマを用いて形成された部分を含むことを特徴とする請求項12に
記載のPチャネルパワーMIS電界効果トランジスタ。
- [28] 前記希ガスはクリプトン、キセノンおよびアルゴンのうちの少なくとも1つであり、前記
絶縁膜形成ガスはアンモニア、窒素、酸素のうち少なくとも1つを含むガスであること
を特徴とする請求項27に記載のPチャネルパワーMIS電界効果トランジスタ。
- [29] 前記シリコン表面は、ソース領域とドレイン領域とチャネル領域とゲート絶縁膜とが
形成される前に、OH濃度の低いRCA洗浄工程により洗浄されることを特徴とする請
求項12に記載のPチャネルパワーMIS電界効果トランジスタ。

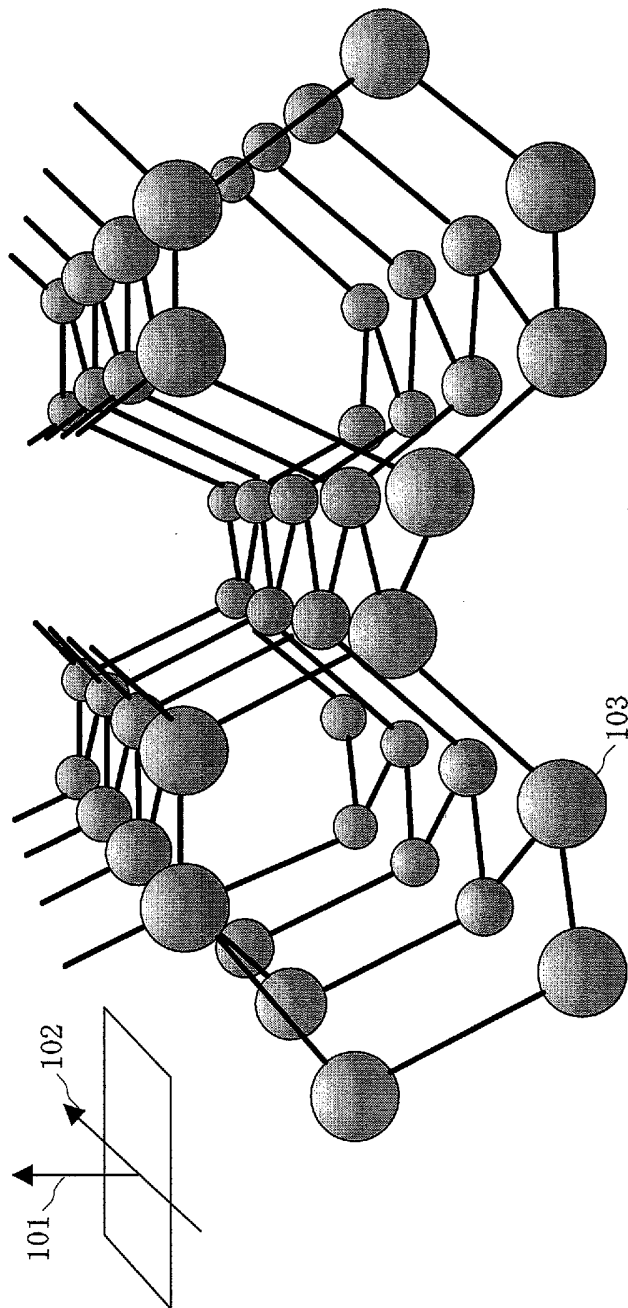
- [30] 前記シリコン表面を処理する液体のpHを7以下にしたことを特徴とする請求項12に記載のPチャンネルパワーMIS電界効果トランジスタ。
- [31] 前記シリコン表面は、ソース領域とドレイン領域とチャンネル領域とゲート絶縁膜とが形成される前に、OHの発生を抑制した超音波洗浄を含む洗浄工程により洗浄されることを特徴とする請求項30に記載のPチャンネルパワーMIS電界効果トランジスタ。
- [32] 前記シリコン表面は、ソース領域とドレイン領域とチャンネル領域とゲート絶縁膜とが形成される前に、オゾンを含む純水による洗浄を行う第1工程と、500kHz以上の周波数の振動を与えながら、HFと脱気した H_2O と界面活性剤とを含む洗浄液による洗浄を行う第2工程と、オゾンを含む H_2O による洗浄を行う第3工程と、この第3工程において形成された酸化膜を除去するためにHFと脱気した H_2O とを含む洗浄液による洗浄を行う第4工程と、水素が添加された H_2O による洗浄を行う第5工程とからなる洗浄工程により洗浄されることを特徴とする請求項12に記載のPチャンネルパワーMIS電界効果トランジスタ。
- [33] 前記第2工程および第4工程の脱気した H_2O は、 H_2O を脱気した後に水素を添加することによって形成された H_2O であることを特徴とする請求項32に記載のPチャンネルパワーMIS電界効果トランジスタ。
- [34] 前記第2工程および第4工程の脱気した H_2O は、溶存酸素濃度が100ppb以下であることを特徴とする請求項33に記載のPチャンネルパワーMIS電界効果トランジスタ。
- [35] 前記シリコン表面は、ソース領域とドレイン領域とチャンネル領域とゲート絶縁膜とが形成される前に、500kHz以上の周波数の振動を与えながら、HFと、溶存酸素濃度が100ppb以下の H_2O に水素を添加した洗浄液により洗浄されることを特徴とする請求項12に記載のPチャンネルパワーMIS電界効果トランジスタ。
- [36] 前記シリコン表面の洗浄開始から洗浄終了まで、処理薬液と前記シリコン表面とが空気に触れることが無いような装置中で処理が行われることを特徴とする請求項32に記載のPチャンネルパワーMIS電界効果トランジスタ。
- [37] 前記シリコン表面の洗浄開始から洗浄終了まで、処理薬液と前記シリコン表面とが空気に触れることが無いような装置中で処理が行われることを特徴とする請求項35

に記載のPチャンネルパワーMIS電界効果トランジスタ。

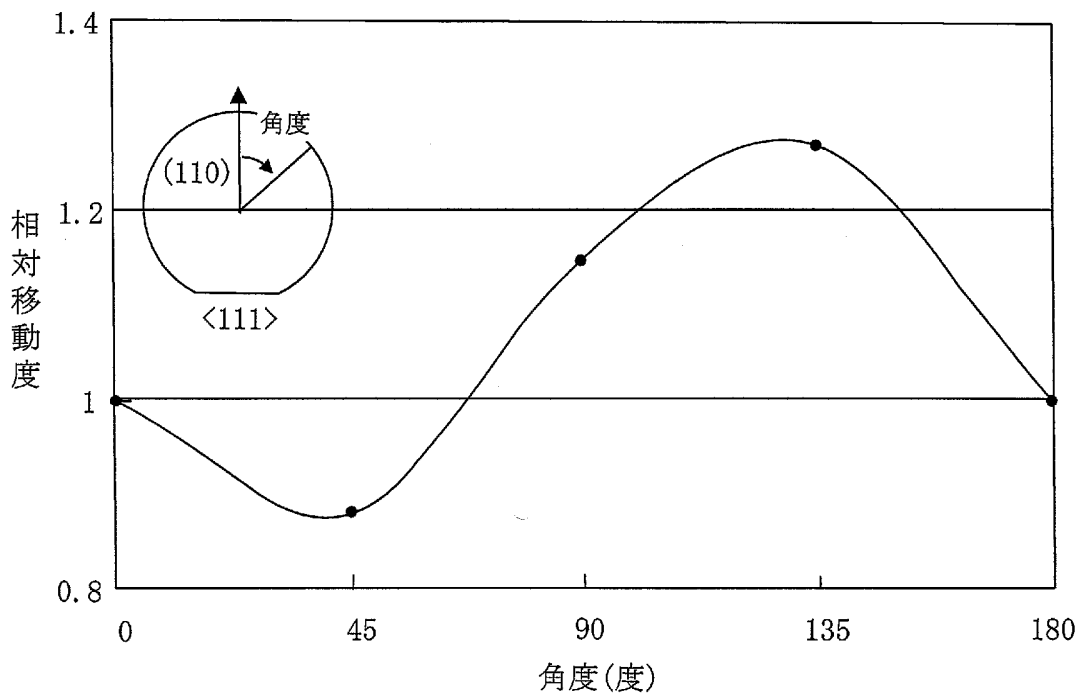
- [38] 前記シリコン表面は、洗浄工程後に、酸素ラジカルを含む雰囲気の前記シリコン表面に犠牲酸化膜を形成する工程とこの犠牲酸化膜を剥離する工程とを含む表面平坦化処理が行われることを特徴とする請求項12に記載のPチャンネルパワーMIS電界効果トランジスタ。
- [39] 前記シリコン表面は、洗浄工程後に、湿式ガスを用いた酸化処理を行い酸化膜を形成する第1工程と、前記酸化膜を所定の厚さまでエッチバックする第2工程とからなる2つの工程を所望数繰り返した後、HFを含む水溶液により前記酸化膜を剥離する表面平坦化処理が行われることを特徴とする請求項12に記載のPチャンネルパワーMIS電界効果トランジスタ。
- [40] 前記ゲート絶縁膜の厚さが200乃至1500オングストロームであることを特徴とする請求項1に記載のPチャンネルパワーMIS電界効果トランジスタ。
- [41] 前記ゲート絶縁膜の厚さが200乃至1500オングストロームであることを特徴とする請求項12に記載のPチャンネルパワーMIS電界効果トランジスタ。
- [42] 請求項1に記載されたPチャンネルパワーMIS電界効果トランジスタのソースまたはドレインの一方に直接または間接に電源を接続し、ソースまたはドレインの他方に負荷を接続し、ゲートに前記PチャンネルパワーMIS電界効果トランジスタをオンまたはオフにする駆動信号を印加する手段を接続したことを特徴とするスイッチング回路。
- [43] 請求項12に記載されたPチャンネルパワーMIS電界効果トランジスタのソースまたはドレインの一方に直接または間接に電源を接続し、ソースまたはドレインの他方に負荷を接続し、ゲートに前記PチャンネルパワーMIS電界効果トランジスタをオンまたはオフにする駆動信号を印加する手段を接続したことを特徴とするスイッチング回路。
- [44] 前記電源の定格電圧が12ボルト以上であることを特徴とする請求項42に記載のスイッチング回路。
- [45] 前記電源の定格電圧が12ボルト以上であることを特徴とする請求項43に記載のスイッチング回路。
- [46] 前記駆動信号を印加する手段がバイポーラトランジスタを含むことを特徴とする請求項42に記載のスイッチング回路。

- [47] 前記駆動信号を印加する手段がバイポーラトランジスタを含むことを特徴とする請求項43に記載のスイッチング回路。

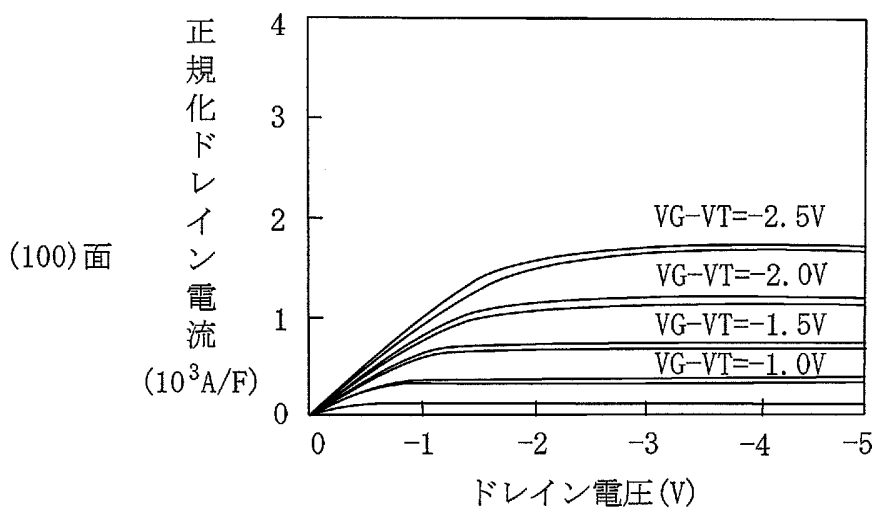
[図1]



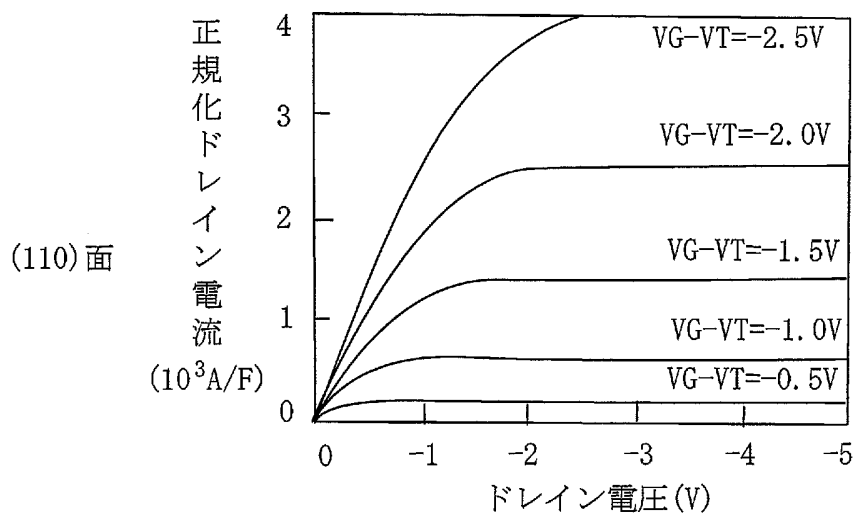
[図2]



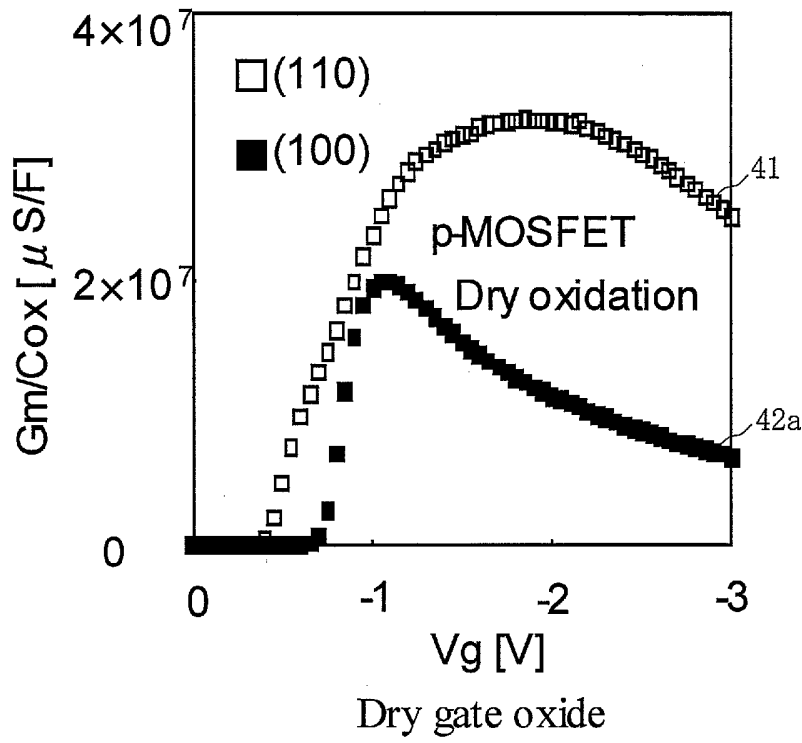
[図3A]



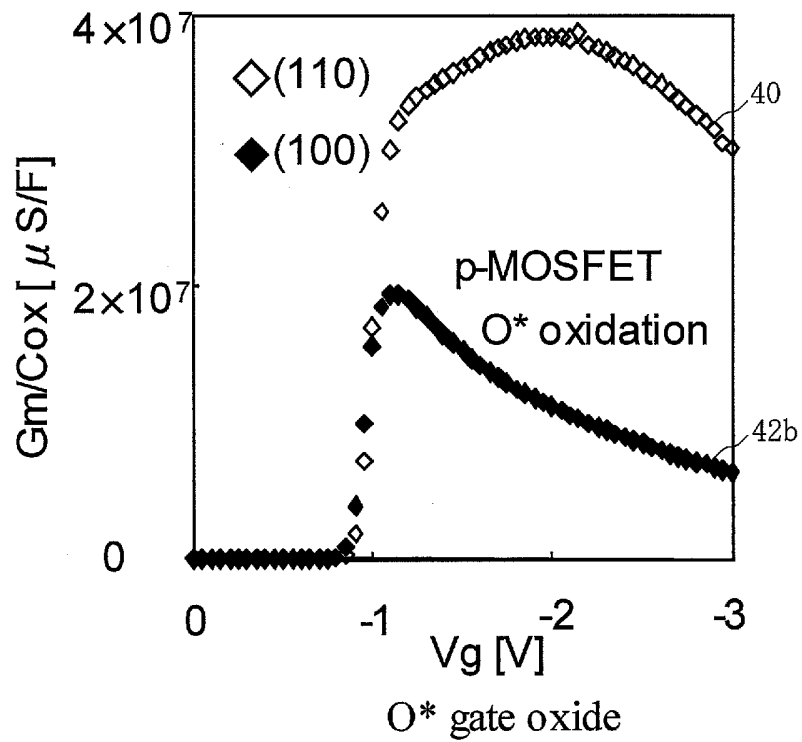
[図3B]



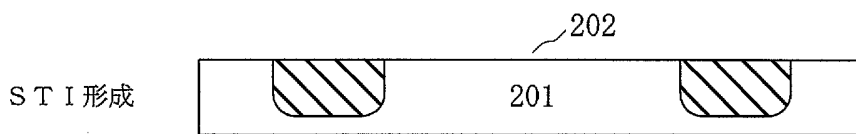
[図4A]



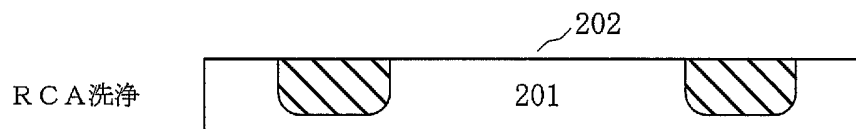
[图4B]



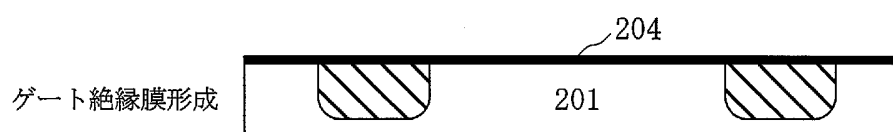
[図5A]



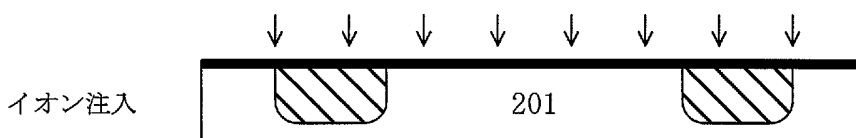
[図5B]



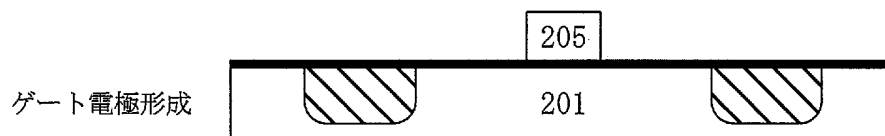
[図5C]



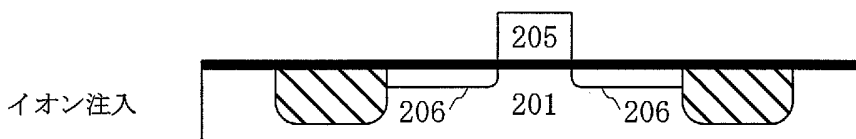
[図5D]



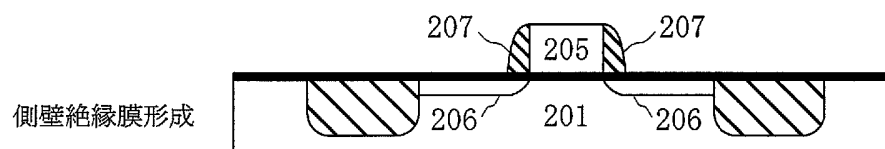
[図5E]



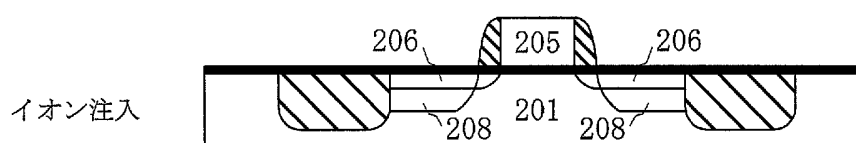
[図5F]



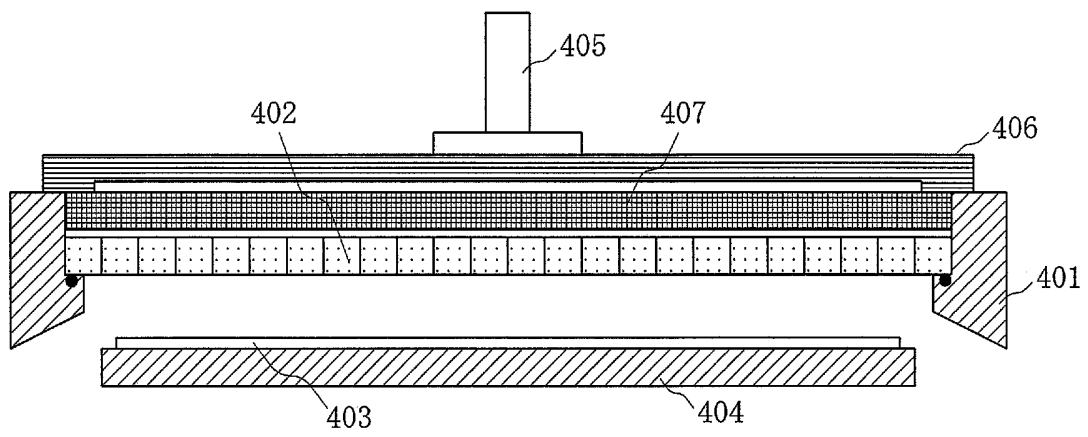
[図5G]



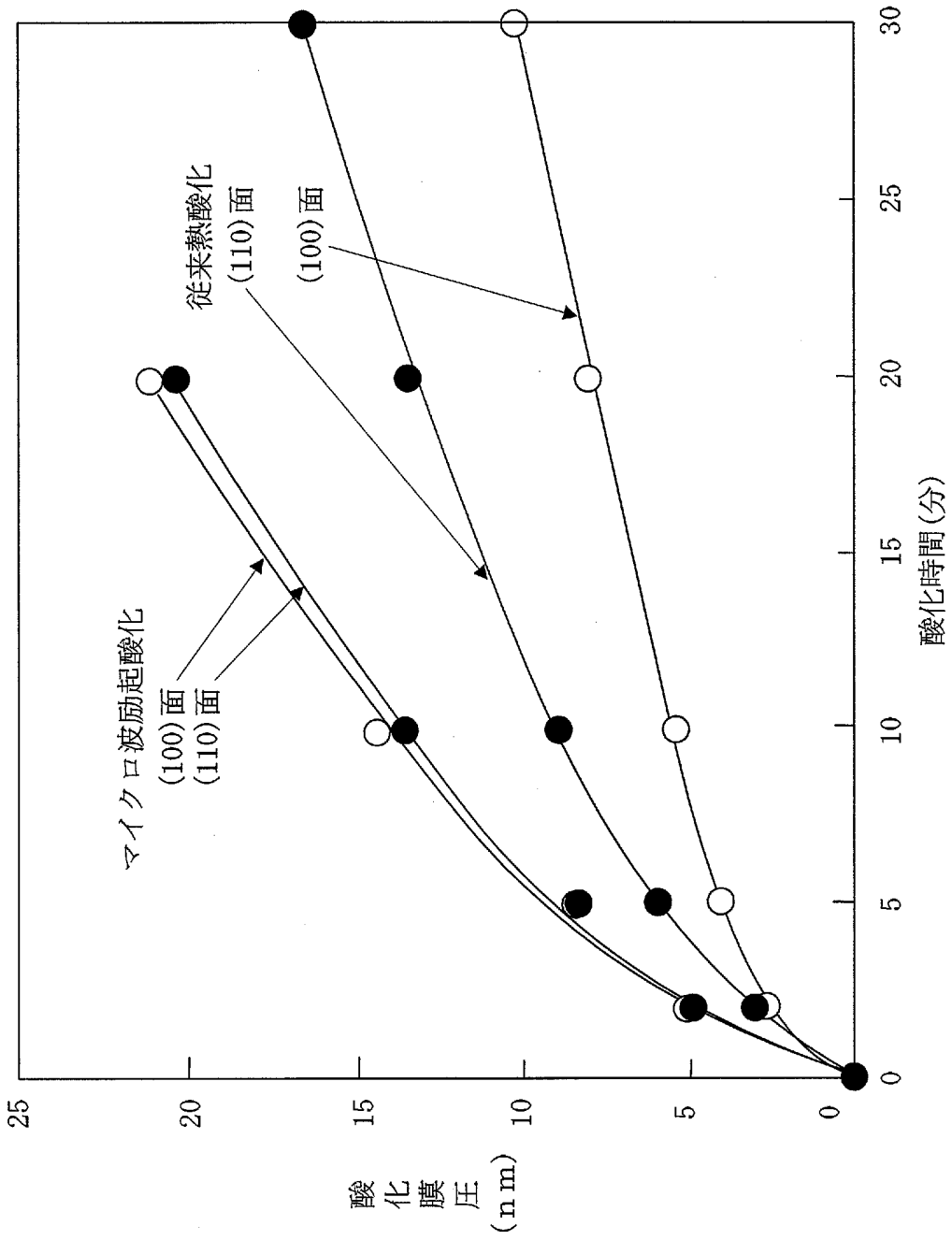
[図5H]



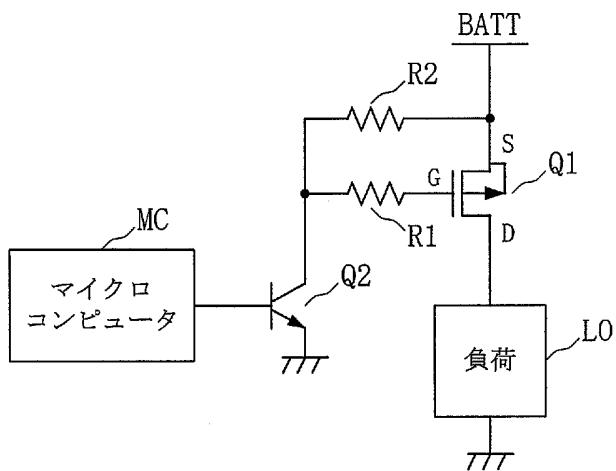
[図6]



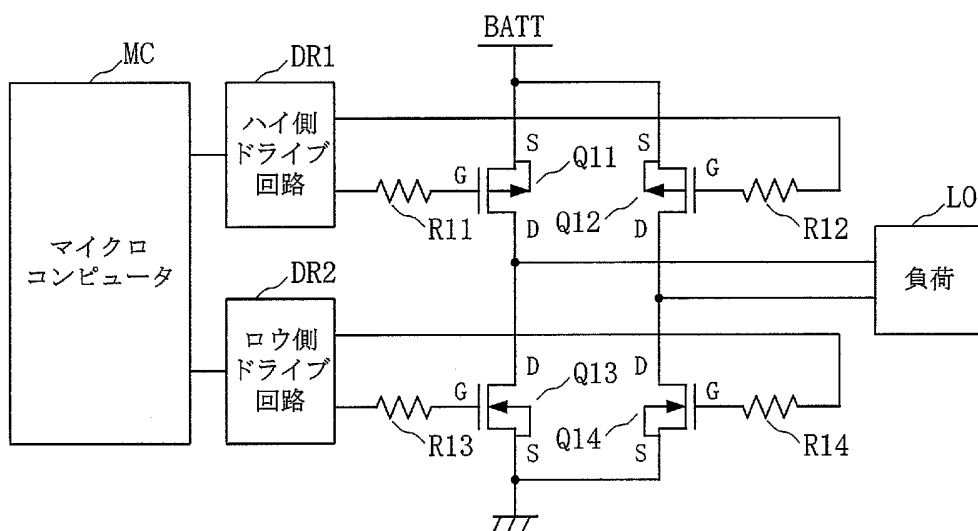
[図7]



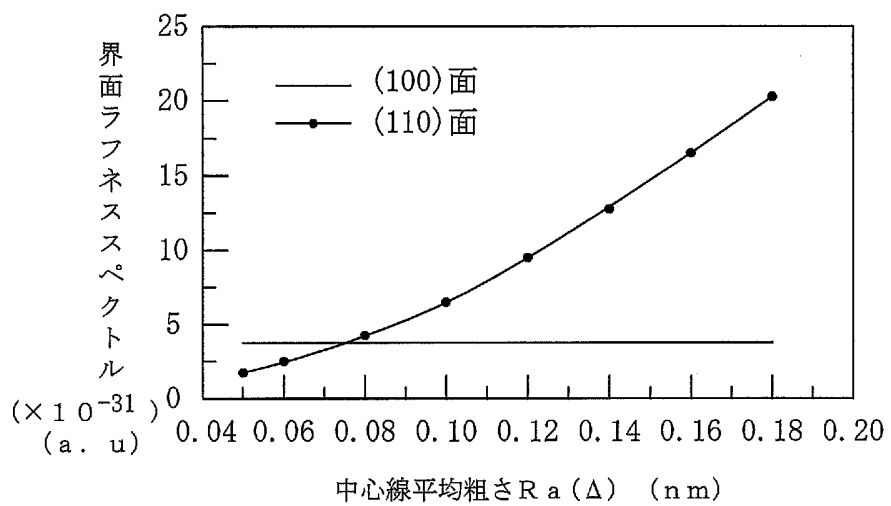
[図8]



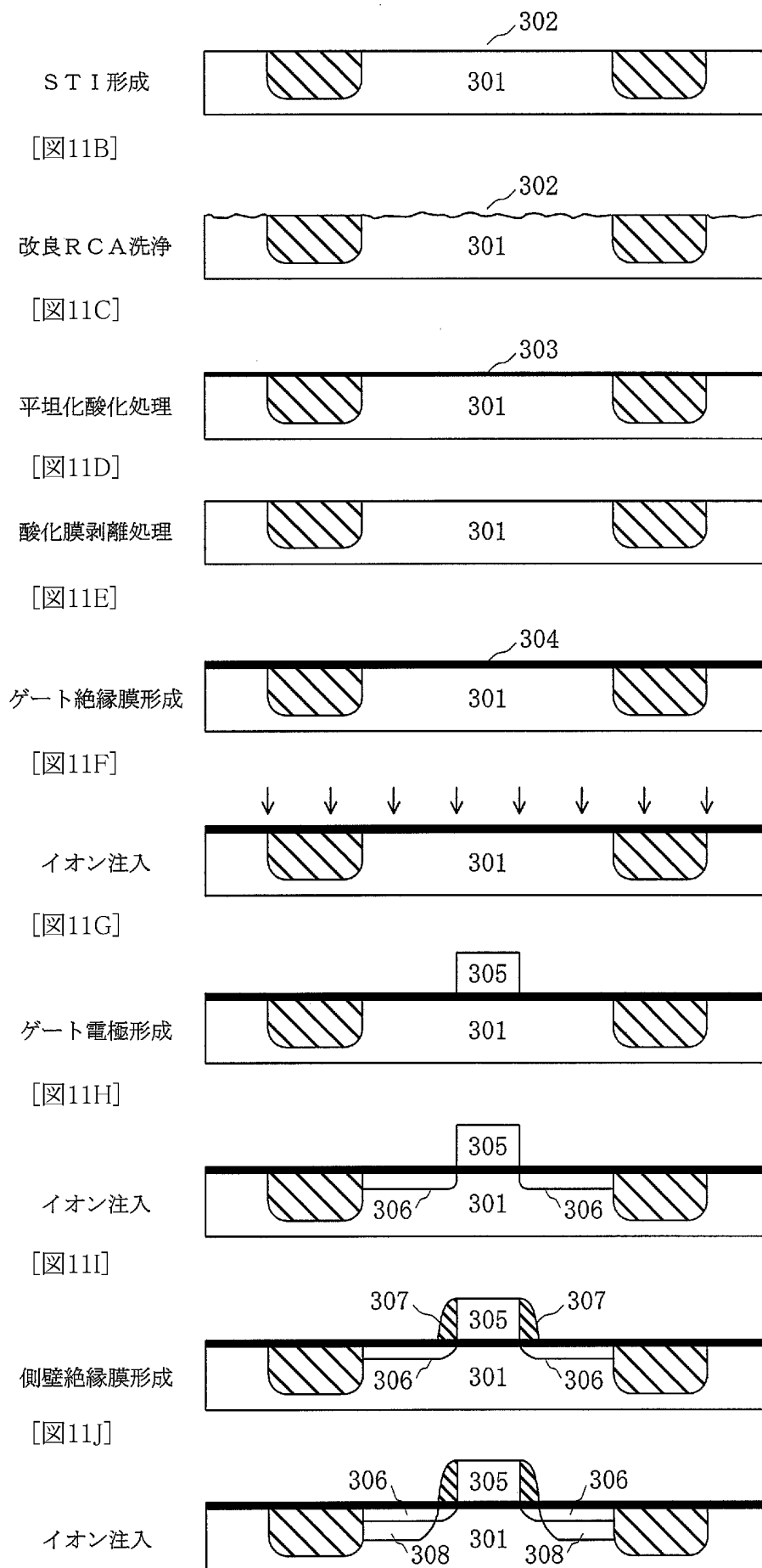
[図9]



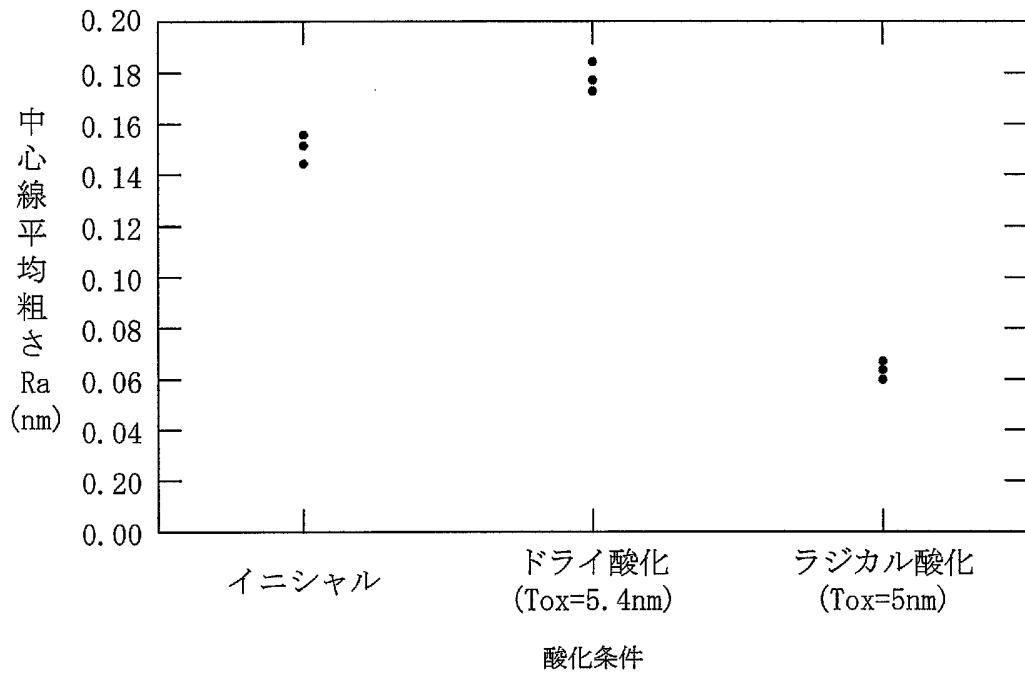
[図10]



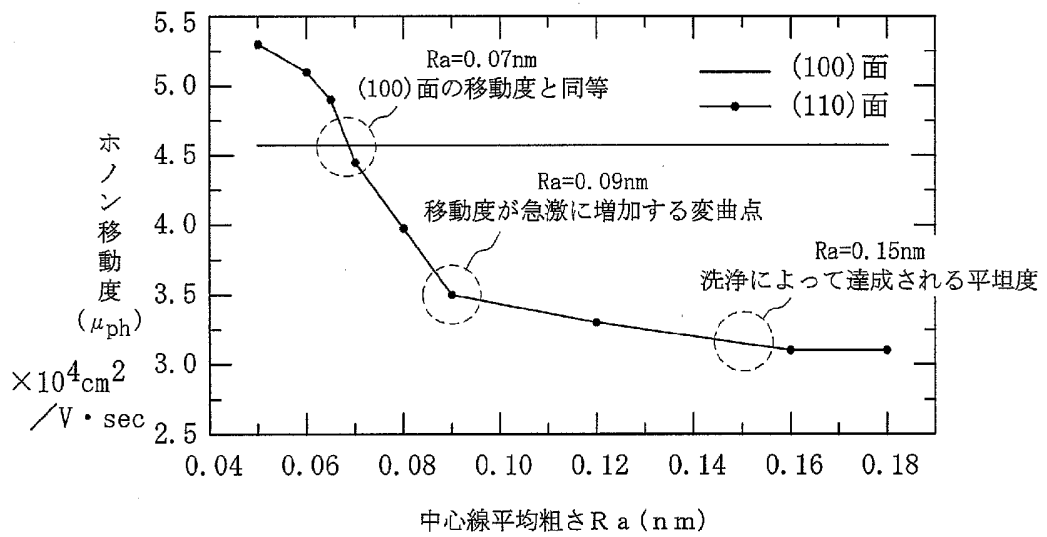
[図11A]



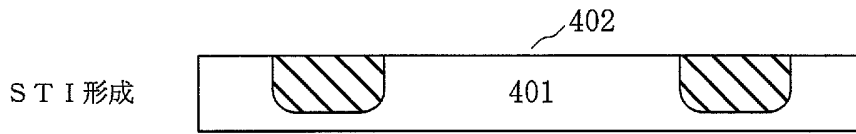
[図12]



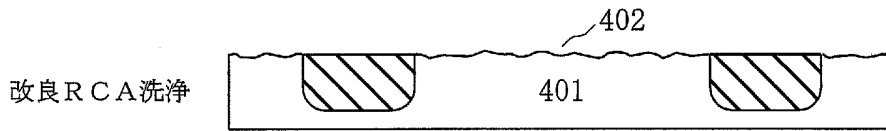
[図13]



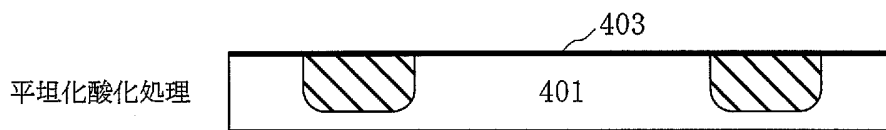
[図14A]



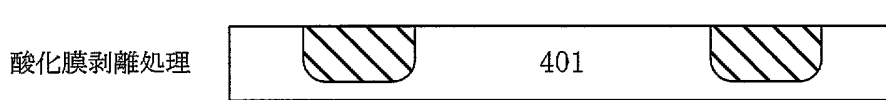
[図14B]



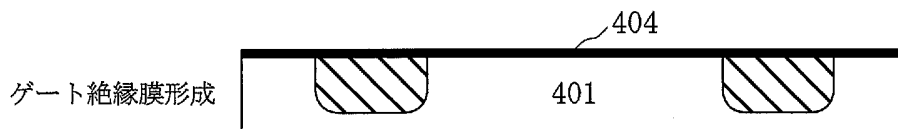
[図14C]



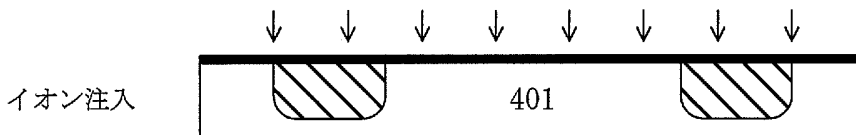
[図14D]



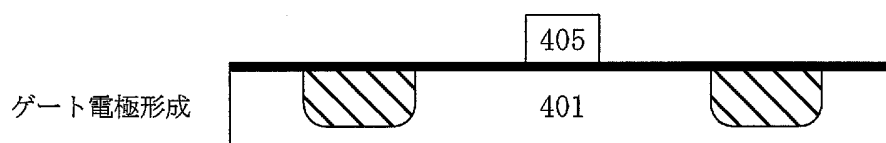
[図14E]



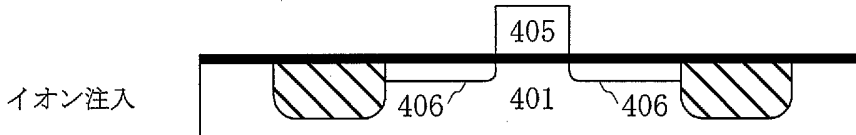
[図14F]



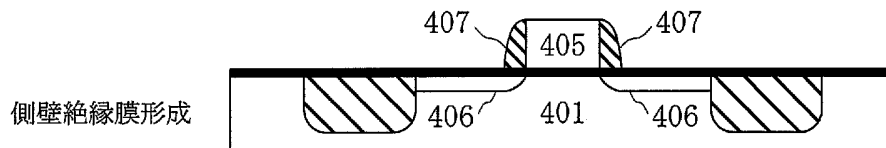
[図14G]



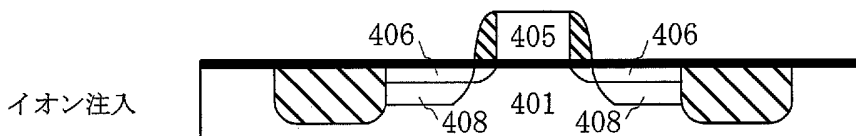
[図14H]



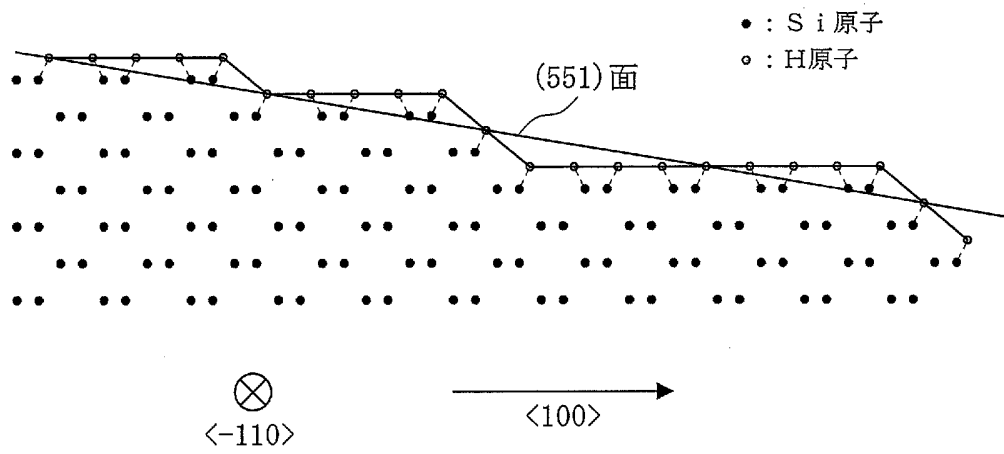
[図14I]



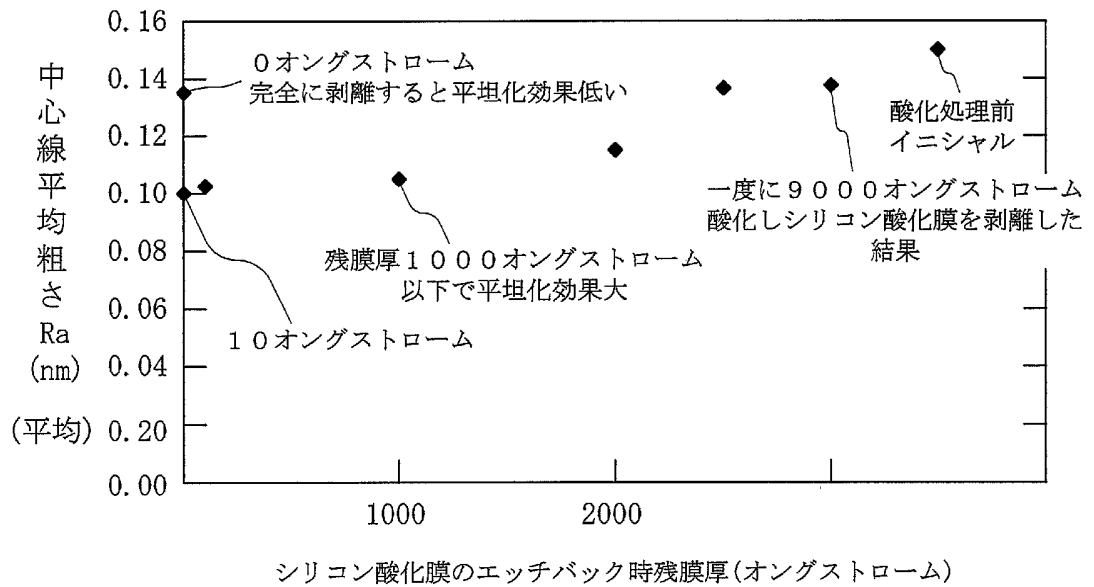
[図14J]



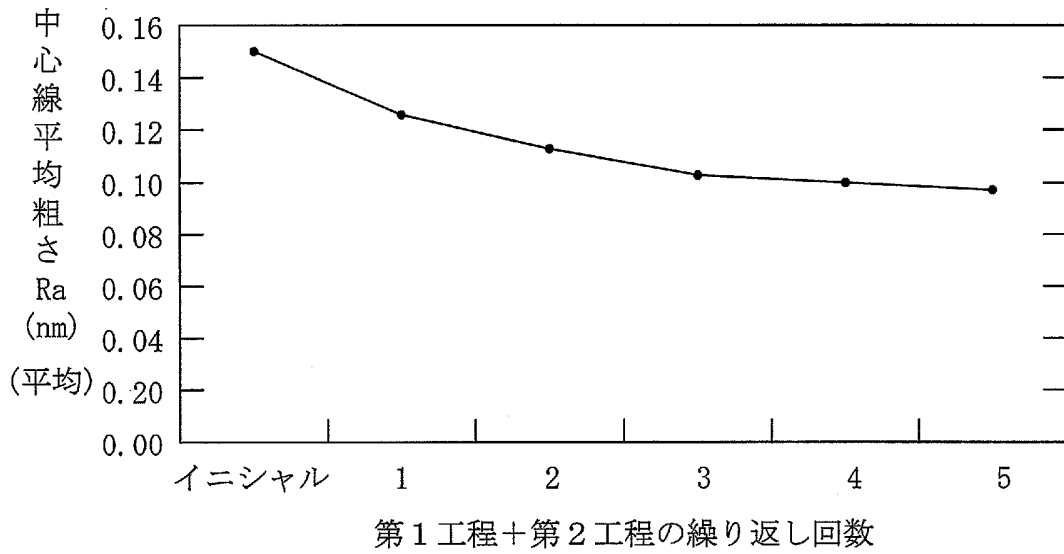
[図15]



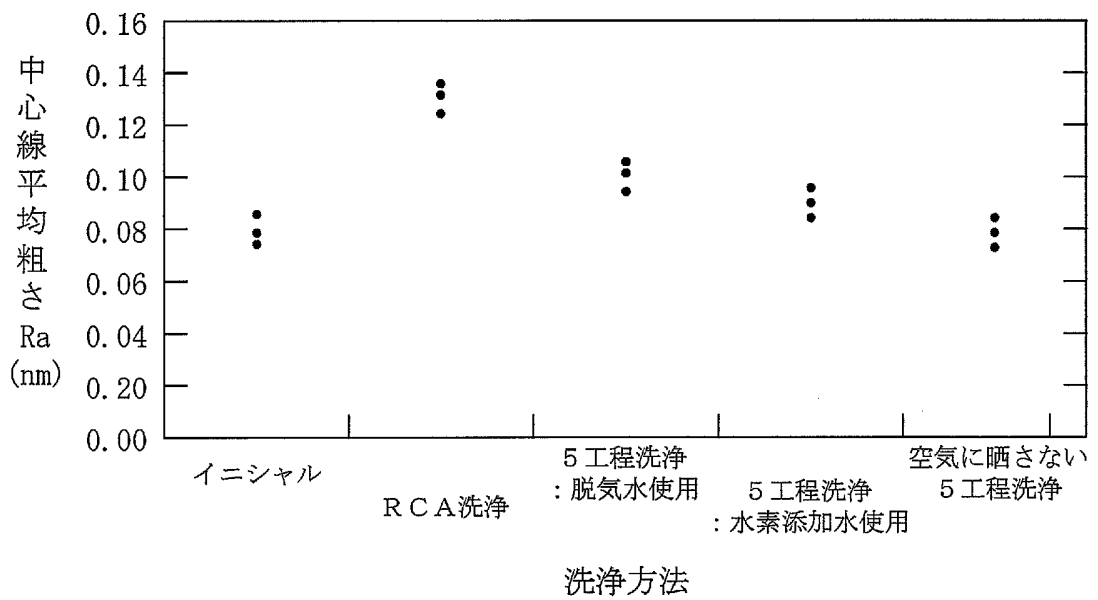
[図16]



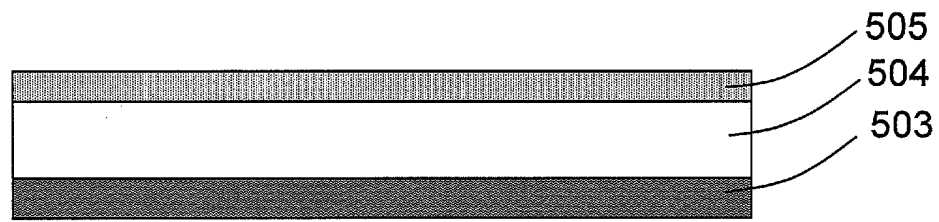
[図17]



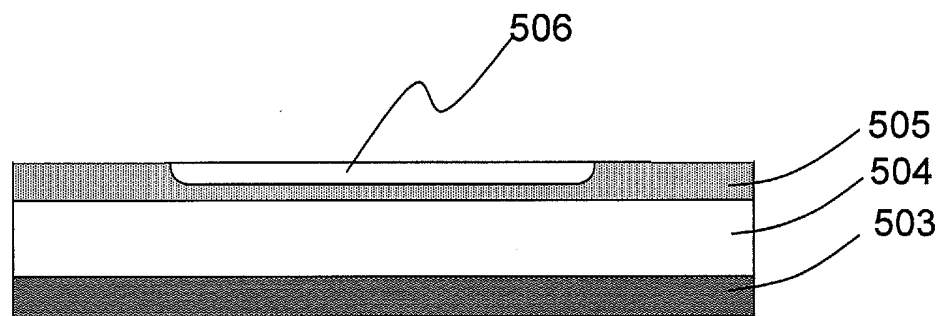
[図18]



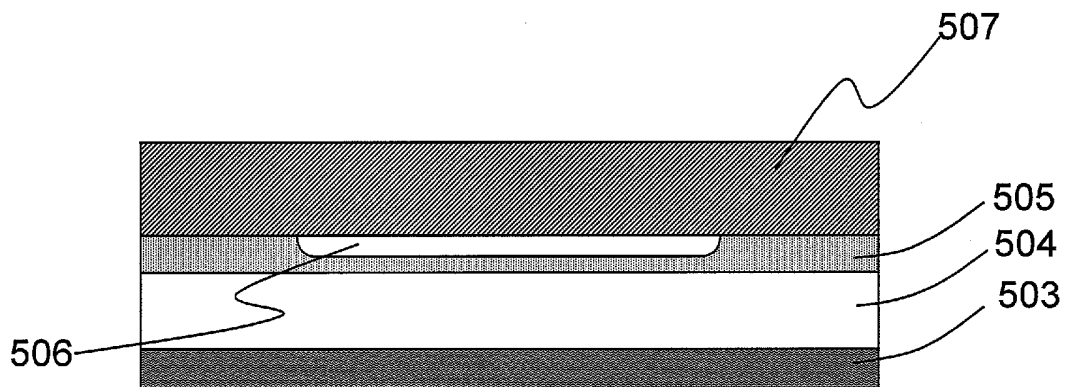
[図19A]



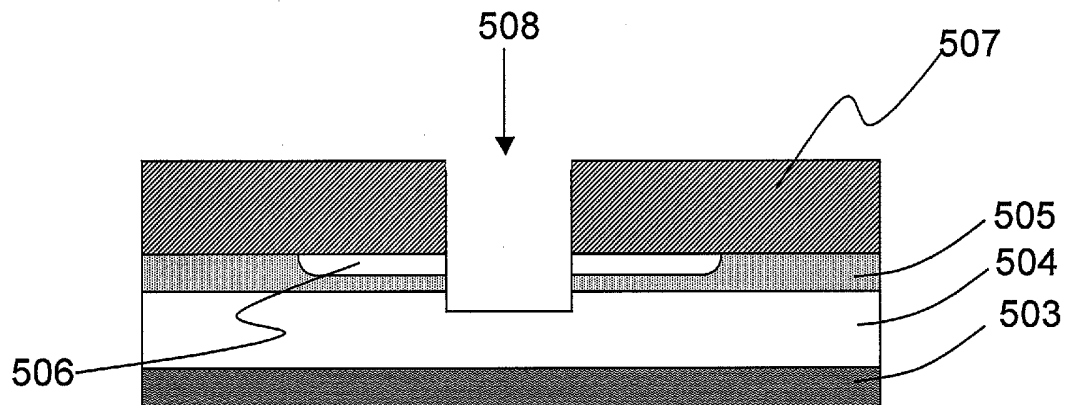
[図19B]



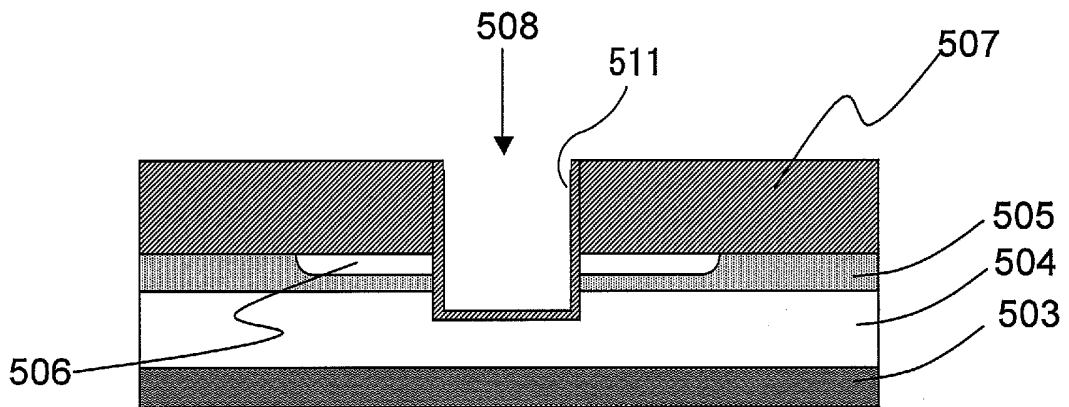
[図19C]



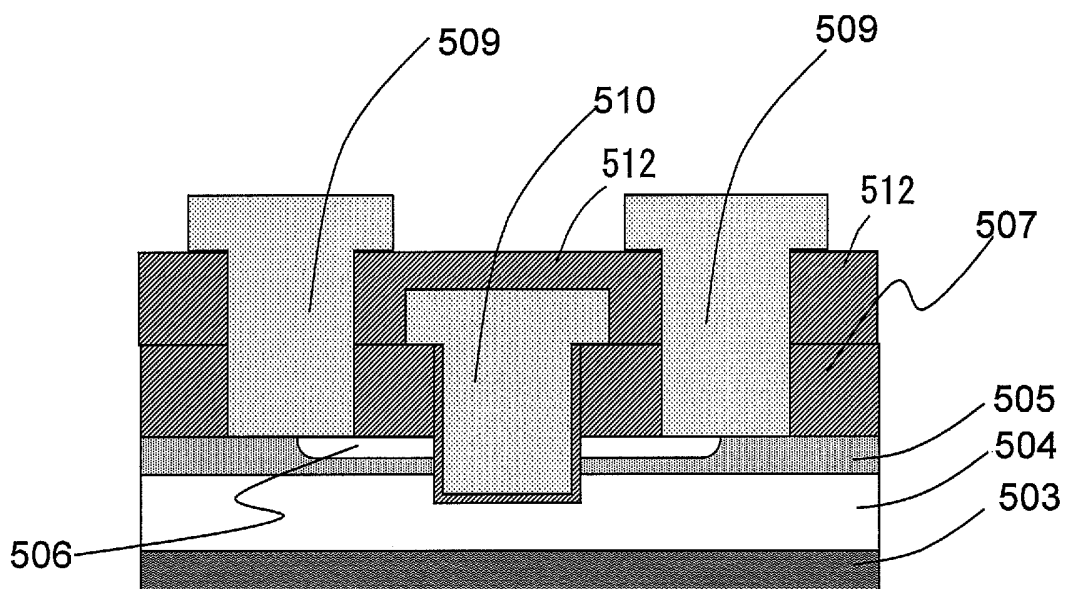
[図19D]



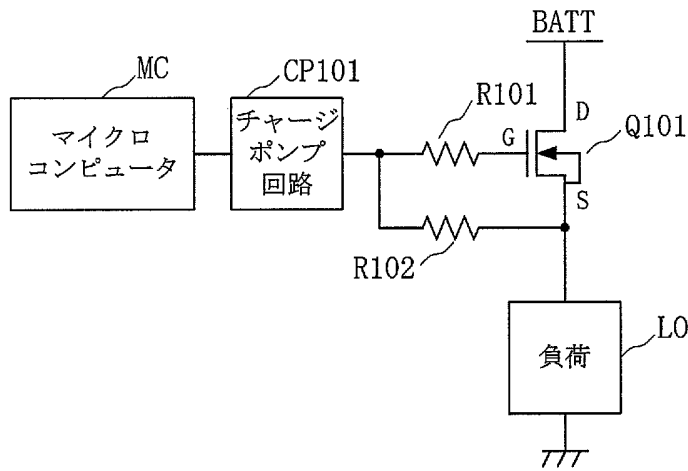
[図20A]



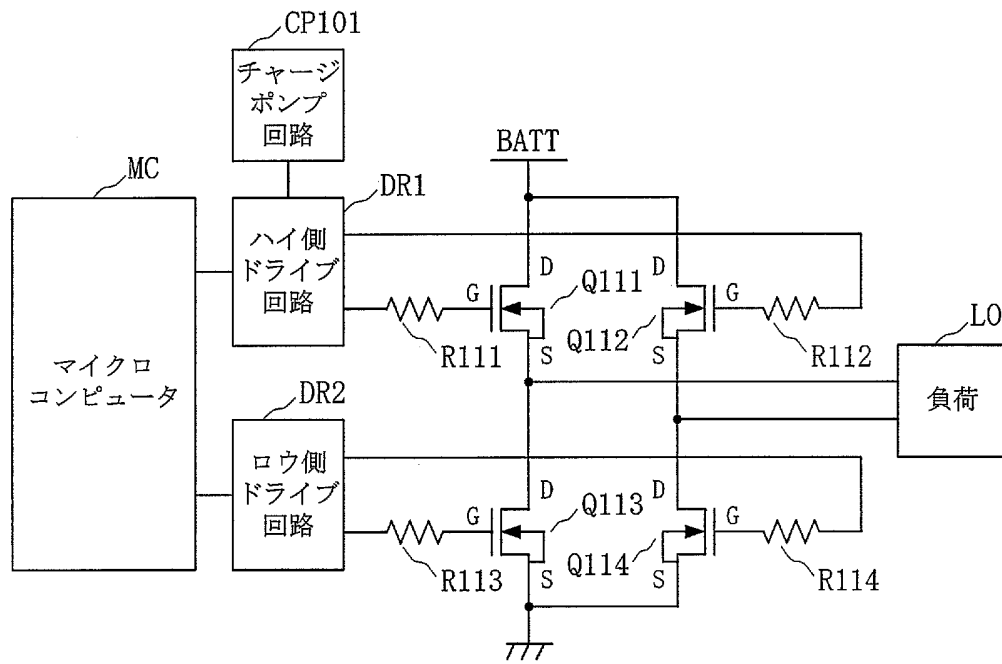
[図20B]



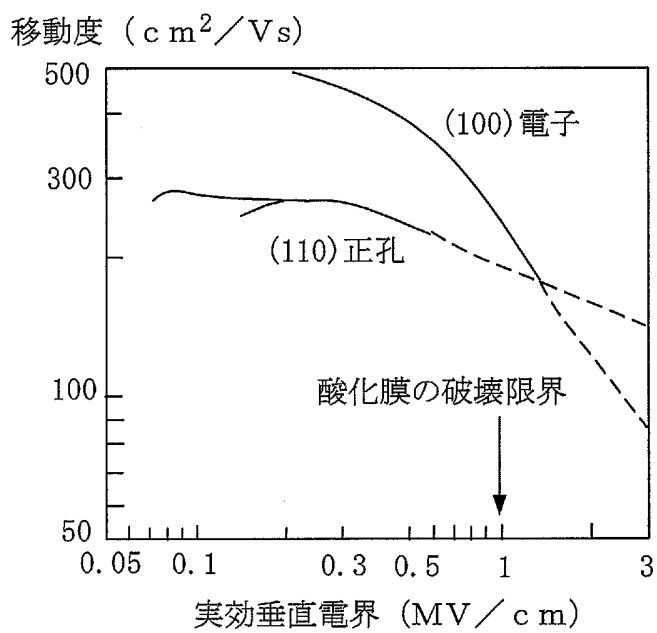
[図21]



[図22]



[図23]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/007075

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl.⁷ H01L21/336, H01L29/78, H01L21/316, H01L21/304

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl.⁷ H01L21/336, H01L29/78, H01L21/316, H01L21/304

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Toroku Jitsuyo Shinan Koho	1994-2004
Kokai Jitsuyo Shinan Koho	1971-2004	Jitsuyo Shinan Toroku Koho	1996-2004

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

Web of science, IEEE Xplore

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 2003-115587 A (Tadahiro OMI), 18 April, 2003 (18.04.03), Full text; all drawings & WO 2003/032399 A1 & US 2004/0032003 A1	1-38, 40-47 39
Y A	K. Throngnumchai, Ultralow On-Resistance P-Channel Lateral DMOS Fabrication on (110)- Oriented Si Substrate, IEEE TRANSACTIONS ON ELECTRON DEVICES, VOL.40, NO.11, NOVEMBER, 1993, pages 2132 to 2133	1-38, 40-47 39
Y A	M. MIYASHITA et al., Dependence of Surface Microroughness of CZ, FZ, and EPI Wafers on Wet Chemical Processing, J. Electrochem.Soc. Vol.139, No.8, August, 1992, pages 2133 to 2142	12-17, 19, 21-38, 41-47 39

 Further documents are listed in the continuation of Box C. See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search

04 August, 2004 (04.08.04)

Date of mailing of the international search report

24 August, 2004 (24.08.04)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/007075

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 11-57636 A (Tadahiro OMI), 02 March, 1999 (02.03.99), Full text; all drawings & US 6348157 B1	30-37
Y	JP 11-307497 A (Tadahiro OMI), 05 November, 1999 (05.11.99), Par. No. [0003] (Family: none)	30-37
Y	JP 9-10713 A (Tadahiro OMI), 14 January, 1997 (14.01.97), Par. No. [0012] (Family: none)	30-37
Y A	Makoto NAGAMINE et al., Radical Oxygen (O*) Process for Highly-Reliable SiO ₂ with Higher Film-Density and Smoother SiO ₂ /Si Interface, 1998, International Electron Devices Meeting Technical Digest (IEDM'98), pages 593 to 596	38 39
E,A	JP 2004-200672 A (Tadahiro OMI), 15 July, 2004 (15.07.04), Full text; all drawings (Family: none)	1-47

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/007075

Box No. II Observations where certain claims were found unsearchable (Continuation of item 2 of first sheet)

This international search report has not been established in respect of certain claims under Article 17(2)(a) for the following reasons:

1. Claims Nos.:
because they relate to subject matter not required to be searched by this Authority, namely:

2. Claims Nos.:
because they relate to parts of the international application that do not comply with the prescribed requirements to such an extent that no meaningful international search can be carried out, specifically:

3. Claims Nos.:
because they are dependent claims and are not drafted in accordance with the second and third sentences of Rule 6.4(a).

Box No. III Observations where unity of invention is lacking (Continuation of item 3 of first sheet)

This International Searching Authority found multiple inventions in this international application, as follows:

Whereas, as described (on the extra sheet), for a group of inventions in claims to fulfill the requirement of unity of invention there must exist special technical features for linking the group of inventions so as to form a single general inventive concept, claims in this international application describe two inventions classified as [1-11, 18, 20, 40, 42, 44, 46], [12-17, 19, 21-39, 41, 43, 45, 47].

(continued to extra sheet)

1. As all required additional search fees were timely paid by the applicant, this international search report covers all searchable claims.
2. As all searchable claims could be searched without effort justifying an additional fee, this Authority did not invite payment of any additional fee.
3. As only some of the required additional search fees were timely paid by the applicant, this international search report covers only those claims for which fees were paid, specifically claims Nos.:

4. No required additional search fees were timely paid by the applicant. Consequently, this international search report is restricted to the invention first mentioned in the claims; it is covered by claims Nos.:

Remark on Protest

- The additional search fees were accompanied by the applicant's protest.
- No protest accompanied the payment of additional search fees.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/007075

Continuation of Box No.III of continuation of first sheet(2)

Whereas for a group of inventions in claims to fulfill the requirement of unity of invention there must exist special technical features for linking the group of inventions so as to form a single general inventive concept, a group of inventions in claims 1-47 are linked only in terms of "a P-channel MIS field effect transistor comprising a substrate having a silicon region of which the surface being substantially a (110) plane, a gate insulation film provided on the above surface, and a gate electrode provided on the gate insulation film, the above silicon region being used as at least a channel".

However, this matter is described in a prior-art document, K. Throngnumchai, Ultralow On-Resistance P-Channel Lateral DMOS Fabricated on (110)-Oriented Si Substrate, IEEE TRANSACTIONS ON ELECTRON DEVICES, VOL.40, NO.11, NOVEMBER, 1993, pages 2132 to 2133, and therefore cannot constitute a special technical feature.

Therefore, there exist among a group of inventions in claims 1-47 no special technical features for linking the group of inventions so as to form a single general inventive concept. Accordingly, it is clear that a group of inventions in claims 1-47 do not fulfill the requirement of unity of invention.

Next, the number of inventions described in the claims of this international application and linked so as to form a general inventive concept, that is, the number of inventions, will be studied.

According to the modes of independent claims, the claims in this international application describe two inventions classified as [1-11, 18, 20, 40, 42, 44, 46], [12-17, 19, 21-39, 41, 43, 45, 47].

A. 発明の属する分野の分類 (国際特許分類 (IPC))		
Int. Cl ⁷ H01L21/336, H01L29/78, H01L21/316, H01L21/304		
B. 調査を行った分野		
調査を行った最小限資料 (国際特許分類 (IPC))		
Int. Cl ⁷ H01L21/336, H01L29/78, H01L21/316, H01L21/304		
最小限資料以外の資料で調査を行った分野に含まれるもの		
日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2004年 日本国登録実用新案公報 1994-2004年 日本国実用新案登録公報 1996-2004年		
国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)		
Web of science, IEEE Xplore		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y A	JP 2003-115587 A(大見忠弘) 2003.04.18 全文, 全図 & WO 2003/032399 A1 & US 2004/0032003 A1	1-38, 40-47 39
Y A	K. Throngnumchai, Ultralow On-Resistance P-Channel Lateral DMOS Fabrication on (110)-Oriented Si Substrate, IEEE TRANSACTIONS ON ELECTRON DEVICES, VOL. 40, NO. 11, NOVEMBER 1993, PP. 2132-2133	1-38, 40-47 39
<input checked="" type="checkbox"/> C欄の続きにも文献が列挙されている。 <input type="checkbox"/> パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー 「A」 特に関連のある文献ではなく、一般的技術水準を示すもの 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す) 「O」 口頭による開示、使用、展示等に言及する文献 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願日の後に公表された文献 「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」 同一パテントファミリー文献		
国際調査を完了した日	04.08.2004	国際調査報告の発送日
		24.8.2004
国際調査機関の名称及びあて先	特許庁審査官 (権限のある職員)	4M 9836
日本国特許庁 (ISA/JP)	松嶋 秀忠	
郵便番号100-8915		
東京都千代田区霞が関三丁目4番3号	電話番号 03-3581-1101	内線 3460

C (続き) 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y A	M. MIYASHITA et al., Dependence of Surface Microroughness of CZ, FZ, and EPI Wafers on Wet Chemical Processing, J. Electrochem. Soc., Vol.139, No.8, August 1992, PP.2133-2142	12-17, 19, 21-38, 41-47 39
Y	JP 11-57636 A(大見忠弘) 1999.03.02 全文, 全図 & US 6348157 B1	30-37
Y	JP 11-307497 A(大見忠弘) 1999.11.05 【0003】(ファミリーなし)	30-37
Y	JP 9-10713 A(大見忠弘) 1997.01.14 【0012】(ファミリーなし)	30-37
Y A	Makoto NAGAMINE et al., Radical Oxygen(O*) Process for Highly-Reliable SiO ₂ with Higher Film-Density and Smoother SiO ₂ /Si Interface, 1998 International Electron Devices Meeting Technical Digest(IEDM'98), PP.593-596	38 39
E A	JP 2004-200672 A(大見忠弘) 2004.07.15 全文, 全図(ファミリーなし)	1-47

第II欄 請求の範囲の一部の調査ができないときの意見 (第1ページの2の続き)

法第8条第3項 (PCT 17条(2)(a)) の規定により、この国際調査報告は次の理由により請求の範囲の一部について作成しなかった。

1. 請求の範囲 _____ は、この国際調査機関が調査をすることを要しない対象に係るものである。つまり、

2. 請求の範囲 _____ は、有意義な国際調査をすることができる程度まで所定の要件を満たしていない国際出願の部分に係るものである。つまり、

3. 請求の範囲 _____ は、従属請求の範囲であってPCT規則6.4(a)の第2文及び第3文の規定に従って記載されていない。

第III欄 発明の単一性が欠如しているときの意見 (第1ページの3の続き)

次に述べるようにこの国際出願に二以上の発明があるとこの国際調査機関は認めた。

(特別ページ) に記載したように、請求の範囲に記載されている一群の発明が単一性の要件を満たすためには、その一群の発明を単一の一般的発明概念を形成するように連関させるための、特別な技術的特徴の存在が必要であるところ、この国際出願の請求の範囲には、[1-11, 18, 20, 40, 42, 44, 46]、[12-17, 19, 21-39, 41, 43, 45, 47] に区分される2個の発明が記載されていると認める。

1. 出願人が必要な追加調査手数料をすべて期間内に納付したので、この国際調査報告は、すべての調査可能な請求の範囲について作成した。
2. 追加調査手数料を要求するまでもなく、すべての調査可能な請求の範囲について調査することができたので、追加調査手数料の納付を求めなかった。
3. 出願人が必要な追加調査手数料を一部のみしか期間内に納付しなかったため、この国際調査報告は、手数料の納付のあった次の請求の範囲のみについて作成した。
4. 出願人が必要な追加調査手数料を期間内に納付しなかったため、この国際調査報告は、請求の範囲の最初に記載されている発明に係る次の請求の範囲について作成した。

追加調査手数料の異議の申立てに関する注意

- 追加調査手数料の納付と共に出願人から異議申立てがあった。
 追加調査手数料の納付と共に出願人から異議申立てがなかった。

請求の範囲に記載されている一群の発明が単一性の要件を満たすためには、その一群の発明を単一の一般的発明概念を形成するように連関させるための、特別な技術的特徴の存在が必要であるところ、請求の範囲1-47に記載されている一群の発明は、「表面が実質的に(110)面であるシリコン領域を有する基板と、前記表面上に設けられたゲート絶縁膜と、前記ゲート絶縁膜上に設けられたゲート電極とを有し、前記シリコン領域を少なくともチャネルに用いたPチャネルMIS電界効果トランジスタ」でのみ連関していると認められる。

しかしながら、この事項は先行技術文献、K. Throngnumchai, Ultralow On-Resistance P-Channel Lateral DMOS Fabrication on (110)-Oriented Si Substrate, IEEE TRANSACTIONS ON ELECTRON DEVICES, VOL. 40, NO. 11, NOVEMBER 1993, PP. 2132-2133 に記載されているため、特別な技術的特徴とはなり得ない。

そうすると、請求の範囲1-47に記載されている一群の発明の間には、単一の一般的発明概念を形成するように連関させるための、特別な技術的特徴は存しないこととなる。そのため、請求の範囲1-47に記載されている一群の発明が発明の単一性の要件を満たしていないことは明らかである。

次に、この国際出願の請求の範囲に記載されている、一般的発明概念を形成するように連関している発明の群の数、すなわち、発明の数につき検討するに、独立した請求の範囲の態様からすると、この国際出願の請求の範囲には、[1-11, 18, 20, 40, 42, 44, 46]、[12-17, 19, 21-39, 41, 43, 45, 47]に区分される2個の発明が記載されていると認める。