

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第5577492号  
(P5577492)

(45) 発行日 平成26年8月27日 (2014. 8. 27)

(24) 登録日 平成26年7月18日 (2014. 7. 18)

(51) Int. Cl.

F I

A 6 3 F 7/02 (2006.01)

A 6 3 F 7/02 3 1 5 Z

A 6 3 F 7/02 3 2 6 Z

A 6 3 F 7/02 3 3 4

請求項の数 1 (全 22 頁)

(21) 出願番号 特願2011-157927 (P2011-157927)  
(22) 出願日 平成23年7月19日 (2011. 7. 19)  
(65) 公開番号 特開2012-40368 (P2012-40368A)  
(43) 公開日 平成24年3月1日 (2012. 3. 1)  
審査請求日 平成24年4月17日 (2012. 4. 17)  
(31) 優先権主張番号 特願2010-165412 (P2010-165412)  
(32) 優先日 平成22年7月23日 (2010. 7. 23)  
(33) 優先権主張国 日本国 (JP)

(73) 特許権者 395018239  
株式会社高尾  
愛知県名古屋市市中川区中京南通三丁目2番地  
(72) 発明者 有田 武  
愛知県名古屋市市中川区太平通1丁目3番地  
株式会社高尾内  
審査官 大浜 康夫

最終頁に続く

(54) 【発明の名称】 遊技機

(57) 【特許請求の範囲】

【請求項 1】

遊技における当否判定に用いられる第1乱数を発生させる第1乱数発生手段と、少なくとも、前記第1乱数に基づく当否判定制御を行なう主制御手段と、該主制御手段の処理に用いられるデータを不揮発的に保持可能な第1RAMと、前記主制御手段からの指令に基づき、当該遊技機の遊技者に対して価値担体を払い出す制御を行なう払出制御手段と、該払出制御手段の処理に用いられるデータを不揮発的にデータを保持可能な第2RAMと、前記第1RAMおよび前記第2RAMの保持内容をクリアする時に操作されるクリアスイッチとを備えた遊技機において、

当該遊技機に通電されると起動して、該通電された際に前記クリアスイッチが操作されていたか否かを推定する推定手段と、

該推定手段により前記クリアスイッチが操作されていたと推定された場合に、該クリアスイッチが操作されていない状態に遷移したか否かを判定し、該状態に遷移したと判定した場合に非操作信号を出力する非操作信号出力手段と、

当該遊技機に通電されると起動して、前記第1乱数とは独立した第2乱数を、時間経過と共に更新させつつ発生させる第2乱数発生手段と、

前記非操作信号出力手段により非操作信号が出力されると、前記第2乱数発生手段が発生した乱数に基づいて算出した数値を、当否判定に用いる乱数の初期値として設定する初期値設定手段と

前記推定手段により、前記クリアスイッチが操作されていたと推定されると、少なくとも

10

20

も前記非操作信号出力手段により前記非操作信号が出力された後に、前記第1 RAMに保持されたデータをクリアする第1 RAMクリア手段と、

前記推定手段により、前記クリアスイッチが操作されていたと推定されると、前記非操作信号出力手段により前記非操作信号が出力されるのを待つことなく、前記第2 RAMに保持されたデータをクリアする第2 RAMクリア手段と、

前記推定手段により、前記クリアスイッチが操作されていなかったと推定されると、前記第1 RAMおよび前記第2 RAMに保持されたデータに基づいて当該遊技機の遊技状態を復旧する復旧手段と、

を備え、

前記推定手段は、

当該遊技機に通電された際に前記クリアスイッチが操作されていると、RAMクリア信号を予め定められた時間、出力するRAMクリア信号発生回路と、

該RAMクリア信号発生回路によりRAMクリア信号が出力されている場合に、当該遊技機に通電された際に前記クリアスイッチが操作されていたと判定する判定手段と

を備えたことを特徴とする遊技機。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、遊技機に関するものであり、特に、遊技状態を不揮発的に記憶し、電源を投入すると、電源断時の遊技状態を前記記憶に基づいて復旧可能に構成された遊技機に関するものである。

【背景技術】

【0002】

パチンコ機やパチスロ機と呼ばれる遊技機においては、内部で乱数を発生させ、始動入賞やレバー操作時に取得した乱数カウンタの値（以下単に乱数と言う）に応じて当否判定が主制御基板において行なわれている。例えばパチンコ機においては、始動入賞時に乱数を取得し、この値が予め定められた大当たり値（例えば7）であると、大当たり遊技を発生させるといったことが行なわれている。乱数カウンタは、所定の確率で大当たり値が発生するように構成されているが、狙い撃ちされないように、非周期的に大当たり値が発生するように設計されている。しかしながら、電源投入時などには、乱数カウンタに特有の初期値で乱数を生成する遊技機が多く、これでは大当たり値が発生するタイミングが初回に限り分かることになる。これを悪用して、遊技機に不正基板を取り付け、電源を遮断・再投入することにより大当たり値を狙い打つという不正行為が行なわれることがある。

【0003】

こうした不正行為を防止するために特許文献1では、乱数カウンタの値がパチンコ機固有の識別番号に一致するまで待機させることにより、電源投入から大当たり値が生成されるまでのタイミングをパチンコ機ごとに変化させている。

【先行技術文献】

【特許文献】

【0004】

【特許文献1】特開2005-040520号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

しかしながら、特許文献1に記載の発明においても、そのパチンコ機の識別番号が一旦特定されると、識別番号は変化しないので、その遊技機においては従来と同様に不正行為が繰り返し行なわれる可能性がある。遊技状態をRAMなどに不揮発的に記憶して、電源が遮断された後に再投入されると、電源断時の遊技状態を前記RAMなどに基づいて復旧する遊技機が多いが、こうした機種においても、RAMクリア操作を受けることにより、乱数が初期化されてしまい、前記と同様の不正行為が行なわれることがある。

10

20

30

40

50

また、ＲＡＭクリア操作が行なわれると、主制御基板の備えるＲＡＭだけでなく、払出制御基板（パチンコ機においては、遊技球を遊技者に払い出す制御を行なう回路基板）のＲＡＭもクリアされる。払出制御基板は、主制御基板から受信した払出指令信号に基づいて、払出装置を駆動して払出動作（パチンコ機においては、遊技球を遊技者に払い出す）を制御するものであるが、払出指令信号以外にも主制御基板から信号（例えば、払出制御基板が起動していることを確認するための信号）を受信することも考えられるので、ＲＡＭクリアを受けた払出制御基板が速やかに起動することも重要である。

本発明は係る課題に鑑みなされたものであり、遊技機の電源の入切を悪用した不正行為を防止するとともに、ＲＡＭクリア後も払出制御基板が速やかに起動可能にすることを目的とする。

10

【課題を解決するための手段】

【０００６】

上記課題を解決するためになされた本発明の請求項１記載の遊技機は、遊技における当否判定に用いられる第１乱数を発生させる第１乱数発生手段と、少なくとも、前記第１乱数に基づく当否判定制御を行なう主制御手段と、該主制御手段の処理に用いられるデータを不揮発的に保持可能な第１ＲＡＭと、前記主制御手段からの指令に基づき、当該遊技機の遊技者に対して価値担体を払い出す制御を行なう払出制御手段と、該払出制御手段の処理に用いられるデータを不揮発的にデータを保持可能な第２ＲＡＭと、前記第１ＲＡＭおよび前記第２ＲＡＭの保持内容をクリアする時に操作されるクリアスイッチとを備えた遊技機において、当該遊技機に通電されると起動して、該通電された際に前記クリアスイッチが操作されていたか否かを推定する推定手段と、該推定手段により前記クリアスイッチが操作されていたと推定された場合に、該クリアスイッチが操作されていない状態に遷移したか否かを判定し、該状態に遷移したと判定した場合に非操作信号を出力する非操作信号出力手段と、当該遊技機に通電されると起動して、前記第１乱数とは独立した第２乱数を、時間経過と共に更新させつつ発生させる第２乱数発生手段と、前記非操作信号出力手段により非操作信号が出力されると、前記第２乱数発生手段が発生した乱数に基づいて算出した数値を、当否判定に用いる乱数の初期値として設定する初期値設定手段と、前記推定手段により、前記クリアスイッチが操作されていたと推定されると、少なくとも前記非操作信号出力手段により前記非操作信号が出力された後に、前記第１ＲＡＭに保持されたデータをクリアする第１ＲＡＭクリア手段と、前記推定手段により、前記クリアスイッチが操作されていたと推定されると、前記非操作信号出力手段により前記非操作信号が出力されるのを待つことなく、前記第２ＲＡＭに保持されたデータをクリアする第２ＲＡＭクリア手段と、前記推定手段により、前記クリアスイッチが操作されていなかったと推定されると、前記第１ＲＡＭおよび前記第２ＲＡＭに保持されたデータに基づいて当該遊技機の遊技状態を復旧する復旧手段と、を備え、前記推定手段は、当該遊技機に通電された際に前記クリアスイッチが操作されていると、ＲＡＭクリア信号を予め定められた時間、出力するＲＡＭクリア信号発生回路と、該ＲＡＭクリア信号発生回路によりＲＡＭクリア信号が出力されている場合に、当該遊技機に通電された際に前記クリアスイッチが操作されていたと判定する判定手段とを備えたことを特徴とする。

20

30

【０００８】

本発明の参考例２は、参考例１の遊技機において、前記非操作信号は、前記ＲＡＭクリア信号の出力停止により実現されることを特徴とする。

40

本発明の参考例３は、請求項１、参考例１、参考例２のいずれかーに記載の遊技機において、前記非操作信号出力手段は、前記クリアスイッチが操作されていない状態に遷移したと判定してから所定時間後に前記非操作信号を出力するものであって、該所定時間は、少なくとも、当該遊技機の通電後、前記初期値設定手段が正常に稼動するまでに要する時間であることを特徴とする。

【発明の効果】

【０００９】

請求項１に記載の遊技機において、ＲＡＭクリアを行なうには、遊技機が通電されてい

50

ない状態からクリアスイッチを操作し、そのまま通電させる。すると、推定手段が、「通電された際にクリアスイッチが操作されていた」と推定する。すると非操作信号出力手段が、クリアスイッチが操作されていない状態に遷移したか否かを判定し、該状態に遷移したと判定した場合に非操作信号を出力する。そして初期値設定手段が、当否判定に用いる第1乱数の初期値として、第2乱数発生手段が発生した第2乱数に基づいて算出した数値を設定する。第2乱数発生手段は、第1乱数とは独立した第2乱数を、時間経過と共に更新させつつ発生させるものである。このため、非操作信号が発生された時点に応じて第2乱数の値は変化する。この第2乱数の値に基づいて算出された値を第1乱数の初期値として設定するので、RAMクリアの都度、第1乱数は異なる値となることが期待できる。これにより、大当たり値が発生するタイミングは同じ遊技機においてもRAMクリアをする度、変わることとなり、前述のような不正行為が極めて困難となる。

10

また、通電された際にクリアスイッチが操作されていたか否かは、推定手段が推定するので、非通電状態においてもクリアスイッチが操作されているか否かを常時監視している必要が無い。なお、推定手段が「通電された際にクリアスイッチが操作されていなかった」と推定した場合には、復旧手段が、第1RAMおよび第2RAMに保持されたデータに基づいて当該遊技機の遊技状態を復旧するので、第1乱数の値も電源断時の値に復旧することになり、不正行為をするのはやはり困難である。

#### 【0010】

クリアスイッチが操作されていた場合は、主制御手段のデータを記憶する第1RAM、ならびに払出装置のデータを記憶する第2RAMの双方がクリアされるが、そのタイミングが異なる。第1RAM内のデータは、非操作信号出力手段によって非操作信号が出力された後（直後とは限らない）に第1RAMクリア手段によってクリアされ、第2RAMに保持されたデータは、非操作信号が出力されるのを待たずに第2RAMクリア手段によってクリアされる。RAMがクリアされる場合、各制御手段が本来行う処理（メイン処理）は、当然、RAMクリア後でないと適切に実行できない。従って、払出制御手段においても非操作信号の出力を待ってRAMをクリアする構成に比べ、早い時点で払出制御手段が起動することが可能となる。

20

#### 【0011】

なお、主制御手段や払出制御手段を構成するコンピュータシステムでは、一般に起動時にセキュリティーチェックを行なうが、払出制御手段は価値担体（パチンコ機ならば遊技球、回胴式遊技機ならばメダル）を払い出すという単純な作業を行なうのに対し、主制御手段は前記乱数の発生、当否判定制御、払出制御手段に対する指令の出力など様々な処理（前述していない当選後の遊技動作全般を制御するのも通常、主制御手段が行なう）を行なう。このため、これらのプログラムを格納する主制御手段のROMは、一般に払出制御手段のROMよりも大容量となり、セキュリティーチェックには払出制御手段よりも時間が掛かる。主制御手段ではこのセキュリティーチェックに加え、前述のように非操作信号の出力を待つので、主制御手段のメイン処理が起動した時点では、既に払出制御手段のメイン処理が起動されている可能性は極めて高い。従って、払出制御手段は主制御手段より送信されてくる信号を着実に受信することができる。

30

#### 【0012】

なお、第1乱数の初期値は、第1乱数として出力されうる最初の値に限らない。例えば、一般に乱数を生成するに際し用いられるシード（乱数種）と呼ばれる値も第1乱数の初期値に含まれる。また、設定される値は第2乱数の値から算出されるわけだが、この「算出」には、第2乱数の値をそのまま用いる態様も含む。そのまま用いる場合の値は、元の値に0を加えたり、1倍したりしたものと解釈できるからである。また、第2乱数の値と、これに対応する第1乱数の初期値として設定すべき数値とを対応づけたテーブルを予め用意しておき、このテーブルを参照することにより第2乱数から算出された値を、第1乱数の初期値を設定することになる。

40

また、クリアスイッチに対する「操作」としては、クリアスイッチのタイプにより様々

50

な態様が考えられる。クリアスイッチがモーメンタリ動作をする押しボタンであれば、押すことが操作であり、スライドスイッチであれば、そのつまみを一方向にスライドさせることが操作であり、レバーであれば、そのレバーをいずれか一方に回動させることが操作である。なお、本発明の遊技機に対してRAMクリアを行なう操作者は、操作していたクリアスイッチの操作をやめる必要があるのだが、これは、クリアスイッチがスライドスイッチならスライドさせたつまみを元に戻す、レバーなら一方向に回動させたレバーを逆方向に回動させるという自然な動作である。特にクリアスイッチがモーメンタリ動作の押しボタンであれば、手や指をボタンから離すだけで非操作状態になるので好適である。

【0013】

更に本発明の遊技機では、推定手段の構成の一例を示している。すなわち、この推定手段は、RAMクリア信号発生回路と、判定手段とを備えている。RAMクリア信号発生回路は、当該遊技機に通電された際にクリアスイッチが操作されていると、RAMクリア信号を予め定められた時間、出力する（クリアスイッチが操作されていないと、RAMクリア信号は出力されない）。判定手段は、このRAMクリア信号が出力されている場合に、「当該遊技機に通電された際にクリアスイッチが操作されていた」と判定する。

【0014】

遊技機が通電されていない状態からクリアスイッチを操作し、そのまま通電させれば、RAMクリア信号発生回路が、予め定められた時間、RAMクリア信号を発生させるので、判定手段は、このRAMクリア信号を検出することにより「遊技機が通電された際に、クリアスイッチが操作されていた」と判定することができる。RAMクリア信号発生回路は、タイマー回路や順序回路等により容易に構成できるので、遊技機の非通電状態において、クリアスイッチが操作されているか否かをソフトウェア等で常時監視したり、クリアスイッチの立ち上がり（または立ち下がり。以下、立ち上がりで代表）を検知したりする必要が無い。本発明も立ち上がり検出であるが、それは「遊技機への通電」という遊技機の動作において必然的に発生する立ち上がり信号であるため、遊技機への通電状態が遮断された状態において、クリアスイッチへの操作の有無などを検出するための通電状態を別途用意する必要は無い。

なお、「予め定められた時間」とは、判定手段がRAMクリア信号を検出するまでに要する時間よりも長い時間であればいいが、数十msなどといった具体的な値とは限らない。例えば第2乱数の値に応じて変化させても良いし、参考例1のようにしてもよい。

【0015】

参考例1の遊技機では、非操作信号を、RAMクリア信号の出力停止により実現している。これに反し、非操作信号をRAMクリア信号とは別に構成しても構わないが、こうすると入力ポートなどにおいて、非操作信号のための設定が必要となる。この点、参考例1に記載の遊技機によれば、RAMクリア信号で非操作信号を兼用することになるので、RAMクリア信号さえ監視すればよい。例えば、当該遊技機に通電された際にクリアスイッチが操作されていると、RAMクリア信号をオンにし、クリアスイッチが操作されなくなるとRAMクリア信号をオフにすることが考えられる。また、クリアスイッチが操作されたことを、確実に判定手段に検知させるために、クリアスイッチが操作されなくなった時点から一定時間（例えば100ms）はRAMクリア信号をオンのままにしておいてもよい。こうすれば、判定手段がRAMクリア信号を確実に検出することと、クリアスイッチが非操作状態に遷移したことをRAMクリア信号だけで検出することと、非操作状態に遷移した時点に応じて第1乱数の初期値を変化させることを全て成立させることができる。また、参考例2のようにすることも考えられる。

【0016】

参考例2の遊技機の非操作信号出力手段は、クリアスイッチが操作されていない状態に遷移したと判定してから所定時間後に非操作信号を出力するものとなっている。この所定時間は、少なくとも、当該遊技機の通電後、初期値設定手段が正常に稼動するまでに要する時間となっている。

これに反し、クリアスイッチが操作されている状態から操作されていない状態に遷移す

10

20

30

40

50

ると直ちに非操作信号が出力されるように構成すると、第2乱数発生手段が発生した第2乱数に基づいて、当否判定に用いる第1乱数の初期値を初期値設定手段が設定しようとしても、初期値設定手段自体が正常に稼動していない可能性がある。なぜなら、操作者が通電とクリアスイッチに対する非操作をほぼ同時に行なう可能性があるからである。こうした場合には、非操作信号が出力されても、その際には通電後、間もないので、初期値設定手段が正常に動作せず、初期値が適切に設定されない恐れがある。

【0017】

この点、参考例2の遊技機では、たとえクリアスイッチが操作されていない状態に遷移しても、初期値設定手段が正常に稼動するまでに要する時間が経過するまでは非操作信号が出力されない。従って、非操作信号が検出されたときには、初期値設定手段は正常に稼動しているので、確実に初期値の設定を行なうことができる。なお、「当該遊技機の通電後、初期値設定手段が正常に稼動するまでに要する時間」とは、通電してから初期値設定手段が正常に稼動するまでに要する時間の全体を指しているのではない。前述のように、遊技機に通電すると、クリアスイッチが操作されているか否かを判定したり、その操作が停止されたか否かを判定したり等、様々な処理（前述したものに限らない）が初期値設定手段の稼動前に行なわれる。こうした様々な処理に要する時間は、「通電してから初期値設定手段が正常に稼動するまでに要する時間の全体」から差し引いてよい。

【図面の簡単な説明】

【0018】

【図1】本発明に係る遊技機の正面図

【図2】遊技機の遊技盤の正面図

【図3】遊技機の裏面図

【図4】遊技機の電気ブロック図

【図5】遊技機の要部の詳細電気構成を示すブロック図

【図6】遊技機の動作を示すタイミングチャート

【図7】遊技機の電源基板の正面図

【図8】遊技機を構成する主制御装置のCPUが電源投入時に実行する処理のフローチャート

【図9】主制御装置のCPUが実行するメイン処理のフローチャート

【図10】主制御装置のCPUが実行する初期値乱数設定処理のフローチャート

【図11】遊技機が備える払出制御装置のCPUが電源投入時に実行する処理のフローチャート

【図12】(a)が従来の主制御装置と払出制御装置にてRAMクリアを行なう際にそれぞれ行なわれる処理の概略を示すタイムチャート、(b)がRAMクリアを行なう際に主制御装置および払出制御装置の双方にてRAMクリア信号がオフとなるのを待つ場合の処理の概略を示すタイムチャート、(c)がRAMクリアを行なう際に主制御装置のみRAMクリア信号がオフとなるのを待つ場合の処理の概略を示すタイムチャート

【発明を実施するための形態】

【0019】

以下に本発明の好適な実施形態について説明する。尚、本発明の実施の形態は下記の実施例に何ら限定されるものではなく、本発明の技術的範囲に属する種々の形態を採ることができ、各実施例に記載された内容を適宜組み合わせることが可能なことはいうまでもない。

[実施例1]

【0020】

図1に示すように、弾球遊技機的一种であるパチンコ機50は、縦長の固定外郭保持枠をなす外枠51にて構成の各部を保持する構造である。外枠51の左側上下には、ヒンジ53が設けられており、該ヒンジ53の他方側には図3に記載する内枠70が取り付けられており、内枠70は外枠51に対して開閉可能な構成になっている。前枠52には、板ガラス61が取り外し自在に設けられており、板ガラス61の奥には図2に記載する遊技

10

20

30

40

50

盤 1 が内枠 7 0 に取り付けられている。

【 0 0 2 1 】

前枠 5 2 の上側左右及び外枠 5 1 の下側左右には、スピーカ 6 6 が設けられており、パチンコ機 5 0 から発生する遊技音が出力され、遊技者の趣向性を向上させる。また、遊技者の趣向性を向上させるために前枠 5 2 に遊技状態に応じて発光する枠側装飾ランプ 6 5 も複数設けられている。前枠 5 2 の下方には、上皿 5 5 と下皿 6 3 が一体に形成されている。下皿 6 3 の右側には発射ハンドル 6 4 が取り付けられており、該発射ハンドル 6 4 を時計回りに回転操作することによって発射装置（図示省略）が稼働して、上皿 5 5 から供給された遊技球が遊技盤 1 に向けて発射される。

【 0 0 2 2 】

下皿 6 3 の左側には、遊技者が操作可能な演出ボタン 6 7 が備えられており、遊技者が所定期間中に、該演出ボタン 6 7 を操作することで後述する演出図柄表示装置 6 に表示される内容が変化したり、スピーカ 6 6 より出力される遊技音が変化したりする。また、このパチンコ機 5 0 はいわゆる C R 機であって、プリペイドカードの読み書き等を行うためのプリペイドカードユニット（C R ユニット）5 6 が付属しており、パチンコ機 5 0 には、貸出ボタン 5 7、精算ボタン 5 8 及び残高表示器 5 9 を有する C R 精算表示装置が備わっている。

【 0 0 2 3 】

図 2 は、本実施例のパチンコ機 5 0 の遊技盤 1 の正面図である。なお、このパチンコ機 5 0 の全体的な構成は公知技術に従っているので図示及び説明は省略する。図 2 に示すように遊技盤 1 には、公知のガイドレール 2 a、2 b によって囲まれた略円形の遊技領域 3 が設けられている。この遊技領域 3 には多数の遊技釘 4 が打ち付けられている。

【 0 0 2 4 】

遊技領域 3 のほぼ中央部には、センターケース 5 が配されている。センターケース 5 は、公知のものと同様に、ワープ入口、ワープ通路、ステージ、演出図柄表示装置 6（液晶表示装置であり擬似図柄を表示する。）の画面 6 a を臨ませる窓 5 a 等を備えている。

窓 5 a の上側にはドットマトリクスの普通図柄表示装置 7 及び 7 セグメントの第 1 特別図柄表示装置 9 と第 2 特別図柄表示装置 1 0 と 4 個の L E D からなる普通図柄保留記憶表示装置 8 が設置され、下側には第 1 特別図柄保留記憶表示装置 1 8 と第 2 特別図柄保留数示装置 1 9 が設置されている。

センターケース 5 の向かって左横には普通図柄作動ゲート 1 7 が配置されている。センターケース 5 の下方には、第 1 始動口 1 1 と第 2 始動口 1 2 とがユニット化された複合入賞装置 1 3 が配置されている。

【 0 0 2 5 】

第 1 始動口 1 1 は、いわゆるチャッカーであり、常時入球可能である。

第 2 始動口 1 2 は電動チューリップであり、周知の電動チューリップと同様に開閉変化するが、上方に第 1 始動口 1 1 があるために図示の閉鎖状態では遊技球を入球させることができない。しかし、遊技球が普通図柄作動ゲート 1 7 を通過すると行われる普通図柄抽選で当り、普通図柄表示装置 7 に当りの普通図柄が確定表示されると、第 2 始動口 1 2 は開放されて入球容易になる。

【 0 0 2 6 】

複合入賞装置 1 3 の下方にはアタッカー式の大入賞口 1 4 が配置され、その下方にはアウト穴 1 5 が設けられている。また、複合入賞装置 1 3 の左側には第 1 左入賞口 3 1 と第 2 左入賞口 3 2 が、右側には第 1 右入賞口 3 3 と第 2 右入賞口 3 4 がガイドレール 2 b に沿うように設けられている。なお、この第 1 左入賞口 3 1、第 2 左入賞口 3 2、第 1 右入賞口 3 3、第 2 右入賞口 3 4 が、常時、入球率が変化しない普通入賞口である。

【 0 0 2 7 】

パチンコ機 5 0 の裏面は図 3 に示すとおり、前述した遊技盤 1 を脱着可能に取り付ける内枠 7 0 が前述した外枠 5 1 に収納されている。この内枠 7 0 には、上方から、球タンク 7 1、タンクレール 7 2 及び払出装置 7 3 が設けられている。この構成により、遊技盤 1

10

20

30

40

50

上の入賞口に遊技球の入賞があれば球タンク 7 1 からタンクレール 7 2 を介して所定個数の遊技球を払出装置 7 3 により前述した上皿 5 5 に排出することができる。また、パチンコ機 5 0 の裏側には、主制御装置 8 0、払出制御装置 8 1、演出図柄制御装置 8 2、サブ統合制御装置 8 3、発射制御装置 8 4、電源基板 8 5 が設けられている。なお、演出図柄制御装置 8 2、サブ統合制御装置 8 3 がサブ制御装置に該当する。

#### 【 0 0 2 8 】

主制御装置 8 0、演出図柄制御装置 8 2、サブ統合制御装置 8 3 は遊技盤 1 に設けられており、払出制御装置 8 1、発射制御装置 8 4、電源基板 8 5 が内枠 7 0 に設けられている。なお、図 3 では、発射制御装置 8 4 が描かれていないが、発射制御装置 8 4 は払出制御装置 8 1 の下に設けられている。また、球タンク 7 1 の右側には、外部接続端子 7 8 が設けられており、この外部接続端子 7 8 より、遊技状態や遊技結果を示す信号が図示しないホールコンピュータに送られる。なお、従来はホールコンピュータへ信号を送信するための外部接続端子 7 8 には、盤用（遊技盤側から出力される信号をホールコンピュータへ出力するための端子）と枠用（枠側（前枠 5 2、内枠 7 0、外枠 5 1）から出力される信号をホールコンピュータへ出力するための端子）の 2 種類を用いているが、本実施例では、一つの外部接続端子 7 8 を介してホールコンピュータへ遊技状態や遊技結果を示す信号を送信している。

10

#### 【 0 0 2 9 】

このパチンコ機 5 0 の電氣的構成は、図 4 のブロック図に示すとおり、主制御装置 8 0 を中心にして構成されている。なお、このブロック図には、単に信号を中継するためのいわゆる中継基板及び電源回路等は記載していない。また、詳細の図示は省略するが、主制御装置 8 0、払出制御装置 8 1、演出図柄制御装置 8 2、サブ統合制御装置 8 3 のいずれも CPU、ROM、RAM、入力ポート、出力ポート等を備えているが、本実施例では発射制御装置 8 4 には CPU、ROM、RAM は設けられていない。しかし、これに限るわけではなく、発射制御装置 8 4 に CPU、ROM、RAM 等を設けてもよい。

20

#### 【 0 0 3 0 】

主制御装置 8 0 には、第 1 始動口 1 1 に入球した遊技球を検出する第 1 始動口スイッチ 1 1 a、第 2 始動口 1 2 に入球した遊技球を検出する第 2 始動口スイッチ 1 2 a、普通図柄作動ゲート 1 7 に進入した遊技球を検出する普通図柄作動スイッチ 1 7 a、大入賞口 1 4 に入球した遊技球を計数するためのカウントスイッチ 1 4 a、第 1 左入賞口 3 1、第 2 左入賞口 3 2 に入球した遊技球を検出する左入賞口スイッチ 3 1 a、第 1 右入賞口 3 3、第 2 右入賞口 3 4 に入球した遊技球を検出する右入賞口スイッチ 3 3 a 等の検出信号が入力される。

30

#### 【 0 0 3 1 】

主制御装置 8 0 は搭載しているプログラムに従って動作して、上述の検出信号などに基づいて遊技の進行に関わる各種のコマンドを生成して払出制御装置 8 1 及びサブ統合制御装置 8 3 に出力する。

また主制御装置 8 0 は、図柄表示装置中継端子板 9 0 を介して接続されている第 1 特別図柄表示装置 9、第 2 特別図柄表示装置 1 0 及び普通図柄表示装置 7 の表示、第 1 特別図柄保留記憶表示装置 1 8、第 2 特別図柄保留数表示装置 1 9 及び普通図柄保留記憶表示装置 8 の点灯を制御する。

40

#### 【 0 0 3 2 】

更に、主制御装置 8 0 は、大入賞口ソレノイド 1 4 b を制御することで大入賞口 1 4 の開閉を制御し、普通電動役物ソレノイド（図 4 では普電役物ソレノイドと表記）1 2 b を制御することで第 2 始動口 1 2 の開閉を制御する。

主制御装置 8 0 からの出力信号は試験信号端子にも出力される他、図柄変動や大当り等の管理用の信号が外部接続端子 7 8 に出力されてホールメインコンピュータに送られる。主制御装置 8 0 と払出制御装置 8 1 とは双方向通信が可能である。

#### 【 0 0 3 3 】

払出制御装置 8 1 は、主制御装置 8 0 から送られてくるコマンドに応じて払出モータ 2

50



0を稼働させて賞球を払い出させる。本実施例においては、賞球として払い出される遊技球を計数するための払出センサ21の検出信号は払出制御装置81に入力され、払出制御装置81で賞球の計数が行われる構成を用いる。この他にも主制御装置80と払出制御装置81に払出センサ21の検出信号が入力され、主制御装置80と払出制御装置81の双方で賞球の計数を行う構成を用いることも考えられる。

#### 【0034】

なお、払出制御装置81はガラス枠開放スイッチ35、内枠開放スイッチ36、満杯スイッチ22、球切れスイッチ23からの信号が入力され、満杯スイッチ22により下皿63が満タンであることを示す信号が入力された場合及び球切れスイッチ23により球タンクに遊技球が少ないあるいは無いことを示す信号が入力されると払出モータ20を停止させ、賞球の払出動作を停止させる。なお、満杯スイッチ22、球切れスイッチ23も、その状態が解消されるまで信号を出力し続ける構成になっており、払出制御装置81は、その信号が出力されなくなることに起因して払出モータ20の駆動を再開させる。

#### 【0035】

また、払出制御装置81は遊技球等貸出装置接続端子24を介してプリペイドカードユニットと通信することで払出モータ20を作動させ、貸し球を排出する。払出された貸し球は払出センサ21に検出され、検出信号は払出制御装置81に入力される。なお、遊技球等貸出装置接続端子24は精算表示基板25とも双方向通信可能に接続されており、精算表示基板25には、遊技球の貸出しを要求するための球貸ボタン、精算を要求するための返却ボタン、残高表示器が接続されている。

#### 【0036】

また、払出制御装置81は、外部接続端子78を介して賞球に関する情報、枠（内枠、前枠）の開閉状態を示す情報などをホールコンピュータに送信するほか、発射制御装置84に対して発射停止信号を送信する。

なお本実施例では遊技球を払い出す構成であるが、入賞等に応じて発生した遊技球を払い出さずに記憶する封入式の構成にしても良い。

#### 【0037】

発射制御装置84は発射モータ30を制御して、遊技球を遊技領域3に遊技球を発射させる。なお、発射制御装置84には払出制御装置81以外に発射ハンドルからの回動量信号、タッチスイッチ28からのタッチ信号、発射停止スイッチ29から発射停止信号が入力される。

回動量信号は、遊技者が発射ハンドルを操作することで出力され、タッチ信号は遊技者が発射ハンドルを触ることで出力され、発射停止スイッチ信号は、遊技者が発射停止スイッチ29を押すことで出力される。なお、タッチ信号が発射制御装置84に入力されていなければ、遊技球は発射できないほか、発射停止スイッチ信号が入力されているときには、遊技者が発射ハンドルを触っていても遊技球は発射できないようになっている。

#### 【0038】

サブ統合制御装置83はサブ制御装置に該当し、主制御装置80から送信されてくるデータ及びコマンドを受信し、それらを演出表示制御用、音制御用及びランプ制御用のデータに振り分けて、演出表示制御用のコマンド等は演出図柄制御装置82に送信し、音制御用及びランプ制御用は自身に含まれている各制御部位（音声制御装置及びランプ制御装置としての機能部）に分配する。そして、音声制御装置としての機能部は、音声制御用のデータに基づいて音LSIを作動させることによってスピーカからの音声出力を制御し、ランプ制御装置としての機能部はランプ制御用のデータに基づいてランプドライバを作動させることによって各種LED、ランプ26を制御する。また、サブ統合制御装置83には、演出ボタン67が接続されており、遊技者が演出ボタン67を操作した際には、その信号がサブ統合制御装置83に入力される。

#### 【0039】

サブ統合制御装置83と演出図柄制御装置82とは双方向通信が可能である。

演出図柄制御装置82は、サブ統合制御装置83から受信したデータ及びコマンド（共

10

20

30

40

50

に主制御装置 80 から送信されてきたものとサブ統合制御装置 83 が生成したものとがある)に基づいて演出図柄表示装置 6 を制御して、擬似図柄等の演出画像を画面 6a に表示させる。

#### 【0040】

図 5 に電源基板 85 と、主制御装置 80、払出制御装置 81 を含む遊技機各部との間の給電および信号系を示す。各パチンコ遊技機の電源基板 85 は、パチンコ店側に設けられた AC 24V 電源を電源スイッチ 671 を介して電源生成回路 672 が受けており、電源生成回路 672 が、図示の主制御装置 81、払出制御装置 81 を含む遊技機各部に給電する。電源スイッチ 671 はオンまたはオフの操作をするとその状態を保持するタイプが利用される。

10

#### 【0041】

電源生成回路 672 における全波 24V 出力は電源電圧監視回路 673 に入力し、電源電圧監視回路 673 による全波 24V 出力の有無の検出結果に基づいてリセット信号発生回路 674 がリセット信号を出力もしくは解除する。すなわち、電源電圧監視回路 673 は所定の基準電圧以上の非出力状態が所定の時間、維持すれば全波 24V 出力停止と判断し、リセット信号発生回路 674 は全波 24V 出力停止との判断に応じてリセット信号を出力する。一方、全波 24V 出力が開始されるとリセット信号は解除される。ここで、リセット信号の出力とはロウレベルの信号を出力することであり、解除とはロウレベルからハイレベルに変化することをいう。なお、リセット信号の解除は、全波 24V 出力の検出時点から遅延時間  $T_a$  の後なされる。

20

#### 【0042】

リセット信号発生回路 674 の出力は主制御装置 81、払出制御装置 81 それぞれの CPU 611、621 のリセット端子に出力される。

#### 【0043】

電源電圧監視回路 673 の出力を入力として停電信号発生回路 675 が設けてあり、停電等の電源遮断時に停電信号を各制御装置 CPU 611、621 の NMI 端子に出力するようになっている。停電信号は電源遮断に伴ってハイレベルからロウレベルに変化する信号であり、リセット信号が出力するに先立って出力するように出力タイミングが設定されている。

#### 【0044】

また、電源基板 85 は、コンデンサを含み構成されたバックアップ電源生成回路 678 により DC 5V のバックアップ電源 (VBB) を生成する構成となっており、バックアップ電源 (VBB) 出力は各制御基板 CPU 611、621 のバックアップ端子 (VBB) に出力され、停電時には後述するように各制御装置 CPU 611、621 の RAM の記憶内容を保持する。

30

#### 【0045】

電源基板 85 はまた、RAM クリアスイッチ 676 を備えている。RAM クリアスイッチ 676 は CPU 611、621 の各 RAM 615、625 に記憶されている内容をクリアするために設けられる。

#### 【0046】

RAM クリアスイッチ 676 には押下時のみオンする押し釦タイプのものが用いられ、上記リセット信号の解除時に RAM クリアスイッチ 676 がオンであれば、RAM クリア信号発生回路 677 が、ハイレベルの信号である RAM クリア信号を主制御装置 80、払出制御装置 81 それぞれの入力ポート 613、623 に所定時間 (後述) の間、出力する。すなわち、RAM クリア信号はリセット信号が解除される電源投入時のみ出力される。ここで電源スイッチ 671 のオンからリセット信号解除までの遅延時間  $T_a$  は例えば 100ms に設定され、RAM クリア信号を発生せしめるには RAM クリアスイッチ 676 を押下しながら電源スイッチ 671 をオンすることになる。なお、各制御装置 CPU 611、621 は入力ポート 613、623 における RAM クリア信号の有無をデータバスを介して監視する。

40

50

## 【 0 0 4 7 】

図 6 に R A M クリアスイッチ 6 7 6 を押下しながら電源スイッチ 6 7 1 をオンし電源基板 8 5 から給電を開始した時の電源基板 8 5、および主制御装置 8 0 の各部の作動状態を示す。

## 【 0 0 4 8 】

電源スイッチ 6 7 1 のオン（電源投入時）から時間  $T_a$  経過後にリセット信号が解除され、このリセット信号解除が有効になると、主制御装置 C P U 6 1 1 がセキュリティーチェックを開始する。図示はされていないが、払出制御装置 8 1 の C P U 6 2 1 もリセット信号解除が有効になった時点からセキュリティーチェックを行なう。セキュリティーチェック時間  $T_1$  は C P U の種類、システムクロック周波数等にもよるが、本具体例において主制御装置 C P U 6 1 1 では 1 8 5 m s とした。なお、セキュリティーチェックとは、周知のごとくワンチップマイコンである各 C P U 6 1 1、6 2 1 等が遊技の進行内容を書き込んだ R O M の内容が正規の内容であるか否かをチェックすることである。

10

## 【 0 0 4 9 】

パチンコ機 5 0 においては、主制御装置 C P U 6 1 1 のセキュリティーチェック時間  $T_1$  は、払出制御装置 C P U 6 2 1 のセキュリティーチェックに要する時間より長く掛かる。このため、主制御装置 C P U 6 1 1 のセキュリティーチェック完了時には払出制御装置 C P U 6 2 1 はセキュリティーチェックが完了し、主制御装置 C P U 6 1 1 が R O M に書き込まれたプログラムにしたがって遊技の制御を開始する時には、払出制御装置 C P U 6 2 1 は既に遊技の制御を実行している。この結果、電源投入後、主制御装置 C P U 6 1 1 が直ちに払出制御装置 C P U 6 2 1 にデータを送信しても、払出制御装置 C P U 6 2 1 はセキュリティーチェックを終え自身の制御を実行しているので確実にデータを受信することができる。

20

## 【 0 0 5 0 】

一方、R A M クリアスイッチ 6 7 6 を押しながら電源スイッチ 6 7 1 をオンしているので、リセット信号が解除された時点から所定時間の間、R A M クリア信号が出力されることになる。この「所定時間」は、リセット信号が解除された時点から R A M クリアスイッチ 6 7 6 が押されるのが停止（一般には、操作者が R A M クリアスイッチ 6 7 6 から手を離すことにより実現）されるまでの時間に、 $T_3$  を加えた時間である。ここで、 $T_3$  とは、電源投入時に R A M クリアスイッチ 6 7 6 が押されていた場合に、主制御装置 C P U 6 1 1 のセキュリティーチェックが終了して、後述する電源投入時の処理を開始する（正確には同処理の S 1 0（図 8 参照）を実行する）時点で、主制御装置 C P U 6 1 1 が R A M クリア信号を確実に検知するために確保された時間である。一般に、操作者が電源スイッチ 6 7 1 をオンしてから R A M クリアスイッチ 6 7 6 から手を離すまでの時間は、主制御装置 C P U 6 1 1 のセキュリティーチェックに要する時間よりも十分長いと考えられるが、操作者が性急に R A M クリアスイッチ 6 7 6 から手を離れた場合を考慮して、主制御装置 C P U 6 1 1 のセキュリティーチェックに要する 1 8 5 m s よりも長い時間である 3 0 0 m s を  $T_3$  としている。これは、R A M クリア信号発生回路 6 7 7 が、R A M クリアスイッチ 6 7 6 が押されるのが停止されるのを検知すると、そこから更に  $T_3$  の後に R A M クリア信号を停止することにより実現される。これにより、R A M クリア信号が停止される時点は、操作者が R A M クリアスイッチ 6 7 6 から手を離れた時点に対応して変化する。

30

40

## 【 0 0 5 1 】

また、電源スイッチ 6 7 1、R A M クリアスイッチ 6 7 6 は、図 7 に示すように、いずれも電源基板 8 5 の一方の面に固定されており、電源基板 8 5 は、これらスイッチ 6 7 1、6 7 6 固定面側から樹脂を成形した箱状のカバーにより覆われている。電源スイッチ 6 7 1 および R A M クリアスイッチ 6 7 6 はカバーから露出されて互いに近接配置されている。このため、カバーを外すことなく、片手で両スイッチ 6 7 1、6 7 6 を同時に操作可能となっている。

## 【 0 0 5 2 】

50

電源投入時に主制御装置 80 の CPU 611 により実行される処理について図 8 を用いて説明する。電源スイッチ 671 が操作されてパチンコ機 50 が通電状態になり、リセット信号が解除され、CPU 611 自身のセキュリティーチェックが終了すると、本処理が起動され、電源投入の初期処理を実行する (S5)。そして RAM クリア信号がオンか否かを判定する (S10)。RAM クリア信号は、上述したように、リセット信号の解除時に RAM クリアスイッチ 676 がオン状態であれば H (オン) になるものなので、これは実質的に、電源投入時に RAM クリアスイッチ 676 がオン状態だったか否かを判定していることになる。

#### 【0053】

RAM クリア信号がオンではなかったとき (S10: no) は、主制御装置 80 を電源断時の状態に復旧する。そのためにまず、電源断時の発生情報が正常か否かを判定し (S15)、正常であれば (S15: yes)、RAM の判定値を算出し (S20)、その判定値が正常か否かを判定する (S25)。ここで RAM の判定値とは、電源断時に RAM に保存された値で、S25 では、S20 で算出された値と、RAM に保存された値が一致するか否かを判定する。判定値が正常、すなわち判定値が保存された値と一致していれば (S25: yes)、電源復帰時の処理 (例えば、電源断時の発生情報をクリアしたり、サブ統合制御装置 83 を電源断時の遊技状態に復帰させるためのコマンドを送信したりする) を行なう (S30)。そして割り込み設定を行い (S35)、メインルーチンに移行する。

#### 【0054】

RAM クリア信号がオンだったとき (S10: yes) は、主制御装置 80 を初期状態に戻す。そのためにまず、S40 の無限ループにて RAM クリア信号がオフになるのを待つ。オフになったら RAM の全てを 0 クリアし (S45)、初期値乱数設定処理を実行する (S50)。こうして初期値乱数設定処理が終了すると RAM の初期設定を行い (S55)、割り込み設定を行い (S60)、メインルーチンに移行する。

#### 【0055】

初期値乱数設定処理を図 10 に示す。本処理が起動すると、まずハード乱数を取得する (S200)。ハード乱数とは、主制御装置 80 の CPU 611 が備える乱数生成回路 616 (図 5 参照) により発生される乱数値である。乱数生成回路 616 は、CPU 611 の通電と略同時に起動 (図 6 も参照) し、0 ~ 65535 の値を、1 周期内では重複なく一定の規則 (例えば 0 1 2 ... 65535 0 ...) で更新し生成する。なお、CPU 611 の乱数生成回路 616 の周期は 50 ms となっている。電源投入から初期値乱数設定処理 (S50) を実行するまでの時間は、S40 の無限ループを何回繰り返すかによって変化する。この繰り返し回数は、RAM クリアスイッチ 676 を押しながら電源スイッチ 671 をオンにしてから、RAM クリアスイッチ 676 を押すのをやめるまでの時間 (以下、操作時間という) によって決まることになる。これ以外の要因としては、温度変化などによる CPU 611 の動作クロックの周期変化も考えられるが、操作時間のばらつきの方が圧倒的に大きいので、操作時間が支配的となる。操作時間は上記操作の都度、変化すると考えられるので、初期値乱数設定処理でソフト乱数の初期値として設定される値は毎回異なると期待できる。

#### 【0056】

こうして取得したハード乱数を、大当り決定用乱数の最大値 + 1 で割った余り ( とする) を算出する (S205)。パチンコ機 50 では大当り決定用乱数の最大値は 349 となっており (後述)、S205 では  $349 + 1$ 、すなわち 350 でハード乱数の取得値を割ることになる。例えば S200 で取得したハード乱数が 65000 だった場合、350 で割ると商が 185、余りが 250 となるので、 $\text{余り} = 250$  である。S210 では、この余りをソフト乱数の初期値として設定し、終了 (図 8 の処理にリターン) する。

#### 【0057】

メインルーチンを図 9 に従って説明する。なお、図 8 ではメインルーチンを、電源投入時の処理に引き続き実行される処理であるかのように示したが、実際にはメインルーチン

10

20

30

40

50

は、S 3 5 または S 6 0 までの処理を実行した後、約 2 m s 毎のハード割り込みにより繰り返し実行される。本実施形態では、当該メインルーチンが 1 回起動されるごとに S 1 0 0 ~ S 1 5 5 までの 1 回だけ実行される処理を「本処理」と称し、この本処理を実行して余った時間内に時間の許す限り繰り返し実行される S 1 6 0 の処理を「残余処理」と称する。「本処理」は上記割り込みにより定期的に行われることになる。

#### 【 0 0 5 8 】

マイコンによるハード割り込みが実行されると、まず正常割り込みであるか否かが判断される ( S 1 0 0 )。この判断処理は、メモリとしての R A M の所定領域の値が所定値であるか否かを判断することにより行われ、マイコンにより実行される処理が本処理に移行したとき、通常の処理を実行して良いのか否かを判断するためのものである。正常割り込みでない場合としては、電源投入時又はノイズ等によるマイコンの暴走等が考えられるが、マイコンの暴走は近年の技術の向上によりほとんど無いものと考えて良いので、たいていが電源投入時である。電源投入時には R A M の所定領域の値が所定値と異なる値となっている。

#### 【 0 0 5 9 】

正常割り込みでない判断されると ( S 1 0 0 : n o )、初期設定 (例えば前記メモリの所定領域への所定値を書き込み、特別図柄及び普通図柄を初期図柄とする等のメモリの作業領域への各初期値の書き込み等) が為され ( S 1 0 5 )、残余処理 ( S 1 6 0 ) に移行する。

#### 【 0 0 6 0 】

正常割り込みとの肯定判断がなされると ( S 1 0 0 : y e s )、初期値乱数更新処理が実行される ( S 1 1 0 )。この処理は、初期値乱数の値についてこの処理を実行する毎に + 1 するインクリメント処理であり、この処理実行前の初期値乱数の値に + 1 するが、この処理を実行する前の乱数値が最大値である「 3 4 9 」のときには次の処理で初めの値である「 0 」に戻り、「 0 」 ~ 「 3 4 9 」までの 3 5 0 個の整数を繰り返し昇順に作成する。

#### 【 0 0 6 1 】

S 1 1 0 に続く大当たり決定用乱数更新処理 ( S 1 1 5 ) は、初期値乱数更新処理と同様に処理を実行する毎に + 1 するインクリメント処理であり、最大値である「 3 4 9 」のときは次の処理で初めの値である「 0 」に戻り、「 0 」 ~ 「 3 4 9 」までの 3 5 0 個の整数を繰り返し昇順に作成する。なお、大当たり決定用乱数の最初の値は、初期値乱数設定処理で設定された値となる。前述の例では、 = 2 5 0 であったから、大当たり決定用乱数は「 2 5 0 」 「 2 5 1 」 「 2 5 2 」 . . . 「 3 4 9 」 「 0 」 「 1 」 . . . と更新されていく。

#### 【 0 0 6 2 】

なお、大当たり決定用乱数が 1 巡 ( 3 5 0 回、更新されること ) すると、そのときの前記初期値乱数の値を大当たり決定用乱数の初期値にし、大当たり決定用乱数は、その初期値から + 1 するインクリメント処理を行う。そして、再び大当たり決定用乱数が 1 巡すると、その時の初期値乱数の値を大当たり決定用乱数の初期値にする動作を行なう。つまり、この一連の動作を繰り返し続けることになる。前述の例では大当たり決定用乱数が「 2 4 9 」になると 1 巡であるから、「 2 4 9 」の次は前記初期値乱数の値となる。仮に初期値乱数の値が「 8 7 」だったとすると、「 2 4 9 」 「 8 7 」 「 8 8 」 . . . 「 3 4 9 」 「 0 」 「 1 」 . . . 「 8 6 」と変化していき、「 8 6 」の次は新たな前記初期値乱数の値となる。

大当たり図柄決定用乱数更新処理 ( S 1 2 0 ) は「 0 」 ~ 「 9 」の 1 0 個の整数を繰り返し作成するカウンタとして構成され、本処理毎に + 1 され最大値を超えると初めの値である「 0 」に戻る。

#### 【 0 0 6 3 】

S 1 2 0 に続く大当たり決定用乱数更新処理 ( S 1 2 5 ) は、「 0 」 ~ 「 5 」の 6 個の整数を繰り返し作成するカウンタとして構成され、本処理毎で + 1 され最大値を超えると初めの値である「 0 」に戻る。なお、当選することとなる値の数は通常確率状態時、高確率状

10

20

30

40

50

態時ともに3であり、値は「0」、「3」、「5」である。なお、この当り決定用乱数更新処理は普通図柄の抽選に使用し、その他の初期値乱数、大当り決定用乱数、大当り図柄決定用乱数、リーチ判定用乱数、変動パターン決定用乱数は特別図柄の抽選に使用する。

【0064】

リーチ判定用乱数更新処理(S130)は、「0」～「228」の229個の整数を繰り返し作成するカウンタとして構成され、本処理毎で+1され最大値を超えると初めの値である「0」に戻る。なお、通常確率状態時で変動時間短縮機能未作動時に当選する値の数は21で、値は「0」～「20」であり、通常確率状態時で変動時間短縮機能作動時に当選する値の数は5で、値は「0」～「4」であり、高確率状態時に当選する値の数は6

10

【0065】

変動パターン決定用乱数更新処理(S135)は、「0」～「1020」の1021個の整数を繰り返し作成するカウンタとして構成され、本処理毎で+1され最大値を超えると初めの値である「0」に戻る。なお、大当り決定用乱数、大当り図柄決定用乱数、当り決定用乱数、リーチ判定用乱数、変動パターン決定用乱数を、前述のハード乱数に対してソフト乱数と呼ぶ(図6も参照)。

【0066】

続く入賞確認処理(S140)では、第1始動口11、第2始動口12の入賞の確認及びパチンコ機50に設けられ主制御装置80に接続された各スイッチ類の入力処理が実行

20

される。本実施例では、遊技球が第1始動口11、第2始動口12に入賞すると大当り決定用乱数、大当り図柄決定用乱数、変動パターン決定用乱数、リーチ判定用乱数など複数の乱数を取得されるのだが、保留記憶できる数を第1始動口11と第2始動口12それぞれ4個までとしており、第1保留記憶が満タンである4個のときに遊技球が第1始動口11に入賞又は第2保留記憶が満タンである4個のときに遊技球が第2始動口12に入賞しても賞球が払出されるだけで、前記複数の乱数は保留記憶されない構成になっている。

【0067】

続いて、大当りか否かを判定する条件成立判定手段としての当否判定処理(S145)を行う。この当否判定処理(S145)が終了すると、続いて画像出力処理等の各出力処理(S150)が実行される。

30

【0068】

各出力処理(S150)では、遊技の進行に応じて主制御装置80は演出図柄制御装置82、払出制御装置81、発射制御装置84、サブ統合制御装置83、大入賞口ソレノイド14b等に対して各々出力処理を実行する。即ち、入賞確認処理(S140)により遊技盤1上の各入賞口に遊技球の入賞があることが検知されたときには賞球としての遊技球を払い出すべく払出制御装置81に賞球データを出力する処理を、遊技状態に対応したサウンドデータをサブ統合制御装置83に出力する処理を、パチンコ機50に異常があるときにはエラー中であることを報知すべく演出図柄制御装置82にエラー信号を出力する処理を各々実行する。

40

【0069】

続く不正監視処理(S155)は、普通入賞口(第1左入賞口31、第2左入賞口32、第1右入賞口33、第2右入賞口34)に対する不正が行われていないか監視する処理であり、所定時間内における入賞口への遊技球の入球が予め決定された規定数よりも多いか否かを判断して、多かった場合には不正と判断され、その旨を報知する処理である。つまり、不正判断手段は、主制御装置80に設けている。

【0070】

本処理に続く前述の残余処理は、初期値乱数更新処理(S160)から構成されるが、前述したS110と全く同じ処理である。この処理は無限ループを形成し、次の割り込みが実行されるまで時間の許される限り繰り返し実行される。前述したS100～S155

50

までの本処理を実行するのに必要とされる時間は、大当たり処理を実行するか否か、特別図柄の表示態様の相違等により割り込み毎に異なる。この結果、残余処理を実行する回数も割り込み毎に異なり、図9に示された割り込み処理が1回実行されることにより初期値乱数に更新される値も一律ではなくなる。これにより、初期値乱数が大当たり決定用乱数と同期する可能性は極めて小さくなる。大当たり決定用乱数が1巡したときの、初期値乱数の値(0~349の350通り)が、同程度に発生するとすれば、同期する確率はわずか1/350である。また、前述した大当たり決定用乱数更新処理(S125)も残余処理内において実行するよう構成しても良い。

【0071】

電源投入時に払出制御装置81のCPU621により実行される処理について図11を用いて説明する。電源スイッチ671が操作されてパチンコ機50が通電状態になり、リセット信号が解除され、CPU621自身のセキュリティーチェックが終了すると、本処理が起動され、電源投入の初期処理を実行する(S200)。そしてRAMクリア信号がオンか否かを判定する(S205)。上述したように、これは実質的に、電源投入時にRAMクリアスイッチ676がオン状態だったか否かを判定していることになる。

【0072】

RAMクリア信号がオンではなかったとき(S205: no)は、払出制御装置81を電源断時の状態に復旧する。そのためにまず、停電復旧情報が設定されているか否かを判定し(S210)、設定されていれば(S210: yes)、現在のRAMに記録されているデータのチェックサムを算出し(S215)、その値が電源断時に同様に算出したチェックサムと一致している(チェックサムが正常)か否かを判定する(S220)。保存したチェックサムと一致していれば(S220: yes)、保存対象を除いた部分のRAM領域をクリアする(S225)。そしてクリアした領域に初期値を書き込み(S240)、台READY信号をオンし(S245)、CTCを設定する(S250)。ここで台READY信号とは、CRユニット56に払い出し動作が可能であることを伝達する信号である。CTCとは、払出制御装置81で行なうタイマ割込みの割込み周期を設定するもので、CTCの設定が終了すると、割り込み設定を行い(S255)、払出制御装置81のメインルーチン(図示省略)に移行する。

【0073】

RAMクリア信号がオンだったとき(S205: yes)は、払出制御装置81を初期状態に戻す。そのためにまず、RAMの全てを0クリアし(S230)、保存の対象のRAMの初期設定(S235)を行なってからS240に移行する。

つまり、図8に示した主制御装置80における電源投入時処理では、RAMクリア信号がオンだった場合に、再びそのRAMクリア信号がオフになるのをS40(図8)の無限ループを実行することにより待ったが、図11に示す払出制御装置81における電源投入時処理では、RAMクリア信号がオンだったときに、RAMクリア信号がオフになるのを待たずにすぐに全てのRAMをクリアする。

【0074】

この結果、主制御装置80と払出制御装置81の電源投入時の処理の実行タイミングは図12のようになる。図12(a)が通常の電源投入の場合のタイムチャート、図12(b)がRAMクリアを行なう際に主制御装置および払出制御装置の双方にてRAMクリア信号がオフとなるのを待つ場合のタイムチャート、図12(c)がRAMクリアを行なう際に主制御装置のみRAMクリア信号がオフとなるのを待つ場合のタイムチャートである。

通常の電源オンでは、図12(a)に示すように、主制御装置80、払出制御装置81とも電源が投入されるとそれぞれセキュリティーチェックを行い、引き続き電源投入時の処理を行い、各制御装置80、81本来の処理(メイン処理)を行なう。主制御装置80のCPU611は払出制御装置81のCPU621よりもクロック周波数が高い等の理由で高性能のものが用いられるが、主制御装置80のROM614が払出制御装置81のROM624よりも容量が大きいため、セキュリティーチェックに時間が掛かる。これによ

10

20

30

40

50

り払出制御装置 8 1 の投入時処理の方が主制御装置 8 0 の投入時処理よりも早く開始され、且つ早く終了する。この結果、主制御装置 8 0 がメイン処理を開始したときには、既に払出制御装置 8 1 は自身のメイン処理を開始した状態となっており、払出制御装置 8 1 は主制御装置 8 0 から送信されるコマンドを取りこぼすことなく処理を行なうことが可能にされている。

#### 【 0 0 7 5 】

一方、R A M クリアを行なった際には、図 1 2 ( b ) に示すように、主制御装置 8 0 は、セキュリティチェックの後、R A M クリア信号がオンの間、無限ループ ( 図 8 の S 4 ) を行なう分だけ処理が遅延する。そして R A M クリア信号がオフ ( R A M クリアスイッチ 6 7 6 から手を離す。図 1 2 では「非操作」と記載 ) となると、電源投入時の処理を開始し、主制御装置 8 0 本来の処理 ( メイン処理 ) を行なう。このとき、払出制御装置 8 1 も同様に、R A M クリア信号がオフとなるのを待つと、主制御装置 8 0 と略同時に電源投入時の処理を行なうことになるため、主制御装置 8 0 がメイン処理を行なう時点では、払出制御装置 8 1 が本来の処理 ( メイン処理 ) を開始していない可能性が生じる。これでは、払出制御装置 8 1 は主制御装置 8 0 から送信されるコマンドを取りこぼす恐れがある。

この点、本発明の払出制御装置 8 1 の R A M クリアを行なった際には、図 8 の S 4 0 に相当する処理が無いので、セキュリティチェックが終了すると、図 1 2 ( c ) に示すように、直ちに電源投入時の処理を開始し、払出制御装置 8 1 のメイン処理を行なう。この結果、主制御装置 8 0 がメイン処理を行なう際には、既に払出制御装置 8 1 はメイン処理を開始していることとなり、払出制御装置 8 1 は主制御装置 8 0 から送信されるコマンドを取りこぼすことなく処理を行なうことができる。

#### 【 0 0 7 6 】

以上のように構成されたパチンコ機 5 0 によれば、たとえ R A M クリアスイッチ 6 7 6 を押しながら電源スイッチ 6 7 1 をオンにしても、R A M クリアスイッチ 6 7 6 を押すのをやめた際 ( より正確には、R A M クリアスイッチ 6 7 6 を押すのをやめてから T 3 後。更に正確には、この時間 T 3 が経過し、R A M クリア信号がオフになったことを主制御装置 C P U 6 1 1 が検知 ( 図 8 の S 4 0 参照 ) して、更に R A M の全てを 0 クリア ( 図 8 の S 4 5 参照 ) した後 ) のハード乱数の値に基づいて、大当たり決定用乱数の初期値が決定される。T a や T 3 の値は R A M クリアの操作ごとにほぼ一定であるが、リセット信号が解除されてから R A M クリアスイッチ 6 7 6 がオフになる ( 操作者が R A M クリアスイッチ 6 7 6 を押すのをやめる ) までの時間は毎回異なる。このため、ハード乱数の値が、以前と同じハード乱数の値になることは殆ど無く、大当たり決定用乱数の初期値も R A M クリア操作を行なうごとに異なると期待することができる。従って、R A M クリア操作を行なうことにより大当たりを狙うという不正行為が極めて困難になる。

#### 【 0 0 7 7 】

ハード乱数は、5 0 m s で 0 ~ 6 5 5 3 5 の値を一巡するという極めて高速な更新を行なうため、操作者が、電源スイッチ 6 7 1 のオン操作と同時に R A M クリアスイッチ 6 7 6 から手を離す癖を持っていたとしても、同じ値になることは殆ど無い。なお、操作者が電源スイッチ 6 7 1 のオン操作よりも先に R A M クリアスイッチ 6 7 6 から手を離してしまった場合は、S 1 0 で n o と判定されてパチンコ機 5 0 の復旧動作が始まるので、R A M クリアを利用した不正行為が行なわれる心配は無い。R A M クリアが必須ならば、そのパチンコ機 5 0 の通電を再び遮断し ( 例えば電源スイッチ 6 7 1 をオフにし ) 、R A M クリア操作を行なえばよい。

#### 【 0 0 7 8 】

また、払出制御装置 8 1 の R A M クリアについては、R A M クリアスイッチ 6 7 6 がオフになるのを待たずに ( つまり T 3 の経過も待つことなく ) 、R O M 6 2 4 のセキュリティチェックが終わると R A M 6 2 5 をクリアして、電源投入時処理を行なう。従って、主制御装置 8 0 のメイン処理が起動した時点では、払出制御装置 8 1 のメイン処理は既に起動されており、払出制御装置 8 1 は主制御装置 8 0 より送信されてくる指令を着実に受信することができる。



## 【 0 0 7 9 】

ここで本実施例の構成と、本発明の構成要件との対応関係を示す。S 1 1 0 ~ S 1 1 5 の処理が本発明の「第 1 乱数発生手段」に相当し、主制御装置 8 0 の C P U 6 1 1 が本発明の「主制御手段」に相当し、主制御装置 8 0 の R A M 6 1 5 が本発明の「第 1 R A M」に相当し、払出制御装置 8 1 の C P U 6 2 1 が本発明の「払出制御手段」に相当し、払出制御装置 8 1 の R A M 6 2 5 が本発明の「第 2 R A M」に相当し、R A M クリアスイッチ 6 7 6 が本発明の「クリアスイッチ」に相当し、S 1 0 の処理が本発明の「判定手段」に相当（S 1 0 の処理および R A M クリア信号発生回路 6 7 7 が本発明の「推定手段」に相当）し、乱数生成回路 6 1 6 が本発明の「第 2 乱数発生手段」に相当し、S 5 0 の処理が本発明の「初期値設定手段」に相当し、S 4 0 の処理を経て行なう S 4 5 の処理が本発明の「第 1 R A M クリア手段」に相当し、S 2 3 0 の処理が本発明の「第 2 R A M クリア手段」に相当し、S 3 0 の処理が本発明の「復旧手段」に相当する。なお、R A M クリア信号発生回路 6 7 7 は本発明の「非操作信号出力手段」にも相当する。

10

## 【 0 0 8 0 】

## [ 他の実施例 ]

上記実施例では、ハード乱数を用いて大当たり決定用乱数の初期値を決定していたが、これに替えてハード乱数で初期値乱数の初期値を決定しても良い。こうすると、ハード乱数の値が初期値乱数に影響を与えるので、1 巡目だけではなく、2 巡目以降の大当たり決定乱数にも影響を与えることになる。この場合、1 巡目の大当たり決定用乱数の初期値は、初期値乱数の値とするとよい。また、ハード乱数の値を大当たり乱数の初期値に設定する際の算出を、S 2 0 5 で行なった演算以外の方法にて行なってもよい。例えば、第 2 乱数の値と、これに対応する第 1 乱数の初期値として設定すべき数値とを対応づけたテーブルを予め用意しておき、このテーブルを参照することにより第 1 乱数の初期値を設定してもよい。ただしこうすると、第 1 乱数の初期値として設定し得る数（前記実施例では 3 5 0 通り）だけテーブルのデータも用意する必要があり、このテーブルを格納するための R O M 等が容量を圧迫する可能性がある。この点、前記実施例では、ハード乱数の値を大当たり決定用乱数の最大値 + 1 で割った際の余りを算出しているので、記憶容量が少なく済む。なお、この算出を行なう際には、ハード乱数の値を大当たり決定用乱数の最大値 + 1 で実際に除算してもよいが、ハード乱数の値から大当たり決定用乱数の最大値 + 1 を繰り返し減算し、算出値がマイナスになったら大当たり決定用乱数の最大値 + 1 を加えることにより算出してもよい。

20

30

R A M クリアにより 0 クリアされるのは、C P U 6 1 1 の R A M 6 1 5 及び C P U 6 2 1 の R A M 6 2 5 であったが、それ以外の箇所にある不揮発性の R A M（例えば主制御装置 6 1 にあるが、C P U 6 1 1 の外部に設けられた不揮発性の R A M や、他の図示しない基板に設けられた不揮発性の R A M）や R A M 以外の記憶媒体の記憶内容をクリアしてもよい。

## 【 0 0 8 1 】

リセット信号は、リセット信号発生回路 6 7 4 から直接、主制御装置 8 0 および払出制御装置 8 1 に入力していたが、所定の遅延回路を介して双方もしくは一方に入力するように構成してもよい。

40

また、上記実施例ではいずれも信号をハイアクティブとして構成したが、一部（または全て）の信号をローアクティブとして構成し直しても構わない。例えば、R A M クリア信号をローアクティブとし、R A M クリアを行なう時点を、R A M クリア信号の立ち上がりを待って行なうように構成してもよい。

## 【 0 0 8 2 】

また、上記実施例では、R A M クリア信号を、電源スイッチ 6 7 1 をオンにした際に R A M クリアスイッチ 6 7 6 がオンになっていたか否かの判定と、R A M クリアスイッチ 6 7 6 がオフになったか否かの判定との、双方に用いていたが、それぞれ別の信号を用いて判定するようにしても良い。例えば、R A M クリア信号は、上記と同様、リセット信号の解除時に R A M クリアスイッチ 6 7 6 がオンであれば、R A M クリア信号発生回路 6 7 7

50

が発生させるものとし、これとは別に、このＲＡＭクリア信号がハイの状態において、ＲＡＭクリアスイッチ６７６がオフになると、Ｔ３の後に所定の信号を発生し、ＣＰＵ６１１がこの信号を検出するとＲＡＭの全てを０クリアしてハード乱数を取得するように構成してもよい。

また、前記実施例では、電源スイッチ６７１およびＲＡＭクリアスイッチ６７６を、電源基板８５に設けていたが、別の箇所（例えば主制御装置６１や払出制御装置６２など）に双方または一方を設けてもよい。

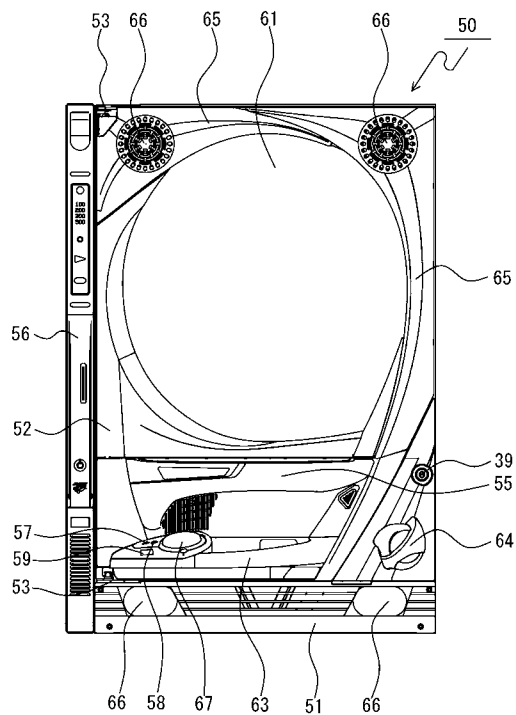
【符号の説明】

【００８３】

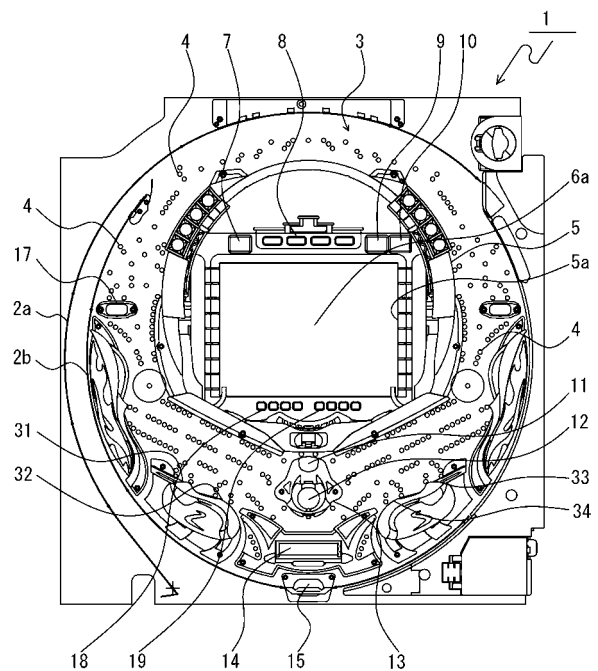
- ８０ 主制御装置
- ８１ 払出制御装置
- ８５ 電源基板
- ６７１ 電源スイッチ
- ６７４ リセット信号発生回路
- ６７６ ＲＡＭクリアスイッチ

10

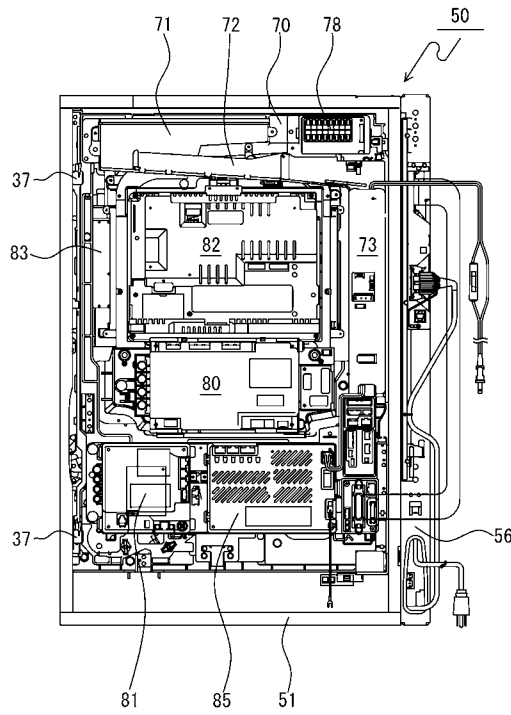
【図１】



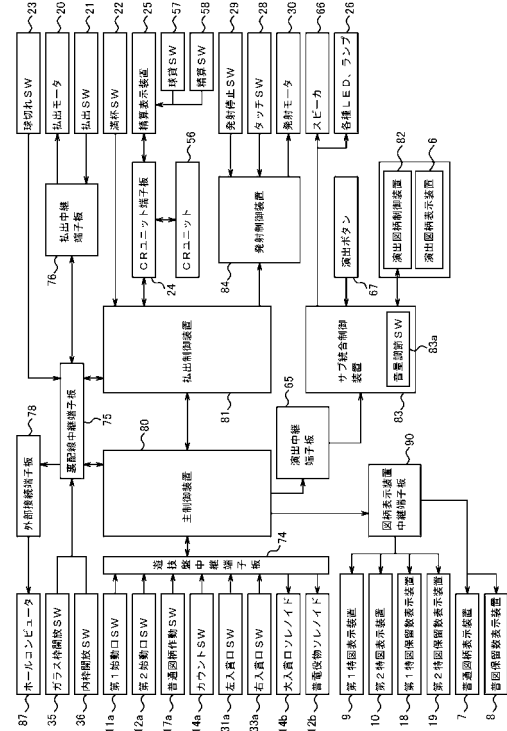
【図２】



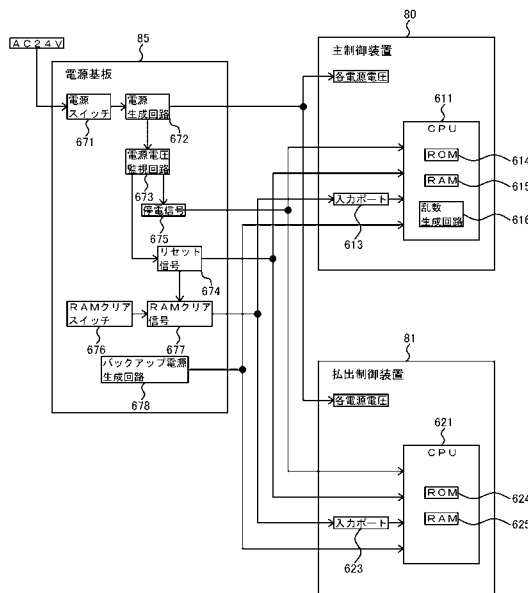
【図 3】



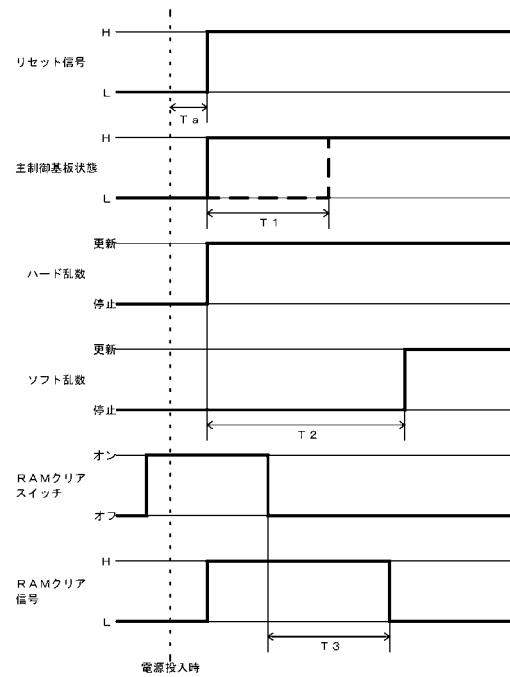
【図 4】



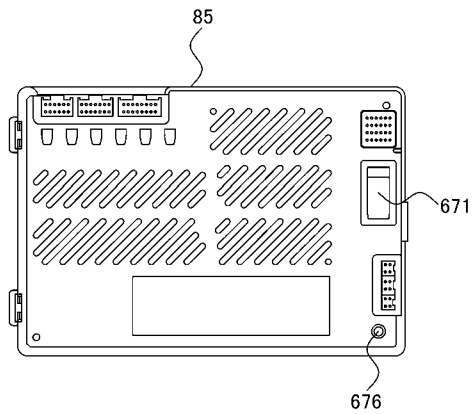
【図 5】



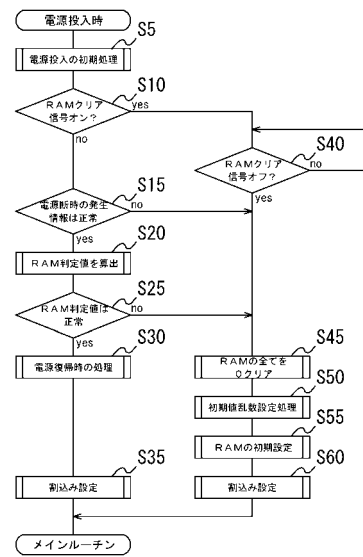
【図 6】



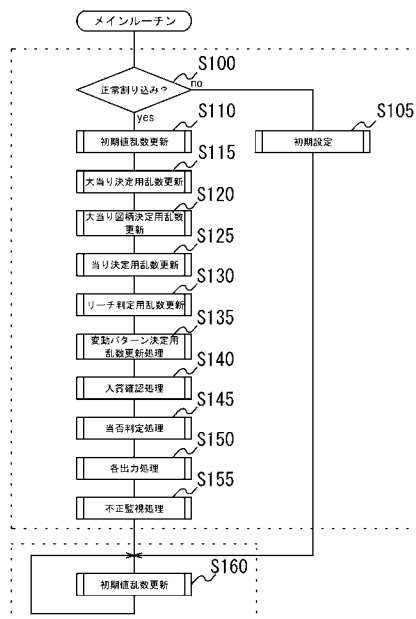
【 圖 7 】



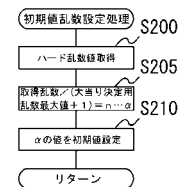
【 図 8 】



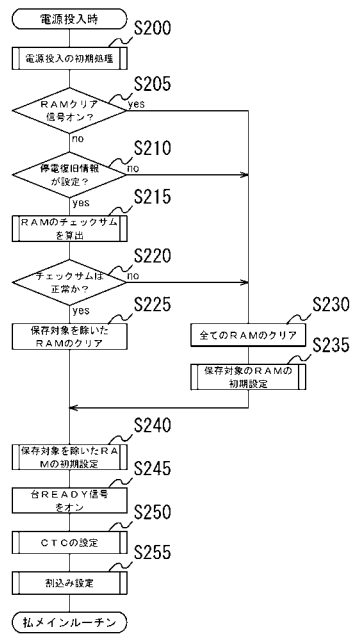
【圖 9】



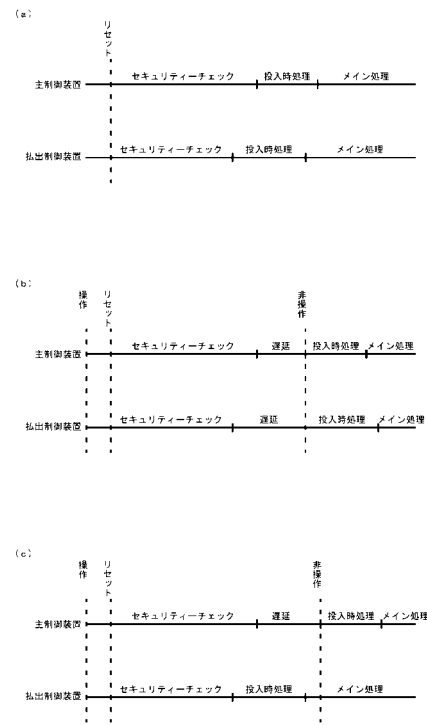
【 図 1 0 】



【図 1 1】



【図 1 2】



---

フロントページの続き

(56)参考文献 特開2008-183432(JP,A)  
特開2011-245154(JP,A)  
特開2011-177394(JP,A)  
特開2011-143058(JP,A)  
特開2010-005117(JP,A)  
特開2010-240124(JP,A)  
特開2010-184159(JP,A)  
特開2008-200227(JP,A)  
特開2003-325925(JP,A)  
特開2006-612(JP,A)

(58)調査した分野(Int.Cl., DB名)

A63F 7/02