

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2010年4月15日(15.04.2010)

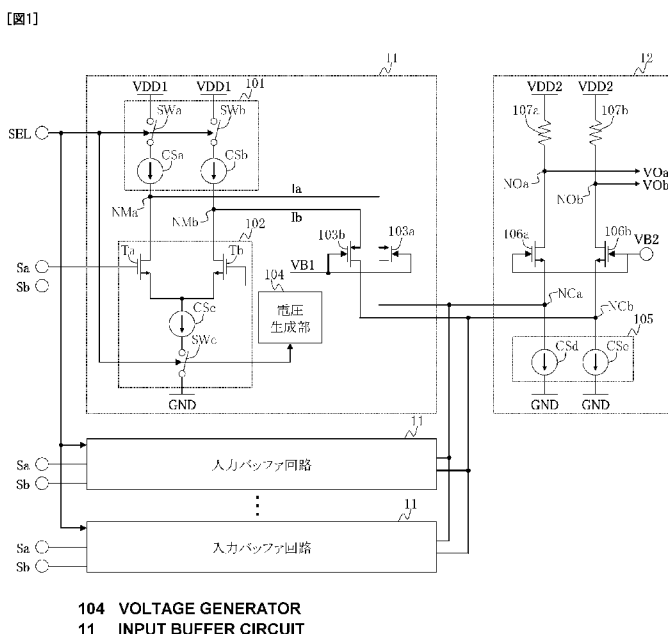
PCT

(10) 国際公開番号
WO 2010/041352 A1

- (51) 国際特許分類:
H04L 25/02 (2006.01) H03K 19/0175 (2006.01)
H03K 17/00 (2006.01)
 - (21) 国際出願番号: PCT/JP2009/000386
 - (22) 国際出願日: 2009年2月2日(02.02.2009)
 - (25) 国際出願の言語: 日本語
 - (26) 国際公開の言語: 日本語
 - (30) 優先権データ:
特願 2008-262141 2008年10月8日(08.10.2008) JP
 - (71) 出願人 (米国を除く全ての指定国について): パナソニック株式会社 (PANASONIC CORPORATION) [JP/JP]; 〒5718501 大阪府門真市大字門真1006番地 Osaka (JP).
 - (72) 発明者; および
 - (75) 発明者/出願人 (米国についてのみ): 新名亮規 (SHINMYO, Akinori).
 - (74) 代理人: 前田弘, 外 (MAEDA, Hiroshi et al.); 〒5410053 大阪府大阪市中央区本町2丁目5番7号 大阪丸紅ビル Osaka (JP).
 - (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
 - (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).
- 添付公開書類:
— 国際調査報告 (条約第21条(3))

(54) Title: RECEIVING CIRCUIT AND RECEIVING SYSTEM

(54) 発明の名称: 受信回路、受信システム



(57) Abstract: An output circuit (12) converts a current signal pair supplied to a common node pair (NCa, NCb) to a voltage signal pair (VOa, VOb). In each of input buffer circuits (11, 11, ...), a constant current generator (101) generates, in an output mode, a pair of constant currents at a pair of current paths from an intermediate node pair (NMa, NMb) to a reference node (VDD1), and halts the generation of the pair of constant currents in a cutoff mode. A voltage-current converter (102) generates, in the output mode, a pair of input currents corresponding to an input signal pair (Sa, Sb) at a pair of current paths from the intermediate node pair (NMa, NMb) to a reference node (GND), thereby generating a current signal pair (Ia, Ib) at a pair of current paths from the intermediate node pair (NMa, NMb) to the common node pair (NCa, NCb), and halts the generation of the pair of input currents in the cutoff mode.

(57) 要約: 出力回路(12)は、共通ノード対(NCa,NCb)に供給された電流信号対を電圧信号対(VOa,VOb)に変換する。入力バッファ回路(11,11,...)の各々において、定電流発生部(101)は、出力モードにおいて中間ノード対(NMa,NMb)から基準ノード(VDD1)に至る一対の電流経路に一対の定電流を発生させ、遮断モードにおいて一対の定電流の発生を停止する。電圧電流変換部(102)は、出力モードにおいて中間ノード対(NMa,NMb)から基準ノード(GND)に至る一対の電流経路に入力信号対(Sa,Sb)に対応する一対の入力電流を発生させることで中間ノード対(NMa,NMb)から共通ノード対(NCa,NCb)に至る一対の電流経路に電流信号対(Ia,Ib)を発生させ、遮断モードにおいて一対の入力電流の発生を停止する。

WO 2010/041352 A1

明 細 書

受信回路、受信システム

技術分野

[0001] この発明は複数の入力信号のうちいずれか1つを選択的に受信する受信回路に関する。

背景技術

[0002] 近年、映像の高画質化や音声の高音質化に伴って機器間を伝送する情報量が増加しており、それに伴って機器間の信号伝送速度の向上が望まれている。例えば、HDMI (High Definition Multimedia Interface) に準拠した表示装置において画素数が“1920×1080”であるパネルに動画像を表示する場合、インターレース方式では約750Mbpsの速度で信号の送受信を行う必要があり、プログレッシブ方式では倍の約1.5Gbpsの速度が必要となる。このような数Gbpsを超える超高速の送受信を実現するためには、受信装置の受信可能帯域（受信装置が入力信号を正常に受信できる周波数帯域）を数GHz以上に設定するとともに、受信装置の内部における信号減衰を極力小さく抑える必要がある。

[0003] また、近年では、図12のように、複数の送信装置を1つの受信装置に接続して多対一通信を行うことが必要とされてきている。例えば、表示機器の3つの入力ポートにDVDレコーダ、デジタルビデオカメラ、およびプロジェクターを個別に接続し、これらの中からいずれか1つを選択して映像を表示することが求められている。図12では、送信装置8, 8, …の各々に含まれる送信LSI81は、伝送路を介して受信装置9の受信LSI90に接続される。受信装置9内において伝送路から受信LSI90に至る信号経路には、終端抵抗R90が設けられている。受信LSI90は、選択信号SELに応答して送信装置8, 8, …のうちいずれか1つからの信号を選択的に受信する。

[0004] 図13は、このような多対一通信に対応した従来の受信回路の構成を示す

。この受信回路は、複数の送信装置から送信された複数の差動信号（入力信号 S_a 、 S_b ）にそれぞれ対応する入力バッファ回路 91 、 91 、…と、セクタ 92 とを含む。

[0005] 入力バッファ回路 91 、 91 、…のうち選択信号 SEL が供給された入力バッファ回路では、信号選択部 901 が電圧電流変換部 902 を駆動させ、電圧電流変換部 902 が差動信号（入力信号 S_a 、 S_b ）を一对の電流に変換し、負荷抵抗 903 が電圧電流変換部 902 によって得られた一对の電流を電圧信号 V_{91a} 、 V_{91b} に変換する。

[0006] セクタ 92 は、入力バッファ回路 91 、 91 、…にそれぞれ対応する信号入力部 904 、 904 、…と、負荷抵抗 905 と、定電流源 913 とを含む。信号入力部 904 、 904 、…のうち選択信号 SEL が供給された信号入力部では、カスコードトランジスタ対（ $911a$ 、 $911b$ ）がオン状態になり、入力トランジスタ対（ $912a$ 、 $912b$ ）が入力バッファ回路 91 からの電圧信号 V_{91a} 、 V_{91b} を一对の電流に変換する。この入力トランジスタ対（ $912a$ 、 $912b$ ）によって得られた一对の電流は、負荷抵抗 905 によって電圧信号 V_{0a} 、 V_{0b} に変換される。このように、入力バッファ回路 91 、 91 、…のうちいずれか1つとその入力バッファ回路 91 に対応する信号入力部 904 とに選択信号 SEL を供給することにより、複数の差動信号（入力信号 S_a 、 S_b ）のうちいずれか1つを選択的に受信できる。なお、セクタ 92 の構成は、特許文献1や特許文献2にも開示されている。

[0007] 図14は、図13に示した受信回路を備える受信LSIの構成を示す。この受信LSIでは、入力ポート0、入力ポート1、入力ポート2の各々は、4つのデータチャネルで構成されている。各入力ポートにおいて、8個のI/Oセルの配置に応じて4個の入力バッファ回路 91 、 $91x$ 、 $91y$ 、 $91z$ が配置される。また、入力ポート0、入力ポート1、入力ポート2にそれぞれ形成された入力バッファ回路 91 、 91 、 91 は、個別の配線対を介してセクタ 92 に接続される。なお、入力バッファ回路 $91x$ とセクタ

9 2 x, 入力バッファ回路 9 1 y とセレクタ 9 2 y, 入力バッファ回路 9 1 z とセレクタ 9 2 z のそれぞれの接続関係は、入力バッファ回路 9 1 とセレクタ 9 2 の接続関係と同様であるので、ここでは図示を省略する。

特許文献1：特開平 1 0 - 2 8 5 0 0 6 号公報

特許文献2：特開 2 0 0 1 - 1 6 8 6 9 2 号公報

発明の開示

発明が解決しようとする課題

[0008] しかしながら、従来の受信回路では、入力バッファ回路とセレクタとを結ぶ配線の長さが入力バッファ回路ごとに異なる。入力バッファ回路とセレクタとを結ぶ配線が長くなる程、入力バッファ回路の出力端に付加される負荷（寄生配線容量や寄生配線抵抗）が増加して受信可能帯域が狭くなる。そのため、入力バッファ回路間において周波数特性のばらつきが生じてしまい、安定した受信を実現できない。例えば、ある入力信号については正常に受信できるが、受信対象を別の入力信号に切り換えると正常に受信できなくなるといった現象が生じてしまう。

[0009] そこで、この発明は、入力バッファ回路間における周波数特性のばらつきを低減できる受信回路を提供することを目的とする。

課題を解決するための手段

[0010] この発明の 1 つの局面に従うと、受信回路は、複数の入力信号対のうちいずれか 1 対を選択的に受信する回路であって、上記複数の入力信号対がそれぞれ供給され、自己に供給された入力信号対に対応する電流信号対を共通ノード対に供給する出力モードと上記電流信号対の供給を停止する遮断モードとを切換可能な複数の入力バッファ回路と、上記共通ノード対に供給された電流信号対を電圧信号対に変換する出力回路とを備え、上記複数の入力バッファ回路の各々は、上記出力モードにおいて上記共通ノード対に繋がる中間ノード対から第 1 の基準ノードに至る一対の電流経路に一対の定電流を発生させ、上記遮断モードにおいて上記一対の定電流の発生を停止する第 1 の定電流発生部と、上記出力モードにおいて上記中間ノード対から第 2 の基準ノ

ードに至る一対の電流経路にその入力バッファ回路に供給された入力信号対に対応する一対の入力電流を発生させることで上記中間ノード対から上記共通ノード対に至る一対の電流経路に上記電流信号対を発生させ、上記遮断モードにおいて上記一対の入力電流の発生を停止する電圧電流変換部とを備える。上記受信回路では、複数の入力バッファ回路の各々の中間ノード対は、出力回路の共通ノード対に共通に接続される。そのため、入力バッファ回路のそれぞれの配置に拘わらず、入力バッファ回路間において中間ノード対に付加される負荷を等しくすることができるので、入力バッファ回路間における周波数特性のばらつきを低減できる。

- [0011] 好ましくは、上記複数の入力バッファ回路の各々は、上記共通ノード対からその入力バッファ回路の中間ノード対に至る一対の電流経路に形成され、第1のバイアス電圧がゲート対に供給される入力側トランジスタ対をさらに含む。このように構成することにより、中間ノード対における電圧変動を抑制できるので、第1の定電流発生部は、定電流を正確に供給できる。
- [0012] 好ましくは、上記複数の入力バッファ回路の各々は、上記出力モードにおいて上記入力側トランジスタ対のゲート対に上記第1のバイアス電圧を供給し、上記遮断モードにおいて上記第1のバイアス電圧の供給を停止する第1の電圧生成部をさらに含む。このように構成することにより、遮断モードである入力バッファ回路から共通ノード対にノイズが伝播することを防止できる。
- [0013] 好ましくは、上記出力回路は、上記共通ノード対から上記第2の基準ノードに至る一対の電流経路に一対の定電流を発生させる第2の定電流発生部と、上記電圧信号対を出力するための出力ノード対から上記共通ノード対に至る一対の電流経路に形成され、第2のバイアス電圧がゲート対に供給される出力側トランジスタ対と、上記出力ノード対から第3の基準ノードに至る一対の電流経路に形成された負荷抵抗対とを含む。このように構成することにより、従来よりも入力インピーダンスを小さくできるため、周波数特性を向上させることができる。

[0014] 好ましくは、上記第3の基準ノードに供給される電圧は、上記第1の基準ノードに供給される電圧よりも低く、上記第2の基準ノードに供給される電圧よりも高い。このように構成することにより、出力回路の後段に接続される装置を低耐圧化することができ、後段の装置の周波数特性を向上させることができる。

[0015] この発明のもう1つの局面に従うと、受信回路は、複数の入力信号のうちいずれか1つを選択的に受信する回路であって、上記複数の入力信号がそれぞれ供給され、自己に供給された入力信号に対応する電流信号を共通ノードに供給する出力モードと上記電流信号の供給を停止する遮断モードとを切換可能な複数の入力バッファ回路と、上記共通ノードに供給された電流信号を電圧信号に変換する出力回路とを備え、上記複数の入力バッファ回路の各々は、上記出力モードにおいて上記共通ノードに繋がる中間ノードから第1の基準ノードに至る電流経路に定電流を発生させ、上記遮断モードにおいて上記定電流の発生を停止する第1の定電流発生部と、上記出力モードにおいて上記中間ノードから第2の基準ノードに至る電流経路にその入力バッファ回路に供給された入力信号に対応する入力電流を発生させることで上記中間ノードから上記共通ノードに至る電流経路に上記電流信号を発生させ、上記遮断モードにおいて上記入力電流の発生を停止する電圧電流変換部とを備える。上記受信回路では、複数の入力バッファ回路の各々の中間ノードは、出力回路の共通ノードに共通に接続されるので、入力バッファ回路間における周波数特性のばらつきを低減できる。

発明の効果

[0016] 以上のように、入力バッファ回路間における周波数特性のばらつきを低減できる。

図面の簡単な説明

- [0017] [図1] 図1は、実施形態1による受信回路の構成例を示す図である。
[図2] 図2は、図1に示した電圧生成部の構成例を示す図である。
[図3] 図3は、図1に示した入力バッファ回路の変形例について説明するため

の図である。

[図4] 図4は、図1に示した出力回路の変形例について説明するための図である。

[図5] 図5は、実施形態2による受信回路の構成例を示す図である。

[図6] 図6は、実施形態3における入力バッファ回路の構成例を示す図である。

[図7] 図7は、実施形態3における出力回路の構成例を示す図である。

[図8] 図8は、出力回路の変形例について説明するための図である。

[図9] 図9は、入力バッファ回路の変形例について説明するための図である。

[図10] 図10は、受信回路の変形例について説明するための図である。

[図11] 図11は、図1に示した受信回路を備える受信LSIの構成例を示す図である。

[図12] 図12は、多対一通信について説明するための図である。

[図13] 図13は、多対一通信に対応した従来の受信回路の構成を示す図である。

[図14] 図14は、図13に示した受信回路を備える従来の受信LSIの構成を示す図である。

符号の説明

- [0018]
- 1 1 入力バッファ回路
 - 1 2 出力回路
 - 1 0 1 定電流発生部
 - 1 0 2 電圧電流変換部
 - 1 0 3 a, 1 0 3 b 入力側トランジスタ
 - 1 0 4 電圧生成部
 - 1 0 5 定電流発生部
 - 1 0 6 a, 1 0 6 b 出力側トランジスタ
 - 1 0 7 a, 1 0 7 b 負荷抵抗
 - 2 3 リセット回路

301 出力側電圧固定部

302 入力側電圧固定部

RRR 抵抗素子

CCC 容量素子

発明を実施するための最良の形態

[0019] 以下、この発明の実施の形態を図面を参照して詳しく説明する。なお、図中同一または相当部分には同一の符号を付しその説明は繰り返さない。

[0020] (実施形態1)

図1は、この発明の実施形態1による受信回路の構成例を示す。この受信回路は、複数の差動信号（一对の入力信号 S_a 、 S_b ）のうちいずれか1つを選択的に受信するものであり、複数の差動信号がそれぞれ供給される複数の入力バッファ回路11、11、…と、出力回路12とを備える。

[0021] 入力バッファ回路11、11、…の各々は、選択信号SELによって出力モードと遮断モードとを切換可能であり、選択信号SELが活性化状態である場合（選択信号SELが供給される場合）には出力モードに設定され、選択信号SELが非活性化状態である場合（選択信号SELが供給されない場合）には遮断モードに設定される。入力バッファ回路11、11、…の各々は、出力モードでは自己に供給された入力信号 S_a 、 S_b に対応する電流信号 I_a 、 I_b を共通ノード NC_a 、 NC_b に供給し、遮断モードでは電流信号 I_a 、 I_b の供給を停止する。出力回路12は、共通ノード NC_a 、 NC_b に供給された電流信号 I_a 、 I_b を電圧信号 VO_a 、 VO_b に変換する。受信対象とする差動信号が供給される入力バッファ回路11を出力モードに設定するとともに他の入力バッファ回路11、11、…を遮断モードに設定することにより、受信対象とする差動信号に対応する電圧信号対を出力できる。

[0022] また、入力バッファ回路11、11、…の各々において、中間ノード NM_a 、 NM_b は、入力側トランジスタ103a、103bを介して出力回路12の共通ノード NC_a 、 NC_b に共通に接続されている。これにより、入力

バッファ回路 11, 11, …のそれぞれの配置に拘わらず、入力バッファ回路 11, 11, …の各々の出力端に付加される負荷（寄生配線容量や寄生配線抵抗など）を等しくすることができ、入力バッファ回路 11, 11, …の間における周波数特性のばらつきを低減でき、安定した受信を実現できる。

[0023] 〔入力バッファ回路〕

入力バッファ回路 11, 11, …の各々は、定電流発生部 101 と、電圧電流変換部 102 と、入力側トランジスタ 103a, 103b と、電圧生成部 104 とを含む。

[0024] 定電流発生部 101 は、定電流源 CSa, CSb と、選択信号 SEL に応答して定電流源 CSa, CSb と電源ノード（電源電圧 VDD1 が供給されるノード）との接続を切り換えるスイッチ素子 SWa, SWb とを含む。選択信号 SEL が活性化状態である場合、スイッチ素子 SWa, SWb がオンになり、電源ノードから定電流源 CSa, CSb を介して中間ノード NMa, NMb に至る一対の電流経路に一対の定電流が発生する。一方、選択信号 SEL が非活性化状態である場合、スイッチ素子 SWa, SWb がオフになり、定電流源 CSa, CSb が電源ノードから切り離されて定電流の供給が停止する。

[0025] 電圧電流変換部 102 は、入力信号 Sa, Sb がゲートにそれぞれ供給される差動トランジスタ Ta, Tb と、定電流源 CSc と、選択信号 SEL に応答して定電流源 CSc と接地ノード（接地電圧 GND が供給されるノード）との接続を切り換えるスイッチ素子 SWc とを含む。

[0026] 選択信号 SEL が活性化状態である場合、スイッチ素子 SWc がオンになる。これにより、差動トランジスタ Ta, Tb によって入力信号 Sa, Sb が一対の入力電流に変換され、中間ノード NMa, NMb から差動トランジスタ Ta, Tb, 定電流源 CSc を介して接地ノードに至る一対の電流経路において差動トランジスタ Ta, Tb によって得られた一対の入力電流が発生する。また、定電流発生部 101 によって中間ノード NMa, NMb のそれぞれに定電流が供給されているので、中間ノード NMa, NMb から共通

ノードNCa, NCbに至る一対の電流経路には、定電流対と入力電流対との差に応じた一対の電流が電流信号Ia, Ibとして発生する。一方、選択信号SELが非活性化状態である場合、スイッチ素子SWcがオフになり、定電流源CS cが接地ノードから切り離され、その結果、入力信号Sa, Sbに対応する一対の入力電流が発生しなくなる。

[0027] 入力側トランジスタ103a, 103bは、共通ノードNCa, NCbから中間ノードNMa, NMbに至る一対の電流経路に形成され、それぞれのゲートにはバイアス電圧VB1が供給される。入力側トランジスタ103a, 103bのゲートにバイアス電圧VB1を供給することにより、中間ノードNMa, NMbにおける電圧変動を抑制できるので、定電流源CSa, CSbの各々は、定電流を正確に供給できる。

[0028] 電圧生成部104は、選択信号SELが活性化状態である場合にはバイアス電圧VB1を生成する。これにより、入力側トランジスタ103a, 103bがオン状態になり、電流信号Ia, Ibが入力側トランジスタ103a, 103bを介して共通ノードNCa, NCbに供給される。また、電圧生成部104は、選択信号SELが非活性化状態である場合にはバイアス電圧VB1の供給を停止する。これにより、入力側トランジスタ103a, 103bがオフ状態になるので、遮断モードである入力バッファ回路11から共通ノードNCa, NCbにノイズが伝播することを防止できる。例えば、図2のように、電圧生成部104は、カレントミラー回路を構成するトランジスタT1, T2と、pMOSトランジスタT3と、選択信号SELに応答してオン/オフするスイッチ素子SW1, SW2, SW3とを含む。

[0029] [出力回路]

出力回路12は、定電流発生部105と、出力側トランジスタ106a, 106bと、負荷抵抗107a, 107bとを含む。

[0030] 定電流発生部105は、共通ノードNCa, NCbから接地ノードに至る一対の電流経路に一対の定電流を発生させる。これにより、電源ノード（電源電圧VDD2が供給されるノード）から出力ノードNOa, NObを介し

て共通ノード NC_a 、 NC_b に至る一対の電流経路に電流信号 I_a 、 I_b が流れる。例えば、定電流発生部105は、定電流源 CS_d 、 CS_e を含む。

[0031] 出力側トランジスタ106a、106bは、出力ノード NO_a 、 NO_b から共通ノード NC_a 、 NC_b に至る一対の電流経路に形成され、出力側トランジスタ106a、106bのゲートには、バイアス電圧 VB_2 が供給される。このように、共通ノード NC_a 、 NC_b に出力側トランジスタ106a、106bが接続されているので、出力回路12の入カインピーダンスは、出力側トランジスタ106a、106bの相互コンダクタンスの逆数とほぼ等しくなる。これにより、従来よりも入カインピーダンスを小さくできるため、受信回路の周波数特性を向上させることができる。

[0032] 負荷抵抗107a、107bは、電源ノードから出力ノード NO_a 、 NO_b に至る一対の電流経路に形成される。この負荷抵抗107a、107bによって電流信号 I_a 、 I_b は電圧信号 VO_a 、 VO_b に変換される。

[0033] [電源電圧の大きさ]

なお、電源電圧 VDD_2 は、電源電圧 VDD_1 よりも低くても良い。このように構成することにより、電圧信号 VO_a 、 VO_b のコモンモード電位を入力信号 S_a 、 S_b のコモンモード電位よりも低くできるので、出力回路12の後段に接続される装置の耐圧制限を緩和できる。すなわち、電圧信号 VO_a 、 VO_b が入力信号 S_a 、 S_b と同一のコモンモード電位を有する場合と比較して、後段の装置を構成するトランジスタの耐圧を低くできる。例えば、後段の装置をpMOSトランジスタよりも耐圧の低いnMOSトランジスタで構成できる。また、一般的に、トランジスタの耐圧を低くする程、トランジスタの利得帯域幅積(f_t)を高くできる。そのため、後段の装置を低耐圧化することにより、後段の装置の周波数特性を向上させることができる。

[0034] [定電流の大きさ]

また、定電流発生部105によって供給される定電流を定電流発生部101によって供給される定電流よりも大きくしても良い。入力バッファ回路1

1において、定電流発生部101から一対の定電流が供給されている場合に電圧電流変換部102が遮断モードになると、定電流発生部101からの一対の定電流がすべて出力回路12の共通ノードNCa, NCbに流れ込んでしまう。例えば、入力信号Sa, Sbのコモンモード電位が低下して差動トランジスタTa, Tbの両方がオフ状態になると、このような現象が生じる。ここで、定電流発生部105の定電流が定電流発生部101の定電流よりも小さい場合、共通ノードNCa, NCbの電圧が上昇して出力側トランジスタ106a, 106bが破壊されてしまうおそれがある。したがって、定電流発生部105の定電流を定電流発生部101の定電流よりも大きくすることにより、共通ノードNCa, NCbの電圧上昇を防止できる。

[0035] (入力バッファ回路の変形例)

図3のように、入力バッファ回路11は、図1に示した電圧電流変換部102に代えて、ハイパスフィルタ特性を有する電圧電流変換部102aを含んでも良い。電圧電流変換部102aは、図1に示した電圧電流変換部102の構成に加えて、抵抗素子RRRおよび容量素子CCCを含む。また、電圧電流変換部102aは、定電流源CSc, スイッチ素子SWcに代えて、定電流源CSc1, CSc2, スイッチ素子SWc1, SWc2を含む。このように構成することにより、高周波信号の減衰を抑制でき、受信回路の受信可能帯域を拡張できる。なお、抵抗素子RRRの抵抗値や容量素子CCCの容量値は可変であっても良い。このように構成することにより、入力バッファ回路11のDCゲイン値やカットオフ周波数を調整できる。また、入力信号Sa, Sbの周波数や振幅に応じて設定することにより、受信波形を最良な状態に設定できる。

[0036] (出力回路の変形例)

また、図4のように、出力回路12は、図1に示した構成に加えて、電流源CS1, CS2を含んでも良い。電流源CS1は、電源ノードと出力ノードNOaとの間で負荷抵抗107aと並列に接続され、電流源CS2は、電源ノードと出力ノードNObとの間で負荷抵抗107bと並列に接続さ

れる。このように構成することにより、出力ノードNO_a、NO_bから共通ノードNC_a、NC_bに至る一対の電流経路の電流量を増加させることができ、出力回路12の入カインピーダンスをさらに低減できる。

[0037] (実施形態2)

図5は、この発明の実施形態2による受信回路の構成例を示す。この受信回路は、図1に示した出力回路12に代えて出力回路22およびリセット回路23を備える。

[0038] [出力回路]

出力回路22は、図1に示した定電流発生部105に代えて定電流発生部205を含むとともに電圧生成部202をさらに含む。電圧生成部202は、出力回路22をリセット状態にするためのリセット信号RESETに応答してバイアス電圧VB2の供給／非供給を切り換える。定電流発生部205は、定電流源CS_d、CS_eと、リセット信号RESETに応答して定電流源CS_d、CS_eと接地ノードとの接続を切り換えるスイッチ素子SW_d、SW_eとを含む。

[0039] リセット信号RESETが非活性化状態である場合では、電圧生成部202は、出力側トランジスタ106_a、106_bのゲートにバイアス電圧VB2を供給する。また、スイッチ素子SW_d、SW_eがオンになり、共通ノードNC_a、NC_bから接地ノードに至る一対の電流経路に一対の定電流が発生する。これにより、入力バッファ回路11からの電流信号I_a、I_bを電圧信号VO_a、VO_bに変換できる。一方、リセット信号RESETが活性化状態である場合では、電圧生成部202は、バイアス電圧VB2の供給を停止する。また、スイッチ素子SW_d、SW_eがオフになり、定電流源CS_d、CS_eが接地ノードから切り離されて定電流が発生しなくなる。これにより、出力回路22がリセット状態になる。

[0040] [リセット回路]

リセット回路23は、リセット信号RESETに応答して選択信号SELの通過／遮断を切り換えることにより、入力バッファ回路11、11、…の

動作モードを制御する。リセット回路23は、入力バッファ回路11, 11, …にそれぞれ対応する論理積回路201, 201, …を含む。論理積回路201, 201, …の各々は、リセット信号RESETに応答して選択信号SELの通過/遮断を切り換える。

[0041] リセット信号RESETが非活性化状態である場合（ここでは、リセット信号RESETがハイレベルである場合）には、リセット回路23は、選択信号SELを入力バッファ回路11, 11, …に通過させる。これにより、入力バッファ回路11, 11, …の各々の動作モードは、選択信号SELによって制御される。一方、リセット信号RESETが活性化状態である場合（ここでは、リセット信号RESETがローレベルである場合）には、リセット回路23は、選択信号SELを遮断する。これにより、入力バッファ回路11, 11, …の各々において選択信号SELが非活性化状態になったことになり、入力バッファ回路11, 11, …の各々は遮断モードに強制的に設定される。

[0042] 以上のように、出力回路22がリセット状態である場合に選択信号SELの状態に拘わらず入力バッファ回路11, 11, …の全てを遮断モードに強制的に設定することにより、入力バッファ回路11, 11, …から不要な電流信号Ia, Ibが供給されることを防止できるので、出力回路の入力端（共通ノードNCa, NCb）における電圧変動を抑制できる。

[0043] （実施形態3）

次に、図5～図7を参照して、この発明の実施形態3による受信回路について説明する。この受信回路は、図5に示した入力バッファ回路11, 11, …および出力回路22に代えて、入力バッファ回路31, 31, …（図6参照）と、出力回路32（図7参照）とを備える。

[0044] [入力バッファ回路]

図6に示した入力バッファ回路31は、図1に示した構成に加え、入力側電圧固定部301を含む。入力側電圧固定部301は、リセット信号RESETに응答して入力側トランジスタ103a, 103bのドレインと接地ノ

ードとの接続を切り換えるプルダウントランジスタ 311a, 311b を含む。

- [0045] リセット信号 RESET が活性化状態である場合（ここでは、リセット信号 RESET がローレベルである場合）には、プルダウントランジスタ 311a, 311b がオン状態になり、入力側トランジスタ 103a, 103b のドレイン電圧が固定される。これにより、入力側トランジスタ 103a, 103b のドレインに繋がる出力回路 32 の入力端（共通ノード NCa, NCb）における電圧変動を抑制できる。一方、リセット信号 RESET が非活性化状態である場合（ここでは、リセット信号 RESET がハイレベルである場合）には、プルダウントランジスタ 311a, 311b がオフ状態になり、入力側トランジスタ 103a, 103b のドレイン電圧の固定が解除される。

- [0046] [出力回路]

図 7 に示した出力回路 32 は、図 5 に示した構成に加えて、出力側電圧固定部 302 を備える。出力側電圧固定部 302 は、リセット信号 RESET に応答して共通ノード NCa, NCb と接地ノードとの接続を切り換えるプルダウントランジスタ 312a, 312b を含む。

- [0047] リセット信号 RESET が活性化状態である場合、プルダウントランジスタ 312a, 312b がオンになり、共通ノード NCa, NCb の電圧が固定される。これにより、共通ノード NCa, NCb における電圧変動を抑制できる。一方、リセット信号 RESET が非活性化状態である場合には、プルダウントランジスタ 312a, 312b がオフ状態になり、電圧の固定が解除される。

- [0048] 以上のように、出力回路 32 がリセット状態である場合に共通ノード NCa, NCb の電圧を確定させることができるので、共通ノード NCa, NCb における電圧変動をさらに抑制できる。なお、入力側電圧固定部 301 および出力側電圧固定部 302 は、図 1 に示した受信回路にも適用可能である。すなわち、入力側電圧固定部 301 および出力側電圧固定部 302 の少な

くとも一方を設けることにより、出力回路12をリセット状態に設定できる。

[0049] (出力回路の構成)

以上の各実施形態において、出力回路を図8のように構成しても良い。図8に示した出力回路12bは、共通ノードNCa, NCbから接地ノードに至る一対の電流経路に形成された負荷抵抗107a, 107bを含む。このように構成した場合も、入力バッファ回路の各々の中間ノードNMa, NMbを出力回路12bの共通ノードNCa, NCbに共通に接続させることができるので、入力バッファ回路間における周波数特性のばらつきを低減できる。

[0050] (入力バッファ回路の構成)

なお、入力バッファ回路の構成は、多種多様であり、図1, 図3, 図6に示した構成に限定されない。例えば、図9のように、入力バッファ回路11は、差動トランジスタTa, Tbのそれぞれのドレインが定電流源CScに共通に接続されている電圧電流変換部102に代えて、差動トランジスタTa, Tbのドレインが接地ノードに直接接続されている電圧電流変換部102bを含んでいても良い。

[0051] また、図9からわかるように、各実施形態による受信回路は、差動信号だけでなく単一の入力信号を受信するものであってもよい。例えば、入力バッファ回路11, 11, …のそれぞれに差動信号ではなく単一の入力信号Saが供給され、入力バッファ回路11, 11, …の各々が入力信号Saに対応する電流信号Iaを供給し、出力回路12が共通ノードNCaに供給された電流信号Iaを電圧信号VOaに変換するように構成しても良い。

[0052] (受信回路の変形例)

なお、図10のように、各実施形態における受信回路を、接地電圧GNDを基準とする差動信号Sa, Sbを受信できるように構成しても良い。図10に示した受信回路は、入力バッファ回路11c, 11c, …と、出力回路12cとを備える。入力バッファ回路11c, 11c, …の各々は、定電流

発生部101cと、電圧電流変換部102cとを含む。定電流発生部101cは、出力モードにおいて中間ノードNMa, NMbから接地ノードに至る一対の電流経路に一対の定電流を発生させ、遮断モードにおいて一対の定電流の発生を停止する。電圧電流変換部102cは、出力モードにおいて中間ノードNMa, NMbから電源ノード（電源電圧VDD1が供給されるノード）に至る一対の電流経路に入力信号Sa, Sbに対応する一対の入力電流を発生させることで一対の電流信号Ia, Ibを発生させ、遮断モードにおいて一対の入力電流の発生を停止する。出力回路12cは、共通ノードNCa, NCbに供給された電流信号Ia, Ibを電圧信号VOa, VObに変換する。このように構成した場合も、入力バッファ回路11c, 11c, …の各々の中間ノードNMa, NMbを共通ノードNCa, NCbに共通に接続できるので、入力バッファ回路11c, 11c, …の間における周波数ばらつきを低減できる。

[0053] （受信システム）

図11のように、各実施形態における受信回路は、受信LSI（受信システム）に適用可能である。図11に示した受信LSIは、24個のI/Oセルと、12個の入力バッファ回路11, 11x, …と、4個の出力回路12, 12x, …と、4個の信号処理装置13, 13x, …とを備える。また、3個の入力バッファ回路、1個の出力回路、および1個の信号処理装置によって1つのデータチャンネルが構成される。例えば、3個の入力バッファ回路11, 11, 11と出力回路12は、信号処理装置13と同一のデータチャンネルに属する。同様に、入力バッファ回路11x, 11y, 11z, 出力回路12x, 12y, 12zは、それぞれ、信号処理装置13xと同一のデータチャンネル、信号処理装置13yと同一のデータチャンネル、信号処理装置13zと同一のデータチャンネルに属する。

[0054] 入力ポート0, 入力ポート1, 入力ポート2の各々には、8個のI/Oセルの配置に応じて4個の入力バッファ回路11, 11x, 11y, 11zが配置される。また、入力ポート0, 入力ポート1, 入力ポート2にそれぞれ

形成された入力バッファ回路 11, 11, 11 は、共通の配線対を介して出力回路 12 に接続される。信号処理装置 13 は、出力回路 12 からの電圧信号 V_{Oa} , V_{Ob} を処理する。なお、他のデータチャネルにおける接続関係は、入力バッファ回路 11, 11, 11 と、出力回路 12, および信号処理装置 13 が属するデータチャネルと同様であるので、ここでは図示を省略する。この受信 LSI では、入力バッファ回路間における周波数ばらつきを低減できるので、信号処理装置は、正常に信号処理を実行できる。

産業上の利用可能性

[0055] 以上のように、この発明による受信回路は、入力バッファ回路間における周波数特性のばらつきを低減でき、安定した受信を実現できるので、多対一通信を必要とする高速信号伝送システムなどに有用である。

請求の範囲

- [1] 複数の入力信号対のうちいずれか 1 対を選択的に受信する回路であって、
前記複数の入力信号対がそれぞれ供給され、自己に供給された入力信号対に対応する電流信号対を共通ノード対に供給する出力モードと、前記電流信号対の供給を停止する遮断モードとを切換可能な複数の入力バッファ回路と、
、
前記共通ノード対に供給された電流信号対を電圧信号対に変換する出力回路とを備え、
前記複数の入力バッファ回路の各々は、
前記出力モードにおいて前記共通ノード対に繋がる中間ノード対から第 1 の基準ノードに至る一対の電流経路に一対の定電流を発生させ、前記遮断モードにおいて前記一対の定電流の発生を停止する第 1 の定電流発生部と、
前記出力モードにおいて前記中間ノード対から第 2 の基準ノードに至る一対の電流経路に当該入力バッファ回路に供給された入力信号対に対応する一対の入力電流を発生させることで前記中間ノード対から前記共通ノード対に至る一対の電流経路に前記電流信号対を発生させ、前記遮断モードにおいて前記一対の入力電流の発生を停止する電圧電流変換部とを備える
ことを特徴とする受信回路。
- [2] 請求項 1 において、
前記複数の入力バッファ回路の各々は、
前記共通ノード対から当該入力バッファ回路の中間ノード対に至る一対の電流経路に形成され、第 1 のバイアス電圧がゲート対に供給される入力側トランジスタ対をさらに含む
ことを特徴とする受信回路。
- [3] 請求項 2 において、
前記複数の入力バッファ回路の各々は、
前記出力モードにおいて前記入力側トランジスタ対のゲート対に前記第 1 のバイアス電圧を供給し、前記遮断モードにおいて前記第 1 のバイアス電

圧の供給を停止する第 1 の電圧生成部をさらに含む
ことを特徴とする受信回路。

[4] 請求項 3 において、

前記出力回路は、

前記共通ノード対から前記第 2 の基準ノードに至る一対の電流経路に一
対の定電流を発生させる第 2 の定電流発生部と、

前記電圧信号対を出力するための出力ノード対から前記共通ノード対に
至る一対の電流経路に形成され、第 2 のバイアス電圧がゲート対に供給され
る出力側トランジスタ対と、

前記出力ノード対から第 3 の基準ノードに至る一対の電流経路に形成さ
れた負荷抵抗対とを含む
ことを特徴とする受信回路。

[5] 請求項 4 において、

前記第 3 の基準ノードに供給される電圧は、前記第 1 の基準ノードに供給
される電圧よりも低く、前記第 2 の基準ノードに供給される電圧よりも高い
ことを特徴とする受信回路。

[6] 請求項 4 において、

前記第 2 の定電流発生部によって発生される定電流は、前記第 1 の定電流
発生部によって発生される定電流よりも大きい
ことを特徴とする受信回路。

[7] 請求項 4 において、

前記出力回路は、前記出力ノード対から前記第 3 の基準ノードに至る一対
の電流経路において前記負荷抵抗対と並列に形成された電流源対をさらに含
む
ことを特徴とする受信回路。

[8] 請求項 4 において、

リセット信号に応答して前記複数の入力バッファ回路のそれぞれを前記遮
断モードに強制的に設定するリセット回路をさらに備え、

前記出力回路は、前記リセット信号が非活性化状態である場合には前記出力側トランジスタ対のゲート対に前記第2のバイアス電圧を供給し、前記リセット信号が活性化状態である場合には前記第2のバイアス電圧の供給を停止する第2の電圧生成部をさらに備え、

前記第2の定電流発生部は、前記リセット信号が非活性化状態である場合には前記共通ノード対から前記第2の基準ノードに至る一対の電流経路に前記一対の定電流を発生させ、前記リセット信号が活性化状態である場合には前記一対の定電流の発生を停止する

ことを特徴とする受信回路。

[9] 請求項2において、

前記複数の入力バッファ回路の各々は、リセット信号が活性化状態である場合には当該入力バッファ回路の前記入力側トランジスタ対のそれぞれのドレイン電圧を固定し、前記リセット信号が非活性化状態である場合には前記ドレイン電圧の固定を解除する入力側電圧固定部をさらに含む

ことを特徴とする受信回路。

[10] 請求項1において、

前記出力回路は、リセット信号が活性化状態である場合には前記共通ノード対のそれぞれの電圧を固定し、前記リセット信号が非活性化状態である場合には前記共通ノード対に対する電圧の固定を解除する出力側電圧固定部をさらに含む

ことを特徴とする受信回路。

[11] 請求項1において、

前記出力回路は、前記共通ノード対から前記第2の基準ノードに至る一対の電流経路に形成された負荷抵抗対を含む

ことを特徴とする受信回路。

[12] 請求項1において、

前記電圧電流変換部は、

前記中間ノード対から前記第2の基準ノードに至る一対の電流経路に形

成され、前記入力信号対がゲート対に供給される差動トランジスタ対と、
前記差動トランジスタ対のソース対の間に並列に形成された抵抗素子および容量素子とを含む
ことを特徴とする受信回路。

[13] 請求項 12 において、
前記抵抗素子の抵抗値および前記容量素子の容量値のうち少なくとも 1 つは可変である
ことを特徴とする受信回路。

[14] 請求項 1 に記載の受信回路と、
前記受信回路からの電圧信号対を処理する信号処理装置とを備える
ことを特徴とする受信システム。

[15] 複数の入力信号のうちいずれか 1 つを選択的に受信する回路であって、
前記複数の入力信号がそれぞれ供給され、自己に供給された入力信号に対応する電流信号を共通ノードに供給する出力モードと、前記電流信号の供給を停止する遮断モードとを切換可能な複数の入力バッファ回路と、
前記共通ノードに供給された電流信号を電圧信号に変換する出力回路とを備え、

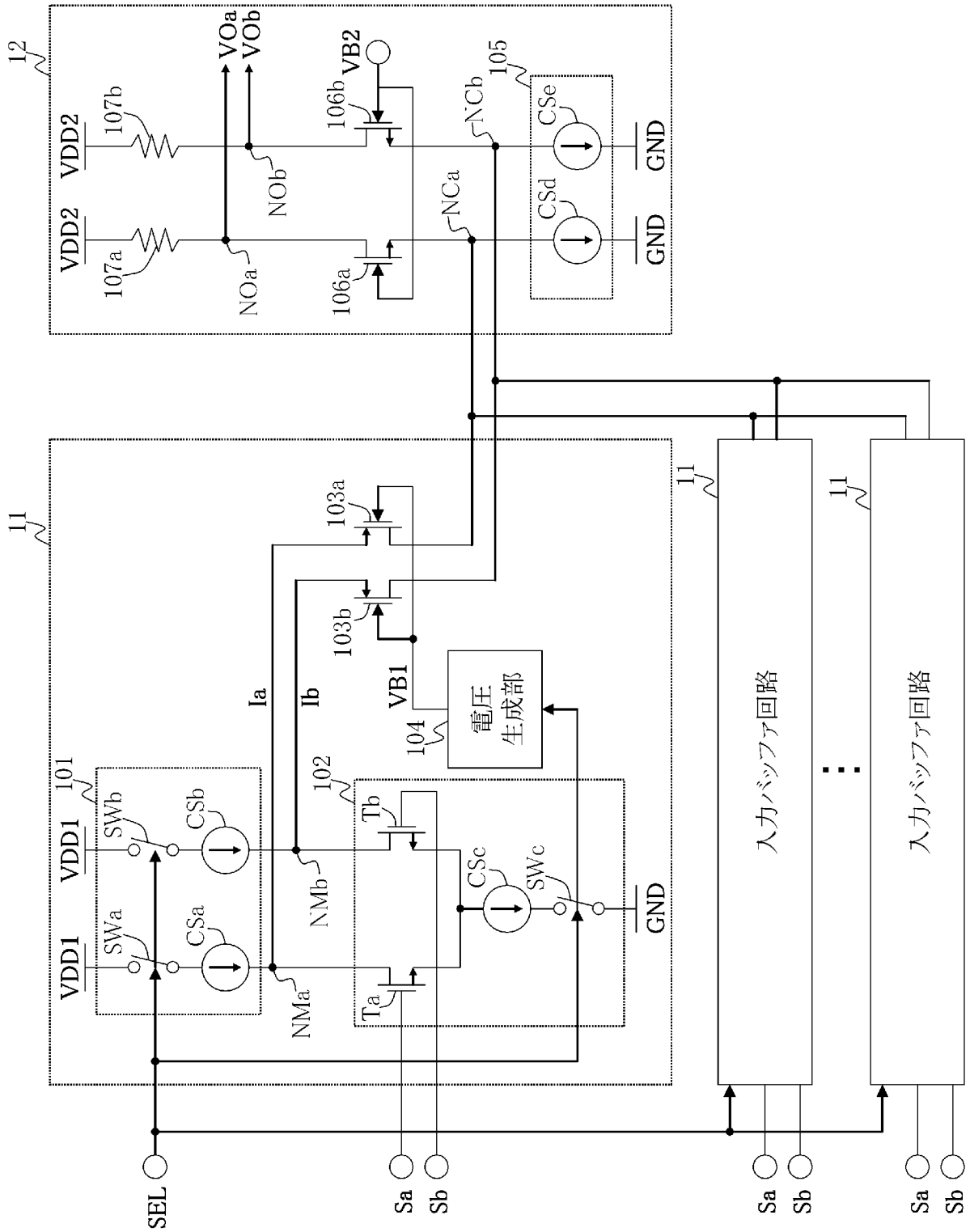
前記複数の入力バッファ回路の各々は、
前記出力モードにおいて前記共通ノードに繋がる中間ノードから第 1 の基準ノードに至る電流経路に定電流を発生させ、前記遮断モードにおいて前記定電流の発生を停止する第 1 の定電流発生部と、

前記出力モードにおいて前記中間ノードから第 2 の基準ノードに至る電流経路に当該入力バッファ回路に供給された入力信号に対応する入力電流を発生させることで前記中間ノードから前記共通ノードに至る電流経路に前記電流信号を発生させ、前記遮断モードにおいて前記入力電流の発生を停止する電圧電流変換部とを備える
ことを特徴とする受信回路。

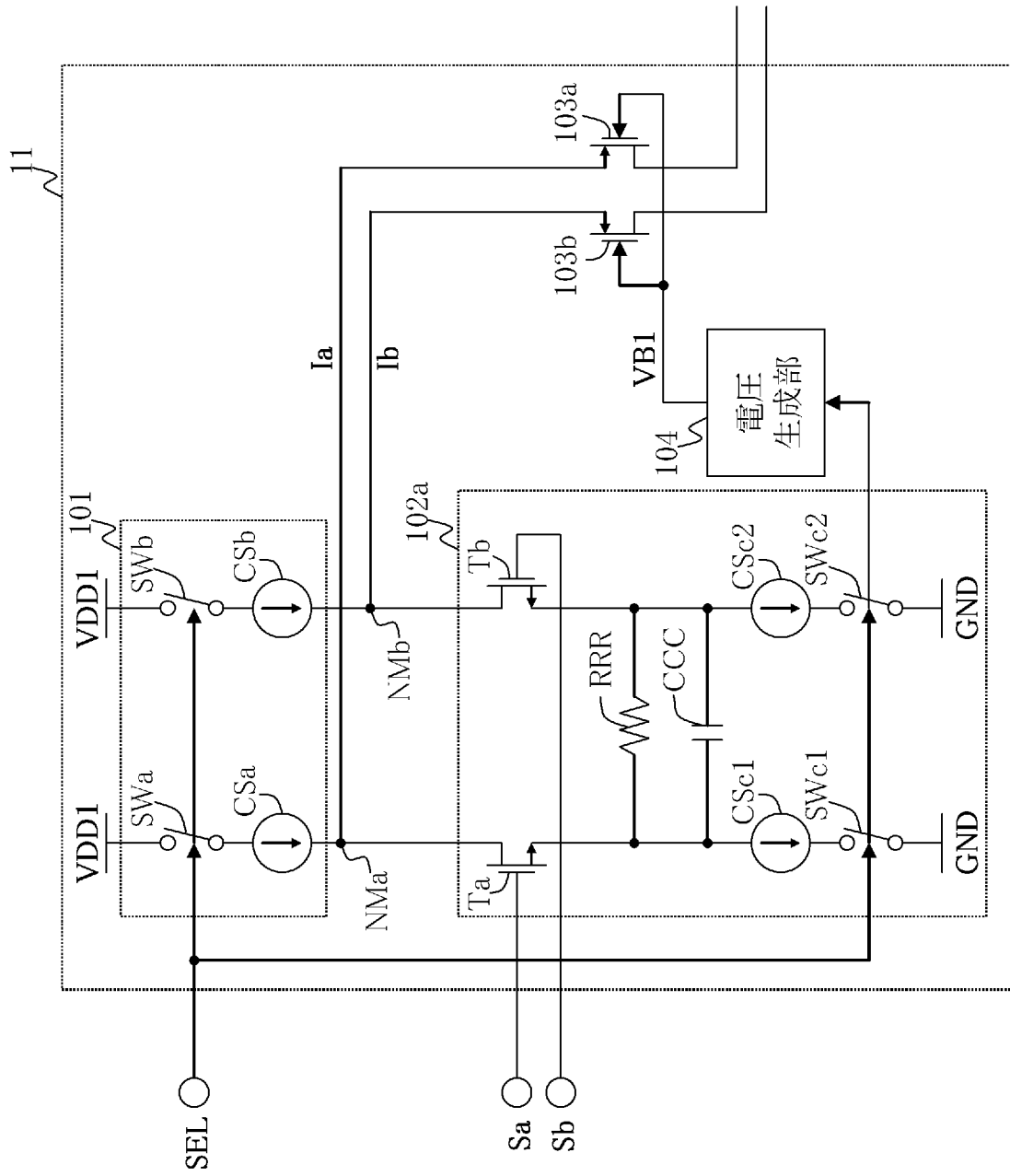
[16] 請求項 15 に記載の受信回路と、

前記受信回路からの電圧信号を処理する信号処理装置とを備えることを特徴とする受信システム。

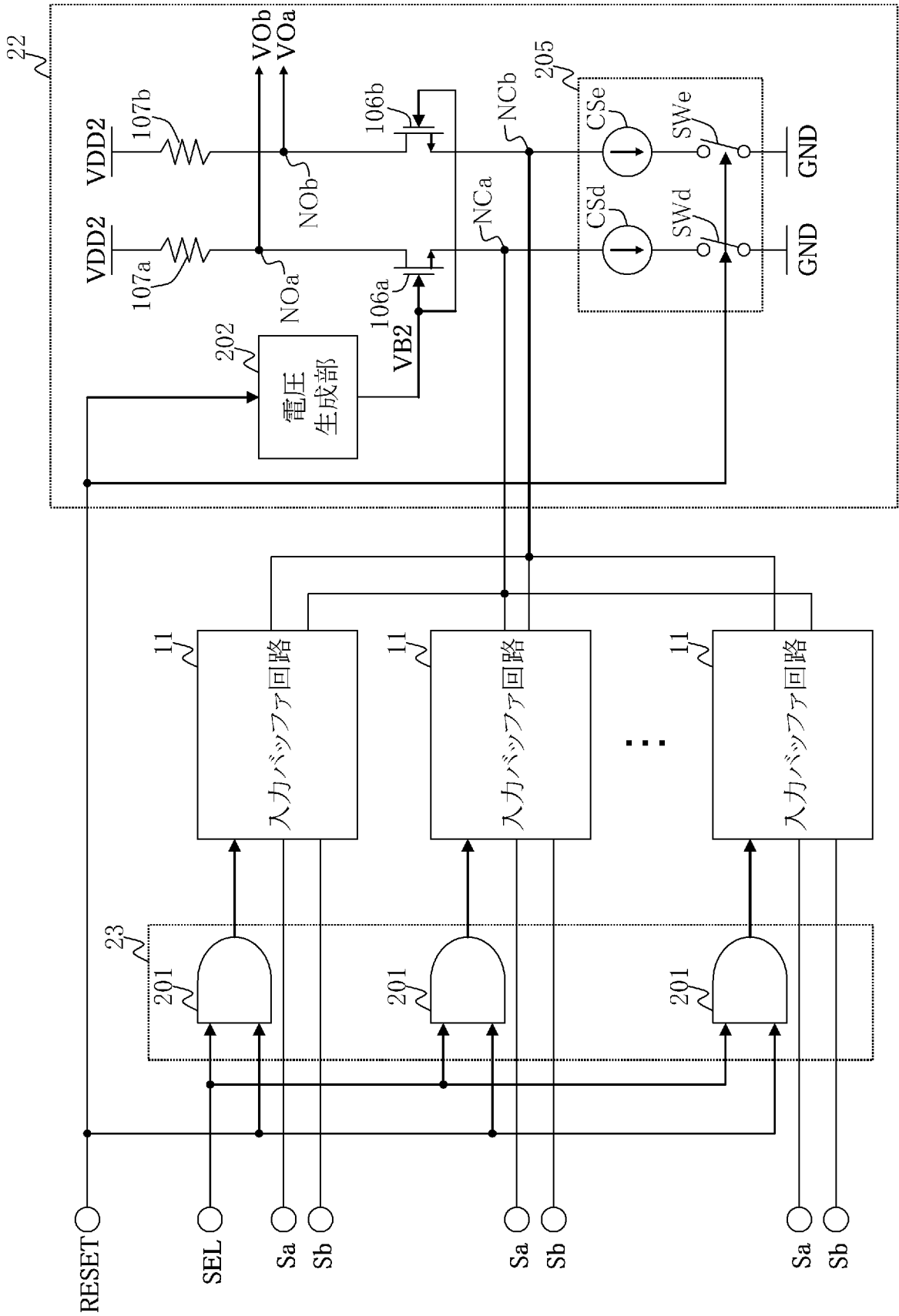
[図1]



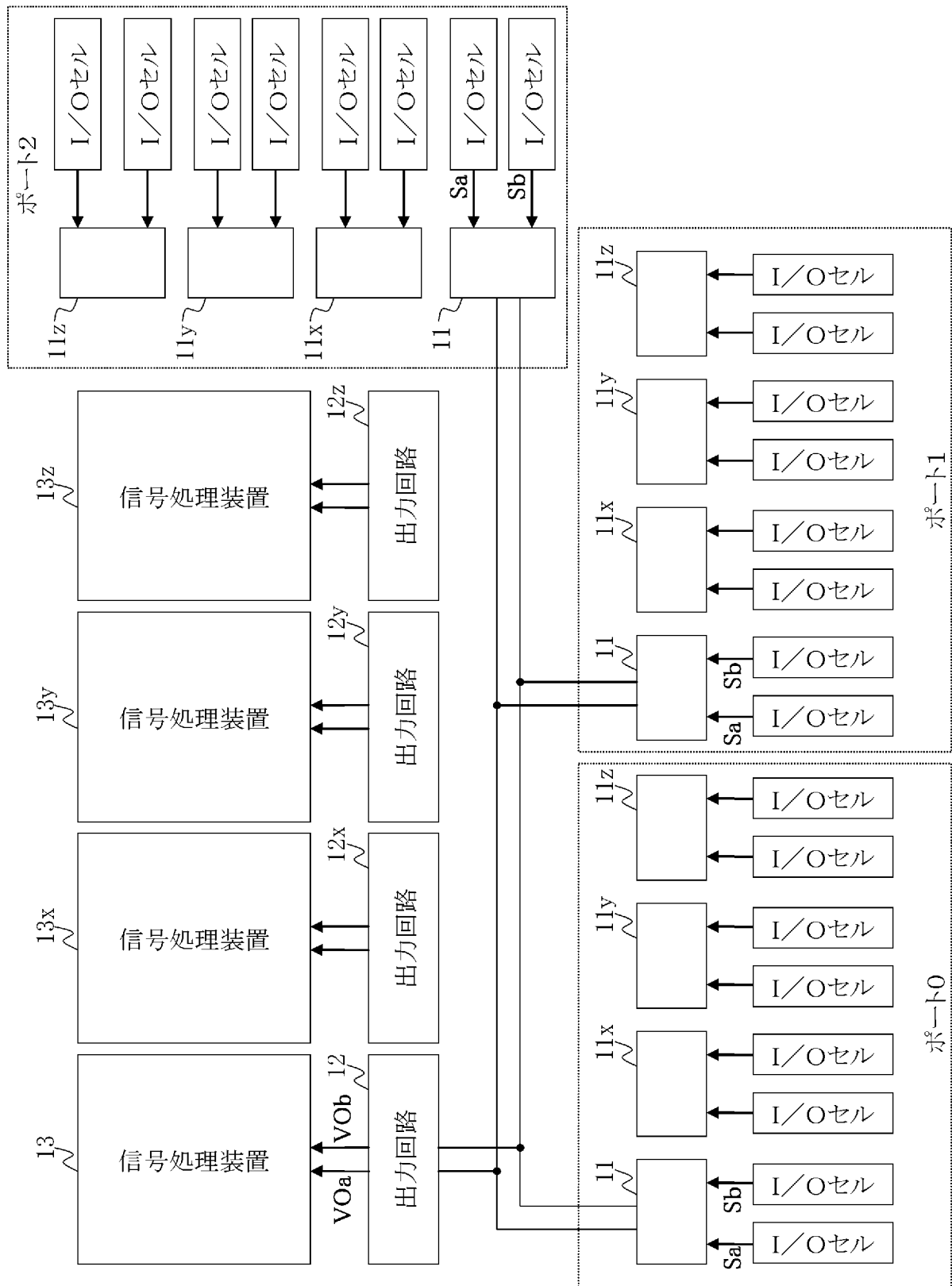
[図3]



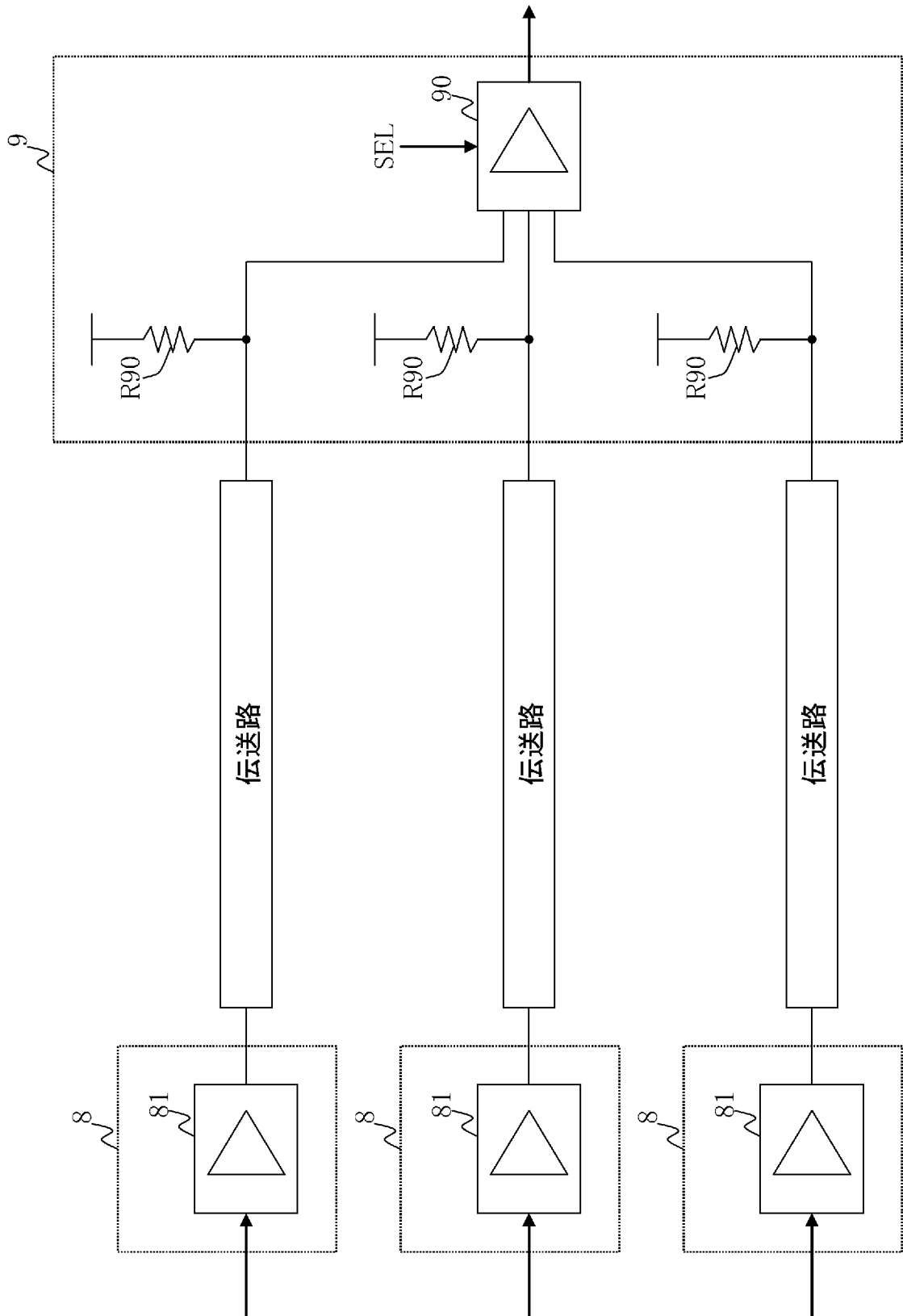
[図5]



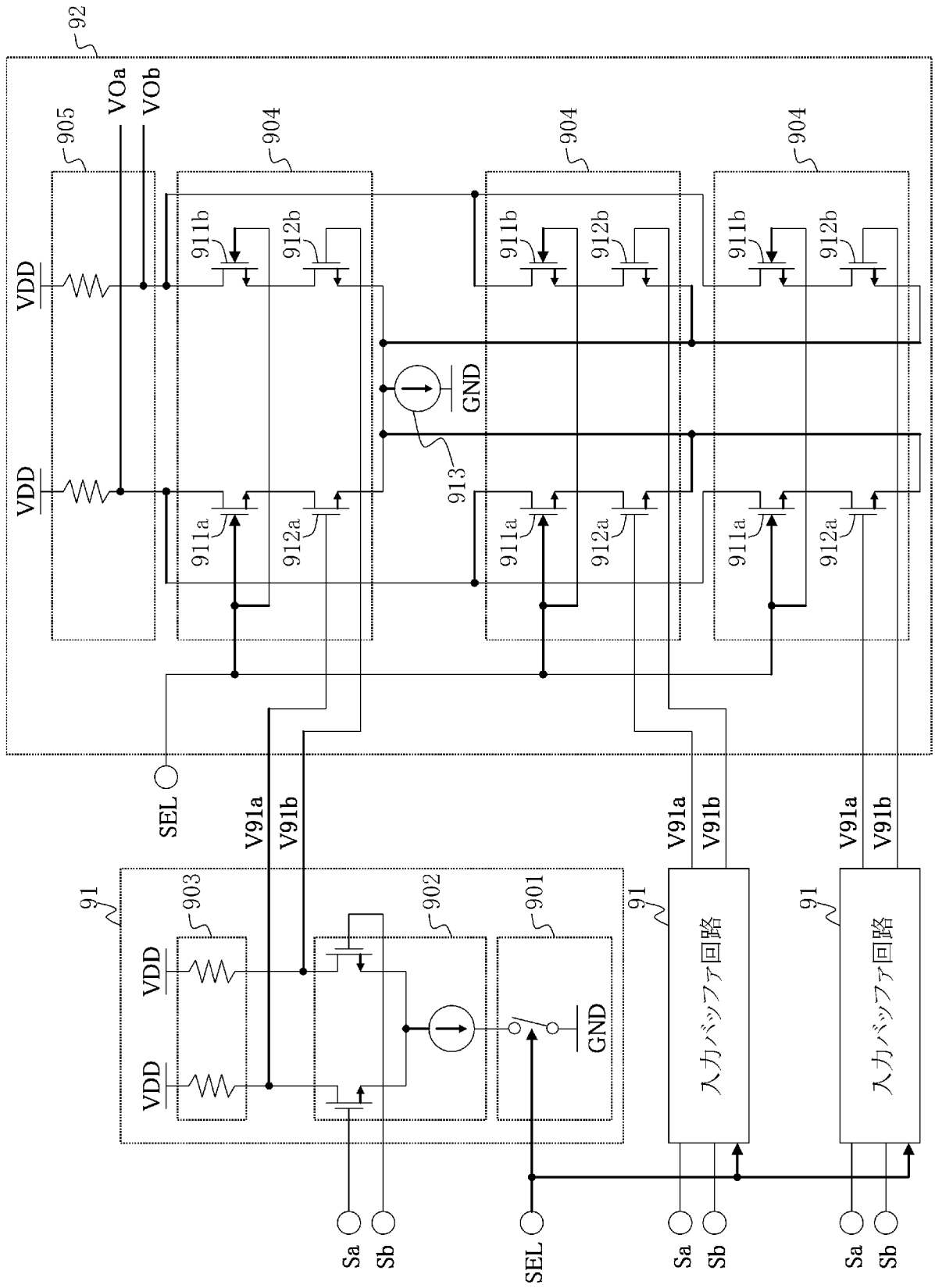
[図11]



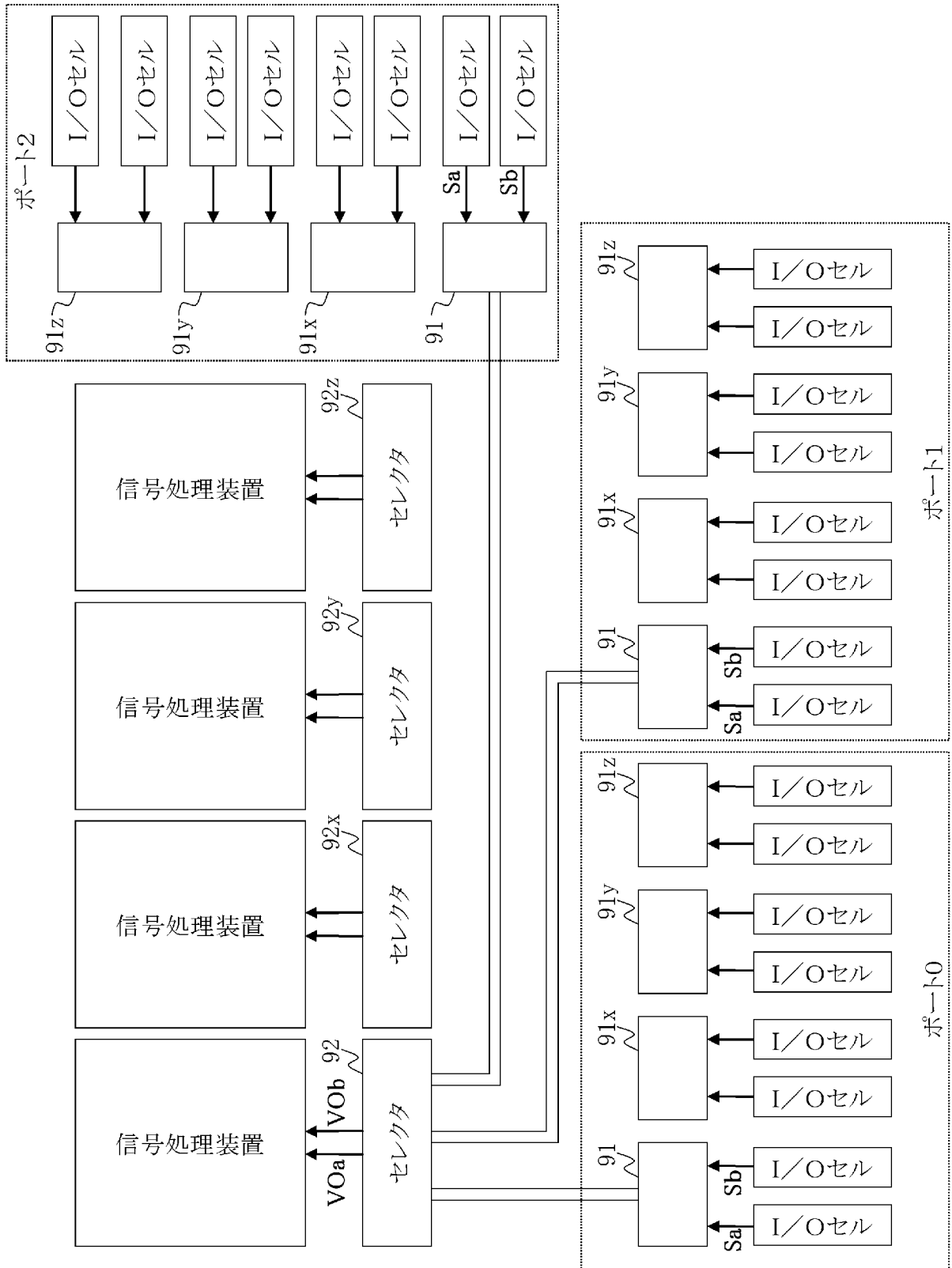
[図12]



[図13]



[図14]



INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2009/000386

A. CLASSIFICATION OF SUBJECT MATTER

H04L25/02(2006.01) i, H03K17/00(2006.01) i, H03K19/0175(2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H04L25/00-25/66, H03K17/00, H03K19/0175

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2009
Kokai Jitsuyo Shinan Koho	1971-2009	Toroku Jitsuyo Shinan Koho	1994-2009

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2007-274428 A (Thine Electronics, Inc.), 18 October, 2007 (18.10.07), Full text; all drawings & WO 2007/114265 A1	1-16
A	JP 4-170814 A (Mitsubishi Electric Corp.), 18 June, 1992 (18.06.92), Full text; all drawings (Family: none)	1-16
A	JP 5-114846 A (NEC Corp.), 07 May, 1993 (07.05.93), Full text; all drawings (Family: none)	1-16

Further documents are listed in the continuation of Box C.

See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance
 “E” earlier application or patent but published on or after the international filing date
 “L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
 “O” document referring to an oral disclosure, use, exhibition or other means
 “P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
 “X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
 “Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
 “&” document member of the same patent family

Date of the actual completion of the international search
25 February, 2009 (25.02.09)

Date of mailing of the international search report
10 March, 2009 (10.03.09)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (IPC))
 Int.Cl. H04L25/02(2006.01)i, H03K17/00(2006.01)i, H03K19/0175(2006.01)i

B. 調査を行った分野
 調査を行った最小限資料 (国際特許分類 (IPC))
 Int.Cl. H04L25/00-25/66, H03K17/00, H03K19/0175

最小限資料以外の資料で調査を行った分野に含まれるもの
 日本国実用新案公報 1922-1996年
 日本国公開実用新案公報 1971-2009年
 日本国実用新案登録公報 1996-2009年
 日本国登録実用新案公報 1994-2009年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	JP 2007-274428 A (ザインエレクトロニクス株式会社) 2007.10.18, 全文, 全図 & WO 2007/114265 A1	1-16
A	JP 4-170814 A (三菱電機株式会社) 1992.06.18, 全文, 全図 (ファミリーなし)	1-16
A	JP 5-114846 A (日本電気株式会社) 1993.05.07, 全文, 全図 (ファミリーなし)	1-16

☐ C欄の続きにも文献が列挙されている。 ☐ パテントファミリーに関する別紙を参照。

<p>* 引用文献のカテゴリー 「A」特に関連のある文献ではなく、一般的技術水準を示すもの 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す) 「O」口頭による開示、使用、展示等に言及する文献 「P」国際出願日前で、かつ優先権の主張の基礎となる出願</p>	<p>の日の後に公表された文献 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」同一パテントファミリー文献</p>
---	---

国際調査を完了した日 25.02.2009	国際調査報告の発送日 10.03.2009
--------------------------	--------------------------

国際調査機関の名称及びあて先 日本国特許庁 (ISA/J P) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官 (権限のある職員) 白井 亮	5 K	3 3 6 3
	電話番号 03-3581-1101 内線 3556		