(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) 。Int. Cl.^{7}
H01L 21/027

(11) 공개번호 특2003-0058247
(43) 공개일자 2003년07월07일

(21) 출원번호 10-2001-0088662
(22) 출원일자 2001년12월31일

(71) 출원인 주식회사 하이닉스반도체
경기 이천시 부발읍 아미리 산136-1

(72) 발명자 안명규
경기도이천시부발읍아미리산148-1현대전자아파트101-404

(74) 대리인 특허법인 신성

심사청구 : 없음

(54) 패턴 변형을 방지할 수 있는 반도체 소자 제조 방법

요약

본 발명은 반도체 소자 제조 방법에 관한 것으로, 특히 식각 공정에 따른 ArF 등의 고해상용 포토레지스트 패턴의 변형을 최소화할 수 있는 반도체 소자 제조 방법을 제공하기 위한 것으로, 이를 위해 본 발명은, 기판 상에 피식각층과 폴리머소스 제공막을 차례로 형성하는 단계; 상기 폴리머소스 제공막 상에 포토레지스트 패턴을 형성하는 단계; 상기 포토레지스트 패턴을 마스크로 해서 HBr계 플라즈마를 이용하여 상기 폴리머소스 제공막을 식각하여 상기 피식각층의 소정 영역을 노출시키되, 이 때 상기 포토레지스트 패턴 측벽에 폴리머를 부착시키는 단계; 및 적어도 상기 포토레지스트 패턴을 식각마스크로 하여 상기 피식각층을 식각하여 상기 기판 표면을 노출시키는 단계를 포함하는 반도체 소자 제조 방법을 제공한다.

대표도

도 2c

색인어

ArF, KrF, 폴리실리콘, 하드마스크층, Striation, Deformation, HBr.

명세서

도면의 간단한 설명

도 1a 내지 도 1d는 패턴 변형의 예를 도시한 전자주사현미경 사진,

도 2a 내지 도 2f는 본 발명의 일실시예에 따른 반도체 소자의 캐패시터 형성 공정을 도시한 단면도,

도 3은 도 2a 내지 도 2f에 따른 패턴 형상을 종래기술과 비교한 단면 및 평면 SEM 사진,

도 4는 본 발명의 다른 실시예인 LPC-2 공정 전 후의 패턴 형상을 비교 도시한 평면 및 단면 SEM 사진.

* 도면의 주요 부분에 대한 부호의 설명

20 : 하부구조 21 : 식각정지막

22 : 절연막 23 : 하드마스크층

24 : 폴리머소스 제공막 25 : 포토레지스트 패턴

26 : 폴리머

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 기술에 관한 것으로 특히, 패턴 변형을 방지할 수 있는 반도체 소자 제조 방법에 관한 것이다.

반도체 소자의 진전을 지지해 온 미세 가공 기술은 사진식각(Photo lithography) 기술인 바, 이 기술의 해상력 향상이 반도체 소자의 고집적화의 장래와 직결된다고 해도 과언은 아니다

이러한 사진식각 공정은 주지된 바와 같이, 포토레지스트 패턴을 형성하는 공정과 상기 포토레지스트 패턴을 식각 마스크로 하는 식각 공정을 통해 피식각층을 식각해서 원하는 형태의 패턴 예컨대, 콘택홀 등을 형성하는 공정을 포함하는 바, 여기서 포토레지스트 패턴은 피식각층 상에 포토레지스트를 도포하는 공정과 준비된 노광 마스크를 이용해 포토레지스트를 노광하는 공정 및 소정의 화학용액으로 노광되거나, 또는 노광되지 않은 포토레지스트 부분을 제거하는 현상 공정을 통해 이루어진다.

한편, 사진식각 공정으로 구현할 수 있는 패턴의 임계치수(Critical Dimension; 이하 CD라 함)는 전술한 노광 공정에서 어떤 파장의 광원을 사용하냐에 따라 좌우된다. 이것은 노광 공정을 통해 구현할 수 있는 포토레지스트 패턴의 폭에 따라 실제 패턴의 CD가 결정되기 때문이다.

“단계와 반복” 의 노광방식을 채택한 초기의 스테퍼(Stepper)에서 사용한 광원의 파장은 436㎚ (g-line)에서 365㎚(i-line)을 거쳐 현재는 248㎚(KrF Excimer Laser) 파장의 DUV(Deep Ultra-violet)를 이용하는 스테퍼나 스캐너 타입의 노광장비를 주로 사용하고 있다. 248㎚의 DUV 사진식각 기술은 초기에 시간 지연 효과, 기질 의존성 등과 같은 많은 문제들이 발생하여 0.18㎛ 디자인의 제품을 개발하였다. 그러나 0.15㎛ 이하의 디자인을 갖는 제품을 개발하기 위해서는 새로운 193㎚(ArF Excimer Laser)의 파장을 갖는 새로운 DUV 사진식각 기술로의 기술개발이 필수적이다. 그러나, 이러한 DUV 사진식각 기술에서 해상력을 높이기 위한 여러 기술을 조합한다 하여도 0.1㎛ 이하의 패턴은 불가능하므로 새로운 광원을 갖는 사진식각 기술의 개발이 활발히 진행되고 있다.

현재는 ArF(불화아르곤) 레이저(λ=193㎚)로 하는 장비를 0.11㎛까지의 패턴을 목표로 개발하고 있다. DUV 사진식각 기술은 i-선 대비 해상도 및 DOF 등의 성능면에서 우수하지만, 공정제어가 쉽지 않다. 이러한 문제는 짧은 파장에서 기인된 광학적인 원인과 화학증폭형 레지스트의 사용에 의한 화학적인 원인으로 구분할 수 있다. 파장이 짧아지면 정지파 효과에 의한 CD 흔들림 현상과 기질 위상에 의한 반사광의 새김현상이 심해진다. CD 흔들림이란 입사광과 반사광의 간섭 정도가 레지스트의 미소한 두께 차이 또는 기질 필름의 두께차이에 따라 변함으로써 결과적으로 선 두께가 주기적으로 변하는 현상을 말한다. DUV 공정에서는 민감도 향상을 위해서 화학증폭형 포토레지스트를 사용할 수 밖에 없는데, 그 반응메카니즘과 관련하여 PED(Post Exposure Delay) 안정성, 기질 의존성 등의 문제점이 발생하는 바, ArF 노광기술의 핵심 과제 중의 하나는 ArF용 포토레지스트의 개발이다. ArF는 KrF 와 같은 화학 증폭형이지만 재료를 근본적으로 개량해야 하는 필요가 있기 때문인데, ArF 포토레지스트 재료 개발이 어려운 것은 벤젠고리를 사용할 수 없기 때문이다. 벤젠고리는 건식 식각(Dry etching) 내성을 확보하기 위해 i-선 및 KrF용 포토레지스트에 사용되어 왔다. 그러나, ArF용 포토레지스트에 벤젠고리가 사용될 경우 ArF 레이저의 파장영역인 193nm에서 흡광도가 크기 때문에 투명성이 떨어져 포토레지스트 하부까지 노광이 불가능한 문제가 발생한다. 이 때문에, 벤젠고리를 가지지 않고 건식 식각 내성을 확보할 수 있으며, 접착력이 좋고 2.38% TMAH에 현상할 수 있는 재료의 연구가 진행되고 있다. 현재까지 세계적으로 많은 회사 및 연구소에서 연구성과를 발표하고 있는 상태이나, 아직까지 상용화 되어 있는 것으로는 COMA(CycloOlefin-Maleic Anhydride) 또는 아크릴레이드(Acrylate) 계통의 폴리머 형태, 또는 이들의 혼합 형태이다. 하지만, 상기한 포토레지스트는 상기한 바와 같은 벤젠 구조를 가지고 있다.

따라서, ArF 노광원을 이용한 사진식각을 통해 게이트 등을 형성하기 위해 식각공정을 진행할 때 줄무늬 모양 형태의 패턴의 변형으로 패턴의 일부가 패인다든지(Striation), 식각 도중 포토레지스트가 뭉치거나(Cluster) 성형 변형(Plastic deformation)되는 현상과 식각 도중 포토레지스트의 내성이 약하여 한쪽으로 몰리는 현상이 발생하며, 이는 주로 게이트 등의 식각 손실 등을 방지하기 위해 사용되는 하드마스크용 식각가스인 불소계 가스가 전술한 아크릴레이드 등의 ArF용 포토레지스트와 반응하여 포토레지스트 자체의 변형을 유발하기 때문이다.

따라서, ArF용 포토레지스트의 약한 내구성과 불소계 기체에서의 약한 물성 적 특성을 보완하는 것이 시급한 과제이다.

후술하는 도 1a 내지 도 1d는 전술한 패턴 변형의 예를 도시한 전자주사현미경(Scanning Electron Microscopy; 이하 SEM이라 함) 사진이며, 이중 도 1a 와 도 1b는 캐패시터 형성을 위한 산화막 식각시 장벽 역할을 하는 포토레지스트 패턴이 식각 도중 변형됨으로써, 변형된 포토레지스트 패턴 모양이 그대로 전사되어 하부 산화막 내벽이 국부적으로 패이거나(Striation), 전체적인 변형이 일어난(Deformation) 것을 나타낸다.

도 1a는 캐패시터 산화막 식각 중간에 포토레지스트 패턴 변화를 관찰하기 위해 식각을 중단하고 웨이퍼를 꺼내어 SEM으로 촬영한 것으로서, 포토레지스트 패턴(10)의 전체적인 변형(11)과 국부적인 패임(12)을 뚜렷하게 관찰할 수 있다.

도 1b는 캐패시터 산화막을 완전히 식각하고 난 후의 최종 단면으로, 전체적으로 큰 문제자 없어보이나, 도시된 바와 같이 확대하여 살펴 보면 식각 장벽 역할을 하는 포토레지스트 패턴이 식각 중에 변형됨으로써 그 형태가 하부 산화막에 그래로 전사됨으로써, 식각된 산화막의 상단부에서 보듯이 캐패시터 내부 산화벽이 울퉁불퉁하게 변형된 형태를 보인다.

또한, 도 1c 내지 도 1d는 산화막 식각시 하부층 예컨대, 질화막과의 고선택비를 이용하는 자기정렬콘택(Self Align Contact; 이하 SAC이라 함) 식각 공정에서 유발되는 패턴 변형을 도시한다.

도 1c는 0.10μm 공정 중 소스/드레인 접합과의 전기적 연결을 위해 플러그를 형성하기 위한 식각 공정인 LPC(Landing Plug Contact)-1 공정 중에 발생한 국부적 인 패임 현상(12)을 나타내며, 도 1d는 캐패시터와 하부 LPC-1 플러그와의 전기적 연결을 위해 필요한 플러그를 형성하기 위한 LPC-2 공정 중에 발생한 포토레지스트 패턴의 전체적인 변형(11)을 나타낸다.

발명이 이루고자 하는 기술적 과제

상기와 같은 종래기술의 문제점을 해결하기 위하여 제안된 본 발명은, 식각 공정에 따른 ArF 등의 고해상용 포토레지스트 패턴의 변형을 최소화할 수 있는 반도체 소자 제조 방법을 제공하는데 그 목적이 있다.

발명의 구성 및 작용

상기와 같은 문제점을 해결하기 위해 본 발명은, 기판 상에 피식각층과 폴리머소스 제공막을 차례로 형성하는 단계; 상기 폴리머소스 제공막 상에 포토레지스트 패턴을 형성하는 단계; 상기 포토레지스트 패턴을 마스크로 해서 HBr계 플라즈마를 이용하여 상기 폴리머소스 제공막을 식각하여 상기 피식각층의 소정 영역을 노출시키되, 이 때 상기 포토레지스트 패턴 측벽에 폴리머를 부착시키는 단계; 및 적어도 상기 포토레지스트 패턴을 식각마스크로 하여 상기 피식각층을 식각하여 상기 기판 표면을 노출시키는 단계를 포함하는 반도체 소자 제조 방법을 제공한다.

본 발명은, 하부의 산화막 등의 피식각층을 식각하기 전에 폴리머를 다량 발생시키는 하드마스크 재료와 식각 가스를 사용하여 포토레지스트 패턴 주변을 감싸 도록 함으로써, 후속 피식각층 식각시 포토레지스트 패턴의 변형을 방지하는 것을 기술적 특징으로 한다.

이하, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 본 발명을 보다 용이하게 실시할 수 있도록 하기 위하여 본 발명의 바람직한 실시예를 첨부한 도면을 참조하여 상세하게 설명하는 바, 도 2a 내지 도 2f는 본 발명의 일실시예에 따른 반도체 소자의 캐패시터 형성 공정을 도시한 단면도이며, 도 3은 도 2a 내지 도 2f에 따른 패턴 형상을 종래기술과 비교한 단면 및 평면 SEM 사진이며, 도 4는 본 발명의 다른 실시예인 LPC-2 공정 전 후의 패턴 형상을 비교 도시한 평면 및 단면 SEM 사진이다.

먼저, 도 2a에 도시된 바와 같이 트랜지스터 형성 공정 등이 완료된 소정의 하부 구조(20) 즉, 기판 상부에 캐패시터 형성을 위한 각각의 층을 형성한다.

구체적으로, 캐패시터 산화막 식각에서의 과도 식각(Overetch)시 하부 구조(20)의 식각 손상을 방지하기 위하여 식각정지를 위한 질화막 계열의 식각정지막(21)을 증착한 후, 그 상부에 캐패시터 구조 형성을 위한 산화막(22)을 증착한다. 이어서, 설계 규칙(Design rule)의 감소로 인하여 패턴 형성을 위한 포토레지스트의 두께는 점점 낮아져 포토레지스트 만의 두께로는 1.5㎛ 이상의 캐패시터 산화막(22)을 식각하기 어렵기 때문에 0.16㎛ 이하급 소자의 경우 포토레지스트 하부의 산화막과의 식각선택비가 높은 하드마스크(Hard mask)층을 증착하는 바, 예컨대, 폴리실리콘 등을 이용하여 단독 또는 적층하여 사용한다.

다음으로, 도 2b에 도시된 바와 같이 후속 산화막(22) 식각시 포토레지스트 패턴의 패임 현상 또는 변형을 방지하기 위해 포토레지스트 패턴 측벽에 얇고 치밀한 폴리머를 형성하기 위한 목적으로 폴리머소스 제공막(24)을 형성하는 바, 실리콘산화질화막, 실리콘질화막, 탄탈륨산화질화막 또는 탄탈륨산화막 등의 폴리머 소스 물질막을 단독 또는 적층하여 사용하며, 이 때 50Å 500Å의 두께로 형성한다.

이 때, 폴리머소스 제공막(24)을 산화막(22)과 직접 접촉하여 사용할 수 있다.

이어서, COMA 또는 아크릴레이드 등의 포토레지스트를 소정의 두께가 되도록 도포한 다음, 불화아르곤(ArF), 불화크롬(KrF), 전자빔(Electron Beam), X-선(X-ray) 또는 EUV(Extream Ultra-Violet) 등의 노광원(도시하지 않음)과 삼화막(22) 식각 폭을 정의하기 위한 레티클(도시하지 않음)을 이용하여 포토레지스트의 소정 부분을 선택적으로 노광하고, 현상 공정을 통해 노광 공정을 통해 노광되거나 혹은 노광되지 않은 부분을 잔류시킨 다음, 후세정 공정 등을 통해 식각 잔유물 등을 제거함으로써 포토레지스트 패턴(25)을 형성한다.

다음으로, 도 2c에 도시된 바와 같이 포토레지스트 패턴(25)을 식각마스크로 해서 HBr 계열의 플라즈마를 이용하여 폴리머소스 제공막(24)을 식각하여 하드마스크층(23)을 노출시키는 바, 이 때 HBr의 식각 가스 성분과 포토레지스트의 탄소(C) 성분과 폴리머소스 제공막(24)이 반응하여 포토레지스트 패턴(25) 측벽에 매우 얇고 치밀한 폴리머(26)가 부착되며, 이 때 폴리머가 0Å 500Å의 두께가 되도록 식각 공정을 적절히 조절한다.

즉, 측벽에 부착되는 폴리머(26)의 두께및 막 치밀화를 위해 챔버 압력과 온도를 공정 진행 동안 각각 1mTorr 100mTorr 및 0℃ 300℃로 유지하며, 소스 파워를 100W 2000W, 바이어스 파워를 0W 2000W로 조절하며, 이 때 하부구조(20)의 온도를 0℃ 300℃로 유지한다.

또한, HBr 가스의 양을 5SCCM 500SCCM으로 사용하며, 여기에 Cl_2 또는 O_2 를 단독 또는 혼합하여 전체의 0% 90%의 함량이 될 때까지 조절하며, 이러한 식각 공정은 헬리컨(Helicon), 헬리컬(Helical), TCP(Transformer Coupled Plasma), ICP(Inductively Coupled Plasma), ECR(Electron Cyclotron Resonance) 또는 SWP(Surface Wave Plasma) 등의 고밀도 플라즈마 소스(High density plasma source) 또는 평행판(Parallel plate), 반응성이온식각(Reactive Ion Etching; 이하 RIE라 함) 또는 MERIE(Magnetically Enhanced Reactive Ion Etching) 등의 저/중밀도 플라즈마 소스(Low/Medium density plasma source) 등의 장비를 이용한다.

다음으로, 도 2d에 도시된 바와 같이 측벽에 폴리머(26)가 부착된 포토레지스트 패턴(25)을 식각마스크로 해서 하드마스크층(23)을 식각하여 산화막(22) 표면을 노출시키는 바, 이 때 포토레지스트 패턴(25)의 일부는 식각이 일어나 그 높이가 낮아지며 그 측벽은 치밀한 폴리머(26)에 의해 보호된다.

다음으로, 도 2e에 도시된 바와 같이 포토레지스트 패턴(25)을 포한한 하드마스크층(23)을 식각마스크로 하여 산화막(22)의 일부 두께를 식각하여캐패시터 형 성을 위한 단면 모양을 형성하는 바, 이 때 포토레지스트 패턴(250과 폴리머(26) 및 폴리머소스 제공막(24)은 제거된다.

다음으로, 도 2f에 도시된 바와 같이 하드마스크층(23)을 식각마스크로 하여 잔류하는 산화막(22)과 식각정지막(21)을 식각하여 하부 구조(20)의 소정 영역을 노출시키는 오픈부(27)를 형성하는 바, 이 때 하드마스크층(23) 일부는 잔류하게 된다.

이후는 일반적인 캐패시터 형성 공정을 거친다. 예컨대, 하드마스크층(23)을 전면식각을 통해 제거한 다음, 하부전극을 증착하고, 포토레지스트 도포 및 전면식각 도는 화학기계적연마(Chemical Mechanical Polishing; 이하 CMP라 함) 공정을 통해 하부전극간을 분리시킨 다음, 전하저장을 위한 유전체와 상부전극을 증착하는 일련의 공정을 통해 캐패시터 형성 공정이 완료된다.

도 3의 (a)에서는 종래의 측면 패임(Striation)과 패턴 변형(Deformation)이 도시되어 있으며, 도 3의 (b)는 전술한 본 발명의 일실시예에서의 캐패시터 산화막의 평면적인 식각 프로파일을 도시하고 있으며, 도 3의 (c)는 단면적인 식각 프로파일을 도시하고 있는 바, 전술한 본 발명의 일실시예에서는 포토레지스트 패턴의 측벽에 폴리머를 부착하여 하부층 식각시 측벽에 부착된 폴리머에 의해 포토레지스트 패턴을 보호함으로써, 포토레지스트 패턴의 측면 패임 및 패턴 변형을 방지할 수 있다.

이어서, 본 발명의 다른 실시예인 LPC-2 공정을 살펴보는 바, 여기서도 전술한 일실시예와 동일한 공정 조건 하에서 실시한다. 즉, HBr계 플라즈마를 이용한 폴리머소스 제공막을 식각하여 포토레지스트 패턴 측벽에 폴리머를 부착시킴으로써, 패턴의 패임과 변형을 방지할 수 있다.

도 4의 (a)는 예컨대, ArF 포토레지스트를 이용한 LPC-2 공정 전의 포토레지스트의 패터닝 형태를 도시한 평면 SEM 사진이며, 도 4의 (b)는 도 4의 (a)를 본 발명의 공정을 적용하여 LPC-2 식각한 후의 평면 SEM 사진이며, 도 4의 (c)와 도 4의 (d)는 각각 도 4의 (b)를 X축과 Y축 방향으로 절단한 단면 SEM 사진이다.

즉, 도 4에 도시된 바와 같이 LPC-2 공정에서도 전술한 효과를 거둘 수 있다.

전술한 본 발명은, 식각 공정에 따른 포토레지스트의 손실 및 변형을 방지하기 위해 폴리머소스 제공막과 HBr 식각 가스를 이용한 식각 공정을 통해 폴리머를 포토레지스트 패턴 측벽에 부착시켜 보호함으로써, 다음과 같은 장점이 있다.

가. 종래의 캐채시터 형성 공정에서 포토레지스트 패턴의 변형으로 인하여 캐패시터 면적이 감소될 수 있고, 이로부터 원하는 유전값을 얻을 수 없기 때문에 리프레쉬 스펙(Refresh spec)을 만족시키지 못하고 소자의 신뢰성에 심각한 문제가 유발될 수 있는 바, 본 발명의 기술 적용으로 이러한 포토레지스트 패턴의 변형 현상을 원천적으로 방지할 수 있어 안정한 캐패시터 형성 공정을 확보할 수 있다.

나. 종래의 LPC-2 공정에서 포토레지스트의 패임과 변형 형상으로 인하여 오픈되는 콘택 \ 의 면적이 감소되거나 게이트전극/LPC-1 간의 단락이나 또는 비트라인/LPC-2 간의 단락 문제가 발생할 수 있어, 리프레쉬 스펙을 만족하지 못하거나, 많은 결함이 유발되어 소자의 신뢰성에 심각한 문제가 발생될 수 있는 바, 본 발명의 기술 적용으로 이러한 포토레지스트 패턴의 변형 현상을 원천적으로 방지할 수 있기 때문에 안정한 SAC 공정을 확보할 수 있다.

따라서, 본 발명은 소자의 신뢰성 향상을 도모할 수 있으며, ArF 등의 공정 기술 개발을 단축시킬 수 있다.

이상에서 설명한 본 발명은 전술한 실시예 및 첨부된 도면에 의해 한정되는 것이 아니고, 본 발명의 기술적 사상을 벗어나지 않는 범위 내에서 여러 가지 치환, 변형 및 변경이 가능하다는 것이 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 있어 명백할 것이다.

발명의 효과

전술한 본 발명은, 사진식각 공정에 따른 PR 패턴의 변형과 손실을 방지할 수 있도록 함으로써, 궁극적으로 반도체 소자의 수율을 크게 향상시킬 수 있는 탁월한 효과를 기대할 수 있다.

(57) 청구의 범위

청구항 1.

기판 상에 피식각층과 폴리머소스 제공막을 차례로 형성하는 단계;

상기 폴리머소스 제공막 상에 포토레지스트 패턴을 형성하는 단계;

상기 포토레지스트 패턴을 마스크로 해서 HBr계 플라즈마를 이용하여 상기 폴리머소스 제공막을 식각하여 상기 피식각층의 소정 영역을 노출시키되, 이 때 상기 포토레지스트 패턴 측벽에 폴리머를 부착시키는 단계; 및

적어도 상기 포토레지스트 패턴을 식각마스크로 하여 상기 피식각층을 식각하여 상기 기판 표면을 노출시키는 단계

를 포함하는 반도체 소자 제조 방법.

청구항 2.

제 1 항에 있어서,

상기 피식각층은 산화막을 포함하는 것을 특징으로 하는 반도체 소자 제조 방법.

청구항 3.

제 1 항에 있어서,

상기 포토레지스트 패턴 측벽에 상기 폴리머를 부착시키는 단계에서 상기 폴리머가 0Å 내지 500Å의 두께가 되도록 하는 것을 특징으로 하는 반도체 소자 제 조 방법.

청구항 4.

제 1 항에 있어서,

상기 폴리머를 상기 포토레지스트 패턴 측벽에 부착시키는 단계에서, 상기 HBr 가스의 양을 5SCCM 500SCCM으로 사용하는 것을 특징으로 하는 반도체 소자 제조 방법.

청구항 5.

제 4 항에 있어서,

상기 가스에 Cl_2 또는 O_2 를 단독 또는 혼합 첨가하여 전체의 0% 내지 90%의 함량이 될 때까지 조절하여 사용하는 것을 특징으로 하는 반도체 소자 제조 방법.

청구항 6.

제 1 항에 있어서,

상기 폴리머를 상기 포토레지스트 패턴 측벽에 부착시키는 단계는 1mTorr 내지 100mTorr의 압력 및 0℃ 내지 300℃의 온도 하에서 실시하는 것을 특징으로 하는 반도체 소자 제조 방법.

청구항 7.

제 6 항에 있어서,

상기 폴리머를 상기 포토레지스트 패턴 측벽에 부착시키는 단계에서, 100W 내지 2000W의 소스 파워와 0W 내지 2000W의 바이어스 파워를 이용하며, 상기 기판의 온도를 0℃ 300℃로 유지하는 것을 특징으로 하는 반도체 소자 제조 방법.

청구항 8.

제 1 항에 있어서,

상기 폴리머소스 제공막을 50Å 내지 500Å의 두께로 형성하는 것을 특징으로 하는 반도체 소자 제조 방법.

청구항 9.

제 1 항에 있어서,

상기 폴리머소스 제공막은 실리콘산화질화막, 실리콘질화막, 탄탈륨산화질화막 및 탄탈륨산화막으로 이루어진 그룹으로부터 선택된 적어도 하나를 포함하는 것을 특징으로 하는 반도체 소자 제조 방법.

청구항 10.

제 1 항에 있어서,

상기 폴리머소스 제공막을 형성하는 단계에서 상기 피식각층과 상기 폴리머 소스 제공막 사이에 개재된 하드마스크층을 형성하는 단계를 더 포함하는 것을 특징으로 하는 반도체 소자 제조 방법.

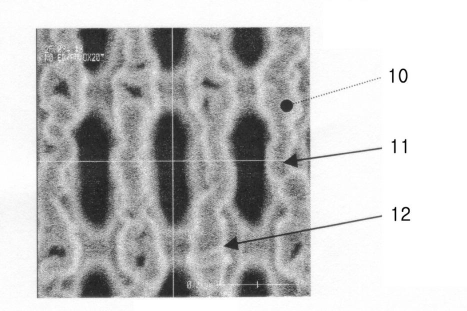
청구항 11.

제 10 항에 있어서,

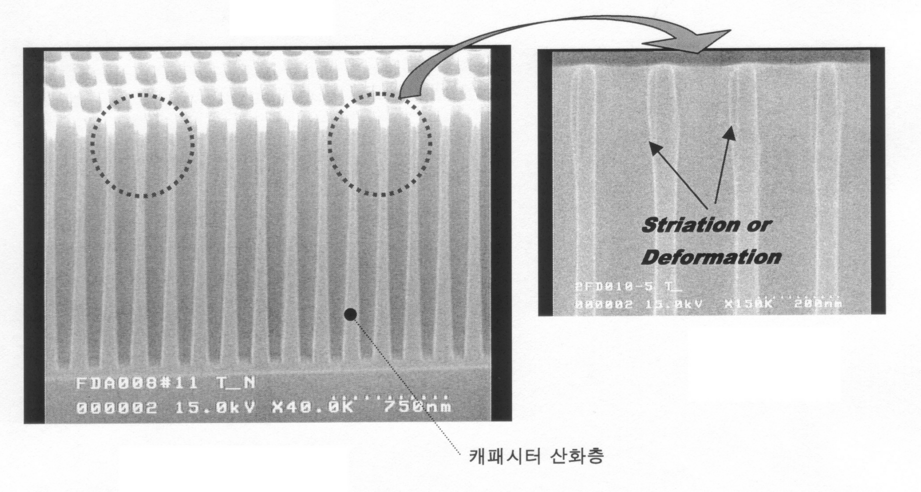
상기 하드마스크층은 폴리실리콘을 포함하는 것을 특징으로 하는 반도체 소자 제조 방법.

도면

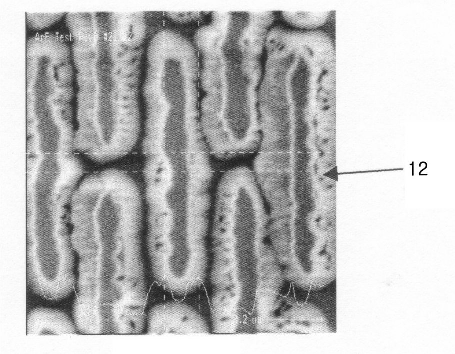
도면1a



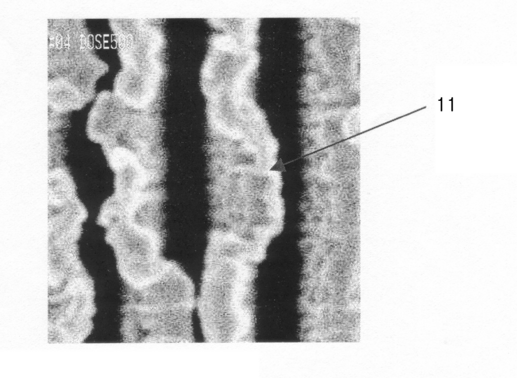
도면1b



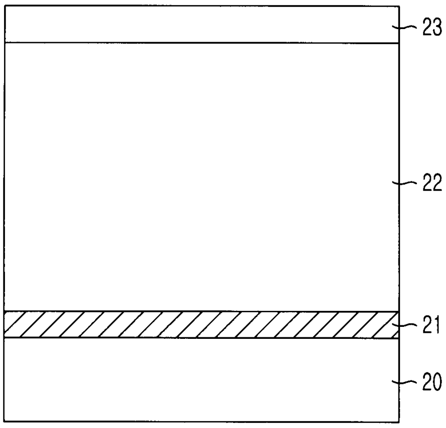
도면1c



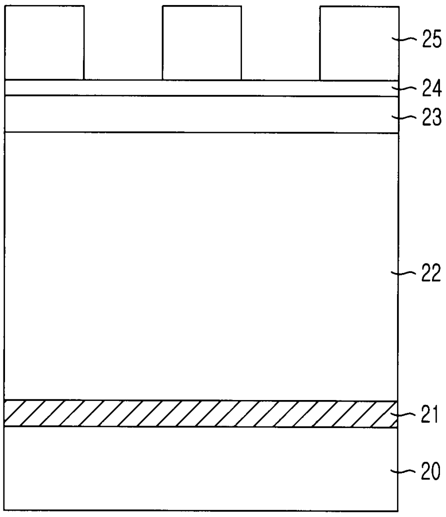
도면1d



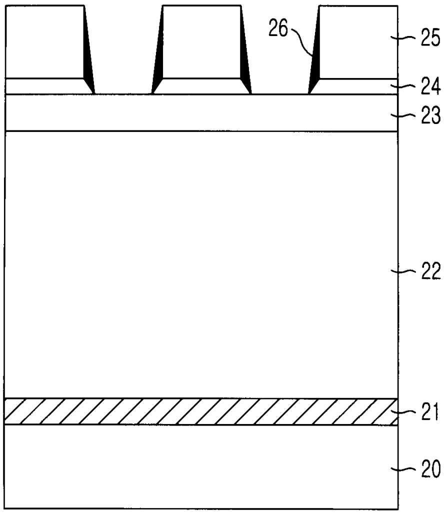
도면2a



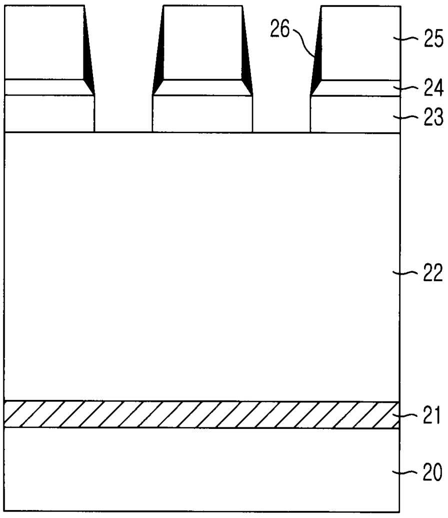
도면2b



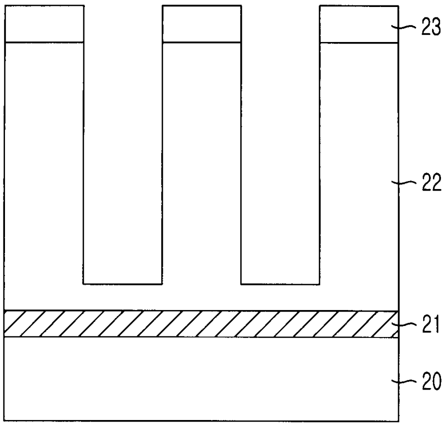
도면2c



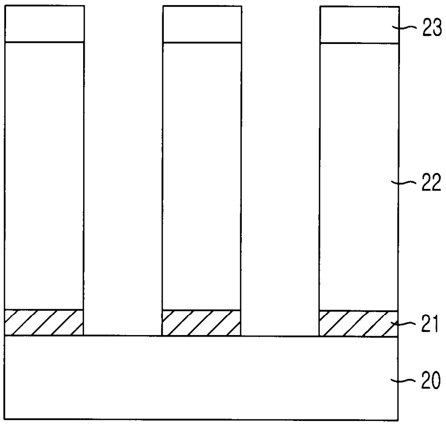
도면2d



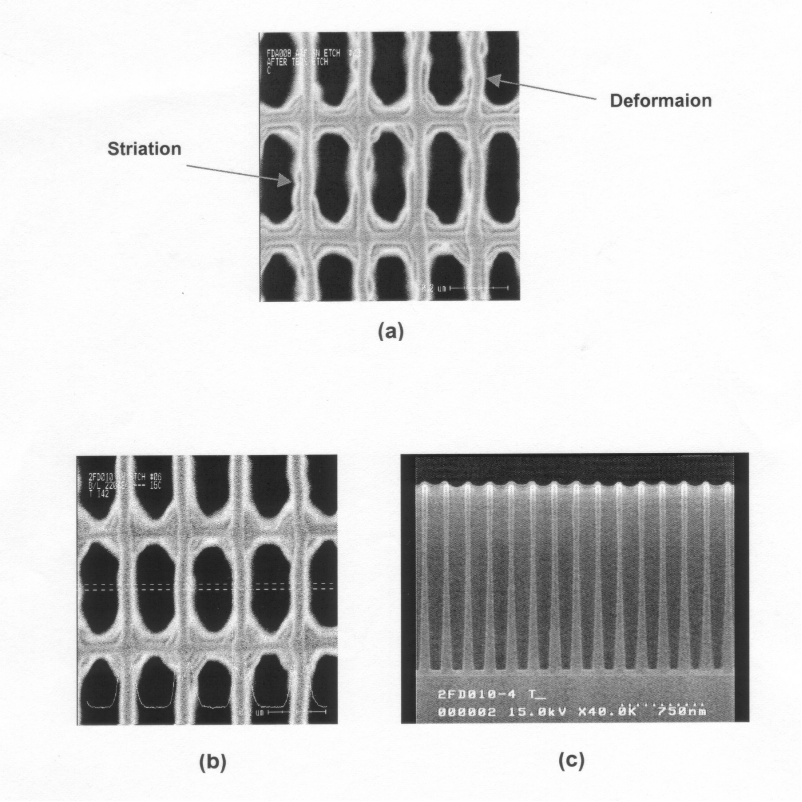
도면2e



도면2f



도면3

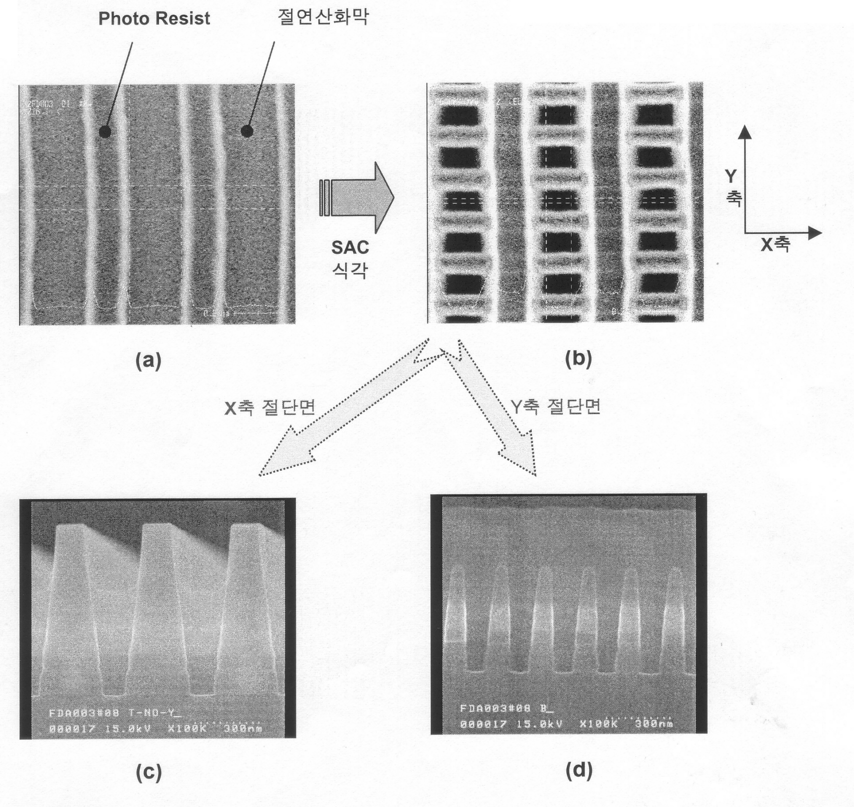


(a)

(b)

(c)

도면4



(a)

(b)

(c)

(d)