



(12) 发明专利申请

(10) 申请公布号 CN 103155137 A

(43) 申请公布日 2013. 06. 12

(21) 申请号 201280001234. 7

(51) Int. Cl.

(22) 申请日 2012. 05. 31

H01L 21/78 (2006. 01)

(30) 优先权数据

H01L 21/301 (2006. 01)

13/161, 026 2011. 06. 15 US

(85) PCT申请进入国家阶段日

2012. 10. 26

(86) PCT申请的申请数据

PCT/US2012/040307 2012. 05. 31

(87) PCT申请的公布数据

W02012/173793 EN 2012. 12. 20

(71) 申请人 应用材料公司

地址 美国加利福尼亚州

(72) 发明人 类维生 S·辛格

M·R·亚拉曼希里 B·伊顿

A·库玛

(74) 专利代理机构 上海专利商标事务所有限公

司 31100

代理人 陆勃

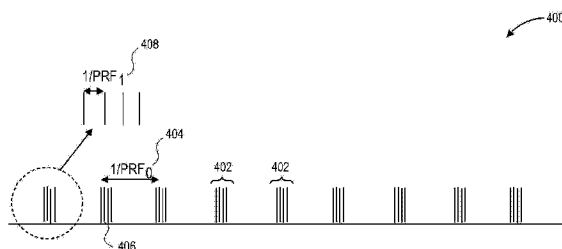
权利要求书2页 说明书10页 附图9页

(54) 发明名称

使用具有多重脉冲的脉冲列激光与等离子体
体蚀刻的晶圆切割

(57) 摘要

本发明描述切割半导体晶圆的方法,每个晶圆具有数个集成电路。一种方法包括以下步骤:于半导体晶圆上方形成光罩。该光罩由覆盖并保护该等集成电路的层所组成。以使用多重脉冲的脉冲列激光雕绘工艺图案化该光罩,以提供具有间隔的图案化光罩。该图案化暴露出在集成电路之间的半导体晶圆的区域。之后经由图案化光罩中的间隔蚀刻半导体晶圆,以切割该等集成电路。



1. 一种切割包含数个集成电路的一半导体晶圆的方法,该方法包含以下步骤:
于该半导体晶圆上方形成一光罩,该光罩包含一覆盖并保护该等集成电路的层;
以一使用多重脉冲的脉冲列激光雕绘工艺图案化该光罩,以提供一具有间隔的图案化光罩、于该等集成电路之间的该半导体晶圆的暴露区域;及
经由该图案化光罩中的该等间隔蚀刻该半导体晶圆,以切割该等集成电路。
2. 如权利要求 1 所述的方法,其中以该使用多重脉冲的脉冲列激光雕绘工艺图案化该光罩的步骤包含使用每个丛发具有 2-5 个脉冲的丛发。
3. 如权利要求 1 所述的方法,其中以该使用多重脉冲的脉冲列激光雕绘工艺图案化该光罩的步骤包含使用一大约在 300kHz 至 10MHz 范围中的丛发频率,及一大约为该丛发频率的 10-20 倍的脉冲频率。
4. 如权利要求 3 所述的方法,其中该脉冲频率提供一大约在 50-500 飞秒(femtosecond) 范围中的脉冲时间间隔。
5. 如权利要求 1 所述的方法,其中以该使用多重脉冲的脉冲列激光雕绘工艺图案化该光罩的步骤包含使用一基于飞秒的激光。
6. 如权利要求 5 所述的方法,其中使用该基于飞秒的激光的步骤包含使用一具有大约小于或等于 540 纳米的一波长的激光。
7. 如权利要求 1 所述的方法,其中以该使用多重脉冲的脉冲列激光雕绘工艺图案化该光罩的步骤包含于该等集成电路之间、该半导体晶圆的该等区域中形成沟道,而蚀刻该半导体晶圆的步骤包含蚀刻以该基于飞秒的激光雕绘工艺所形成的该等沟道。
8. 一种切割包含数个集成电路的一半导体晶圆的系统,该系统包含:
一工厂介面;
一与该工厂介面连接的激光雕绘设备,而且该激光雕绘设备包含一设以传送具有多重脉冲的一脉冲列的激光;及
一与该工厂介面连接的等离子体蚀刻腔室。
9. 如权利要求 8 所述的系统,其中该设以传送一具有多重脉冲的脉冲列的激光为一锁模激光。
10. 如权利要求 9 所述的系统,其中该锁模激光与一脉冲检出器连接,该脉冲检出器基于一选自由一电光调变器及一声光调变器所组成的群组的调变器。
11. 如权利要求 8 所述的系统,其中该设以传送一具有多重脉冲的脉冲列的激光为一基于飞秒的激光。
12. 如权利要求 11 所述的系统,其中该基于飞秒的激光具有一大约小于或等于 540 纳米的波长。
13. 如权利要求 8 所述的系统,其中该激光雕绘设备设以执行一半导体晶圆的集成电路之间的街道的激光剥蚀,且其中该等离子体蚀刻腔室设以蚀刻该半导体晶圆,以于该激光剥蚀之后切割该等集成电路。
14. 一种切割包含数个集成电路的一半导体晶圆的方法,该方法包含以下步骤:
于一硅基板上方形形成一聚合物层,该聚合物层覆盖并保护位于该硅基板上的集成电路,该等集成电路包含一位于一低介电常数材料层与一铜层上方的二氧化硅层;
以一使用多重脉冲的脉冲列激光雕绘工艺图案化该聚合物层、该二氧化硅层、该低介

电常数材料层与该铜层,以暴露出于该等集成电路之间的该硅基板的区域;及
经由间隔蚀刻该硅基板,以切割该等集成电路。

15. 如权利要求 14 所述的方法,其中以该使用多重脉冲的脉冲列激光雕绘工艺图案化该二氧化硅层、该低介电常数材料层与该铜层的步骤包含于剥蚀该低介电常数材料层与该铜层之前剥蚀该二氧化硅层。

使用具有多重脉冲的脉冲列激光与等离子体体蚀刻的晶圆切割

技术领域

[0001] 本发明的实施例属于半导体处理的领域，尤其是属于切割半导体晶圆的方法，其中每个晶圆上具有数个集成电路。

背景技术

[0002] 在半导体晶圆处理中，将集成电路形成于晶圆（亦可指称为基板）上，晶圆由硅或其他半导体材料所组成。一般来说，利用各种材料层（可为半导体的、导体的或绝缘的）形成该等集成电路。使用各种习知的工艺来掺杂、沉积及蚀刻该等材料，以形成集成电路。每个晶圆经处理而形成许多含有集成电路的个别区域，该等含有集成电路的个别区域习知为晶粒。

[0003] 在集成电路形成工艺之后，「切割」晶圆以彼此分离出个别的晶粒，而用于封装或使用于较大电路内的未封装形式中。用于晶圆切割的二种主要技术为雕绘与锯切。使用雕绘将尖端为钻石的雕绘器沿着预先形成的雕绘线移动经过整个晶圆表面，该等雕绘线沿着晶粒之间的间隔延伸，该等间隔一般指称为「街道」。钻石雕绘器沿着该等街道在晶圆表面形成浅刮痕。在施加压力时，例如以滚轴施加压力，晶圆会立即沿着雕绘线分离。晶圆中的分裂会沿着晶圆基板的晶格结构行进。雕绘可用于厚度约 10 密尔（千分之一吋）或更薄的晶圆。对于较厚的晶圆，目前锯切是较佳的切割方法。

[0004] 使用锯切时，尖端为钻石且每分钟以高转数旋转的锯子接触晶圆表面并延着街道锯切晶圆。晶圆安装于支撑构件上，支撑构件例如延伸穿过膜框的黏膜，并且将锯子重复地施用于垂直与水平街道。不管是雕绘或是锯切，都有一个问题是会沿着晶粒的断边形成缺口和凿孔。另外，裂缝会形成并从晶粒边缘延伸进入基板，而使得集成电路无法运作。当使用雕绘时缺口与裂缝尤其是个问题，因为只能雕绘方形或长方形晶粒在结晶结构〈110〉方向上的一边。因此，分割晶粒的另一边时会产生锯齿状的分割线。由于缺口与裂缝，在晶圆上的晶粒之间需要有额外的间隔，以防止集成电路损坏，例如将缺口与裂缝维持在距离实际的集成电路一段距离。需要间隔的结果是，无法在标准尺寸的晶圆上形成尽可能多的晶粒，因而浪费了可在其他方面用于电路的晶圆面积。使用锯切使半导体晶圆面积的浪费更为严重。锯子的刀刃约有 15 微米厚，就其本身而言，为确保锯子在刻痕周围造成的破裂及其他损伤不会伤害到集成电路，时常必须将每个晶粒的电路分隔三至五百微米。此外，在切割之后需要大量清洗每个晶粒，以移除微粒及其他从锯切工艺产生的污染物。

[0005] 等离子体体切割已被使用，但也一样有所限制。例如，一个阻碍等离子体体切割实施的限制可能是成本。图案化光阻的标准微影操作可能导致实施成本过高。另一个可能阻碍等离子体体切割实施的限制在于在沿着街道切割而等离子体体处理经常碰见的金属（如铜）时会造成生产问题或产量限制。

发明内容

[0006] 本发明的实施例包括切割半导体晶圆的方法，其中每个晶圆上具有数个集成电路。

[0007] 在实施例中，切割具有数个集成电路的半导体晶圆的方法包括以下步骤：于半导体晶圆上方形成光罩。该光罩由覆盖并保护该集成电路的层所组成。然后以使用多重脉冲的脉冲列激光雕绘工艺图案化该光罩，以提供具有间隔的图案化光罩、在集成电路之间的半导体晶圆的暴露区域。之后经由图案化光罩中的间隔而蚀刻半导体晶圆，以切割该等集成电路。

[0008] 在另一实施例中，一种切割半导体晶圆的系统包括工厂介面。激光雕绘设备与该工厂介面连接并包括设以传送具有多重脉冲的脉冲列的激光。等离子体蚀刻腔室亦与该工厂介面连接。

[0009] 在另一实施例中，一种切割具有数个集成电路的半导体晶圆的方法包括以下步骤：于硅基板上方形形成聚合物层。该聚合物层覆盖并保护位于硅基板上的集成电路。该集成电路由位于低介电常数材料层与铜层上方的二氧化硅层所组成。以使用多重脉冲的脉冲列激光雕绘工艺图案化聚合物层、二氧化硅层、低介电常数材料层与铜层，以暴露出在集成电路之间的硅基板区域。之后经由间隔蚀刻硅基板，以切割该等集成电路。

附图说明

[0010] 图 1 为依据本发明的实施例，表示在切割半导体晶圆的方法中的操作的流程图，其中半导体晶圆包括数个集成电路。

[0011] 图 2A 图示依据本发明的实施例，包括数个集成电路的半导体晶圆在执行切割半导体晶圆的方法期间相对于图 1 的流程图的操作 102 的截面视图。

[0012] 图 2B 图示依据本发明的实施例，包括数个集成电路的半导体晶圆在执行切割半导体晶圆的方法期间相对于图 1 的流程图的操作 104 的截面视图。

[0013] 图 2C 图示依据本发明的实施例，包括数个集成电路的半导体晶圆在执行切割半导体晶圆的方法期间相对于图 1 的流程图的操作 106 的截面视图。

[0014] 图 3 图示依据本发明的实施例一列单一脉冲的时间图。

[0015] 图 4 图示依据本发明的实施例一列多重脉冲的时间图。

[0016] 图 5 图示依据本发明的实施例使用在飞秒范围中的激光脉冲对比较长脉冲时间的激光脉冲的效果。

[0017] 图 6 图示依据本发明的实施例，可用于半导体晶圆或基板的街道区域的堆迭材料的截面视图。

[0018] 图 7A-7D 图示依据本发明的实施例，在切割半导体晶圆的方法中各种操作的截面视图。

[0019] 图 8 图示依据本发明的实施例，用于激光与等离子体切割晶圆或基板的工具布局的方块图。

[0020] 图 9 图示依据本发明的实施例，例示性电脑系统的方块图。

具体实施方式

[0021] 描述切割半导体晶圆的方法，其中每个晶圆上具有数个集成电路。在以下说明中

提出了许多特定细节,如具有脉冲列多重脉冲的基于飞秒 (femtosecond) 的激光雕绘与等离子体体蚀刻条件及材料方法,以提供对于本发明实施例完整的了解。对于熟悉该项技艺的人士来说,可不以该等特定细节来实施本发明实施例将是显而易见的。在其他的例子中,习知的方面如集成电路制造并未详细描述,以免非必要地混淆了本发明的实施例。此外,应了解图中所示的各种实施例为说明性的表示,且非必然依比例绘制。

[0022] 可以实施牵涉初始激光雕绘及后续等离子体体蚀刻的混合晶圆或基板切割工艺用于晶粒切割。可以使用激光雕绘工艺来干净地移除光罩层、有机及无机介电层及装置层。然后可以在暴露或部分蚀刻晶圆或基板时立即终止激光蚀刻工艺。之后可以使用切割工艺的等离子体体蚀刻部分来蚀刻穿透晶圆或基板的块体,如穿透单晶硅的块体,以产出晶粒或晶片切割。

[0023] 在组合激光雕绘与等离子体体蚀刻切割工艺的激光雕绘部分期间,会需要激光以特定的顺序来干净地移除光罩层、有机及无机介电层及装置层。之后,经由下方的硅层或基板的任何剩余部分应用等离子体体蚀刻工艺以实现晶片切割。即使是在工艺的第一部分中使用基于飞秒的激光的案例中,可能仍存在关键的工艺挑战,例如(但不限于)避免微裂缝、不同层间的剥离、无机介电层的缺口、对于精确的切口宽度控制的潜在需求或对于精确的剥蚀深度控制的潜在需求。

[0024] 对于激光剥蚀,可将具有已知脉冲重复率的一系列单一脉冲应用于进行切割的晶圆或基板,通常将每个脉冲时间平均地分隔(例如脉冲到脉冲的时间分隔等于脉冲重复频率的倒数)。依据本发明的实施例,将一系列依时间成形的飞秒多重脉冲取代一系列单一脉冲,而应用于激光雕绘工艺。可使用应用一系列依时间成形的多重脉冲来更佳地控制离子化工艺并产出较低的剥蚀临界值。在一个实施例中,使用一系列多重脉冲来更精确地控制剥蚀宽度(如切口宽度)与深度。

[0025] 因此,在本发明的一个方面,可以使用利用多重脉冲的脉冲列激光雕绘工艺与等离子体体蚀刻工艺的组合来将半导体晶圆切割成切割的集成电路。图1为依据本发明的实施例表示在切割半导体晶圆的方法中的操作的流程图100,该半导体晶圆包括数个集成电路。图2A-2C图示依据本发明的实施例在执行切割半导体晶圆的方法期间包括数个集成电路的半导体晶圆对应流程图100的操作的截面视图。

[0026] 参照流程图100的操作102及对应的图2A,于半导体晶圆或基板204上方形成光罩202。光罩202由覆盖并保护集成电路206的层所组成,集成电路206形成于半导体晶圆204的表面上。光罩202也覆盖形成于每个集成电路206之间的中间街道207。

[0027] 依据本发明的实施例,形成光罩202的步骤包括以下步骤:形成层例如(但非局限于)光阻层或I-line图案化层。举例来说,聚合物层(如光阻层)可由适用于微影工艺的材料所组成。在一个实施例中,光阻层是由正光阻材料所组成,正光阻材料例如(但非局限于)248纳米(nm)光阻、193纳米光阻、157纳米光阻、极紫外光(EUV)光阻或具有重氮萘醌增感剂的酚醛树脂基材。在另一实施例中,光阻层是由负光阻材料所组成,负光阻材料例如(但非局限于)顺-聚异戊二烯及聚乙烯醇肉桂酸酯(Poly-vinyl-cinnamate)。

[0028] 在实施例中,半导体晶圆或基板204是由适合承受制造工艺且其上可适当配置半导体处理层的材料所组成。举例来说,在一个实施例中,半导体晶圆或基板204是由基于第IV族的材料所组成,基于第IV族的材料例如(但非局限于)结晶硅、锗或硅/锗。在特定

实施例中,提供半导体晶圆 204 的步骤包括提供单晶硅基板。在特定实施例中,单晶硅基板掺杂有杂质原子。在另一实施例中,半导体晶圆或基板 204 是由 III-V 族材料所组成,例如用于制造发光二极管 (LEDs) 的 III-V 族材料基板。

[0029] 在实施例中,半导体晶圆或基板 204 已于该半导体晶圆或基板 204 上或该半导体晶圆或基板 204 中配置有半导体元件阵列作为集成电路 206 的部分。该等半导体元件的实例包括但不限于制造于硅基板中并为介电层所围绕的存储器装置或互补式金属氧化半导体 (CMOS) 晶体管。可于该等装置或晶体管上方及在周围的介电层中形成数个金属内连线,且该等金属内连线可用于电连接该等装置或晶体管,以形成集成电路 206。组成街道 207 的材料可以与该等用于形成集成电路 206 的材料类似或相同。举例来说,街道 207 可由介电材料、半导体材料及金属化的层所组成。在一个实施例中,一或多个街道 207 包括类似于集成电路 206 的真实装置的测试装置。

[0030] 参照流程图 100 的操作 104 及对应的图 2B,以使用多重脉冲的脉冲列激光雕绘工艺图案化光罩 202,以提供具有间隔 210 的图案化光罩 208、在集成电路 206 之间的半导体晶圆或基板 204 的暴露区域。就其本身而言,激光雕绘工艺用以移除原始形成于集成电路 206 之间的街道 207 的材料。依据本发明的实施例,以使用多重脉冲的脉冲列激光雕绘工艺图案化光罩 202 的步骤包括以下步骤:在集成电路 206 之间形成部分进入半导体晶圆 204 的区域的沟道 212,如图 2B 中所图示。

[0031] 参照流程图 100 的操作 104,可以使用一系列激光脉冲。例如,图 3 说明依据本发明的实施例一系列单一脉冲的时间图 300。参照图 3,依时间沿着水平轴图示一系列基于脉冲重复频率 (PRF₀) 304 的单一脉冲 302。单一脉冲 302 之间的间隔为 PRF₀ 的倒数,如图 3 中所图示。亦即通常将每个脉冲 302 时间平均地分隔(例如脉冲到脉冲的时间分隔等于脉冲重复频率的倒数)。可将该列单一脉冲 302 应用于进行切割的晶圆或基板。

[0032] 视被剥蚀的层的复杂度而定,一系列单一脉冲可能无法提供对于剥蚀效能最适化的能量。然而,在单一脉冲期间传送较大的强度可能会导致缺陷形成。替代地,可以将一系列多重脉冲用于剥蚀。例如,图 4 图示依据本发明的实施例一系列多重脉冲的时间图 400。

[0033] 参照图 4,依时间沿着水平轴图示一系列基于第一脉冲重复频率 (PRF₀) 404 的多重脉冲 402。多重脉冲 402 之间的间隔(例如单一脉冲 406 的群组中心之间)为 PRF₀ 的倒数,如图 4 中所图示。亦即通常将每个多重脉冲 402 时间平均地分隔(例如多重脉冲群到多重脉冲群的时间分隔等于第一脉冲重复频率的倒数)。亦依时间沿着水平轴图示基于第二脉冲重复频率 (PRF₁) 408、在多重脉冲 402 内的每个单一脉冲 406。单一脉冲 406 之间的间隔为 PRF₁ 的倒数,如图 4 中所图示。亦即通常将每个单一脉冲 406 时间平均地分隔。可将该列多重脉冲 402 应用于进行切割的晶圆或基板。

[0034] 可于已知的多重脉冲 402 中使用任何适当数量的单一脉冲 406。在实施例中,用于已知的多重脉冲 402 的单一脉冲 406 的数量约在 2-5 的范围中。在实施例中,第一脉冲重复频率 (PRF₀) 404 大约在 200kHz 至 10MHz 的范围中,虽然较佳地大约在 500kHz 至 5MHz 的范围中。在一个该实施例中,第二脉冲重复频率 (PRF₁) 408 约为第一脉冲重复频率 (PRF₀) 404 的 10-20 倍(例如单一脉冲 406 之间的间隔比较紧凑,约为多重脉冲 402 的中心之间的间隔的十分之一至二十分之一)。在另一该实施例中,在已知的多重脉冲 402 中的单一脉冲 406 之间的间隔基于约在几十飞秒至几百飞秒范围中的时间间隔,如大约在 50-500 飞秒范

围中。在特定实施例中,多重脉冲 402 以固定的丛发重复率执行。

[0035] 再次参照图 3 与图 4,可以将图 300 的脉冲列视为一系列依时间成形的、在每个丛发中仅有一个脉冲的飞秒脉冲。相比之下,图 400 的脉冲列为一列依时间成形的、在每个丛发中有多于一个脉冲的飞秒多重脉冲。在实施例中,经由使用该与单一脉冲相对的多重脉冲,使得由切割晶圆或基板所消耗的光子能量较少,而转变成较少的热损伤。较少的热损伤可以产生微裂缝、不同层间的剥离或无机介电层的缺口的最少化。依据本发明的实施例,将一系列依时间成形的飞秒多重脉冲取代一系列单一脉冲而应用于激光雕绘工艺。该方法可以量子化传送至晶圆或基板或是晶圆或基板上的薄膜、用于雕绘的激光强度。

[0036] 在实施例中,可以使用形式为具有第一与第二脉冲重复率的脉冲列的锁模激光来传送脉冲 402 的个别脉冲 406。可以选择某些脉冲用于从该脉冲列传送,例如只传送某些脉冲并阻挡所有其他的脉冲。可以用脉冲检出器执行选择的传送,该脉冲检出器本质上为电控的光开关。在实施例中,脉冲检出器基于电光调变器或声光调变器,且与适当的电子驱动器结合。

[0037] 在电光装置的案例中,脉冲检出器可由波克斯盒 (Pockels cell) 与偏振光学元件 (如薄膜偏光板) 一起组成。可以使用波克斯盒来操作偏振状态,然后偏光板可以视偏光板的偏振来传送或阻挡脉冲。在声光脉冲检出器的案例中,可以将短 RF 脉冲施加于声光调变器,以便使想要的脉冲转向至稍微修饰过的方向。之后可使转向的脉冲通过缝隙,而阻挡其他的脉冲。在任一个案例中,可以经由脉冲列中脉冲的时间距离 (如经由脉冲源的脉冲重复率) 而非脉冲持续期间来决定调变器需要的速度。

[0038] 脉冲检出器的电子驱动器可以满足额外的功能,例如,在一个实施例中,电子驱动器使用来自快速光二极管的信号、感测原始的脉冲列,以将开关与输入脉冲同步。然后触发信号可以在任何时间来到,而电子元件将会在适合的时间对开关动作,以传送下一个抵达的输入脉冲。为了在超短脉冲获得高脉冲能量,可以降低脉冲重复率。可以经由在种子激光与放大器之间放置脉冲检出器来进行脉冲重复率的降低,放大器设以仅对想要的脉冲动作。被阻挡的脉冲不一定会构成强的能量损失,因为种子激光的平均功率与放大器的平均输出功率相比可能是小的,而且剩余的平均功率对于饱和放大器是足够的。

[0039] 即使在脉冲列中使用了多重脉冲,可以利用使用基于飞秒的激光 (例如与基于皮秒 (picosecond) 的激光或基于纳秒 (nanosecond) 的激光相比) 来进一步最适化进行切割工艺的复合堆迭层的剥蚀效能。因此,在实施例中,以激光雕绘工艺图案化光罩 202 的步骤包括以下步骤:使用具有脉冲宽度在飞秒范围中的激光。具体地,可以使用具有波长在可见光谱加紫外光 (UV) 与红外光 (IR) 范围 (合为宽带光谱) 中的激光,以提供基于飞秒的激光,即具有脉冲宽度在飞秒 (10^{-15} 秒) 等级的激光。在一个实施例中,剥蚀并非或本质上非为波长相关的,因而适用于复合膜,如光罩 202、街道 207 及可能的一部分半导体晶圆或基板 204 的膜。

[0040] 图 5 图示依据本发明的实施例使用在飞秒范围中的激光脉冲对比较长脉冲宽度的激光脉冲的效果。参照图 5,对比较长的脉冲宽度 (例如以皮秒处理通孔 500B 的损伤 502B 与以纳秒处理通孔 500A 的明显损伤 502A),经由使用在飞秒范围中的激光脉冲宽度可以缓和或消除热损伤的问题 (例如以飞秒处理通孔 500C 的极微至无损伤 502C)。在形成通孔 500C 期间损伤的消除或缓和可能是由于缺乏低能量的再耦合 (如基于皮秒的激光剥蚀

中所见)或热平衡(如基于纳秒的激光剥蚀中所见),如图5中所图示。

[0041] 激光参数选择,如脉冲宽度,对于展开成功的激光雕绘与切割工艺可能是关键的,成功的激光雕绘与切割工艺可最小化缺口、微裂缝及剥离,以达成清洁的激光雕绘切割。激光雕绘切割愈清洁,则为最终晶粒切割所可能执行的蚀刻工艺将愈平顺。在半导体元件晶圆中,其上通常配置有许多不同材料类型(如导体、绝缘体、半导体)与厚度的功能性层,该等材料可包括但不限于有机材料如聚合物、金属或无机介电质如二氧化硅与氮化硅。

[0042] 位于晶圆或基板上的个别集成电路之间的街道可包括与集成电路本身类似的或相同的层。举例来说,图6图示依据本发明的实施例,可用于半导体晶圆或基板的街道区域的堆迭材料截面视图。

[0043] 参照图6,街道区域600包括具有有所图示相对厚度的硅基板顶部602、第一二氧化硅层604、第一蚀刻终止层606、第一低介电常数介电层608(如对于二氧化硅而言具有低于4.0的介电常数)、第二蚀刻终止层610、第二低介电常数介电层612、第三蚀刻终止层614、未掺杂的硅玻璃(USG)层616、第二二氧化硅层618及光阻层620。铜金属化622位于第一和第三蚀刻终止层606和614之间而且穿过第二蚀刻终止层610。在特定实施例中,第一、第二及第三蚀刻终止层606、610及614是由氮化硅所组成,而低介电常数介电层608和612是由掺杂碳的氧化硅材料所组成。

[0044] 在习知的激光照射(如基于纳秒或基于皮秒的激光照射)的下,街道600的材料在光吸收与剥蚀机制方面会表现地相当不同。举例来说,介电层如二氧化硅在正常条件下对于所有市购可得的激光波长基本上是透明的。相反的,金属、有机物(如低介电常数材料)及硅可以很容易地与光子耦合,尤其是在回应基于纳秒或基于皮秒的激光照射时。在实施例中,经由在剥蚀低介电常数材料层和铜层之前剥蚀二氧化硅层,而以基于飞秒的激光雕绘工艺使用多重脉冲的激光列来图案化二氧化硅层、低介电常数材料层及铜层。

[0045] 依据本发明的实施例,适当的基于飞秒的激光工艺的特征在于通常会在各种材料中造成非线性相互作用的高峰值强度(照射)。在一个该实施例中,飞秒激光源具有大约在十飞秒至五百飞秒范围中的脉冲宽度,虽然较佳是在一百飞秒至四百飞秒的范围中。在一个实施例中,飞秒激光源具有大约在1570纳米至200纳米范围中的波长,虽然较佳是在540纳米至250纳米的范围中。在一个实施例中,激光与对应的光学系统提供于工作表面大约在3微米至15微米范围中的焦点,虽然较佳是大约在5微米至10微米的范围中。

[0046] 于工作表面的空间光束轮廓可为单一模式(高斯的)或具有顶帽形状的轮廓。在实施例中,激光源于工作表面传送的脉冲能量大约在0.5uJ至100uJ的范围中,虽然较佳为大约在1uJ至5uJ的范围中。在实施例中,激光雕绘工艺沿着工件表面以大约在300毫米/秒至5米/秒范围中的速度执行,虽然较佳为大约在500毫米/秒至2米/秒的范围中。

[0047] 雕绘工艺可仅为单一回合运作或是多回合执行,但在实施例中,较佳为1-2回合。在一个实施例中,工件中的雕绘深度大约是在5微米至50微米深的范围中,较佳为大约在10微米至20微米深的范围中。在实施例中,产生的激光光束切口宽度大约是在2微米至15微米的范围中,虽然在硅晶圆雕绘/切割中,于装置/硅介面量测较佳是大约在6微米至10微米的范围中。

[0048] 激光参数的选择可带有益处及优点,该等益处及优点如提供足够高的激光强度以达成无机介电质(如二氧化硅)的离子化,及在直接剥蚀无机介电质之前最小化下层损伤

造成的剥离与缺口。同样的,可以选择对于工业应用可提供有意图的工艺产量的参数,且可精确地控制剥蚀宽度(如切口宽度)与深度。如上所述,与基于皮秒和基于纳秒的激光剥蚀工艺相比,基于飞秒的激光远较为适合提供该等优点。

[0049] 然而,即使是在基于飞秒的激光剥蚀范围中,某些波长亦可提供较其他波长更好的效能。举例来说,在一个实施例中,具有接近或在紫外线范围中的波长的基于飞秒的激光工艺较具有接近或在红外线范围中的波长的基于飞秒的激光工艺提供更清洁的剥蚀工艺。在特定的该实施例中,适用于半导体晶圆或基板雕绘的基于飞秒的激光工艺基于具有约小于或等于 540 纳米的波长的激光。在特定的该实施例中,使用约小于或等于四百飞秒的激光脉冲,且该激光具有约小于或等于 540 纳米的波长。然而,在另一替代实施例中使用双激光波长(如红外线激光和紫外线激光的组合)。

[0050] 参照流程图 100 的操作 106 及对应的图 2C,经由图案化光罩 208 中的间隔 210 蚀刻半导体晶圆 204,以切割集成电路 206。依据本发明的实施例,蚀刻半导体晶圆 204 的步骤包括以下步骤:经由蚀刻初始以使用具多重脉冲的脉冲列的激光雕绘工艺形成的沟道 212,以最终蚀刻穿透整个半导体晶圆 204,如图 2C 中所图示。

[0051] 在实施例中,蚀刻半导体晶圆 204 的步骤包括以下步骤:使用等离子体体蚀刻工艺。在一个实施例中,使用硅穿孔型蚀刻工艺。举例来说,在特定实施例中,半导体晶圆 204 的材料的蚀刻速度大于每分钟 25 微米。可将超高密度等离子体体源用于晶粒切割工艺的等离子体体蚀刻部分。适合执行该等离子体体蚀刻工艺的处理腔室的实例为可向美国加州森尼维耳市的应用材料公司(Applied Materials of Sunnyvale, CA, USA)取得的 Applied Centura® Silvia™ 蚀刻系统。该 Applied Centura® Silvia™ 蚀刻系统结合了电容性与感应的无线射频(RF)耦合,该结合可比仅有电容性耦合可能提供的提供远较为独立的离子密度与离子能量控制,甚至还有磁性增强所提供的改良。该种结合致使离子密度有效地自离子能量退耦,因而不需高的、潜在危险的 DC 偏压等级而可达成相当高密度的等离子体体,甚至是在非常低的压力下。该种结合产生异常宽的工艺空间。然而,可以使用任一可蚀刻硅的等离子体体蚀刻腔室。在例示性实施例中,使用深硅蚀刻以大于习知硅蚀刻速度约 40% 的蚀刻速度来蚀刻单晶硅基板或晶圆 204,同时维持本质上清晰的轮廓控制与实际上无扇形边的侧壁。在特定实施例中,使用硅穿孔型蚀刻工艺。该蚀刻工艺基于反应性气体产生的等离子体体,该反应性气体通常是氟基气体,如 SF_6 、 C_4F_8 、 CHF_3 、 XeF_2 或任何其他可以相当快的蚀刻速度蚀刻硅的反应性气体。在实施例中,在切割工艺之后移除光罩层 208,如图 2C 中所图示。

[0052] 因此,再次参照流程图 100 及图 2A-2C,可经由使用具多重脉冲的脉冲列激光雕绘工艺的初始剥蚀,经由光罩层、经由晶圆街道(包括金属化)及部分进入硅基板剥蚀而进行晶圆切割。之后可经由后续的穿硅深等离子体体蚀刻完成晶粒切割。依据本发明的实施例,以下结合图 7A-7D 描述用于切割的材料堆迭的特定实例。

[0053] 参照图 7A,用于混合激光剥蚀与等离子体体蚀刻切割的材料堆迭包括光罩层 702、装置层 704 及基板 706。光罩层、装置层及基板位于晶片贴膜 708 上方,晶片贴膜 708 贴附于背带 710。在实施例中,光罩层 702 为光阻层,如上述关于光罩 202 的光阻层。装置层 704 包括位于一或多层金属层(如铜层)和一或多层低介电常数介电层(如掺杂碳的氧化物层)上方的无机介电层(如二氧化硅)。装置层 704 也可包括安置于集成电路之间的

街道,该等街道包括与集成电路相同或类似的层。基板 706 为大块单晶硅基板。

[0054] 在实施例中,在贴附大块单晶硅基板 706 于晶片贴膜 708 之前,从背侧薄化大块单晶硅基板 706。该薄化可经由背侧研磨工艺来执行。在一个实施例中,将大块单晶硅基板 706 薄化至大约在 50-100 微米范围中的厚度。重要的是注意到,在实施例中,该薄化于激光剥蚀与等离子体体蚀刻切割工艺之前执行。在实施例中,光阻层 702 的厚度大约为 5 微米,而装置层 704 的厚度大约在 2-3 微米范围中。在实施例中,晶片贴膜 708 (或任何可将薄化的或薄的晶圆或基板黏合于背带 710 的适当取代物) 的厚度大约为 20 微米。

[0055] 参照图 7B,以使用多重脉冲的脉冲列激光雕绘工艺 712 图案化光罩 702、装置层 704 及一部分的基板 706,以于基板 706 中形成沟道 714。参照图 7C,使用穿硅深等离子体体蚀刻工艺 716 来将沟道 714 向下延伸至晶片贴膜 708,而暴露出晶片贴膜 708 的顶部,并切割硅基板 706。在穿硅深等离子体体蚀刻工艺 716 期间,装置层 704 由光阻层 702 保护。

[0056] 参照图 7D,切割工艺可进一步包括图案化晶片贴膜 708,而暴露出背带 710 的顶部,并切割晶片贴膜 708。在实施例中,经由激光工艺或蚀刻工艺切割晶片贴膜。进一步的实施例可包括后续从背带 710 移除切割部分的基板 706 (如作为个别的集成电路)。在一个实施例中,将切割的晶片贴膜 708 保留在切割部分的基板 706 的背侧上。其他的实施例可包括从装置层 704 移除光罩光阻层 702。在替代的实施例中,在基板 706 比大约 50 微米更薄的案例中,使用激光剥蚀工艺 712 来完全切割基板 706 而不需使用额外的等离子体体工艺。

[0057] 在实施例中,在切割晶片贴膜 708 之后,从装置层 704 移除光罩光阻层 702。在实施例中,将切割的集成电路从背带 710 移除用于封装。在一个该实施例中,将图案化的晶片贴膜 708 保留于每个集成电路的背侧并包含于最终的封装中。然而,在另一实施例中,在切割工艺期间或之后移除图案化的晶片贴膜 708。

[0058] 可配置单一工艺工具来执行具有多重脉冲剥蚀的激光列与等离子体体蚀刻切割工艺的混合中的许多或全部的操作。举例来说,图 8 为依据本发明的实施例图示用于激光与等离子体体切割晶圆或基板的工具布局的方块图。

[0059] 参照图 8,工艺工具 800 包括工厂介面 802 (FI),工厂介面 802 具有数个与工厂介面 802 连接的承载室 804。群集工具 806 与工厂介面 802 连接。群集工具 806 包括一或多个等离子体体蚀刻腔室,如等离子体体蚀刻腔室 808。激光雕绘设备 810 也与工厂介面 802 连接。在一个实施例中,工艺工具 800 的整体占地面积可为约 3500 毫米 (3.5 公尺) 乘约 3800 毫米 (3.8 公尺),如图 8 中所图示。

[0060] 在实施例中,激光雕绘设备 810 容置设以传送具有多重脉冲的脉冲列的激光。该激光适用于执行混合激光与蚀刻切割工艺的激光剥蚀部分,如上述的激光剥蚀工艺。在一个实施例中,激光雕绘设备 810 亦包括可移动的台阶,配置可移动的台阶以相对于激光移动晶圆或基板 (或晶圆或基板上的承载器)。在特定实施例中,激光也是可移动的。在一个实施例中,激光雕绘设备 810 的整体占地面积可为约 2240 毫米乘约 1270 毫米,如图 8 中所图示。

[0061] 在实施例中,配置一或多个等离子体体蚀刻腔室 808 用于经由图案化光罩中之间隔蚀刻晶圆或基板,以切割数个集成电路。在一个该实施例中,配置该一或多个等离子体体蚀刻腔室 808 以执行深硅蚀刻工艺。在特定实施例中,该一或多个等离子体体蚀刻腔室 808

为可向美国加州森尼维耳市的应用材料公司 (Applied Materials of Sunnyvale, CA, USA) 取得的 Applied Centura® Silvia™ 蚀刻系统。可将蚀刻腔室具体设计为用于深硅蚀刻, 使用该深硅蚀刻来产生切割的集成电路, 该集成电路容置于单晶硅基板或晶圆上或中。在实施例中, 等离子体蚀刻腔室 808 包括高密度等离子体源, 以有助于高硅蚀刻速度。在实施例中, 工艺工具 800 的群集工具 806 部分中包括多于一个蚀刻腔室, 以使切割工艺能有高的制造产量。

[0062] 工厂介面 802 可以是适当的常压接口, 以连外面具有激光雕绘设备 810 的制造设施与群集工具 806。工厂介面 802 可包括有手臂或叶片的自动控制装置, 用于将晶圆 (或晶圆上的承载器) 从储存单元 (如前开放划一箱) 传送至群集工具 806 或激光雕绘设备 810 中的任一者或二者。

[0063] 群集工具 806 可包括其他在切割方法中适合执行功能的腔室。举例来说, 在一个实施例中, 在额外的蚀刻腔室处包括沉积室 812。可配置该沉积室 812 用于在激光雕绘晶圆或基板之前将光罩沉积于晶圆或基板的装置层上或上方。在一个该实施例中, 沉积室 812 适用于沉积光阻层。在另一实施例中, 在额外的蚀刻腔室处包括湿 / 干工站 814。该湿 / 干工站可适用于清洗残余物与碎片, 或在基板或晶圆的激光雕绘与等离子体蚀刻切割工艺之后用于移除光罩。在实施例中, 也包括量测站作为工艺工具 800 的组件。

[0064] 本发明的实施例可作为电脑程式产品或软体提供, 该电脑程式产品或软体可包括内部已储存指令的机器可读媒体, 可使用该等指令以程式化电脑系统 (或其他电子装置), 以执行依据本发明实施例的工艺。在一个实施例中, 电脑系统与结合图 8 说明的工艺工具 800 连接。机器可读媒体包括任一以机器 (如电脑) 可读形式储存或传送资讯的机制。举例来说, 机器可读的 (如电脑可读的) 媒体包括机器 (如电脑) 可读的储存媒体 (如唯读存储器 (「ROM」)、随机存取存储器 (「RAM」)、磁碟储存媒体、光学储存媒体、快闪存储器装置等)、机器 (如电脑) 可读的传送媒介 (电的、光的、声音的或其他形式的传播信号 (如红外线信号、数字信号等)) 等。

[0065] 图 9 图示在电脑系统 900 例示形式中的机器的图示, 于该电脑系统 900 中, 可执行一组指令, 该组指令用以致使该机器执行任一或多个本文中所描述的方法论。在替代的实施例中, 可于区域网络 (LAN)、企业内部网络、商际网络或网际网络中将该机器与其他机器连接 (如网络化)。该机器可以从属或主机器的效能于主从式网络环境中操作, 或是在同级间 (或分散式) 网络环境中作为个别机器。该机器可以是个人电脑 (PC)、平板电脑、机上盒 (STB)、个人数字助理 (PDA)、行动电话、网络用具、伺服器、网络路由器、开关或桥接器或任何可执行一组指令 (连续的或以其他方式) 的机器, 其中该等指令指定由该机器执行的动作。进一步地, 虽然只说明单一机器, 也应将术语「机器」看作包括任何机器 (如电脑) 的集合, 该等机器的集合个别地或联合地执行一组 (或多组) 指令, 以执行任一或多个本文中所描述的方法论。

[0066] 例示性的电脑系统 900 包括经由汇流排 930 互相通讯的处理器 902、主存储器 904 (如唯读存储器 (ROM)、快闪存储器、动态随机存取存储器 (DRAM) 如同步动态随机存取存储器 (SDRAM) 或 Rambus 动态随机存取存储器 (RDRAM) 等)、静态存储器 906 (如快闪存储器、静态随机存取存储器 (SRAM) 等) 及辅助存储器 918 (如资料储存装置)。

[0067] 处理器 902 表示一或多个通用处理装置, 如微处理器、中央处理单元或类似者。更

特别的是,处理器 902 可为复杂指令集计算 (CISC) 微处理器、精简指令集计算 (RISC) 微处理器、极长指令字 (VLIW) 微处理器、实施其他指令集的处理器或实施多个指令集的组的处理器。处理器 902 也可以是一或多个特殊目的处理装置,如应用特定的集成电路 (ASIC)、场效可程式闸阵列 (FPGA)、数字信号处理器 (DSP)、网络处理器或类似者。配置处理器 902 以执行处理逻辑 926,用以执行本文中所述的操作。

[0068] 电脑系统 900 可进一步包括网络介面装置 908。电脑系统 900 也可包括影像显示单元 910(如液晶显示器 (LCD)、发光二极体显示器 (LED) 或阴极射线管 (CRT))、字母数字输入装置 912(如键盘)、游标控制装置 914(如滑鼠)及信号产生装置 916(如扬声器)。

[0069] 辅助存储器 918 可包括机器可存取储存媒体(或更具体地为电脑可读储存媒体)931,于机器可存取储存媒体 931 上储存有一或多组指令(如软体 922),该等指令体现本文中所述的一或多个方法论或功能。在电脑系统 900 执行软体 922 期间,软体 922 也可全部或至少部分存在于主存储器 904 和 / 或处理器 902 内,主存储器 904 和处理器 902 也构成机器可读储存媒体。可经由网络介面装置 908 进一步通过网络 920 传送或接收软体 922。

[0070] 虽然显示于例示性实施例的机器可存取储存媒体 931 为单一媒体,但应将术语「机器可读储存媒体」看作为包括单一媒体或多个媒体(如集中或分散式的资料库和 / 或相关的缓存与伺服器),该等媒体储存该一或多组指令。也应将术语「机器可读储存媒体」看作为包括任何可储存或编码指令集的媒体,其中该指令集由该机器执行或使该机器执行本发明的任一或多个方法论。因此,应将术语「机器可读储存媒体」看作为包括但不限于固态存储器及光学与磁性媒体。

[0071] 依据本发明的实施例,机器可存取的储存媒体上储存有指令,该等指令致使资料处理系统执行切割具有数个集成电路的半导体晶圆的方法。该方法包括以下步骤:于半导体晶圆上方形成光罩,该光罩由覆盖并保护集成电路的层所组成。然后以使用多重脉冲的脉冲列激光雕绘工艺图案化该光罩,以提供具有间隔的图案化光罩,暴露出集成电路之间的半导体晶圆区域。之后经由图案化光罩中的间隔蚀刻该半导体晶圆,以切割集成电路。

[0072] 因此,已揭示切割半导体晶圆的方法,其中每个晶圆具有数个集成电路。依据本发明的实施例,一种切割具有数个集成电路的半导体晶圆的方法包括以下步骤:于半导体晶圆上方形成光罩,该光罩由覆盖及保护该等集成电路的层所组成。该方法亦包括以下步骤:以使用多重脉冲的脉冲列激光雕绘工艺图案化该光罩,以提供具有间隔的图案化光罩、介于集成电路间的半导体晶圆暴露区域。该方法亦包括以下步骤:经由图案化光罩中的间隔蚀刻该半导体晶圆,以切割集成电路。在一个实施例中,以使用多重脉冲的脉冲列激光雕绘工艺图案化该光罩的步骤包括以下步骤:使用每个丛发具有 2-5 个脉冲的丛发。在一个实施例中,以使用多重脉冲的脉冲列激光雕绘工艺图案化该光罩的步骤包括以下步骤:使用基于飞秒的激光。

流程图100

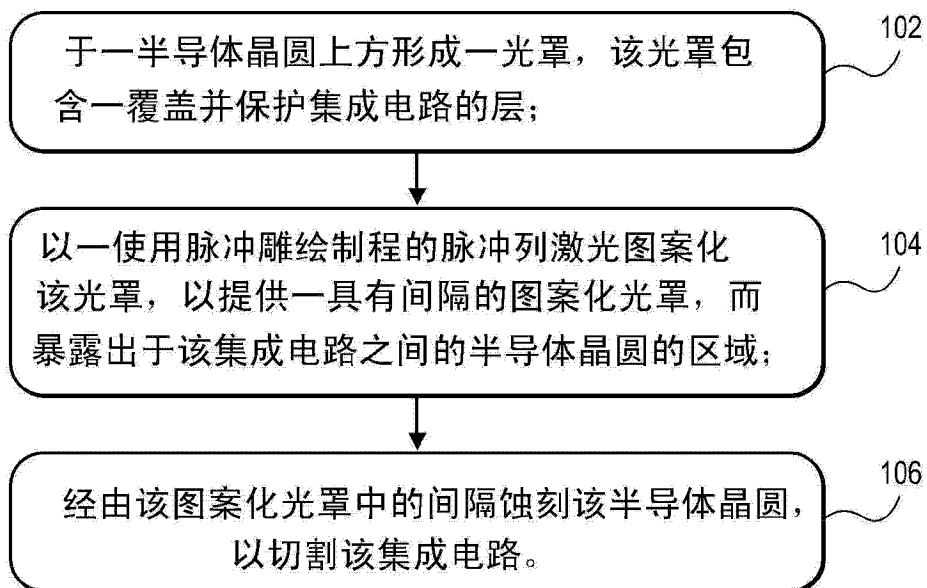


图 1

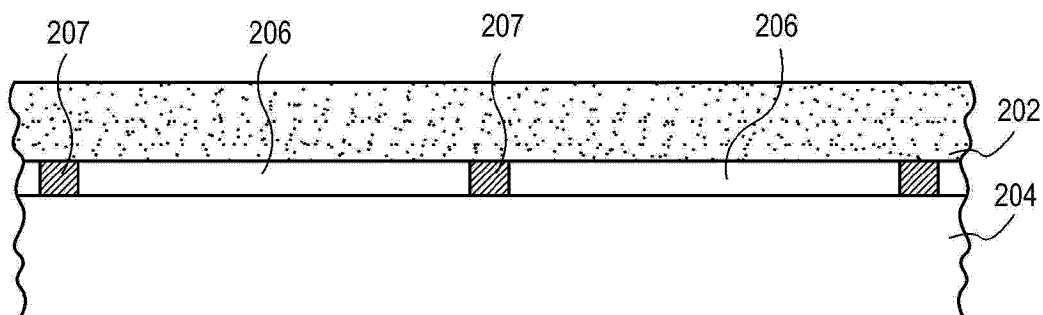


图 2A

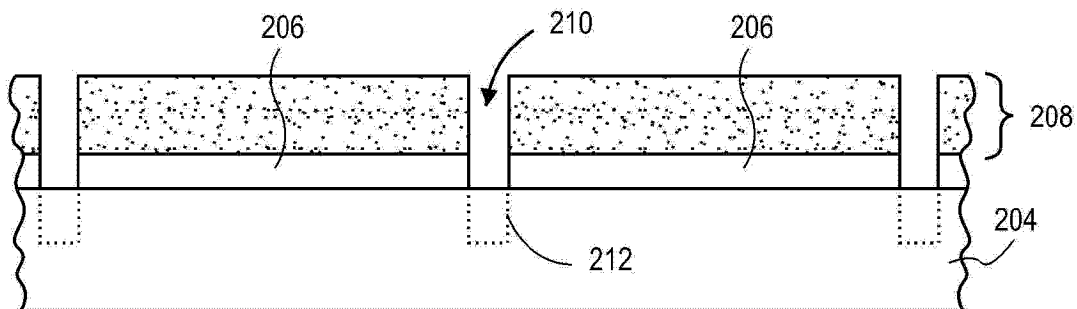


图 2B

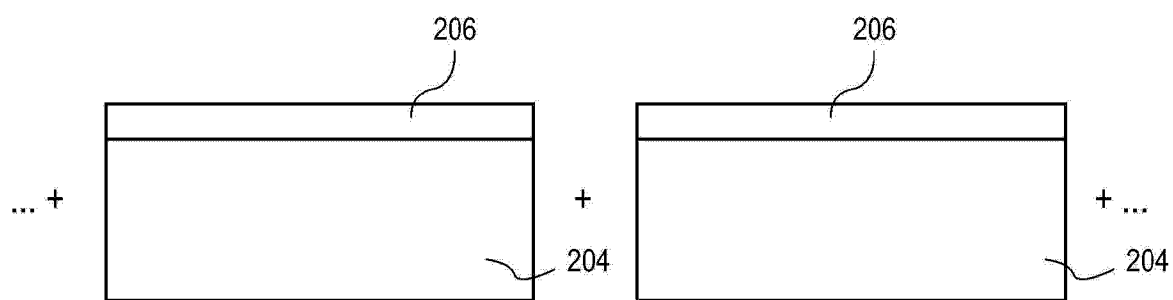


图 2C

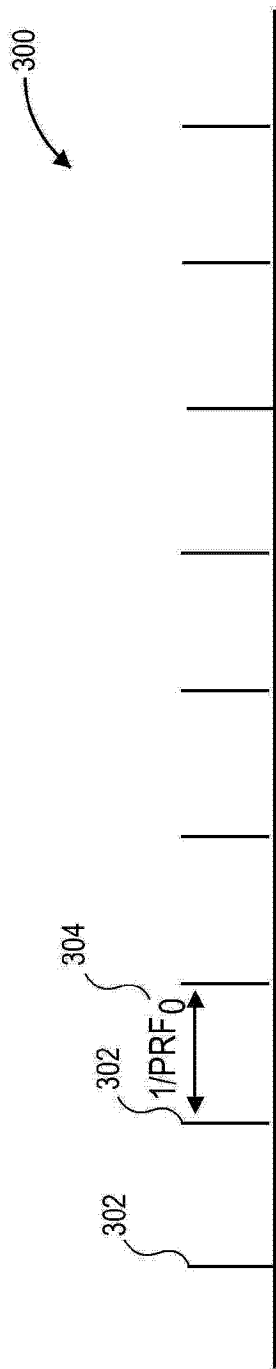


图 3

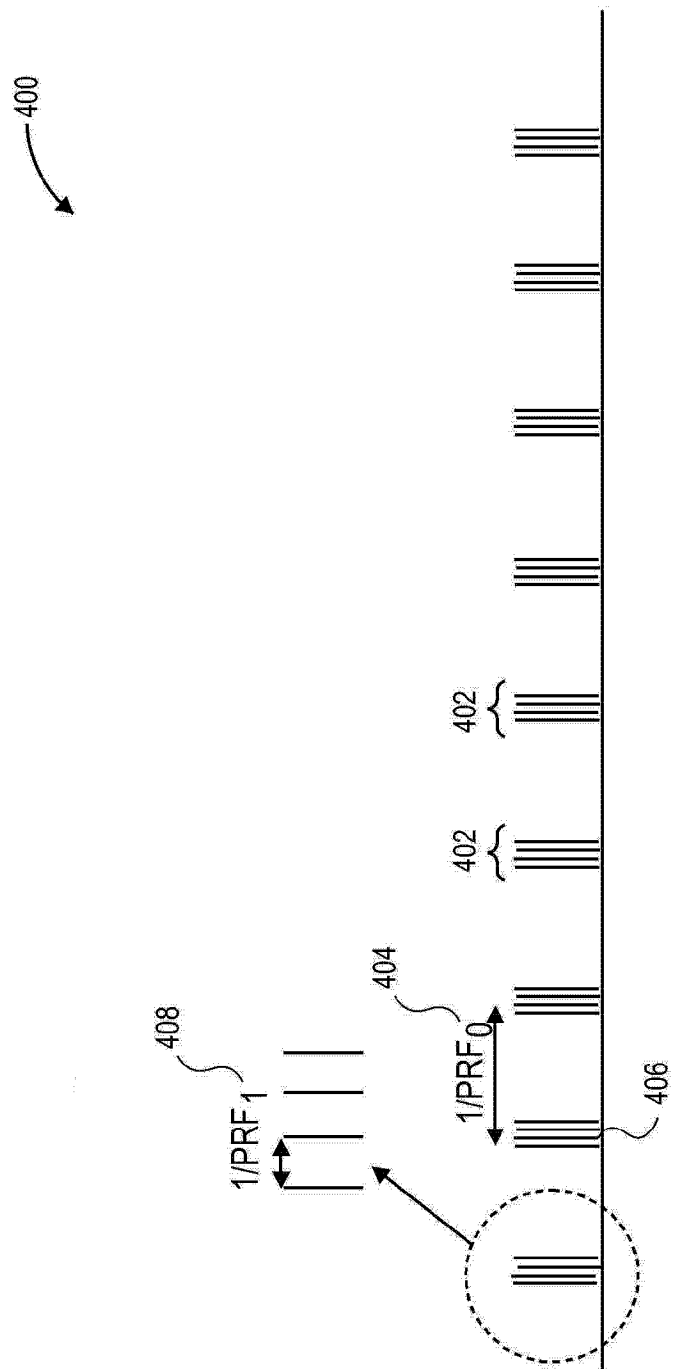


图 4

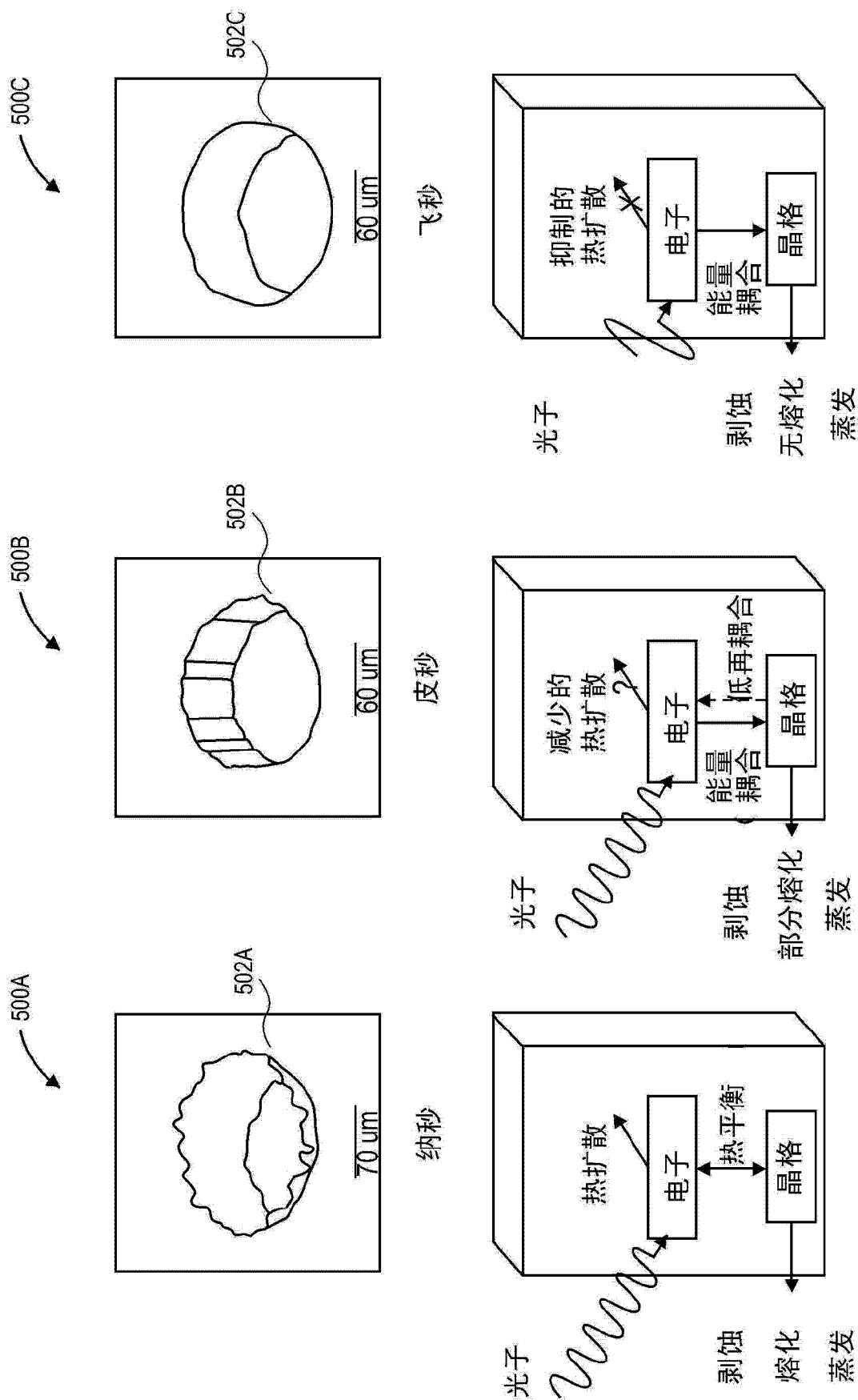


图 5

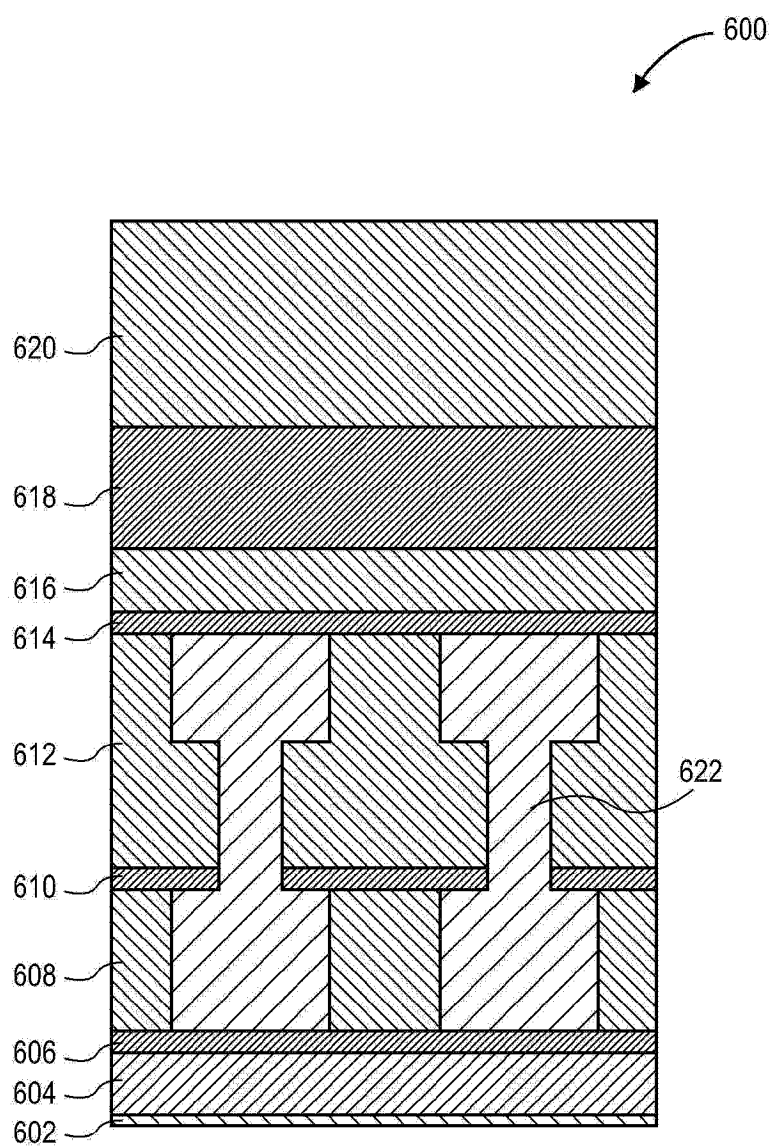


图 6

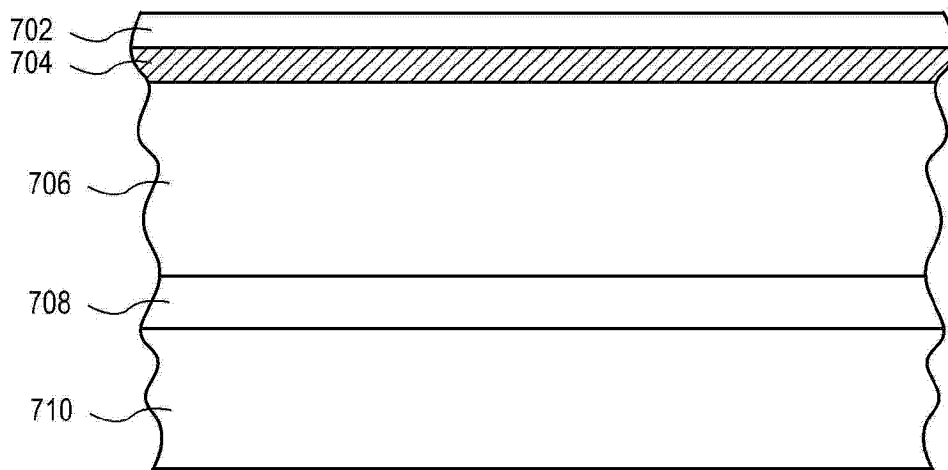


图 7A

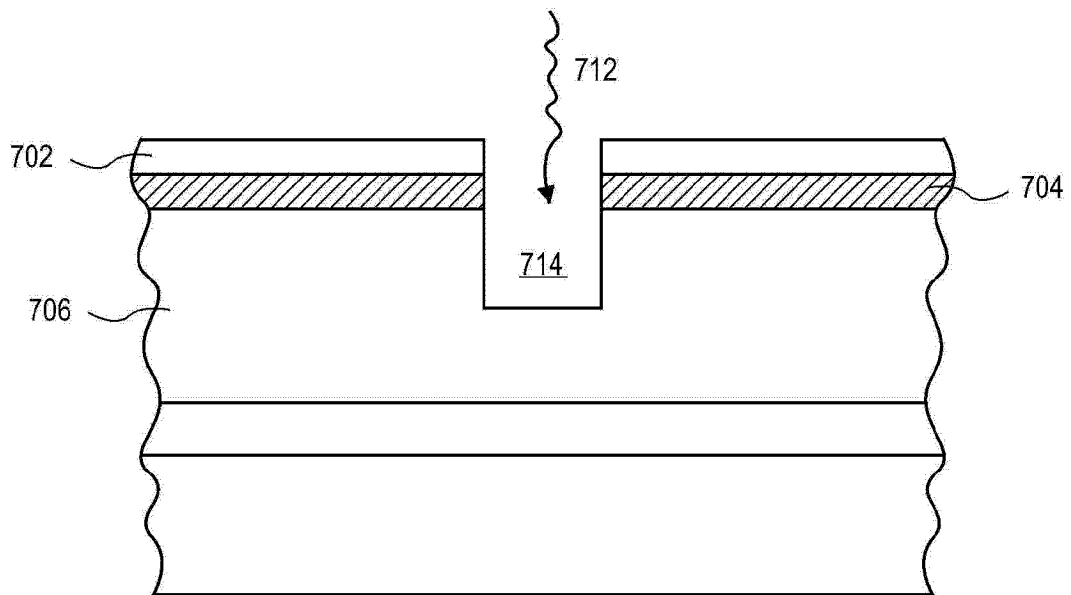


图 7B

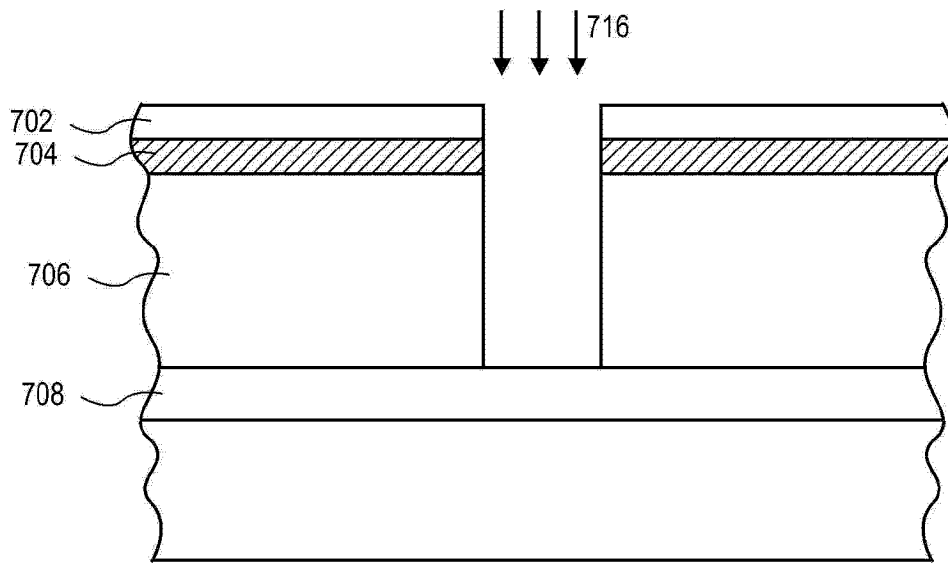


图 7C

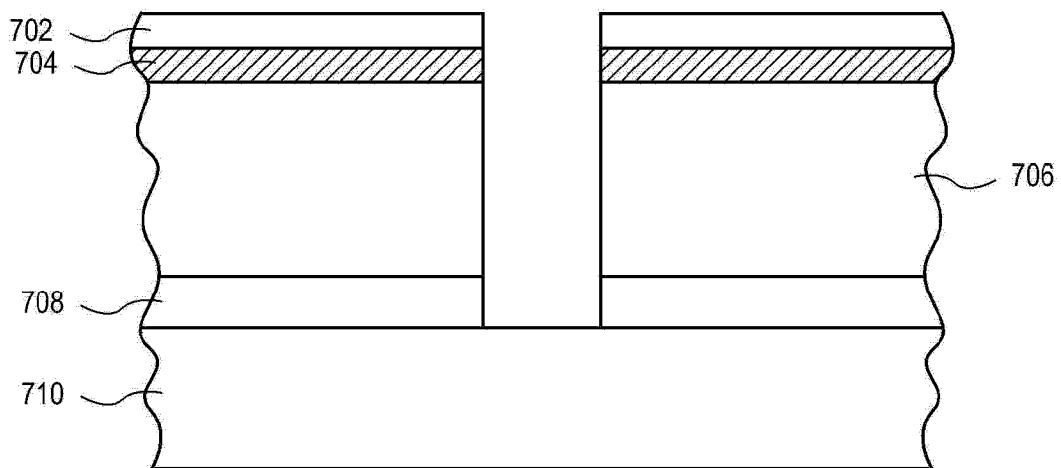


图 7D

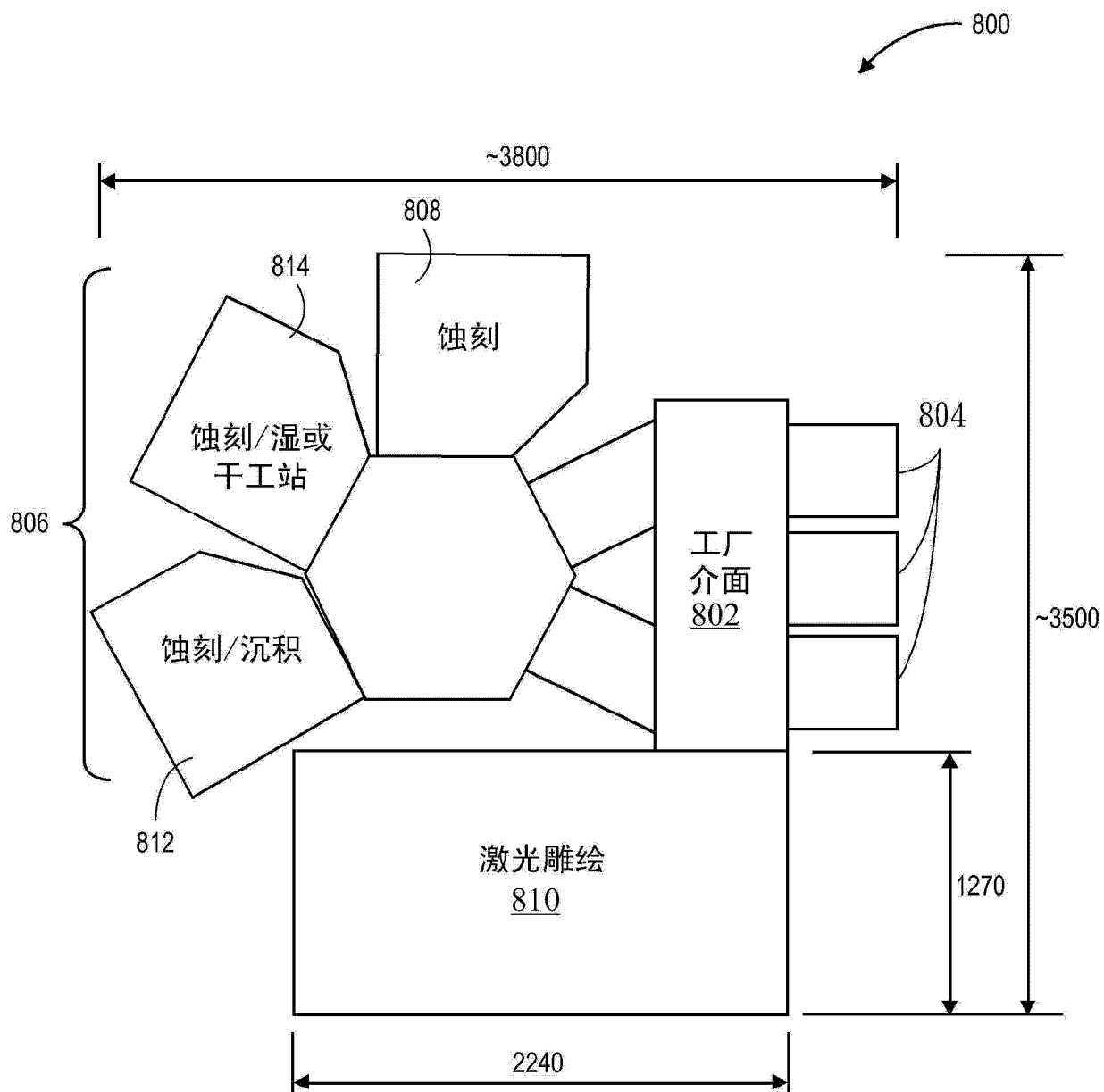


图 8

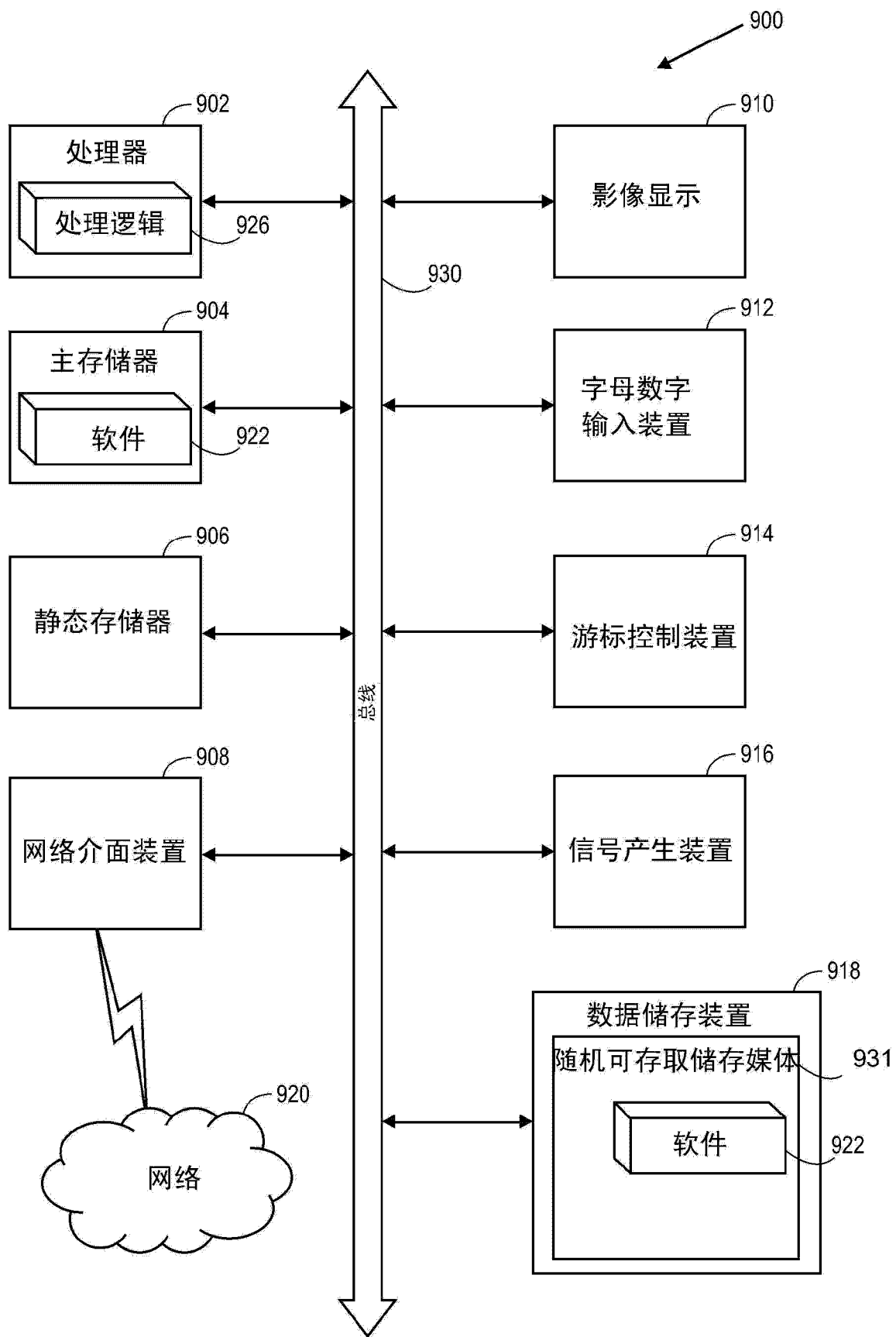


图 9