

公告本

申請日期： 87.11.19 案號： 87119189

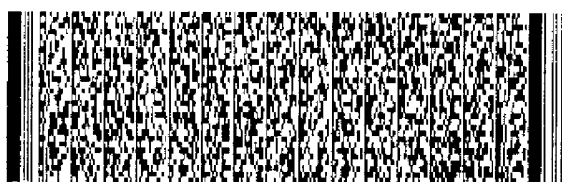
類別： H03K 17/687

(以上各欄由本局填註)

發明專利說明書

461181

一、 發明名稱	中文	邏輯電路及其製造方法
	英文	(日文：論理回路とその作成方法)
二、 發明人	姓名 (中文)	1. 山下 春造 2. 矢野 和男 3. 佐佐木 靖彦
	姓名 (英文)	1. SHUNZO YAMASHITA 2. KAZUO YANO 3. YASUHIKO SASAKI
	國籍	1. 日本 2. 日本 3. 美國
	住、居所	1. 日本國埼玉縣所澤市御幸町1-16-2003 2. 日本國東京都日野市多摩平6-6-6 3. 美國加州94025曼羅公園N212沙龍公園路350號
三、 申請人	姓名 (名稱) (中文)	1. 日商日立製作所股份有限公司
	姓名 (名稱) (英文)	1. HITACHI, LTD. (日文：株式会社日立製作所)
	國籍	1. 日本
	住、居所 (事務所)	1. 日本國東京都千代田區神田駿河台四丁目6番地
	代表人 姓名 (中文)	1. 金井務
	代表人 姓名 (英文)	1.



461181

本案已向

國(地區)申請專利

日本 JP

申請日期

1997/11/28 特願平9-327536

案號

主張優先權

有

有關微生物已寄存於

寄存日期

寄存號碼

無



五、發明說明 (1)

發明之背景及概述

本發明係關於一種使用選擇器電路之高速邏輯電路，並且關於製造這種邏輯電路之方法。

關於高速邏輯電路之研究已被發表多數。其中多數是使用路徑電晶體電路的邏輯電路。

例如在IEEE (電氣電子工程師學會) 1994 客戶積體電路會議記錄, pp. 603-606 (以下稱為文獻1), 提出一種方法: 組合只用 n 通道場效電晶體構成的二輸入一輸出之路徑電晶體選擇器和為了改善延遲時間的緩衝用反相器而製造邏輯電路。在此例利用以少數電晶體可實現複雜邏輯功能這種路徑電晶體電路特徵, 藉由以電晶體數少的小型電路實現目的之邏輯電路, 成功地得以製造以高速動作的邏輯電路。

此外, 在IEEE 固態電路雜誌卷25, 第2號, pp. 388-395 (以下稱為文獻2), 提出CPL (互補路徑電晶體邏輯) 這種差動型高速路徑電晶體邏輯電路。和文獻1同樣, CPL也使用只用 n 通道場效電晶體構成的二輸入一輸出之路徑電晶體選擇器和緩衝用反相器而構成邏輯電路。CPL之第1特徵和文獻1之情況不同, 係以下之點: 必定以2個二輸入一輸出之路徑電晶體選擇器為一對而使用, 是利用正反兩極性信號的差動型邏輯電路。如此, CPL藉由利用以少數電晶體可實現複雜邏輯功能這種路徑電晶體電路特徵和更進一步不要為了調合極性的反相器這種差動型電路特徵的兩方, 實現以高速動作的邏輯電路。實際上根據文獻2, 係



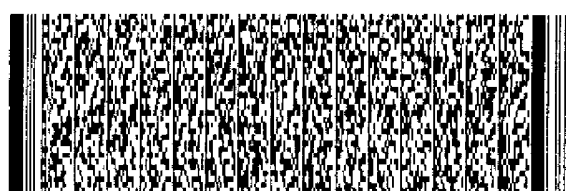
五、發明說明 (2)

以CPL實現比CMOS電路快2.5倍的全加器。

此外，在IEEE國際固態電路會議技術文件摘要，pp. 90-91，1993（以下稱為文獻3）提出DPL（雙路徑電晶體邏輯）這種路徑電晶體邏輯電路。DPL如和CPL相同，藉由差動型路徑電晶體選擇器電路，使用正反兩極性信號構成邏輯電路。然而，和CPL不同，使用n通道場效電晶體和p通道場效電晶體的兩種型式電晶體構成路徑電晶體選擇器電路。文獻1、2之路徑電晶體電路只用n通道場效電晶體構成選擇器電路，所以在選擇器電路之輸出產生相當於電晶體之臨界電壓的電壓下降，因此有電源電壓低時不能高速動作的問題。然而，DPL因併用P通道場效電晶體而無臨界電壓部分的電壓下降問題，所以在低電源電壓時亦可高速動作。

再者，在美國專利號碼5,040,139（以下稱為文獻4）、美國專利號碼5,162,666（以下稱為文獻5）及美國專利號碼5,200,907（以下稱為文獻6）介紹以下方法：使用TGM（傳輸閘多工器）這種路徑電晶體電路基底的選擇器製造邏輯電路。以路徑電晶體電路基底構成的TGM比以CMOS電路構成的互斥或(XOR)、反及(NAND)、反或(NOR)閘可高速動作，所以TGM基底的邏輯電路比習知CMOS基底的邏輯電路可高速動作。

在實際的大規模邏輯電路中一般存在多數從某輸入到摸索找到某輸出的路徑(path)。因此，到某輸出信號確定之前所需的時間（即該輸出信號的延遲時間）取決於在其各路



五、發明說明 (3)

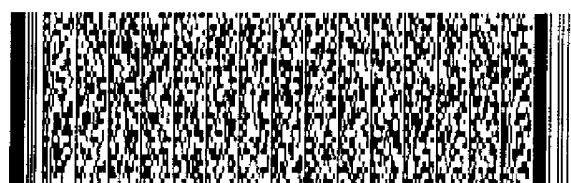
徑中構成存在於路徑上的電晶體等電路的元件延遲時間總和最慢的路徑(所謂的關鍵路徑)延遲時間。再者，存在多數輸出信號時，根據延遲時間最慢的輸出信號的延遲時間決定邏輯電路的動作速度。

因此，要是存在一條延遲時間極端慢的路徑，即使其他全部路徑的延遲時間非常小，可高速動作，在電路全體亦不可能高速動作。如此，對於實際的大規模邏輯電路，要製造可高速動作的邏輯電路，於製造邏輯電路時，使各路徑的級數盡量相同，製造沒有延遲時間極端慢的路徑之類的電路，實用上非常重要。

然而，在先前技術說明的文獻1~6對使電路本身的動作速度提高很有效，但不一定能保證沒有如上述所示的極端慢的路徑。此外，文獻1~6一點也沒有提出製造邏輯電路的方法，以便各路徑的級數盡量成為均等。

此外，在實際的電路，不一定全部的輸入信號在同一時刻到達，有時特定的輸入信號會比其他的輸入信號慢。這種情況，邏輯電路全體的延遲時間在電路本身的延遲時間成為其延遲而來的輸入信號的延遲和。即，即使路徑的延遲時間小，若在關係到該路徑的輸入信號中存在極端慢的，則該路徑也決定全體的動作速度。因此，輸入信號極端慢來之類的情況，需要如該輸入信號關係的路徑之級數盡量變淺般地製造電路，製造電路全體的延遲時間成為均等之類的邏輯電路。

本發明之目的，係提供一種使邏輯電路之各路徑級數盡



五、發明說明 (4)

量成為相同，製造延遲時間極端慢的關鍵路徑 (critical path) 不存在的邏輯電路，並且可高速動作的邏輯電路。

此外，本發明之其他目的，係提供一種特定的輸入信號慢來時，也考慮其延遲之延遲時間增加部分，使關係到該輸入信號的路徑之級數變淺而製造邏輯電路，並且可高速動作的邏輯電路。

再者，本發明之其他目的，係提供一種製造延遲時間極端慢的關鍵路徑不存在的邏輯電路的方法。

再者，本發明之其他目的，係提供一種特定的輸入信號慢來時，也考慮其延遲之延遲時間增加部分，製造延遲時間極端慢的關鍵路徑不存在的邏輯電路的方法。

為了達成上述目的，本發明所希望形態係邏輯電路(圖1之C1)，其特徵在於：含有第1選擇器(S1)：控制輸入S為第1輸入信號(IN1)所控制，輸入I1或輸入I0為第2輸入信號(IN2)所控制，輸出0連接於第1節點(N1)；及第3選擇器(S3)：控制輸入S為第1節點(N1)所控制，輸入I1為第3輸入信號(IN3)所控制，輸入信號I0為第1輸入信號(IN1)所控制。輸出0連接於第1輸出信號(OUT1)者。

本發明其他所希望形態係邏輯電路(圖2之C41)，其特徵在於：含有第41選擇器(S41)：控制輸入S為第1輸入信號(IN1)所控制，輸入I1為第3輸入信號(IN3)所控制，輸出0連接於第41節點(N41)；及，第43選擇器(S43)：控制輸入S為第2輸入信號(IN2)所控制，輸入I1或輸入I0之任何一方為第41節點(N41)所控制，剩餘為第1輸入信號(IN1)所



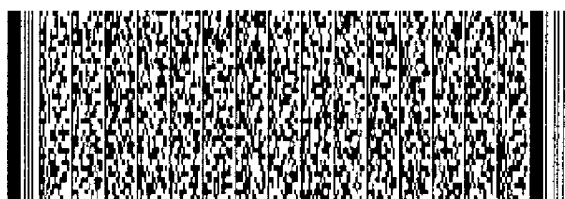
五、發明說明 (5)

控制，輸出0連接於第1輸出信號(OUT1)者。

本發明其他所希望形態係邏輯電路(圖1之C1)：含有第1選擇器(S1)：控制輸入S為第1輸入信號(IN1)所控制，輸入I1為第2輸入信號(IN2)所控制，輸入I0連接於固定電位(GND)，輸出0連接於第1節點(N1)；第2選擇器(S2)：控制輸入S為第1輸入信號(IN1)所控制，輸入I1為第4輸入信號(IN4)所控制，輸入I0為第5輸入信號(IN5)所控制，輸出0連接於第2節點(N2)；及，第3選擇器(S3)：控制輸入S為第1節點(N1)所控制，輸入I1為第3輸入信號(IN3)所控制，輸入I0為第2節點(N2)所控制，輸出0連接於第1輸出信號(OUT1)。

本發明其他所希望之其他形態係邏輯電路(圖1之C21)：含有第21選擇器(S21)：控制輸入S為第1輸入信號(IN1)所控制，輸入I1連接於固定電位(GND)，輸入I0為第2輸入信號(IN2)所控制，輸出0連接於第21節點(N21)；第22選擇器(S22)：控制輸入S為第1輸入信號(IN1)所控制，輸入I1為第5輸入信號(IN5)所控制，輸入I0為第4輸入信號(IN4)所控制，輸出0連接於第22節點(N22)；及，第23選擇器(S23)：控制輸入S為第21節點(N21)所控制，輸入I1為第3輸入信號(IN3)所控制，輸入I0為第22節點(N22)所控制，輸出0連接於第1輸出信號(OUT1)。

再者，本發明其他所希望之其他形態係邏輯電路(圖2之C41)：含有第41選擇器(S41)：控制輸入S為第1輸入信號(IN1)所控制，輸入I1為第3輸入信號(IN3)所控制，輸入

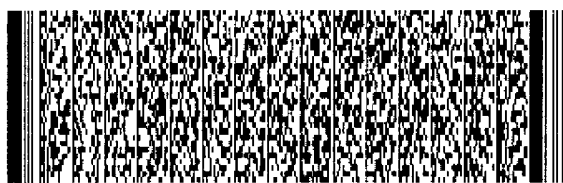


五、發明說明 (6)

I0 為第5輸入信號(IN5)所控制，輸出0連接於第41節點(N41)；第42選擇器(S42)：控制輸入S為第1輸入信號(IN1)所控制，輸入I1為第4輸入信號(IN4)所控制，輸入I0為第5輸入信號(IN5)所控制，輸出0連接於第42節點(N42)；及，第43選擇器(S43)：控制輸入S為第2輸入信號(IN2)所控制，輸入I1為第41節點(N41)所控制，輸入I0為第42節點(N42)所控制，輸出0連接於第1輸出信號(OUT1)。

再者，本發明其他所希望之其他形態係邏輯電路(圖2之C51)：含有第51選擇器(S51)：控制輸入S為第1輸入信號(IN1)所控制，輸入I1為第5輸入信號(IN5)所控制，輸入I0為第3輸入信號(IN3)所控制，輸出0連接於第51節點(N51)；第52選擇器(S52)：控制輸入S為第1輸入信號(IN1)所控制，輸入I1為第5輸入信號(IN5)所控制，輸入I0為第4輸入信號(IN4)所控制，輸出0連接於第52節點(N52)；及，第53選擇器(S53)：控制輸入S為第2輸入信號(IN2)所控制，輸入I1為第51節點(N51)所控制，輸入I0為第52節點(N52)所控制，輸出0連接於第1輸出信號(OUT1)。

再者，本發明其他所希望之其他形態係邏輯電路(圖2之C61)：含有第61選擇器(S61)：控制輸入S為第2輸入信號(IN2)所控制，輸入I1為第4輸入信號(IN4)所控制，輸入I0為第5輸入信號(IN5)所控制，輸出0連接於第61節點(N61)；第62選擇器(S62)：控制輸入S為第3輸入信號



五、發明說明 (7)

(IN3) 所控制，輸入I1為第4輸入信號(IN4)所控制，輸入I0為第5輸入信號(IN5)所控制，輸出0連接於第62節點(N62)；及，第63選擇器(S63)：控制輸入S為第1輸入信號(IN1)所控制，輸入I1為第61節點(N61)所控制，輸入I0為第62節點(N62)所控制，輸出0連接於第1輸出信號(OUT1)。

再者，本發明其他所希望之其他形態係邏輯電路(圖2之C71)：含有第71選擇器(S71)：控制輸入S為第3輸入信號(IN3)所控制，輸入I1為第4輸入信號(IN4)所控制，輸入I0為第5輸入信號(IN5)所控制，輸出0連接於第71節點(N71)；第72選擇器(S72)：控制輸入S為第1輸入信號(IN1)所控制，輸入I1為第4輸入信號(IN4)所控制，輸入I0為第71的點(N71)所控制，輸出0連接於第72節點(N72)；第73選擇器(S73)：控制輸入S為第1輸入信號(IN1)所控制，輸入I1為第5輸入信號(IN5)所控制，輸入I0為第71節點(N71)所控制，輸出0連接於第73節點(N73)；及，第74選擇器(S74)：控制輸入S為第2輸入信號(IN2)所控制，輸入I1為第72節點(N72)所控制，輸入I0為第73節點(N73)所控制，輸出0連接於第1輸出信號(OUT1)。

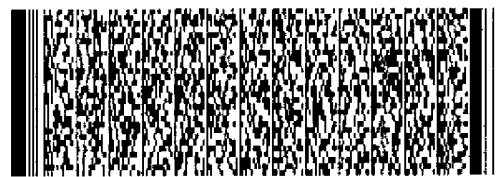
再者，本發明其他所希望之其他形態係邏輯電路(圖2之C81)：含有第81選擇器(S81)：控制輸入S為第2輸入信號(IN2)所控制，輸入I1為第4輸入信號(IN4)所控制，輸入I0為第5輸入信號(IN5)所控制，輸出0連接於第81節點



五、發明說明 (8)

(N81)；第82選擇器(S82)：控制輸入S為第1輸入信號(IN1)所控制，輸入I1為第81的點(N81)所控制，輸入I0為第4輸入信號(IN4)所控制，輸出O連接於第82節點(N82)；第83選擇器(S83)：控制輸入S為第1輸入信號(IN1)所控制，輸入I1為第81節點(N81)所控制，輸入I0為第5輸入信號(IN5)所控制，輸出O連接於第83節點(N83)；及，第84選擇器(S84)：控制輸入S為第3輸入信號(IN3)所控制，輸入I1為第82節點(N82)所控制，輸入I0為第83節點(N83)所控制，輸出O連接於第1輸出信號(OUT1)。

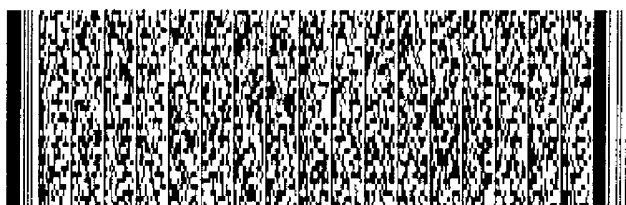
再者，本發明其他所希望之其他形態係圖1之C1、C11、C21、C31及圖2之C41、C51、C61、C71、C81之邏輯電路，其特徵在於：含有以下述為特徵之選擇器(圖3之a列之C100)：含有第100 n通道場效電晶體(T100)：閘極為第104節點(N104)所控制，在輸入I0和第100節點(N100)之間連接源極汲極路徑；第101n通道場效電晶體(T101)：閘極為控制輸入S所控制，在輸入I1和第100節點(N100)之間連接源極汲極路徑；第104 p通道場效電晶體(T104)：閘極為控制輸入S所控制，在第1動作電位點(VDD)和第104節點(N104)之間連接源極汲極路徑；第105 n通道場效電晶體(T105)：閘極為選控制輸入S所控制，在第2動作電位點(GND)和第104節點(N104)之間連接源極汲極路徑；第102 p通道場效電晶體(T102)：閘極為第100節點(N100)所控制，在第1動作電位點(VDD)和輸出之間連接源極汲極路徑；及，第103 n通道場效電晶體(T103)：閘極為第100節



五、發明說明 (9)

點(N100)所控制，在第2動作電位(GND)和輸出之間連接源極汲極路徑者。

再者，本發明其他所希望之其他形態係圖1之C1、C11、C21、C31及圖2之C41、C51、C61、C71、C81之邏輯電路，其特徵在於：含有選擇器(圖3之a列之C200)：該選擇器含有第200 n通道場效電晶體(T200)：閘極為控制輸入S之互補信號(S')所控制，在輸入I0和第200節點(N200)之間連接源極汲極路徑；第201n通道場效電晶體(T201)：閘極為控制輸入S所控制，在輸入I1和第200節點(N200)之間連接源極汲極路徑；第202 n通道場效電晶體(T202)：閘極為控制輸入S之互補信號(S')所控制，在輸入I0之互補信號(I0')和第202節點(N202)之間連接源極汲極路徑；第203 n通道場效電晶體(T203)：閘極為選控制輸入S所控制，在輸入I1之互補信號(I1')和第202節點(N202)之間連接源極汲極路徑；第206 p通道場效電晶體(T206)：閘極為第200節點(N200)所控制，在第1動作電位點(VDD)和輸出之互補信號(OUT')之間連接源極汲極路徑；第207 n通道場效電晶體(T207)：閘極為第200節點(N200)所控制，在第2動作電位點(GND)和輸出之互補信號(OUT')之間連接源極汲極路徑；第208 p通道場效電晶體(T208)：閘極為第202節點(N202)所控制，在第1動作電位點(VDD)和輸出之間連接源極汲極路徑；及，第209 n通道場效電晶體(T209)：閘極為第202節點(N202)所控制，在第2動作電位點(GND)和輸出之間連接源極汲極路徑者。



五、發明說明 (10)

再者，本發明其他所希望之其他形態係邏輯電路(圖4之C120)，其特徵在於：含有第127 p通道場效電晶體(TP127)：閘極為第1輸入信號(IN1)所控制，在第1動作電位點(VDD)和第127節點(N127)之間連接源極汲極路徑；第127 n通道場效電晶體(TN127)：閘極為第1輸入信號(IN1)所控制，在第2動作電位點(GND)和第127節點(N127)之間連接源極汲極路徑；

第128 n通道場效電晶體(TN128)：閘極為第127節點(N127)所控制，在第128節點(N128)連接源極汲極路徑；第129 n通道場效電晶體(TN129)：閘極為第1輸入信號(IN1)所控制，在第2輸入信號(IN2)和第128節點(N128)之間連接源極汲極路徑；

第121 p通道場效電晶體(TP121)：閘極為第128節點(N128)所控制，在第1動作電位點(VDD)和第121節點(N121)之間連接源極汲極路徑；第121 n通道場效電晶體(TN121)：閘極為第128節點(N128)所控制，在第2動作電位點(GND)和第121節點(N121)之間連接源極汲極路徑；

第125 n通道場效電晶體(TN125)：閘極為第121節點(N121)所控制，在第3輸入信號(IN3)和第125節點(N125)之間連接源極汲極路徑；及，第126 n通道場效電晶體(TN126)：閘極為第128 (N128)節點所控制，在為第1輸入信號(IN1)所控制之第124節點(N124)和第125節點(N125)之間連接源極汲極路徑者。

再者，本發明其他所希望之其他形態係邏輯電路(圖4之



五、發明說明 (11)

a 列之C120)，其特徵在於：含有第120 p 通道場效電晶體(TP120)：閘極為第1輸入信號(IN1)所控制，在第1動作電位點(VDD)和第120節點(N120)之間連接源極汲極路徑；

第120 n 通道場效電晶體(TN120)：閘極為第1輸入信號(IN1)所控制，在第2動作電位點(GND)和第120節點(N120)之間連接源極汲極路徑；

第123 n 通道場效電晶體(TN123)：閘極為第120節點(N120)所控制，在第5輸入信號(IN5)和124節點(N124)之間連接源極汲極路徑；第124 n 通道場效電晶體(TN124)：閘極為第1輸入信號(IN1)所控制，在第4輸入信號(IN4)和第124節點(N124)之間連接源極汲極路徑；

第121 p 通道場效電晶體(TP121)：閘極為第130節點(N130)所控制，在第1動作電位點(VDD)和第121節點(N121)之間連接源極汲極路徑；第121 n 通道場效電晶體(TN121)：閘極為第130節點(N130)所控制，在第2動作電位點(GND)和第121節點(N121)之間連接源極汲極路徑；

第125 n 通道場效電晶體(TN125)：閘極為第121節點(N121)所控制，在第3輸入信號(IN3)和第125節點(N125)之間連接源極汲極路徑；第126 n 通道場效電晶體(TN126)：閘極為第130節點(N130)所控制，在第124節點(N124)和第125節點(N125)之間連接源極汲極路徑；

第127 p 通道場效電晶體(TP127)：閘極為第1輸入信號(IN1)所控制，在第1動作電位點(VDD)和第127節點(N127)之間連接源極汲極路徑；第127 n 通道場效電晶體



五、發明說明 (12)

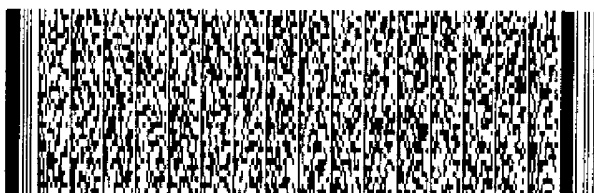
(TN127)：閘極為第1輸入信號(TN1)所控制，在第2動作電位點(GND)和第127節點(N127)之間連接源極汲極路徑；

第128 n通道場效電晶體(TN128)：閘極為第127節點(N127)所控制，在第1動作電位點(VDD)或第2動作電位點(GND)和第128節點(N128)之間連接源極汲極路徑；第129 n通道場效電晶體(TN129)：閘極為第1輸入信號(IN1)所控制，在第2輸入信號(IN2)和第128節點(N128)之間連接源極汲極路徑；

第130 p通道場效電晶體(TP130)：閘極為第128節點(N128)所控制，在第1動作電位點(VDD)和第130節點(N130)之間連接源極汲極路徑；第130 n通道場效電晶體(TN130)：閘極為第128節點(N128)所控制，在第2動作電位點(GND)和第130節點(N130)之間連接源極汲極路徑；

第122 p通道場效電晶體(TP122)：閘極為第125節點(N125)所控制，在第1動作電位點(VDD)和第1輸出信號之間連接源極汲極路徑；及，第122 n通道場效電晶體(TN122)：閘極為第125節點(N125)所控制，在第2動作電位點(GND)和第1輸出信號之間連接源極汲極路徑者。

再者，本發明其他所希望之其他形態係邏輯電路(圖5之a列之C140)，其特徵在於：含有第140 p通道場效電晶體(TP140)：閘極為第1輸入信號(IN1)所控制，在第1動作電位點(VDD)和第140節點(N140)之間連接源極汲極路徑；第140 n通道場效電晶體(TN140)：閘極為第1輸入信號(IN1)所控制，在第2動作電位點(GND)和第140節點(N140)之間



五、發明說明 (13)

連接源極汲極路徑；

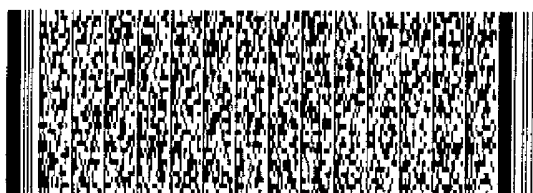
第143 n通道場效電晶體(TN143)：閘極為第140節點(N140)所控制，在第4輸入信號(IN5)和第144節點(N144)之間連接源極汲極路徑；第144 n通道場效電晶體(TN144)：閘極為第1輸入信號(IN1)所控制，在第5輸入信號(IN4)和第144節點(N144)之間連接源極汲極路徑；

第141 p通道場效電晶體(TP141)：閘極為第150節點(N150)所控制，在第1動作電位點(VDD)和第141節點(N141)之間連接源極汲極路徑；第141 n通道場效電晶體(TN141)：閘極為第150節點(N150)所控制，在第2動作電位點(GND)和第141節點(N141)之間連接源極汲極路徑；

第145 n通道場效電晶體(TN145)：閘極為第141節點(N141)所控制，在第3輸入信號(IN3)和第145節點(N145)之間連接源極汲極路徑；第146 n通道場效電晶體(TN146)：閘極為第150節點(N150)所控制，在第144節點(N144)和第145節點(N145)之間連接源極汲極路徑；

第147 p通道場效電晶體(TP147)：閘極為第1輸入信號(IN1)所控制，在第1動作電位點(VDD)和第147節點(N147)之間連接源極汲極路徑；第147 n通道場效電晶體(TN147)：閘極為第1輸入信號(IN1)所控制，在第2動作電位點(GND)和第147節點(N147)之間連接源極汲極路徑；

第148 n通道場效電晶體(TN148)：閘極為第147節點(N147)所控制，在第2輸入信號(IN2)和第148節點(N148)之間連接源極汲極路徑；第149 n通道場效電晶體



五、發明說明 (14)

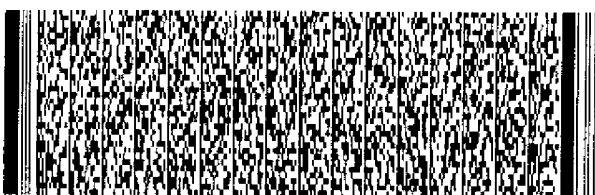
(TN149)：閘極為第1輸入信號(IN1)所控制，在第1動作電位點(VDD)或第2動作電位點(GND)和第148節點(N148)之間連接源極汲極路徑；

第150 p通道場效電晶體(TP150)：閘極為第148節點(N148)所控制，在第1動作電位點(VDD)和第150節點(N150)之間連接源極汲極路徑；第150 n通道場效電晶體(TN150)：閘極為第148節點(N148)所控制，在第2動作電位點(GND)和第150節點(N150)之間連接源極汲極路徑；

第142 p通道場效電晶體(TP142)：閘極為第145節點(N145)所控制，在第1動作電位點(VDD)和第1輸出信號之間連接源極汲極路徑；及，第142 n通道場效電晶體(TN142)：閘極為第145節點(N145)所控制，在第2動作電位點(GND)和第1輸出信號之間連接源極汲極路徑者。

再者，本發明其他所希望之其他形態係邏輯電路(圖11之a列之C160)，其特徵在於：含有第160 p通道場效電晶體(TP160)：閘極為第1輸入信號(IN1)所控制，在第1動作電位點(VDD)和第160節點(N160)之間連接源極汲極路徑；第160 n通道場效電晶體(TN160)：閘極為第1輸入信號(IN1)所控制，在第2動作電位點(GND)和第160節點(N160)之間連接源極汲極路徑；

第163 n通道場效電晶體(TN163)：閘極為第160節點(N160)所控制，在第5輸入信號(IN5)和第163節點(N163)之間連接源極汲極路徑；第164 n通道場效電晶體(TN164)：閘極為第1輸入信號(IN1)所控制，在第4輸入信



五、發明說明 (15)

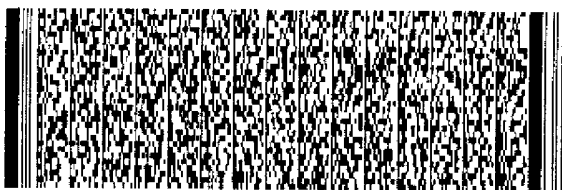
號(IN4)和第163節點(N163)之間連接源極汲極路徑；

第161 p通道場效電晶體(TP161)：閘極為第168節點(N168)所控制，在第1動作電位點(VDD)和第161節點(N161)之間連接源極汲極路徑；第161 n通道場效電晶體(TN161)：閘極為第168節點(N168)所控制，在第2動作電位點(GND)和第161節點(N161)之間連接源極汲極路徑；

第165 n通道場效電晶體(TN165)：閘極為第161節點(N161)所控制，在第3輸入信號(IN3)和第165節點(N165)之間連接源極汲極路徑；第166 n通道場效電晶體(TN166)：閘極為第168節點(N168)所控制，在第163節點(N163)和第165節點(N165)之間連接源極汲極路徑；

第167 p通道場效電晶體(TP167)：閘極為第1輸入信號(IN1)所控制，在第1動作電位點(VDD)和第168節點(N168)之間連接源極汲極路徑；第168 p通道場效電晶體(TN168)：閘極為第2輸入信號(TN2)所控制，在第1動作電位點(VDD)和第168節點(N168)之間連接源極汲極路徑；第167 n通道場效電晶體(TN167)：閘極為第2輸入信號(IN2)所控制，在第168節點(N168)和第167節點(N167)之間連接源極汲極路徑；第167 n通道場效電晶體(TN167)：閘極為第1輸入信號(IN1)所控制，在第2動作電位點(GND)和第167節點(N167)之間連接源極汲極路徑；

第162 p通道場效電晶體(TN162)：閘極為第165節點(N165)所控制，在第1動作電位點(VDD)和第1輸入信號之間連接源極汲極路徑；及，第162 n通道場效電晶體



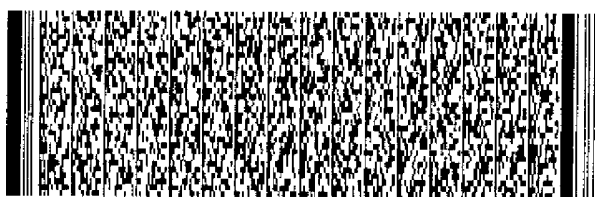
五、發明說明 (16)

(TN162)：閘極為第165節點(N165)所控制，在第2動作電位點(GND)和第1輸出信號之間連接源極汲極路徑者。

再者，本發明其他所希望之其他形態係邏輯電路(圖12之a列之C180)，其特徵在於：含有第184 p通道場效電晶體(TP184)：閘極為第1輸入信號(IN1)所控制，在第1動作電位點(VDD)和第185節點(N185)之間連接源極汲極路徑；第185 p通道場效電晶體(TP185)：閘極為第2輸入信號(IN2)所控制，在第1動作電位點(VDD)和第185節點(N185)之間連接源極汲極路徑；第184 n通道場效電晶體(TN184)：閘極為第2輸入信號(IN2)所控制，在第185節點(N185)和第184節點(N184)之間連接源極汲極路徑；第185 n通道場效電晶體(TN185)：閘極為第1輸入信號(IN1)所控制，在第2動作電位點(GND)和第184節點(N184)之間連接源極汲極路徑；

第180 p通道場效電晶體(TP180)：閘極為第185節點(N185)所控制，在第1動作電位點(VDD)和第180節點(N180)之間連接源極汲極路徑；第180 n通道場效電晶體(TN180)：閘極為第185節點(N185)所控制，在第2動作電位點(GND)和第180節點(N180)之間連接源極汲極路徑；

第182 n通道場效電晶體(TN182)：閘極為第180節點(N180)所控制，在第3輸入信號(IN3)和第182節點(N182)之間連接源極汲極路徑；第183 n通道場效電晶體(TN183)：閘極為第185節點(N185)所控制，在第1輸入信號(IN1)和182節點(N182)之間連接源極汲極路徑；第181



五、發明說明 (17)

p 通道場效電晶體(TP181)：閘極為第182節點(N182)所控制，在第1動作電位點(VDD)和第1輸出信號(OUT1)之間連接源極汲極路徑；及，第181 n通道場效電晶體(TN181)：閘極為第182節點(N182)所控制，在第2動作電位點和第1輸出信號之間連接源極汲極路徑者。

圖式之簡單說明

圖1為本發明之實施形態。

圖2為本發明之其他實施形態。

圖3為選擇器電路之電路圖。

圖4為本發明之其他實施形態。

圖5為本發明之其他實施形態。

圖6為顯示變換成反及閘、反或閘、反相器之選擇器形式和其變換規則之圖。

圖7為在圖1之C1之本發明邏輯電路，將選擇器S1按照圖6之a列之變換形式換成反及閘+反相器的電路。

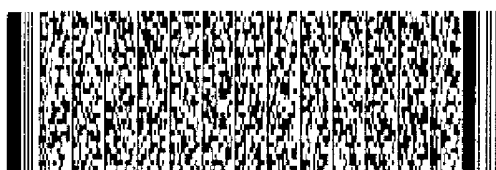
圖8為顯示冗餘選擇器之圖。

圖9為顯示以差動型電路構成反及閘、反或閘、反相器之例之圖。

圖10為將圖1之C1、C11、C21、C31所示之本發明邏輯電路按照圖6之變換規則將一部分選擇器換成CMOS閘時的電路和以差動型電路構成這些電路時的電路。

圖11為圖10之a列所示之本發明邏輯電路C2及C3之電晶體級的電路圖。

圖12為在圖10之a列之C2及C3所示之本發明邏輯電路，



五、發明說明 (18)

輸入信號IN5為GND固定、IN4為VDD固定時，去掉冗餘選擇器後的電路圖。

圖13為在圖1之b列之C0電路使選擇器C5之控制輸入S連接於輸入信號IN2之反轉信號時的電路圖。

圖14為顯示根據本發明第5實施例之使用選擇器之延遲時間改善程式概要和為了執行此之電腦系統之圖。

圖15為顯示使用本發明邏輯電路之延遲時間改善程式，從邏輯電路規格到製造半導體積體電路的流程圖之圖。

圖16為顯示使用本發明邏輯電路之延遲時間改善程式之流程圖之圖。

圖17為根據本發明第5實施例之說明正向延遲時間、反向延遲時間、間隙(slack)及孔(hole)之圖。

圖18為輸入使用圖16之本發明邏輯電路之延遲時間改善程式之邏輯電路例。

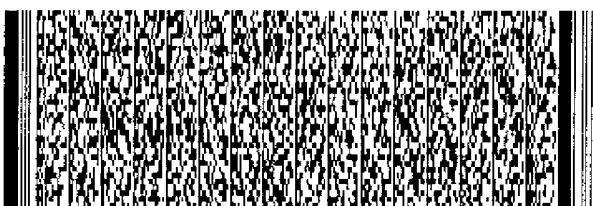
圖19為只由使用圖16之本發明邏輯電路之延遲時間改善程式之選擇器電路變換常式(routine)所產生之選擇器構成之邏輯電路的電路圖。

圖20為在使用圖16之本發明邏輯電路之延遲時間改善程式之延遲時間改善常式中途所產生之中間電路的電路圖。

圖21為在使用圖16之本發明邏輯電路之延遲時間改善程式之延遲時間改善常式中途所產生之中間電路的電路圖。

圖22為在使用圖16之本發明邏輯電路之延遲時間改善程式之延遲時間改善常式中途所產生之中間電路的電路圖。

圖23為在使用圖16之本發明邏輯電路之延遲時間改善程



五、發明說明 (19)

式之延遲時間改善程式所最後輸出之電路的電路圖。

圖24為在使用圖16之本發明邏輯電路之延遲時間改善程式之CMOS胞重映像(remapping)常式中途所產生之電路的電路圖。

圖25為在使用圖16之本發明邏輯電路之延遲時間改善程式之CMOS胞重映像常式所最後輸出之電路的電路圖。

圖26為在使用圖16之本發明邏輯電路之延遲時間改善程式之CMOS胞重映像常式所最後輸出之電路(使用差動型選擇器)的電路圖。

圖27為對於大規模邏輯電路比較使用圖16之本發明邏輯電路之延遲時間改善程式適用前後的違反限制路徑數之圖。

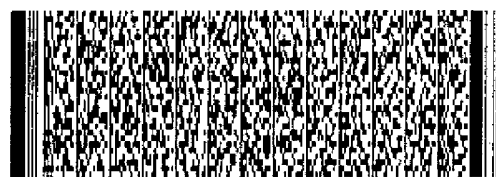
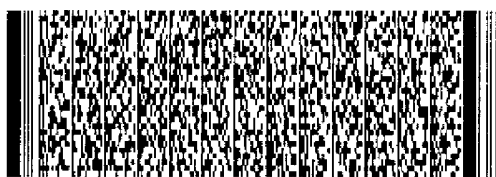
圖28為對於大規模邏輯電路比較使用圖16之本發明邏輯電路之延遲時間改善程式適用前後的胞之孔分佈之圖。

發明之詳細說明

以下，就本發明之邏輯電路，參照圖面所示之幾個實施例更加詳細說明。又，在以下，相同參照號碼表示相同者或類似者。

<實施例1>

在圖1按照其a列說明本發明之一實施形態。圖1之a列所示之選擇器(C0之S5~S6、C1之S1~S3等)具有以圖3之a列之E100之布耳表達式(Boolean expression)所示之邏輯功能。即，控制輸入S為"1"時選擇輸入I1，輸出到輸出0，"0"時選擇、輸出輸入I0。圖3之C100~C102電路為利用各



五、發明說明 (20)

種型式之電路安裝此二輸入一輸出之選擇器之例。其中，C100為只以n通道場效電晶體構成選擇器部分(電晶體T100、T101)之例，係在文獻1所示之電路。又，在此C100電路，電晶體T102、T103、T106主要是插入作為改善延遲時間的緩衝器的電路，在後級也是選擇器電路繼續時，可省略。

圖3之a列之C101電路為以n通道場效電晶體及p通道場效電晶體構成選擇器部分之例。在此電路，和C100電路不同，由於沒有在選擇器部分(T110~T113)的臨界電壓部分的電壓下降，所以即使電源電壓低時亦可高速動作。再者，圖3之a列之C102為以CMOS電路構成之例。如從此例得知，一般選擇器電路以路徑電晶體電路構成可小型地實現。

以下，考慮此圖1之C0之延遲時間。在此電路存在如下之路徑：

C0之路徑1	IN5 → 選擇器S6 → OUT1
C0之路徑2	IN4 → 選擇器S5 → N5 → 選擇器S6 → OUT1
C0之路徑3	IN3 → 選擇器S5 → N5 → 選擇器S6 → OUT1
C0之路徑4	IN2 → 選擇器S5 → N5 → 選擇器S6 → OUT1
C0之路徑5	IN1 → 選擇器S6 → OUT1

茲就僅輸入信號IN3比其他輸入信號(IN1、IN2、IN4、IN5)極端慢來時，考慮各路徑之延遲時間。例如設IN3慢



五、發明說明 (21)

來1.0 ns，並設選擇器S5、S6之延遲時間為0.5 ns時，則

C0之路徑1	$0 + 0.5$	0.5ns
C0之路徑2	$0 + 0.5 + 0.5$	1.0ns
C0之路徑3	$1.0 + 0.5 + 0.5$	2.0ns
C0之路徑4	$0 + 0.5 + 0.5$	1.0ns
C0之路徑5	0.5	0.5ns

即，在圖1之C0以粗線所示之 $IN3 \rightarrow S5 \rightarrow N5 \rightarrow S6 \rightarrow OUT1$ 此一路徑成為延遲時間最慢的關鍵路徑(critical path)。因此，其他路徑雖比2.0ns可高速動作，但以此電路全體看時的延遲時間成為此關鍵路徑之延遲時間2.0ns。這是因為在此C0之電路，雖然IN3比其他輸入信號慢來，但在從此IN3到輸出的路徑存在兩級(S5、S6)選擇器。因此，此路徑之延遲時間變成極端慢(在比例比其他路徑慢1.0ns)，電路全體之延遲時間也變慢了。

相對於此，在圖1之C1所示之本發明邏輯電路，雖然是具有和C0同等邏輯功能的電路，但在從IN3到輸出OUT1的路徑只存在1級(S3)選擇器，所以可期待高速動作。實際上在此C1電路存在如下之路徑：

C1之路徑1	$IN5 \rightarrow \text{選擇器} S2 \rightarrow N2 \rightarrow \text{選擇器} S3 \rightarrow OUT1$
C1之路徑2	$IN4 \rightarrow \text{選擇器} S2 \rightarrow N2 \rightarrow \text{選擇器} S3 \rightarrow OUT1$
C1之路徑3	$IN1 \rightarrow \text{選擇器} S2 \rightarrow N2 \rightarrow \text{選擇器} S3 \rightarrow OUT1$



五、發明說明 (22)

C1 之路徑4	IN3 → 選擇器S3 → OUT1
C1 之路徑5	IN2 → 選擇器S1 → N1 → 選擇器S3 → OUT1
C1 之路徑6	TN1 → 選擇器S1 → N1 → 選擇器S3 → OUT1

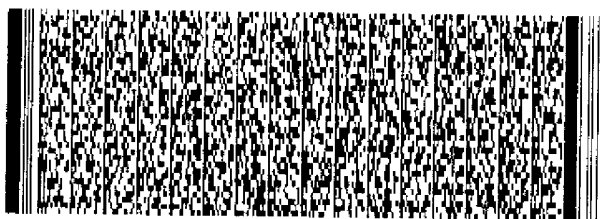
估計各自的延遲時間，則成為

C1 之路徑1	$0 + 0.5 + 0.5$	1.0ns
C1 之路徑2	$0 + 0.5 + 0.5$	1.0ns
C1 之路徑3	$0 + 0.5 + 0.5$	1.0ns
C1 之路徑4	$1.0 + 0.5$	1.5ns
C1 之路徑5	$0 + 0.5 + 0.5$	1.0ns
C1 之路徑6	$0 + 0.5 + 0.5$	1.0ns

和C0同樣，從IN3到輸出OUT1的路徑是延遲時間最慢的關鍵路徑。然而，延遲時間為1.5ns，所以比C0電路可快0.5ns，即25%高速動作。

由各自的布耳表達式(Boolean expression)如以下成為完全同式，可證明圖1之C0和C1之電路具有相同的邏輯功能。由二輸入一輸出之選擇器電路之布耳表達式表現(圖3之E100)，C0之布耳表達式成為

$$\begin{aligned}
 \text{OUT1} &= \text{IN1} \cdot \text{N101} + \text{IN1}' \cdot \text{IN5} \\
 &= \text{IN1} \cdot (\text{IN2} \cdot \text{IN3} + \text{IN2}' \cdot \text{IN4}) + \text{IN1}' \cdot \text{IN5} \\
 &= \text{IN1} \cdot \text{IN2} \cdot \text{IN3} + \text{IN1} \cdot \text{IN2}' \cdot \text{IN4} + \text{IN1}' \cdot \text{IN5} \quad (\text{E0})
 \end{aligned}$$



五、發明說明 (23)

同樣地，C1之布耳表達式成為

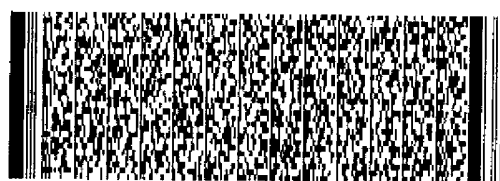
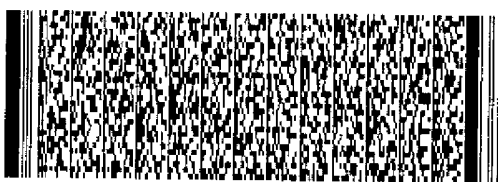
$$\begin{aligned}
 \text{OUT1} &= \text{N1} \cdot \text{IN3} + \text{N1}' \cdot \text{N2} \\
 &= (\text{IN1} \cdot \text{IN2}) \cdot \text{IN3} + (\text{IN1} \cdot \text{IN2})' \cdot (\text{IN1} \cdot \text{IN4} + \\
 &\quad \text{IN1}' \cdot \text{IN5}) \\
 &= \text{IN1} \cdot \text{IN2} \cdot \text{IN3} + (\text{IN1}' \cdot \text{IN2}') \cdot (\text{IN1} \cdot \text{IN4} + \\
 &\quad \text{IN1}' \cdot \text{IN5}) \\
 &= \text{IN1} \cdot \text{IN2} \cdot \text{IN3} + \text{IN1} \cdot \text{IN2}' \cdot \text{IN4} + \text{IN1}' \cdot \text{IN5} + \\
 &\quad \text{IN1}' \cdot \text{IN2}' \cdot \text{IN5} \\
 &= \text{IN1} \cdot \text{IN2} \cdot \text{IN3} + \text{IN1} \cdot \text{IN2}' \cdot \text{IN4} + \text{IN1}' \cdot \\
 &\quad \text{IN5} \quad (\text{E1})
 \end{aligned}$$

由於式(E0)和(E1)為完全同形，所以得知C0和C1是具有完全相同邏輯功能的電路。又，在以上之布耳表達式，IN1'是IN1的否定邏輯，表示IN1的互補信號(在以下之布耳表達式亦同樣)。

如此，在圖1之C0電路，輸入信號IN3慢來時，藉由換成本發明邏輯電路(C1)，削減從IN3到OUT1的路徑級數，可得到能高速動作的電路。

假設以圖3之C100型式構成選擇器，用電晶體級之電路將C1之電路表現出來，則成為圖4之a列之C120所示之由電晶體TN120~TN130及TP120~130所構成之電路。

以上是在選擇器的從控制輸入S到其輸出O的延遲時間和



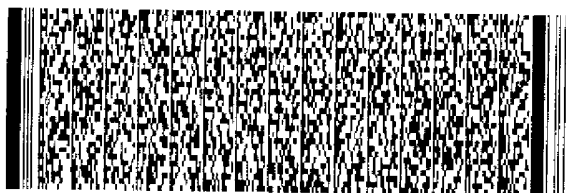
五、發明說明 (24)

從信號輸入I0、I1到輸出O的延遲時間相同此一假設下，估計延遲時間。然而，以圖3之a列之C100~C102電路構成選擇器時，來自控制輸入的延遲時間，僅內部極性反轉用反相器(例如在C100為T104~105)的延遲時間部分需要許多。在典型之例，對於來自信號輸入I1及I0的延遲時間為0.3ns，來自控制輸入S的延遲時間需要0.5ns程度。然而，若以圖3之C200、C201所示之差動型電路構成路徑電晶體選擇器，則在差動型電路必定正負兩極性的信號成對存在，所以不需要極性反轉用反相器。

因此，來自控制輸入S的延遲時間大幅縮短，可和來自信號輸入I1及I0的延遲時間相同程度左右或縮小若干。因此，若以差動型路徑電晶體電路構成本發明之邏輯電路，則可得到可更加高速動作的邏輯電路。

圖3之C200電路係只以n通道場效型電晶體構成選擇器部分，係在文獻2所提出的稱為CPL的電路。又，和圖3之C100及C101電路同樣，在此C200電路，電晶體T204~T209係緩衝器用電路，在次級也是選擇器繼續時，可省略。另一方面，圖3之C201電路係使用n通道場效型電晶體及p通道場效型電晶體之兩極性電晶體構成選擇器部分之例。此電路和圖3之a列之C101所示之電路同樣，係電源電壓低時亦可高速動作之電路。

若以圖3之C200之差動型選擇器構成此C1之電路，則成為圖4之b列之C220所示之由電晶體TN220~TN235及TP220~235所構成的電路。如和圖4之a列之C120比較得



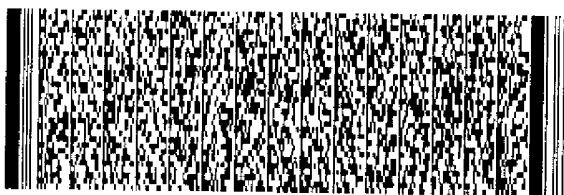
五、發明說明 (25)

知，不需要在選擇器之控制輸入部分的極性反轉用反相器，所以是可高速動作的電路。

此外，一般兩個輸入I0及I1之任何一方固定在GND或VDD電位，作為及(AND)邏輯或者或(OR)邏輯動作的路徑電晶體選擇器(圖6之a~d列之選擇器S300~S330)，大多換成以具有和此等邏輯功能的CMOS電路構成的反及(NAND)閘、反或(NOR)閘等(圖6之a~d列之G300~G331)者延遲時間等電路特性變佳(例如參照關於超大型積體電路論文集1997會刊，pp. 31-32，以下簡稱為文獻7)。又，以此圖6之G300~G331所示之反及(NAND)閘、反或(NOR)閘及反相器分別以標準CMOS電路構成，該標準CMOS電路係以圖6之G340(電晶體T340~T343)、G350(電晶體T350~T353)、G360(電晶體T360~T363)所示。

在圖1之C1電路，選擇器S1相當於圖6之a列之選擇器S300，所以可變換成反及(NAND)閘+反相器(參照圖6之a列之變換形式)，可變形成圖7所示之電路。再者，考慮此圖7之電路之反相器G2和選擇器S3之動作，反相器G2之輸入為"1"時，選擇器S3之控制輸入變成"0"，在選擇器S3選擇I1，反相器G2之輸入為"0"時，將"1"輸入選擇器S3之控制輸入，所以選擇I0之一方。

即，若交換選擇器S3之I0、I1之連接關係，則不需要反相器G2(相當於圖8之a列)。因此，圖1之C1電路最後可變形成圖10之a列之C2電路。一般二輸入反及(NAND)閘(G1)的延遲時間比選擇器的延遲時間小。例如若選擇器的延遲



五、發明說明 (26)

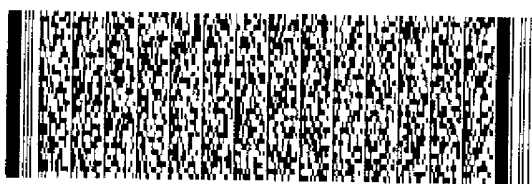
時間為0.5ns程度，則為0.2ns程度。估許此C2電路的延遲時間，則

C2之路徑1	IN5 → S2 → S3 → OUT1	$0 + 0.5 + 0.5 = 1.0\text{ns}$
C2之路徑2	IN4 → S2 → S3 → OUT1	$0 + 0.5 + 0.5 = 1.0\text{ns}$
C2之路徑3	IN1 → S2 → S3 → OUT1	$0 + 0.5 + 0.5 = 1.0\text{ns}$
C2之路徑4	IN3 → S3 → OUT1	$1.0 + 0.5 = 1.5\text{ns}$
C2之路徑5	IN2 → G1 → S3 → OUT1	$0 + 0.2 + 0.5 = 0.7\text{ns}$
C2之路徑6	IN1 → G1 → S3 → OUT1	$0 + 0.2 + 0.5 = 0.7\text{ns}$

所以關鍵路徑(路徑4)的延遲時間成為1.5ns，和C1的情況相同。然而，路徑5及路徑6的延遲時間也被縮短，所以要是 不僅IN3而且IN2也慢來之類的情況，此C2電路可高速動作。實際考慮IN2慢來0.6ns的情況，在C1，由於C1之路徑5 $0.6 + 0.5 + 0.5 = 1.6\text{ns}$ ，所以路徑5變成關鍵路徑，在1.5ns不可能動作，慢了0.1ns。另一方面，在C2，C2之路徑5 $0.6 + 0.2 + 0.5 = 1.3\text{ns}$ ，關鍵路徑仍然是路徑4，在1.5ns可動作。

如此，藉由將本發明邏輯電路一部分之選擇器換成以CMOS電路構成的反及(NAND)閘、反或(NOR)閘，可進一步製造延遲時間小的邏輯電路。

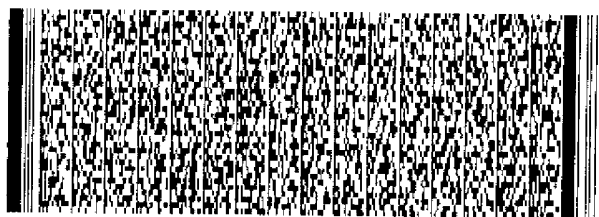
假設以圖3之C100型式構成選擇器，用電晶體級之電路將此C2之電路表現出來，則成為圖11之a列之C160所示之由電晶體TN160~TN168及TP160~168所構成之電路。



五、發明說明 (27)

此外，即使使用差動型選擇器的情況，藉由和CMOS電路組合，亦可得到更加高速的邏輯電路。這種情況，以CMOS電路構成反及(NAND)閘、反或(NOR)閘可按照圖9之a~c列成為差動型電路。例如在圖10之C2電路，反及(NAND)閘G1相當於圖9之a列，所以變換成反及(NAND)閘和反或(NOR)閘即可。如此一來，以差動型電路重組圖10之a列之C2電路，就可得到圖10之a列之C3所示之電路。設選擇器的從信號輸入I1及I0到輸出O的延遲時間為0.3ns，來自控制輸入S的延遲時間為0.2ns，反及(NAND)閘及反或(NOR)閘的延遲時間為0.3ns，則估計此C3電路的延遲時間，成為

C3之路徑1	IN5 → DS2 → DS3 → OUT1	0 + 0.3 + 0.3 = 0.6ns
C3之路徑2	IN4 → DS2 → DS3 → OUT1	0 + 0.3 + 0.3 = 0.6ns
C3之路徑3	IN1 → DS2 → DS3 → OUT1	0 + 0.2 + 0.3 = 0.5ns
C3之路徑4	IN3 → DS3 → OUT1	1.0 + 0.3 = 1.3ns
C3之路徑5	IN1 → G1、G3 → DS3 → OUT1	0 + 0.3 + 0.2 = 0.5ns
C3之路徑6	IN2 → G1、G3 → DS3 → OUT1	0 + 0.3 + 0.2 = 0.5ns



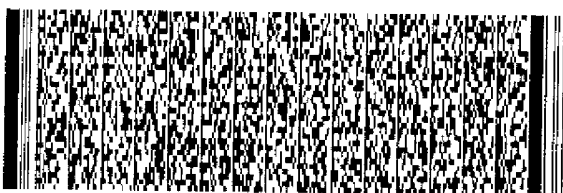
五、發明說明 (28)

比C1及C2電路可更加高速動作。在此C3電路，假設以圖3之C200型式構成選擇器，用電晶體級之電路將C3之電路表現出來，則成為圖11之b列之C260所示之由電晶體TN260~TN273及TP260~273所構成之電路。

其次，在C0之電路思考輸入信號IN5為GND固定，IN4為VDD固定的情況。這種情況，C2之選擇器S1，I0成為GND固定，I1成為VDD固定，相當於圖8之c列之選擇器S403。思考此選擇器之動作，選擇器之控制輸入S為"0"時輸出GND電位，即"0"，控制輸入S為"1"時輸出VDD電位，即"1"。因此，此選擇器為冗餘，可去掉，可簡化成圖12之a列之C181所示之電路。在此C181之電路，由於在C2之電路存在的 $IN1 \rightarrow S2 \rightarrow S3 \rightarrow OUT1$ 此一路徑不存在，所以可比C2之電路高速動作。如此，一般圖8之b~f列之選擇器(S402~S406)存在時，藉由去掉這些冗餘的選擇器，簡化電路，可製造更加高速動作的邏輯電路。

又，若是以圖3之C100型式以選擇器構成此C181之電路，則成為圖12之C180所示之以電晶體TN180~TN185及TP180~TP185所構成之電路。此外，以差動型電路重新構成此C181之電路，就變成圖12之b列之C281電路。再者，將此電路同樣地用電晶體級之電路表現出來，就變成圖12之C280所示之電路。

在實施例1方面，在圖1之C0電路，設想 $IN3 \rightarrow S5 \rightarrow N5 \rightarrow S6 \rightarrow OUT1$ 為關鍵路徑的情況，但在本實施例方面，思考 $IN4 \rightarrow S5 \rightarrow N5 \rightarrow S6 \rightarrow OUT1$ 的路徑為決定在此電路全體的延

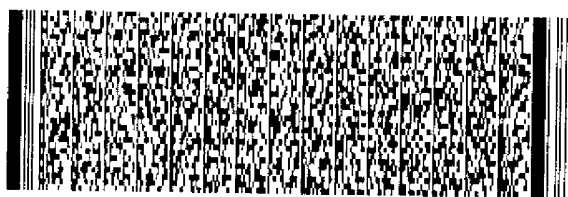


五、發明說明 (29)

遲時間的關鍵路徑的情況(圖1之C10)。換言之，在連接兩級選擇器的電路，實施例1係前級選擇器(S5)及後級選擇器(S6)都是輸入I1為關鍵路徑的情況，但本實施例係在前級選擇器(S5)輸入I0為關鍵路徑，在後級選擇器(S6)輸入I1為關鍵路徑的情況。即使這種情況，如以下所示，藉由使用圖1之C1所示之本發明邏輯電路，亦可削減延遲時間。

此C10之電路按照圖8之a列之變換規則，和圖13之電路(反轉選擇器5之控制輸入S之信號)邏輯上同等。在此圖13之電路，削減 $IN4 \rightarrow S5 \rightarrow N5 \rightarrow S6 \rightarrow OUT1$ 的路徑級數和在實施例1之圖1之C0電路削減 $IN3 \rightarrow S5 \rightarrow N5 \rightarrow S6 \rightarrow OUT1$ 的路徑級數相同。因此，按照實施例1之C0→C1之電路變形，C10電路可變形成具有相同邏輯功能之C11電路，可將從IN4到OUT1的路徑級數削減到1級。如此，藉由使用本發明之邏輯電路，可縮小延遲時間。此外，在此C11之電路，選擇器S11相當於圖6之a列之選擇器S300，所以和實施例1的情況同樣，變換成反及(NAND)閘，就變成圖10之C12電路。再者，此C12電路也和實施例1的情況同樣，以差動型電路(圖10之C13)重組，可高速化。特別是，此圖10之C13的情況，藉由以差動型電路構成，不需要在C12電路需要插入1級反相器而製作IN2之反轉信號。因此，僅反相器的延遲時間部分就可高速化。

其次，如圖1之c列所示之C20電路，這次思考在前級之選擇器(S25)輸入I1，在後級之選擇器(S26)輸入I0想要削



五、發明說明 (30)

減延遲時間的路徑($IN3 \rightarrow S25 \rightarrow N25 \rightarrow S26 \rightarrow OUT1$)的情況。這種情況，若反轉此C20電路之選擇器S26之控制輸入IN1，則亦可適用實施例1之本發明之邏輯電路，可變換成圖1之c列所示之C21電路。藉由使用從IN3到OUT1的路徑級數小的本發明之C21電路，可削減延遲時間。以圖3之C100所示之選擇器構成此C21電路時的電晶體級的電路圖成為圖5之a列之C140所示之電晶體TN140~TN150及TP140~TP150所示之電路。此外，若是此次以圖3之C200所示之差動型選擇器構成相同電路，則成為圖5之b列之C240所示之電晶體TN240~TN254及TP240~TP254所示之電路。又，在此C21電路也是選擇器S21相當於圖6之c列之選擇器S320，所以可變換成CMOS開(圖10之c列之C22)。此外，變成差動型電路(圖10之c列之C23)，可更加縮小延遲時間。

再者，如圖1之d列所示之C30電路，這次思考前級之選擇器(S25)及後級之選擇器(S26)都是輸入I0想要削減延遲時間的路徑($IN4 \rightarrow S25 \rightarrow N25 \rightarrow S26 \rightarrow OUT1$)的情況。這種情況，若也思考在C20電路反轉IN2的情況，則可變換成圖1之d列之C31電路，可將從IN4到OUT1的路徑和以前一樣削減到選擇器1級。在此C31電路也是選擇器S31相當於圖6之c列之選擇器S320，所以可變換成CMOS開(圖10之d列之C32)。此外，變成差動型電路(圖10之d列之C33)，可更加縮小延遲時間。

如以上說明，在連接兩級選擇器的電路，前級及後級之選擇器之輸入I0或I1想要削減延遲時間的路徑時(圖1之



五、發明說明 (31)

a~d 列)，藉由使用本發明之邏輯電路(C1、C11、C21、C31)，可削減關鍵路徑之級數，可削減延遲時間。

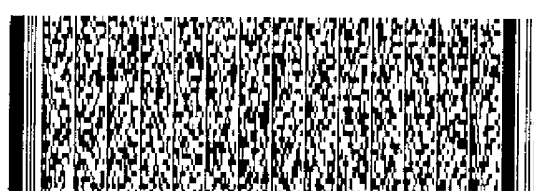
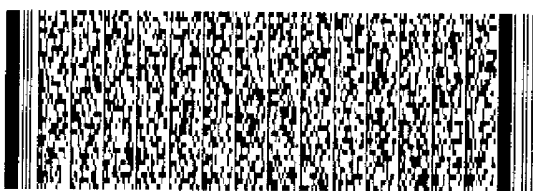
<實施例2>

在第2實施例，和先前所述之實施例情況不同，如圖2之a列之C40所示，思考在前級之選擇器(S45)控制輸入S，在後級之選擇器(S46)輸入I1想要削減延遲時間的路徑(IN2 → S45 → N45 → S46 → OUT1)的情況。這種情況，若使用具有和C40電路同等邏輯功能的圖2之C41所示之本發明邏輯電路，則可將從IN2到OUT1的路徑級數削減到僅選擇器S43的1級，亦可縮小延遲時間。又，此C40和C41之電路係具有完全相同邏輯功能之電路如下，因各自之布耳表達式(Boolean expression)同形而獲得證明。C40之布耳表達式成為

$$\begin{aligned} \text{OUT1} &= \text{IN1} \cdot \text{N45} + \text{IN1}' \cdot \text{IN5} \\ &= \text{IN1} \cdot (\text{IN2} \cdot \text{IN3} + \text{IN2}' \cdot \text{IN4}) + \text{IN1}' \cdot \text{IN5} \quad (\text{E40}) \end{aligned}$$

將此式(E40)關於IN2根據香農(Shannon)展開公式(例如參照電氣電子工程師學會(IEEE)電腦會刊，卷C27, No. 6, pp. 509-516，以下簡稱為文獻8)變形，則成為

$$\begin{aligned} \text{OUT1} &= \text{IN2} \cdot \{ \text{在式(E40)} \text{ IN2} = "1" \} + \text{IN2}' \cdot \{ \text{在式(E40)} \\ &\quad \text{IN2} = "0" \} \\ &= \text{IN2} \cdot \{ \text{IN1} \cdot (1 \cdot \text{IN3} + 0 \cdot \text{IN4}) + \text{IN1}' \cdot \text{IN5} \} + \end{aligned}$$



五、發明說明 (32)

$$\begin{aligned}
& IN2' \cdot \{IN1 \cdot (0 \cdot IN3 + 1 \cdot IN4) + IN1' \cdot IN5\} \\
& = IN2 \cdot \{IN1 \cdot IN3 + IN1' \cdot IN5\} + IN2' \cdot (IN1 \cdot IN4 \\
& + IN1' \cdot IN5) \\
& = IN2 \cdot N41 + IN2 \cdot N42
\end{aligned}$$

這和將C41 電路以布耳表達式表現的一致。如此，在C40 電路從IN2 到OUT1 的路徑是關鍵路徑時，取代C40，藉由使用具有和此完全相同邏輯功能的本發明之C41 電路，可削減關鍵路徑級數，可縮小延遲時間。

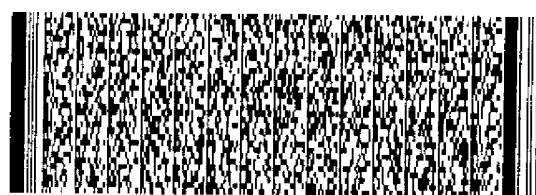
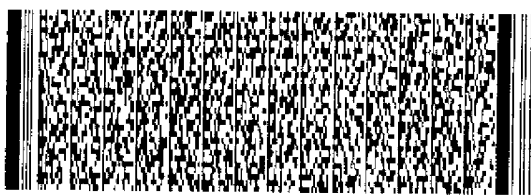
其次，如圖2 之b 列之C50 所示，這次思考在後級之選擇器(S46) 輸入I0 是關鍵路徑(IN2 → S55 → N55 → S56 → OUT1) 的情況。這種情況，相當於在C40 電路IN1 反轉的情況，所以藉由圖2 之b 列之C51 所示之電路，可削減路徑級數。如此，這種情況也是藉由本發明之電路，可縮小延遲時間。

又，在本實施例之電路(C41、C51) 也和實施例1 之情況同樣，相當於圖6 之a~d 列之選擇器S300~S330 之選擇器存在時，亦可將該選擇器變更成CMOS 閘而構成電路。此外，以差動型電路構成，可更加削減延遲時間。

如以上說明，在連接兩級選擇器的電路，關於在前級之選擇器控制輸入S，在後級之選擇器信號輸入I0 或I1 想要削減延遲時間的路徑時，藉由使用本發明之邏輯電路(C41、C51)，亦可削減關鍵路徑級數，可削減延遲時間。

< 實施例3 >

在第3 實施例，和實施例1、2 之情況不同，如圖2 之c 列



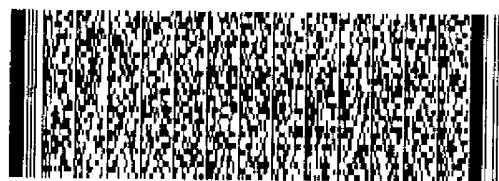
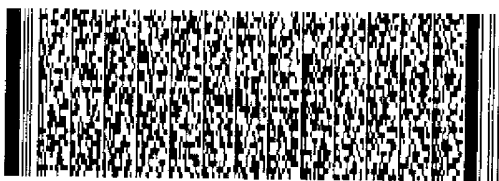
五、發明說明 (33)

之C60所示，思考前級之選擇器(S65)及後級之選擇器(S66)都是控制輸入S想要削減延遲時間的路徑(IN1→S65→N65→S66→OUT1)的情況。這種情況，若使用具有和C60電路同等邏輯功能的圖2之c列之C61所示之本發明邏輯電路，則可將目的路徑削減成IN1→S63→OUT1的1級，此結果，可縮小以電路全體看時的延遲時間。又，C60和C61之電路邏輯上同等，和實施例2之情況同樣，利用文獻8所介紹的香農(Shannon)展開，證明如下。C60之布耳表達式成為

$$\begin{aligned} \text{OUT1} &= \text{N65} \cdot \text{IN4} + \text{N65}' \cdot \text{IN5} \\ &= (\text{IN1} \cdot \text{IN2} + \text{IN1}' \cdot \text{IN3}) \cdot \text{IN4} + (\text{IN1} \cdot \text{IN2} + \text{IN1}' \cdot \text{IN3})' \cdot \text{IN5} \quad (\text{E60}) \end{aligned}$$

但將式(E60)關於IN1進行香農(Shannon)展開，則成為

$$\begin{aligned} \text{OUT1} &= \text{IN1} \cdot \{ \text{在式(E60)} \text{ IN1} = "1" \} + \text{IN1}' \cdot \{ \text{在式(E60)} \text{ IN1} = "0" \} \\ &= \text{IN1} \cdot \{ (1 \cdot \text{IN2} + 0 \cdot \text{IN3}) \cdot \text{IN4} + (1 \cdot \text{IN2} + 0 \cdot \text{IN3})' \cdot \text{IN5} \} + \text{IN1}' \cdot \{ (0 \cdot \text{IN2} + 1 \cdot \text{IN3}) \cdot \text{IN4} + (0 \cdot \text{IN2} + 1 \cdot \text{IN3})' \cdot \text{IN5} \} \\ &= \text{IN1} \cdot (\text{IN2} \cdot \text{IN4} + \text{IN2}' \cdot \text{IN5}) + \text{IN1}' \cdot (\text{IN3} \cdot \text{IN4} + \text{IN3}' \cdot \text{IN5}) \\ &= \text{IN1} \cdot \text{N61} + \text{IN1}' \cdot \text{N62} \end{aligned}$$



五、發明說明 (34)

這和將C61 電路以布耳表達式表現的一致。

如此，在連接兩級選擇器的電路，前級及後級之選擇器都是控制輸入S 想要削減延遲時間的路徑時，藉由使用本發明之邏輯電路(C61)，亦可削減路徑級數，可消滅延遲時間。

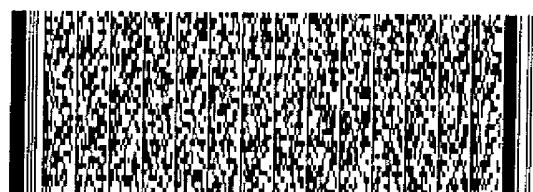
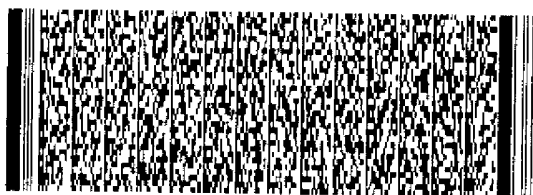
<實施例4>

在本實施例，和實施例1~3 之情況不同，如圖2 之d 列之C70 所示，思考在前級之選擇器(S75) 輸入I1，在後級之選擇器(S76) 控制輸入S 想要削減延遲時間的路徑(IN2 → S75 → N75 → S76 → OUT1) 的情況。

這種情況，使用圖2 之c 列之C71 所示之本發明邏輯電路即可。比較此本發明之C71 電路和原來之C70 電路，雖然作為目的的由IN2 到OUT1 的路徑，2 級 → 1 級地削減級數，但其他路徑，例如從IN4 到OUT1 的路徑卻成為1 級 → 3 級，級數增加了。然而，輸入信號IN2 比其他輸入信號極端慢來時，由於大幅削減了來自IN2 的級數，所以可縮小以此電路全體看時的延遲時間。

又，此C70 和C71 之電路邏輯上同等，和實施例2、3 之情況同樣，利用香農(Shannon) 展開，證明於下。C70 之布耳表達式(Boolean expression) 成為

$$\begin{aligned} \text{OUT1} &= \text{N75} \cdot \text{IN4} + \text{N75}' \cdot \text{IN5} \\ &= (\text{IN1} \cdot \text{IN2} + \text{IN1}' \cdot \text{IN3}) \cdot \text{IN4} + (\text{IN1} \cdot \text{IN2} + \end{aligned}$$



五、發明說明 (35)

$$IN1' \cdot IN3)' \cdot IN5 \quad (E70)$$

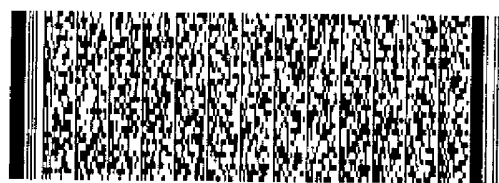
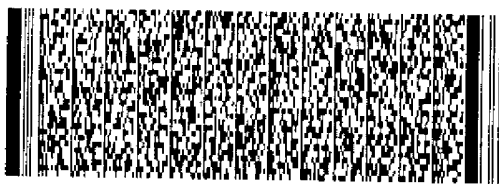
但將式(E70)關於IN2進行香農(Shannon)展開，則成為

$$\begin{aligned} OUT1 &= IN2 \cdot \{ \text{在式(E70) } IN2 = "1" \} + IN2' \cdot \{ \text{在式(E70) } \\ &IN1 = "0" \} \\ &= IN2 \cdot \{ (IN1 \cdot 1 + IN1' \cdot IN3) \cdot IN4 + (IN1 \cdot 1 + \\ &IN1' \cdot IN3)' \cdot IN5 \} + IN2' \cdot \{ (IN1 \cdot 0 + IN1' \cdot IN3) \cdot IN4 \\ &+ (IN1 \cdot 1 + IN1' \cdot IN3)' \cdot IN5 \} \\ &= IN2 \cdot \{ IN1 \cdot IN4 + IN1' \cdot (IN3 \cdot IN4 + IN3' \cdot IN5) \} \\ &+ IN2' \cdot \{ IN1 \cdot IN5 + IN1' \cdot (IN3 \cdot IN4 + IN3' \cdot IN5) \} \\ &= IN2 \cdot (IN1 \cdot IN4 + IN1' \cdot N71) + IN2' \cdot (IN1 \cdot IN5 \\ &+ IN1' \cdot N71) \\ &= IN2 \cdot N72 + IN2' \cdot N73 \end{aligned}$$

這和將C71電路以布耳表達式表現的一致。

其次，如圖2之e列之C80所示，和C70之情況下同，這次思考在前級之選擇器(S75)輸入I0想要削減延遲時間的路徑($IN3 \rightarrow S75 \rightarrow S76 \rightarrow OUT1$)的情況。這種情況，相當於在C70電路IN1反轉的情況，所以C80電路可換成圖2之e列之C81所示之電路，可將目的路徑削減到 $IN3 \rightarrow OUT1$ 的1級。如此，這種情況也藉由本發明之邏輯電路，可削減關鍵路徑級數，可縮小延遲時間。

如此，在連接兩級選擇器的電路，在前級之選擇器輸入



五、發明說明 (36)

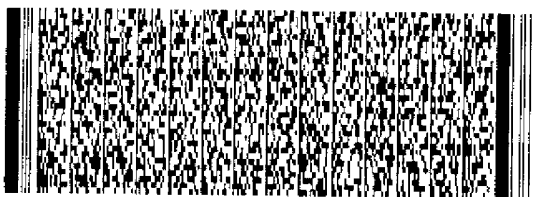
I1 或 I0，在後級之選擇器控制輸入 S 是關鍵路徑時，藉由使用本發明之邏輯電路 (C71、C81)，可削減路徑級，可削減延遲時間。

<實施例5>

在以上實施例1~4以簡單的邏輯電路為例，藉由使用本發明之邏輯電路 (C1、C11、C21、C31、C41、C51、C61、C71、C81)，在連接兩級選擇器的電路，什麼樣的路徑都可削減級數，顯示可縮小延遲時間。即，若是只以選擇器構成的電路，不管什麼樣的路徑是關鍵路徑，藉由將電路分割成兩級單位的選擇器電路而換成本發明之邏輯電路，都可削減關鍵路徑的級數，可削減延遲時間。再者，即使 CMOS 邏輯電路，一旦換成和此邏輯上同等的選擇器電路，藉由以選擇器兩級單位換成本發明之邏輯電路，亦可重製成延遲時間小的邏輯電路。以下，在本實施例，利用圖 14 所示之電腦系統，對於更複雜的邏輯電路，說明使用本發明之邏輯電路改善延遲時間的方法。

(1) 系統之全體結構

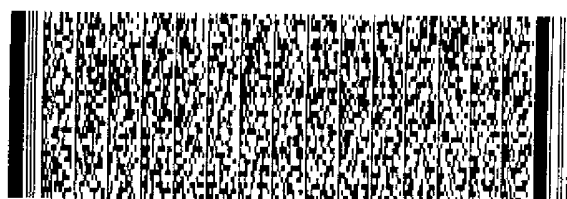
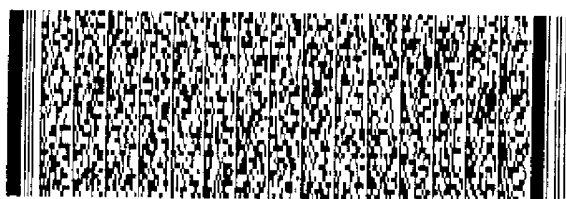
圖 15 顯示使用本發明邏輯電路之延遲時間改善程式 100 之概略構造和為了執行此程式之電腦系統。此電腦系統係由輸入裝置，例如鍵盤 1、中央處理裝置 (CPU) 2、顯示裝置 (CRT) 3、磁帶裝置 4 及儲存使用選擇器之延遲時間改善程式 100 之磁碟裝置 5 所構成。程式 100 係由選擇器電路變換常式 110、使用選擇器之延遲時間改善常式 120、CMOS 胞重映像 (remapping) 常式 130 所構成。此程式藉由設計者從



五、發明說明 (37)

鍵盤1給與指示，由磁碟裝置5被載入CPU2而被執行。延遲時間的改善程度顯示在CRT3上，所產生的延遲時間改善結束邏輯電路經由磁帶裝置4等交給使用圖15之選擇器之自動佈設程式160。

在圖15中，設計者輸入邏輯電路規格9。此邏輯電路規格9也含有記述作為目的的邏輯電路之邏輯功能的邏輯函數及慢多少輸入該邏輯電路之輸入信號，對此輸出信號必須是這些延遲時間這種延遲時間限制等資訊。邏輯電路自動合成程式90由此邏輯電路規格9參照庫(library)11產生邏輯電路10。在此邏輯電路10說述者網表(net list)：記述胞間的連接關係；及，前述延遲時間限制資訊。使用本實施例特有的選擇器的延遲時間改善程式100由記載於邏輯電路10的資訊參照庫11，為滿足延遲時間限制而輸出具有和邏輯電路10相同邏輯功能的延遲時間改善結束邏輯電路12。自動佈設程式160參照庫11，決定最適合此邏輯電路的佈設，作成佈設資料20。掩蔽資料作成程式170按照佈照資料20，決定為了使用半導體積體電路技術產生上述所合成的邏輯電路的多數掩蔽圖案，產生表示這些掩蔽圖案的掩蔽資料21。半導體製造裝置180使用掩蔽資料21製造具有目的邏輯功能的半導體積體電路。在分配給每個的不同電腦上執行90、100、160、170之各程式。當然也可以使這些程式在相同電腦上執行。又，以現有工具(tool)實現此邏輯電路自動合成程式、自動佈設程式及掩蔽資料作成程式。



五、發明說明 (38)

本實施例在以下之點有特徵：將所輸入的邏輯電路換成和此邏輯上同等的選擇器電路後，藉由將關鍵路徑上的電路以選擇器兩級單位換成本發明之邏輯電路，逐漸改善延遲時間。以下，以圖18所示之邏輯電路為例，就本實施例之各常式加以說明。又，在此圖18之邏輯電路，輸入信號A~H的延遲為0ns（＝無延遲），輸出信號out的限制為0ns，即要以盡量小的延遲時間輸出。

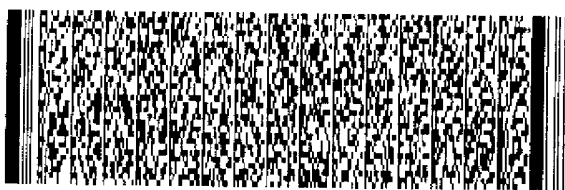
(2) 選擇器電路變換常式110

此常式110從邏輯電路10，根據圖6所示之變換形式，產生只以具有和此完全相同邏輯功能的選擇器電路構成的邏輯電路。例如圖18之邏輯電路之情況，G500、G502、G504、G506之二輸入及(AND)閘相當於圖6之a列之變換形式，剩餘之G501、G503、G505之二輸入或(OR)閘相當於圖6之d列之變換形式，所以變換成只以圖19所示之選擇器構成之邏輯電路。

(3) 使用選擇器之延遲時間改善常式120

此常式使用在實施例1~4說明的本發明邏輯電路，依次部分地重組以(2)之選擇器電路變換常式110產生之邏輯電路，為滿足目的延遲時間限制而將所給與的邏輯電路逐漸變形。

首先，就所給與的邏輯電路計算正向延遲時間及反向延遲時間，此處以簡單的圖17之電路為例，就正向延遲時間和反向延遲時間加以說明。再者，為了簡化說明，在圖17之電路，設從及(AND)閘G400、G401、G402之2支輸入端子



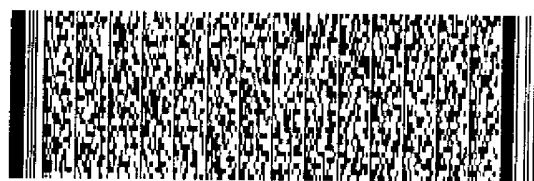
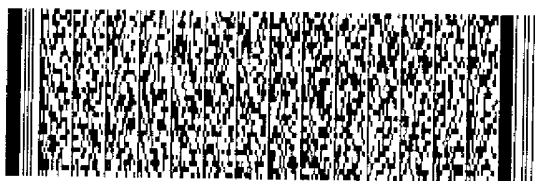
五、發明說明 (39)

到輸出端子的延遲時間為 $1ns$ 。

如圖17之E100之1式所示，在輸入信號的延遲加上存在於路徑上的各胞的延遲時間定義正向延遲時間。即，與信號傳播來到該節點所需的時間對應。例如在圖17之電路，在節點N400，輸入IN3及IN4的延遲($0ns$) + 胞G400的延遲時間($1ns$) = $1ns$ 是信號傳播所需的時間，所以正向延遲時間成為 $1ns$ 。此外，就節點N401思考，此節點的正向延遲時間在節點N400的正向延遲時間($1ns$)加上胞G401的延遲時間($1ns$)的時間($2ns$)和在節點N405的正向延遲時間($0ns$)加上胞G401的延遲時間($1ns$)的時間($1ns$)中是延遲時間慢的一方，所以變成 $2ns$ 。

另一方面，如圖17之E400之2式所示，由輸出信號限制依次減去存在於路徑上的各胞的延遲時間定義反向延遲時間。即，與在如限制的延遲時間輸出信號確定而所要求的在各節點的延遲時間對應。例如在圖17之電路，為了輸出OUT在如限制的 $2ns$ 的延遲時間確定，節點N401必須比此僅胞G402內的延遲時間($1ns$)部分快的在延遲時間 $1ns$ 信號傳播，所以此節點N401的反向延遲時間變成 $1ns$ 。此外，關於節點N400，必須比節點N401的反向延遲時間($1ns$)更進一步僅胞G401的延遲時間($1ns$)部分快地信號確定，所以此節點的反向延遲時間變成 $0ns$ 。

如此，在處理121計算正向延遲時間及反向延遲時間間後，在其次的處理122，由這些值計算間隙(slack)。所謂間隙，如圖17之E400之3式所示，係由反向延遲時間減去



五、發明說明 (40)

正向延遲時間而定義。在此圖17之電路，求出各節點的間隙，則成為

$$N400 : 0ns - 1ns = -1ns$$

$$N401 : 1ns - 2ns = -1ns$$

$$N402 : 2ns - 3ns = -1ns$$

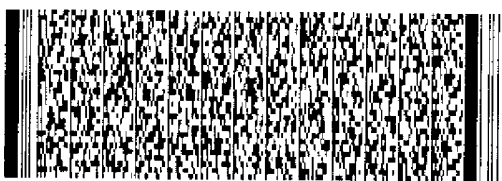
$$N403 : -1ns - 0ns = -1ns$$

$$N404 : -1ns - 0ns = -1ns$$

$$N405 : 0ns - 0ns = 0ns$$

$$N406 : 1ns - 0ns = +1ns$$

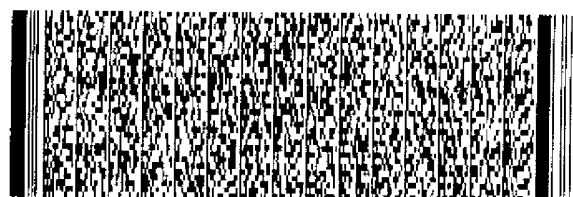
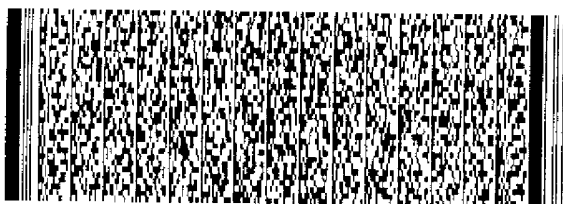
如前述，反向延遲時間與在如限制的延遲時間輸出信號確定所需的在其節點的信號延遲時間對應。此外，正向延遲時間與到實際信號傳播來到其節點的時對應。即，若節點的間隙為正值，則與在比為滿足限制而所要求的延遲時間，實際上比此小的延遲時間信號傳播對應。因此，若間隙為正值，則意味著到信號到達其節點的延遲時間更慢也可以。反之，若節點的間隙為負值，則意味著與比為滿足限制而所要求的延遲時間實際上慢而信號傳播來對應，所以只要不縮短到其節點的路徑的延遲時間，在如限制的延遲時間電路就不能動作。如此，以反向延遲時間和正向延遲時間之差定義間隙，藉由計算在電路全部節點的間隙，哪個部分對在電路全體的高速動作成為妨碍就一目了然。此外，藉此亦可得知若重組哪個部分，則可縮小電路全體



五、發明說明 (41)

的延遲時間。例如在此圖17之電路，間隙為一1ns的N403 → G400 → N400 → G401 → N401 → G402 → N402 此一路徑是決定此電路的延遲時間的關鍵路徑，只要不改善此路徑的延遲時間，就不能改善以電路全體看時的延遲時間。此事在此圖17之類的簡單邏輯電路不太有意義，但在人眼中棘手之類的為邏輯電路自動合成工具等所合成的複雜邏輯電路的情況卻具有非常重要的意義。

其次，在處理123，由如此計算的各節點的間隙計算各胞之孔(hole)。所謂胞之孔，如圖17之E400之4式所示，對於連接各輸入端子的節點的間隙求出輸入端子間的間隙差，以其中差最小的定義之。如前述，間隙與關於各節點的延遲時間的寬裕對應，所以孔值大的胞意味著有多數的輸入端子中，僅某1支延遲時間比其他輸入大幅延遲。即，意味著即使犧牲來自其他輸入端子的延遲時間，若僅其1支可縮短來自大幅延遲的輸入端子的延遲時間，則在來自其他輸入端子的延遲時間也有寬裕，所以不會使電路全體的延遲時間惡化而可縮短在電路全體的延遲時間。如在實施例1~4說明，使用本發明之邏輯電路重組電路，則可確實削減作為目的的關鍵路徑級數，延遲時間也可確實縮小，但有時會在另外的路徑相反地級數增加而延遲時間惡化。然而，如在此處說明，在孔(hole)大的部分，僅一條路徑延遲時間大幅地比其他慢，所以若可縮短那一條路徑的延遲時間，則即使其他路徑的延遲時間多少惡化，也可保證電路全體的延遲時間可確實地小。即，找到孔大的



五、發明說明 (42)

胞，將該處以本發明之邏輯電路重組，則可縮小以電路全體看時的延遲時間。

在此圖17之電路例，計算各胞之孔，則成為

G400 : 0ns (N403 和 N404 之間隙差)

G401 : 1ns (N400 和 N405 之間隙差)

G402 : 2ns (N401 和 N406 之間隙差)

即，在此圖17之電路，在胞G402、G401孔存在，若能適當地重組由此G402及G401所構成的部分的電路，則可變成能更加高速動作的電路。

以上，為了簡單而以圖17之電路為例，就間隙及孔加以說明，但此事在將圖18之電路進行選擇器電路變換所得到的圖19之電路也完全一樣。在此圖19之電路，設從選擇器之控制輸入S及輸入I0、I1到輸出O的延遲時間一律為0.2ns，則此圖19之電路的延遲時間為1.4ns，關鍵路徑為A → S500 → S501 → S502 → S503 → S504 → S505 → S506 → OUT (選擇器7級)。其次，計算各胞之孔，則成為

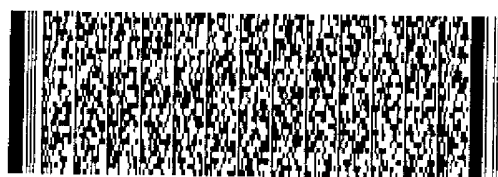
S500 : 0ns

S501 : 0.2ns

S502 : 0.4ns

S503 : 0.6ns

S504 : 0.8ns



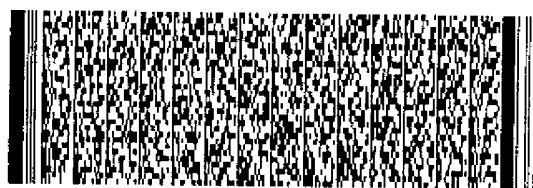
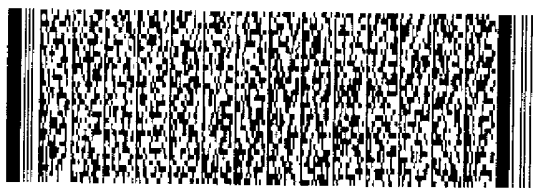
五、發明說明 (43)

S505 : 1.0ns

S506 : 1.2ns

如此，S505及S506為孔最大的胞，所以若將由此S505及S506所構成的部分換成本發明之邏輯電路，則可確實縮小延遲時間。實際上，此部分在前級之選擇器(S505)輸入I0，在後級之選擇器(S506)輸入I1是關鍵路徑，相當於圖1之b列之C10，所以換成圖11之b列之C11所示之本發明邏輯電路，則可得到圖20之電路。在此圖20之電路，選擇器S510、S510及S512是由圖19之選擇器S505及S506所換的選擇器。其中，S510是相當於圖8之c列的冗餘選擇器，所以可去掉，可簡化成圖21之電路。在此圖21之電路，關鍵路徑是A→S500→S501→S502→S503→S504→S511→OUT，係此圖19之電路少1級的選擇器6級，延遲時間為1.2ns。即，延遲時間比圖19之電路縮短0.2ns（選擇器1級部分）。再者，在此圖21之電路，將孔存在之胞、S503及S504、S501及S502按同樣程序換成本發明之邏輯電路，則可得到圖22所示之電路。在此圖22之電路，關鍵路徑是A→S500→S515→S513→S511→OUT，係比圖21之電路更少2級的選擇器4級，延遲時間也縮短到小0.2ns的0.8ns。

再者，在此圖22之電路，就孔存在的S513及S511按同樣程序重組電路，最後可得到圖23所示之電路。在此圖23之電路，關鍵路徑是G→I510→S512→S517→S518→OUT（或C→I512→S516→S515→S518→OUT、E→S511→S514→S519



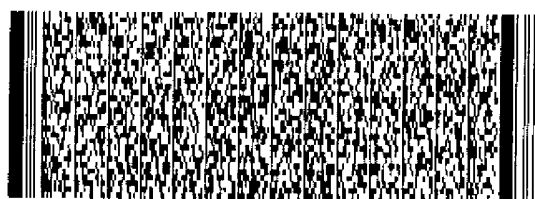
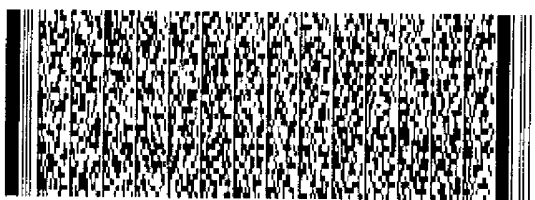
五、發明說明 (44)

→S518→OUT)，縮短到反相器1級、選擇器3級。設反相器的延遲時間為0.1ns，則此圖23之電路的延遲時間為0.9ns。

(4) CMOS胞重映像(remapping)常式130

在此常式，藉由將相當於圖6之a~d之選擇器換成以CMOS電路構成的反及(NAND)閘或反或(NOR)閘等，更進一步改善電路的延遲時間。此外，按照需要，藉由將選擇器用以圖3之b列之C200及C201等所示之差動型電路重組，更進一步改善延遲時間。

在以(3)之延遲時間改善常式得到的圖23之電路，選擇器S512、S500、S516、S514及S519相當於圖6之a列。因此，可將這些選擇器變換成以CMOS電路構成的及(AND)閘，可得到圖24之電路。在此圖24之電路，藉由將及(AND)閘G514及G519匯集成1個三輸入及(AND)閘，可縮小延遲時間(圖25之G521)。此外，在此圖24之電路，將驅動選擇器之控制輸入S的及(AND)閘(G516、G519)想成反及(NAND)閘+反相器，則如圖8之a列所示，驅動控制輸入S的反相器可去掉，所以這些及(AND)閘可換成反及(NAND)閘(圖25之G520、G521)。一般在COMS電路，及(AND)閘以反及(NAND)閘+反相器構成，所以反及(NAND)閘方面僅反相器1級部分延遲時間小。如此一來，藉由將圖24之電路變形成圖25之電路，可更加縮小延遲時間。此外，以差動型電路重新構成圖25之電路，最後可得到由差動型選擇器DS515、DS517、DS518、CMOS閘G500P、G500N、G520P、



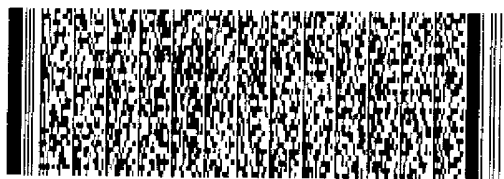
五、發明說明 (45)

G520N、G516P、G516N、G521P、G521N所構成的圖26所示的電路。

表1

	原來電路 (圖18)	根據本發明 電路(圖26)
延遲時間(ns)	1.59(1.00)	0.51(0.312)
關鍵路徑級數	7(1.00)	3(0.43)

表1為比較根據本發明之延遲時間改善後之電路和原來電路之關鍵路徑級數及延遲時間之表。如表1所示，根據本方法改善延遲時間之電路(圖26)對於在原來電路關鍵路徑及級數為7級，成功地得以將級數削減到3級，而關於延遲時間也成功地得以從1.59ns減到0.51ns。如此，得知藉由使用在本實施例說明的圖16之延遲時間改善程式，可確實改善延遲時間。此外，由此圖26之電路得知，如此例全部輸入信號的延遲完全相同時，從各輸入信號到輸出信號的路徑級數成為全部相同3級，完成保持非常平衡的電



五、發明說明 (46)

路。

在本實施例，為了簡單而在全部輸入信號的延遲為0ns此一假設下進行了說明，但關於某特定輸入信號慢來之類的情況，也完全一樣。這種情況，輸入信號延遲的部分反映在間隙及孔之值。因此，將電路逐漸變形，以便關係到信號慢來的輸入的路徑級數變淺，可削減以電路全體看時的延遲時間。

此外，在以上將重映射到CMOS胞的選擇器限定於圖6之a~d列的四種選擇器。如從圖23之電路得知，藉由使用本發明邏輯電路的延遲時間改善法，可大幅削減電路級數(7級→3級)。因此，即使將全部選擇器重映射到CMOS胞，也可以得到級數比原來電路短、延遲時間小的邏輯電路。

<實施例6>

在實施例5顯示以比較簡單的邏輯電路(圖18，胞數：7)為例，根據本發明，可確實縮小延遲時間，但在本實施例將顯示對於更大規模的邏輯電路，本發明亦有效。

表 2

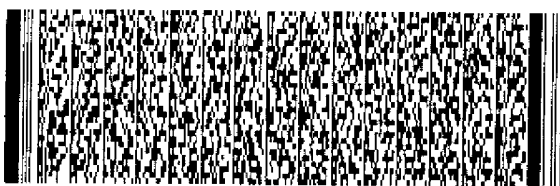
	原來	適用本發明後
胞數	9712 (1.00)	10699 (1.13)
面積(μm^2)	847848 (1.00)	931376 (1.10)
違反最大限制(ns)	1.42 (1.00)	0.98 (0.69)
違反限制路徑條數	1321 (1.00)	258 (0.20)

表2為對於實際的大規模邏輯電路，比較根據本發明之延遲時間改善後之電路和原來電路之胞數、面積、違反最大限制及違反限制路徑之表。對於大規模邏輯電路(胞數：9712)，實際使用圖14所示之電腦系統，適用本發明改善了延遲時間。如此表所示，胞數及面積增加了10%程度。然而，適用本發明之前，延遲時間比限制慢，引起違反限制的路徑全部存在1321條，並且最大違反1.42ns，但使用本發明之邏輯電路改善延遲時間，成功地得以違反限制路徑數削減到258條，違反最大限制削減到0.98ns。

圖27為在適用本發明前後比較違反路徑分佈之圖。如從此圖得知，因適用本發明而掃除違反限制1.0ns以上的路徑。此外，由違反限制0.2ns以下的路徑也大幅減少一事得知，可確實縮小全部路徑的延遲時間。

圖28為在適用本發明前後比較胞之孔分佈之圖。在以圖16所示之根據本發明之延遲時間改善法，以新定義之孔這種量為基準，將有孔部分的電路逐漸本發明之選擇器基底之重組，以逐漸改善延遲時間。此時，在所重組後的電路，關於關鍵路徑雖然可確實縮短延遲時間，但在另外的路徑，延遲時間惡化的路徑也存在。

換言之，雖然利用孔逐漸改善以電路全體看時的延遲時間，但如從此圖28得知，在適用本發明前，孔分佈高峰在4.0ns附近，在適用本發明後，高峰移動到3.4ns附近，得知確實利用孔改善了以電路全體看時的延遲時間。

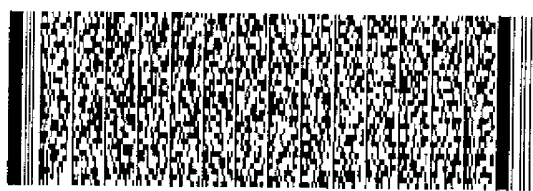


五、發明說明 (48)

如從以上之結果得知，使用本發明邏輯電路之延遲時間改善法對於實際的大規模邏輯電路也非常有效。

如從以上所示之實施例得知，藉由使用本發明之邏輯電路逐漸重組電路，使邏輯電路之各路徑級數盡量成為相同，可製成延遲時間極端慢的關鍵路徑不存在的邏輯電路，其結果，可提供能高速動作的邏輯電路。

此外，特定的輸入信號慢來時，亦可藉由使用本發明之邏輯電路逐漸重組電路，考慮其延遲之延遲時間增加部分，使關係到其輸入信號的路徑級數變淺而製成邏輯電路，其結果，可提供能高速動作的邏輯電路。

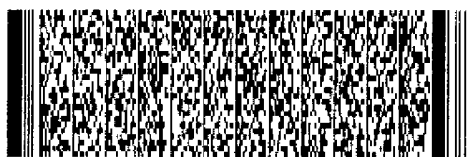


四、中文發明摘要 (發明之名稱：邏輯電路及其製造方法)

本申請案提出一種新穎邏輯電路，該新穎邏輯電路含有第1選擇器(S1)：控制輸入S為第1輸入信號(IN1)所控制，輸入I1或輸入I0為第2輸入信號(IN2)所控制，輸出O連接於第1節點(N1)；及，第3選擇器(S3)：控制輸入S為第1節點(N1)所控制，輸入I1為第3輸入信號(IN3)所控制，輸入I0為第1輸入信號(IN1)所控制，輸出O連接於第1輸出信號(OUT1)。

英文發明摘要 (發明之名稱：日文：論理回路とその作成方法)

本出願には、制御入力Sが第1の入力信号(IN1)に制御され、入力I1あるいは入力I0が第2の入力信号(IN2)に制御され、出力Oが第1のノード(N1)に接続された第1のセクタ(S1)と、制御入力Sが第1のノード(N1)に制御され、入力I1が第3の入力信号(IN3)に制御され、入力I0が第1の入力信号(IN1)に制御され、出力Oが第1の出力信号(OUT1)に接続された第3のセクタ(S3)を含む、新規なる論理回路が提案されている。



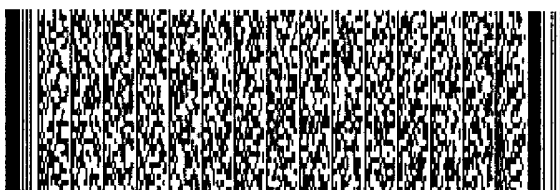
六、申請專利範圍

1. 一種邏輯電路，係具備多數輸入信號和輸出信號，其特徵在於：至少含有第1選擇器：控制輸入S為第1輸入信號所控制，輸入I1或輸入I0為第2輸入信號所控制，輸出0連接於第1節點；及，第3選擇器：控制輸入S為第1節點所控制，輸入I1為第3輸入信號所控制，輸入I0為第1輸入信號所控制，輸出0連接於第1輸出信號者。

2. 一種邏輯電路，係具備多數輸入信號和輸出信號，其特徵在於：至少含有第41選擇器：控制輸入S為第1輸入信號所控制，輸入I1或輸入I0為第3輸入信號所控制，輸出0連接於第41節點；及，第43選擇器：控制輸入S為第2輸入信號所控制，輸入I1或輸入I0之任何一方為第41節點所控制，剩餘為第1輸入信號所控制，輸出0連接於第1輸出信號者。

3. 一種邏輯電路，其特徵在於：含有第1選擇器：控制輸入S為第1輸入信號所控制，輸入I1為第2輸入信號所控制，輸入I0連接於第1動作電位點或第2動作電位點，輸出0連接於第1節點；第2選擇器：控制輸入S為第1輸入信號所控制，輸入I1為第4輸入信號所控制，輸入I0為第5輸入信號所控制，輸出0連接於第2節點；及，第3選擇器：控制輸入S為第1節點所控制，輸入I1為第3輸入信號所控制，輸入I0為第2節點所控制，輸出0連接於第1輸出信號者。

4. 一種邏輯電路，其特徵在於：含有第21選擇器：控制輸入S為第1輸入信號所控制，輸入I1連接於第1動作電位



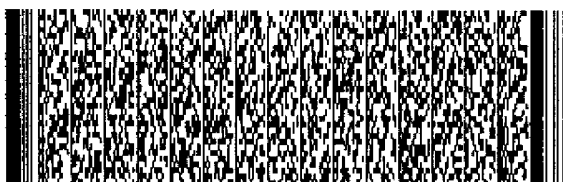
六、申請專利範圍

點或第2動作電位點，輸入I0為第2輸入信號所控制，輸出0連接於第21節點；第22選擇器：控制輸入S為第1輸入信號所控制，輸入I1為第5輸入信號所控制，輸入I0為第4輸入信號所控制，輸出0連接於第22節點；及，第23選擇器：控制輸入S為第21節點所控制，輸入I1為第3輸入信號所控制，輸入I0為第22節點所控制，輸出0連接於第1輸出信號者。

5. 一種邏輯電路，其特徵在於：含有第41選擇器：控制輸入S為第1輸入信號所控制，輸入I1為第3輸入信號所控制，輸入I0為第5輸入信號所控制。輸出0連接於第41節點；第42選擇器：控制輸入S為第1輸入信號所控制，輸入I1為第4輸入信號所控制，輸入I0為第5輸入信號所控制，輸出0連接於第42節點；及，第43選擇器：控制輸入S為第2輸入信號所控制，輸入I1為第41節點所控制，輸入I0為第42節點所控制，輸出0連接於第1輸出信號者。

6. 一種邏輯電路，其特徵在於：含有第51選擇器：控制輸入S為第1輸入信號所控制，輸入I1為第5輸入信號所控制，輸入I0為第3輸入信號所控制，輸出0連接於第51節點；第52選擇器：控制輸入S為第1輸入信號所控制，輸入I1為第5輸入信號所控制，輸入I0為第4輸入信號所控制，輸出0連接於第52節點；及，第53選擇器：控制輸入S為第2輸入信號所控制，輸入I1為第51節點所控制，輸入I0為第52節點所控制，輸出0連接於第1輸出信號者。

7. 一種邏輯電路，其特徵在於：含有第61選擇器：控制



六、申請專利範圍

輸入S為第2輸入信號所控制，輸入I1為第4輸入信號所控制，輸入I0為第5輸入信號所控制，輸出0連接於第61節點；第62選擇器：控制輸入S為第3輸入信號所控制，輸入I1為第4輸入信號所控制，輸入I0為第5輸入信號所控制，輸出0連接於第62節點；及，

第63選擇器：控制輸入S為第1輸入信號所控制，輸入I1為第61節點所控制，輸入I0為第62節點所控制，輸出0連接於第1輸出信號者。

8. 一種邏輯電路，其特徵在於：含有第71選擇器：控制輸入S為第3輸入信號所控制，輸入I1為第4輸入信號所控制，輸入I0為第5輸入信號所控制，輸出0為第71節點所控制；第72選擇器：控制輸入S為第1輸入信號所控制，輸入I1為第4輸入信號所控制，輸入I0為第71節點所控制，輸出0連接於第72節點；第73選擇器：控制輸入S為第1輸入信號所控制，輸入I1為第5輸入信號所控制，輸入I0為第71節點所控制，輸出0連接於第73節點；及

第74選擇器：控制輸入S為第2輸入信號所控制，輸入I1為第72節點所控制，輸入I0為第73節點所控制，輸出0連接於第1輸出信號者。

9. 一種邏輯電路，其特徵在於：含有第81選擇器：控制輸入S為第2輸入信號所控制，輸入I1為第4輸入信號所控制，輸入I0為第5輸入信號所控制，輸出0連接於第81節點；第82選擇器：控制輸入S為第1輸入信號所控制，輸入I1為第81節點所控制；輸入I0為第4輸入信號所控制，輸



六、申請專利範圍

出0連接於第82節點；第83選擇器：控制輸入S為第1輸入信號所控制，輸入I1為第81節點所控制，輸入I0為第5輸入信號所控制，輸出0連接於第83節點；及，第84選擇器：控制輸入S為第3輸入信號所控制，輸入I1為第82節點所控制，輸入I0為第83節點所控制，輸出0連接於第1輸出信號者。

10. 如申請專利範圍第1項之邏輯電路，其中含有以下述為特徵之選擇器：含有第100 n通道場效電晶體：閘極為第104節點所控制，在輸入I0和第100節點之間連接源極汲極路徑；第101 n通道場效電晶體：閘極為控制輸入S所控制，在輸入I1和第100節點之間連接源極汲極路徑；

第104 p通道場效電晶體：閘極為控制輸入S所控制，在第1動作電位點和第104節點之間連接源極汲極路徑；第105 n通道場效電晶體：閘極為控制輸入S所控制，在第2動作電位點和第104節點之間連接源極汲極路徑；

第102 p通道場效電晶體：閘極為第100節點所控制，在第1動作電位點和輸出之間連接源極汲極路徑；及，第103 n通道場效電晶體：閘極為第100節點所控制，在第2動作電位點和輸出之間連接源極汲極路徑。

11. 如申請專利範圍第1項之邏輯電路，其中含有以下述為特徵之選擇器：含有第200 n通道場效電晶體：閘極為控制輸入S之互補信號所控制，在輸入I0和第200節點之間連接源極汲極路徑；第201 n通道場效電晶體：閘極為控制輸入S所控制，在輸入I1和第200節點之間連接源極



六、申請專利範圍

汲極路徑；第202 n通道場效電晶體：閘極為控制輸入S之互補信號所控制，在輸入I0之互補信號和第202節點之間連接源極汲極路徑；第203 n通道場效電晶體：閘極為控制輸入S所控制，在輸入I1之互補信號和第202節點之間連接源極汲極路徑；

第206 p通道場效電晶體：閘極為第200節點所控制，在第1動作電位點和輸出之互補信號之間連接源極汲極路徑；第207 n通道場效電晶體：閘極為第200節點所控制，在第2動作電位點和輸出之互補信號之間連接源極汲極路徑；

第208 p通道場效電晶體：閘極為第202節點所控制，在第1動作電位點和輸出之間連接源極汲極路徑；及，第209 n通道場效電晶體：閘極為第202節點所控制，在第2動作電位點和輸出之間連接源極汲極路徑。

12. 如申請專利範圍第1項之邏輯電路，其中以具有相同邏輯功能的反及閘或反或閘等CMOS電路構成輸入I0及I1之任何一方連接於第1動作電位或第2動作電位的選擇器。

13. 一種邏輯電路，其特徵在於：含有第127 p通道場效電晶體：閘極為第1輸入信號所控制，在第1動作電位點和第127節點之間連接源極汲極路徑；第127 n通道場效電晶體：閘極為第1輸入信號所控制，在第2動作電位點和第127節點之間連接源極汲極路徑；

第128 n通道場效電晶體：閘極為第127節點所控制，在第128節點連接源極汲極路徑；第129 n通道場效電晶



六、申請專利範圍

體：閘極為第1輸入信號所控制，在第2輸入信號和第128節點之間連接源極汲極路徑；

第130 p通道場效電晶體：閘極為第128節點所控制，在第1動作電位點和第130節點之間連接源極汲極路徑；第130 n通道場效電晶體：閘極為第128節點所控制，在第2動作電位點和第130節點之間連接源極汲極路徑。

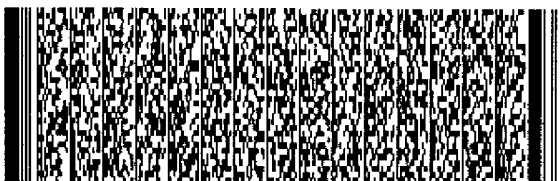
第125 n通道場效電晶體：閘極為第121節點所控制，在第3輸入信號和第125節點之間連接源極汲極路徑；及，

第126 n通道場效電晶體：閘極為第130節點所控制，在為第1輸入信號所控制之第124節點和第125節點之間連接源極汲極路徑者。

14. 一種邏輯電路，其特徵在於：含有第120 p通道場效電晶體：閘極為第1輸入信號所控制，在第1動作電位點和第120節點之間連接源極汲極路徑；第120 n通道場效電晶體：閘極為第1輸入信號所控制，在第2動作電位點和第120節點之間連接源極汲極路徑；

第123 n通道場效電晶體：閘極為第120節點所控制，在第5輸入信號和第124節點之間連接源極汲極路徑；第124 n通道場效電晶體：閘極為第1輸入信號所控制，在第4輸入信號和第124節點之間連接源極汲極路徑；

第121 p通道場效電晶體：閘極為第130節點所控制，在第1動作電位點和第121節點之間連接源極汲極路徑；第121 n通道場效電晶體：閘極為第130節點所控制，



六、申請專利範圍

在第2動作電位點和第121節點之間連接源極汲極路徑；

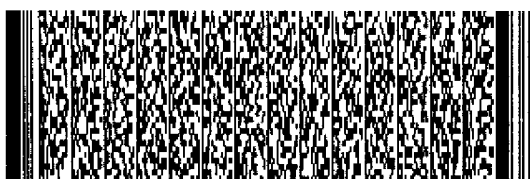
第125 n通道場效電晶體：閘極為第121節點所控制，在第3輸入信號和第125節點之間連接源極汲極路徑；
第126 n通道場效電晶體：閘極為第130節點所控制，在第124節點和第125節點之間連接源極汲極路徑；

第127 p通道場效電晶體：閘極為第1輸入信號所控制，在第1動作電位點和第127節點之間連接源極汲極路徑；
第127 n通道場效電晶體：閘極為第1輸入信號所控制，在第2動作電位點和第127節點之間連接源極汲極路徑；

第128 n通道場效電晶體：閘極為第127節點所控制，在第1動作電位點或第2動作電位點和第128節點之間連接源極汲極路徑；
第129 n通道場效電晶體：閘極為第1輸入信號所控制，在第2輸入信號和第128節點之間連接源極汲極路徑；

第130 p通道場效電晶體：閘極為第128節點所控制，在第1動作電位點和第130節點之間連接源極汲極路徑；
第130 n通道場效電晶體：閘極為第128節點所控制，在第2動作電位點和第130節點之間連接源極汲極路徑；

第122 p通道場效電晶體：閘極為第125節點所控制，在第1動作電位點和第1輸出信號之間連接源極汲極路徑；
及，第122 n通道場效電晶體：閘極為第125節點所控制，在第2動作電位點和第1輸出信號之間連接源極汲極路徑者。



六、申請專利範圍

15. 如申請專利範圍第14項之邏輯電路，其中含有第128 p通道場效電晶體：閘極為第130節點所控制，在第1動作電位點和第128節點之間連接源極汲極路徑；及，第124 p通道場效電晶體：閘極為第1輸出信號所控制，在第1動作電位點和第125節點之間連接源極汲極路徑。

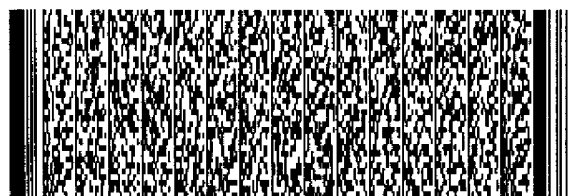
16. 一種邏輯電路，其特徵在於：含有第140 p通道場效電晶體：閘極為第1輸入信號所控制，在第1動作電位點和第140節點之間連接源極汲極路徑；第140 n通道場效電晶體：閘極為第1輸入信號所控制，在第2動作電位點和第140節點之間連接源極汲極路徑；

第143 n通道場效電晶體：閘極為第140節點所控制，在第4輸入信號和第144節點之間連接源極汲極路徑；第144 n通道場效電晶體：閘極為第1輸入信號所控制，在第5輸入信號和第144節點之間連接源極汲極路徑；

第141 p通道場效電晶體：閘極為第150節點所控制，在第1動作電位點和第141節點之間連接源極汲極路徑；第141 n通道場效電晶體：閘極為第150節點所控制，在第2動作電位點和第141節點之間連接源極汲極路徑；

第145 n通道場效電晶體：閘極為第141節點所控制，在第3輸入信號和第145節點之間連接源極汲極路徑；第146 n通道場效電晶體：閘極為第150節點所控制，在第144節點和第145節點之間連接源極汲極路徑；

第147 p通道場效電晶體：閘極為第1輸入信號所控制，在第1動作電位點和第147節點之間連接源極汲極路



六、申請專利範圍

徑；第147 n通道場效電晶體：閘極為第1輸入信號所控制，在第2動作電位點和第147節點之間連接源極汲極路徑；

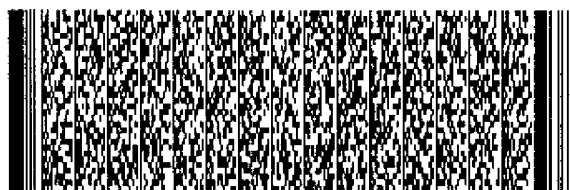
第148 n通道場效電晶體：閘極為第147節點所控制，在第2輸入信號和第148節點之間連接源極汲極路徑；第149 n通道場效電晶體：閘極為第1輸入信號所控制，在第1動作電位點或第2動作電位點和第148節點之間連接源極汲極路徑；

第150 p通道場效電晶體：閘極為第148節點所控制，在第1動作電位點和第150節點之間連接源極汲極路徑；第150 n通道場效電晶體：閘極為第148節點所控制，在第2動作電位點和第150節點之間連接源極汲極路徑；

第142 p通道場效電晶體：閘極為第145節點所控制，在第1動作電位點和第1輸出信號之間連接源極汲極路徑；及，第142 n通道場效電晶體：閘極為第145節點所控制，在第2動作電位點和第1輸出信號之間連接源極汲極路徑者。

17. 如申請專利範圍第16項之邏輯電路，其中含有第148 p通道場效電晶體：閘極為第150節點所控制，在第1動作電位點和第148節點之間連接源極汲極路徑；及，第144 p通道場效電晶體：閘極為第1輸出信號所控制，在第1動作電位點和第145節點之間連接源極汲極路徑。

18. 一種邏輯電路，其特徵在於：含有第160 p通道場效電晶體：閘極為第1輸入信號所控制，在第1動作電位點



六、申請專利範圍

和第160節點之間連接源極汲極路徑；第160 n通道場效電晶體：閘極為第1輸入信號所控制，在第2動作電位點和第160節點之間連接源極汲極路徑；

第163 n通道場效電晶體：閘極為第160節點所控制，在第5輸入信號和第163節點之間連接源極汲極路徑；第164 n通道場效電晶體：閘極為第1輸入信號所控制，在第4輸入信號和第163節點之間連接源極汲極路徑；

第161 p通道場效電晶體：閘極為第168節點所控制，在第1動作電位點和第161節點之間連接源極汲極路徑；第161 n通道場效電晶體：閘極為第168節點所控制，在第2動作電位點和第161節點之間連接源極汲極路徑；

第165 n通道場效電晶體：閘極為第161節點所控制，在第3輸入信號和第165節點之間連接源極汲極路徑；第166 n通道場效電晶體：閘極為第168節點所控制，在第163節點和第165節點之間連接源極汲極路徑；

第167 p通道場效電晶體：閘極為第1輸入信號所控制，在第1動作電位點和第168節點之間連接源極汲極路徑；第168 p通道場效電晶體：閘極為第2輸入信號所控制，在第1動作電位點和第168節點之間連接源極汲極路徑；第167 n通道場效電晶體：閘極為第2輸入信號所控制，在第168節點和第167節點之間連接源極汲極路徑；第168 n通道場效電晶體：閘極為第1輸入信號所控制，在第2動作電位點和第167節點之間連接源極汲極路徑；

第162 p通道場效電晶體：閘極為第165節點所控



六、申請專利範圍

制，在第1動作電位點和第1輸入信號之間連接源極汲極路徑；及，第162 n通道場效電晶體：閘極為第165節點所控制，在第2動作電位點和第1輸出信號之間連接源極汲極路徑者。

19. 如申請專利範圍第18項之邏輯電路，其中含有第163 p通道場效電晶體：閘極為第1輸出信號所控制，在第1動作電位點和第165節點之間連接源極汲極路徑。

20. 一種邏輯電路，其特徵在於：含有第184 p通道場效電晶體：閘極為第1輸入信號所控制，在第1動作電位點和第185節點之間連接源極汲極路徑；第185 p通道場效電晶體：閘極為第2輸入信號所控制，在第1動作電位點和第185節點之間連接源極汲極路徑；第184 n通道場效電晶體：閘極為第2輸入信號所控制，在第185節點和第184節點之間連接源極汲極路徑；第185 n通道場效電晶體：閘極為第1輸入信號所控制，在第2動作電位點和第184節點之間連接源極汲極路徑；

第180 p通道場效電晶體：閘極為第185節點所控制，在第1動作電位點和第180節點之間連接源極汲極路徑；第180 n通道場效電晶體：閘極為第185節點所控制，在第2動作電位點和第180節點之間連接源極汲極路徑；

第182 n通道場效電晶體：閘極為第180節點所控制，在第3輸入信號和第182節點之間連接源極汲極路徑；第183 n通道場效電晶體：閘極為第185節點所控制，在第1輸入信號和182節點之間連接源極汲極路徑；



六、申請專利範圍

第181 p通道場效電晶體：閘極為第182節點所控制，在第1動作電位點和第1輸出信號之間連接源極汲極路徑；及，第181 n通道場效電晶體：閘極為第182節點所控制，在第2動作電位點和第1輸出信號之間連接源極汲極路徑者。

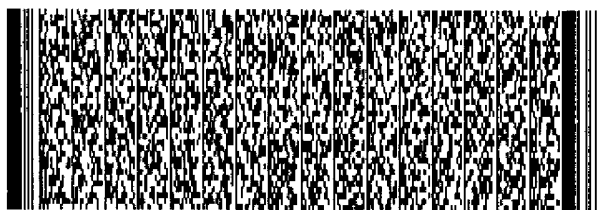
21. 如申請專利範圍第20項之邏輯電路，其中含有第182 p通道場效電晶體：閘極為第1輸出信號所控制，在第1動作電位點和第182節點之間連接源極汲極路徑。

22. 一種半導體裝置之製造方法，其特徵在於：具有以下步驟：根據申請專利範圍第1項所載之邏輯電路產生為產生該邏輯電路之多數掩蔽圖案，使用該多數掩蔽圖案製造含有上述邏輯電路之半導體積體電路者。

23. 一種邏輯電路，其特徵在於：含有第120 p通道場效電晶體：閘極為第1輸入信號所控制，在第1動作電位點和第120節點之間連接源極汲極路徑；第120 n通道場效電晶體：閘極為第1輸入信號所控制，在第2動作電位點和第120節點之間連接源極汲極路徑；

第123 n通道場效電晶體：閘極為第120節點所控制，在第5輸入信號和第124節點之間連接源極汲極路徑；第124 n通道場效電晶體：閘極為第1輸入信號所控制，在第4輸入信號和第124節點之間連接源極汲極路徑；

第121 p通道場效電晶體：閘極為第130節點所控制，在第1動作電位點和第121節點之間連接源極汲極路徑；第121 n通道場效電晶體：閘極為第130節點所控制，



六、申請專利範圍

在第2動作電位點和第121節點之間連接源極汲極路徑；

第125 n通道場效電晶體：閘極為121節點所控制，
在第3輸入信號和第125節點之間連接源極汲極路徑；第
126 n通道場效電晶體：閘極為第130節點所控制，在第
124節點和第125節點之間連接源極汲極路徑；

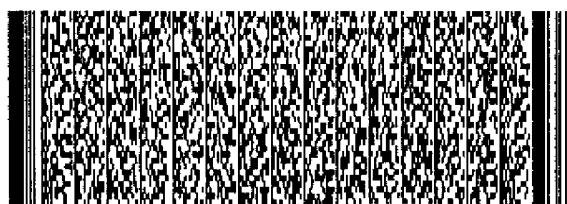
第127 p通道場效電晶體：閘極為第1輸入信號所控
制，在第1動作電位點和第127節點之間連接源極汲極路
徑；第127 n通道場效電晶體：閘極為第1輸入信號所控
制，在第2動作電位點和第127節點之間連接源極汲極路
徑；

第128 n通道場效電晶體：閘極為第127節點所控
制，在第1動作電位點或第2動作電位點和第128節點之間
連接源極汲極路徑；及，第129 n通道場效電晶體：閘極
為第1輸入信號所控制，在第2輸入信號和第128節點之間
連接源極汲極路徑者。

24. 如申請專利範圍第23項之邏輯電路，其中上述邏輯
電路在信號路徑中有反相器。

25. 如申請專利範圍第23項之邏輯電路，其中作為上述
反相器，具有第1反相器，

該第1反相器係由第130 p通道場效電晶體：閘極為
第128節點所控制，在第1動作電位點和第130節點之間連
接源極汲極路徑；及，第130 n通道場效電晶體：閘極為
第128節點所控制，在第2動作電位點和第130節點之間連
接源極汲極路徑所構成。



六、申請專利範圍

26. 如申請專利範圍第23項之邏輯電路，其中作為上述反相器，具有第2反相器，

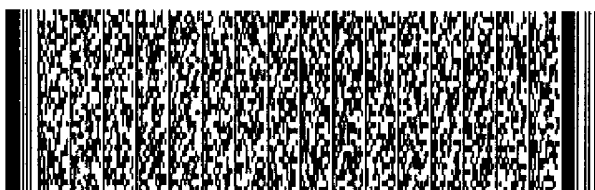
該第2反相器係由第122 p通道場效電晶體：閘極為第125節點所控制，在第1動作電位點和第1輸出信號之間連接源極汲極路徑；及，第122 n通道場效電晶體：閘極為第125節點所控制，在第2動作電位點和第1輸出信號之間連接源極汲極路徑所構成。

27. 一種邏輯電路，其特徵在於：含有第140 p通道場效電晶體：閘極為第1輸入信號所控制，在第1動作電位點和第140節點之間連接源極汲極路徑；第140 n通道場效電晶體：閘極為第1輸入信號所控制，在第2動作電位點和第140節點之間連接源極汲極路徑；

第143 n通道場效電晶體：閘極為第140節點所控制，在第4輸入信號和第144節點之間連接源極汲極路徑；第144 n通道場效電晶體：閘極為第1輸入信號所控制，在第5輸入信號和第144節點之間連接源極汲極路徑；

第141 p通道場效電晶體：閘極為第150節點所控制，在第1動作電位點和第141節點之間連接源極汲極路徑；第141 n通道場效電晶體：閘極為第150節點所控制，在第2動作電位點和第141節點之間連接源極汲極路徑；

第145 n通道場效電晶體：閘極為第141節點所控制，在第3輸入信號和第145節點之間連接源極汲極路徑；第146 n通道場效電晶體：閘極為第150節點所控制，在第144節點和第145節點之間連接源極汲極路徑；



六、申請專利範圍

第147 p通道場效電晶體：閘極為第1輸入信號所控制，在第1動作電位點和第147節點之間連接源極汲極路徑；第147 n通道場效電晶體：閘極為第1輸入信號所控制，在第2動作電位點和第147節點之間連接源極汲極路徑；

第148 n通道場效電晶體：閘極為第147節點所控制，在第2輸入信號和第148節點之間連接源極汲極路徑；及，第149 n通道場效電晶體：閘極為第1輸入信號所控制，在第1動作電位點或第2動作電位點和第148節點之間連接源極汲極路徑者。

28. 如申請專利範圍第27項之邏輯電路，其中上述邏輯電路在信號路徑中有反相器。

29. 如申請專利範圍第28項之邏輯電路，其中作為上述反相器，具有第3反相器，

該第3反相器係由第150 p通道場效電晶體：閘極為第148節點所控制，在第1動作電位點和第150節點之間連接源極汲極路徑；及，第150 n通道場效電晶體：閘極為第148節點所控制，在第2動作電位點和第150節點之間連接源極汲極路徑所構成。

30. 如申請專利範圍第28項之邏輯電路，其中作為上述反相器，具有第4反相器，

該第4反相器係由第142 p通道場效電晶體：閘極為第145節點所控制，在第1動作電位點和第1輸出信號之間連接源極汲極路徑；及，第142 n通道場效電晶體：閘極



六、申請專利範圍

為第145節點所控制，在第2動作電位點和第1輸出信號之間連接源極汲極路徑所構成。

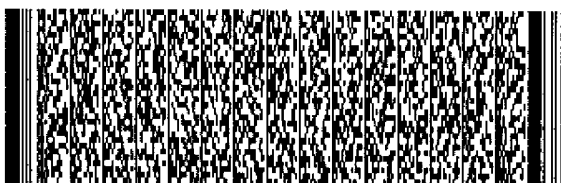
31. 一種邏輯電路，其特徵在於：具有第160 p通道場效電晶體：閘極為第1輸入信號所控制，在第1動作電位點和第160節點之間連接源極汲極路徑；第160 n通道場效電晶體：閘極為第1輸入信號所控制，在第2動作電位點和第160節點之間連接源極汲極路徑；

第163 n通道場效電晶體：閘極為第160節點所控制，在第5輸入信號和第163節點之間連接源極汲極路徑；第164 n通道場效電晶體：閘極為第1輸入信號所控制，在第4輸入信號和第163節點之間連接源極汲極路徑；

第161 p通道場效電晶體：閘極為第168節點所控制，在第1動作電位點和第161節點之間連接源極汲極路徑；第161 n通道場效電晶體：閘極為第168節點所控制，在第2動作電位點和第161節點之間連接源極汲極路徑；

第165 n通道場效電晶體：閘極為第161節點所控制，在第3輸入信號和第165節點之間連接源極汲極路徑；第166 n通道場效電晶體：閘極為第168節點所控制，在第163節點和第165節點之間連接源極汲極路徑；

第167 p通道場效電晶體：閘極為第1輸入信號所控制，在第1動作電位點和第168節點之間連接源極汲極路徑；第168 p通道場效電晶體：閘極為第2輸入信號所控制，在第1動作電位點和第168節點之間連接源極汲極路徑；第167 n通道場效電晶體：閘極為第2輸入信號所控



六、申請專利範圍

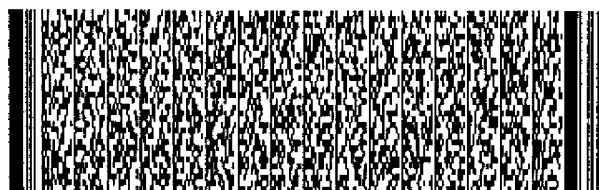
制，在第168節點和第167節點之間連接源極汲極路徑；及，第168 n通道場效電晶體：閘極為第1輸入信號所控制，在第2動作電位點和第167節點之間連接源極汲極路徑者。

32. 如申請專利範圍第31項之邏輯電路，其中上述邏輯電路在信號路徑有反相器。

33. 如申請專利範圍第32項之邏輯電路，其中作為上述反相器，含有第162 p通道場效電晶體：閘極為第165節點所控制，在第1動作電位點和第1輸出信號之間連接源極汲極路徑；及，第162 n通道場效電晶體：閘極為第165節點所控制，在第2動作電位點和第1輸出信號之間連接源極汲極路徑。

34. 一種邏輯電路，其特徵在於：具有第184 p通道場效電晶體：閘極為第1輸入信號所控制，在第1動作電位點和第185節點之間連接源極汲極路徑；第185 p通道場效電晶體：閘極為第2輸入信號所控制，在第1動作電位點和第185節點之間連接源極汲極路徑；第184 n通道場效電晶體：閘極為第2輸入信號所控制，在第185節點和第184節點之間連接源極汲極路徑；第185 n通道場效電晶體：閘極為第1輸入信號所控制，在第2動作電位點和第184節點之間連接源極汲極路徑；

第180 p通道場效電晶體：閘極為第185節點所控制，在第1動作電位點和第180節點之間連接源極汲極路徑；及，第180 n通道場效電晶體：閘極為第185節點所控



六、申請專利範圍

制，在第2動作電位點和第180節點之間連接源極汲極路徑者。

35. 如申請專利範圍第34項之邏輯電路，其中上述邏輯電路在信號路徑中有反相器。

36. 如申請專利範圍第35項之邏輯電路，其中作為上述反相器，具有第5反相器，

該第5反相器含有第182 n通道場效電晶體：閘極為第180節點所控制，在第3輸入信號和第182節點之間連接源極汲極路徑；及，第183 n通道場效電晶體：閘極為第185節點所控制，在第1輸入信號和第182節點之間連接源極汲極路徑。

37. 如申請專利範圍第35項之邏輯電路，其中作為上述反相器，具有第6反相器，

該第6反相器含有第181 p通道場效電晶體：閘極為第182節點所控制，在第1動作電位點和第1輸出信號之間連接源極汲極路徑；及，第181 n通道場效電晶體：閘極為第182節點所控制，在第2動作電位點和第1輸出信號之間連接源極汲極路徑。

38. 一種邏輯電路生成方法，係使用可參照記述各胞之至少邏輯機能的庫之計算機系統，而生成邏輯電路；其特徵在於：

輸入複數之胞及依其連接關係記述之第1邏輯電路；

將上述第1邏輯電路，參照上述庫，變換成與上述



六、申請專利範圍

第1邏輯電路具有相同之邏輯機能，且依複數之選擇器及其連接關係記述之第2邏輯電路；

將上述第2邏輯電路之部份電路變換成具有相同之邏輯機能且延遲時間較上述部份電路之延遲時間為小的其他部份電路，而生成第3邏輯電路；

將CMOS胞映射於上述第3邏輯電路之選擇器，而生成第4邏輯電路。

39. 如申請專利範圍第38項之邏輯電路生成方法，其中該選擇器具有2個輸入1個輸出，上述部份電路係二級連接電路者。

40. 如申請專利範圍第38項之邏輯電路生成方法，其中該其他之部份電路含選擇器及反相器，上述第3邏輯電路係由複數之選擇器及反相器與渠等之連關係記述者。

41. 如申請專利範圍第38-40項中任一項之邏輯電路生成方法，其中該胞係CMOS胞者。

42. 一種邏輯電路生成方法，係使用可參照記述各胞之至少邏輯機能的庫之計算機系統，而邏輯電路；其特徵在於：

輸入複數之胞及依其連接關係記述之第1邏輯電路；

將上述第1邏輯電路，參照上述庫，變換成與上述第1邏輯電路具有相同之邏輯機能，且依複數之選擇及其連接關係記述之第2邏輯電路；

計算上述第2邏輯電路中所含之路徑的延遲時間，



六、申請專利範圍

檢測出上述第2邏輯電路中具有最大延遲時間之關鍵路徑；

將上述第2邏輯電路之部份電路變換成具有相同之邏輯機能且延遲時間較上述部份電路之延遲時間為小的其他部份電路，而生成第3邏輯電路；

將CMOS胞映射於上述第3邏輯電路之選擇器，而生成第4邏輯電路。

43. 如申請專利範圍第42項之邏輯電路生成方法，其中該選擇器具有2個輸入1個輸出，上述部份電路係二級連接電路者。

44. 如申請專利範圍第42項之邏輯電路生成方法，其中該部份電路含選擇器及反相器，上述第3邏輯電路係由複數之選擇器及反相器與渠等之連關係記述者。

45. 如申請專利範圍第42-44項中任一項之邏輯電路生成方法，其中該胞係CMOS胞者。

46. 一種邏輯電路生成方法，係使用可參照記述各胞之至少邏輯機能的庫之計算機系統，而邏輯電路；其特徵在於：

輸入複數之胞及依其連接關係記述之第1邏輯電路；

將上述第1邏輯電路，參照上述庫，變換成與上述第1邏輯電路具有相同之邏輯機能，且依複數之選擇及其連接關係記述之第2邏輯電路；

使用上述第1邏輯電路之上述延遲時間資訊，計算



六、申請專利範圍

選擇器之輸入的延遲時間制約；

檢測出兩個輸入之延遲時間制約彼此不同之選擇器；

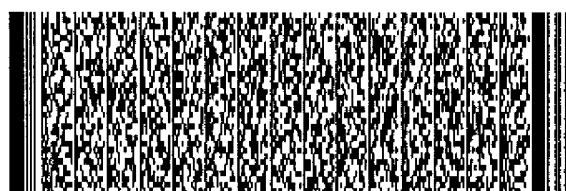
將含上述檢測出之選擇器的部份電路變換成具有相同之邏輯機能且延遲時間較上述部份電路之延遲時間為小的其他部份電路，而生成第3邏輯電路；

將CMOS胞映射於上述第3邏輯電路之選擇器，而生成第4邏輯電路。

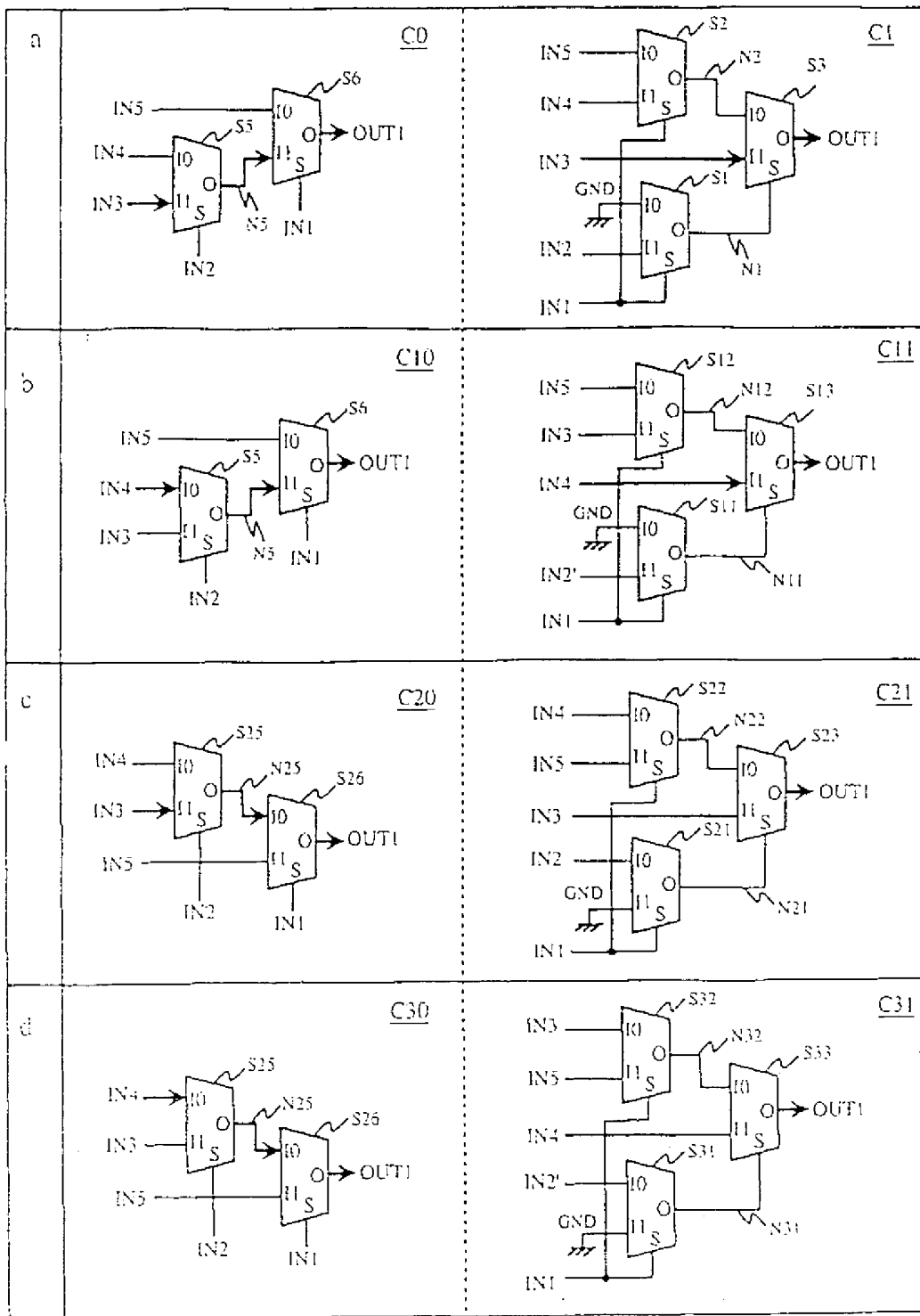
47. 如申請專利範圍第46項之邏輯電路生成方法，其中該部份電路係選擇器作二級連接之電路者。

48. 如申請專利範圍第46項之邏輯電路生成方法，其中該其他部份電路含選擇器及反相器，上述第3邏輯電路係由複數之選擇器及反相器與渠等之連接關係記述者。

49. 如申請專利範圍第46-48項中任一項之邏輯電路生成方法，其中該胞係CMOS胞者。

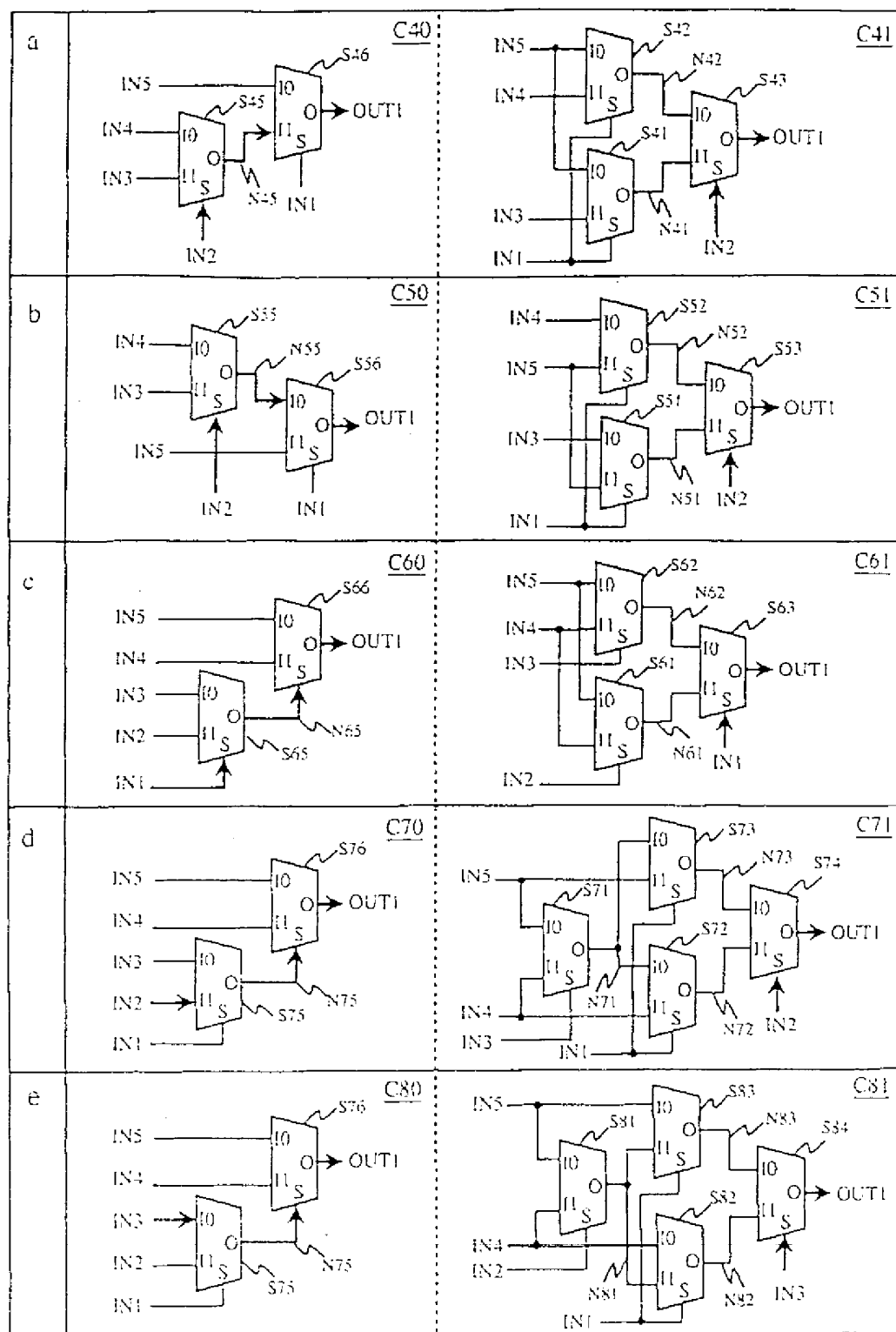


圖式



→ : 想要削減延遲時間的路徑

圖式



→ : 想要削減延遲時間的路徑

圖式

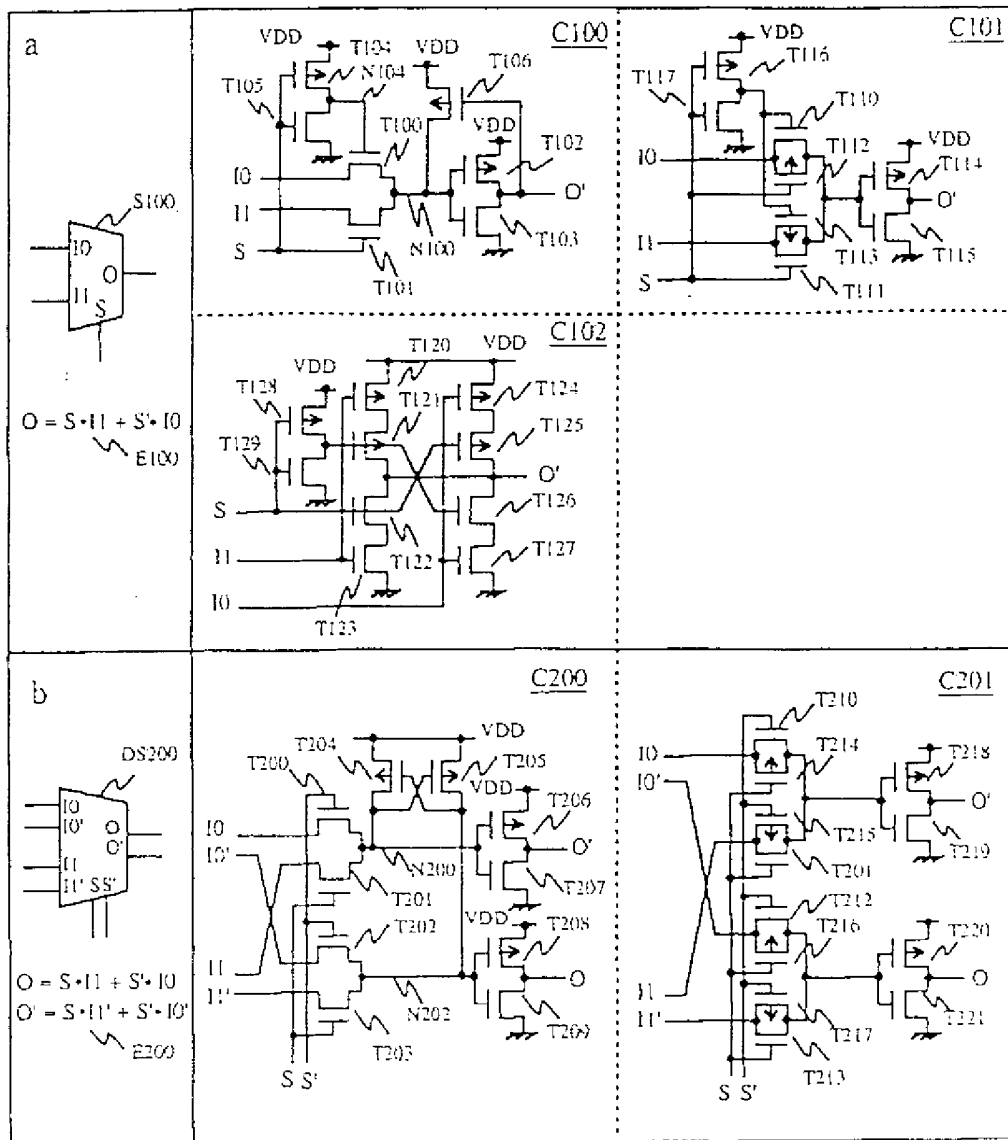


圖 3

圖式

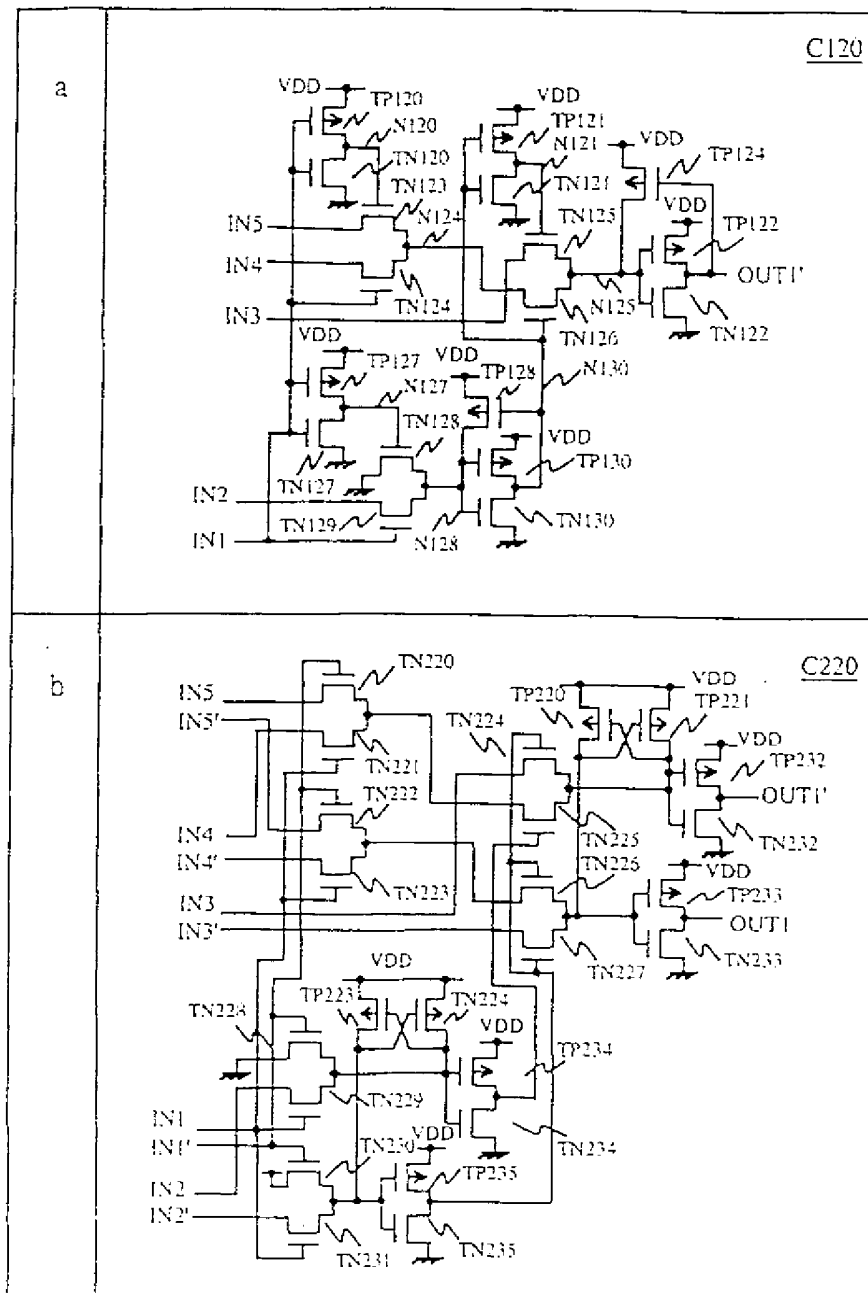


圖 4

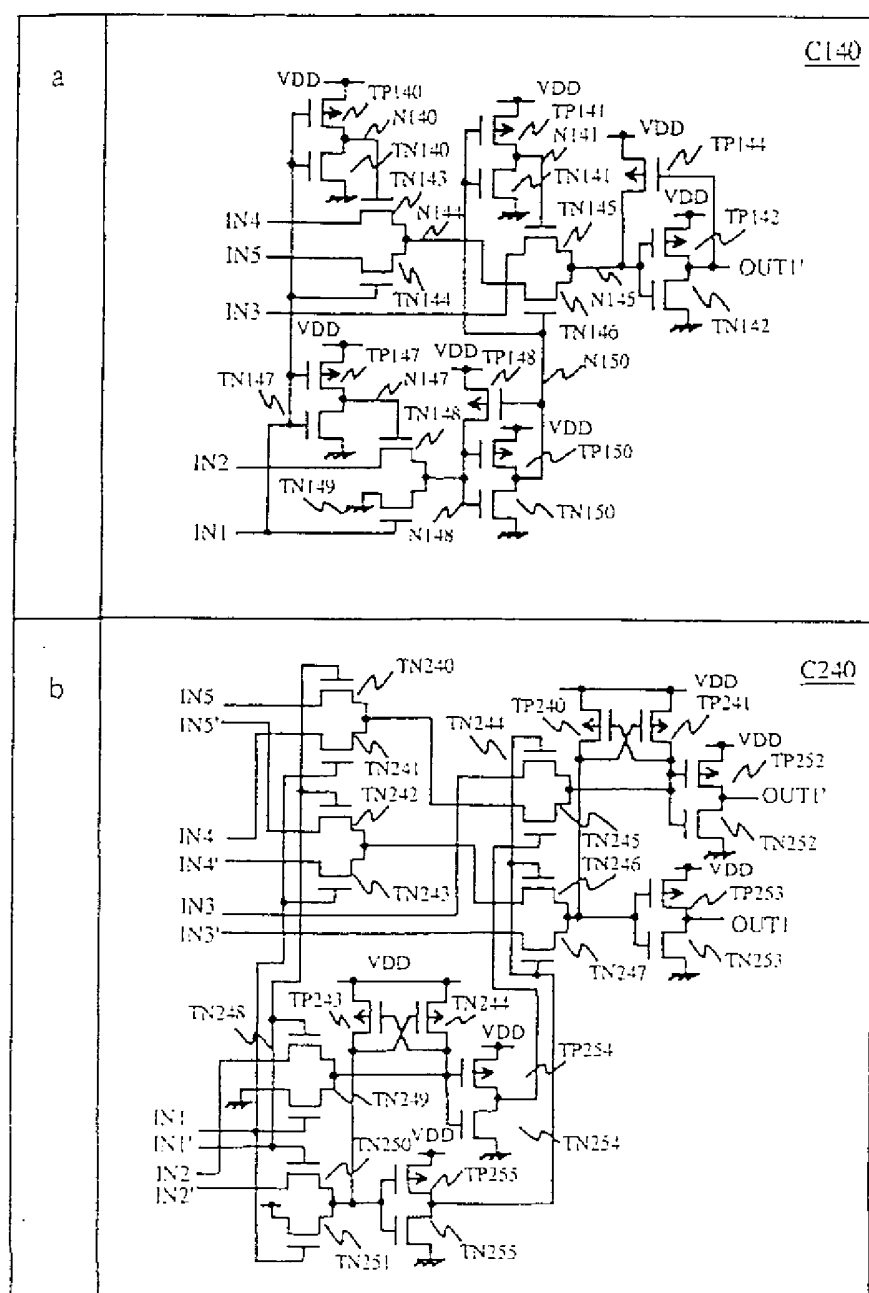


圖 5

圖式

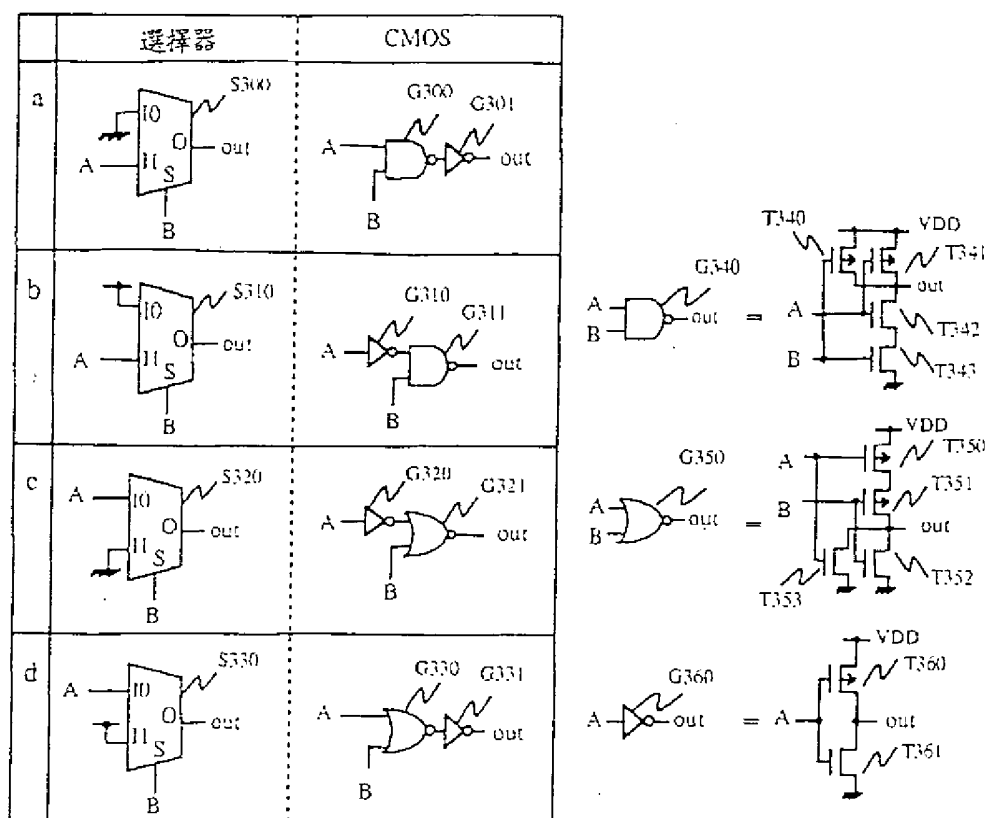


圖 6

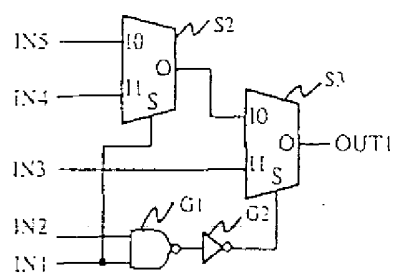


圖 7

圖式

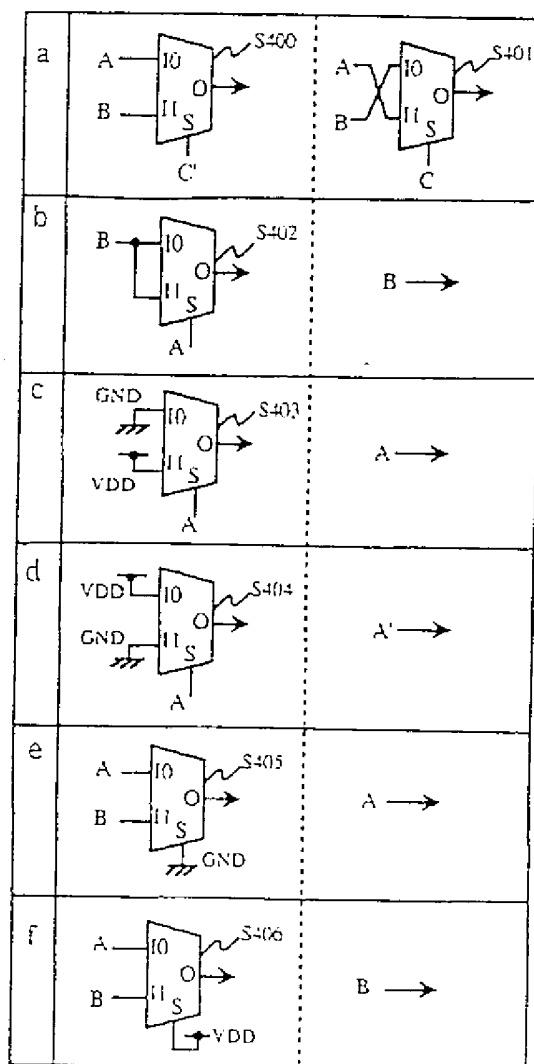


圖 8

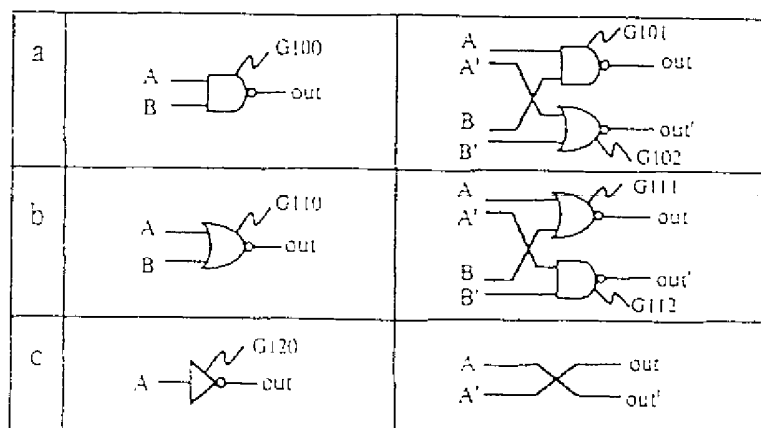
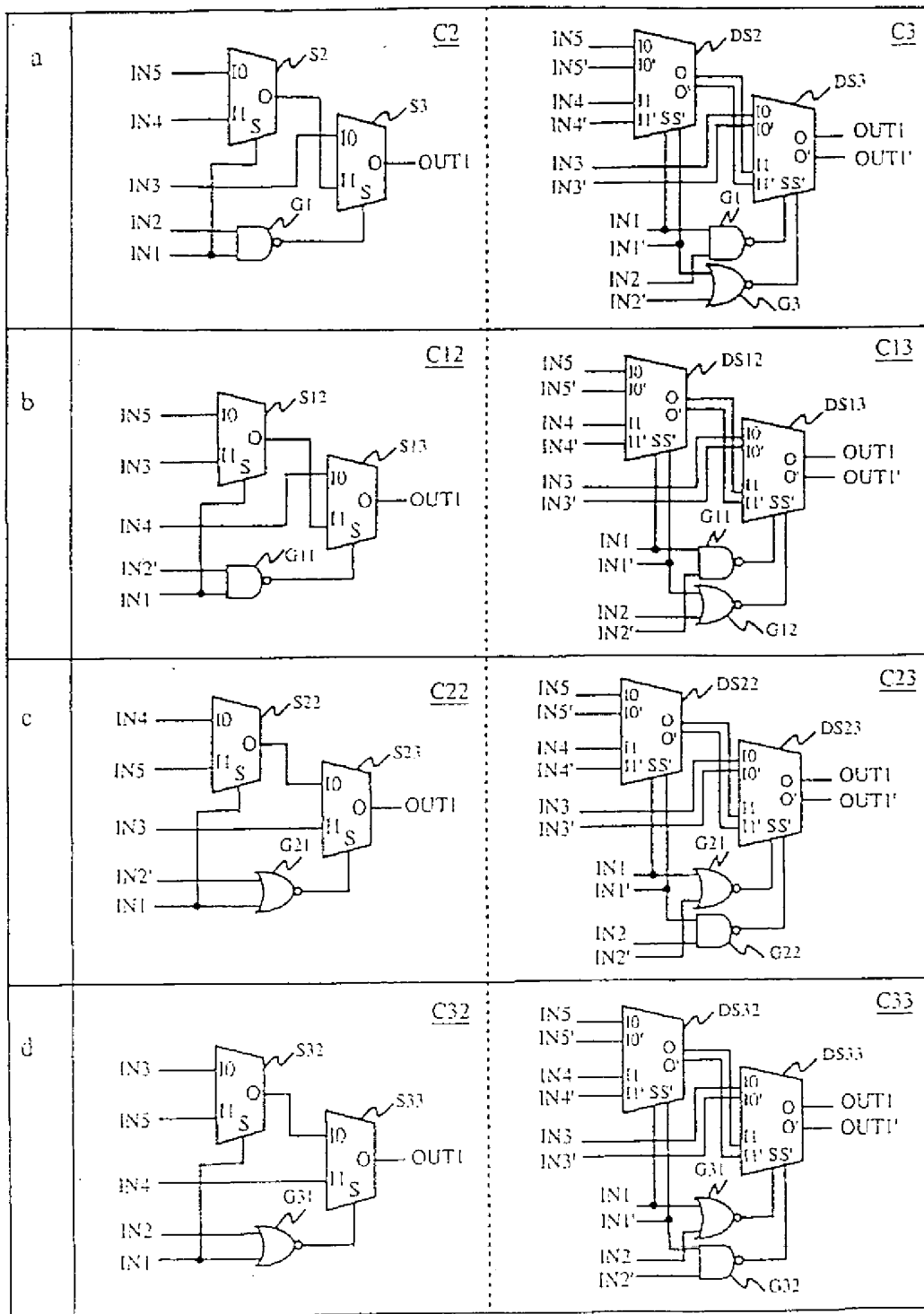


圖 9



圖式

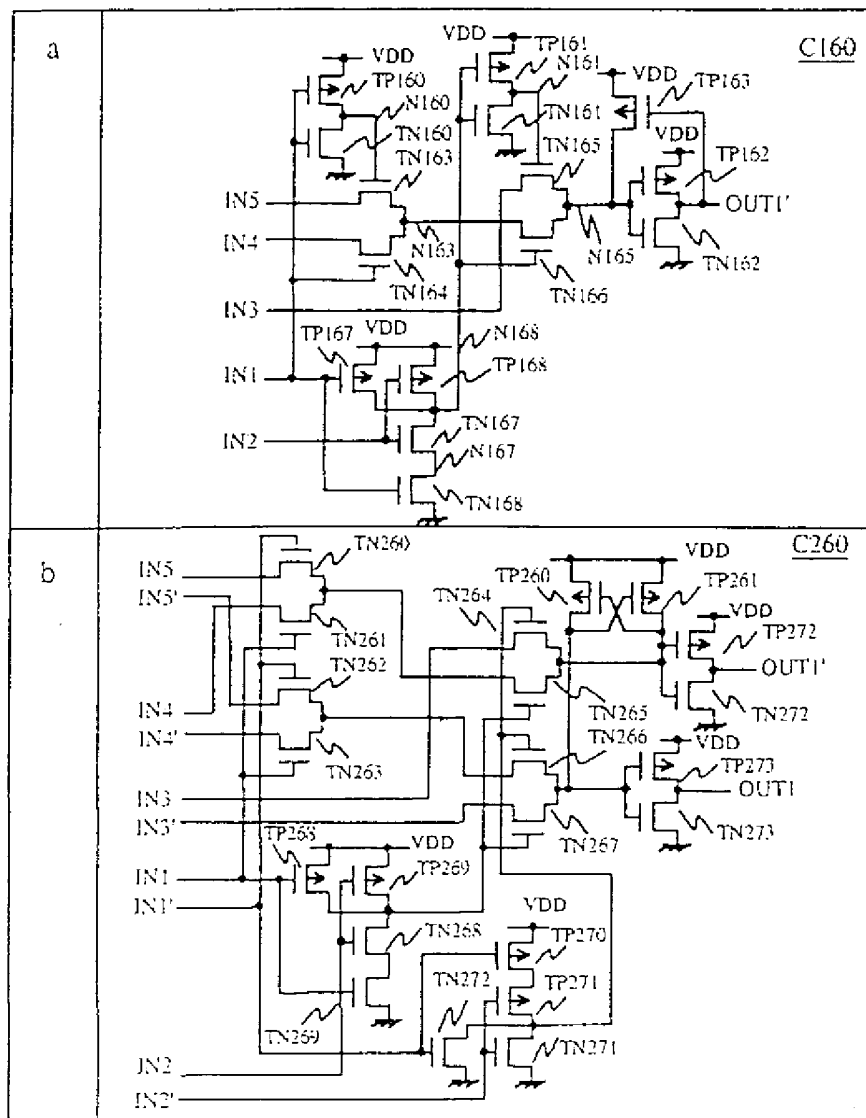


圖 11

圖式

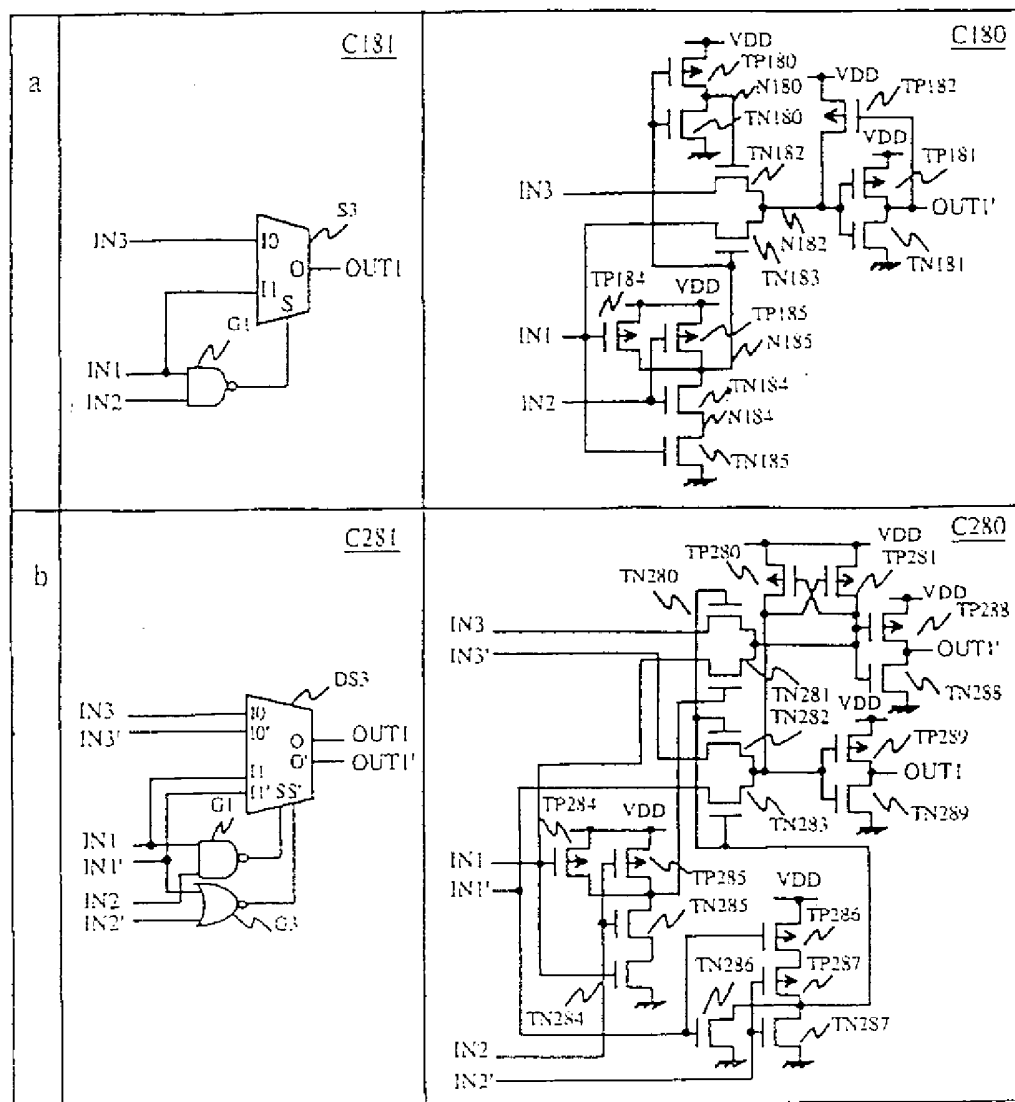


圖 12

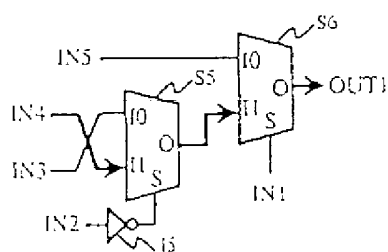


圖 13

圖式

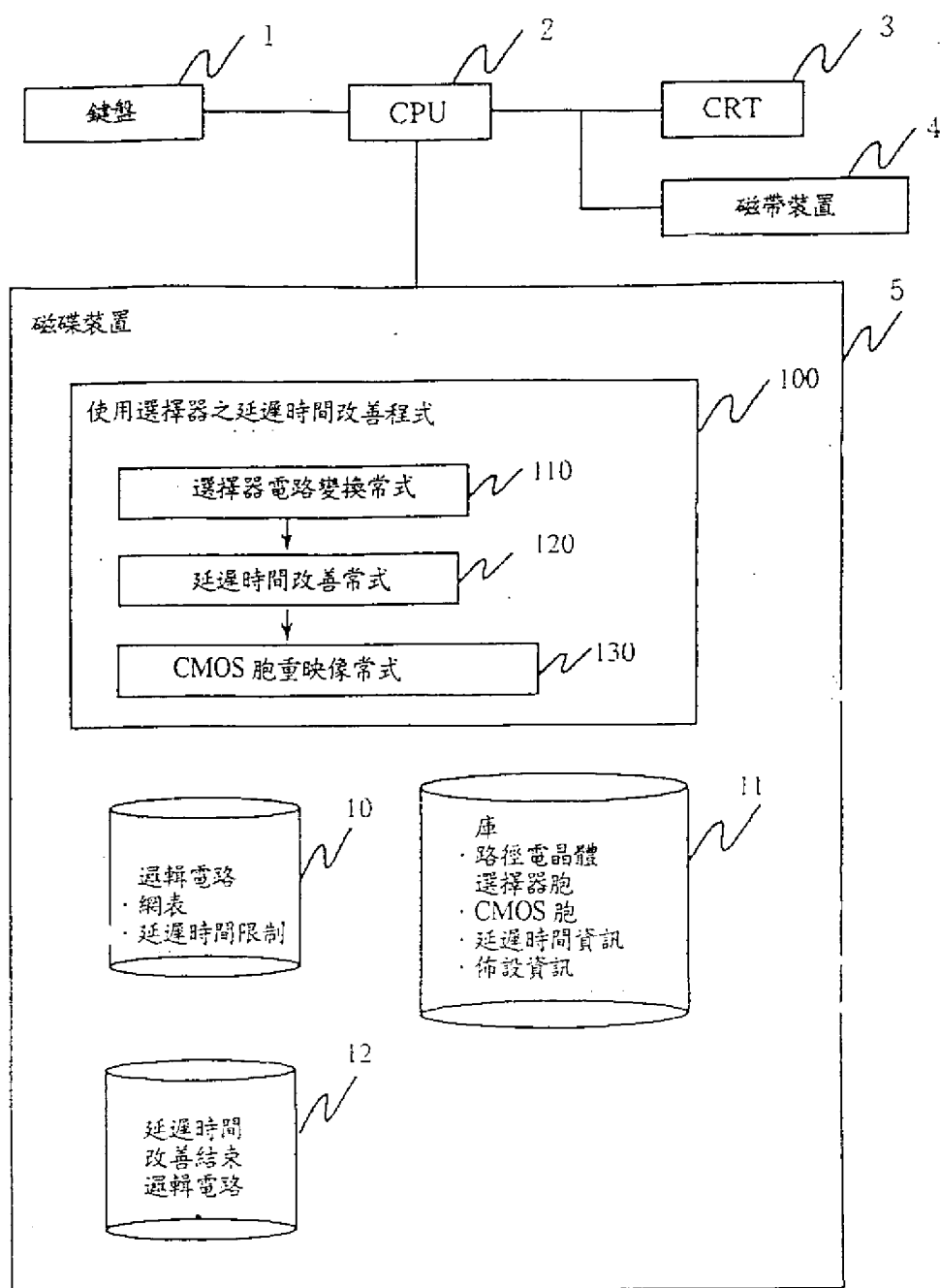


圖 14

圖式

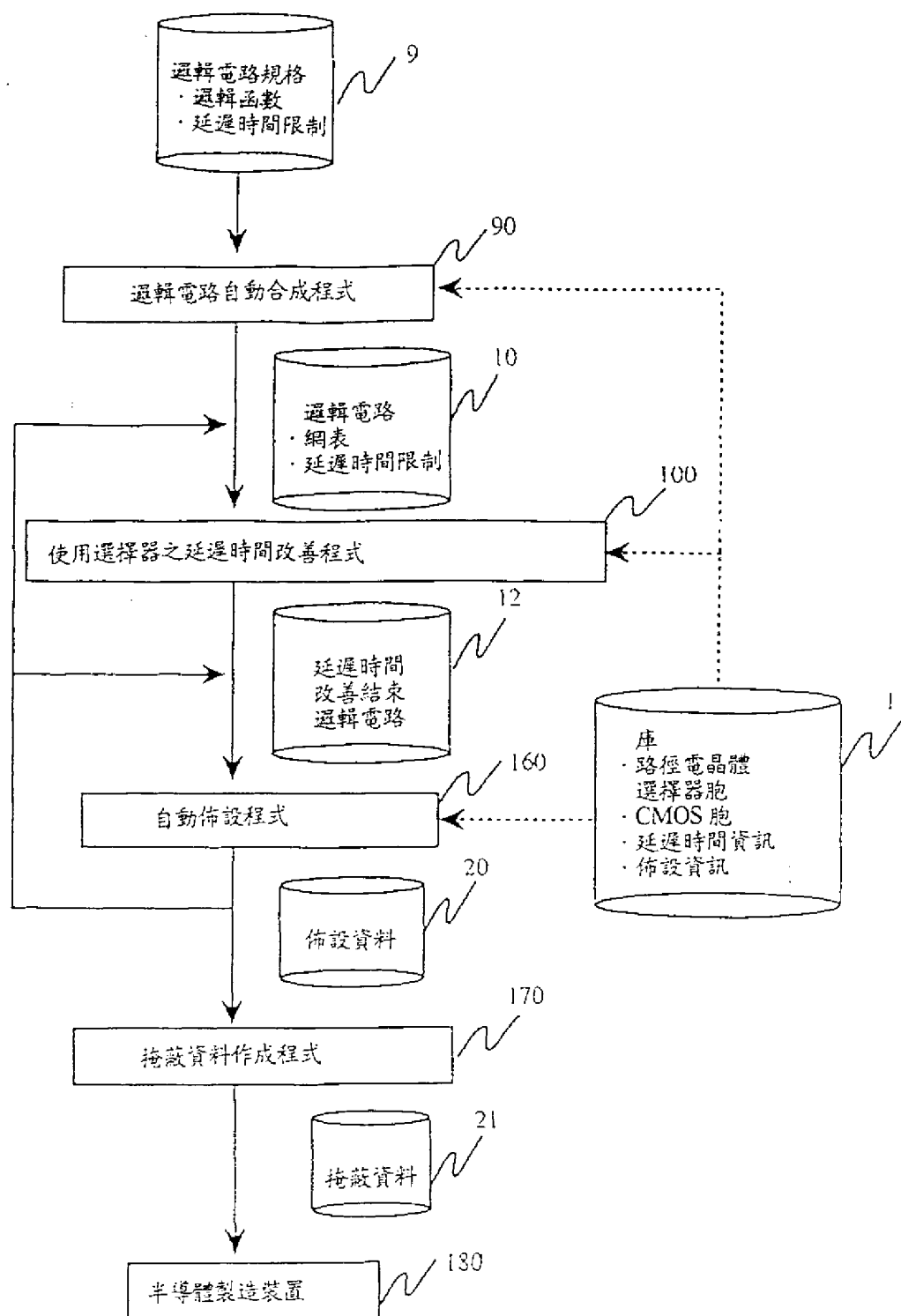


圖 15

圖式

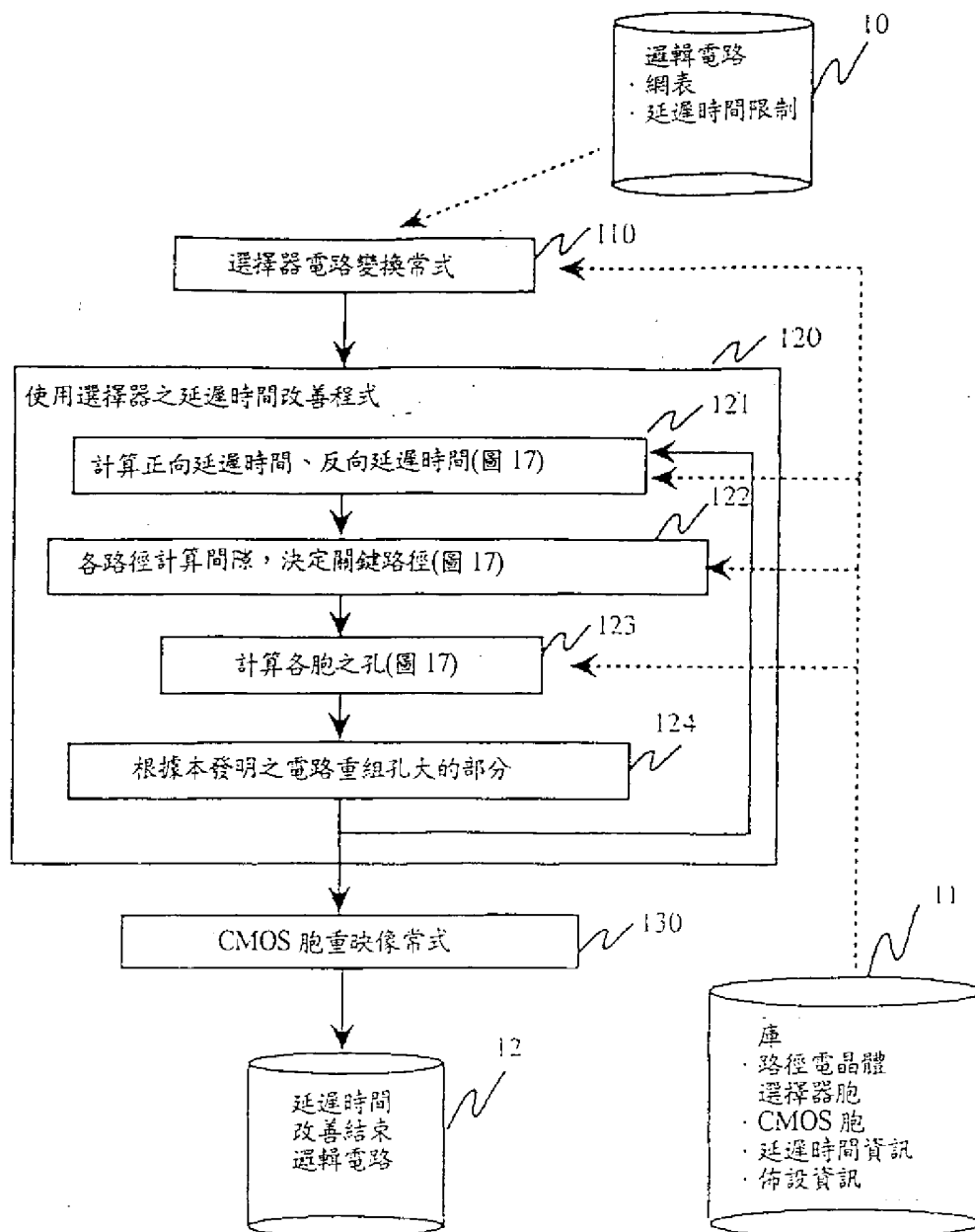
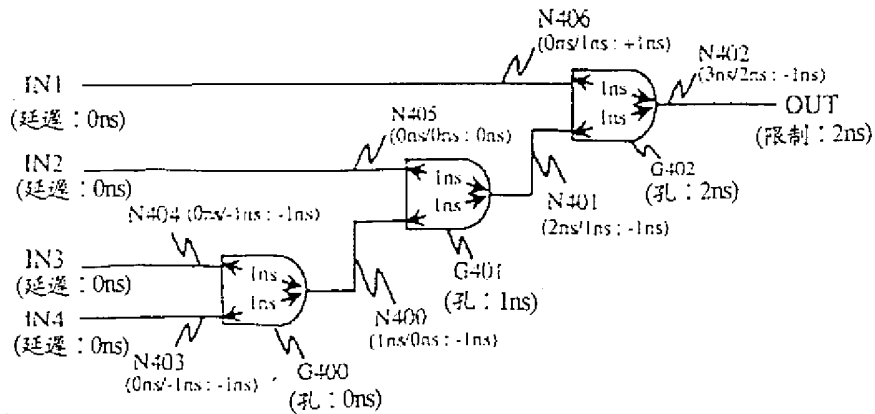


圖 16

圖式



正向延遲時間=輸入信號的延遲+路徑上的各胞延遲時間 -1

正向延遲時間=輸出信號的限制-路徑上的各胞延遲時間 -2

間隙(slack)=反向延遲時間-正向延遲時間 -3

孔(hole)=胞之輸入端子之間隙差最小值 -4

E-400

圖 17

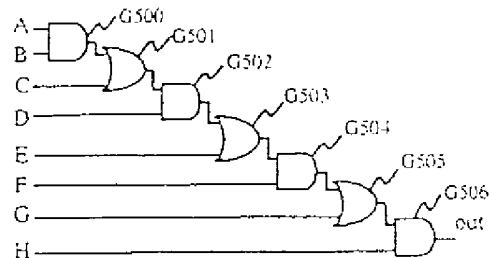


圖 18

圖式

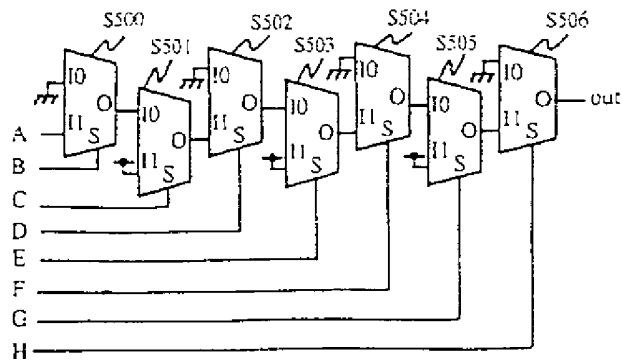


圖 19

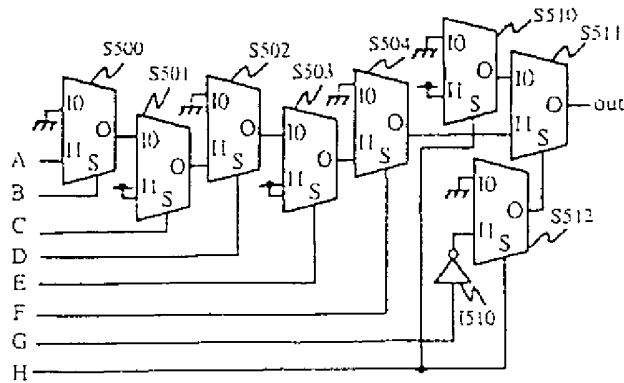


圖 20

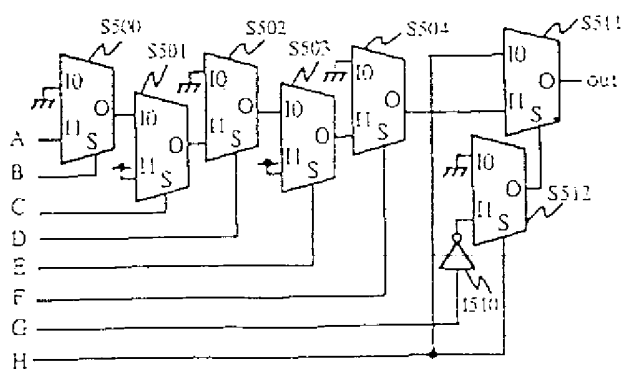


圖 21

圖式

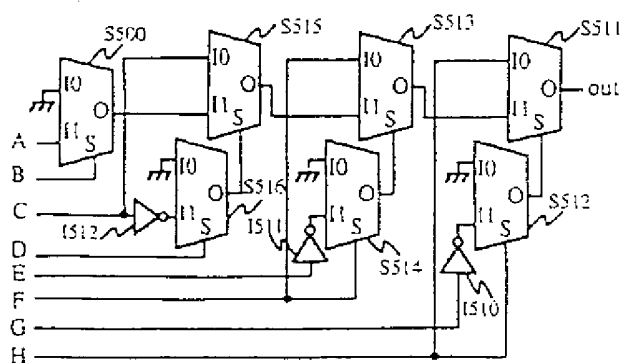


圖 22

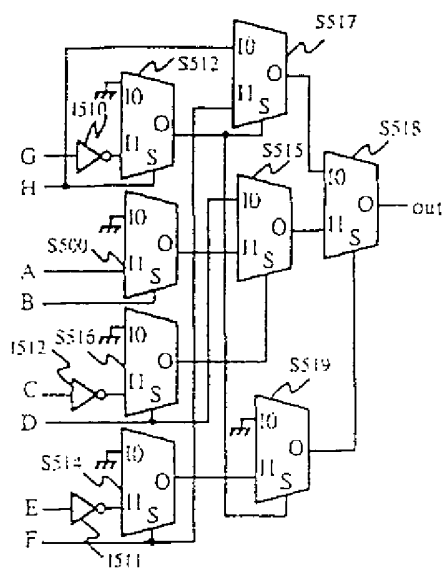


圖 23

圖式

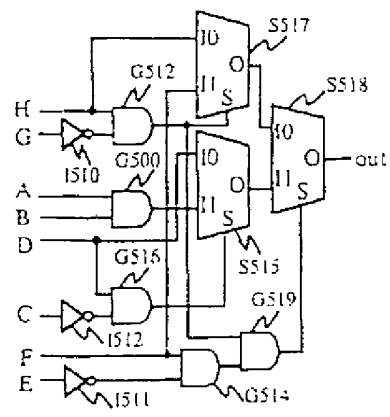


圖 24

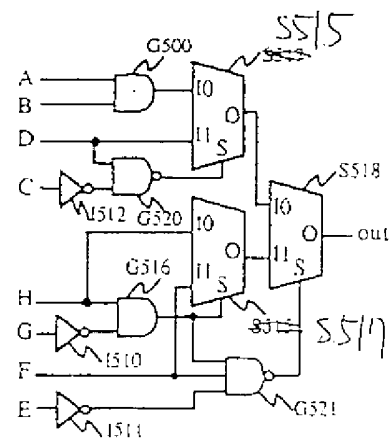


圖 25

圖式

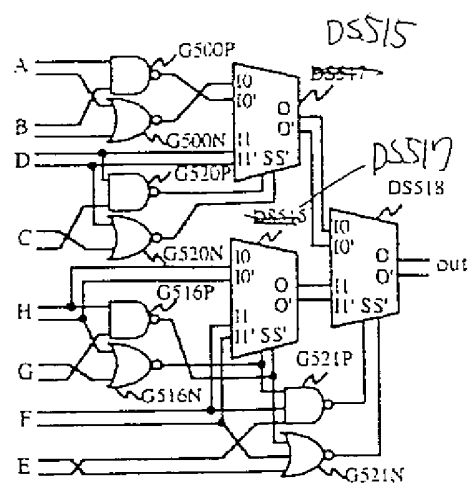


圖 26

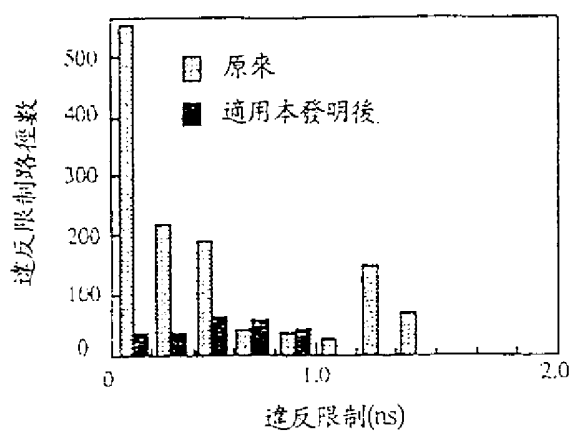


圖 27

圖式

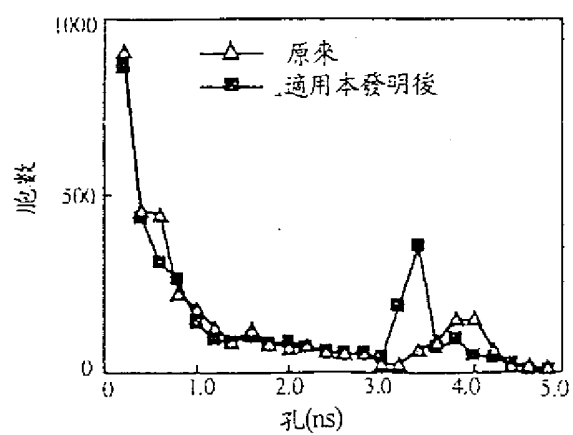


圖 28

六、申請專利範圍

1. 一種邏輯電路，係具備多數輸入信號和輸出信號，其特徵在於：至少含有第1選擇器：控制輸入S為第1輸入信號所控制，輸入I1或輸入I0為第2輸入信號所控制，輸出0連接於第1節點；及，第3選擇器：控制輸入S為第1節點所控制，輸入I1為第3輸入信號所控制，輸入I0為第1輸入信號所控制，輸出0連接於第1輸出信號者。

2. 一種邏輯電路，係具備多數輸入信號和輸出信號，其特徵在於：至少含有第41選擇器：控制輸入S為第1輸入信號所控制，輸入I1或輸入I0為第3輸入信號所控制，輸出0連接於第41節點；及，第43選擇器：控制輸入S為第2輸入信號所控制，輸入I1或輸入I0之任何一方為第41節點所控制，剩餘為第1輸入信號所控制，輸出0連接於第1輸出信號者。

3. 一種邏輯電路，其特徵在於：含有第1選擇器：控制輸入S為第1輸入信號所控制，輸入I1為第2輸入信號所控制，輸入I0連接於第1動作電位點或第2動作電位點，輸出0連接於第1節點；第2選擇器：控制輸入S為第1輸入信號所控制，輸入I1為第4輸入信號所控制，輸入I0為第5輸入信號所控制，輸出0連接於第2節點；及，第3選擇器：控制輸入S為第1節點所控制，輸入I1為第3輸入信號所控制，輸入I0為第2節點所控制，輸出0連接於第1輸出信號者。

4. 一種邏輯電路，其特徵在於：含有第21選擇器：控制輸入S為第1輸入信號所控制，輸入I1連接於第1動作電位

