

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號： 92/119K00

※申請日期： 92-07-16

※IPC 分類： H1L³¹/₀₃₂₈, ²¹/₃₃₆

壹、發明名稱：(中文/英文)

基於氮化物之電晶體，及使用非蝕刻接觸凹處以製造該電晶體之方法
NITRIDE-BASED TRANSISTORS AND METHODS OF
FABRICATION THEREOF USING NON-ETCHED CONTACT
RECESSES

貳、申請人：(共 1 人)

姓名或名稱：(中文/英文)

美商克立公司
CREE, INC.

代表人：(中文/英文)

查爾斯 M. 史華波達
CHARLES M. SWOBODA

住居所或營業所地址：(中文/英文)

美國北卡羅萊納州德罕市斯里康路 4600 號
4600 SILICON DRIVE DURHAM, NC 27703 U.S.A.

國籍：(中文/英文)

美國 U.S.A.

參、發明人：(共 3 人)

姓 名：(中文/英文)

1. 亞當 威廉 撒克拉
ADAM WILLIAM SAXLER
2. 理察 彼德 史密司
RICHARD PETER SMITH
3. 史考特 T. 史博德
SCOTT T. SHEPPARD

住居所地址：(中文/英文)

1. 美國北卡羅萊納州德罕市畢佛單若路 525 號
525 BEAVER DAM RUN, DURHAM, NORTH CAROLINA
27703, U.S.A.
2. 美國北卡羅萊納州卡博羅市甜彎地 242 號
242 SWEET BAY PLACE, CARRBORO, NORTH CAROLINA
27510, U.S.A.
3. 美國北卡羅萊納州教堂山市秋日道 101 號
101 AUTUMN LANE, CHAPEL HILL, NORTH CAROLINA
27516, U.S.A.

國 籍：(中文/英文)

1. 美國 U.S.A.
2. 美國 U.S.A.
3. 美國 U.S.A.

肆、聲明事項：

☐ 本案係符合專利法第二十條第一項 ☐ 第一款但書或 ☐ 第二款但書規定之期間，其日期為： 年 月 日。

☒ 本案申請前已向下列國家（地區）申請專利：

1. 美國；2002 年 07 月 16 日；60/396,236
2. 美國；2003 年 07 月 11 日；10/617,843
- 3.
- 4.
- 5.

☒ 主張國際優先權(專利法第二十四條)：

【格式請依：受理國家（地區）；申請日；申請案號數 順序註記】

1. 美國；2002 年 07 月 16 日；60/396,236
2. 美國；2003 年 07 月 11 日；10/617,843
- 3.
- 4.
- 5.

☐ 主張國內優先權(專利法第二十五條之一)：

【格式請依：申請日；申請案號數 順序註記】

- 1.
- 2.

☐ 主張專利法第二十六條微生物：

☐ 國內微生物 【格式請依：寄存機構；日期；號碼 順序註記】

☐ 國外微生物 【格式請依：寄存國名；機構；日期；號碼 順序註記】

☐ 熟習該項技術者易於獲得，不須寄存。

玖、發明說明：

相關申請

本申請案主張2002年7月16日申請之美國臨時申請案序號第60/396,236號(事務所檔案號碼：5308-248PR)之利益，其揭露書全數在此以引用方式併入本文。

【發明所屬之技術領域】

本發明關於半導體裝置，且更特別的是關於納入基於氮化物活性層之電晶體。

【先前技術】

本發明關於由半導體材料形成之電晶體，使得其可適於高功率、高溫度及/或高頻率應用。已發現譬如矽(Si)與鎵砷化物(GaAs)材料廣泛地應用在半導體裝置中較低功率與(以矽為例)較低頻率之應用。然而，此等較熟悉之半導體材料可能無法妥善地適用於較高功率及/或高頻率，因為其等具有相當小之帶隙(如，室溫下矽為1.12而鎵砷化物為1.42電子伏)及/或相當小之崩潰電壓。

鑑於矽與鎵砷化物呈現之難處，對高功率、高溫度及/或高頻率應用與裝置之關注已轉向寬帶隙之半導體材料，譬如矽碳化物(室溫下 α 矽碳化物為2.996電子伏)與第III族氮化物(室溫下鎵氮化物為3.36電子伏)。此等材料比起鎵砷化物與矽，(通常)具有較高電場崩潰強度與較高電子飽和速度。

在高功率及/或高頻率應用特別引人關注的一裝置係高電子移動率電晶體(HEMT)，也稱為一調變摻雜場效電晶體

(MODFET)。此等裝置在一些情況下可提供操作上之優勢，因為二維電子氣體(2DEG)會形成於二種具有不同帶隙能量之半導體材料的異質接合處，且較小帶隙材料具有較高之電子親和力。2DEG係在一未摻雜(「未刻意摻雜」)、較小帶隙材料內的一累積層，且可含有一超過(例如)每平方公分 10^{13} 載子之極高薄膜電子濃度。此外，原先在寬帶隙半導體之電子轉移至2DEG，容許由於減低離子化雜質分散而致的高電子移動率。

高載子濃度與高載子移動率之組合可提供HEMT極大之跨導(transconductance)，且可提供比金屬半導體場效電晶體(MESFET)在高頻率應用上更強之效能優勢。

因為上述包括高崩潰場、其寬帶隙、大導電能帶偏移及/或高飽和電子漂移速度之該等材料特徵的組合，以鎵氮化物/鋁鎵氮化物(GaN/AlGaN)材料系統製造之高電子移動率電晶體具有產生大量射頻功率之潛力。在2DEG中電子的一主要部份係歸因於鋁鎵氮化物中之極化。在鎵氮化物/鋁鎵氮化物系統中之HEMT業經揭示。美國專利第5,192,987號與第5,296,395號說明了鋁鎵氮化物/鎵氮化物HEMT結構與製造方法。頒予Sheppard等之美國專利第6,316,793號(其共同受讓且以引用方式併入本文)揭示一種HEMT裝置，具有一半絕緣矽碳化物基板、一在該基板上之鋁氮化物緩衝層、一在該緩衝層上之絕緣鎵氮化物層、一在該鎵氮化物層上之鋁鎵氮化物阻障層與一在該鋁鎵氮化物活性結構上之鈍化層。

製造基於氮化物之電晶體的問題涉及此電晶體之歐姆接觸的形成。習知歐姆接觸係經由反應性離子蝕刻(RIE)該等接觸之凹處而形成。然而若無嚴謹製程控制作法，在基於氮化物材料中RIE可造成不一致與再製性之問題。此等問題可造成難以控制製造製程。無須RIE形成之歐姆接觸通常使用高退火溫度(如，攝氏900度)。此高退火溫度可能會損壞該等材料及/或裝置。

【發明內容】

本發明之具體實施例提供基於氮化物之電晶體的接觸與藉由使用再成長製程提供凹處以製造此等接觸之方法。該等接觸係形成於該凹處內。該再成長製程包括製造一包含第III族氮化物之半導體材料之第一覆蓋層。於該第一覆蓋層上會製造與圖案化一遮罩。該遮罩之圖案會對應於該等接觸之凹處的圖案。包含第III族氮化物之半導體材料的一第二覆蓋層會使用該圖案化遮罩選擇性製造(如，成長)於該第一覆蓋層上。附加層也可形成於該第二覆蓋層上。該遮罩可被移除以提供凹處予該第一覆蓋層，且可於該等凹處內形成接觸。另一選擇是，該遮罩可包含一在其上可形成接觸之導電材料，且可無須移除。

特別是在本發明一些具體實施例中將製造一基於氮化物之電晶體，如一高電子移動率電晶體(HEMT)。一基於氮化物之通道層會形成於一基板上(具有或不具一緩衝層)。一基於氮化物之半導體第一覆蓋層會形成於該基於氮化物通道層上。將形成一遮罩以遮蓋該第一覆蓋層之第一部份且曝

露該第一覆蓋層的一鄰接第二部份。一基於氮化物之半導體第二覆蓋層會使用該遮罩形成於該第一覆蓋層之曝露部分，如使用一由該遮罩限制之磊晶成長製程。一凹處會形成於與該第二覆蓋層鄰接之該第一覆蓋層的第一部份，(例如)藉由移除該遮罩以曝露該第一覆蓋層，或藉由使用一上方未形成該第二覆蓋層之導電遮罩。一歐姆接觸或一閘接觸中之一會形成於該凹處內，且一對應之閘接觸或歐姆接觸會形成於該基板上(例如在該第一覆蓋層及/或第二覆蓋層上)。

該基於氮化物之通道層、基於氮化物之半導體第一覆蓋層與基於氮化物之半導體第二覆蓋層可各包括一第III族氮化物層。例如，該通道層可具有如 $\text{Al}_x\text{Ga}_{1-x}\text{N}$ ($0 \leq x < 1$) 的一組成，其中該通道層之帶隙係少於該第一覆蓋層之帶隙。同理，該第一覆蓋層可包括 $\text{Al}_x\text{Ga}_{1-x}\text{N}$ ，其中 $0 < x < 1$ 。

該遮罩可藉由(例如)使用剝離技術或濕式蝕刻技術圖案化一遮罩層而形成。該遮罩可從(例如)一矽氧化物(矽氧化物)材料、一矽氮化物(矽氮化物)或一鋁氮化物(AlN)為主之材料形成。

該第二覆蓋層可包括與該第一覆蓋層之相同材料。例如，該第一與第二覆蓋層可包括鋁鎵氮化物，且其中該第一覆蓋層具有之鋁濃度高於該第二覆蓋層。該第一與第二覆蓋層之組合厚度可約為25奈米。

在該第二覆蓋層上可形成一附加層。該附加層可包括(例如)一鎵氮化物覆蓋層、一絕緣層及/或一組成漸變轉移

(transition)層。

在本發明之進一步具體實施例中，可提供用於一基於氮化物微電子裝置之接觸。一基於氮化物之半導體第一層會形成於一基板上。一遮罩會形成以遮蓋該第一覆蓋層之第一部份，且曝露該第一覆蓋層之鄰接第二部份。一基於氮化物之半導體第二覆蓋層會使用該遮罩形成於該第一覆蓋層之曝露部份。一凹處會形成於該第一覆蓋層鄰接該第二層之第一部份。在該凹處內會形成一接觸。該第一與第二層可包括各自的第III族氮化物層。

依照本發明之附加具體實施例，一電晶體在一半絕緣基板上會包括一基於氮化物之通道層、一在該基於氮化物之通道層上的基於氮化物之半導體第一覆蓋層與一在該第一覆蓋層上之成長基於氮化物之半導體第二覆蓋層。一歐姆接觸或一閘接觸係直接置放於該第一覆蓋層上(鄰接該成長第二覆蓋層之側壁)，且一對應之閘接觸或歐姆接觸會被置放於該基板(例如該第一覆蓋層及/或該第二覆蓋層)上。該第一與第二覆蓋層可包含各自的第III族氮化物層。

【實施方式】

現在本發明將在下文中參考所附圖式更完整地說明，其中顯示本發明的較佳具體實施例。然而本發明可包括於許多不同形式，且不應被視為受限於本文所提出之該等具體實施例；而是此等具體實施例之提出使得此揭露書得以周密與完整，且將完全傳達與本發明之範疇予熟習此項技藝人士。全文中相似之號碼代表相似之元件。再者，圖中所

示之各種層與區域僅概要示範。因此本發明不受限於附圖中相對尺寸、空間與排列。且熟習此項技藝人士應瞭解，本文所指在一基板或其他層「上」形成一層可指直接形成於該基板或其他層上之該層，或形成於該基板或其他層的一中間層(或層等)。熟習此項技藝人士也應瞭解本文所指置放於「鄰接」其他特徵的一結構或特徵，可具有覆蓋或置於該鄰接特徵下之部位。

本發明之具體實施例可經由一通過一薄覆蓋層形成該等接觸之再成長製程，提供一基於氮化物之裝置的接觸。藉由提供該等接觸之凹處，可使用減低之退火溫度或可免於使用退火。此外，可達到低接觸電阻。再者，藉由使用一再成長製程也可避免RIE。因此，本發明具體實施例可提供改進之再製性與一致性。再者，因為該等層之選擇性區域成長，可提供較高應變而無裂隙之層。

本發明具體實施例可特別適用於基於氮化物之HEMT，譬如基於第III族氮化物之裝置。如本文中所用，「第III族氮化物」之名詞指該等於氮與週期表第III族元素(通常為鋁(Al)、鎵(Ga)及/或銦(In))形成之半導體化合物。該名詞也指三元與四元化合物，譬如鋁鎵氮化物與鋁銦鎵氮化物。如熟習此項技藝人士已知，該第III族元素可與氮結合以形成二元(如鎵氮化物)、三元(如鋁鎵氮化物、鋁銦氮化物)與四元(如鋁銦鎵氮化物)化合物。此等化合物全具有實驗上之公式，其中一莫耳氮會與一莫耳第III族元素全部結合。因此通常會使用譬如 $\text{Al}_x\text{Ga}_{1-x}\text{N}$ 之公式(其中 $0 \leq x \leq 1$)加以描述。

可使用本發明具體實施例基於鎵氮化物之HEMT的適當結構已揭示於(例如)共同受讓之美國專利第6,316,793號與2001年7月12日申請之美國專利申請案序號第09/904,333「在一基於鎵氮化物之覆蓋區段上具有一閘接觸的鋁鎵氮化物/鎵氮化物高電子移動率電晶體與其製造方法」、2001年5月11日申請之美國臨時申請案序號第60/290,195號之「具有阻障層/間隔層之基於第III族氮化物的高電子移動率電晶體(HEMT)」,及頒予Smorchkova等之美國專利第10/102,272號標題為「具有阻障層/間隔層之基於第III族氮化物的高電子移動率電晶體(HEMT)」,該等揭露書之全數將以引用方式併入本文。

本發明具體實施例之製造係概要地示範於圖1A至1E。如圖1A所見,提供一可於其上方形成一基於氮化物之裝置的基板10。在本發明特定具體實施例中,該基板10可為一(例如)4H多型結構之矽碳化物的半絕緣矽碳化物(SiC)基板。其他可選擇之矽碳化物多型結構包括3C、6H與15R多型結構。所使用之「半絕緣」名詞僅供描述而非一絕對性意義。在本發明之特定具體實施例中,該矽碳化物主要晶體具有之電阻在室溫等於或高於約 1×10^5 歐姆-公分。

隨意之緩衝、成核及/或轉移層(未顯示)可設置於基板10上。例如,可設置一鋁氮化物緩衝層以提供作為該矽碳化物基板與該裝置其餘部份間之適當結晶結構轉移。此外,也可設置應變平衡轉移層,例如揭示於2002年7月19日申請之共同受讓美國專利申請序號第10/199,786號,標題為「應

變平衡氮化物異質接合電晶體與製造應變平衡氮化物異質接合電晶體之方法」中，及2001年12月3日申請之美國專利臨時申請序號第60/337,687號，標題為「應變平衡氮化物異質接合電晶體」中，該等揭露書以引用方式併入本文。

矽碳化物比起極普遍用於第III族氮化物裝置之藍寶石(Al_2O_3)基板材料，更具有一匹配第III族氮化物而緊密之結晶晶格。較緊密之晶格匹配可導致第III族氮化物膜比通常使用藍寶石所能產生更高之品質。矽碳化物也具有極高之熱傳電率，使得矽碳化物上之第III族氮化物裝置的整體輸出功率(通常)不像在藍寶石上所形成之相同裝置，會受該基板之熱消散所限制。同時，半絕緣矽碳化物基板之可用性能提供作為裝置隔離與減低寄生電容。適用之矽碳化物基板是由(例如)美國N.C.州杜拉漢(Durham)之克利(Cree)公司(本發明受讓人)所製造，且製造方法已揭示於(例如)美國專利第Re.34,861；4,946,547；5,200,022與6,218,680號中，該等專利之內容全數以引用方式併入本文。同理，第III族氮化物之磊晶成長技術已揭示於(例如)美國專利第5,210,051；5,393,993；5,523,589與5,292,501中，該等專利之內容也全數以引用方式併入本文。

雖然矽碳化物可為較佳之基板材料，本發明之具體實施例可使用任何適當基板，譬如藍寶石、鋁氮化物、鋁鎵氮化物、鎵氮化物、矽、砷化鎵、LGO、氧化鋅、LAO、銦磷化物與其類似物。在一些具體實施例中，也可以形成一適當之緩衝層。

請回到圖1A，一通道層20會設置於基板10上。通道層20可使用上述緩衝層、轉移層及/或成核層沈積於基板10上。通道層20可承受壓縮應變。再者，該通道層及/或緩衝成核層及/或轉移層可藉由MOCVD或熟習此項技藝人士已知之其他技術(譬如MBE或HVPE)加以沈積。

在本發明一些具體實施例中，通道層20係一第III族氮化物(譬如 $\text{Al}_x\text{Ga}_{1-x}\text{N}$ ，其中 $0 \leq x < 1$)，通道層20具有之帶隙係少於第一覆蓋層22之帶隙。在本發明某些具體實施例中 $x=0$ ，表示通道層20係鎵氮化物。通道層20也可為其他第III族氮化物，譬如銦鎵氮化物、鋁銦鎵氮化物或其類似物。通道層20可為未摻雜(「未刻意摻雜」)且可成長至大於約20埃(Å)之厚度。通道層20也可為一多層結構，譬如一鎵氮化物、鋁鎵氮化物或其類似物之超晶格或組合。

一第一覆蓋層22會設置於通道層20上。通道層20可具有少於第一覆蓋層22之帶隙。第一覆蓋層22可沈積於通道層20上。在本發明某些具體實施例，第一覆蓋層22係厚度介於約1與約10奈米間之鋁氮化物、銦鋁氮化物、鋁銦鎵氮化物。依照本發明某些具體實施例中之覆蓋層範例，已揭示於頒予 Smorchkova 等之美國專利申請序號第 10/102,272 號，標題為「具有阻障層/間隔層之基於第III族氮化物高電子移動率電晶體(HEMT)」中，在此提出之揭露書以引用方式併入本文。在本發明特定具體實施例中，第一覆蓋層22係足夠厚且具有一足夠高之鋁組成與摻雜，以便當第一覆蓋層22係埋入歐姆接觸金屬下時經由極化效應而在通道層

20與第一覆蓋層22介面處感生可觀之載子濃度。同時，第一覆蓋層22應足夠厚以減低或最小化由於在第一覆蓋層22與第二覆蓋層24間介面處之離子化雜質沈積，所導致在該通道中之電子分散。

第一覆蓋層22可為一第III族氮化物，且具有大於通道層20之帶隙。因此在本發明某些具體實施例中，第一覆蓋層22係鋁鎵氮化物、鋁銦鎵氮化物及/或鋁氮化物或其等層之組合。第一覆蓋層22可(例如)從約1至約10奈米厚，但不能太厚而造成其內形成裂隙或實質上之缺陷。較佳是第一覆蓋層22係未摻雜或摻雜n型摻雜物達少於每立方公分約 10^{19} 之濃度。在本發明一些具體實施例中，第一覆蓋層22係 $\text{Al}_x\text{Ga}_{1-x}\text{N}$ ，其中 $0 < x < 1$ 。在此具體實施例中，第一覆蓋層22可從約3至約15奈米厚。在特定具體實施例中，鋁之濃度係約百分之25。然而在本發明其他具體實施例中，第一覆蓋層22包含具有鋁濃度介於約百分之5與約百分之100之鋁銦氮化物。在本發明之特定具體實施例中，鋁濃度係大於約百分之10。在本發明之第一覆蓋層22包含一鋁氮化物層的具體實施例中，第一覆蓋層22之厚度可從約0.3奈米至約4奈米。

圖1B示意在第一覆蓋層22上形成一遮罩30。遮罩30係形成於第一覆蓋層22上後續將形成歐姆接觸之區域。在本發明某些具體實施例中，遮罩30之尺寸係稍小於待形成於第一覆蓋層22上(對應於遮罩30之區域)的該接觸，以容許該等歐姆接觸重疊於該附加層上以補償在校準上之變異。

如圖1B中所示，圖1A之晶圓可從該磊晶反應室中移出且以一遮罩材料30在該需求之凹處區域上圖案化。遮罩材料30應能承受後續製程之成長溫度，包括下文說明中的一第二覆蓋層24之形成。在本發明某些具體實施例中，遮罩30係使用剝離技術圖案化以減低或最小化在第一覆蓋層22頂部上之損壞或殘餘物。或者，可使用一濕式蝕刻以圖案化遮罩30。濕式蝕刻比乾式蝕刻更能減低對第一覆蓋層22頂部的損害。在一些具體實施例中，遮罩材料30可使用對第一覆蓋層22與後續形成各層相對較高選擇性的一濕式蝕刻加以移除。在本發明某些具體實施例中，遮罩材料係矽氧化物，雖然也可使用其他材料(譬如鋁氮化物與基於矽氮化物之材料)。使用基於鋁氮化物之材料作為該遮罩材料可改進穩定性與減低矽之n型摻雜與矽氧化物之氧化。如使用鋁氮化物，在品質上應不會被選擇性濕式蝕刻移除。

如圖1C所示，在形成與圖案化遮罩30以留下該遮罩材料於待形成歐姆接觸之凹處的區域後，一第二覆蓋層24會形成於第一覆蓋層22之曝露區域。例如，圖1B之晶圓可放回該磊晶反應室內用於沈積第二覆蓋層24。第一覆蓋層22與第二覆蓋層24可為相同或不同材料，且具有相同或不同組成。例如，第一覆蓋層22可為鋁氮化物而第二覆蓋層24可為鋁鎵氮化物或鎵氮化物。再者，第一覆蓋層22與第二覆蓋層24可為鋁鎵氮化物，其中在第一覆蓋層22中之鋁濃度高於第二覆蓋層24中之鋁。第一覆蓋層22與第二覆蓋層24之整體厚度可為約25奈米。第一覆蓋層22加上第二覆蓋層

24之厚度應足夠厚，且具有足夠之鋁以獲得需求之電子密度，但不會太厚或鋁濃度太高以致造成裂隙或形成實質的斷層。

或者，可藉由設置在成長/沈積製程中第二覆蓋層24材料不會形成於其上的一層，提供第二覆蓋層24之選擇性成長。例如，遮罩可為一可藉由反應性離子蝕刻(RIE)移除之薄層。或者，該遮罩可為一導電材料(譬如金屬，或如氮化鈮或氮化鈦之其他導電材料)，其上方可後續形成一歐姆接觸而因此可無須移除該遮罩。在其他具體實施例中，該遮罩可形成於將形成一閘之區域，且可包含一可被剝離(或僅部份移除)之絕緣材料，且用作其上方會形成一閘接觸之閘絕緣層。

第二覆蓋層24之前圖案化再成長也可限制在該閘/通道區域內第二覆蓋層24之區域中之裂隙，因為橫跨該通道/閘區域之沈積尺寸比該第二覆蓋材料之毯覆式沈積要小許多。特別是該等層橫跨該閘/通道區域之長度(如介於該等遮罩30間之距離)，具有約幾微米範圍(如約0.2至約10微米)，而寬度達幾百微米(如約10微米至約500微米)。在本發明某些具體實施例中，可選擇第二覆蓋層24之再成長圖案之形狀、尺寸及/或結晶之方位，以增加或最大化可容許之厚度與鋁組成(及載子濃度)。第二覆蓋層24之區域可製成比一特定毯覆式覆蓋層之典型裂隙分佈要小，以減低或防止在該圖案化區域中任何之裂隙。同時在一些具體實施例中，該方位應使得該區域之末端邊緣不與該結晶之較佳裂隙方向

正交，以使易於開始與該邊緣正交之裂隙的成核成長最小化。再者，在本發明之具體實施例中，第二覆蓋層24具有之鋁濃度會低於使一實質之第二電子通道形成於第一覆蓋層22與第二覆蓋層24間之再成長介面處的一位準。

可選定第二覆蓋層24之成長條件，以防止遮罩30之過度分解。同時，在遮罩30上之沈積最好足夠不連續，以容許濕式蝕刻有效地移除遮罩30與其上之任何沈積。沈積較佳是不具選擇性，因此在該區域整個第二覆蓋層24之材料的組成(譬如一鋁氮化物鎵組成)與厚度會一致。組成與厚度一致之達成可藉由使用相當低之成長溫度及/或其上方有第III族氮化物成核之更穩定遮罩(如低品質鋁氮化物對矽氧化物)。然而，成核不應太完整以免在遮罩30形成一連續層，以有利於移除遮罩30。如該成長具選擇性，則遮罩30之尺寸應可減低及/或限制該遮罩區域轉移至該成長區域。

圖1D示範附加層26之形成。附加層26可於該磊晶反應室內或外部沈積。因為該歐姆接觸區域將開口，此附加層26可包括鎵氮化物覆蓋層，如同(例如) Yu等在Applied Physics Letters，1998年第13號73卷「經由壓電效應在第III-V族氮化物內之蕭特基(Schottky)阻障層工程」中描述，或在2001年7月12日申請之美國專利申請案序號第09/904,333號「在基於鎵氮化物之覆蓋區段上具有一閘接觸的鋁鎵氮化物/鎵氮化物高電子移動率電晶體與其製造方法」中，在此提出之該等揭露書係以引用方式併入本文。在一些具體實施例中，可沈積絕緣層(譬如矽氮化物或相當高品質之鋁氮化

物)用於在未來製程中製造MISHEMT、鈍化該表面及/或封入第二覆蓋層24。附加層26也可在第一及/或第二覆蓋層22及/或24上包括一成分級之轉移層。附加層26可在形成第二覆蓋層24後直接於該磊晶反應室內沈積，其可提供改進對第二覆蓋層24與附加層26間之介面與表面狀態之控制。再者，因為附加層26之區域具有與第二覆蓋層24相同之較小區域圖案，此等層也可助於減少裂隙，即使該抗拉應變會因附加層26而增加。

圖1E示意遮罩30之移除與在由第二覆蓋層24所界定(即鄰接)之該凹處內歐姆接觸40之形成。歐姆接觸40之製造可如同美國專利第6,316,793號所揭示。歐姆接觸40係形成於第一覆蓋層22上。在第一覆蓋層22上之歐姆接觸40可在相當低之退火溫度下退火。例如在本發明某些具體實施例中，可使用從約攝氏400度至約800度之退火溫度。在本發明其他具體實施例中，可去除該退火步驟。因此，可提供歐姆接觸40而無需高退火溫度或蝕刻一覆蓋層之第III族氮化物材料。該電晶體可藉由增加一閘28及/或閘結構、鈍化其他熟習此項技藝人士已知之此類額外處理而更加完整。

第一及/或第二覆蓋層22與24也可具多層，如同揭示於頒予Smorchkova等之美國專利申請案序號第10/102,272號，標題為「具有阻障層/間隔層之基於第III族氮化物的高電子移動率電晶體(HEMT)」，在此提出之該揭露書係以引用方式併入本文。因此，本發明之具體實施例不應被視為限制該第一及/或第二覆蓋層為一單層，而是可包括(例如)具有鎳

氮化物、鋁鎵氮化物及/或鋁氮化物層之組合的阻障層。例如，可使用一鎵氮化物、鋁氮化物結構以減低或避免合金分散。因此，本發明之具體實施例可包括基於氮化物之阻障層，此等基於氮化物之阻障層可包括基於鋁鎵氮化物之阻障層、基於鋁氮化物層之阻障層與其等之組合。

視需要，可以一譬如矽之n型摻雜物植入該歐姆區域以進一步減低接觸電阻。如果在該再成長前完成，該再成長之功能可作為退火步驟及/或一較高溫度退火可在最後再成長層沈積前完成，使得最後之表面不會受該高溫退火影響。例如，第一覆蓋層22可由一薄鋁鎵氮化物形成且沈積一遮罩與圖案化，以便在該歐姆接觸區域上提供一具有開口之植入遮罩與增加校準記號。一譬如矽(或氧、鍺等)之摻雜物會被植入且該植入遮罩會被移除。接著會沈積該再成長遮罩且經圖案化以覆蓋該歐姆接觸區域與校準記號。產生之結構可經退火(攝氏約1100度在鈍性或基於氮氣之氣體中)而形成一鋁氮化物鎵層。該再成長遮罩會被移除而形成該等歐姆接觸。

圖2示意依照本發明一些具體實施例的一範例性電晶體。如圖2中所見，一鋁氮化物緩衝層12係形成於一高純度半絕緣(HPSI) 4H矽碳化物基板10'上。緩衝層12可為約0.2微米厚之本質或未摻雜之鋁氮化物，而與基板10'可為約400微米厚。通道層20'係於該緩衝層12上且可為一具有約2微米厚度之未摻雜鎵氮化物層。第一覆蓋層22'係於通道層20'上且可為具有約百分之25鋁濃度與約5奈米厚度之未摻雜

鋁鎵氮化物層。

第二覆蓋層24'係使用一遮罩如上述(或者刻意)摻雜的一鋁鎵氮化物層選擇性成長，具有約百分之20之鋁濃度且摻雜一n型摻雜物(譬如矽)達全部約每平方公分 2×10^{12} 之濃度。第二覆蓋層24'可具有約10奈米之厚度。使用一遮罩如上述選擇性地成長為約百分之20鋁濃度的一未摻雜鋁氮化物鎵層之附加層26'，也設置於第二覆蓋層24'上。附加層26'可具有約10奈米之厚度。歐姆接觸40係形成於鄰接第二覆蓋層24'與附加層26'之凹處內。一閘接觸28'可形成於附加層26'上。

圖3示意依照本發明一些具體實施例使用一鋁氮化物阻障層的一範例性電晶體。如圖3中所示，該基板、鋁氮化物緩衝層12與通道層20'可如上述參考圖2設置。第一覆蓋層22"係於通道層20'上且可為具有約1奈米厚度之未摻雜鋁氮化物層。

第二覆蓋層24"使用一遮罩選擇性地成長如上述一具有鋁濃度約百分之20的未摻雜鋁鎵氮化物。第二覆蓋層24"可具有約20奈米之厚度。歐姆接觸40係形成鄰接第二覆蓋層24"之凹處內。一閘接觸28"可形成於第二覆蓋層24"上。

圖4示意依照本發明一些具體實施例的一範例性電晶體，其中係使用該選擇性再成長以提供一凹處之閘結構。如圖4所見，該基板、鋁氮化物緩衝層12與通道層20'可如上述參考圖2設置。第一覆蓋層22"係於通道層20'上且可為一具有鋁濃度約百分之25且厚度約25奈米之未摻雜鋁氮化物

鎔層。

第二覆蓋層 24''' 係使用一遮罩如上述選擇性地成長，除了該遮罩是用以遮罩該裝置之該閘區域。第二覆蓋層 24''' 可為一具有約百分之 20 鋁濃度之未摻雜鋁鎔氮化物層。第二覆蓋層 24''' 可具有約 5 奈米之厚度。附加層 26'' 係使用一遮罩選擇性地成長如上述摻雜 n+ (例如，摻雜至從約每立方公分 10^{18} 至約 10^{20} 之載子濃度) 的一摻雜鋁鎔氮化物層。附加層 26'' 可具有約百分之 20 之鋁濃度。附加層 26'' 可具有約 10 奈米之厚度。歐姆接觸 40' 係形成於附加層 26'' 上。一閘接觸 42 可形成於第一覆蓋層 22''' 上及由第二覆蓋層 24''' 與附加層 26'' 形成之該凹處中。

圖 5 顯示依照本發明進一步範例性具體實施例的一電晶體，其中閘與歐姆接觸二者均形成於再成長凹處中。一通道層 520 與一第一覆蓋層 522 可如上述形成於一基板 510 上 (應瞭解基板 510 可包括緩衝層及/或其他層)。第一覆蓋層 522 可加以遮罩而曝露第一覆蓋層 522 之部位，而第二覆蓋層 524 可形成於該曝露部份上。接著可移除該遮罩以留下鄰接第二覆蓋層 524 之凹處。歐姆與閘接觸 540 與 528 可如顯示形成於該等凹處中。

圖 6 顯示依照本發明其他範例性具體實施例的一電晶體，其中閘與歐姆接觸二者均形成於再成長凹處中，但在不同之基於氮化物層上。一通道層 620 與一第一覆蓋層 622 可如上述形成於一基板 610 上 (應瞭解基板 610 可包括緩衝層及/或其他層)。第一覆蓋層 622 可加以遮罩以曝露第一覆

蓋層 622 之一部位。第二覆蓋層 624 可形成於該曝露部份上。接著一附加遮罩可形成於第二覆蓋層 624 上，使曝露之第二覆蓋層之部份留出間隔部位。附加層 626 可形成於此等曝露部份上。可移除該等遮罩以留下曝露第一覆蓋層 622 之第一與第二部份與第二覆蓋層 624 之一部份之凹處。歐姆與閘接觸 640 與 628 可如顯示形成於該等凹處中。應瞭解遮罩與形成接觸之操作順序可改變。

在圖式及規格中揭露了本發明的較佳具體實施例，雖然使用特定的名詞，但是只用來作一般說明並無限制之用意。

【圖式簡單說明】

圖 1A 至 1E 係示範在依照本發明具體實施例之一電晶體內製造歐姆接觸的概要圖式。

圖 2 係依照本發明具體實施例之一電晶體的概要示意。

圖 3 係依照本發明進一步具體實施例之一電晶體的概要示意。

圖 4 係依照本發明具體實施例具有再成長閘凹處之一電晶體的概要示意。

圖 5 係依照本發明一些具體實施例之一電晶體的概要示意。

圖 6 係依照本發明進一步具體實施例之一電晶體的概要示意。

【圖式代表符號說明】

10 基板

10' 基板

12	鋁氮化物緩衝層
20	通道層
20'	通道層
22	第一覆蓋層
22'	第一覆蓋層
22"	第一覆蓋層
22'''	第一覆蓋層
24	第二覆蓋層
24'	第二覆蓋層
24"	第二覆蓋層
24'''	第二覆蓋層
26	附加層
26'	附加層
26"	附加層
28	閘
28'	閘
28	閘
30	遮罩
40	歐姆接觸
40'	歐姆接觸
42	閘接觸
510	基板
520	通道層
522	第一覆蓋層

524	第二覆蓋層
528	閘
540	歐姆接觸
610	基板
622	第一覆蓋層
624	第二覆蓋層
626	附加層
628	閘
640	歐姆接觸

伍、中文發明摘要：

本發明揭示基於氮化物之電晶體的接觸，及經由一再成長製程提供凹處以製造此等接觸之方法。該等接觸係形成於該凹處中。該再成長製程包括製造一包含第 III 族氮化物之半導體材料的第一覆蓋層。在該第一覆蓋層上會製造與圖案化一遮罩。該遮罩之圖案會對應用於該等接觸之凹處的圖案。一包含第 III 族氮化物之半導體材料之第二覆蓋層會使用該圖案化遮罩選擇性製造(如，成長)於該第一覆蓋層上。附加層也可形成於該第二覆蓋層上。該遮罩可被移除以提供凹處予該第一覆蓋層，且可於該等凹處內形成接觸。另一選擇是，該遮罩可包含一在其上可形成接觸之導電材料，且可無須移除。

陸、英文發明摘要：

Contacts for a nitride based transistor and methods of fabricating such contacts provide a recess through a regrowth process. The contacts are formed in the recess. The regrowth process includes fabricating a first cap layer comprising a Group III-nitride semiconductor material. A mask is fabricated and patterned on the first cap layer. The pattern of the mask corresponds to the pattern of the recesses for the contacts. A second cap layer comprising a Group III-nitride semiconductor material is selectively fabricated (*e.g.* grown) on the first cap layer utilizing the patterned mask. Additional layers may also be formed on the second cap layer. The mask may be removed to provide recess(es) to the first cap layer, and contact(s) may be formed in the recess(es). Alternatively, the mask may comprise a conductive material upon which a contact may be formed, and may not require removal.

拾壹、圖式：

第一覆蓋層 <u>22</u>
通道層 <u>20</u>
基板 <u>10</u>

圖 1A

遮罩 <u>30</u>		遮罩 <u>30</u>
第一覆蓋層 <u>22</u>		
通道層 <u>20</u>		
基板 <u>10</u>		

圖 1B

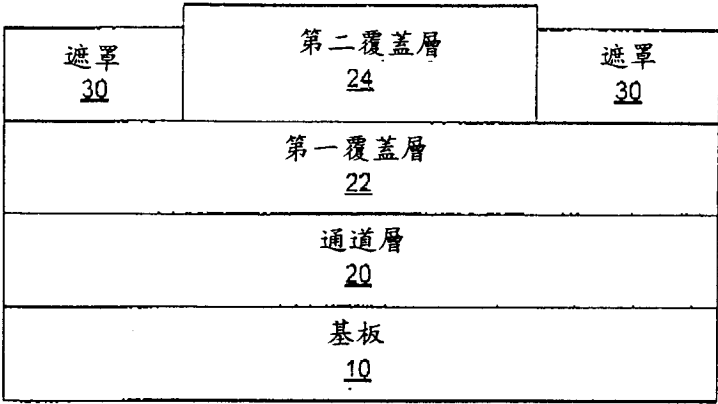


圖 1C

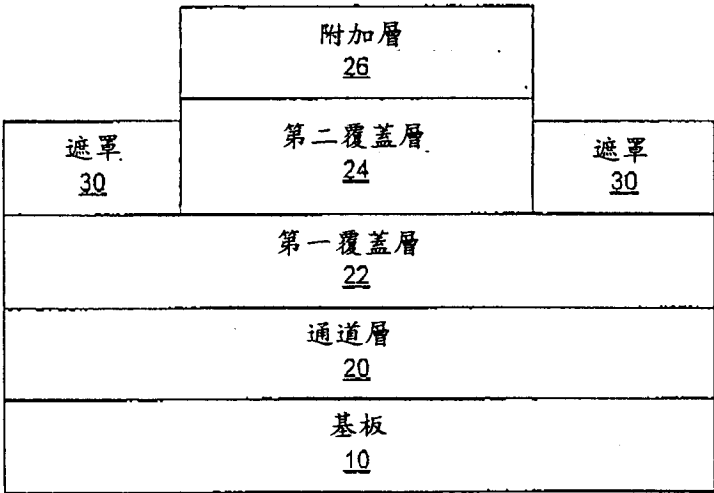


圖 1D

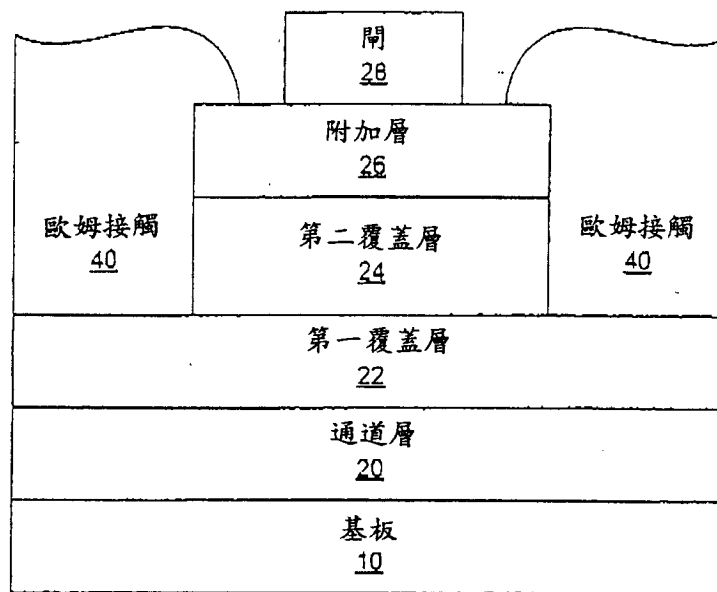


圖 1E

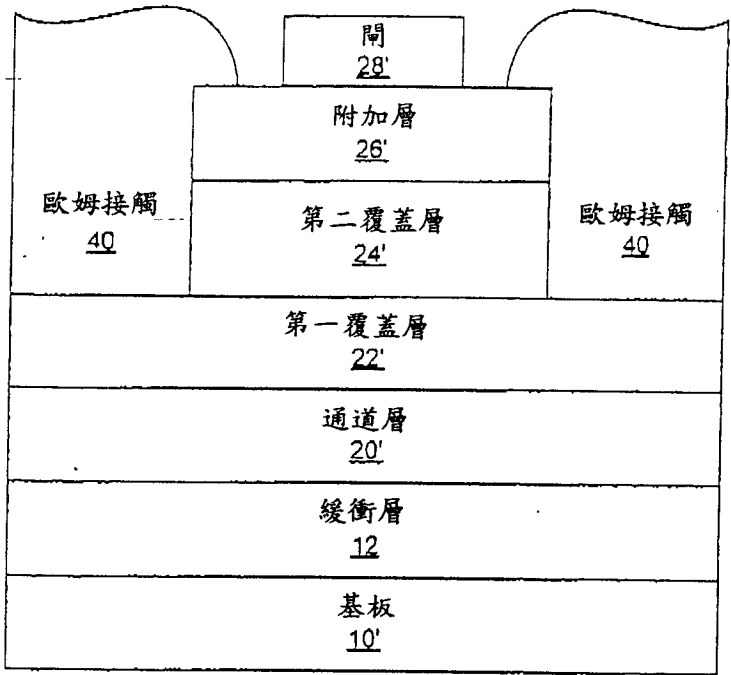


圖 2

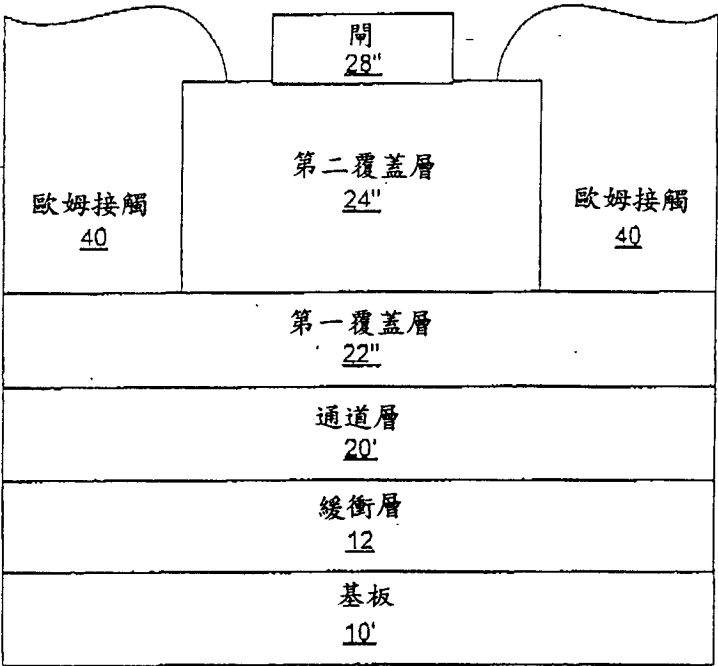


圖 3

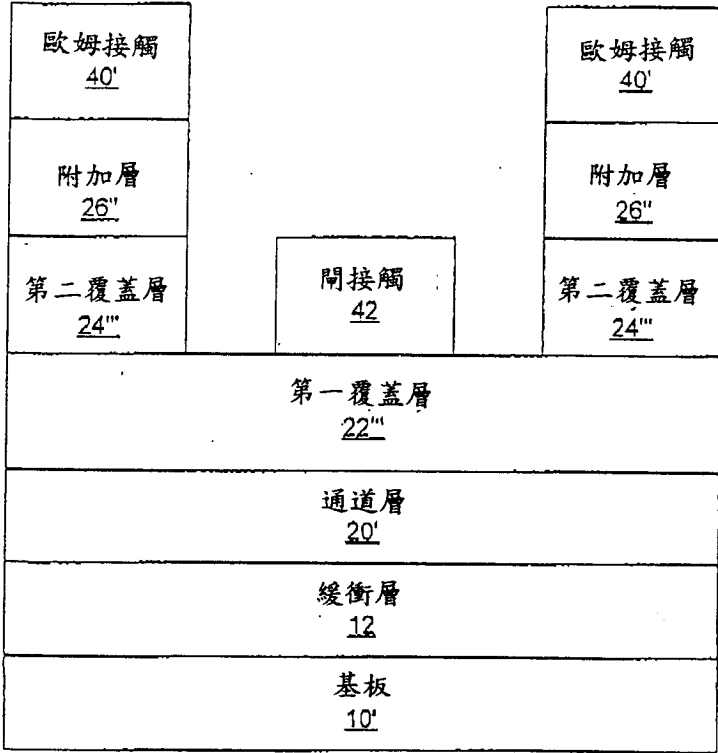


圖 4

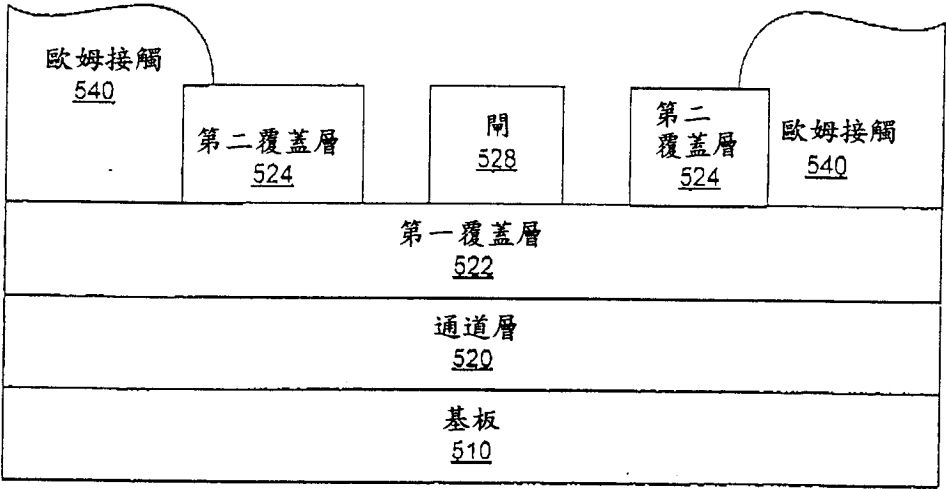


圖 5

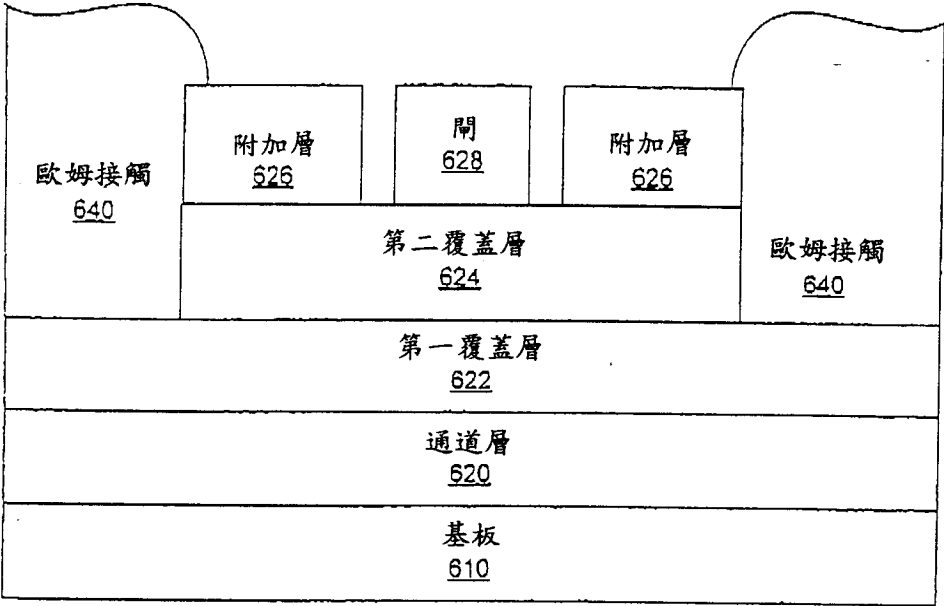


圖 6

柒、指定代表圖：

(一)本案指定代表圖為：第（ 1E ）圖。

(二)本代表圖之元件代表符號簡單說明：

10	基板
20	通道層
22	第一覆蓋層
24	第二覆蓋層
26	附加層
28	閘
40	歐姆接觸

捌、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

拾、申請專利範圍：

1. 一種製造電晶體之方法，該方法包含：

在一基板上形成一基於氮化物之通道層；

在該基於氮化物之通道層上形成一基於氮化物之半導體第一覆蓋層；

形成一遮罩，覆蓋該第一覆蓋層一第一部份且曝露該第一覆蓋層鄰接一第二部份；

使用該遮罩在該第一覆蓋層曝露之該第二部份上形成一基於氮化物之半導體第二覆蓋層；

在鄰接該第二覆蓋層之該第一覆蓋層的該第一部份上形成一凹處；

在該凹處內形成一歐姆接觸或一閘接觸中之一；及

在該基板上形成一對應之閘接觸或歐姆接觸。

2. 如申請專利範圍第1項之方法，其中形成一對應之閘接觸或歐姆接觸包含在該第二覆蓋層上形成該對應之閘接觸或歐姆接觸。

3. 如申請專利範圍第1項之方法，

其中該遮罩包含一導電材料；

其中形成一凹處包含形成一曝露該遮罩之凹處；及

其中形成一歐姆接觸或一閘接觸中之一包含在該凹處內該遮罩上形成一歐姆接觸或一閘接觸中之一。

4. 如申請專利範圍第1項之方法，

其中該遮罩包含一絕緣材料；

其中形成一凹處包含形成一曝露該遮罩之凹處；及

其中形成一歐姆接觸或一閘接觸中之一包含在該曝露之遮罩上形成一閘接觸。

5. 如申請專利範圍第1項之方法，

其中形成一凹處包含移除該遮罩以曝露該第一覆蓋層之該第一部份，且形成一鄰接該第二覆蓋層之凹處；及

其中形成一歐姆接觸或一閘接觸中之一包含在該第一覆蓋層之該曝露部位形成一歐姆接觸或一閘接觸中之一。

6. 如申請專利範圍第1項之方法，

其中形成一遮罩包含形成一遮罩以覆蓋該第一覆蓋層間隔之第一部份且曝露其間之該第一覆蓋層之一第二部份；

其中形成一凹處包含移除該遮罩以曝露該第一覆蓋層之該等第一部份，且形成鄰接該第二覆蓋層之第一與第二凹處；

其中形成一歐姆接觸或一閘接觸中之一包含在該第一凹處內形成一歐姆接觸；及

其中形成一對應之閘接觸或歐姆接觸包含在該第二凹處內形成一閘接觸。

7. 如申請專利範圍第1項之方法，

其中形成一基於氮化物之通道層包含形成一第III族氮化物層；

其中形成一基於氮化物之半導體第一覆蓋層包含形成一第III族氮化物層；及

其中形成一基於氮化物之半導體第二覆蓋層包含成長一第III族氮化物層。

8. 如申請專利範圍第7項之方法，其中該通道層具有之組成為 $\text{Al}_x\text{Ga}_{1-x}\text{N}$ (其中 $0 \leq x < 1$)，且其中該通道層之該帶隙係少於該第一覆蓋層之該帶隙。
9. 如申請專利範圍第7項之方法，其中該通道層包含鎵氮化物、銦鎵氮化物及/或鋁銦鎵氮化物。
10. 如申請專利範圍第7項之方法，其中該通道包含厚度大於約20埃(Å)之一未摻雜層。
11. 如申請專利範圍第7項之方法，其中該通道層包含第III族氮化物層之一超晶格及/或一組合。
12. 如申請專利範圍第7項之方法，
其中該通道層包含鋁鎵氮化物(AlGaN)、鎵氮化物(GaN)、銦鎵氮化物(InGaN)及/或鋁銦鎵氮化物(AlInGaN)；
其中該第一覆蓋層包含鋁氮化物(AlN)、鋁銦氮化物(AlInN)、鋁鎵氮化物、鎵氮化物、銦鎵氮化物及/或鋁銦鎵氮化物；及
其中該第二覆蓋層包含鋁氮化物(AlN)、鋁銦氮化物、鋁鎵氮化物、鎵氮化物、銦鎵氮化物及/或鋁銦鎵氮化物。
13. 如申請專利範圍第7項之方法，其中該第一覆蓋層包含鋁氮化物、鋁銦氮化物、鋁鎵氮化物及/或鋁銦鎵氮化物，且具有1奈米至約10奈米之厚度。
14. 如申請專利範圍第7項之方法，其中該第一覆蓋層係未摻雜或以n型摻雜物摻雜達少於每立方公分約 10^{19} 之濃度。

15. 如申請專利範圍第7項之方法，該第一覆蓋層包含 $\text{Al}_x\text{Ga}_{1-x}\text{N}$ ，其中 $0 < x < 1$ 。
16. 如申請專利範圍第15項之方法，其中該第一覆蓋層具有厚度約3奈米至約15奈米。
17. 如申請專利範圍第7項之方法，其中該第一覆蓋層包含具有介於約百分之5與約百分之100間之鋁濃度的一鋁鎳氮化物。
18. 如申請專利範圍第17項之方法，其中該第一覆蓋層具有之鋁濃度大於約百分之10。
19. 如申請專利範圍第7項之方法，其中該第一覆蓋層包含具有約0.3奈米至約4奈米厚度的一鋁氮化物層。
20. 如申請專利範圍第7項之方法，其中該通道層具有比該第一覆蓋層低之帶隙。
21. 如申請專利範圍第1項之方法，其中形成一遮罩包含使用一剝離技藝或一濕式蝕刻技藝中之一圖案化一遮罩。
22. 如申請專利範圍第1項之方法，其中形成一遮罩包含從一矽氧化物(矽氧化物)、一矽氮化物(矽氮化物)或一基於鋁氮化物之材料形成該遮罩。
23. 如申請專利範圍第1項之方法，其中該第二覆蓋層包含與該第一覆蓋層相同之材料。
24. 如申請專利範圍第23項之方法，其中該第一與第二覆蓋層包含鋁鎳氮化物，且其中該第一覆蓋層具有比該第二覆蓋層較高之鋁濃度。
25. 如申請專利範圍第24項之方法，其中該第一與第二覆蓋

層之組合厚度係約25奈米。

26. 如申請專利範圍第1項之方法，其中該第二覆蓋層具有之方位使得該第二覆蓋層末端邊緣不與該結晶之較佳裂隙方向正交。
27. 如申請專利範圍第1項之方法，其中該第二覆蓋層具有之鋁濃度會低於使得一實質之第二電子通道形成於該第一覆蓋層與該第二覆蓋層間之再成長介面處的一位準。
28. 如申請專利範圍第1項之方法，進一步包含在該第二覆蓋層上形成一附加層。
29. 如申請專利範圍第28項之方法，其中該附加層包含一鎵氮化物覆蓋層、一絕緣層與一組成漸變轉移層中之一。
30. 如申請專利範圍第1項之方法，其中該第一與第二覆蓋層各包含多數層。
31. 如申請專利範圍第1項之方法，其中該第一與第二覆蓋層中至少之一包含一基於氮化物之阻障層。
32. 如申請專利範圍第1項之方法，進一步包含在該凹處內形成該接觸前以一n型摻雜物植入該第一覆蓋層的一歐姆接觸區域。
33. 如申請專利範圍第32項之方法，其中植入一歐姆接觸區域包含在該第二覆蓋層之成長前植入該歐姆接觸區域。
34. 如申請專利範圍第1項之方法，其中形成一基於氮化物之通道層係藉由先在該基板上形成一緩衝層，且其中形成一基於氮化物通道層包含在該緩衝層上形成該基於氮化物之通道層。

35. 如申請專利範圍第1項之方法，

其中形成一基於氮化物之通道層係藉由先在一基板上形成一緩衝層；

其中形成一基於氮化物通道層包含在該緩衝層上形成一第III族氮化物通道層；

其中形成一基於氮化物之半導體第一覆蓋層包含在該通道層上形成一第III族氮化物第一覆蓋層，該第一覆蓋層具有比該通道層大之帶隙；

其中形成一遮罩包含形成一遮罩以覆蓋該第一覆蓋層間隔之第一部份，且曝露該等第一部份間之該第一覆蓋層之一第二鄰接部位；

其中成長一基於氮化物之半導體第二覆蓋層包含在該第一覆蓋層曝露之該第二部份上成長一第III族氮化物第二覆蓋層；

其中該方法進一步包含在該第二覆蓋層上形成一第三半導體層；

其中形成一凹處包含移除該遮罩以形成曝露該第一覆蓋層之該第一部份之凹處；

其中形成一歐姆接觸或一閘接觸中之一包含在該凹處內形成各自的歐姆接觸；及

其中形成一對應之閘接觸或歐姆接觸包含在該第三半導體層上形成一閘接觸。

36. 如申請專利範圍第35項之方法，

其中該基板包含一具有約400微米厚度之高純度半絕

緣(HPSI) 4H矽碳化物(SiC)基板；

其中該緩衝層包含一具有約0.2微米厚度之本質或未摻雜鋁氮化物層；

其中該通道層包含一具有約2微米厚度之未摻雜鋁氮化物層；

其中該第一覆蓋層包含一具有約百分之25鋁濃度與約5奈米厚度之未摻雜鋁氮化物層；

其中該第二覆蓋層包含一具有約百分之20鋁濃度、約每平方公分 2×10^{12} 摻雜物濃度與約10奈米厚度之n型摻雜鋁氮化物層；及

其中該第三半導體層包含一具有約百分之20鋁濃度與約10奈米厚度之未摻雜鋁氮化物層。

37. 如申請專利範圍第35項之方法，

其中該基板包含一具有約400微米厚度的高純度半絕緣(HPSI) 4H矽碳化物(SiC)基板；

其中該緩衝層包含一具有約0.2微米厚度之本質或未摻雜鋁氮化物層；

其中該通道層包含一具有約2微米厚度之未摻雜鋁氮化物層；

其中該第一覆蓋層包含一具有約1奈米厚度之未摻雜鋁氮化物層；

其中該第二覆蓋層包含一具有之鋁濃度約百分之20與厚度約20奈米之未摻雜鋁氮化物層。

38. 如申請專利範圍第1項之方法，

其中形成一基於氮化物之通道層係藉由先在一基板上形成一緩衝層；

其中形成一基於氮化物通道層包含在該緩衝層上形成一第III族氮化物通道層；

其中形成一基於氮化物之半導體第一覆蓋層包含在該通道層上形成一第III族氮化物第一覆蓋層，該第一覆蓋層具有比該通道層大之帶隙；

其中形成一遮罩包含形成一遮罩以覆蓋該第一覆蓋層間隔之第一部份，且曝露與該第一部份相對側之該第一覆蓋層的第二部份；

其中成長一基於氮化物之半導體第二覆蓋層包含在該第一覆蓋層之該等曝露的各個第二部份上成長一第III族氮化物第二覆蓋層；

其中該方法進一步包含在該等各個第二覆蓋層上分別形成一第三半導體層；

其中形成一凹處包含移除該遮罩以曝露該第一覆蓋層之該等第一部份；

其中形成一歐姆接觸或一閘接觸中之一包含在該第一覆蓋層之該曝露部位上形成一閘接觸；及

其中形成一對應之閘接觸或歐姆接觸包含在該等第三半導體層上形成各自的歐姆接觸。

39. 如申請專利範圍第38項之方法，

其中該基板包含一具有約400微米厚度之高純度半絕緣(HPSI) 4H矽碳化物基板；

其中該緩衝層包含一具有約0.2微米厚度之本質或未摻雜鋁氮化物層；

其中該通道層包含一具有約2微米厚度之未摻雜鎵氮化物層；

其中該第一覆蓋層包含一具有約25奈米厚度與鋁濃度約百分之25之未摻雜鋁鎵氮化物層；

其中該第二覆蓋層包含一具有約5奈米厚度且鋁濃度約百分之20之未摻雜鋁鎵氮化物層；及

其中該第三半導體層包含一具有約10奈米厚度且鋁濃度約百分之20之摻雜鋁鎵氮化物層。

40. 如申請專利範圍第1項之方法，其中形成一基於氮化物之半導體第二覆蓋層包含在該第一覆蓋層之該曝露部位上成長該第二覆蓋層。

41. 如申請專利範圍第1項之方法，其中該通道層與該第一與第二覆蓋層係配置以提供一高電子移動率電晶體(HEMT)。

42. 一種製造用於基於氮化物微電子裝置之接觸的方法，該方法包含：

在一基板上形成一基於氮化物之半導體第一層；

形成一覆蓋該第一層之一第一部份且曝露鄰接該第一層之第二部份的遮罩；

使用該遮罩在該第一層曝露之該第二部份上形成一基於氮化物之半導體第二層；

在鄰接該第二層之該第一覆蓋層的該第一部份上形成一凹處；及

91年9月19日修正替換頁
在該凹處內形成一接觸。

43. 如申請專利範圍第42項之方法，

其中該遮罩包含一導電材料；

其中形成一凹處包含形成一曝露該遮罩之凹處；及

其中形成一接觸包含在該凹處內該遮罩上形成一接觸。

44. 如申請專利範圍第1項之方法，

其中形成一凹處包含移除該遮罩以曝露該第一層之該第一部份，且形成一鄰接該第二層之凹處；及

其中形成一接觸包含在該第一層之該曝露部位形成一接觸。

45. 如申請專利範圍第42項之方法，

其中形成一基於氮化物之半導體第一層包含形成一第III族氮化物層；及

其中形成一基於氮化物之半導體第二層包含成長一第III族氮化物層。

46. 如申請專利範圍第42項之方法，其中形成一基於氮化物之半導體第二層包含在該第一層該曝露之第一部份成長該第二層。

47. 一種電晶體，包括：

一在一基板上之基於氮化物通道層；

一在該基於氮化物通道層上之基於氮化物之半導體第一覆蓋層；

一在該第一覆蓋層上之基於氮化物之半導體第二覆蓋

層；

直接置於該第一覆蓋層上之一歐姆接觸，鄰接該第二覆蓋層之一側壁；及

在該通道層上一對應之閘接觸。

48. 如申請專利範圍第47項之電晶體，其中該對應之閘接觸係在該第二覆蓋層上。

49. 如申請專利範圍第47項之電晶體，

其中該對應之閘接觸置於該第一覆蓋層上。

50. 如申請專利範圍第47項之電晶體，

其中該基於氮化物通道層包含一第III族氮化物層；

其中該基於氮化物之半導體第一覆蓋層包含一第III族氮化物層；及

其中該基於氮化物之半導體第二覆蓋層包含一成長第III族氮化物層。

51. 如申請專利範圍第50項之電晶體，其中該通道層具有一 $\text{Al}_x\text{Ga}_{1-x}\text{N}$ 之組成，其中 $0 \leq x < 1$ ，且其中該通道層之該帶隙係少於該第一覆蓋層之該帶隙。

52. 如申請專利範圍第49項之電晶體，其中該通道層包含銻氮化物、銦銻氮化物及/或鋁銦銻氮化物。

53. 如申請專利範圍第50項之電晶體，其中該通道層包含厚度大於約20埃之一未摻雜層。

54. 如申請專利範圍第50項之電晶體，其中該通道層包含第III族氮化物層之一超晶格及/或一組合。

55. 如申請專利範圍第50項之電晶體，

97年9月19日修正替換頁

其中該通道層包含鋁鎵氮化物(AlGaN)、鎵氮化物(GaN)

、銦鎵氮化物(InGaN)及/或鋁銦鎵氮化物(AlInGaN)；

其中該第一覆蓋層包含鋁氮化物(AlN)、鋁銦氮化物、鋁鎵氮化物、鎵氮化物、銦鎵氮化物及/或鋁銦鎵氮化物；及

其中該第二覆蓋層包含鋁氮化物(AlN)、鋁銦氮化物、鋁鎵氮化物、鎵氮化物、銦鎵氮化物及/或鋁銦鎵氮化物。

56. 如申請專利範圍第50項之電晶體，其中該第一覆蓋層包含鋁氮化物、鋁銦氮化物、鋁鎵氮化物及/或鋁銦鎵氮化物，且具有1奈米至約10奈米之厚度。
57. 如申請專利範圍第50項之電晶體，其中該第一覆蓋層係未摻雜或以n型摻雜物摻雜到少於每立方公分約 10^{19} 之濃度。
58. 如申請專利範圍第50項之電晶體，該第一覆蓋層包含 $\text{Al}_x\text{Ga}_{1-x}\text{N}$ ，其中 $0 < x < 1$ 。
59. 如申請專利範圍第58項之電晶體，其中該第一覆蓋層具有約3奈米至約15奈米之厚度。
60. 如申請專利範圍第50項之電晶體，其中該第一覆蓋層包含具有鋁濃度介於約百分之5與約百分之100的鋁鎵氮化物。
61. 如申請專利範圍第60項之電晶體，其中該第一覆蓋層具有大於約百分之10之鋁濃度。
62. 如申請專利範圍第50項之電晶體，其中該第一覆蓋層包含一具有約0.3奈米至約4奈米厚度之鋁氮化物層。
63. 如申請專利範圍第50項之電晶體，其中該通道層具有比

91年9月19日修正替換頁

該第一覆蓋層低之帶隙。

64. 如申請專利範圍第47項之電晶體，其中該第二覆蓋層包含與該第一覆蓋層相同之材料。
65. 如申請專利範圍第64項之電晶體，其中該第一與第二覆蓋層包含鋁鎵氮化物，且其中該第一覆蓋層具有比該第二覆蓋層高之鋁濃度。
66. 如申請專利範圍第65項之電晶體，其中該第一與第二覆蓋層之組合厚度係約25奈米。
67. 如申請專利範圍第47項之電晶體，其中該第二覆蓋層具有之方位使得該第二覆蓋層之末端邊緣不與該結晶之較佳裂隙方向正交。
68. 如申請專利範圍第47項之電晶體，其中該第二覆蓋層具有之鋁濃度會低於一使得一實質之第二電子通道會形成於該第一覆蓋層與該第二覆蓋層間再成長介面處的位準。
69. 如申請專利範圍第47項之電晶體，進一步包含在該第二覆蓋層上形成一附加層。
70. 如申請專利範圍第69項之電晶體，其中該附加層包含一鎵氮化物覆蓋層、一絕緣層與一組成漸變轉移層中至少之一。
71. 如申請專利範圍第47項之電晶體，其中該第一與第二覆蓋層各包含多數層。
72. 如申請專利範圍第47項之電晶體，其中該第一與第二覆蓋層中至少之一包含一基於氮化物之阻障層。

73. 如申請專利範圍第47項之電晶體，進一步包含在該基板上之一緩衝層，且其中該基於氮化物之通道層係置於該緩衝層上。

74. 如申請專利範圍第47項之電晶體，

其中該基於氮化物通道層包含在一緩衝層上之一第III族氮化物通道層；

其中該基於氮化物之半導體第一覆蓋層包含在該通道層上之一第III族氮化物第一覆蓋層，該第一覆蓋層具有比該通道層大之帶隙；

其中該基於氮化物之半導體第二覆蓋層包含在該第一覆蓋層該曝露之第二部份上之一第III族氮化物第二覆蓋層；

其中該電晶體進一步包含一在該第二覆蓋層上之第三半導體層；

其中該歐姆接觸中包含鄰接該第二覆蓋層相對側壁之個別歐姆接觸；及

其中形成一對應之閘接觸包含在該第三半導體層形成一閘接觸。

75. 如申請專利範圍第74項之電晶體，其進一步包含：

一具有約400微米厚度之高純度半絕緣(HPSI) 4H矽碳化物(SiC)基板；

其中該緩衝層位於該基板上且包含一具有約0.2微米厚度之本質或未摻雜鋁氮化物層；

其中該通道層包含一具有約2微米厚度之未摻雜鎵氮

化物層；

其中該第一覆蓋層包含一具有約百分之25鋁濃度與約5奈米厚度之未摻雜鋁鎵氮化物層；

其中該第二覆蓋層包含一具有約百分之20鋁濃度、約每平方公分 2×10^{12} 摻雜物濃度與約10奈米厚度之n型摻雜鋁鎵氮化物層；及

其中該第三半導體層包含一具有約百分之20鋁濃度與約10奈米厚度之未摻雜鋁鎵氮化物層。

76. 如申請專利範圍第74項之電晶體，其進一步包含：

一具有約400微米厚度的高純度半絕緣(HPSI) 4H矽碳化物基板；

其中該緩衝層位於該基板上且包含一具有約0.2微米厚度之本質或未摻雜鋁氮化物層；

其中該通道層包含一具有約2微米厚度之未摻雜鎵氮化物層；

其中該第一覆蓋層包含一具有約1奈米厚度之未摻雜鋁氮化物層；

其中該第二覆蓋層包含一具有約百分之20鋁濃度與約20奈米厚度之未摻雜鋁鎵氮化物層。

77. 如申請專利範圍第47項之電晶體，其中該通道層與該第一與第二覆蓋層係配置以提供一HEMT。

78. 如申請專利範圍第47項之電晶體，其進一步包含一基板，且其中該基於氮化物通道層係置於該基板上。

79. 如申請專利範圍第47項之電晶體，其中該歐姆接觸直接

置於該第二覆蓋層之一側壁的至少一部份。