

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第7554494号
(P7554494)

(45)発行日 令和6年9月20日(2024.9.20)

(24)登録日 令和6年9月11日(2024.9.11)

(51)国際特許分類		F I	
G 0 1 S	7/4863(2020.01)	G 0 1 S	7/4863
G 0 1 S	17/894(2020.01)	G 0 1 S	17/894
G 0 1 C	3/06 (2006.01)	G 0 1 C	3/06 1 2 0 Q
H 0 4 N	7/18 (2006.01)	G 0 1 C	3/06 1 4 0
H 0 4 N	25/76 (2023.01)	H 0 4 N	7/18 C
		請求項の数 10 (全74頁) 最終頁に続く	
(21)出願番号	特願2022-510481(P2022-510481)	(73)特許権者	304023318 国立大学法人静岡大学 静岡県静岡市駿河区大谷 8 3 6
(86)(22)出願日	令和3年3月22日(2021.3.22)	(74)代理人	100088155 弁理士 長谷川 芳樹
(86)国際出願番号	PCT/JP2021/011713	(74)代理人	100124800 弁理士 諏澤 勇司
(87)国際公開番号	WO2021/193532	(74)代理人	100170818 弁理士 小松 秀輝
(87)国際公開日	令和3年9月30日(2021.9.30)	(72)発明者	川人 祥二 静岡県浜松市中区城北3丁目5-1 国立大学法人静岡大学内
審査請求日	令和6年2月13日(2024.2.13)	審査官	九鬼 一慶
(31)優先権主張番号	特願2020-50759(P2020-50759)		
(32)優先日	令和2年3月23日(2020.3.23)		
(33)優先権主張国・地域又は機関	日本国(JP)		
		最終頁に続く	

(54)【発明の名称】 距離画像取得装置

(57)【特許請求の範囲】
【請求項1】

パルス光を発生させる光源と、
前記パルス光を、周期的なフレーム期間内で繰り返し発生させるように前記光源を制御する光源制御部と、
N行M列（N及びMは2以上の整数）に配置され、受けた光に対応する電荷を生成する複数の画素回路部を含む画素アレイと、
前記画素アレイの周辺に配置されて、前記画素アレイの動作を制御する制御信号を前記画素アレイに提供する周辺回路と、を備え、
前記画素回路部は、
光を電荷に変換する光電変換領域、前記光電変換領域に近接して互いに離間して設けられると共に前記光電変換領域が発生した前記電荷を蓄積するキャパシタンス成分を有する第1～第X（Xは2以上の整数）の電荷読出領域、前記光電変換領域に近接して設けられると共に前記光電変換領域で発生した前記電荷を前記電荷読出領域を経由することなく排出するための電荷排出領域、前記光電変換領域と前記第1～第Xの電荷読出領域とに対応してそれぞれ設けられ、前記光電変換領域と前記第1～第Xの電荷読出領域との間における電荷転送のための転送制御パルスを印加するための第1～第Xの制御電極、及び前記光電変換領域から前記電荷排出領域への直接の電荷転送のための前記転送制御パルスを印加するための第X+1の制御電極を有し、
前記光源制御部は、前記画素アレイにおける有感領域に前記パルス光に基づく戻り光が

入射するように前記パルス光を発生させる動作を、前記有感領域を移動させながら繰り返し行い、

前記周辺回路は、転送制御パルスが印加されるように、前記制御信号を前記画素アレイに提供し、

前記転送制御パルスは、前記有感領域を構成する前記画素回路部において前記光電変換領域で発生した電荷を前記電荷読出領域に移動させると共に、前記有感領域に含まれない不感領域を構成する前記画素回路部において前記光電変換領域で発生した電荷を前記電荷排出領域に移動させる、距離画像取得装置。

【請求項 2】

前記光源制御部は、

第 j 行目 (j は 1 以上 N 以下の整数) に含まれるすべての前記画素回路部の前記有感領域を露光するように、前記光源から前記パルス光を出射させる動作を行い、

前記周辺回路は、

第 j 行目に含まれるすべての前記画素回路部の前記第 1 ～第 X の制御電極に対して、前記光電変換領域から前記電荷読出領域への前記電荷の移動を許可する前記転送制御パルスが印加されるように、前記制御信号を前記画素アレイに提供する動作と、

前記不感領域に含まれるすべての前記画素回路部の前記第 $X + 1$ の制御電極に対して、前記光電変換領域から前記電荷排出領域への前記電荷の移動を許可する前記転送制御パルスが印加されるように、前記制御信号を前記画素アレイに提供する動作と、を行う、請求項 1 に記載の距離画像取得装置。

【請求項 3】

前記光源制御部は、

第 j 行目 (j は 1 以上 N 以下の整数) に含まれる一部の前記画素回路部の前記有感領域を露光するように、前記光源から前記パルス光を出射させる動作を行い、

前記周辺回路は、

第 j 行目に含まれる前記画素回路部の一部に含まれる前記第 1 ～第 X の制御電極に対して、前記光電変換領域から前記電荷読出領域への前記電荷の移動を許可する前記転送制御パルスが印加されるように、前記制御信号を前記画素アレイに提供する動作と、

前記不感領域に含まれる前記画素回路部の前記第 $X + 1$ の制御電極のすべてに対して、前記光電変換領域から前記電荷排出領域への前記電荷の移動を許可する前記転送制御パルスが印加されるように、前記制御信号を前記画素アレイに提供する動作と、を行う、請求項 1 に記載の距離画像取得装置。

【請求項 4】

前記周辺回路及び前記光源制御部は、複数の前記有感領域に対する露光動作を複数回行った後に、前記電荷読出領域に蓄積された前記電荷に基づく電圧を出力させる読出動作を行う、請求項 1 ～ 3 の何れか一項に記載の距離画像取得装置。

【請求項 5】

前記周辺回路及び前記光源制御部は、選択された前記有感領域に対する露光動作と、選択された前記有感領域を構成する前記画素回路部に対して前記電荷読出領域に蓄積された前記電荷に基づく電圧を出力させる読出動作と、を選択する前記有感領域を変更しながら繰り返し行う、請求項 1 ～ 3 の何れか一項に記載の距離画像取得装置。

【請求項 6】

前記周辺回路及び前記光源制御部は、前記有感領域に対する露光動作と、前記電荷読出領域に蓄積された前記電荷に基づく電圧を出力させる読出動作と、を並行して行う、請求項 1 ～ 3 の何れか一項に記載の距離画像取得装置。

【請求項 7】

前記露光動作では、前記光源制御部が前記有感領域に対して前記パルス光を 1 回だけ発生させる、請求項 4 ～ 6 のいずれか一項に記載の距離画像取得装置。

【請求項 8】

前記露光動作では、前記光源制御部が前記有感領域に対して前記パルス光を複数回発生

10

20

30

40

50

させる、請求項 4 ～ 6 のいずれか一項に記載の距離画像取得装置。

【請求項 9】

前記画素回路部は、
入射パルス光を電荷に変換する機能を有する光電変換領域と、
前記光電変換領域から前記電荷を受けて、前記電荷に基づく電圧を出力する読出回路と、
を有し、
前記画素回路部は、複数の n 型 MOS トランジスタを含んで構成され、
前記画素回路部は、p 型 MOS トランジスタは含まない、請求項 1 ～ 8 の何れか一項に記載の距離画像取得装置。

【請求項 10】

前記光源制御部は、
画素アレイを複数の領域に分割した分割画素アレイ領域において、
第 j 行目（j は 1 以上 N/R 以下の整数（R は行方向のアレイ分割数））に含まれる一部の
前記画素回路部の前記有感領域を露光するように、前記光源から前記パルス光を出射
させる動作を行い、
前記光源は、全ての前記分割画素アレイ領域に含まれる前記有感領域を同時に露光する
ように照射が分割され、
前記周辺回路は、
全ての前記分割画素アレイ領域の第 j 行目に含まれる前記画素回路部の一部に含まれる
前記第 1 ～ 第 X の制御電極に対して、前記光電変換領域から前記電荷読出領域への前記電
荷の移動を許可する前記転送制御パルスが印加されるように、前記制御信号を前記画素ア
レイに提供する動作と、
全ての前記分割画素アレイ領域の前記不感領域に含まれる前記画素回路部の前記第 X +
1 の制御電極のすべてに対して、前記光電変換領域から前記電荷排出領域への前記電荷の
移動を許可する前記転送制御パルスが印加されるように、前記制御信号を前記画素アレイ
に提供する動作と、を行う、請求項 3 に記載の距離画像取得装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、画素ごとに距離情報を含む距離画像を取得する距離画像取得装置に関する。

【背景技術】

【0002】

従来から、光の飛行時間を用いて距離情報を含む画像信号を生成するセンサ装置が用い
られている。光の飛行時間を利用して距離情報を得る方式は、いわゆる T O F（Time Of
Flight）方式と呼ばれている。特許文献 1 には、T O F 法に基づくセンサ装置が開示され
ている。このセンサ装置は、電荷振り分け方式と称される方式を採用する。電荷振り分け
方式は、光の入射に応じて発生した電荷をゲートのオン／オフによって 2 つの電荷蓄積部
に振り分ける。そして、それぞれの電荷蓄積部に蓄積された電荷の比率に基づいて、対象
物までの距離を得る。

【先行技術文献】

【特許文献】

【0003】

【文献】特開 2002-39716 号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

距離画像取得装置は、露光動作と、読出動作と、を繰り返す。露光動作は、対象物に光
を照射すると共に対象物からの戻り光に起因する電荷を蓄積する。読出動作は、蓄積され
た電荷に対応する電圧を読み出す。ここで、露光動作から次の露光動作までの時間間隔が
長くなると、露光動作によって得られる測定対象物の状態と、測定対象物の実際の状態と

の間にずれが生じる。測定対象物の状態とは、測定対象物までの距離である。特に、測定対象物が高速移動するときに、このずれが顕著になる。

【0005】

そこで、本発明は、測定対象物の状態を良好に計測可能な距離画像取得装置を提供する。

【課題を解決するための手段】

【0006】

本発明の一形態である距離画像取得装置は、パルス光を発生させる光源と、パルス光を、周期的なフレーム期間内で繰り返し発生させるように光源を制御する光源制御部と、N行M列（N及びMは2以上の整数）に配置され、受けた光に対応する電荷を生成する複数の画素回路部を含む画素アレイと、画素アレイの周辺に配置されて、画素アレイの動作を制御する制御信号を画素アレイに提供する周辺回路と、を備える。画素回路部は、光を電荷に変換する光電変換領域、光電変換領域に近接して互いに離間して設けられた第1～第X（Xは2以上の整数）の電荷読出領域、光電変換領域で発生した電荷を排出するための電荷排出領域、光電変換領域と第1～第Xの電荷読出領域とに対応してそれぞれ設けられ、光電変換領域と第1～第Xの電荷読出領域との間における電荷転送のための転送制御パルスを印加するための第1～第Xの制御電極、及び光電変換領域と電荷排出領域との間における電荷転送のための転送制御パルスを印加するための第X+1の制御電極を有し、光源制御部は、画素アレイにおける有感領域にパルス光に基づく戻り光が入射するようにパルス光を発生させる動作を、有感領域を移動させながら繰り返し行い、周辺回路は、有感領域に含まれない不感領域を構成する画素回路部の第X+1の制御電極に対して、光電変換領域から電荷排出領域への電荷の移動を許可する転送制御パルスが印加されるように、制御信号を画素アレイに提供する。

【0007】

この距離画像取得装置は、光源制御部が有感領域に戻り光が入射するようにパルス光を発生させたとき、不感領域には光電変換領域で発生した電荷を電荷排出領域に移動させる転送制御パルスを提供する。この動作によれば、戻り光が入射しない不感領域において、ノイズとなり得る電荷の蓄積が抑制される。その結果、不感領域が有感領域に切り替わる時、戻り光に基づく電荷の蓄積の準備が整った状態が形成されている。つまり、不感領域から有感領域に素早く切り替えることができる。従って、パルス光を照射すると共に当該パルス光に起因する戻り光を受光する動作を、有感領域を移動させながら高速に繰り返すことが可能になる。照射動作及び受光動作の高速化及び繰り返しは、換言すると、いわゆる距離測定におけるフレーム期間内の光電荷の時間的オーバーサンプリング及び積算と同義である。従って、オーバーサンプリング及び積算によるローパスフィルタ効果によって、測定対象物が高速移動する場合であってもエリアシングの影響を受けることなく、良好な計測結果を得ることができる。

【0008】

一形態の距離画像取得装置において、光源制御部は、第j行目（jは1以上N以下の整数）に含まれるすべての画素回路部の有感領域を露光するように、光源からパルス光を出射させる動作を行い、周辺回路は、第j行目に含まれるすべての画素回路部の第1～第Xの制御電極に対して、光電変換領域から電荷読出領域への電荷の移動を許可する転送制御パルスが印加されるように、制御信号を画素アレイに提供する動作と、不感領域に含まれるすべての画素回路部の第X+1の制御電極に対して、光電変換領域から電荷排出領域への電荷の移動を許可する転送制御パルスが印加されるように、制御信号を画素アレイに提供する動作と、を行ってもよい。この動作によれば、第j行目に含まれる画素回路部を一括して、光電変換領域から電荷読出領域への電荷の移動を許可する状態に設定することが可能になる。さらに、第j行目に含まれない画素回路部を一括して、光電変換領域から電荷排出領域への電荷の移動を許可する状態に設定することができる。

【0009】

一形態の距離画像取得装置において、光源制御部は、第j行目（jは1以上N以下の整数）に含まれる一部の画素回路部の有感領域を露光するように、光源からパルス光を出射

10

20

30

40

50

させる動作を行い、周辺回路は、第 j 行目に含まれる画素回路部の一部に含まれる第 1 ～ 第 X の制御電極に対して、光電変換領域から電荷読出領域への電荷の移動を許可する転送制御パルスが印加されるように、制御信号を画素アレイに提供する動作と、不感領域に含まれる画素回路部の第 $X + 1$ の制御電極のすべてに対して、光電変換領域から電荷排出領域への電荷の移動を許可する転送制御パルスが印加されるように、制御信号を画素アレイに提供する動作と、を行ってもよい。この動作によれば、画素アレイに含まれる所望の領域を有感領域とすることが可能になる。従って、画素アレイにおける有感領域をより緻密に設定することができる。

【0010】

一形態の距離画像取得装置は、転送制御パルスが、有感領域を構成する画素回路部において光電変換領域で発生した電荷を電荷読出領域に移動させると共に、不感領域を構成する画素回路部において光電変換領域で発生した電荷を電荷排出領域に移動させ、周辺回路及び光源制御部は、複数の有感領域に対する露光動作を複数回行った後に、電荷読出領域に蓄積された電荷に基づく電圧を出力させる読出動作を行ってもよい。この動作によれば、画素アレイの全体において複数回の露光動作を行った後に、画素アレイの全体から信号を読み出すことができる。

10

【0011】

一形態の距離画像取得装置は、転送制御パルスが、有感領域を構成する画素回路部において光電変換領域で発生した電荷を電荷読出領域に移動させると共に、不感領域を構成する画素回路部において光電変換領域で発生した電荷を電荷排出領域に移動させ、周辺回路及び光源制御部は、選択された有感領域に対する露光動作と、選択された有感領域を構成する画素回路部に対して電荷読出領域に蓄積された電荷に基づく電圧を出力させる読出動作と、を選択する有感領域を変更しながら繰り返し行ってもよい。この動作によれば、選択された有感領域ごとに露光動作と読出動作とを交互に行うことができる。

20

【0012】

一形態の距離画像取得装置は、転送制御パルスが、有感領域を構成する画素回路部において光電変換領域で発生した電荷を電荷読出領域に移動させると共に、不感領域を構成する画素回路部において光電変換領域で発生した電荷を電荷排出領域に移動させ、周辺回路及び光源制御部は、有感領域に対する露光動作と、電荷読出領域に蓄積された電荷に基づく電圧を出力させる読出動作と、を並行して行ってもよい。この動作によれば、ある領域における露光動作と別の領域における読出動作とが並行して行われる。従って、距離画像センサの動作をさらに高速化させることができる。

30

【0013】

一形態の距離画像取得装置の露光動作では、光源制御部が有感領域に対してパルス光を 1 回だけ発生させてもよい。この動作によっても、距離画像センサの動作をさらに高速化させることができる。

【0014】

一形態の距離画像取得装置の露光動作では、光源制御部が有感領域に対してパルス光を複数回発生させてもよい。この動作によっても、距離画像センサの動作をさらに高速化させることができる。

40

【0015】

一形態の距離画像取得装置の画素回路部は、入射パルス光を電荷に変換する機能を有する光電変換領域と、光電変換領域から電荷を受けて、電荷に基づく電圧を出力する読出回路と、を有してもよい。画素回路部は、複数の n 型 MOS トランジスタを含んで構成され、画素回路部は、 p 型 MOS トランジスタは含まない。

【0016】

一形態の距離画像取得装置の光源制御部は、画素アレイを複数の領域に分割した分割画素アレイ領域において、第 j 行目 (j は 1 以上 N/R 以下の整数 (R は行方向のアレイ分割数)) に含まれる一部の画素回路部の有感領域を露光するように、光源からパルス光を出射させる動作を行ってもよい。光源は、全ての分割画素アレイ領域に含まれる有感領域

50

を同時に露光するように照射が分割されてもよい。周辺回路は、全ての分割画素アレイ領域の第 j 行目に含まれる画素回路部の一部に含まれる第 1 ～ 第 X の制御電極に対して、光電変換領域から電荷読出領域への電荷の移動を許可する転送制御パルスが印加されるように、制御信号を画素アレイに提供する動作と、全ての分割画素アレイ領域の不感領域に含まれる画素回路部の第 $X + 1$ の制御電極のすべてに対して、光電変換領域から電荷排出領域への電荷の移動を許可する転送制御パルスが印加されるように、制御信号を画素アレイに提供する動作と、を行ってもよい。

【発明の効果】

【0017】

本発明によれば、測定対象物の状態を良好に計測可能な距離画像取得装置が提供される。

10

【図面の簡単な説明】

【0018】

【図1】図1は、光源の照射領域を説明するための図である。

【図2】図2は、画素アレイと周辺回路との接続構成を示す図である。

【図3】図3は、第1実施形態にかかる距離画像センサ10の概略構成を示すブロック図である。

【図4】図4は、図1の距離画像センサ10を用いた距離計算の原理を説明するためのタイミングチャートである。

【図5】図5は、図1の距離画像センサ10の詳細構成を示すブロック図である。

【図6】図6は、図5のNOR型ドライバ回路411の詳細な回路構成を示す図である。

20

【図7】図7は、図5のNOR型ドライバ回路411、412、413、414及びNAND型ドライバ回路415と画素回路13の合成キャパシタンス C_G との接続状態を示す回路図である。

【図8】図8は、読出回路を示す回路図である。

【図9】図9は、光源の動作と画素アレイの動作とを示すタイミングチャートである。

【図10】図10は、光源の動作と画素アレイの動作とを説明するための図である。

【図11】図11は、第2実施形態にかかる距離画像センサの詳細構成を示すブロック図である。

【図12】図12は、距離画像センサ10Aにおいて生成される制御パルス G_{1p} 、 G_{1n} の反転信号の波形及びNOR型ドライバ回路411の出力信号 G_{1out} の波形を示す図である。

30

【図13】図13は、一般的なCMOSインバータ回路を用いた場合の入力制御パルス V_{IN} に対する貫通電流 I の時間波形を示す図である。

【図14】図14は、一般的なCMOSインバータ回路における入力制御パルス V_{IN} と貫通電流 I との関係を示すグラフである。

【図15】図15は、第3実施形態にかかる距離画像センサの詳細構成を示すブロック図である。

【図16】図16は、距離画像センサ10Bにより生成される転送制御パルス G_{1out} 、 G_{2out} の波形の一例を示す図である。

【図17】図17は、画素回路13の信号電荷処理領域17における各領域の配置例を示す平面図である。

40

【図18】図18は、画素回路13の信号電荷処理領域17における電位分布を示す図である。

【図19】図19は、第4実施形態にかかる距離画像センサの詳細構成を示すブロック図である。

【図20】図20は、第5実施形態にかかる距離画像センサの詳細構成を示すブロック図である。

【図21】図21は、第6実施形態にかかる距離画像センサの詳細構成を示すブロック図である。

【図22】図22は、第7実施形態の光源の照射領域を説明するための図である。

50

- 【図 23】図 23 は、第 7 実施形態の画素アレイと周辺回路との接続構成を示す図である。
- 【図 24】図 24 は、第 7 実施形態にかかる距離画像センサの詳細構成を示すブロック図である。
- 【図 25】図 25 は、第 8 実施形態にかかる距離画像センサの概略構成を示すブロック図である。
- 【図 26】図 26 は、第 8 実施形態にかかる距離画像センサの詳細構成を示すブロック図である。
- 【図 27】図 27 は、第 8 実施形態にかかる距離画像センサが有する駆動回路の詳細構成を示す回路図である。
- 【図 28】図 28 は、行スキャンパターン発生回路の詳細構成を示す回路図である。 10
- 【図 29】図 29 は、図 28 に示す行スキャンパターン発生回路に関するタイミングチャートである。
- 【図 30】図 30 は、第 8 実施形態にかかる距離画像センサが有する画素回路の詳細構成を示す図である。
- 【図 31】図 31 は、図 30 の画素回路に関する電位分布を示す図である。
- 【図 32】図 32 は、第 9 実施形態にかかる距離画像センサの詳細構成を示すブロック図である。
- 【図 33】図 33 は、第 9 実施形態の距離画像センサが有する画素切替回路の詳細構成を示す回路図である。
- 【図 34】図 34 は、第 9 実施形態にかかる距離画像センサが有する画素回路の詳細構成を示す図である。 20
- 【図 35】図 35 は、第 10 実施形態にかかる距離画像センサの詳細構成を示すブロック図である。
- 【図 36】図 36 は、第 10 実施形態にかかる距離画像センサが有する駆動回路の詳細構成を示す回路図である。
- 【図 37】図 37 は、第 10 実施形態にかかる距離画像センサが有する画素回路の詳細構成を示す図である。
- 【図 38】図 38 は、第 1 変形例としての光源の動作と画素アレイの動作とを示すタイミングチャートである。
- 【図 39】図 39 は、第 2 変形例としての光源の動作と画素アレイの動作とを示すタイミングチャートである。 30
- 【図 40】図 40 は、第 3 変形例としての光源の動作と画素アレイの動作とを示すタイミングチャートである。
- 【図 41】図 41 は、第 4 変形例としての光源の動作と画素アレイの動作とを示すタイミングチャートである。
- 【図 42】図 42 は、第 5 変形例にかかる距離画像センサが有する画素回路の詳細構成を示す図である。
- 【図 43】図 43 は、図 42 の画素回路に関する電位分布を示す図である。
- 【図 44】図 44 (a) は、第 6 変形例にかかる NOR 型ドライバ回路を示す図である。
- 図 44 (b) は、第 7 変形例にかかる NOR 型ドライバ回路を示す図である。 40
- 【図 45】図 45 (a) は、第 8 変形例にかかる NOR 型ドライバ回路を示す図である。
- 図 45 (b) は、第 9 変形例にかかる NOR 型ドライバ回路を示す図である。
- 【図 46】図 46 (a) は、第 10 変形例にかかる NAND 型ドライバ回路を示す図である。
- 図 46 (b) は、第 11 変形例にかかる NAND 型ドライバ回路を示す図である。
- 【図 47】図 47 (a) は、第 12 変形例にかかる NAND 型ドライバ回路を示す図である。
- 図 47 (b) は、第 13 変形例にかかる NAND 型ドライバ回路を示す図である。
- 【図 48】図 48 は、第 14 変形例の距離画像取得装置が備える画素回路を示す図である。
- 【図 49】図 49 は、画素回路 13₁ に入力される制御パルスを示す図である。
- 【図 50】図 50 は、第 14 変形例の距離画像取得装置が備える別の画素回路を示す図である。 50

【図 5 1】図 5 1 は、第 1 5 変形例の距離画像取得装置が備える画素回路を示す図である。

【図 5 2】図 5 2 は、第 1 5 変形例の距離画像取得装置が備える別の画素回路を示す図である。

【図 5 3】図 5 3 は、第 1 5 変形例の距離画像取得装置の動作を示すタイミングチャートである。

【図 5 4】図 5 4 (a) は、第 1 1 実施形態の第 1 の動作態様における有感ピクセル領域と不感ピクセル領域とを示す図である。図 5 4 (b) は、第 2 の動作態様における有感ピクセル領域と不感ピクセル領域とを示す図である。図 5 4 (c) は、第 3 の動作態様における有感ピクセル領域と不感ピクセル領域とを示す図である。

【図 5 5】図 5 5 は、第 1 1 実施形態の光源の動作と画素アレイの動作とを示すタイミングチャートである。

10

【図 5 6】図 5 6 は、第 1 6 変形例の画素アレイと周辺回路との接続構成を示す図である。

【発明を実施するための形態】

【0019】

以下、添付図面を参照しながら本発明を実施するための形態を詳細に説明する。図面の説明において同一の要素には同一の符号を付し、重複する説明を省略する。

【0020】

〔第 1 実施形態〕

まず、図 1 を参照して、第 1 実施形態にかかる距離画像取得装置 1 の機能及び構成の概略を説明する。距離画像取得装置 1 は、ラインスキャン光源を有し、有感／不感ピクセルスキャン機能を奏する。これらの構成要素と機能とによって、距離画像取得装置 1 は、飛行時間法に基づく距離画像を生成する。距離画像は、画素（ピクセル）毎に距離情報を含む。

20

【0021】

距離画像取得装置 1 は、光源 1 1 と、距離画像センサ 1 0 と、を有する。

【0022】

光源 1 1 は、飛行時間（TOF：Time Of Flight）方式による距離計測を行うために、対象物 S に照射するパルス光 L_p を発生させる装置である。光源 1 1 は、例えば、発光ダイオードあるいはレーザダイオード等の半導体発光素子とその半導体発光素子を駆動する駆動回路とによって構成される。光源 1 1 としては、近赤外領域、可視光領域等の波長領域の光を発生させる素子を用いることができる。

30

【0023】

光源 1 1 は、ラインスキャン光源である。光源 1 1 は、周期性を有すると共にライン（線状）または幅を有する帯状のパルス光 L_p を測定対象領域 A に投影する。パルス光 L_p は、照射領域 R の延びる方向（X 方向）と交差する方向（Y 方向）に沿って、測定対象領域 A を一次元的に走査する。

【0024】

より詳細には、光源 1 1 は、対象物 S を含む測定対象領域 A に向けてパルス光 L_p を照射する。光源 1 1 が出射するパルス光 L_p は、二次元状の広がりを持つ。しかし、その縦横比は比較的大きい。例えば、照射領域 R の縦（Y 方向）に対して、照射領域 R の横（X 方向）が極めて大きい。つまり、光源 1 1 は、実質的に一次元（線状）の光を照射するライン光源であってもよい。そうすると、パルス光 L_p は、測定対象領域 A の一部に照射されることになる。そこで、光源 1 1 は、測定対象領域 A においてパルス光 L_p の照射位置を時間ごとに変更する。このように、照射位置を変更しながらパルス光 L_p を照射する動作を、スキャンまたは走査と称する。パルス光 L_p は、対象物 S において反射する。反射した光は、距離画像センサ 1 0 に入射する。つまり、反射した光は、入射パルス光 L_R （戻り光）である。

40

【0025】

図 2 に示すように、距離画像センサ 1 0 は、測定対象領域 A からの反射光を受ける二次元の画素アレイ 1 4 を有するイメージセンサである。画素アレイ 1 4 は、当該入射パルス

50

光 L_R を受ける二次元状に配置された複数の画素回路13を有する。画素回路13の詳細な構成は、のちの段落において詳細に説明する。

【0026】

つまり、距離画像センサ10は、複数の画素回路（複数の画素回路部）13を備える。複数の画素回路13は、二次元方向（例えば、列方向および行方向）に二次元アレイ状に配列されてイメージセンサを構成し、対象物Sによってパルス光 L_p が反射されて生じた入射パルス光 L_R を光電変換することにより検出信号を生成する。また、この距離画像センサ10は、距離画像の生成のために、光源11と演算回路12とともに使用される。

【0027】

なお、以下の説明において、個々の構成要素を区別する必要がある場合に、「画素回路13₁、13₂、13₃、13₄、13₅」等の添え字を付した参照番号を用いる。一方、個々の構成要素を区別する必要がない場合には、「画素回路13」との添え字を付さない参照番号を用いる。

【0028】

距離画像センサ10は、光源11からのパルス光 L_p の走査に同期して、パルス光 L_p に起因する入射パルス光 L_R が入射する画素領域の走査を行う。この動作は、演算回路12及び周辺回路31から提供される制御パルスによって制御される。

【0029】

演算回路12は、CPU、RAM、ROM、及び入出力装置等を含むワンチップマイクロコンピュータ等の専用の集積回路によって構成されてもよいし、パーソナルコンピュータ等の汎用コンピュータによって構成されてもよい。

【0030】

演算回路12は、距離画像センサ10及び光源11に電氣的に接続され、複数の画素回路13によって生成された検出信号を用いて、対象物Sに関する距離情報を画素ごとに演算し、画素ごとの距離情報が反映された二次元画像情報を含む距離画像を生成及び出力する。この機能は、演算回路12の信号処理部12cによって行われる。また、演算回路12は、光源11によるパルス光 L_p の照射タイミングを制御する光源制御部12aも有する。さらに、演算回路12は、画素回路13を駆動するための画素制御部12bも有する。

【0031】

演算回路12は、周辺回路31に接続される。演算回路12は、周辺回路31に対して制御信号を与える。

【0032】

周辺回路31は、制御信号を画素アレイ14に提供する。制御信号は、制御パルス $G_1 \sim G_4$ 、 G_D 、論理パルス $E_{SR}(j)$ 、これらの反転信号の少なくとも一つを含む。さらに、制御信号は、制御パルス $G_1 \sim G_4$ 、 G_D 、論理パルス $E_{SR}(j)$ 、これらの反転信号から選択されるパルスによって生成される転送制御パルス $G_{1out} \sim G_{4out}$ 、 G_{Dout} を含む。周辺回路31は、分配回路33と、画素切替回路34と、読出制御回路27と、を有する。分配回路33及び画素切替回路34は、画素回路13の感度を複数の行の単位（一行以上）で有感／不感に設定する。読出制御回路27は、数行の単位（一行以上）で、信号を読み出す走査回路である。なお、「画素の感度」、「画素を有感にする」、「画素を不感にする」の意味は、のちの説明において詳細に説明する。

【0033】

分配回路33は、画素アレイ14に電氣的に接続され、複数の画素回路13に対して制御パルス $G_1 \sim G_4$ 、 G_D を提供する。画素切替回路34は、画素アレイ14に電氣的に接続され、複数の画素回路13に対して論理パルスを提供する。分配回路33及び画素切替回路34は、画素回路13の感度を1行以上の複数の行単位で有感または不感に設定する。つまり、分配回路33及び画素切替回路34は、ピクセルの有感・不感走査回路である。分配回路33及び画素切替回路34は、光源制御部12aと協働して、照射領域Rと、有感ピクセル領域AE（有感領域）及び不感ピクセル領域AN（不感領域）と、を位置的及び時間的に同期させる。この制御は、1回のフレーム内において複数回実行する。

10

20

30

40

50

【0034】

読出制御回路27は、画素アレイ14に電氣的に接続され、複数の画素回路13に対して読出動作のための制御パルスを提供する。読出制御回路27は、後述する有感ピクセル領域AEの範囲に等しい1行以上の行単位で画素回路13から信号を読み出すための制御パルスを提供する。つまり、読出制御回路27は、読出走査回路である。

【0035】

以下、画素回路13及び演算回路12の構成について、図3を参照しながら詳細に説明する。

【0036】

まず、画素回路13の構成について説明する。画素回路13は、半導体素子によって構成され、入射パルス光 L_R を電荷に変換する機能を有する光電変換領域21と、光電変換領域21に近接し、かつ互いに離間して設けられた第1～第4の電荷読出領域22₁～22₄及び電荷排出領域23と、第1～第4の電荷読出領域22₁～22₄及び電荷排出領域23のそれぞれに対応して設けられ、光電変換領域21からそれぞれの領域との間における電荷転送のための転送制御パルスを印加するための第1～第4の制御電極25₁～25₄及び第5の制御電極25_Dと、第1～第4の電荷読出領域22₁～22₄のそれぞれから検出信号を読み出すための電圧検出手段26₁～26₄と、を含む。電圧検出手段26₁～26₄は、例えば、ソースフォロワアンプを含む増幅器である。電圧検出手段26₁～26₄は、演算回路12からの制御によって、選択的にそれぞれの電荷読出領域22₁～22₄の基準電位を基準にした電圧を検出及び増幅する。電圧検出手段26₁～26₄は、増幅した電圧を検出信号として演算回路12に出力する。

【0037】

ここで、画素回路13は、画素の感度を無くすことによって画素回路13を光に対して不感にする構成を有する。ここでいう光とは、パルス光 L_P に起因する入射パルス光 L_R やパルス光 L_P に起因しない背景光などを含む。「画素の感度を無くす」及び「入射パルス光 L_R に対して不感」とは、光電変換領域21において生じた電荷が電荷読出領域22₁～22₄に読み出されることがない状態をいう。換言すると、「画素の感度を無くす」及び「入射パルス光 L_R に対して不感」とは、光電変換領域21において生じた電荷を電荷排出領域23に移動させる状態をいう。そして、「画素の感度を無くす」構成及び「入射パルス光 L_R に対して不感」にする構成とは、ドレインである電荷排出領域23及びドレインゲートである制御電極25_Dである。

【0038】

画素回路13は、例えば、シリコン基板等のp型半導体基板上に形成される。すなわち、光電変換領域21は、p型半導体基板上に順に形成された、p型の半導体からなる活性領域形成層、n型の表面埋込領域、p型のピニング層、及び絶縁膜からなる画素形成領域の中央部に設けられる。そして、光電変換領域21に近接するように互いに離間した位置に活性領域形成層よりも高不純物濃度のn型の電荷読出領域22₁～22₄及び電荷排出領域23が形成される。絶縁膜上の光電変換領域21から電荷読出領域22₁～22₄及び電荷排出領域23のそれぞれに至る電荷移動経路上のそれぞれには、制御電極25₁～25₄、25_Dが設けられる。ここで、制御電極25₁～25₄、25_Dは、それぞれ、電荷移動経路上に設けられてもよい。制御電極25₁～25₄、25_Dは、電荷移動経路を両側から挟むように複数の電極部に分離して設けられてもよい。

【0039】

上記構成の画素回路13においては、後述する演算回路12から制御電極25₁～25₄、25_Dに対して、互いに位相の異なる転送制御パルスが印加される。これにより、表面埋込領域の空乏化電位が順次変化する。その結果、電荷移動経路のいずれかに電荷が輸送されるような電位勾配が順次形成される。その結果、光電変換領域21の表面埋込領域で発生した多数キャリア（電荷）は、電荷読出領域22₁～22₄及び電荷排出領域23のいずれかに移動する。

【0040】

次に、演算回路 1 2 の機能構成について説明する。

【0041】

演算回路 1 2 は、光源 1 1 によるパルス光 L_p の発光タイミング、パルス光 L_p の強度、及びパルス光 L_p のパルス幅を制御する。具体的には、所定の持続時間 T_0 のパルス光 L_p を、あらかじめ設定された距離計算の繰り返し期間である 1 フレームの期間内で繰り返し発生させるように制御する（光源制御部 1 2 a）。また、演算回路 1 2 は、制御電極 2 5₁～2 5₄、2 5_Dのそれぞれに、異なる位相の転送制御パルスを印加する機能を有する（画素制御部 1 2 b）。すなわち、1 フレーム期間内のパルス光 L_p のそれぞれの発生タイミングに対応して、距離画像センサ 1 0 の周辺回路 3 1 を経由して、制御電極 2 5₁～2 5₄ に順次位相をずらした転送制御パルスを印加する。さらに演算回路 1 2 は、距離画像センサ 1 0 の周辺回路 3 1 を経由して、これらの転送制御パルスの印加タイミングの前において、光電変換領域 2 1 で発生した電荷を電荷排出領域 2 3 に排出させるための転送制御パルスを制御電極 2 5_D に印加する。

10

【0042】

演算回路 1 2 の光源制御部 1 2 a は、光源 1 1 を制御して、測定対象領域 A の一部に対してパルス光 L_p を照射させる。つまり、パルス光 L_p は、測定対象領域 A の全領域に対して一括して照射されない。本実施形態において、パルス光 L_p の照射領域 R は、測定対象領域 A の幅方向 X に延びる矩形形状の領域である。照射領域 R の幅は、測定対象領域 A の幅と一致してよい。そして、照射領域 R は、測定対象領域 A の高さ方向（Y 方向）に並ぶように設定される。

20

【0043】

演算回路 1 2 は、光源 1 1 から出射するパルス光 L_p の照射領域 R の位置を制御する。演算回路 1 2 は、光源 1 1 を制御して、ある領域を照射領域 R として設定し、当該領域にパルス光 L_p を照射する。演算回路 1 2 は、照射領域 R が下方に順次移動するように、光源 1 1 を制御してパルス光 L_p を照射する。

【0044】

パルス光 L_p を照射する順番は、上記の態様に限定されない。上記のように、上から下に順に照射する態様に代えて、下から上に順に照射する順番でもよい。また、上から下に照射する態様において、ひとつおきに照射する態様でもよい。

【0045】

演算回路 1 2 は、画素回路 1 3 ごとの距離の計算を複数のフレームごとに繰り返し実行し、その結果得られた距離情報を含む距離画像を繰り返し生成する（信号処理部 1 2 c）。すなわち、演算回路 1 2 は、画素回路 1 3 の電圧検出手段 2 6₁～2 6₄ から出力された検出信号を基に、距離情報を算出する。そして、演算回路 1 2 は、各画素回路 1 3 に対応する距離情報を含む距離画像を生成して外部装置に出力する。出力先の外部装置としては、例えば、表示装置、通信インターフェース装置等の出力デバイスが挙げられる。

30

【0046】

図 4 は、演算回路 1 2 による距離計算の原理を説明するためのタイミングチャートである。図 4 には、演算回路 1 2 によって制御される各種信号のタイミング及び画素回路 1 3 の各領域に電荷が蓄積されるタイミングを示す。図 4 は上から順番に、パルス光 L_p の発光タイミング、制御電極 2 5₁～2 5₄、2 5_Dに印加される転送制御パルスの印加タイミング、第 1～第 4 の電荷読出領域 2 2₁～2 2₄における電荷蓄積タイミングを示す。このように、パルス光 L_p の持続時間 T_0 の発光タイミングに対応して、制御電極 2 5₁～2 5₄、2 5_Dに互いに重ならないように続けて持続時間 T_0 の転送制御パルスが印加される。

40

【0047】

このような機能により、入射パルス光 L_R が光電変換されることにより光電変換領域 2 1 で発生した電荷が、入射パルス光 L_R のパルス光 L_p に対する遅れ時間 T_D に対応した比率で、2 つの電荷読出領域 2 2₂、2 2₃、あるいは 2 つの電荷読出領域 2 2₃、2 2₄ に分配される。ここでは、パルス光 L_p の持続時間 T_0 の発光タイミングと、制御電極 2 5₁

50

の転送制御パルスの印加タイミングとの関係を設定する。その結果、電荷読出領域 2 2 1 には、制御電極 2 5 1 の転送制御パルスで規定される時間ウィンドウで背景光及び暗電流等のノイズに起因する電荷量 N_B の電荷のみが輸送される。これに対して、入射パルス光 L_R の到達タイミングが制御電極 2 5 2, 2 5 3 の 2 つの転送制御パルスで規定される 2 つの時間ウィンドウにまたがった場合には、電荷読出領域 2 2 2 には電荷量 N_B に遅れ時間 T_D に対応して分配された電荷量 N_{sm1} が加算された電荷が輸送される。一方、電荷読出領域 2 2 3 には、電荷量 N_B に遅れ時間 T_D に対応して分配された電荷量 N_{sm2} が加算された電荷が輸送される。その一方で、入射パルス光 L_R の到達タイミングが制御電極 2 5 3, 2 5 4 の 2 つの転送制御パルスで規定される 2 つの時間ウィンドウにまたがった場合には、電荷読出領域 2 2 3 には電荷量 N_B に遅れ時間 T_D に対応して分配された電荷量 N_{sm1} が加算された電荷が輸送される。一方、電荷読出領域 2 2 4 には、電荷量 N_B に遅れ時間 T_D に対応して分配された電荷量 N_{sm2} が加算された電荷が輸送される。

【0048】

上記のような現象を利用して、演算回路 1 2 においては、複数のフレームに対応して、電荷量 N_B を除いた電荷量 N_{sm1} の蓄積量と電荷量 N_B を除いた電荷量 N_{sm2} の蓄積量との比率を計算する。その結果、遅れ時間 T_D に対応した対象物 S の距離を計算することができる。

【0049】

以下、距離画像センサ 1 0 の構成の詳細についてさらに説明する。

【0050】

図 5 は、距離画像センサ 1 0 の詳細構成を示すブロック図である。なお、図 5 においては、距離画像センサ 1 0 の一部の画素回路 1 3 を示しており、要部についてはその回路構成を図示している。距離画像センサ 1 0 は、二次元アレイ状に配列された複数の画素回路 1 3 に加え、それらの画素回路 1 3 の周辺部に配置された周辺回路 3 1 を含む。この周辺回路 3 1 は、画素回路 1 3 と同一の半導体基板上の複数の画素回路 1 3 の配置エリアの周辺部に設けられる。

【0051】

周辺回路 3 1 は、演算回路 1 2 から印加された制御電極 2 5 1, 2 5 2, 2 5 3, 2 5 4, 2 5 D 用の制御パルス G_1, G_2, G_3, G_4, G_D を分配する分配回路 3 3 と、分配回路 3 3 から出力されたそれぞれの制御パルス G_1, G_2, G_3, G_4, G_D を反転及び整形して出力するインバータ回路 3 5 1, 3 5 2, 3 5 3, 3 5 4, 3 5 5 と、を含む。インバータ回路 3 5 1, 3 5 2, 3 5 3, 3 5 4, 3 5 5 は、インバータ回路ユニット 3 8 を構成する。1 組のインバータ回路 3 5 1, 3 5 2, 3 5 3, 3 5 4, 3 5 5 は、それぞれ、各画素回路 1 3 に含まれる制御電極 2 5 1, 2 5 2, 2 5 3, 2 5 4, 2 5 D の個数に対応する個数で行方向（図 5 の横方向）に隣接する画素回路 1 3 を含む画素回路群 1 5 ごとに、行方向に繰り返し設けられる。そして、制御電極 2 5 1, 2 5 2, 2 5 3, 2 5 4, 2 5 D の個数に対応する個数のインバータ回路 3 5 1, 3 5 2, 3 5 3, 3 5 4, 3 5 5 は、それぞれ、画素回路群 1 5 における隣接する別々の 2 つの画素回路 1 3 の間の周辺部に位置するように、行方向（X 方向）に並んで配置される。

【0052】

これらのインバータ回路 3 5 1, 3 5 2, 3 5 3, 3 5 4, 3 5 5 は、それぞれ、相補的に動作するトランジスタ対である p 型 MOS（Metal Oxide Semiconductor）トランジスタ（p 型 MOS トランジスタ）3 7 と n 型 MOS トランジスタ（n 型 MOS トランジスタ）3 9 とが直列に接続されて構成される CMOS（Complementary MOS）インバータ回路である。詳細には、p 型 MOS トランジスタ 3 7 のドレインと n 型 MOS トランジスタ 3 9 のドレインとが互いに接続される。p 型 MOS トランジスタ 3 7 のソースがハイ電位線 V_{DH} に接続される。n 型 MOS トランジスタ 3 9 のソースがロー電位線 V_{DL} に接続される。p 型 MOS トランジスタ 3 7 のゲートと n 型 MOS トランジスタ 3 9 のゲートとが入力端子として、分配回路 3 3 の制御パルス G_1, G_2, G_3, G_4, G_D のそれぞれの出力に共通に接続される。そして、p 型 MOS トランジスタ 3 7 のドレインと n 型

10

20

30

40

50

MOSトランジスタ39のドレインとの接続点が、それぞれのインバータ回路35₁, 35₂, 35₃, 35₄, 35₅の出力端子として、画素回路群15に接続される。これにより、それぞれのインバータ回路35₁, 35₂, 35₃, 35₄, 35₅から画素回路群15に制御パルスG₁, G₂, G₃, G₄, G_Dの反転信号が出力される。

【0053】

さらに、周辺回路31は、画素切替回路34を含む。画素切替回路34は、画素回路13の有感及び不感を相互に切り替える。ここで、画素回路13が有感であるとは、電荷読出領域22₁~22₄に電荷を蓄積可能な状態をいう。より詳細には、有感とは、光電変換領域21から電荷読出領域22₁~22₄のいずれかに電荷を転送可能な状態である。換言すると、有感とは、光電変換領域21からドレインである電荷排出領域23に電荷を転送しない状態である。画素回路13が不感であるとは、電荷読出領域22₁~22₄に電荷を蓄積しない状態をいう。より詳細には、不感とは、光電変換領域21から電荷読出領域22のいずれにも電荷を転送しない状態である。換言すると、不感とは、光電変換領域21からドレインである電荷排出領域23に電荷を転送する状態である。

【0054】

画素切替回路34は、論理パルスE_{SR}(j)と、論理パルスE_{SR}(j)の反転信号と、を出力する。論理パルスE_{SR}(j)の反転信号は、光電変換領域21から電荷読出領域22₁~22₄のいずれかへの電荷転送の許可／禁止を切り替える。論理パルスE_{SR}(j)は、光電変換領域21から電荷排出領域23への電荷転送の許可／禁止を切り替える。以下、光電変換領域21から電荷読出領域22₁~22₄のいずれかへの電荷転送を許可する論理パルスE_{SR}(j)の反転信号を、論理パルスE_{SR}(j)の反転信号<H>として記す。光電変換領域21から電荷読出領域22₁~22₄への電荷転送を禁止する論理パルスE_{SR}(j)の反転信号を、論理パルスE_{SR}(j)の反転信号<L>として記す。同様に、光電変換領域21から電荷排出領域23への電荷転送を許可する論理パルスE_{SR}(j)を、論理パルスE_{SR}(j)<H>として記す。光電変換領域21から電荷排出領域23への電荷転送を禁止する論理パルスE_{SR}(j)を、論理パルスE_{SR}(j)<L>として記す。なお、かっこ内に記す「H」及び「L」との文字は、単に説明の便宜上のものである。

【0055】

画素切替回路34は、ピクセル駆動パルスである論理パルスE_{SR}(j)の反転信号及び論理パルスE_{SR}(j)を水平方向(X方向)から画素回路13に与える。つまり、画素切替回路34は、論理パルスE_{SR}(j)の反転信号及び論理パルスE_{SR}(j)を水平方向に延びる配線48_G, 48_Dを介して画素回路13に与える。その結果、画素切替回路34は、行ごとに画素回路13を一括して有感に設定する。また、画素切替回路34は、行ごとに画素回路13を一括して不感に設定する。より詳細には、所定の行に含まれる画素回路13を一括して有感に設定するとき、画素切替回路34は、配線48_Gに論理パルスE_{SR}(j)の反転信号<H>を出力すると共に配線48_Dに論理パルスE_{SR}(j)<L>を出力する。また、所定の行に含まれる画素回路13を一括して不感に設定するとき、画素切替回路34は、配線48_Gに論理パルスE_{SR}(j)の反転信号<L>を出力すると共に配線48_Dに論理パルスE_{SR}(j)<H>を出力する。

【0056】

いま、画素アレイ14は、N行M列に二次元配置された複数の画素回路13を有する。例えば、画素切替回路34は、第j行及び第j+1行に含まれるすべての画素回路13を有感に設定する。有感に設定される画素回路13を有する領域を、有感ピクセル領域A_Eと呼ぶ。つまり、有感ピクセル領域A_Eは、戻り光である入射パルス光L_Rを受ける有感領域である。上記の制御と並行して、画素切替回路34は、第1~(j-1)行及び第(j+2)~第N行に含まれるすべての画素回路13を不感に設定する。不感に設定される画素回路13を有する領域を、不感ピクセル領域A_Nと呼ぶ。つまり、不感ピクセル領域A_Nは、入射する光に応じた電荷を蓄積しない不感領域である。画素切替回路34は、互いに隣接する2行に含まれる画素回路13を有感に設定すると共に、その他の行に含まれ

10

20

30

40

50

る画素回路13を不感に設定する。有感ピクセル領域AEを構成する行の数は、2に限定されない。有感ピクセル領域AEを構成する行の数は、1であってもよいし、3以上であってもよい。

【0057】

有感ピクセル領域AEは、照射領域Rと対応する。演算回路12がある照射領域Rにパルス光 L_p を照射するとき、演算回路12は当該照射領域Rにあらかじめ関連付けられた画素アレイ14における領域を有感ピクセル領域AEに設定する。

【0058】

画素回路群15を構成する各画素回路13は、光電変換領域21と、電荷読出領域22₁～22₄と、電荷排出領域23と、電圧検出手段26₁～26₄と、制御電極25₁～25₄、25_D（図5）を含む信号電荷処理領域17と、その信号電荷処理領域17の近傍に配置されたNOR型ドライバ回路41₁、41₂、41₃、41₄と、NAND型ドライバ回路41₅と、をそれぞれ含む。1つの画素回路群15を構成する別々の画素回路13に含まれるNOR型ドライバ回路41₁、41₂、41₃、41₄は、各画素回路13に含まれる制御電極25₁、25₂、25₃、25₄の個数に対応する個数で、画素回路群15ごとに行方向に繰り返し設けられる。言い換えれば、制御電極25₁、25₂、25₃、25₄、25_Dの個数に対応する個数のNOR型ドライバ回路41₁、41₂、41₃、41₄は、それぞれ、周辺回路31のインバータ回路35₁、35₂、35₃、35₄に対応して、行方向に並んで配置される。同様に、1つの画素回路群15を構成する別々の画素回路13に含まれるNAND型ドライバ回路41₅は、各画素回路13に含まれる制御電極25_Dの個数に対応する個数で、画素回路群15ごとに行方向に繰り返し設けられる。言い換えれば、制御電極25_Dの個数に対応する個数のNAND型ドライバ回路41₅は、それぞれ、周辺回路31のインバータ回路35₅に対応して配置される。

【0059】

NOR型ドライバ回路41₁、41₂、41₃、41₄及びNAND型ドライバ回路41₅は、CMOSドライバ回路である。画素回路13₁～13₄は、それぞれNOR型ドライバ回路41₁～41₄を有する。NOR型ドライバ回路41₁～41₄は、それぞれ、p型MOSトランジスタ43₁、43₂、43₃、43₄とp型MOSトランジスタ、44₂、44₃、44₄とn型MOSトランジスタ45₁、45₂、45₃、45₄とを有する。画素回路13₅は、NAND型ドライバ回路41₅を有する。NAND型ドライバ回路41₅は、p型MOSトランジスタ43₅とn型MOSトランジスタ46とn型MOSトランジスタ45₅とを有する。つまり、NAND型ドライバ回路41₅は、p型MOSトランジスタ44₁等に代えて、n型MOSトランジスタ46を有する点でNOR型ドライバ回路41₁～41₄と相違する。

【0060】

詳細には、NOR型ドライバ回路41₁～41₄は、以下の構成を有する。

【0061】

p型MOSトランジスタ43₁～43₄のソースは、ハイ電位線 V_{DH} に接続される。p型MOSトランジスタ43₁～43₄のゲートは、入力端子である。p型MOSトランジスタ43₁～43₄のゲートは、インバータ回路35₁～35₄の出力に配線47₁～47₄を介して接続される。p型MOSトランジスタ43₁～43₄のドレインは、p型MOSトランジスタ44₁～44₄のソースに接続される。

【0062】

p型MOSトランジスタ44₁～44₄のソースは、p型MOSトランジスタ43₁～43₄のドレインに接続される。p型MOSトランジスタ44₁～44₄のゲートは、入力端子である。p型MOSトランジスタ44₁～44₄のゲートは、配線48_Gを介して画素切替回路34に接続される。p型MOSトランジスタ44₁～44₄のドレインとn型MOSトランジスタ45₁～45₄のドレインとが互いに接続される。さらに、p型MOSトランジスタ44₁～44₄のドレイン及びn型MOSトランジスタ45₁～45₄のドレインは、制御電極25₁～25₄に接続される。n型MOSトランジスタ45₁～45₄のソ

ースは、p型MOSトランジスタ44₁～44₄のドレインに接続される。n型MOSトランジスタ45₁～45₄のゲートは、入力端子である。n型MOSトランジスタ45₁～45₄のゲートは、インバータ回路35₁～35₅の出力に配線47₁～47₄を介して接続される。つまり、p型MOSトランジスタ43₁～43₄のゲートとn型MOSトランジスタ45₁～45₄のゲートとは互いに共通である。n型MOSトランジスタ45₁～45₄のソースは、ロー電位線V_{DL}に接続される。

【0063】

さらに、NAND型ドライバ回路41₅は、以下の構成を有する。

【0064】

p型MOSトランジスタ43₅のソースは、ハイ電位線V_{DH}に接続される。p型MOSトランジスタ43₅のゲートは、入力端子である。p型MOSトランジスタ43₅のゲートは、インバータ回路35₅の出力に配線47₅を介して接続される。p型MOSトランジスタ43₅のドレインとn型MOSトランジスタ46のドレインとが互いに接続される。n型MOSトランジスタ46のソースは、p型MOSトランジスタ43₅のドレインに接続される。n型MOSトランジスタ46のゲートは、入力端子である。n型MOSトランジスタ46のゲートは、配線48_Dを介して画素切替回路34に接続される。n型MOSトランジスタ46のソースは、n型MOSトランジスタ45₅のドレインに接続される。n型MOSトランジスタ45₅のソースは、n型MOSトランジスタ46のドレインに接続される。n型MOSトランジスタ45₅のゲートは、入力端子である。n型MOSトランジスタ45₅のゲートは、インバータ回路35₅の出力に配線47₅を介して接続される。つまり、p型MOSトランジスタ43₅のゲートとn型MOSトランジスタ45₅のゲートとは互いに共通である。n型MOSトランジスタ45₅のソースは、ロー電位線V_{DL}に接続される。

【0065】

上記の接続構成より、それぞれのNOR型ドライバ回路41₁、41₂、41₃、41₄及びNAND型ドライバ回路41₅から制御電極25₁、25₂、25₃、25₄、25_Dに転送制御パルスG_{1out}～G_{4out}、G_{Dout}が出力可能とされる。転送制御パルスG_{1out}、G_{2out}、G_{3out}、G_{4out}、G_{Dout}は、論理パルスE_{SR}(j)の反転信号及び論理パルスE_{SR}(j)によって画素回路13を有感とする信号と不感とする信号とに制御される。

【0066】

周辺回路31と画素回路13との接続構成を詳細に説明する。画素回路群15に含まれるNOR型ドライバ回路41₁、41₂、41₃、41₄及びNAND型ドライバ回路41₅の入力端子と、インバータ回路35₁、35₂、35₃、35₄、35₅の出力端子と、は、画素回路群15内の隣接する2つの画素回路13間で画素回路13に近接して伸びる配線47₁、47₂、47₃、47₄、47₅を経由して接続される。すなわち、NOR型ドライバ回路41₁、41₂、41₃、41₄及びNAND型ドライバ回路41₅の入力と、インバータ回路35₁、35₂、35₃、35₄、35₅の出力と、を接続する配線47₁、47₂、47₃、47₄、47₅は、画素回路群15の互いに隣接する2つの画素回路13間の間隙部において1本ずつ設けられる。さらに、画素回路群15ごとに設けられるNOR型ドライバ回路41₁の出力端子は、その画素回路群15に含まれるすべての画素回路13の制御電極25₁に、そのNOR型ドライバ回路41₁が設けられる画素回路13内の配線49と、画素回路群15に含まれるすべての画素回路13に跨って延びる配線51とを経由して、接続される。同様に、NOR型ドライバ回路41₂、41₃、41₄及びNAND型ドライバ回路41₅の出力端子のそれぞれは、画素回路群15に含まれるすべての画素回路13のそれぞれの制御電極25₂、25₃、25₄、25_Dに、2つの配線を経由して接続される。

【0067】

上記構成のインバータ回路35₁とNOR型ドライバ回路41₁とにより、画素回路群15を構成する画素回路13の制御電極25₁に転送制御パルスG_{1out}を印加する第1

の制御電極ドライバ回路が構成される。同様に、インバータ回路 35₂, 35₃, 35₄, 35₅とNOR型ドライバ回路 41₂, 41₃, 41₄及びNAND型ドライバ回路 41₅とのそれぞれにより、画素回路群 15を構成する画素回路 13の制御電極 25₂, 25₃, 25₄, 25_Dに転送制御パルス G_{2out}, G_{3out}, G_{4out}, G_{Dout}を印加する第2～第5の制御電極ドライバ回路が構成される。

【0068】

さらに、周辺回路 31の画素切替回路 34には、配線 48_G、48_Dが接続される。配線 48_G、48_Dは、行方向に延びる。図5において、行方向とは紙面に対して横方向をいう。換言すると、配線 48_G、48_Dは、画素回路 13₁～13₅が並ぶ方向に沿って延びる。そして、配線 48_Gは、行方向に配置された画素回路 13₁～13₄に接続される。また、配線 48_Dは、画素回路 13₅に接続される。

【0069】

図6には、NOR型ドライバ回路 41₁の詳細な回路構成を示している。NOR型ドライバ回路 41₁は、p型MOSトランジスタ 43₁のソースとn型MOSトランジスタ 45₁のソースとの間に形成されたキャパシタンス成分 53を含む。このキャパシタンス成分 53は、例えば、画素回路 13と同一の半導体基板に形成するMOSトランジスタによって実現することができる。キャパシタンス成分 53は、その一端がロー電位である基板電位に接続され、他端がハイ電位に接続される。このキャパシタンス成分 53は、NOR型ドライバ回路 41₁の出力に接続される画素回路 13の制御電極 25₁の合成キャパシタンス C_G以上のキャパシタンスを有する。キャパシタンス成分 53は、好ましくは4倍以上のキャパシタンスを有する。同様に、NOR型ドライバ回路 41₂, 41₃, 41₄及びNAND型ドライバ回路 41₅もキャパシタンス成分 53を含む。これらのNOR型ドライバ回路 41₂, 41₃, 41₄及びNAND型ドライバ回路 41₅の出力に接続される画素回路 13のそれぞれの制御電極 25₂, 25₃, 25₄, 25_Dの合成キャパシタンス C_G以上のキャパシタンスを有する。キャパシタンス成分 53のキャパシタンスは、好ましくは合成キャパシタンス C_Gの4倍以上である。

【0070】

図7には、NOR型ドライバ回路 41₁, 41₂, 41₃, 41₄の動作時のNOR型ドライバ回路 41₁, 41₂, 41₃, 41₄と画素回路 13の合成キャパシタンス C_Gとの接続状態を示す。(a)部は、転送制御パルス G_{1out}, G_{2out}, G_{3out}, G_{4out}のオン(ハイ電位)時の接続状態を示す。(b)部は、転送制御パルス G_{1out}, G_{2out}, G_{3out}, G_{4out}のオフ(ロー電位)時の接続状態を示す。NAND型ドライバ回路 41₅に対しても同様である。このように、転送制御パルス G_{1out}, G_{2out}, G_{3out}, G_{4out}, G_{Dout}のオン時には、キャパシタンス成分 53が合成キャパシタンス C_Gの両端に接続される。その結果、転送制御パルス G_{1out}, G_{2out}, G_{3out}, G_{4out}, G_{Dout}のオフ時にキャパシタンス成分 53にチャージされていた電荷が制御電極 25₁, 25₂, 25₃, 25₄, 25_Dに向けて供給される。従って、制御電極 25₁, 25₂, 25₃, 25₄, 25_Dの電位を素早く立ち上げることができる。特に、キャパシタンス成分 53のキャパシタンスを合成キャパシタンス C_G以上とすることで、転送制御パルス G_{1out}, G_{2out}, G_{3out}, G_{4out}, G_{Dout}のハイ電位に立ち上げるのに必要な50%の電荷をキャパシタンス成分 53から供給することができる。その結果、電源に負担をかけることなく高速な駆動が可能となる。さらに、キャパシタンス成分 53のキャパシタンスを合成キャパシタンス C_Gの4倍以上とすれば、転送制御パルス G_{1out}, G_{2out}, G_{3out}, G_{4out}, G_{Dout}のハイ電位に立ち上げるのに必要な80%の電荷をキャパシタンス成分 53から供給することができる。その結果、電源に負担をかけることなくさらなる高速な駆動が可能となる。一方、転送制御パルス G_{1out}, G_{2out}, G_{3out}, G_{4out}, G_{Dout}のオフ時には、合成キャパシタンス C_Gの両端が短絡される。その結果、制御電極 25₁, 25₂, 25₃, 25₄, 25_Dの電位を素早く立ち下げることができる。

【0071】

図8は、画素回路13が有する読出回路80₁、80₂、80₃、80₄の構成を示す。

【0072】

読出回路80₁～80₄は、キャパシタンス成分81₁～81₄と、MOSトランジスタ82₁～82₄と、増幅回路83₁～83₄と、を有する。読出回路80₁～80₄の入力は、それぞれ光電変換領域21に接続される。読出回路80₁～80₄の出力は、配線28を介して演算回路12に接続される。

【0073】

キャパシタンス成分81₁～81₄は、光電変換領域21が発生した電荷を蓄積する。キャパシタンス成分81₁～81₄は、図3に示す電荷読出領域22₁～22₄に対応する。キャパシタンス成分81₁～81₄の一端は、制御電極25₁～25₄、MOSトランジスタ82₁～82₄及び増幅回路83₁～83₄に接続される。キャパシタンス成分81₁～81₄の他端は、基準電位に接続される。

【0074】

MOSトランジスタ82₁～82₄は、キャパシタンス成分81₁～81₄に残る電荷を排出する。MOSトランジスタ82₁～82₄のソースは、キャパシタンス成分81₁～81₄の一端に接続される。MOSトランジスタ82₁～82₄のゲートは、読出制御回路27に接続され、読出制御回路27からリセットパルスRTを受ける。MOSトランジスタ82₁～82₄のドレインは、リセット電位線V_{DR}に接続される。

【0075】

増幅回路83₁～83₄は、キャパシタンス成分81₁～81₄に蓄積された電荷に応じた電圧V_{O1}～V_{O4}を発生させ、当該電圧V_{O1}～V_{O4}を配線28に出力する。増幅回路83₁～83₄は、図3に示す電圧検出手段26₁～26₄に対応する。増幅回路83₁～83₄の入力は、キャパシタンス成分81₁～81₄の一端に接続される。増幅回路83₁～83₄の出力は、配線28に接続される。さらに、増幅回路83₁～83₄は、読出制御回路27に接続され、読出制御回路27から読出制御パルスSLを受ける。増幅回路83₁～83₄が出力した電圧V_{O1}～V_{O4}は、配線28を介して演算回路12に提供される。

【0076】

[第1実施形態／動作]

次に、距離画像センサ10の動作について説明する。距離画像センサ10は、画素回路13の内部にドライバ回路（NOR型ドライバ回路41₁～41₄及びNAND型ドライバ回路41₅）を有する。距離画像センサ10は、制御パルスG₁～G₄、G_Dを垂直方向から与える。距離画像センサ10は、有感／不感を切り替える論理パルスE_{SR}(j)の反転信号及び論理パルスE_{SR}(j)を水平方向から与える。距離画像センサ10は、画素回路13の内部において制御パルスG_Dと論理パルスE_{SR}(j)との論理演算を行い、転送制御パルスG_{Dout}を生成する。そして、距離画像センサ10は、転送制御パルスG_{Dout}を用いてドレインゲートである制御電極25_Dのゲーティングを行う。

【0077】

以下、光源11の動作と、画素回路13の有感動作／不感動作との関係について詳細に述べる。

【0078】

図9は、光源11の動作を示すタイミングチャートと論理パルスE_{SR}(j)のタイミングチャートとを示す。また、図10は、アレイ分割領域L₁、L₂、L₃と、有感ピクセル領域A_Eと、不感ピクセル領域A_Nと、を模式的に示す。アレイ分割領域L₁～L₃とは、入射パルス光L_Rが入射すると予想される領域である。有感ピクセル領域A_Eとは、入射パルス光L_Rに応じて生じた電荷を電荷読出領域22₁～22₄のいずれかに蓄積可能な領域である。不感ピクセル領域A_Nとは、入射パルス光L_Rに応じて生じた電荷を電荷排出領域23に排出する領域である。つまり、不感ピクセル領域A_Nに入射した光は、出力として得られない。

【0079】

図10に示すように、第1実施形態では、画素アレイ14を縦方向に3個の領域に分割する。いま、画素アレイ14がN行であるとする。そうすると、第1のアレイ分割領域 L_1 は、第1行目から第 $(N/3)$ 行目までである。第2のアレイ分割領域 L_2 は、第 $(N/3+1)$ 行目から第 $(2N/3)$ 行目までである。第3のアレイ分割領域 L_3 は、第 $(2N/3+1)$ 行目から第N行目までである。

【0080】

例えば、図10の(a)部において、複数の正方形は、ひとつの画素回路13を示す。細かいハッチングを付した領域は、有感ピクセル領域A_Eであることを示す。白抜きの領域は、不感ピクセル領域A_Nであることを示す。一点鎖線で囲まれた3個の領域は、それぞれアレイ分割領域 $L_1 \sim L_3$ を示す。一点鎖線で囲まれた領域において荒いハッチングが付された領域は、当該領域に測定対象領域Aから入射パルス光 L_R が入射されていることを示す。

10

【0081】

このように照射領域Rを測定対象領域Aの一部とすることにより、距離画像センサ10は、背景光に対するノイズ耐性を高めることができる。いま、光源11が照射するパルス光 L_P の光量(p_0)が一定であると仮定する。そうすると、パルス光 L_P を測定対象領域Aの一部である照射領域Rに限定して照射すると、単位面積あたりの光量が見かけ上高まる。例えば、図10のように測定対象領域Aを3分割した場合には、照射領域Rにおける光量は、測定対象領域Aの全面に照射した場合の光量に対して3倍になる(図9の符号 $3p_0$ 参照)。その結果、背景光の光量に対してパルス光 L_P の光量を大きくすることができる。従って、距離画像センサ10は、背景光に対するノイズ耐性を高めることができる。

20

【0082】

なお、光源11から測定対象領域Aへ向けたパルス光 L_P の出射方向と、測定対象領域Aから戻る入射パルス光 L_R が入射する領域との関係は、任意の手法によって関連付けてよい。例えば、測定対象領域Aを縦方向に3分割したときにおいて、最も上の領域に光源11がパルス光 L_P を照射した場合には、画素アレイ14のアレイ分割領域 L_1 に入射パルス光 L_R が入射するとしてよい。

【0083】

距離画像センサ10は、ひとつのフレームである期間P_Fにおいて、1回の露光期間である期間P_Eと、1回の読出期間である期間P_Rを有する。また、距離画像センサ10は、ひとつのフレームの期間P_Fにおいて、複数回の露光動作を行う。さらに、距離画像センサ10は、1つの有感期間中に1回の露光動作を行う。距離画像センサ10の動作は、上記の動作に限定されない。その他の動作例については、変形例1~5として後述する。

30

【0084】

露光期間(期間P_E)において、複数回の露光動作を繰り返す。

【0085】

まず、期間P_{E1}において、画素切替回路34は、以下のような論理パルス $E_{SR}(j)$ を出力する。

論理パルス $E_{SR}(1) \sim E_{SR}(N/3) : HIGH$ 。

論理パルス $E_{SR}(N/3+1) \sim E_{SR}(2N/3) : LOW$ 。

論理パルス $E_{SR}(2N/3+1) \sim E_{SR}(N) : LOW$ 。

40

【0086】

期間P_{E1}は、期間P_{1a}と、期間P_{1a}の後である期間P_{1b}と、を有する。期間P_{1a}(図10の(a)部参照)において、光源11は、アレイ分割領域 L_1 に入射パルス光 L_R が入射するようにパルス光 L_P を照射する。例えば、パルス光 L_P のデューティ比は、50%以下としてもよい。その後、期間P_{1b}(図10の(b)部参照)において、光源11はパルス光 L_P の照射を停止する。

【0087】

次に、期間P_{E2}において、画素切替回路34は、以下のような論理パルス $E_{SR}(j)$

50

を出力する。

論理パルス $E_{SR}(1) \sim E_{SR}(N/3) : LOW$ 。

論理パルス $E_{SR}(N/3+1) \sim E_{SR}(2N/3) : HIGH$ 。

論理パルス $E_{SR}(2N/3+1) \sim E_{SR}(N) : LOW$ 。

【0088】

期間 PE_2 は、期間 P_{2a} と、期間 P_{2a} の後である期間 P_{2b} と、を有する。期間 P_{2a} (図10の(c)部参照)において、光源11は、アレイ分割領域 L_2 に入射パルス光 L_R が入射するようにパルス光 L_P を照射する。その後、期間 P_{2b} (図10の(d)部参照)において、光源11はパルス光 L_P の照射を停止する。

【0089】

次に、期間 PE_3 において、画素切替回路34は、以下のような論理パルス $E_{SR}(j)$ を出力する。

論理パルス $E_{SR}(1) \sim E_{SR}(N/3) : LOW$ 。

論理パルス $E_{SR}(N/3+1) \sim E_{SR}(2N/3) : LOW$ 。

論理パルス $E_{SR}(2N/3+1) \sim E_{SR}(N) : HIGH$ 。

【0090】

期間 PE_3 は、期間 P_{3a} と、期間 P_{3a} の後である期間 P_{3b} と、を有する。期間 PE_{3a} (図10の(e)部参照)において、光源11は、アレイ分割領域 L_3 に入射パルス光 L_R が入射するようにパルス光 L_P を照射する。その後、期間 P_{3b} (図10の(f)部参照)において、光源11はパルス光 L_P の照射を停止する。

【0091】

以下、期間 $PE_1 \sim PE_3$ の動作をあらかじめ定めた回数だけ繰り返す。この期間 $PE_1 \sim PE_3$ の動作を繰り返す期間は、露光期間としての期間 PE である。そして、期間 PE の後に読出期間としての期間 PR が設定される。これらの期間 PE 及び期間 PR は、ひとつのフレーム(あるいはサブフレーム)を構成する。この期間 PR において、すべての行から信号が読み出される。期間 PR では、光源11からパルス光 L_P は照射されない。また、期間 PR において、画素切替回路34は、以下のような論理パルス $E_{SR}(j)$ を出力する。

論理パルス $E_{SR}(1) \sim E_{SR}(N/3) : LOW$ 。

論理パルス $E_{SR}(N/3+1) \sim E_{SR}(2N/3) : LOW$ 。

論理パルス $E_{SR}(2N/3+1) \sim E_{SR}(N) : LOW$ 。

【0092】

〔第1実施形態／作用効果〕

距離画像センサ10は、以下に説明するいくつかの作用効果により、背景光に対する強い耐性と、撮像対象の動きに起因するアーティファクトに対する強い耐性と、を有する。

【0093】

距離画像センサ10は、光源制御部12aが有感ピクセル領域 AE に入射パルス光 L_R が入射するようにパルス光 L_P を発生させたとき、不感ピクセル領域 AN には光電変換領域21で発生した電荷を電荷排出領域23に移動させる論理パルス $E_{SR}(j)$ を提供する。この動作によれば、入射パルス光 L_R が入射しない不感ピクセル領域 AN において、光電変換領域21におけるノイズとなり得る電荷の蓄積が抑制される。その結果、不感ピクセル領域 AN が有感ピクセル領域 AE に切り替わるとき、入射パルス光 L_R に基づく電荷の生成の準備が整った状態が形成されている。つまり、不感ピクセル領域 AN から有感ピクセル領域 AE に素早く切り替えることができる。従って、パルス光 L_P を照射すると共に当該パルス光 L_P に起因する入射パルス光 L_R を受光する動作を、有感ピクセル領域 AE を移動させながら高速に繰り返すことが可能になる。照射動作及び受光動作の高速化及び繰り返しは、換言すると、いわゆる距離測定におけるフレーム期間内の光電荷の時間的オーバーサンプリング及び積算と同義である。従って、オーバーサンプリング及び積算によるローパスフィルタ効果によって、測定対象物が高速移動する場合であっても良好な計測結果を得ることができる。

10

20

30

40

50

【0094】

つまり、距離画像センサ10は、光源11から出射される線状のパルス光 L_P の走査と、当該走査に対応するように位置及び時間を同期させた露光動作及び読出動作を行う。

【0095】

第1実施形態の距離画像センサ10において、光源制御部12aは、第j行目に含まれる画素回路13のすべてが有感ピクセル領域AEに含まれるように、光源11からパルス光 L_P を出射させる動作を行う。周辺回路31は、第j行目に含まれる画素回路13のすべてに対して、光電変換領域21から電荷読出領域22₁～22₄への電荷の移動を許可するように画素回路13を動作させる制御パルス $G_1 \sim G_4$ 、 G_D 、論理パルス $E_{SR}(j)$ の反転信号及び論理パルス $E_{SR}(j)$ を画素アレイ14に提供する動作と、有感ピクセル領域AEに含まれない画素回路13のすべてに対して、光電変換領域21から電荷排出領域23への電荷の移動を許可するように画素回路13を動作させる制御パルス $G_1 \sim G_4$ 、 G_D 、論理パルス $E_{SR}(j)$ の反転信号及び論理パルス $E_{SR}(j)$ を画素アレイ14に提供する動作と、を行う。この動作によれば、第j行目に含まれる画素回路13を一括して、光電変換領域21から電荷読出領域22₁～22₄への電荷の移動を許可する状態（有感状態）に設定することが可能になる。さらに、第j行目に含まれない画素回路13を一括して、光電変換領域21から電荷排出領域23への電荷の移動を許可する状態（不感状態）に設定することができる。従って、オーバーサンプリング及び積算動作をさせることができる。

【0096】

第1実施形態の距離画像センサ10は、周辺回路31が、制御パルス $G_1 \sim G_4$ 、 G_D 、論理パルス $E_{SR}(j)$ の反転信号及び論理パルス $E_{SR}(j)$ を画素アレイ14に出力した状態で、光源制御部12aがパルス光 L_P を発生させる露光動作と、周辺回路31が、光電変換領域21で発生した電荷に基づく電圧を出力させる読出動作と、を行う。制御パルス $G_1 \sim G_4$ 、 G_D 、論理パルス $E_{SR}(j)$ の反転信号及び論理パルス $E_{SR}(j)$ は、有感ピクセル領域AEを構成する画素回路13において光電変換領域21で発生した電荷を電荷読出領域22₁～22₄に移動させると共に、不感ピクセル領域ANを構成する画素回路13において光電変換領域21で発生した電荷を電荷排出領域23に移動させる。周辺回路31及び光源制御部12aは、複数の有感ピクセル領域AEに対する露光動作を複数回行った後に、読出動作を行う。つまり、すべての画素回路13に対する露光動作の後に、すべての画素回路13から一括して信号を読み出す。この動作によれば、画素アレイ14の全体において複数回の露光動作の後に、画素アレイ14の全体から信号を読み出すことができる。

【0097】

第1実施形態の距離画像センサ10の露光動作では、周辺回路31が制御パルス $G_1 \sim G_4$ 、 G_D 及び論理パルス $E_{SR}(j)$ を提供した状態で、光源制御部12aがパルス光 L_P を1回だけ発生させる。この動作によっても、距離画像センサ10の動作をさらに高速化させることができる。

【0098】

さらに、距離画像センサ10によれば、周辺回路31に設けられた分配回路33によって制御パルス G_1 、 G_2 、 G_3 、 G_4 、 G_D が分配される。その制御パルス G_1 、 G_2 、 G_3 、 G_4 、 G_D に基づく転送制御パルスは、画素回路群15のうちの1つの画素回路13内に設けられたNOR型ドライバ回路41₁、41₂、41₃、41₄及びNAND型ドライバ回路41₅によって構成される第1～第5の制御電極ドライバ回路によって、画素回路群15を構成するすべての画素回路13の制御電極25₁、25₂、25₃、25₄、25_Dに印加される。これにより、各画素回路13において、光電変換領域21と電荷読出領域22₁、22₂、22₃、22₄及び電荷排出領域23との間の電荷転送のタイミングが制御される。このような第1～第5の制御電極ドライバ回路により制御パルス G_1 、 G_2 、 G_3 、 G_4 、 G_D が中継される構成により、ピクセル数が多くなっても転送制御パルスの波形のなまりを低減でき、ピクセルを高速に駆動して距離分解能の高い距離画像の生成が

可能とされる。それとともに、第1～第5の制御電極ドライバ回路のそれぞれを、制御電極の数と同一数の画素回路13を含む画素回路群15で共用する構成により、ピクセルサイズを小さく保ちつつ転送制御パルスの波形のなまりを低減できる。

【0099】

特に、本実施形態では、NOR型ドライバ回路41₁、41₂、41₃、41₄及びNAND型ドライバ回路41₅が画素回路群15の別々の画素回路13内に設けられる。分配回路33とNOR型ドライバ回路41₁、41₂、41₃、41₄及びNAND型ドライバ回路41₅とは、それぞれ、別々の2つの画素回路13間の間隙部に伸びる配線47₁～47₅を介して接続される。このような構成により、分配回路33と第1～第5の制御電極ドライバ回路とのそれぞれを電氣的に接続する複数の配線47₁～47₅を分離することができる。その結果、異なる制御パルスG₁、G₂、G₃、G₄、G_Dの間のクロストークを防止して安定したピクセルの駆動が実現できる。結果として距離分解能の高い距離画像の生成が可能となる。

10

【0100】

つまり、画素回路13は、その内部にドライバ回路を有している。したがって、有感／不感のためのゲーティングは、画素回路13内の論理演算により行われる。

【0101】

また、本実施形態では、NOR型ドライバ回路41₁、41₂、41₃、41₄及びNAND型ドライバ回路41₅のそれぞれは、キャパシタンス成分53を含む。このような構成により、ピクセルの高速な駆動が実現される。キャパシタンス成分53の存在により、画素回路13を駆動する際の制御電極25₁、25₂、25₃、25₄、25_Dのキャパシタンス成分の充放電に伴って電源に生じる電流を低減できる。その結果、電源電圧が瞬時的にドロップする事態も防止でき、ピクセル（画素回路13）の高速な駆動が可能となる。

20

【0102】

〔第2実施形態〕

次に、第2実施形態にかかる距離画像取得装置1Aを構成する距離画像センサ10Aの構成について、第1実施形態との相違点を中心に説明する。

【0103】

図11は、距離画像センサ10Aの概略構成を示すブロック図である。図11に示す距離画像センサ10Aは、第1実施形態にかかる距離画像センサ10と比較して、分配回路33Aの機能と、周辺回路31Aにおけるインバータ回路の構成と、周辺回路31Aと画素回路13Aとの間の接続構成が異なる。

30

【0104】

周辺回路31Aは、分配回路33Aとインバータ回路ユニット38Aと画素切替回路34Aとを有する。画素切替回路34Aは、第1実施形態の画素切替回路34と同様の構成と機能とを奏するため、説明は省略する。

【0105】

すなわち、分配回路33Aは、制御パルスG₁を、それぞれ、2つの制御パルスG_{1p}、G_{1n}に分配して行方向に繰り返し生成する。同様に、分配回路33Aは、制御パルスG₂、G₃、G₄、G_Dを分配することにより、2つの制御パルスG_{2p}、G_{2n}と、2つの制御パルスG_{3p}、G_{3n}と、2つの制御パルスG_{4p}、G_{4n}と、2つの制御パルスG_{Dp}、G_{Dn}と、を繰り返し生成する。これらの2つの制御パルスG_{1p}、G_{1n}は、制御パルスG₁のオンオフに同期して、互いのオン期間が一致しないように生成される。具体的には、制御パルスG_{1p}のオン期間が制御パルスG_{1n}のオン期間内に収まるように生成される。同じように、2つの制御パルスG_{2p}、G_{2n}、2つの制御パルスG_{3p}、G_{3n}、2つの制御パルスG_{4p}、G_{4n}、及び2つの制御パルスG_{Dp}、G_{Dn}は、制御パルスG₂、G₃、G₄、G_Dのオンオフに同期して、互いのオン期間が一致しないように生成される。

40

【0106】

周辺回路31Aには、第1実施形態におけるインバータ回路35₁、35₂、35₃、3

50

5₄, 35₅と同様な構成のインバータ回路61₁, 61₂, 61₃, 61₄, 61₅、及びインバータ回路63₁, 63₂, 63₃, 63₄, 63₅が含まれている。これらインバータ回路61₁, 61₂, 61₃, 61₄, 61₅、及びインバータ回路63₁, 63₂, 63₃, 63₄, 63₅は、インバータ回路ユニット38Aを構成する。1組のインバータ回路61₁, 61₂, 61₃, 61₄, 61₅、及び1組のインバータ回路63₁, 63₂, 63₃, 63₄, 63₅は、それぞれ、制御電極25₁, 25₂, 25₃, 25₄, 25_Dの個数に対応する個数で画素回路群15Aごとに繰り返し設けられる。そして、2つのインバータ回路61₁, 63₁は、画素回路13A₁内のNOR型ドライバ回路41A₁に対応して、画素回路群15Aにおける隣接する2つの画素回路13A間の周辺部に配置される。同様に、2つのインバータ回路61₂, 63₂、2つのインバータ回路61₃, 63₃、2つのインバータ回路61₄, 63₄、2つのインバータ回路61₅, 63₅のそれぞれは、画素回路13A₂, 13A₃, 13A₄, 13A₅内のNOR型ドライバ回路41A₂, 41A₃, 41A₄及びNAND型ドライバ回路41A₅に対応して、隣接する2つの画素回路13A間の周辺部に配置される。これらのインバータ回路61₁, 61₂, 61₃, 61₄, 61₅のそれぞれの入力端子には、分配回路33Aから制御パルスG_{1p}, G_{2p}, G_{3p}, G_{4p}, G_{Dp}が入力される。これらのインバータ回路63₁, 63₂, 63₃, 63₄, 63₅のそれぞれの入力端子には、分配回路33Aから制御パルスG_{1n}, G_{2n}, G_{3n}, G_{4n}, G_{Dn}が入力される。

【0107】

周辺回路31Aと画素回路13Aとの接続構成を詳細に説明すると、NOR型ドライバ回路41A₁, 41A₂, 41A₃, 41A₄及びNAND型ドライバ回路41A₅のp型MOSトランジスタ43₁~43₅のゲート（制御端子）とインバータ回路61₁, 61₂, 61₃, 61₄, 61₅の出力端子とは、隣接する2つの画素回路13A間に伸びる配線47a₁~47a₅を経由して接続される。また、NOR型ドライバ回路41A₁, 41A₂, 41A₃, 41A₄及びNAND型ドライバ回路41A₅のn型MOSトランジスタ45₁~45₅のゲート（制御端子）とインバータ回路63₁, 63₂, 63₃, 63₄, 63₅の出力端子とは、隣接する2つの画素回路13A間に伸びる配線47b₁~47b₅を経由して接続される。つまり、周辺回路31Aと画素回路13Aとの間を接続する配線は、画素回路群15Aに含まれる2つの画素回路13A間の間隙部において2本ずつ設けられる。このような接続構成により、NOR型ドライバ回路41A₁, 41A₂, 41A₃, 41A₄及びNAND型ドライバ回路41A₅の2つのゲートには、別々の配線47a₁~47a₅, 47b₁~47b₅を経由して、制御パルスG_{1p}, G_{2p}, G_{3p}, G_{4p}, G_{Dp}の反転信号、あるいは、制御パルスG_{1n}, G_{2n}, G_{3n}, G_{4n}, G_{Dn}の反転信号が供給される。

【0108】

上記構成のインバータ回路61₁, 63₁とNOR型ドライバ回路41A₁により、画素回路群15Aを構成する画素回路13Aの制御電極25₁に転送制御パルスG_{1out}を印加する第1の制御電極ドライバ回路が構成される。同様に、インバータ回路61₂~61₅, 63₂~63₅と、NOR型ドライバ回路41A₂~41A₄及びNAND型ドライバ回路41A₅と、より、画素回路13Aの制御電極25₂~25₄, 25_Dに転送制御パルスG_{2out}~G_{4out}, G_{Dout}を印加する第2~第5の制御電極ドライバ回路が構成される。

【0109】

図12には、本実施形態の距離画像センサ10Aにおいて生成される制御パルスG_{1p}, G_{1n}の反転信号の波形及びNOR型ドライバ回路41A₁の転送制御パルスG_{1out}の波形の一例を示す。このように、分配回路33Aの働きにより、インバータ回路61₁から出力される制御パルスG_{1p}の反転信号のロー電位の期間、すなわち、p型MOSトランジスタ43₁のオン期間T_{PON}が、インバータ回路63₁から出力される制御パルスG_{1n}の反転信号のハイ電位の期間、すなわち、n型MOSトランジスタ45₁のオン期間T_{NON}と重複しないように、制御パルスG_{1p}及び制御パルスG_{1n}が生成される。そし

て、NOR型ドライバ回路41A₁により、制御パルスG_{1p}の反転信号がオフされたタイミングでハイ電位に遷移し、制御パルスG_{1n}の反転信号がオンされたタイミングでロー電位に遷移する転送制御パルスG_{1out}が生成される。同様にして、各画素回路13Aに設けられたNOR型ドライバ回路41A₂～41A₄及びNAND型ドライバ回路41A₅においても、p型MOSトランジスタ43のオン期間がn型MOSトランジスタ45のオン期間と重複しないように、制御パルスG_{2p}～G_{4p}及び制御パルスG_{2n}～G_{4n}が生成される。

【0110】

[第2実施形態／作用効果]

第2実施形態の距離画像取得装置1Aも、第1実施形態の距離画像取得装置1と同様の効果を奏することができる。つまり、距離画像取得装置1Aは、オーバーサンプリング及び積算によって、測定対象物が高速移動する場合であっても良好な計測結果を得ることができる。

10

【0111】

第2実施形態の距離画像取得装置1Aは、第1実施形態の距離画像取得装置1と同様に、所定の行に含まれる画素回路13A₁～13A₅を一括して有感ピクセル領域AEに設定することが可能である。さらに、距離画像取得装置1Aは、所定の行に含まれない画素回路13A₁～13A₅を一括して、不感ピクセル領域ANに設定することが可能である。従って、第2実施形態の距離画像取得装置1Aも、オーバーサンプリング及び積算動作をさせることができる。

20

【0112】

第2実施形態の距離画像取得装置1Aも、第1実施形態の距離画像取得装置1と同様に、第1～第5の制御電極ドライバ回路により制御パルスG_{1p}～G_{4p}、G_{1n}～G_{4n}、G_{Dp}、G_{Dn}が中継される構成と、第1～第5の制御電極ドライバ回路のそれぞれを、制御電極25₁～25₄、25_Dの数と同一数の画素回路13A₁～13A₅を有する画素回路群15Aで共用する構成と、により、ピクセルサイズを小さく保ちつつ転送制御パルスG_{1out}～G_{4out}、G_{Dout}の波形のなまりを低減できる。

【0113】

第2実施形態の距離画像取得装置1Aも、第1実施形態の距離画像取得装置1と同様に、分配回路33Aと第1～第5の制御電極ドライバ回路とのそれぞれを電氣的に接続する複数の配線47a₁～47a₅、47b₁～47b₅を分離して配置する。その結果、異なる制御パルスG_{1p}～G_{4p}、G_{1n}～G_{4n}、G_{Dp}、G_{Dn}の間のクロストークを防止して安定したピクセルの駆動が実現でき、結果として距離分解能の高い距離画像の生成が可能となる。

30

【0114】

さらに、第2実施形態の距離画像センサ10Aは、第1実施形態の距離画像センサ10とは異なる以下のような効果を奏することもできる。

【0115】

本実施形態の距離画像センサ10Aにおいては、NOR型ドライバ回路41A₁～41A₄及びNAND型ドライバ回路41A₅内の2つのトランジスタ43₁～43₅、45₁～45₅のゲートに別々の配線47a₁～47a₅、47b₁～47b₅を経由して制御パルスG_{1p}～G_{4p}、G_{1n}～G_{4n}、G_{Dp}、G_{Dn}の反転信号が供給される。このような構成により、画素回路13A₁～13A₅に供給される制御パルスG_{1p}～G_{4p}、G_{1n}～G_{4n}、G_{Dp}、G_{Dn}の反転信号になまりが生じた場合であってもNOR型ドライバ回路41A₁～41A₄及びNAND型ドライバ回路41A₅を流れる貫通電流の発生を防止できる。NOR型ドライバ回路41A₁～41A₄及びNAND型ドライバ回路41A₅での貫通電流の発生は、ピクセル数が多くなった場合に距離画像センサ10Aに接続される電源を流れる電流の増加を招く。従って、電源電圧の瞬時的なドロップを引き起こす場合がある。その結果、画素回路13A₁～13A₅内の制御電極ドライバ回路が正常に動作せず、制御電極ドライバ回路の応答速度が遅くなる結果、高速なピクセルの駆動が困難と

40

50

なる。

【0116】

図13は、一般的なCMOSインバータ回路における入力制御パルス V_{IN} と貫通電流 I との関係を示すグラフである。図14は、一般的なCMOSインバータ回路を用いた場合の入力制御パルス V_{IN} に対する貫通電流 I の時間波形を示す図である。このように、一般的なCMOSインバータでは、入力制御パルス V_{IN} がハイ電位(V_{DD})とロー電位($0V$)の間の中間電位において貫通電流 I が急激に増加する。そのため、理想的な矩形波の波形WF1を入力制御パルスとして入力した場合には入力制御パルスのレベルの遷移タイミングで一瞬だけ貫通電流 I が生じる。一方、矩形波がなまった波形WF2を入力制御パルスとして入力した場合には、中間電位の期間が長くなるために貫通電流 I がより長期間にわたって継続的に生じる。そのため、一般的なCMOSインバータ回路を制御電極ドライバ回路として用いた場合は、入力制御パルスのなまりが大きくなるに従って制御電極ドライバ回路を流れる貫通電流の積分値が次第に増加する。一方、距離画像センサ10Aによれば、制御電極ドライバ回路における貫通電流が十分に低減でき、高速なピクセルの駆動が可能となる。その結果、距離分解能の高い距離画像の生成が可能となる。

10

【0117】

特に、本実施形態では、分配回路33Aが、各NOR型ドライバ回路41A₁～41A₄及びNAND型ドライバ回路41A₅を構成する2つのトランジスタ43₁～43₅、45₁～45₅のゲートに互いにオン期間が重複しないような制御パルス G_{1p} ～ G_{4p} 、 G_{1n} ～ G_{4n} 、 G_{Dp} 、 G_{Dn} の反転信号を供給するように機能している。これにより、NOR型ドライバ回路41A₁～41A₄及びNAND型ドライバ回路41A₅を含む第1～第5の制御電極ドライバ回路における貫通電流が確実に防止でき、高速なピクセルの駆動が可能となる。

20

【0118】

[第3実施形態]

次に、第3実施形態にかかる距離画像取得装置1Bが有する距離画像センサ10Bの構成について、第2実施形態の距離画像センサ10Aに対する相違点を中心に説明する。

【0119】

図15は、距離画像センサ10Bの概略構成を示すブロック図である。図15に示す距離画像センサ10Bは、第2実施形態にかかる距離画像センサ10Aと比較して、分配回路33Bの機能と、周辺回路31B及び画素回路13Bにおけるインバータ回路及びドライバ回路の構成が異なる。

30

【0120】

周辺回路31Bは、分配回路33Bとインバータ回路ユニット38Bと画素切替回路34Bとを有する。画素切替回路34Bは、第1実施形態の画素切替回路34と同様の構成と機能とを奏するため、説明は省略する。

【0121】

分配回路33Bは、制御パルス G_1 、 G_2 、 G_3 、 G_4 、 G_D を分配することにより、制御パルス G_{1p} ～ G_{4p} 、 G_{Dp} の反転信号と、制御パルス G_{1n} ～ G_{4n} 、 G_{Dn} と、を方向に沿って繰り返し生成する。

40

【0122】

また、周辺回路31Bのインバータ回路ユニット38Bは、インバータ回路63₁、63₂、63₃、63₄、63₅と、p型MOSトランジスタ71₁～71₅と、を有する。つまり、インバータ回路ユニット38Bは、インバータ回路61₁～61₅に代えて、p型MOSトランジスタ71₁～71₅を有する。p型MOSトランジスタ71₁～71₅のゲートのそれぞれには分配回路33Bから制御パルス G_{1p} ～ G_{4p} 、 G_{Dp} の反転信号が入力される。p型MOSトランジスタ71₁～71₅のソースがハイ電位線 V_{DH} に接続される。

【0123】

画素回路群15Bを構成する各画素回路13B内には、NOR型ドライバ回路41₁～

50

4 1₄ 及び NAND 型ドライバ回路 4 1₅ に代えて、NOR 型ドライバ回路 4 1 B₁ ~ 4 1 B₄ 及び NAND 型ドライバ回路 4 1 B₅ がそれぞれ設けられる。NOR 型ドライバ回路 4 1 B₁ ~ 4 1 B₄ 及び NAND 型ドライバ回路 4 1 B₅ は、CMOS ドライバ回路である。詳細には、NOR 型ドライバ回路 4 1 B₁ ~ 4 1 B₄ は、p 型 MOS トランジスタ 4 4₁ ~ 4 4₄ と n 型 MOS トランジスタ 4 5₁ ~ 4 5₄ とを有する。一方、NAND 型ドライバ回路 4 1 B₅ は、n 型 MOS トランジスタ 4 6 と n 型 MOS トランジスタ 4 5₅ とを有する。つまり、NAND 型ドライバ回路 4 1 B₅ は、p 型 MOS トランジスタ 4 4₁ に代えて n 型 MOS トランジスタ 4 6 を有する点で、NOR 型ドライバ回路 4 1 B₁ と相違する。

【0124】

詳細には、NOR 型ドライバ回路 4 1 B₁ ~ 4 1 B₄ は、以下の構成を有する。

【0125】

p 型 MOS トランジスタ 4 4₁ ~ 4 4₄ のソースは、配線 4 7 a₁ ~ 4 7 a₄ を介して p 型 MOS トランジスタ 7 1₁ ~ 7 1₄ のドレインに接続される。p 型 MOS トランジスタ 4 4₁ ~ 4 4₄ のソースには、制御パルス G_{1p} ~ G_{4p} の反転信号が入力される。p 型 MOS トランジスタ 4 4₁ ~ 4 4₄ のゲートは、配線 4 8_G を介して画素切替回路 3 4 B に接続される。p 型 MOS トランジスタ 4 4₁ ~ 4 4₄ のゲートは、論理パルス E_{SR} (j) の反転信号を受ける。p 型 MOS トランジスタ 4 4₁ ~ 4 4₄ のドレインと n 型 MOS トランジスタ 4 5₁ ~ 4 5₄ のドレインとが互いに接続される。n 型 MOS トランジスタ 4 5₁ ~ 4 5₄ のゲートは、配線 4 7 b₁ ~ 4 7 b₄ を介してインバータ回路 6 3₁ ~ 6 3₄ の出力端に接続される。n 型 MOS トランジスタ 4 5₁ ~ 4 5₄ のゲートには、制御パルス G_{1n} ~ G_{4n} の反転信号が入力される。n 型 MOS トランジスタ 4 5₁ ~ 4 5₄ のソースは、ロー電位線 V_{DL} に接続される。

【0126】

詳細には、NAND 型ドライバ回路 4 1 B₅ は、以下の構成を有する。n 型 MOS トランジスタ 4 6 のドレインは、配線 4 7 a₅ を介して p 型 MOS トランジスタ 7 1₅ のドレインに接続される。n 型 MOS トランジスタ 4 6 のドレインには、制御パルス G_{Dp} の反転信号が入力される。n 型 MOS トランジスタ 4 6 のゲートは、配線 4 8_D を介して画素切替回路 3 4 B に接続される。n 型 MOS トランジスタ 4 6 のゲートには、論理パルス E_{SR} (j) が入力される。n 型 MOS トランジスタ 4 6 のソースは、n 型 MOS トランジスタ 4 5₅ のドレインに接続される。n 型 MOS トランジスタ 4 5₅ のゲートは、配線 4 7 b₅ を介してインバータ回路 6 3₅ の出力に接続される。n 型 MOS トランジスタ 4 5₅ のゲートには、制御パルス G_{Dn} の反転信号が入力される。n 型 MOS トランジスタ 4 5₅ のソースは、ロー電位線 V_{DL} に接続される。

【0127】

上記のように、p 型 MOS トランジスタ 7 1₁ ~ 7 1₄ と p 型 MOS トランジスタ 4 4₁ ~ 4 4₄ とが直列に接続された構成により、画素回路群 1 5 B に含まれる画素回路 1 3 B₁ ~ 1 3 B₅ の制御電極 2 5₁ ~ 2 5₄ に印加する転送制御パルスを生成する NOR 型ドライバ回路（制御電極ドライバ回路）が構成される。また、p 型 MOS トランジスタ 7 1₅ と n 型 MOS トランジスタ 4 6 とが直列に接続された構成により、画素回路群 1 5 B 内の制御電極 2 5_D に印加する転送制御パルスを生成する NAND 型ドライバ回路（制御電極ドライバ回路）が構成される。

【0128】

〔第3実施形態／作用効果〕

第3実施形態の距離画像取得装置 1 B も、第2実施形態の距離画像取得装置 1 A と同様の効果を奏することができる。つまり、距離画像取得装置 1 B は、オーバーサンプリング及び積算によって、測定対象物が高速移動する場合であっても良好な計測結果を得ることができる。

【0129】

第3実施形態の距離画像取得装置 1 B は、第2実施形態の距離画像取得装置 1 A と同様に、所定の行に含まれる画素回路 1 3 B₁ ~ 1 3 B₅ を一括して有感ピクセル領域 A E に

10

20

30

40

50

設定することが可能である。さらに、所定の行に含まれない画素回路 $13B_1 \sim 13B_5$ を一括して、不感ピクセル領域 AN に設定することが可能である。従って、第3実施形態の距離画像取得装置 $1B$ も、オーバーサンプリング及び積算動作をさせることができる。

【0130】

第3実施形態の距離画像取得装置 $1B$ も、第2実施形態の距離画像取得装置 $1A$ と同様に、第1～第5の制御電極ドライバ回路により制御パルス $G_{1p} \sim G_{4p}$ 、 $G_{1n} \sim G_{4n}$ 、 G_{Dp} 、 S_{Dn} が中継される構成と、第1～第5の制御電極ドライバ回路のそれぞれを、制御電極 $25_1 \sim 25_4$ 、 25_D の数と同一数の画素回路 $13B_1 \sim 13B_5$ を有する画素回路群 $15B$ で共用する構成と、により、ピクセルサイズを小さく保ちつつ転送制御パルス $G_{1out} \sim G_{4out}$ 、 G_{Dout} の波形のなまりを低減できる。

10

【0131】

第3実施形態の距離画像取得装置 $1B$ も、第2実施形態の距離画像取得装置 $1A$ と同様に、分配回路 $33B$ と第1～第5の制御電極ドライバ回路とのそれぞれを電氣的に接続する複数の配線 $47a_1 \sim 47a_5$ 、 $47b_1 \sim 47b_5$ を分離して配置する構成により、異なる制御パルス $G_{1p} \sim G_{4p}$ 、 $G_{1n} \sim G_{4n}$ 、 G_{Dp} 、 G_{Dn} の間のクロストークを防止して安定したピクセルの駆動が実現できる。その結果として、距離分解能の高い距離画像の生成が可能となる。

【0132】

第3実施形態の距離画像取得装置 $1B$ も、第2実施形態の距離画像取得装置 $1A$ と同様に、各 NOR 型ドライバ回路 $41B_1 \sim 41B_4$ 及び $NAND$ 型ドライバ回路 $41B_5$ に互いにオン期間が重複しないような制御パルスを供給する回路構成を有する。つまり、配線 $47a_1 \sim 47a_5$ 、 $47b_1 \sim 47b_5$ を有する。この構成によれば、 NOR 型ドライバ回路 $41B_1 \sim 41B_4$ 及び $NAND$ 型ドライバ回路 $41B_5$ を有する第1～第5の制御電極ドライバ回路における貫通電流が確実に防止でき、高速なピクセルの駆動が可能となる。

20

【0133】

さらに、第3実施形態の距離画像センサ $10B$ は、第2実施形態の距離画像センサ $10A$ とは異なる以下のような効果を奏することもできる。

【0134】

本実施形態の制御電極ドライバ回路の構成により、 NOR 型ドライバ回路を構成する一方のトランジスタである p 型 MOS トランジスタ $71_1 \sim 71_4$ のドレインは配線 $47a_1 \sim 47a_4$ を介して p 型 MOS トランジスタ $44_1 \sim 44_4$ のソースに接続され、さらに p 型 MOS トランジスタ $44_1 \sim 44_4$ のソースドレイン間の p チャネルを介して p 型 MOS トランジスタ $44_1 \sim 44_4$ のドレインが制御電極 $25_1 \sim 25_4$ に接続される。一方で、 NOR 型ドライバ回路を構成する他方のトランジスタである n 型 MOS トランジスタ $45_1 \sim 45_4$ のドレインは各画素回路 $13B$ 内で制御電極 $25_1 \sim 25_4$ に接続される。そのため、制御電極 $25_1 \sim 25_4$ に印加される転送制御パルス $G_{1out} \sim G_{4out}$ において、立ち上がりはなだらかな状態であるが、立ち下がり急峻な状態を生じさせることができる。

30

【0135】

図16は、本実施形態の距離画像センサ $10B$ により生成される転送制御パルス G_{1out} 、 G_{2out} の波形の一例を示す。図17は、画素回路 $13B$ の信号電荷処理領域 $17B$ における各領域の配置例を示す平面図である。図18は、画素回路 $13B$ の信号電荷処理領域 $17B$ における電位分布を示す図である。図18は、図17に示す一点鎖線 CL に沿った電位分布を示している。

40

【0136】

図17に示す信号電荷処理領域 $17B$ においては、中央に光電変換領域 21 が設けられ、光電変換領域 21 の周りの信号電荷処理領域 $17B$ の四隅に電荷読出領域 $22_1 \sim 22_4$ が配置され、電荷読出領域 $22_1 \sim 22_4$ のうちの2つの領域間に電荷排出領域 23 が配置される。さらに、光電変換領域 21 とそれぞれの電荷読出領域 $22_1 \sim 22_4$ との間の電荷移動経路を両側から挟むように制御電極 $25_1 \sim 25_4$ が設けられ、光電変換領域 2

50

1と電荷排出領域23との間の電荷移動経路を両側から挟むように制御電極25_Dが設けられる。図18には、制御電極25₁にロー電位を印加し、制御電極25₂にハイ電位を印加した場合の電荷移動経路における電位分布を実線で示す。また、制御電極25₁にハイ電位を印加し、制御電極25₂にロー電位を印加した場合の電荷移動経路における電位分布を点線で示している。このような電位形成特性により、図16に示すように転送制御パルスG_{1out}を急峻に立ち下げることにより、電荷読出領域22₁への電荷の移動を瞬時に止めることができ、その後に転送制御パルスG_{2out}を緩やかに立ち上げても転送制御パルスG_{2out}を立ち下げるまでの期間において光電変換領域21で発生した電荷を漏れなく電荷読出領域22₂へ移動させることができる。

【0137】

本実施形態の距離画像センサ10Bによれば、周辺回路31Bにインバータ回路を構成する一方のp型MOSトランジスタが備えられ、画素回路13B内にNOR型ドライバ回路あるいはNAND型ドライバ回路を構成する他方のn型MOSトランジスタが備えられている。このような構成により、画素回路13B内のトランジスタ数を低減することによりピクセルサイズを小さく保つことができる。さらに、高速なピクセルの駆動が可能となる。

【0138】

特に、本実施形態では、画素回路13Bにn型MOSトランジスタを備えることにより、制御電極25₁～25₄、25_Dに印加される転送制御パルスG_{1out}～G_{4out}、G_{Dout}の立ち下がり急峻にすることができ、転送制御パルスG_{1out}～G_{4out}、G_{Dout}のパルス幅を短くしても安定して電荷読出領域22₁～22₄への電荷の移動が可能となる。その結果、高速なピクセルの駆動が実現できる。

【0139】

〔第4実施形態〕

次に、第4実施形態にかかる距離画像取得装置1Cが有する距離画像センサ10Cの構成について、第1実施形態との相違点を中心に説明する。

【0140】

図19は、距離画像センサ10Cの概略構成を示すブロック図である。図19に示す距離画像センサ10Cは、第1実施形態にかかる距離画像センサ10と比較して、画素回路13Cが有するインバータ回路41C₁～41C₄の構成が異なる。

【0141】

周辺回路31Cは、分配回路33Cとインバータ回路ユニット38Cと画素切替回路34Cとを有する。分配回路33Cの構成及び機能は、第1実施形態の分配回路33の構成及び機能と同じである。同様にインバータ回路ユニット38Cの構成及び機能は、第1実施形態のインバータ回路ユニット38の構成及び機能と同じである。一方、画素切替回路34Cは、論理パルスE_{SR(j)}のみを出力し、論理パルスE_{SR(j)}の反転信号を出力しない点で、第1実施形態の画素切替回路34と相違する。

【0142】

画素回路群15Cを構成する各画素回路13C内には、NOR型ドライバ回路41₁～41₄に代えて、インバータ回路41C₁～41C₄がそれぞれ設けられる。インバータ回路41C₁～41C₄は、CMOSインバータ回路である。詳細には、インバータ回路41C₁～41C₄は、p型MOSトランジスタ43₁～43₄とn型MOSトランジスタ45₁～45₄とを有する。一方、NAND型ドライバ回路41C₅は、p型MOSトランジスタ43₅と、n型MOSトランジスタ46Aとn型MOSトランジスタ45₅とを有する。つまり、NAND型ドライバ回路41C₅は、n型MOSトランジスタ46Aを有する点で、インバータ回路41C₁と相違する。

【0143】

詳細には、インバータ回路41C₁～41C₄は、以下の構成を有する。

【0144】

p型MOSトランジスタ43₁～43₄のソースは、ハイ電位線V_{DH}に接続される。p型

10

20

30

40

50

MOSトランジスタ43₁～43₄のゲートは、配線47₁～47₄を介してインバータ回路35₁～35₄の出力に接続される。また、p型MOSトランジスタ43₁～43₄のゲートは、n型MOSトランジスタ45₁～45₄のゲートにも接続される。p型MOSトランジスタ43₁～43₄のゲートには、制御パルスG₁～G₄の反転信号が入力される。p型MOSトランジスタ43₁～43₄のドレインとn型MOSトランジスタ45₁～45₄のドレインとが互いに接続される。n型MOSトランジスタ45₁～45₄のゲートは、配線47₁～47₄を介してインバータ回路35₁～35₄の出力に接続される。n型MOSトランジスタ45₁～45₄のゲートには、制御パルスG₁～G₄の反転信号が入力される。n型MOSトランジスタ45₁～45₄のソースは、ロー電位線V_{DL}に接続される。

【0145】

さらに、NAND型ドライバ回路41C₅は、以下の構成を有する。

【0146】

p型MOSトランジスタ43₅のソースは、ハイ電位線V_{DH}に接続される。p型MOSトランジスタ43₅のゲートは、入力端子である。p型MOSトランジスタ43₅のゲートは、インバータ回路35₅の出力に配線47₅を介して接続される。p型MOSトランジスタ43₅のドレインとn型MOSトランジスタ46Aのドレインとが互いに接続される。n型MOSトランジスタ46Aのゲートは、入力端子である。n型MOSトランジスタ46Aのゲートは、配線48_Dを介して画素切替回路34Cに接続される。n型MOSトランジスタ46Aのソースは、n型MOSトランジスタ45₅のドレインに接続される。n型MOSトランジスタ45₅のソースは、n型MOSトランジスタ46のドレインに接続される。n型MOSトランジスタ45₅のゲートは、入力端子である。n型MOSトランジスタ45₅のゲートは、インバータ回路35₅の出力に配線47₅を介して接続される。n型MOSトランジスタ45₅のソースは、ロー電位線V_{DL}に接続される。

【0147】

〔第4実施形態／作用効果〕

第4実施形態の距離画像取得装置1Cも、第1実施形態の距離画像取得装置1と同様の効果を奏することができる。つまり、距離画像取得装置1Cは、オーバーサンプリング及び積算によって、測定対象物が高速移動する場合であっても良好な計測結果を得ることができる。

【0148】

第4実施形態の距離画像取得装置1Cは、第1実施形態の距離画像取得装置1と同様に、所定の行に含まれる画素回路13C₁～13C₅を一括して有感ピクセル領域A_Eに設定することが可能である。さらに、所定の行に含まれない画素回路13C₁～13C₅を一括して、不感ピクセル領域A_Nに設定することが可能である。従って、第4実施形態の距離画像取得装置1Cも、オーバーサンプリング及び積算動作をさせることができる。

【0149】

第4実施形態の距離画像取得装置1Cも、第1実施形態の距離画像取得装置1と同様に、第1～第5の制御電極ドライバ回路により制御パルスG₁～G₄、G_Dが中継される構成と、第1～第5の制御電極ドライバ回路のそれぞれを、制御電極25₁～25₄、25_Dの数と同一数の画素回路13C₁～13C₅を有する画素回路群15Cで共用する構成と、により、ピクセルサイズを小さく保ちつつ転送制御パルスG_{1out}～G_{4out}、G_{Dout}の波形のなまりを低減できる。

【0150】

第4実施形態の距離画像取得装置1Cも、第1実施形態の距離画像取得装置1と同様に、分配回路33Cと第1～第5の制御電極ドライバ回路とのそれぞれを電氣的に接続する複数の配線47₁～47₅を分離して配置する構成により、異なる制御パルスG₁～G₄、G_Dの反転信号間のクロストークを防止して安定したピクセルの駆動が実現できる。結果として距離分解能の高い距離画像の生成が可能となる。

【0151】

さらに、第4実施形態の距離画像取得装置1Cは、第1実施形態の距離画像取得装置1

10

20

30

40

50

とは異なる以下のような効果を奏することもできる。

【0152】

距離画像センサ10Cは、電荷排出領域23を有効または無効に制御する論理パルス $E_{SR}(j)$ のための配線48Dを有する。つまり、第1実施形態の距離画像センサ10のように、電荷読出領域22₁～22₄を有効または無効に制御する論理パルス $E_{SR}(j)$ の反転信号のための配線を有しない。従って、回路構成を簡易にすることができる。

【0153】

[第5実施形態]

次に、第5実施形態にかかる距離画像取得装置1Dが有する距離画像センサ10Dの構成について、第2実施形態との相違点を中心に説明する。

【0154】

図20は、距離画像センサ10Dの概略構成を示すブロック図である。図20に示す距離画像センサ10Dは、第2実施形態にかかる距離画像センサ10Aと比較して、画素回路13Dが有するインバータ回路41D₁～41D₄の構成が異なる。

【0155】

周辺回路31Dは、分配回路33Dとインバータ回路ユニット38Dと画素切替回路34Dとを有する。分配回路33Dの構成及び機能は、第2実施形態の分配回路33Aの構成及び機能と同じである。同様に、インバータ回路ユニット38Dの構成及び機能は、第2実施形態のインバータ回路ユニット38Aの構成及び機能と同じである。一方、画素切替回路34Dは、論理パルス $E_{SR}(j)$ のみを出力し、論理パルス $E_{SR}(j)$ の反転信号を出力しない点で、第2実施形態の画素切替回路34Aと相違する。

【0156】

画素回路群15Dを構成する各画素回路13D₁～13D₅内には、NOR型ドライバ回路41A₁～41A₄に代えて、インバータ回路41D₁～41D₄がそれぞれ設けられる。インバータ回路41D₁～41D₄の構成及び機能は、第4実施形態のインバータ回路41C₁～41C₄と同様である。一方、インバータ回路41D₁～41D₄は、インバータ回路41D₁～41D₄を構成するp型MOSトランジスタ43₁～43₄及びn型MOSトランジスタ45₁～45₄のそれぞれのゲートの接続構成が第4実施形態のインバータ回路41C₁～41C₄と相違する。

【0157】

詳細には、p型MOSトランジスタ43₁～43₅のゲートは、配線47a₁～47a₅を介してインバータ回路61₁～61₅の出力に接続される。p型MOSトランジスタ43₁～43₅のゲートには、制御パルスG_{1p}～G_{4p}、G_{Dp}の反転信号が入力される。n型MOSトランジスタ45₁～45₅のゲートは、配線47b₁～47b₅を介してインバータ回路63₁～63₅の出力に接続される。n型MOSトランジスタ45₁～45₅のゲートには、制御パルスG_{1n}～G_{4n}、G_{Dn}の反転信号が入力される。

【0158】

[第5実施形態／作用効果]

第5実施形態の距離画像取得装置1Dも、第2実施形態の距離画像取得装置1Aと同様の効果を奏することができる。つまり、距離画像取得装置1Dは、オーバーサンプリング及び積算によって、測定対象物が高速移動する場合であっても良好な計測結果を得ることができる。

【0159】

第5実施形態の距離画像取得装置1Dは、第2実施形態の距離画像取得装置1Aと同様に、所定の行に含まれる画素回路13D₁～13D₅を一括して有感ピクセル領域AEに設定することが可能である。さらに、所定の行に含まれない画素回路13D₁～13D₅を一括して、不感ピクセル領域ANに設定することが可能である。従って、第5実施形態の距離画像取得装置1Dも、オーバーサンプリング及び積算動作をさせることができる。

【0160】

第5実施形態の距離画像取得装置1Dも、第2実施形態の距離画像取得装置1Aと同様

10

20

30

40

50

に、第1～第5の制御電極ドライバ回路により制御パルス $G_{1p} \sim G_{4p}$ 、 $G_{1n} \sim G_{4n}$ 、 G_{Dp} 、 G_{Dn} が中継される構成と、第1～第5の制御電極ドライバ回路のそれぞれを、制御電極 $25_1 \sim 25_4$ 、 25_D の数と同一数の画素回路 $13D_1 \sim 13D_5$ を有する画素回路群 $15D$ で共用する構成と、により、ピクセルサイズを小さく保ちつつ転送制御パルス $G_{1out} \sim G_{4out}$ 、 G_{Dout} の波形のなまりを低減できる。

【0161】

第5実施形態の距離画像取得装置1Dも、第2実施形態の距離画像取得装置1Aと同様に、分配回路 $33D$ と第1～第5の制御電極ドライバ回路とのそれぞれを電氣的に接続する複数の配線 $47a_1 \sim 47a_5$ 、 $47b_1 \sim 47b_5$ を分離して配置する構成により、異なる制御パルス $G_{1p} \sim G_{4p}$ 、 $G_{1n} \sim G_{4n}$ 、 G_{Dp} 、 G_{Dn} の間のクロストークを防止して安定したピクセルの駆動が実現できる。結果として距離分解能の高い距離画像の生成が可能となる。

10

【0162】

第5実施形態の距離画像取得装置1Dも、第2実施形態の距離画像取得装置1Aと同様に、各インバータ回路 $41D_1 \sim 41D_4$ 及びNAND型ドライバ回路 $41D_5$ を構成する2つのトランジスタ $43_1 \sim 43_5$ 、 $45_1 \sim 45_5$ のゲートに互いにオン期間が重複しないような制御パルスを供給する回路構成を有する。つまり、距離画像取得装置1Dは、配線 $47a_1 \sim 47a_5$ 、 $47b_1 \sim 47b_5$ を有する。この構成によれば、インバータ回路 $41D_1 \sim 41D_4$ 及びNAND型ドライバ回路 $41D_5$ を有する第1～第5の制御電極ドライバ回路における貫通電流が確実に防止できる。その結果、高速なピクセルの駆動が可能となる。

20

【0163】

さらに、第5実施形態の距離画像取得装置1Dは、第2実施形態の距離画像取得装置1Aとは異なる以下のような効果を奏することもできる。

【0164】

第5実施形態の距離画像取得装置1Dは、第2実施形態の距離画像取得装置1Aと同様に、制御電極ドライバ回路における貫通電流が十分に低減でき、高速なピクセルの駆動が可能となる。その結果、距離分解能の高い距離画像の生成が可能となる。

【0165】

距離画像取得装置1Dは、電荷排出領域 23 を有効または無効に制御する論理パルス $E_{SR}(j)$ のための配線 $48D$ を有する。つまり、第2実施形態の距離画像取得装置1Aのように、電荷読出領域 $22_1 \sim 22_4$ を制御する論理パルス $E_{SR}(j)$ の反転信号のための配線を有しない。従って、回路構成を簡易にすることができる。

30

【0166】

〔第6実施形態〕

次に、第6実施形態にかかる距離画像取得装置1Eが有する距離画像センサ $10E$ の構成について、第3実施形態との相違点を中心に説明する。

【0167】

図21は、距離画像センサ $10E$ の概略構成を示すブロック図である。距離画像センサ $10E$ は、いわゆる貫通電流を低減するための素子構造を有する。図21に示す距離画像センサ $10E$ は、第3実施形態にかかる距離画像センサ $10B$ と比較して、画素回路 $13E$ が有する制御回路の構成が異なる。

40

【0168】

周辺回路 $31E$ は、分配回路 $33E$ とインバータ回路ユニット $38E$ と画素切替回路 $34E$ とを有する。分配回路 $33E$ の構成及び機能は、第3実施形態の分配回路 $33B$ の構成及び機能と同じである。同様に、インバータ回路ユニット $38E$ の構成及び機能は、第3実施形態のインバータ回路ユニット $38B$ の構成及び機能と同じである。一方、画素切替回路 $34E$ は、論理パルス $E_{SR}(j)$ のみを出力し、論理パルス $E_{SR}(j)$ の反転信号を出力しない点で、第3実施形態の画素切替回路 $34B$ と相違する。

【0169】

50

画素回路群 15E を構成する各画素回路 13E₁ ~ 13E₄ 内には、NAND 型ドライバ回路 41B₁ ~ 41B₄ に代えて、NAND 型ドライバ回路 41E₁ ~ 41E₄ が設けられる。NAND 型ドライバ回路 41E₁ ~ 41E₄ は、それぞれ n 型 MOS トランジスタ 45₁ ~ 45₄ を含む。つまり、画素回路 13E₁ ~ 13E₄ に設けられる制御回路は、p 型 MOS トランジスタ 43₁ ~ 43₄ が設けられていない点で、NAND 型ドライバ回路 41B₁ ~ 41B₄ と相違する。一方、画素回路 13E₅ に設けられる NAND 型ドライバ回路 41E₅ の構成及び機能は、NAND 型ドライバ回路 41B₅ の構成及び機能と同じである。

【0170】

〔第 6 実施形態／作用効果〕

第 6 実施形態の距離画像取得装置 1E も、第 3 実施形態の距離画像取得装置 1B と同様の効果を奏することができる。つまり、距離画像センサ 10E は、オーバーサンプリング及び積算によって、測定対象物が高速移動する場合であっても良好な計測結果を得ることができる。

【0171】

第 6 実施形態の距離画像取得装置 1E は、第 3 実施形態の距離画像取得装置 1B と同様に、所定の行に含まれる画素回路 13E₁ ~ 13E₅ を一括して有感ピクセル領域 AE に設定することが可能である。さらに、所定の行に含まれない画素回路 13E₁ ~ 13E₅ を一括して、不感ピクセル領域 AN に設定することが可能である。従って、第 6 実施形態の距離画像取得装置 1E も、オーバーサンプリング及び積算動作をさせることができる。

【0172】

第 6 実施形態の距離画像取得装置 1E も、第 3 実施形態の距離画像取得装置 1B と同様に、第 1 ~ 第 5 の制御電極ドライバ回路により制御パルス G_{1p} ~ G_{4p}, G_{1n} ~ G_{4n}, G_{Dp}, G_{Dn} が中継される構成と、第 1 ~ 第 5 の制御電極ドライバ回路のそれぞれを、制御電極 25₁ ~ 25₄, 25_D の数と同一数の画素回路 13E₁ ~ 13E₅ を有する画素回路群 15E で共用する構成と、により、ピクセルサイズを小さく保ちつつ転送制御パルス G_{1out} ~ G_{4out}, G_{Dout} の波形のなまりを低減できる。

【0173】

第 6 実施形態の距離画像取得装置 1E も、第 3 実施形態の距離画像取得装置 1B と同様に、分配回路 33E と第 1 ~ 第 5 の制御電極ドライバ回路とのそれぞれを電氣的に接続する複数の配線 47a₁ ~ 47a₅, 47b₁ ~ 47b₅ を分離して配置する構成により、異なる制御パルス G_{1p} ~ G_{4p}, G_{1n} ~ G_{4n}, G_{Dp}, G_{Dn} の間のクロストークを防止して安定したピクセルの駆動が実現できる。結果として距離分解能の高い距離画像の生成が可能となる。

【0174】

第 6 実施形態の距離画像取得装置 1E も、第 2 実施形態の距離画像取得装置 1A と同様に、各インバータ回路 41E₁ ~ 41E₄ 及び NAND 型ドライバ回路 41E₅ をオン期間が重複しないような制御パルスを供給する回路構成を有する。つまり、配線 47a₁ ~ 47a₅, 47b₁ ~ 47b₅ を有する。インバータ回路 41E₁ ~ 41E₄ 及び NAND 型ドライバ回路 41E₅ を有する第 1 ~ 第 5 の制御電極ドライバ回路における貫通電流が確実に防止でき、高速なピクセルの駆動が可能となる。

【0175】

さらに、第 6 実施形態の距離画像取得装置 1E は、第 2 実施形態の距離画像取得装置 1A とは異なる以下のような効果を奏することもできる。

【0176】

第 6 実施形態の距離画像取得装置 1E によれば、第 3 実施形態の距離画像取得装置 1B と同様の効果を奏することができる。要するに、第 6 実施形態の距離画像取得装置 1E は、周辺回路 31E にインバータ回路あるいは NAND 型ドライバ回路を構成する一方の p 型 MOS トランジスタを有する。さらに、距離画像取得装置 1E は、画素回路 13E₁ ~ 13E₅ 内にインバータ回路あるいは NAND 型ドライバ回路を構成する他方の n 型 MO

10

20

30

40

50

Sトランジスタを有する。このような構成により、画素回路13E内のトランジスタ数を低減される。その結果、ピクセルサイズを小さく保つことができると共に、高速なピクセルの駆動が可能となる。

【0177】

[第7実施形態]

次に、第7実施形態の距離画像取得装置1Fについて説明する。第1実施形態の距離画像取得装置1は、測定対象領域Aの全幅をカバーするようにパルス光 L_P を照射した。一方、図22に示すように第7実施形態の距離画像取得装置1Fは、測定対象領域Aの幅方向における一部にパルス光 L_P を照射する。

【0178】

上述した第1実施形態の距離画像取得装置1は、図10等に行ごとに行ごとに有感ピクセル領域AEと不感ピクセル領域ANとを切り替えた。第7実施形態の距離画像取得装置1Fは、行ごとに画素回路13Fの動作を有感又は不感に設定する動作に加えて、さらに、列ブロックごとに有感又は不感に設定する動作を行う。これらの動作によると、図23に示すように、画素アレイ14Fにおいて特定の領域を有感ピクセル領域AEに設定し、その他の領域を不感ピクセル領域ANに設定することができる。そして、有感ピクセル領域AEは、図23における左から右に順に列ブロックごとに移動したのちに、次の行へ移動する。

【0179】

距離画像センサ10Fは、画素アレイ14Fと、演算回路12と、周辺回路31Fと、を有する。周辺回路31Fは、分配回路33Fと、画素切替回路(列)54Fと、論理演算回路55Fと、画素切替回路(行)56Fと、を有する。

【0180】

図24は、距離画像センサ10Fの具体的な回路構成を示す図である。距離画像センサ10Fは、4個の電荷読出領域22₁~22₄を有する画素回路13Fを有し、画素回路13Fの有感/不感を切り替える周辺回路31Fを有する。特に周辺回路31Fは、行ごとではなく、ブロック単位で画素回路13Fの有感/不感を切り替える。

【0181】

分配回路33Fは、第1実施形態の分配回路33と同様の構成と機能とを有する。分配回路33Fは、演算回路12から制御パルス $G_1 \sim G_4$, G_D を受ける。分配回路33Fは、論理演算回路55Fの論理演算ユニット57F_Uごとに制御パルス $G_1 \sim G_4$, G_D を提供する。

【0182】

画素切替回路(列)54Fの入力は、演算回路12に接続されている。画素切替回路(列)54Fは、演算回路12から制御パルス $SPIN$, $SLCK$, $SENB$, $SDENB$ を受ける。画素切替回路(列)54Fの出力は、論理演算回路55Fに接続されている。画素切替回路(列)54Fは、論理演算回路55Fに論理パルス(列) $E_{SC}(i-4:i)$ を提供する。

【0183】

論理演算回路55Fの入力は、分配回路33F及び画素切替回路(列)54Fに接続されている。論理演算回路55Fは、分配回路33Fから論理演算ユニット57F_Uごとに制御パルス $G_1 \sim G_4$, G_D を受ける。論理演算回路55Fは、画素切替回路(列)54Fから論理演算ユニット57F_Uごとに論理パルス(列) $E_{SC}(i-4:i)$ を受ける。ある論理演算回路55Fは、例えば、制御パルス $G_1 \sim G_4$, G_D 及び論理パルス(列) $E_{SC}(i-4:i)$ の論理演算を行う。その論理演算の結果、論理演算回路55Fは、制御パルス(列) $G_1(i-4:i) \sim G_4(i-4:i)$, $G_D(i-4:i)$ の反転信号を出力する。論理演算回路55Fの出力は、画素アレイ14Fに接続されている。論理演算回路55Fは、画素アレイ14Fの列ごとに制御パルス $G_1(i-4:i) \sim G_4(i-4:i)$, $G_D(i-4:i)$ の反転信号を提供する。

【0184】

10

20

30

40

50

論理演算回路 55F の回路構成についてさらに詳細に説明する。

【0185】

論理演算回路 55F は、インバータ回路 35₁～35₅と、ANDゲート 58₁～58₄と、インバータ回路 59と、ORゲート 58₅と、を有する。5個のインバータ回路 35₁～35₅、4個のANDゲート 58₁～58₄、1個のインバータ回路 59及び1個のORゲート 58₅は、一組の論理演算ユニット 57F_Uを構成する。ひとつの論理演算ユニット 57F_Uは、ひとつの画素回路群 15Fに対応する。

【0186】

ANDゲート 58₁～58₄の入力は、分配回路 33Fと画素切替回路(列) 54Fとに接続される。ANDゲート 58₁～58₄の第1の入力は、分配回路 33Fから制御パルス G₁～G₄を受ける。ANDゲート 58₁～58₄の第2の入力は、画素切替回路(列) 54Fから論理パルス(列) E_{SC}(i-4:i)を受ける。つまり、ANDゲート 58₁～58₄の第2の入力は、互いに接続されている。ANDゲート 58₁～58₄の出力は、インバータ回路 35₁～35₄に接続される。ANDゲート 58₁～58₄は、インバータ回路 35₁～35₄に制御パルス G₁(i-4:i)～G₄(i-4:i)を提供する。

【0187】

インバータ回路 59の入力は、画素切替回路(列) 54Fに接続される。つまり、インバータ回路 59の入力は、ANDゲート 58₁～58₄の第2の入力と共通である。インバータ回路 59は画素切替回路(列) 54Fから論理パルス(列) E_{SC}(i-4:i)を受ける。インバータ回路 59の出力は、ORゲート 58₅に接続されている。インバータ回路 59は、ORゲート 58₅に論理パルス(列) E_{SC}(i-4:i)の反転信号を提供する。

【0188】

ORゲート 58₅の入力は、分配回路 33Fとインバータ回路 59とに接続される。ORゲート 58₅の第1の入力は、分配回路 33Fから制御パルス G_Dを受ける。ORゲート 58₅の第2の入力は、インバータ回路 59から論理パルス(列) E_{SC}(i-4:i)の反転信号を受ける。ORゲート 58₅の出力は、インバータ回路 35₅に接続される。ORゲート 58₅は、制御パルス G_Dと論理パルス(列) E_{SC}(i-4:i)の反転信号との論理和信号である制御パルス G_D(i-4:i)をインバータ回路 35₅に提供する。

【0189】

上記の分配回路 33F、画素切替回路(列) 54F及び論理演算回路 55Fによれば、論理演算ユニット 57F_Uごとに互いに異なる論理パルス E_{SC}(i-4:i)を提供することができる。

【0190】

画素切替回路(行) 56Fの入力は、演算回路 12に接続される。画素切替回路(行) 56Fは、演算回路 12から制御パルス SPIN, SLCK, SENB, SDENBを受ける。画素切替回路(行) 56Fは、制御パルス SPIN, SLCK, SENB, SDENBを利用して論理パルス(行) E_{SR}(j)を生成する。画素切替回路(行) 56Fの出力は、画素アレイ 14Fに接続される。画素切替回路(行) 56Fは、画素アレイ 14Fの第j行に論理パルス(行) E_{SR}(j)を提供する。

【0191】

上記の画素切替回路(行) 56Fによれば、ひとつの行ごと、または複数の行ごとに互いに異なる論理パルス(行) E_{SR}(j)を提供することができる。

【0192】

その結果、画素回路 13Fの有感／不感は、基本的に画素切替回路(行) 56Fの論理パルス(行) E_{SR}(j)によって切り替えられる。例えば、ある画素回路 13Fに、画素回路 13Fを有感とする制御パルス G₁(i-4:i)が入力されても、画素回路 13Fを不感とする論理パルス(行) E_{SR}(j)入力されれば、その画素回路 13Fは不感である。この関係によれば、図23に示すように画素アレイ 14Fの一部の領域だけ有感ピクセル領域 AEとし、その他の領域を不感ピクセル領域 ANとすることができる。つまり、画

10

20

30

40

50

素回路 13F を有感とする制御パルス $G_1(i-4:i) \sim G_4(i-4:i)$ (つまり論理パルス (列) $E_{SC}(i-4:i)$) と、画素回路 13F を有感とする論理パルス (行) $E_{SR}(j)$ と、が入力された画素回路 13F のみが有感となる。

【0193】

[第7実施形態／作用効果]

第7実施形態の距離画像取得装置 1F も、第1実施形態の距離画像取得装置 1 と同様の効果を奏することができる。つまり、距離画像取得装置 1F は、オーバーサンプリング及び積算によって、測定対象物が高速移動する場合であっても良好な計測結果を得ることができる。

【0194】

第7実施形態の距離画像取得装置 1F は、第1実施形態の距離画像取得装置 1 と同様に、所定の行に含まれる画素回路 13F を一括して有感ピクセル領域 AE に設定することが可能である。さらに、所定の行に含まれない画素回路 13F を一括して、不感ピクセル領域 AN に設定することが可能である。従って、第7実施形態の距離画像取得装置 1F も、オーバーサンプリング及び積算動作をさせることができる。

【0195】

第7実施形態の距離画像取得装置 1F も、第1実施形態の距離画像取得装置 1 と同様に、第1～第5の制御電極ドライバ回路により制御パルス $G_1 \sim G_4$ 、 G_D が中継される構成と、第1～第5の制御電極ドライバ回路のそれぞれを、制御電極 251～254、25D の数と同一数の画素回路 13F を有する画素回路群 15F で共用する構成と、により、ピクセルサイズを小さく保ちつつ転送制御パルス $G_{1out}(i-4:i) \sim G_{4out}(i-4:i)$ 、 $G_{Dout}(i-4:i)$ の反転信号の波形のなまりを低減できる。

【0196】

さらに、第7実施形態の距離画像取得装置 1F は、第1実施形態の距離画像取得装置 1 とは異なる以下のような効果を奏することもできる。

【0197】

第7実施形態の距離画像取得装置 1F において、光源制御部 12a は、第 j 行目に含まれる画素回路 13F の一部が有感ピクセル領域 AE に含まれるように、光源 11 からパルス光 L_p を出射させる動作と、第 j 行目に含まれる画素回路 13F の一部に対して、光電変換領域 21 から電荷読出領域 221～224 への電荷の移動を許可するように画素回路 13F を動作させる制御パルスを画素アレイ 14F に提供する動作と、有感ピクセル領域 AE に含まれない不感ピクセル領域 AN に含まれる画素回路 13F のすべてに対して光電変換領域 21 から電荷排出領域 23 への電荷の移動を許可するように画素回路 13F を動作させる制御パルスを画素アレイ 14F に提供する動作と、を行う。この動作によれば、画素アレイ 14F に含まれる所望の領域を有感ピクセル領域 AE とすることが可能になる。従って、画素アレイ 14F における有感ピクセル領域 AE をより緻密に設定することができる。

【0198】

[第8実施形態]

次に、第8実施形態の距離画像取得装置 1G が有する距離画像センサ 10G の構成について、第1実施形態との相違点を中心に説明する。距離画像センサ 10G は、ドレインの制御によって画素回路 13G の有感／不感を制御する画素構成と画素制御を採用する。距離画像センサ 10G は、転送制御パルス $G_{1out}(j) \sim G_{3out}(j)$ 、 $G_{Dout}(j)$ を水平方向から提供する方式を採用する。距離画像センサ 10G は、周辺に配置された行選択部が行う有感／不感を操作するための信号に基づくゲーティングによって、動作する。

【0199】

図 25 は、距離画像センサ 10G の概略構成を示すブロック図である。距離画像センサ 10G は、第1実施形態にかかる距離画像センサ 10 と比較して、周辺回路 31G の構成が異なる。また、距離画像センサ 10G は、距離画像センサ 10 と比較して、画素回路 1

10

20

30

40

50

3 Gの素子構成及び回路構成が異なる。例えば、画素回路13は、4個の制御電極25₁～25₄と、4個の電荷読出領域22₁～22₄を有していた。つまり、画素回路13は、いわゆる4タップ型の構成であった。一方、画素回路13Gは、3個の制御電極25₁～25₃と、3個の電荷読出領域22_{T1}～22_{T3}と、有する。つまり、画素回路13Gは、いわゆる3タップ型の構成である。

【0200】

画素回路13Gは、光電変換領域21と、電荷読出領域22_{T1}～22_{T3}と、電荷排出領域23_Tと、電圧検出手段26_{T1}～26_{T3}と、制御電極25₁～25₃、25_Dと、を有する。

【0201】

図26は、画素回路13Gと周辺回路31Gとの接続構成を示す図である。距離画像センサ10Gは、複数の画素回路13Gと、周辺回路31Gと、配線部74Gと、を有する。画素回路13Gは、信号電荷処理領域17_Tを有する。画素回路13Gは、画素回路13が有するNOR型ドライバ回路41₁～41₄に相当する構成を有しない。また、画素回路13Gは、画素回路13が有するNAND型ドライバ回路41₅に相当する構成要素も有しない。

【0202】

配線部74Gは、周辺回路31Gを画素回路13Gに接続する。配線部74Gは、横方向に延びる複数の配線74₁～74₄を有する。配線74₁は、周辺回路31Gを画素回路13Gの制御電極25₁に接続する。配線74₂は、周辺回路31Gを画素回路13Gの制御電極25₂に接続する。配線74₃は、周辺回路31Gを画素回路13Gの制御電極25₃に接続する。配線74₄は、周辺回路31Gを画素回路13Gの制御電極25_Dに接続する。

【0203】

配線74₁～74₄は、画素アレイ14Gの幅全体にわたって延びている。配線74₁～74₄のそれぞれには、複数の支線が接続される。例えば、画素アレイ14Gが幅方向においてY個の画素回路13Gを有する場合には、配線74₁にはY本の支線が接続される。これらの支線の一端は、配線74₁～74₄に接続される。支線の他端は、制御電極25₁～25₃、25_Dに接続される。

【0204】

この構成によれば、第j行に含まれる画素回路13Gのすべてを一括して制御することができる。ここでいう制御とは、画素回路13Gの有感及び不感を切り替える制御である。例えば、第j行の画素回路13Gのすべてを有感に設定する場合には、配線74₄を介して制御電極25_Dに転送制御パルスG_{Dout}(j)<L>を提供する。また、第j行の画素回路13Gのすべてを不感に設定する場合には、配線74₄を介して制御電極25_Dに転送制御パルスG_{Dout}(j)<H>を提供する。

【0205】

図27は、周辺回路31Gの回路構成を示す図である。周辺回路31Gは、駆動回路34Gを含む。駆動回路34Gの入力は、演算回路12に接続される。駆動回路34Gの入力は、演算回路12から制御パルスSPIN、SLCK、SENB、SDENB及び制御パルスG₁、G₂、G₃、G_Dを受ける。駆動回路34Gは、制御パルスSPIN、SLCK、SENB、SDENB及び制御パルスG₁、G₂、G₃、G_Dに基づいて、転送制御パルスG_{1out}(j)～G_{3out}(j)、G_{Dout}(j)を生成する。駆動回路34Gの出力は、配線部74Gを介して画素回路13Gに接続される。駆動回路34Gの出力は、画素回路13Gに転送制御パルスG_{1out}(j)～G_{3out}(j)と転送制御パルスG_{Dout}(j)を提供する。

【0206】

駆動回路34Gは、行スキャンパターン発生回路42Gと、論理演算回路44Gと、を有する。行スキャンパターン発生回路42Gは、配線部72Gを介して演算回路12に接続される。行スキャンパターン発生回路42Gは、演算回路12から制御パルスSPIN、

10

20

30

40

50

S_{LCK} , S_{ENB} , S_{DENB} を受ける。行スキャンパターン発生回路42Gは、制御パルス S_{PIN} , S_{LCK} , S_{ENB} , S_{DENB} に基づいて、論理パルス $E_{SR}(j)$ を生成する。

【0207】

図28は、行スキャンパターン発生回路42Gの回路図である。行スキャンパターン発生回路42Gは、制御パルス S_{PIN} , S_{LCK} , S_{ENB} , S_{DENB} に基づいて論理パルス E を生成する。行スキャンパターン発生回路42Gは、論理パルス $E_{SR}(1) \sim E_{SR}(N)$ を生成可能な回路構成であればよく、図28に示す回路構成に限定されない。

【0208】

行スキャンパターン発生回路42Gは、複数のDフリップフロップ88₁～88_N, 89₁～89_Nと、ORゲート90₁～90_Nと、を有する。Dフリップフロップ88₁の入力(D)は、演算回路12に接続される。Dフリップフロップ88₁の入力(D)は、制御パルス S_{PIN} を受ける。Dフリップフロップ88₂～88_Nの入力(D)は、Dフリップフロップ88₁～88_{N-1}の出力(Q)に接続される。Dフリップフロップ88₁～88_Nの別の入力、制御パルス S_{LCK} を受ける。Dフリップフロップ88₁～88_Nの出力(Q)は、制御パルス $Q_1 \sim Q_N$ を出力する。Dフリップフロップ88₁～88_{N-1}の出力(Q)は、Dフリップフロップ88₂～88_Nの入力(D)に接続される。また、Dフリップフロップ88₁～88_Nの出力(Q)は、Dフリップフロップ89₁～89_Nの入力(D)に接続される。Dフリップフロップ89₁～89_Nの入力(D)は、Dフリップフロップ88₁～88_Nの出力(Q)に接続される。Dフリップフロップ89₁～89_Nの入力(D)は、制御パルス $Q_1 \sim Q_N$ を受ける。Dフリップフロップ89₁～89_Nの入力(CK)は、制御パルス S_{ENB} を受ける。Dフリップフロップ89₁～89_Nの出力(Q)は、ORゲート90₁～90_Nの入力に接続される。ORゲート90₁～90_Nの入力は、制御パルス $Q_1 \sim Q_N$, S_{DENB} を受ける。ORゲート90₁～90_Nの出力は、論理パルス $E_{SR}(1) \sim E_{SR}(N)$ を出力する。

【0209】

図29は、行スキャンパターン発生回路42Gの動作例を示すタイミングチャートである。図29に示すタイミングチャートは、行スキャンパターン発生回路42Gの動作の一例を示すものである。図29に示すタイミングチャートは、2行ずつ走査する論理パルス $E_{SR}(j)$ 出力する。図29では、6行目までの画素アレイ14Gに対応するチャートを示す。

【0210】

まず、タイミングT₁において、Dフリップフロップ88₁は、制御パルス $S_{PIN} < H >$ を受ける。

【0211】

次に、タイミングT₂において、Dフリップフロップ88₁～88_Nは、制御パルス $S_{LCK} < H >$ を受ける。その結果、Dフリップフロップ88₁は、制御パルス $Q_1 < H >$ を出力する。Dフリップフロップ88₂～88_Nは、制御パルス $Q_2 < L > \sim Q_N < L >$ を出力する。その後、Dフリップフロップ88₁～88_Nは、制御パルス $S_{LCK} < L >$ を受ける。

【0212】

次に、タイミングT₃において、Dフリップフロップ88₁は、制御パルス $S_{PIN} < L >$ を受ける。また、Dフリップフロップ88₁～88_Nは、再び、制御パルス $S_{LCK} < H >$ を受ける。その結果、Dフリップフロップ88₁, 88₂は、制御パルス $Q_1 < H >$, $Q_2 < H >$ を出力する。Dフリップフロップ88₃～88_Nは、制御パルス $Q_3 < L > \sim Q_N < L >$ を出力する。所定期間の経過後、Dフリップフロップ88₁～88_Nは、制御パルス $S_{LCK} < L >$ を受ける。

【0213】

次に、タイミングT₄において、Dフリップフロップ89₁～89_Nは、制御パルス $S_{ENB} < H >$ を受ける。その結果、ORゲート90₁, 90₂は、論理パルス $E_{SR}(1) <$

10

20

30

40

50

$H >$, $ESR(2) < H >$ を出力する。ORゲート903～90Nは、論理パルス $ESR(3) < L > \sim ESR(N) < L >$ を出力する。これらの論理パルス $ESR(1) \sim ESR(N)$ が出力されるとき、1行目($j = 1$)と2行目($j = 2$)の画素回路13Gは、有感状態である。一方、その他の行($j = 3 \sim N$)の画素回路13Gは、不感状態である。所定期間の後に、Dフリップフロップ891～89Nは、制御パルス $SENB < L >$ を受ける。

【0214】

次に、タイミングT5において、Dフリップフロップ881～88Nは、制御パルス $SENB < L >$ を受ける。Dフリップフロップ881, 882は、制御パルス $Q_1 < H >$, $Q_2 < H >$ を出力し続ける。一方、Dフリップフロップ883～88Nは、制御パルス $Q_3 < L > \sim Q_N < L >$ を出力し続ける。

10

【0215】

次に、タイミングT6において、Dフリップフロップ881～88Nは、再び、制御パルス $SLCK < H >$ を受ける。その結果、Dフリップフロップ882, 883は、制御パルス $Q_2 < H >$, $Q_3 < H >$ を出力する。一方、Dフリップフロップ881, 884～88Nは、制御パルス $Q_1 < L >$, $Q_4 < L > \sim Q_N < L >$ を出力する。所定期間の経過後、Dフリップフロップ881～88Nは、制御パルス $SLCK < L >$ を受ける。

【0216】

次に、タイミングT7において、Dフリップフロップ881～88Nは、再び、制御パルス $SLCK < H >$ を受ける。その結果、Dフリップフロップ883, 884は、制御パルス $Q_3 < H >$, $Q_4 < H >$ を出力する。一方、Dフリップフロップ881, 882, 885～88Nは、制御パルス $Q_1 < L >$, $Q_2 < L >$, $Q_5 < L > \sim Q_N < L >$ を出力する。所定期間の経過後、Dフリップフロップ881～88Nは、制御パルス $SLCK < L >$ を受ける。

20

【0217】

次に、タイミングT8において、Dフリップフロップ891～89Nは、制御パルス $SENB < H >$ を受ける。その結果、ORゲート903, 904は、論理パルス $ESR(3) < H >$, $ESR(4) < H >$ を出力する。ORゲート901, 902, 905～90Nは、論理パルス $ESR(1) < L >$, $ESR(2) < L >$, $ESR(5) < L > \sim ESR(N) < L >$ を出力する。これらの論理パルス $ESR(1) \sim ESR(N)$ が出力されるとき、1行目($j = 1$)と2行目($j = 2$)の画素回路13Gは、有感状態から不感状態に切り替わる。3行目($j = 3$)と4行目($j = 4$)の画素回路13Gは、不感状態から有感状態に切り替わる。その他の行($j = 1, 2, 5 \sim N$)の画素回路13Gは、不感状態を継続する。所定期間の後に、Dフリップフロップ891～89Nは、制御パルス $SENB < L >$ を受ける。

30

【0218】

以下、同様の動作を繰り返す。そうすると、行スキャンパターン発生回路42Gは、 j 行及び $j + 1$ 行に含まれる画素回路13Gを有感とする論理パルス $ESR(j) < H >$, $ESR(j + 1) < H >$ を出力する。また、行スキャンパターン発生回路42Gは、その他の行($1 \sim j - 1$, $j + 2 \sim N$)を不感とする論理パルス $ESR(1) \sim ESR(j - 1)$, $ESR(j + 2) \sim ESR(N)$ を出力する。

40

【0219】

上記のタイミングチャートは、2行ずつ走査する場合の例示であった。行スキャンパターン発生回路42Gは、制御パルス $SPIN$, $SLCK$, $SENB$ を変更することにより、所望の行数ごとに走査する論理パルス $ESR(j)$ を出力可能である。具体的には、 n 行ずつ走査する場合には、 n 個のクロックパルスをも有する制御パルス $SLCK$ と、 n 個のクロック分のパルス幅をも有する制御パルス $SPIN$ を行スキャンパターン発生回路42Gに入力すればよい。

【0220】

再び図27を参照する。論理演算回路44Gの入力は、配線部73Gを介して演算回路12に接続される。論理演算回路44Gの別の入力は、行スキャンパターン発生回路42

50

Gにも接続される。論理演算回路44Gの出力は、配線部74Gを介して複数の画素回路13Gに接続される。論理演算回路44Gは、演算回路12から制御パルス $G_1 \sim G_3$ 、 G_D を受けると共に、行スキャンパターン発生回路42Gから論理パルス $E_{SR}(j)$ を受ける。論理演算回路44Gは、制御パルス $G_1 \sim G_3$ 、 G_D 及び論理パルス $E_{SR}(j)$ に基づいて、転送制御パルス $G_{1out}(j) \sim G_{3out}(j)$ 、 $G_{Dout}(j)$ を生成する。論理演算回路44Gは、画素回路13Gに転送制御パルス $G_{1out}(j) \sim G_{3out}(j)$ 、 $G_{Dout}(j)$ を提供する。

【0221】

論理演算回路44Gは、制御パルス $G_1 \sim G_3$ 、 G_D と論理パルス $E_{SR}(j)$ との論理演算を行う。論理演算の結果、転送制御パルス $G_{1out}(j) \sim G_{3out}(j)$ 、 $G_{Dout}(j)$ が生成される。

10

【0222】

論理演算回路44Gは、ANDゲート84₁～84₃と、バッファ回路85₁～85₃、85_Dと、インバータ回路86と、ORゲート87と、を有する。バッファ回路85₁～85₃、85_Dは、第j行目に含まれる画素回路13Gに提供する転送制御パルス $G_{1out}(j) \sim G_{3out}(j)$ 、 $G_{Dout}(j)$ を出力する。論理演算回路44Gは、ANDゲート84₁～84₃、84_D、バッファ回路85₁～85₃、85_D、インバータ回路86及びORゲート87の組を画素回路13Gの行の数だけ有する。

【0223】

ANDゲート84₁～84₃の入力には、演算回路12及び行スキャンパターン発生回路42Gが接続される。ANDゲート84₁～84₃は、配線部73Gから制御パルス $G_1 \sim G_3$ を受けると共に、行スキャンパターン発生回路42Gから論理パルス $E_{SR}(j)$ を受ける。

20

【0224】

ANDゲート84₁～84₃の出力は、バッファ回路85₁～85₃に接続される。ANDゲート84₁～84₃は、制御パルス $G_1 \sim G_3$ 及び論理パルス $E_{SR}(j)$ に基づいて生成した制御パルス $G_1(j) \sim G_3(j)$ を出力する。

【0225】

バッファ回路85₁～85₃の入力は、ANDゲート84₁～84₃の出力に接続される。バッファ回路85₁～85₃の出力は、配線74₁～74₃に接続される。バッファ回路85₁～85₃は、制御パルス $G_1(j) \sim G_3(j)$ を整形して転送制御パルス $G_{1out}(i) \sim G_{3out}(i)$ として配線74₁～74₃に出力する。

30

【0226】

インバータ回路86の入力は、行スキャンパターン発生回路42Gに接続される。インバータ回路86は、行スキャンパターン発生回路42Gから論理パルス $E_{SR}(j)$ を受ける。インバータ回路86の出力は、ORゲート87の入力に接続される。インバータ回路86は、ORゲート87の入力に論理パルス $E_{SR}(j)$ の反転信号を提供する。ORゲート87の入力には、インバータ回路86の出力と、配線73_Dとが接続される。ORゲート87は、インバータ回路86から論理パルス $E_{SR}(j)$ の反転信号を受けると共に配線73_Dから制御パルス G_D を受ける。ORゲート87の出力には、バッファ回路85_Dが接続される。

40

【0227】

ORゲート87は、バッファ回路85_Dに制御パルス $G_D(j)$ を提供する。バッファ回路85_Dの入力には、ORゲート87の出力が接続される。バッファ回路85_Dは、ORゲート87から制御パルス $G_D(j)$ を受ける。バッファ回路85_Dの出力は、配線74₄に接続される。バッファ回路85_Dは、制御パルス $G_D(j)$ を整形して転送制御パルス $G_{Dout}(i)$ として配線74₄に出力する。

【0228】

[第8実施形態／素子構成]

図30は、画素回路13Gの構成を示す。画素回路13Gは、光電変換領域21と、読

50

出回路 $80T_1 \sim 80T_3$ と、を有する。光電変換領域 21 は、光を受けて電荷を発生させる。読出回路 $80T_1 \sim 80T_3$ は、配線部 75 を介して当該電荷に対応する電圧 $V_{O1} \sim V_{O3}$ を演算回路 12 に出力する。

【0229】

光電変換領域 21 は、フォトダイオード PD と、電荷転送部 $52T$ と、を有する。光電変換領域 21 は、本件発明者らが開発したラテラル電界制御電荷変調素子 (LEFM: Lateral Electric Field control charge Modulator) の原理に基づく構造を有する。ラテラル電界制御電荷変調素子は、電荷輸送路の電界制御を、その側面に設けた複数のゲートによる横方向電界により行い、高速な電子の輸送制御を行う。

【0230】

フォトダイオード PD は、開口部 AP を介して受けた光に応じた電荷を発生させる。当該電荷は、電荷転送部 $52T$ に提供される。フォトダイオード PD は、例えば 870 ナノメートルの波長を有する光に応じて電荷を生成する。なお、フォトダイオード PD は、検出の対象となる波長の光に対応して電荷を生成できればよい。

【0231】

電荷転送部 $52T$ は、フォトダイオード PD から提供された電荷を受ける。電荷転送部 $52T$ は、読出回路 $80T_1 \sim 80T_3$ のいずれかひとつに選択的に電荷を提供する。電荷転送部 $52T$ は、半導体領域 $65a$ 、 $65b$ 、 $65c$ と、電荷排出領域 $23T$ と、電荷読出領域 $22T_1 \sim 22T_3$ と、制御電極 $25_1 \sim 25_3$ 、 $25Da$ 、 $25Db$ と、を有する。

【0232】

半導体領域 $65a$ 、 $65b$ 、 $65c$ は、フォトダイオード PD において生じた電荷を収集する。半導体領域 $65a$ 、 $65b$ 、 $65c$ は、電荷排出領域 $23T$ 及び電荷読出領域 $22T_1 \sim 22T_3$ のいずれかに電荷を輸送する電荷移動経路 101 を構成する。

【0233】

電荷排出領域 $23T$ は、光電変換領域 21 から電荷読出領域 $22T_1 \sim 22T_3$ へ向かう電荷の電荷移動経路 101 に配置される。電荷排出領域 $23T$ は、制御電極 $25Da$ 及び電荷排出領域 $23Ta$ と、制御電極 $25Db$ 及び電荷排出領域 $23Tb$ と、を有する。対の制御電極 $25Da$ 、 $25Db$ は、電荷移動経路 101 を挟むように配置される。換言すると、制御電極 $25Da$ と、制御電極 $25Db$ との間には、電荷移動経路 101 が存在する。電荷排出領域 $23Ta$ は、制御電極 $25Da$ に接するように配置される。電荷排出領域 $23Tb$ は、制御電極 $25Db$ に接するように配置される。このような制御電極 $25Da$ 、 $25Db$ の配置によれば、制御電極 $25Da$ 、 $25Db$ に与える電圧 (転送制御パルス $G_{Dot}(j)$) に応じて、電荷移動経路 101 における電位分布を制御できる。

【0234】

図 31 は、図 30 に示す電荷移動経路 101 を含む一点鎖線 CL_{31} における電位分布を示す。縦軸は電荷移動経路 101 上の位置を示す。横軸は、電位を示す。さらに、グラフ $C31a$ は、図 30 におけるフォトダイオード PD の領域に対応する。グラフ $C31b$ 、 $C31c$ は、図 30 における制御電極 $25Da$ 、 $25Db$ に挟まれた領域と、その下流側の領域とに対応する。グラフ $C31d$ は、制御電極 25_2 及び電荷読出領域 $22T_2$ に対応する。

【0235】

図 30 に示すように、電荷が発生するフォトダイオード PD から電荷読出領域 $22T_1 \sim 22T_3$ に至る電荷の移動経路上には、ドレイン領域 (制御電極 $25Da$ 、 $25Db$) に挟まれた領域が存在する。そして、ドレイン領域に挟まれた領域における電位は、制御電極 $25Da$ 、 $25Db$ に提供される転送制御パルス $G_{Dot}(j)$ によって制御される。

【0236】

例えば、制御電極 $25Da$ 、 $25Db$ に転送制御パルス $G_{Dot}(j) < H >$ が提供されたとき、電位はグラフ $C31b$ に示すものとなる。この場合には、電荷は、フォトダイオード PD (グラフ $C31a$) から電荷読出領域 $22T_1 \sim 22T_3$ に向かって移動する途

10

20

30

40

50

中で、ドレイン領域に挟まれた領域（グラフ C 3 1 b）に捉えられ、さらに、電荷排出領域 2 3 T_a, 2 3 T_bに排出される。つまり、電荷は、フォトダイオード P D から電荷読出領域 2 2 T₁ ~ 2 2 T₃に到達できない。グラフ C 3 3 bに示す電位の分布を、電位の窪みと呼ぶこともある。画素回路 1 3 Gがこのような電位分布を有するとき、画素回路 1 3 Gは不感である。

【0 2 3 7】

これに対して、制御電極 2 5 D_a, 2 5 D_bに転送制御パルス G_{Dout}(j) < L > が提供されたとき、電位はグラフ C 3 1 cに示すものとなる。この場合には、電荷は、フォトダイオード P D（グラフ C 3 1 a）から電荷読出領域 2 2 T₁ ~ 2 2 T₃に向かって移動する途中で、ドレイン領域に挟まれた領域（グラフ C 3 1 b）に捉えられることがない。つまり、電荷は、フォトダイオード P D から電荷読出領域 2 2 T₁ ~ 2 2 T₃に到達できる。画素回路 1 3 Gがこのような電位分布を有するとき、画素回路 1 3 Gは有感であるといえる。

【0 2 3 8】

つまり、画素回路 1 3 Gの有感／不感は、制御電極 2 5₁ ~ 2 5₃に提供される転送制御パルス G_{1out}(j) ~ G_{3out}(j)によって制御されない。画素回路 1 3 Gの有感／不感は、制御電極 2 5 D_a, 2 5 D_bに提供される転送制御パルス G_{Dout}(j)によって決まる。例えば、制御電極 2 5₁に電荷を転送させる転送制御パルス G_{1out}(j) < H > が提供されていても、制御電極 2 5 D_a, 2 5 D_bに電荷を転送させる転送制御パルス G_{Dout}(j) < H > が提供されている場合には、その画素回路 1 3 Gは不感である。なぜならば、電荷排出領域 2 3 Tが光電変換領域 2 1と電荷読出領域 2 2 T₁との間に設けられているからである。これらの配置によれば、制御電極 2 5 D_a, 2 5 D_bに電荷を転送させる転送制御パルス G_{Dout}(j) < H > が提供されている場合には、光電変換領域 2 1において生成した電荷は、電荷読出領域 2 2 T₁に到達する前に、電荷排出領域 2 3 Tに捉えられる。

【0 2 3 9】

制御電極 2 5 D_a, 2 5 D_bには、配線 7 4 4が接続される。制御電極 2 5 D_a, 2 5 D_bは、配線 7 4 4から転送制御パルス G_{Dout}(j)を受ける。制御電極 2 5 D_a, 2 5 D_bは、転送制御パルス G_{Dout}(j)に応じて、半導体領域 6 5 b, 6 5 cから電荷排出領域 2 3 Tへの電荷の許可と禁止とを切り替える。制御電極 2 5 D_a, 2 5 D_bが転送制御パルス G_{Dout}(j) < H >を受けたとき、半導体領域 6 5 b, 6 5 cから電荷排出領域 2 3 T_a, 2 3 T_bへの電荷の転送が許可される。制御電極 2 5 D_a, 2 5 D_bが転送制御パルス G_{Dout}(j) < L >を受けたとき、半導体領域 6 5 b, 6 5 cから電荷排出領域 2 3 T_a, 2 3 T_bへの電荷の転送が禁止される。

【0 2 4 0】

電荷排出領域 2 3 Tは、ハイ電位線 V_{DH}に接続される。フォトダイオード P Dが光を受けている期間は、電荷が発生し続ける。一方、電荷読出領域 2 2 T₁ ~ 2 2 T₃において、電荷に対する所定の処理が行われている間には、電荷読出領域 2 2 T₁ ~ 2 2 T₃への電荷の転送が禁止される。そこで、電荷読出領域 2 2 T₁ ~ 2 2 T₃への電荷の転送が禁止される期間に発生した電荷を、電荷排出領域 2 3 Tが受け入れる。換言すると、電荷排出領域 2 3 Tが電荷を受け入れている期間は、電荷読出領域 2 2 T₁ ~ 2 2 T₃に電荷が蓄積されない。

【0 2 4 1】

電荷読出領域 2 2 T₁ ~ 2 2 T₃は、制御電極 2 5₁ ~ 2 5₃を介して半導体領域 6 5 cに接続される。制御電極 2 5₁ ~ 2 5₃は、配線 7 4₁ ~ 7 4₃にそれぞれ接続される。制御電極 2 5₁ ~ 2 5₃は、配線 7 4₁ ~ 7 4₃から転送制御パルス G_{1out}(j) ~ G_{3out}(j)を受ける。制御電極 2 5₁ ~ 2 5₃は、転送制御パルス G_{1out}(j) ~ G_{3out}(j)に応じて、半導体領域 6 5 cから電荷読出領域 2 2 T₁ ~ 2 2 T₃のいずれかひとつへ電荷を転送する。

【0 2 4 2】

例えば、制御電極 25_1 が転送制御パルス $G_{out}(j) < H >$ を受けると共に、制御電極 25_2 、 25_3 が転送制御パルス $G_{out}(j) < L >$ 、 $G_{out}(j) < L >$ を受けたとき、半導体領域 $65c$ から電荷読出領域 $22T_1$ へ電荷が転送される。制御電極 25_2 が転送制御パルス $G_{out}(j) < H >$ を受けると共に、制御電極 25_1 、 25_3 が転送制御パルス $G_{out}(j) < L >$ 、 $G_{out}(j) < L >$ を受けたとき、半導体領域 $65c$ から電荷読出領域 $22T_2$ へ電荷が転送される。制御電極 25_3 が転送制御パルス $G_{out}(j) < H >$ を受けると共に、制御電極 25_1 、 25_2 が転送制御パルス $G_{out}(j) < L >$ 、 $G_{out}(j) < L >$ を受けたとき、半導体領域 $65c$ から電荷読出領域 $22T_3$ へ電荷が転送される。

【0243】

電荷読出領域 $22T_1 \sim 22T_3$ は、読出回路 $80T_1 \sim 80T_3$ にそれぞれ接続される。読出回路 $80T_1 \sim 80T_3$ の入力は、電荷読出領域 $22T_1 \sim 22T_3$ にそれぞれ接続される。読出回路 $80T_1 \sim 80T_3$ の出力は、配線 $75_1 \sim 75_3$ にそれぞれ接続される。一方、読出回路 $80T_1 \sim 80T_3$ の回路構成は、互いに共通である。以下、読出回路 $80T_1$ の回路構成について詳細に説明し、読出回路 $80T_2$ 、 $80T_3$ の説明は省略する。

【0244】

読出回路 $80T_1$ は、キャパシタ 91 と、MOSトランジスタ 92 と、電圧検出手段 $26T$ と、を有する。

【0245】

キャパシタ 91 の一端は、電荷読出領域 $22T_1$ に接続される。キャパシタ 91 の他端は、基準電位線に接続される。

【0246】

MOSトランジスタ 92 は、読出動作後に電荷読出領域 $22T_1$ に残留する電荷を排出する。MOSトランジスタ 92 は、いわゆる電荷読出領域 $22T_1$ をリセットするためのものである。MOSトランジスタ 92 のソースは、電荷読出領域 $22T_1$ に接続される。MOSトランジスタ 92 のゲートは、図示しない配線を介してリセットパルス RT を受ける。MOSトランジスタ 92 のドレインは、リセット電位線 V_{DR} に接続される。

【0247】

電圧検出手段 $26T$ は、MOSトランジスタ 93 、 94 を有する。MOSトランジスタ 93 、 94 は、いわゆるソースフォロワアンプを構成する。MOSトランジスタ 93 は、電荷読出領域 $22T_1$ に蓄積された電荷に対応する電圧を出力する。MOSトランジスタ 93 のソースは、MOSトランジスタ 94 のドレインに接続される。MOSトランジスタ 93 のゲートは、電荷読出領域 $22T_1$ に接続される。MOSトランジスタ 93 のドレインは、リセット電位線 V_{DR} に接続される。MOSトランジスタ 94 は、配線 75_1 への MOS 電圧の提供と停止と読出制御パルス SL に応じて切り替える。MOSトランジスタ 94 のソースは、配線 75_1 に接続される。MOSトランジスタ 94 のゲートは、図示しない配線を介して読出制御パルス SL を受ける。MOSトランジスタ 94 のドレインは、MOSトランジスタ 93 のソースに接続される。

【0248】

【第8実施形態／作用効果】

第8実施形態の距離画像取得装置 $1G$ も、第1実施形態の距離画像取得装置 1 と同様の効果を奏することができる。つまり、距離画像取得装置 $1G$ は、オーバーサンプリング及び積算によって、測定対象物が高速移動する場合であっても良好な計測結果を得ることができる。

【0249】

第8実施形態の距離画像取得装置 $1G$ は、第1実施形態の距離画像取得装置 1 と同様に、所定の行に含まれる画素回路 $13G$ を一括して有感ピクセル領域 AE に設定することが可能である。さらに、所定の行に含まれない画素回路 $13G$ を一括して、不感ピクセル領域 AN に設定することが可能である。従って、第8実施形態の距離画像取得装置 $1G$ も、

10

20

30

40

50

オーバーサンプリング及び積算動作をさせることができる。

【0250】

[第9実施形態]

次に、第9実施形態の距離画像取得装置1H（図32参照）が有する距離画像センサ10Hの構成について、第1実施形態との相違点を中心に説明する。距離画像センサ10Hも、第8実施形態の距離画像センサ10Gと同様に、ドレインの制御によって画素回路13Hの有感／不感を制御する画素構成と画素制御を採用する。つまり、距離画像センサ10Hは、ドレインゲート（制御電極25Da, 25Db）の駆動のみによって有感／不感を制御できる。また、距離画像センサ10Hは、画素回路13Hの内部にドライバ回路を含まない。しかし、距離画像センサ10Hは、距離画像センサ10Gとは異なる画素構成を採用する。距離画像センサ10Hは、転送制御パルスG_{Dout}(j)のみを水平方向から与える。

10

【0251】

図32は、画素回路13Hと周辺回路31Hとの接続構成を示す図である。距離画像センサ10Hは、第1実施形態にかかる距離画像センサ10と比較して、周辺回路31Hの構成が異なる。また、距離画像センサ10Hは、距離画像センサ10と比較して、画素回路13Hの素子構成及び回路構成が異なる。画素回路13Hは、第8実施形態の画素回路13Gと同様のいわゆる3タップ型の構成である。

【0252】

距離画像センサ10Hは、複数の画素回路13Hと、周辺回路31Hと、配線744と、を有する。画素回路13Hは、信号電荷処理領域17Tを有する。画素回路13Hは、画素回路13Gと同様に、画素回路13が有するNOR型ドライバ回路411～414に相当する構成要素を有しない。また、画素回路13Hは、画素回路13が有するNAND型ドライバ回路415に相当する構成要素を有しない。配線744は、周辺回路31Hを画素回路13Hの制御電極25Dに接続する。

20

【0253】

周辺回路31Hは、分配回路33Hと、インバータ回路ユニット38Hと、画素切替回路34Hと、を有する。

【0254】

分配回路33Hの入力は、配線部73Hを介して演算回路12に接続される。分配回路33Hは、演算回路12から制御パルスG₁, G₂, G₃を受ける。分配回路33Hの出力は、インバータ回路ユニット38Hに接続される。分配回路33Hは、分配された制御パルスG₁, G₂, G₃の反転信号をインバータ回路ユニット38Hへ提供する。

30

【0255】

インバータ回路ユニット38Hは、第1実施形態のインバータ回路ユニット38と同様の回路構成と機能とを有する。つまり、インバータ回路ユニット38Hは、分配回路33Hから制御パルスG₁, G₂, G₃の反転信号を受け、画素回路13Hへ反転及び成形された転送制御パルスG_{1out}, G_{2out}, G_{3out}を提供する。

【0256】

インバータ回路ユニット38Hと画素アレイ14Hとの接続構成は、第1実施形態のインバータ回路ユニット38と画素アレイ14との接続構成と同じである。つまり、画素アレイ14Hは、横方向に並ぶ3個の画素回路13H₁～13H₃をひとつの組として扱われる。

40

【0257】

画素回路13H₁～13H₃における制御電極25₁は、配線76₁によって相互に接続される。そして、配線76₁には、インバータ回路ユニット38Hから延びる配線47₁が接続される。配線47₁は、画素回路13H₁と画素回路13H₂との間に設けられる。配線47₁と配線76₁との接続点は、行ごとに設けられる。同様に、画素回路13H₁～13H₃の制御電極25₂は、配線76₂によって相互に接続される。画素回路13H₁～13H₃の制御電極25₃は、配線76₃によって相互に接続される。配線76₂, 76₃

50

には、インバータ回路ユニット 38H から延びる配線 47₂、47₃ が接続される。配線 47₂ は、画素回路 13H₂ と画素回路 13H₃ との間に設けられる。配線 47₃ は、画素回路 13H₃ と画素回路 13H₁ との間に設けられる。

【0258】

制御電極 25_D に転送制御パルス G_{Dout}(j) を提供する回路構成は、第 8 実施形態と同様である。つまり、横方向に延びる配線 74₄ に複数の支線が接続される。支線のそれぞれは、j 行に含まれる画素回路 13H₁ ~ 13H₃ のそれぞれに接続される。従って、第 9 実施形態の距離画像センサ 10H も、第 8 実施形態の距離画像センサ 10G と同様に、行全体の画素回路 13H₁ ~ 13H₃ を一括して有感から不感に切り替えることができる。また、距離画像センサ 10H は、行全体の画素回路 13H₁ ~ 13H₃ を一括して不感から有感に切り替えることができる。

10

【0259】

画素切替回路 34H の入力は、配線部 72H を介して演算回路 12 に接続される。画素切替回路 34H は、演算回路 12 から制御パルス SPIN, SLCK, SENB, SDENB 及び制御パルス G_D を受ける。画素切替回路 34H は、制御パルス SPIN, SLCK, SENB, SDENB 及び制御パルス G_D に基づいて、転送制御パルス G_{Dout}(j) を生成する。そして、画素切替回路 34H は、配線 74₄ を介して画素回路 13H に接続される。画素切替回路 34H は、画素回路 13H に転送制御パルス G_{Dout}(j) を提供する。

【0260】

つまり、画素切替回路 34H は、転送制御パルス G_{Dout}(j) のみを出力し、転送制御パルス G_{1out}(j) ~ G_{3out}(j) を出力しない点で、第 8 実施形態の駆動回路 34G と相違する。

20

【0261】

図 33 に示すように、画素切替回路 34H は、行スキャンパターン発生回路 42H と、論理演算回路 44H と、を有する。行スキャンパターン発生回路 42H の構成及び機能は、第 8 実施形態の行スキャンパターン発生回路 42G と同様である。従って、行スキャンパターン発生回路 42H の詳細な説明は省略する。

【0262】

論理演算回路 44H の入力は、演算回路 12 及び行スキャンパターン発生回路 42H に接続される。また、論理演算回路 44H の出力は、配線 74₄ を介して複数の画素回路 13H に接続される。論理演算回路 44H は、演算回路 12 から制御パルス G_D を受けると共に、行スキャンパターン発生回路 42H から論理パルス ESR(j) を受ける。論理演算回路 44H は、制御パルス G_D と論理パルス ESR(j) との論理演算を行う。論理演算の結果、論理演算回路 44H は、転送制御パルス G_{Dout}(j) を生成する。論理演算回路 44H は、転送制御パルス G_{Dout}(j) を画素回路 13H に提供する。

30

【0263】

論理演算回路 44H は、バッファ回路 85_D と、インバータ回路 86 と、OR ゲート 87 と、を有する。バッファ回路 85_D、インバータ回路 86 及び OR ゲート 87 の接続構成は、第 8 実施形態と同様である。また、バッファ回路 85_D、インバータ回路 86 及び OR ゲート 87 の動作も、第 8 実施形態と同様である。

40

【0264】

[第 9 実施形態／素子構成]

図 34 は、画素回路 13H₁ の構成を示す。画素回路 13H₁ の構成は、画素回路 13G とおおむね同じである。画素回路 13G は、転送制御パルス G_{1out}(j) ~ G_{3out}(j) を受ける。一方、画素回路 13H₁ は、転送制御パルス G_{1out} ~ G_{3out} を受ける。さらに、画素回路 13G は、制御電極 25₁ ~ 25₃ が駆動回路 34G から転送制御パルス G_{1out}(j) ~ G_{3out}(j) を受ける。一方、画素回路 13H は、制御電極 25₁ ~ 25₃ がインバータ回路ユニット 38H から転送制御パルス G_{1out} ~ G_{3out} を受ける。つまり、画素回路 13H は、制御電極 25₁ ~ 25₃ が縦方向に延びる配線 47₁ ~ 47₃ から転送制御パルス G_{1out} ~ G_{3out} を受ける。また、画素回路 13H は

50

、制御電極 25_{Da}、25_{Db}が横方向に延びる配線 74₄から転送制御パルス G_{Dot}(_j)を受ける。

【0265】

上記の接続構成を除き、画素回路 13_Hが有する光電変換領域 21及び読出回路 80_{T1}～80_{T3}の構成及び機能は、画素回路 13_Gと同じである。

【0266】

〔第9実施形態／作用効果〕

第9実施形態の距離画像取得装置 1_Hも、第1実施形態の距離画像取得装置 1と同様の効果を奏することができる。つまり、距離画像センサ 10_Hは、オーバーサンプリング及び積算によって、測定対象物が高速移動する場合であっても良好な計測結果を得ることができる。

10

【0267】

第9実施形態の距離画像取得装置 1_Hは、第1実施形態の距離画像取得装置 1と同様に、所定の行に含まれる画素回路 13_Hを一括して有感ピクセル領域 A_Eに設定することが可能である。さらに、所定の行に含まれない画素回路 13_Hを一括して、不感ピクセル領域 A_Nに設定することが可能である。従って、第9実施形態の距離画像取得装置 1_Hも、オーバーサンプリング及び積算動作をさせることができる。

【0268】

第9実施形態の距離画像取得装置 1_Hも、第1実施形態の距離画像取得装置 1と同様に、分配回路 33_Hと画素回路 13_Hとを電氣的に接続する複数の配線 47₁～47₃を分離して配置する構成により、異なる転送制御パルス G_{1out}～G_{3out}の間のクロストークを防止して安定したピクセルの駆動が実現でき、結果として距離分解能の高い距離画像の生成が可能となる。

20

【0269】

〔第10実施形態〕

次に、第10実施形態の距離画像取得装置 1_J（図35参照）が有する距離画像センサ 10_Jの構成について、第1実施形態との相違点を中心に説明する。距離画像センサ 10_Jも、第8実施形態の距離画像センサ 10_Gと同様に、ドレインの制御によって画素回路 13_Jの有感／不感を制御する画素構成と画素制御を採用する。しかし、距離画像センサ 10_Jは、距離画像センサ 10_Gとは異なる画素構成を採用する。具体的には、距離画像センサ 10_Jの画素回路 13_{J3}は、画素内に制御電極 25_{Da}、25_{Db}のためのドライバ（NAND型ドライバ回路 41₅）を有する。

30

【0270】

図35は、画素回路 13_{J1}～13_{J3}と周辺回路 31_Jとの接続構成を示す図である。距離画像センサ 10_Jは、第1実施形態にかかる距離画像センサ 10と比較して、周辺回路 31_Jの構成が異なる。また、距離画像センサ 10_Jは、距離画像センサ 10と比較して、画素回路 13_{J1}～13_{J3}の素子構成及び回路構成が異なる。画素回路 13_{J1}～13_{J3}は、第8実施形態の画素回路 13_Gと同様のいわゆる3タップ型の構成である。

【0271】

距離画像センサ 10_Jは、複数の画素回路 13_{J1}～13_{J3}と、周辺回路 31_Jと、配線 74₄と、を有する。画素回路 13_{J1}～13_{J3}は、信号電荷処理領域 17_Tを有する。画素回路 13_{J1}、13_{J2}は、画素回路 13_Gと同様に、画素回路 13が有するNOR型ドライバ回路 41₁、41₂に相当する構成要素を有しない。一方、画素回路 13_{J3}は、NAND型ドライバ回路 41₅を有する。NAND型ドライバ回路 41₅は、第1実施形態の画素回路 13₅が有するNAND型ドライバ回路 41₅と同じ構成と機能とを有する。換言すると、第10実施形態の画素回路 13_{J3}は、第8実施形態の画素回路 13_Gと比較して、NAND型ドライバ回路 41₅を有する点で相違する。

40

【0272】

周辺回路 31_Jは、分配回路 33_Jと、インバータ回路ユニット 38_Jと、画素切替回路 34_Jと、を有する。

50

【0273】

分配回路33Jの入力は、配線部73Jを介して演算回路12に接続される。分配回路33Jは、演算回路12から制御パルス $G_1 \sim G_3$ 、 G_D を受ける。分配回路33Jの出力は、インバータ回路ユニット38Jに接続される。分配回路33Jは、分配された制御パルス $G_1 \sim G_3$ の反転信号と制御パルス G_D をインバータ回路ユニット38Jへ提供する。

【0274】

インバータ回路ユニット38Jは、第9実施形態のインバータ回路ユニット38Hが有するインバータ回路35₁～35₃に加えて、さらに、インバータ回路35₅を有する。つまり、インバータ回路ユニット38Jは、分配回路33Jから制御パルス $G_1 \sim G_3$ の反転信号及び制御パルス G_D を受ける。そして、インバータ回路ユニット38Jは、画素回路13J₁～13J₃へ成形された転送制御パルス $G_{1out} \sim G_{3out}$ 及び制御パルス G_D の反転信号を提供する。

【0275】

インバータ回路ユニット38Jと画素アレイ14Jとの接続構成は、第9実施形態のインバータ回路ユニット38Hと画素アレイ14Hとの接続構成と同じである。一方、制御電極25Dに転送制御パルス $G_{Dout}(j)$ を提供する回路構成は、第8実施形態及び第9実施形態と異なる。具体的には、画素回路13J₃に設けられるNAND型ドライバ回路41₅は、制御パルス G_D の反転信号と論理パルス $E_{SR}(j)$ とを受ける。そして、NAND型ドライバ回路41₅は、転送制御パルス $G_{Dout}(j)$ を出力する。

【0276】

画素回路13J₁～13J₃における制御電極25Dは、配線76₄によって相互に接続される。配線76₄には、NAND型ドライバ回路41₅の出力が接続される。従って、1個のNAND型ドライバ回路41₅からは、3個の画素回路13J₁～13J₃に転送制御パルス $G_{Dout}(j)$ が提供される。NAND型ドライバ回路41₅の入力には、配線47₅に接続されている支線と、配線74₄に接続されている支線と、が接続される。配線47₅は、画素回路13J₃と画素回路13J₁との間に設けられる。配線74₄は、第j行目の画素回路13J₁～13J₃と、第j+1行目の画素回路13J₁～13J₃と、の間に設けられる。NAND型ドライバ回路41₅は、配線47₅から制御パルス G_D の反転信号を受ける。NAND型ドライバ回路41₅は、配線74₄から論理パルス $E_{SR}(j)$ を受ける。

【0277】

この接続構成によれば、配線47₅から提供された制御パルス G_D の反転信号を制御電極25Dに提供するか否かを論理パルス $E_{SR}(j)$ によって制御することができる。つまり、制御電極25Dへの転送制御パルスの提供と停止とは、横方向から与えられる論理パルス $E_{SR}(j)$ によって制御される。その結果、第10実施形態の距離画像センサ10Jも、第8実施形態の距離画像センサ10Gと同様に、論理パルス $E_{SR}(j)$ によって行全体の画素回路13J₁～13J₃を一括して有感から不感に切り替えることができる。また、距離画像センサ10Jは、論理パルス $E_{SR}(j)$ によって行全体の画素回路13J₁～13J₃を一括して不感から有感に切り替えることができる。

【0278】

画素切替回路34Jは、配線部72Jを介して演算回路12に接続される。画素切替回路34Jは、演算回路12から制御パルス $SPIN$ 、 $SLCK$ 、 $SENB$ 、 $SDENB$ を受ける。画素切替回路34Jは、制御パルス $SPIN$ 、 $SLCK$ 、 $SENB$ 、 $SDENB$ に基づいて、論理パルス $E_{SR}(j)$ を生成する。そして、画素切替回路34Jは、配線74₄を介して画素回路13J₁～13J₃に接続される。画素切替回路34Jは、画素回路13J₁～13J₃に論理パルス $E_{SR}(j)$ を提供する。

【0279】

つまり、画素切替回路34Jは、論理パルス $E_{SR}(j)$ のみを出力し、転送制御パルス $G_{1out}(j) \sim G_{3out}(j)$ 、 $G_{Dout}(j)$ を出力しない点で、第8実施形態の駆動回路34Gと相違する。また、画素切替回路34Jは、転送制御パルス $G_{Dout}(j)$

10

20

30

40

50

ではなく、論理パルス $E_{SR}(j)$ を出力する点で、第 9 実施形態の画素切替回路 34H と相違する。

【0280】

図 36 に示すように、画素切替回路 34J は、行スキャンパターン発生回路 42J と、論理演算回路 44J と、を有する。行スキャンパターン発生回路 42J の構成及び機能は、第 8 実施形態の行スキャンパターン発生回路 42G と同様である。従って、行スキャンパターン発生回路 42J の詳細な説明は省略する。

【0281】

論理演算回路 44J は、バッファ回路 95 を有する。論理演算回路 44J は、行スキャンパターン発生回路 42G から受けた論理パルス $E_{SR}(j)$ を配線 744 に提供する。

10

【0282】

[第 10 実施形態／素子構成]

画素回路 13J₁～13J₃ の回路構成を説明する。ここでは、画素回路 13J₁ を詳細に説明し、画素回路 13J₂、13J₃ の詳細な説明を省略する。図 37 は、画素回路 13J₁ の構成を示す。画素回路 13J₁ は、NAND 型ドライバ回路 415 を有する点で、第 8 実施形態の画素回路 13G と相違する。従って、画素回路 13J₁ は、横方向から提供される論理パルス $E_{SR}(j)$ に基づいて、制御電極 25D_a、25D_b へ提供される転送制御パルス $G_{Dout}(j)$ が制御される。画素回路 13J₁ のその他の回路構成は、第 8 実施形態の画素回路 13G と同じである。

【0283】

20

[第 10 実施形態／作用効果]

第 10 実施形態の距離画像取得装置 1J も、第 1 実施形態の距離画像取得装置 1 と同様の効果を奏することができる。つまり、距離画像センサ 10J は、オーバーサンプリング及び積算によって、測定対象物が高速移動する場合であっても良好な計測結果を得ることができる。

【0284】

第 10 実施形態の距離画像取得装置 1J は、第 1 実施形態の距離画像取得装置 1 と同様に、所定の行に含まれる画素回路 13J₁～13J₃ を一括して有感ピクセル領域 AE に設定することが可能である。さらに、所定の行に含まれない画素回路 13J₁～13J₃ を一括して、不感ピクセル領域 AN に設定することが可能である。従って、第 10 実施形態の距離画像取得装置 1J も、オーバーサンプリング及び積算動作をさせることができる。

30

【0285】

第 10 実施形態の距離画像取得装置 1J も、第 1 実施形態の距離画像取得装置 1 と同様に、分配回路 33J と画素回路 13J とを電氣的に接続する複数の配線 47₁～47₃、47₅ を分離して配置する構成により、異なる転送制御パルス G_{1out} ～ G_{3out} 及び制御パルス G_D の反転信号間のクロストークを防止して安定したピクセルの駆動が実現でき、結果として距離分解能の高い距離画像の生成が可能となる。

【0286】

なお、本発明は、上述した実施形態の態様に限定されるものではない。

【0287】

40

距離画像取得装置の動作の変形例について、以下のように 4 つの例を説明する。図 38～41 に示すタイミングチャートは、上述した第 1 実施形態から第 10 実施形態のいずれの距離画像センサ 10～10J にも適用することができる。また、第 1 実施形態の動作と、以下の第 1～第 4 変形例の動作では、画素アレイ 14 を 3 つの領域に分割する動作を例示した。この分割数は、3 つに限定されない。例えば、分割数は、2 であってもよいし、4 以上であってもよい。

【0288】

[第 1 変形例]

図 38 は、第 1 変形例の光源 11 の動作を示すタイミングチャートと論理パルス $E_{SR}(j)$ のタイミングチャートとを示す。第 1 実施形態の動作は、1 つの期間 PF 中に 1 回の

50

期間 P_E と 1 回の期間 P_R とを含んでいた。また、期間 P_E と期間 P_R とは互いに時間的に重複することなく、期間 P_E と期間 P_R とが交互に実行された。第 1 変形例の動作も、上記の点において、第 1 実施形態の動作と同じである。一方、第 1 実施形態では、光源 11 は、1 回の有感動作中に 1 回だけ光を照射した。第 1 変形例では、光源 11 は、1 回の有感動作中に複数回の光照射を行う。

【0289】

まず、期間 P_{E1} において、画素切替回路 34 は、以下のような論理パルス $E_{SR}(j)$ を出力する。

論理パルス $E_{SR}(1) \sim E_{SR}(N/3) : HIGH$ 。

論理パルス $E_{SR}(N/3+1) \sim E_{SR}(2N/3) : LOW$ 。

論理パルス $E_{SR}(2N/3+1) \sim E_{SR}(N) : LOW$ 。

10

【0290】

期間 P_{E1} は、期間 P_{E1} よりも短い期間 P_{1c} を有する。期間 P_{1c} において、光源 11 は、アレイ分割領域 L_1 に入射パルス光 L_R が入射するようにパルス光 L_P を複数回照射する。第 1 変形例では、光源 11 は、期間 P_{1c} 中に 4 回のパルス光 L_P の照射を行う。

【0291】

次に、期間 P_{E2} において、画素切替回路 34 は、以下のような論理パルス $E_{SR}(j)$ を出力する。

論理パルス $E_{SR}(1) \sim E_{SR}(N/3) : LOW$ 。

論理パルス $E_{SR}(N/3+1) \sim E_{SR}(2N/3) : HIGH$ 。

論理パルス $E_{SR}(2N/3+1) \sim E_{SR}(N) : LOW$ 。

20

【0292】

期間 P_{E2} は、期間 P_{E2} よりも短い期間 P_{2c} を有する。期間 P_{2c} において、光源 11 は、アレイ分割領域 L_2 に入射パルス光 L_R が入射するようにパルス光 L_P を複数回照射する。第 1 変形例では、光源 11 は、期間 P_{2c} 中に 4 回のパルス光 L_P の照射を行う。

【0293】

次に、期間 P_{E3} において、画素切替回路 34 は、以下のような論理パルス $E_{SR}(j)$ を出力する。

論理パルス $E_{SR}(1) \sim E_{SR}(N/3) : LOW$ 。

論理パルス $E_{SR}(N/3+1) \sim E_{SR}(2N/3) : LOW$ 。

論理パルス $E_{SR}(2N/3+1) \sim E_{SR}(N) : HIGH$ 。

30

【0294】

期間 P_{E3} は、期間 P_{E3} よりも短い期間 P_{3c} を有する。期間 P_{3c} において、光源 11 は、アレイ分割領域 L_3 に入射パルス光 L_R が入射するようにパルス光 L_P を複数回照射する。第 1 変形例では、光源 11 は、期間 P_{3c} 中に 4 回のパルス光 L_P の照射を行う。

【0295】

以下、期間 $P_{E1} \sim P_{E3}$ の動作をあらかじめ定めた回数だけ繰り返す。この期間 $P_{E1} \sim P_{E3}$ の動作を繰り返す期間は、期間 P_E である。そして、期間 P_E の後に期間 P_R が設定される。期間 P_R において、画素切替回路 34 は、以下のような論理パルス $E_{SR}(j)$ を出力する。

40

論理パルス $E_{SR}(1) \sim E_{SR}(N/3) : LOW$ 。

論理パルス $E_{SR}(N/3+1) \sim E_{SR}(2N/3) : LOW$ 。

論理パルス $E_{SR}(2N/3+1) \sim E_{SR}(N) : LOW$ 。

【0296】

第 1 変形例の動作によれば、第 1 実施形態の動作と同様に、画素アレイ 14 の全体において複数回の露光動作の後に、画素アレイ 14 の全体から信号を読み出すことができる。

【0297】

第 1 変形例の動作では、周辺回路 31 の画素切替回路 34 が有感状態に設定する論理パルス $E_{SR}(j)$ を画素アレイ 14 に提供した状態で、光源制御部 12a がパルス光 L_P を複数回発生させる。つまり、第 1 変形例の動作では、ひとつのフレームにおいて、複数回

50

の露光動作を行う。また、第1実施形態では、1つの有感期間中に複数回の露光動作を行う。この動作によっても、距離画像センサ10の動作をさらに高速化させることができる。

【0298】

[第2変形例]

図39は、第2変形例の光源11の動作を示すタイミングチャートと論理パルス $E_{SR}(j)$ のタイミングチャートとを示す。第1実施形態の動作は、期間 P_E と期間 P_R とは互いに重複することなく、期間 P_E と期間 P_R とが交互に実行された。第2変形例の動作も、上記の点において、第1実施形態の動作と同じである。一方、第1実施形態の動作は、1つの期間 P_F 中に1回の期間 P_E と1回の期間 P_R とを含んでいた。これに対して、第2変形例の動作は、1つの期間 P_F 中に複数回の期間 $P_{E1} \sim P_{E3}$ と複数回の期間 $P_{R1} \sim P_{R3}$ とを有する。

10

【0299】

まず、期間 P_{E1} において、画素切替回路34は、以下のような論理パルス $E_{SR}(j)$ を出力する。

論理パルス $E_{SR}(1) \sim E_{SR}(N/3) : HIGH$ 。

論理パルス $E_{SR}(N/3+1) \sim E_{SR}(2N/3) : LOW$ 。

論理パルス $E_{SR}(2N/3+1) \sim E_{SR}(N) : LOW$ 。

【0300】

期間 P_{E1} は、期間 P_{E1} よりも短い期間 P_{1c} を有する。期間 P_{1c} において、光源11は、アレイ分割領域 L_1 に入射パルス光 L_R が入射するようにパルス光 L_P を複数回照射する。第2変形例では、光源11は、期間 P_{1c} 中に4回のパルス光 L_P の照射を行う。その結果、画素アレイ14における第1行目から第 $N/3$ 行目までに含まれる画素回路13において電荷の蓄積が生じる。

20

【0301】

次に、期間 P_{R1} において、画素切替回路34は、すべての画素回路13を不感に設定する論理パルス $E_{SR}(j)$ を出力する。そして、画素アレイ14における第1行目から第 $N/3$ 行目までに含まれる画素回路13から信号を読み出す。なお、期間 P_{R1} は、次の期間 P_{E2} の一部に重複してもよい。具体的には、期間 P_{R1} は、期間 P_{E2} において、論理パルス $E_{SR}(j)$ が出力された後であって、光源11からの光照射が開始されるまでの期間であれば重複が許される。

30

【0302】

次に、期間 P_{E2} において、画素切替回路34は、以下のような論理パルス $E_{SR}(j)$ を出力する。

論理パルス $E_{SR}(1) \sim E_{SR}(N/3) : LOW$ 。

論理パルス $E_{SR}(N/3+1) \sim E_{SR}(2N/3) : HIGH$ 。

論理パルス $E_{SR}(2N/3+1) \sim E_{SR}(N) : LOW$ 。

【0303】

期間 P_{E2} は、期間 P_{E2} よりも短い期間 P_{2c} を有する。期間 P_{2c} において、光源11は、アレイ分割領域 L_2 に入射パルス光 L_R が入射するようにパルス光 L_P を複数回照射する。第2変形例では、光源11は、期間 P_{2c} 中に4回のパルス光 L_P の照射を行う。その結果、画素アレイ14における第 $N/3+1$ 行目から第 $2N/3$ 行目までに含まれる画素回路13において電荷の蓄積が生じる。

40

【0304】

次に、期間 P_{R2} において、画素切替回路34は、すべての画素回路13を不感に設定する論理パルス $E_{SR}(j)$ を出力する。そして、画素アレイ14における第 $N/3+1$ 行目から第 $2N/3$ 行目までに含まれる画素回路13から信号を読み出す。

【0305】

次に、期間 P_{E3} において、画素切替回路34は、以下のような論理パルス $E_{SR}(j)$ を出力する。

論理パルス $E_{SR}(1) \sim E_{SR}(N/3) : LOW$ 。

50

論理パルス $E_{SR(N/3+1)} \sim E_{SR(2N/3)} : LOW$ 。

論理パルス $E_{SR(2N/3+1)} \sim E_{SR(N)} : HIGH$ 。

【0306】

期間 PE_3 は、期間 PE_3 よりも短い期間 P_{3c} を有する。期間 P_{3c} において、光源 11 は、アレイ分割領域 L_3 に入射パルス光 L_R が入射するようにパルス光 L_P を複数回照射する。第 2 変形例では、光源 11 は、期間 P_{3c} 中に 4 回のパルス光 L_P の照射を行う。その結果、画素アレイ 14 における第 $2N/3+1$ 行目から第 N 行目までに含まれる画素回路 13 において電荷の蓄積が生じる。

【0307】

次に、期間 PR_3 において、画素切替回路 34 は、すべての画素回路 13 を不感に設定する論理パルス $E_{SR(j)}$ を出力する。そして、画素アレイ 14 における第 $2N/3+1$ 行目から第 N 行目までに含まれる画素回路 13 から信号を読み出す。

10

【0308】

以上の期間 $PE_1 \sim PE_3$ 及び期間 $PR_1 \sim PR_3$ は、ひとつの期間 PF_1 を構成する。そして、次のフレームである期間 PF_2 が行われる。

【0309】

第 2 変形例の動作では、周辺回路 31 が、制御パルス $G_1 \sim G_4$ 、 G_D 及び論理パルス $E_{SR(j)}$ を画素アレイ 14 に出力した状態で、光源制御部 12a がパルス光 L_P を発生させる露光動作と、周辺回路 31 が、光電変換領域 21 で発生した電荷に基づく電圧を出力させる読出動作と、を行う。制御パルス $G_1 \sim G_4$ 、 G_D 及び論理パルス $E_{SR(j)}$ は、有感ピクセル領域 AE を構成する画素回路 13 において光電変換領域 21 で発生した電荷を電荷読出領域 $22_1 \sim 22_4$ に移動させると共に、不感ピクセル領域 AN を構成する画素回路 13 において光電変換領域 21 で発生した電荷を電荷排出領域 23 に移動させる。周辺回路 31 及び光源制御部 12a は、選択された有感ピクセル領域 AE に対する露光動作と、選択された有感ピクセル領域 AE を構成した画素回路 13 に対する読出動作と、を選択する有感ピクセル領域 AE を変更しながら繰り返し行う。この動作によれば、選択された有感ピクセル領域 AE ごとに露光動作と読出動作とを交互に行うことができる。

20

【0310】

つまり、第 2 変形例の動作では、第 1 変形例の動作とは異なり、ひとつのフレームにおいて、露光動作と読出動作とを交互に行う。換言すると、第 2 変形例の動作では、1 行以上の領域に対する露光動作の後に、露光動作を行った行に対して読出動作を行う。続いて、別の 1 行以上の領域に移行して、同様に露光動作と読出動作とを繰り返す。

30

【0311】

なお、読出動作では、パルス光 L_P の周期のうち、画素回路 13 のゲーティングを行っていない期間を利用して、少なくとも 1 行に含まれる画素回路 13 に対して読出動作を行ってもよい。より詳細には、パルス光 L_P のデューティ比が小さい場合において、その一周期のうち、画素回路 13 のゲーティングを行っていない期間を利用して、一行又は複数の行に含まれる画素回路 13 から信号を読み出してもよい。あるいは、複数のパルス光 L_P の投影のサイクルを利用して、1 行に含まれる画素回路 13 から信号を読み出してもよい。つまり、露光動作のバックグラウンドにおいて、露光動作を行っていない画素回路 13 から信号を読み出してもよい。

40

【0312】

〔第 3 変形例〕

図 40 は、第 3 変形例の光源 11 の動作を示すタイミングチャートと論理パルス $E_{SR(j)}$ のタイミングチャートとを示す。第 1 実施形態の動作は、期間 PE と期間 PR とは互いに時間的に重複することなく、期間 PE と期間 PR とが交互に実行された。これに対して、第 3 変形例の動作は、期間 PE と期間 PR とが互いに時間的に重複する。

【0313】

まず、期間 PE_1 において露光動作を行う。この露光動作は、第 2 変形例の期間 PE_1 における露光動作と同様である。露光動作の結果、画素アレイ 14 における第 1 行目から

50

第 $N/3$ 行目までに含まれる画素回路13において電荷の蓄積が生じる。

【0314】

次に、期間 PE_2 において露光動作を行う。この露光動作は、第2変形例の期間 PE_2 における露光動作と同様である。露光動作の結果、画素アレイ14における第 $N/3+1$ 行目から第 $2N/3$ 行目までに含まれる画素回路13において電荷の蓄積が生じる。

【0315】

この期間 PE_2 と重複するように、期間 PR_1 が設定される。期間 PR_1 では、画素アレイ14における第1行目から第 $N/3$ 行目までに含まれる画素回路13から信号を読み出す。期間 PR_1 が開始されるタイミングは、期間 PE_2 が開始されるタイミングと同じであってよい。つまり、期間 PR_1 が開始されるタイミングは、期間 PE_2 に関する論理パルス $ESR(j)$ の出力が開始されるタイミングと同時であってもよい。また、期間 PR_1 が開始されるタイミングは、アレイ分割領域 L_2 に入射パルス光 L_R が入射する位置への光照射が開始されるタイミングと同時であってもよい。一方、期間 PR_1 が終了するタイミングは、期間 PE_2 が終了するタイミングよりも前である。換言すると、期間 PR_1 は、期間 PE_2 よりも短い。

【0316】

次に、期間 PE_3 において露光動作を行う。この露光動作は、第2変形例の期間 PE_3 における露光動作と同様である。露光動作の結果、画素アレイ14における第 $2N/3+1$ 行目から第 N 行目までに含まれる画素回路13において電荷の蓄積が生じる。

【0317】

この期間 PE_3 と重複するように、期間 PR_2 が設定される。期間 PR_2 では、画素アレイ14における第 $N/3+1$ 行目から第 $2N/3$ 行目までに含まれる画素回路13から信号を読み出す。

【0318】

以上のように、期間 PE_1 、 PE_2 、 PE_3 を含む期間 PF_1 は、ひとつのフレームまたはサブフレームを構成する。

【0319】

そして、再び期間 PE_1 において露光動作を行う。この期間 PE_1 と重複するように、期間 PR_3 が設定される。期間 PR_3 では、画素アレイ14における第 $2N/3+1$ 行目から第 N 行目までに含まれる画素回路13から信号を読み出す。

【0320】

第3変形例の動作において、周辺回路31及び光源制御部12aは、有感ピクセル領域AEに対する露光動作と、不感ピクセル領域ANに対する読出動作と、を並行して行う。この動作によれば、ある領域における露光動作と別の領域における読出動作とが並行して行われる。従って、距離画像センサ10の動作をさらに高速化させることができる。

【0321】

[第4変形例]

図41は、第4変形例の光源11の動作を示すタイミングチャートと論理パルス $ESR(j)$ のタイミングチャートとを示す。第4変形例の動作は、第3変形例と同様に期間 PE と期間 PR とが互いに重複する。一方、第3変形例の動作では、期間 $PE_1 \sim PE_3$ の長さに比べて、期間 $PR_1 \sim PR_3$ の長さが短かった。これに対して、第4変形例の動作では、期間 $PE_1 \sim PE_3$ の長さに比べて、期間 $PR_1 \sim PR_3$ の長さが長い点で相違する。

【0322】

まず、期間 PE_1 において露光動作を行う。この露光動作は、第2変形例の期間 PE_1 における露光動作と同様である。露光動作の結果、画素アレイ14における第1行目から第 $N/3$ 行目までに含まれる画素回路13において電荷の蓄積が生じる。

【0323】

次に、待機期間 PW_1 において待機動作を行う。この待機動作において、画素切替回路34は、すべての画素回路13を不感に設定するための論理パルス $ESR(j)$ を提供する。さらに、待機期間 PW_1 において光源11は、パルス光 L_P の照射を行わない。

【0324】

次に、期間 PE_2 において露光動作を行う。この露光動作は、第2変形例の期間 PE_2 における露光動作と同様である。露光動作の結果、画素アレイ14における第 $N/3+1$ 行目から第 $2N/3$ 行目までに含まれる画素回路13において電荷の蓄積が生じる。

【0325】

次に、待機期間 PW_2 において待機動作を行う。この期間 PE_2 及び待機期間 PW_2 と重複するように、期間 PR_1 が設定される。期間 PR_1 では、画素アレイ14における第1行目から第 $N/3$ 行目までに含まれる画素回路13から信号を読み出す。期間 PR_1 が開始されるタイミングは、期間 PE_2 が開始されるタイミングと同じであってよい。一方、期間 PR_1 が終了するタイミングは、期間 PE_2 が終了するタイミングよりも後である。換言すると、期間 PR_1 は、期間 PE_2 よりも長い。

10

【0326】

期間 PE_2 が終了するタイミングから期間 PR_1 が終了するまでのタイミングまでの期間は、待機期間 PW_2 として設定される。つまり、第4変形例の動作では、期間 $PE_1 \sim PE_3$ と待機期間 $PW_1 \sim PW_3$ とが交互に設定される。そして、例えば、ひとつの期間 PE_2 とひとつの待機期間 PW_2 とを合わせた長さは、期間 PR_1 の長さと同じである。

【0327】

次に、期間 PE_3 において露光動作を行う。この露光動作は、第2変形例の期間 PE_3 における露光動作と同様である。露光動作の結果、画素アレイ14における第 $2N/3+1$ 行目から第 N 行目までに含まれる画素回路13において電荷の蓄積が生じる。

20

【0328】

次に、待機期間 PW_3 において待機動作を行う。この期間 PE_3 及び待機期間 PW_3 と重複するように、期間 PR_2 が設定される。期間 PR_2 では、画素アレイ14における第 $N/3+1$ 行目から第 $2N/3$ 行目までに含まれる画素回路13から信号を読み出す。

【0329】

以上のように、期間 $PE_1, PW_1, PE_2, PW_2, PE_3, PW_3$ を含む期間 PF_1 は、ひとつのフレームまたはサブフレームを構成する。

【0330】

次に、再び期間 PE_1 において露光動作を行う。露光動作の結果、画素アレイ14における第1行目から第 $N/3$ 行目までに含まれる画素回路13において電荷の蓄積が生じる。

30

【0331】

次に、待機期間 PW_1 において待機動作を行う。この期間 PE_1 及び待機期間 PW_1 と重複するように、期間 PR_3 が設定される。期間 PR_3 では、画素アレイ14における第 $2N/3+1$ 行目から第 N 行目までに含まれる画素回路13から信号を読み出す。

【0332】

変形例4の動作によっても、変形例3と同様の効果を得ることができる。つまり、変形例4の動作によれば、ある領域における露光動作と別の領域における読出動作とが並行して行われる。従って、距離画像センサ10の動作をさらに高速化させることができる。

【0333】

[第5変形例]

40

第8実施形態の画素回路13Gでは、ラテラル電界制御電荷変調の素子構造を採用した。距離画像センサに採用する素子構造は、この素子構造に限定されない。図42に示す第5変形例の画素回路13Kは、MOS型の転送ゲートの素子構造を採用する。このような素子構造の画素回路13Kは、例えば、第9実施形態の距離画像センサ10Hに好適に採用できる。

【0334】

第5変形例の距離画像センサ10Kは、画素回路13Kを有する。第5変形例の画素回路13Kは、第8実施形態の画素回路13Gに対して、ドレイン制御のための制御電極 $25Ds$ の構造が相違する。画素回路13Gの制御電極 $25Da, 25Db$ は、電荷移動経路101を挟むように配置されていた。第5変形例の画素回路13Kの制御電極 $25Ds$ は

50

、電荷移動経路101を跨ぐように配置されている。換言すると、画素回路13Gの制御電極25_{Da}、25_{D_b}は、電荷移動経路101の直上には配置されておらず、これらの制御電極25_{Da}、25_{D_b}から横方向に漏れる電界によって電荷移動経路101における電位を制御した。一方、第5変形例の画素回路13Kの制御電極25_{DS}は、電荷移動経路101の直上に配置されている。つまり、制御電極25_{DS}は、制御電極25₁～25₃のように電荷移動経路101における電位を制御電極25_{DS}がその真下に発生させる電界によって直接に制御する。

【0335】

画素回路13Kは、フォトダイオードPD、電荷転送部52S、電荷読出領域22S₁、23S₂、23S₃及び半導体領域66a、66b、66c、66dを有する。半導体領域66aは、開口部APと重複する領域に設けられ、フォトダイオードPDを構成する。半導体領域66bは、フォトダイオードPDを構成する部分と電荷転送部52Sを構成する部分とを有する。また、半導体領域65bは、制御電極25_{DS}の直下に形成されている。半導体領域66cは、電荷転送部52Sを構成する部分を有する。半導体領域66cは、半導体領域65bに重複すると共に制御電極25_{DS}に重複する部分と、電荷排出領域23S_a、23S_bに重複する部分と、を有する。半導体領域66dは、電荷転送部52Sを構成する部分を有する。半導体領域66dは、半導体領域66cに重複する部分と、制御電極25₁～25₃に重複する部分と、電荷読出領域22S₁、22S₂、22S₃に重複する部分と、を有する。

【0336】

図43は、図42に示す電荷移動経路101を含む一点鎖線CL₄₃における電位分布を示す。縦軸は電荷移動経路101上の位置を示す。横軸は、電位を示す。さらに、グラフC43aは、図42におけるフォトダイオードPDの領域に対応する。グラフC43b、C43cは、図42における制御電極25_{DS}が配置された領域に対応する。グラフC43dは、制御電極25₂に対応する。

【0337】

第8実施形態の画素回路13Gは、制御電極25_{Da}、25_{D_b}に提供される転送制御パルスG_{Dout(j)}が横方向（例えば制御電極25_{Da}から制御電極25_{D_b}へ向かう方向）に染み出すことによって、電位の分布が変化する。これに対して、第5変形例の画素回路13Kは、制御電極25_{DS}に提供される転送制御パルスG_{Dout(j)}が、横方向への染み出しによらず、直接に電位を変化させる。その結果、図43に示す第5変形例の画素回路13Kの電位分布は、図31に示す第8実施形態の画素回路13Kの電位分布と比較すると、電位の窪み（グラフC43b）における電位の落ち込みが急峻である。また、図43に示す電位分布は、図31に示す電位分布と比較すると、電位の窪み（グラフC43b）の深さがより深い。このような電位分布によれば、不感状態としたときに、フォトダイオードPDから電荷読出領域22S₁～22S₃への電荷の移動をより確実に抑制することができる。

【0338】

[第6変形例]

図5に示すNOR型ドライバ回路41₁～41₄は、図5とは異なる記載によって示してもよい。図44(a)に示すNOR型ドライバ回路41F₁は、NOR型ドライバ回路41₁の別の記載例である。p型MOSトランジスタ43₁、p型MOSトランジスタ44₁及びn型MOSトランジスタ45₁は、図44(a)に示すように論理回路201によって示してもよい。論理回路201は、3つの入力と1つの出力とを有する。第1の入力は、配線47₁に接続されている。第1の入力は、制御パルスG₁の反転信号を受ける。第2の入力は、配線48_Gに接続されている。第2の入力は、論理パルスE_{SR(j)}の反転信号を受ける。第3の入力は、配線47₁に接続されている。第3の入力は、制御パルスG₁の反転信号を受ける。出力は、制御電極25₁に接続されている。NOR型ドライバ回路41F₁の動作は、NOR型ドライバ回路41₁の動作と同様である。

【0339】

〔第7変形例〕

図11に示すNOR型ドライバ回路41A₁～41A₄は、図11とは異なる記載によって示してもよい。図44(b)に示すNOR型ドライバ回路41G₁は、NOR型ドライバ回路41A₁の別の記載例である。論理回路201の第1の入力は、配線47a₁に接続されている。第1の入力は、制御パルスG_{1p}の反転信号を受ける。第2の入力は、配線48_Gに接続されている。第2の入力は、論理パルスE_{SR}(j)の反転信号を受ける。第3の入力は、配線47b₁に接続されている。第3の入力は、制御パルスG_{1n}の反転信号を受ける。出力は、制御電極25₁に接続されている。NOR型ドライバ回路41G₁の動作は、NOR型ドライバ回路41A₁の動作と同様である。

〔0340〕

10

〔第8変形例〕

図5に示すNOR型ドライバ回路41₁～41₄は、付加的な要素を含んでもよい。図45(a)は、NOR型ドライバ回路41₁の変形例であるNOR型ドライバ回路41H₁を示す。NOR型ドライバ回路41H₁は、p型MOSトランジスタ43₁、p型MOSトランジスタ44₁及びn型MOSトランジスタ45₁に加えて、さらに、n型MOSトランジスタ202₁を含む。n型MOSトランジスタ202₁は、p型MOSトランジスタ44₁～44₄のドレイン及びn型MOSトランジスタ45₁～45₄のドレインの接続点73₁と、制御電極25₁との間に接続される。より詳細には、n型MOSトランジスタ202₁のドレインは、接続点73₁と、制御電極25₁との間に接続される。n型MOSトランジスタ202₁のゲートは、配線48_Gを介して画素切替回路34に接続される。n型MOSトランジスタ202₁のゲートは、論理パルスE_{SR}(j)の反転信号を受ける。n型MOSトランジスタ202₁のソースは、ロー電位線V_{DL}に接続される。NOR型ドライバ回路41H₁によれば、制御電極25₁のフローティングを抑制できる。

20

〔0341〕

〔第9変形例〕

図11に示すNOR型ドライバ回路41A₁～41A₄も、第8変形例と同様に、フローティングを抑制するための回路構成を採用してよい。つまり、図45(b)は、NOR型ドライバ回路41A₁の変形例であるNOR型ドライバ回路41K₁を示す。NOR型ドライバ回路41K₁は、p型MOSトランジスタ43₁、p型MOSトランジスタ44₁及びn型MOSトランジスタ45₁に加えて、さらに、n型MOSトランジスタ202₁を含む。

30

〔0342〕

〔第10変形例〕

図5に示すNAND型ドライバ回路41₅は、図5とは異なる記載によって示してもよい。図46(a)に示すNAND型ドライバ回路41F₅は、NAND型ドライバ回路41₅の別の記載例である。p型MOSトランジスタ43₅、n型MOSトランジスタ46及びn型MOSトランジスタ45₅は、図46(a)に示すように論理回路204₅によって示してもよい。論理回路204₅は、3つの入力と1つの出力とを有する。第1の入力は、配線47₅に接続されている。第1の入力は、制御パルスG_Dの反転信号を受ける。第2の入力は、配線48_Dに接続されている。第2の入力は、論理パルスE_{SR}(j)を受ける。第3の入力は、配線47₅に接続されている。第3の入力は、制御パルスG_Dの反転信号を受ける。出力は、制御電極25_Dに接続されている。NAND型ドライバ回路41F₅の動作は、NAND型ドライバ回路41₅の動作と同様である。

40

〔0343〕

〔第11変形例〕

図11に示すNAND型ドライバ回路41A₅は、図11とは異なる記載によって示してもよい。図46(b)に示すNAND型ドライバ回路41G₅は、NAND型ドライバ回路41A₅の別の記載例である。論理回路204₅の第1の入力は、配線47a₅に接続されている。第1の入力は、制御パルスG_{Dp}の反転信号を受ける。第2の入力は、配線48_Dに接続されている。第2の入力は、論理パルスE_{SR}(j)を受ける。第3の入力は

50

、配線 47b₅ に接続されている。第 3 の入力は、制御パルス G_{Dn} の反転信号を受ける。出力は、制御電極 25_D に接続されている。NAND 型ドライバ回路 41G₅ の動作は、NAND 型ドライバ回路 41A₅ の動作と同様である。

【0344】

〔第 12 変形例〕

図 5 に示す NOR 型ドライバ回路 41₅ は、付加的な要素を含んでもよい。図 47 (a) は、NAND 型ドライバ回路 41₅ の変形例である NAND 型ドライバ回路 41H₅ を示す。NAND 型ドライバ回路 41H₅ は、p 型 MOS トランジスタ 43₅、n 型 MOS トランジスタ 46 及び n 型 MOS トランジスタ 45₅ に加えて、さらに、p 型 MOS トランジスタ 205₅ を含む。p 型 MOS トランジスタ 205₅ は、p 型 MOS トランジスタ 43₅ のドレイン及び n 型 MOS トランジスタ 46 のドレインの接続点 206₅ と、制御電極 25_D との間に接続される。より詳細には、p 型 MOS トランジスタ 205₅ のドレインは、接続点 206₅ と、制御電極 25_D との間に接続される。p 型 MOS トランジスタ 205₅ のゲートは、配線 48_D を介して画素切替回路 34 に接続される。p 型 MOS トランジスタ 205₅ のゲートは、論理パルス E_{SR} (j) を受ける。p 型 MOS トランジスタ 205₅ のソースは、ハイ電位線 V_{DH} に接続される。NAND 型ドライバ回路 41H₅ によれば、制御電極 25_D のフローティングを抑制できる。

【0345】

〔第 13 変形例〕

図 11 に示す NAND 型ドライバ回路 41A₅ も、第 12 変形例と同様に、フローティングを抑制するための回路構成を採用してよい。つまり、図 47 (b) は、NAND 型ドライバ回路 41A₅ の変形例である NAND 型ドライバ回路 41K₅ を示す。NAND 型ドライバ回路 41K₅ は、p 型 MOS トランジスタ 43₅、n 型 MOS トランジスタ 46 及び n 型 MOS トランジスタ 45₅ に加えて、さらに、p 型 MOS トランジスタ 205₅ を含む。

【0346】

〔第 14 変形例〕

図 48 は、第 14 変形例の距離画像取得装置が備える画素回路 13₁ を示す。また、図 49 は、画素回路 13₁ に入力される制御パルス G_{1D}、G_{1U}、G_{1OUT} を示す。図 48 では、画素回路 13₁ のみを抽出し、画素回路 13₁ が有する読出回路 80₁、80₂、80₃、80₄ 及び NOR 型ドライバ回路 41₁ の構成を示している。

【0347】

読出回路 80₁～80₄ は、キャパシタンス成分 81₁～81₄ と、MOS トランジスタ 82₁～82₄、93₁～93₄、94₁～94₄ と、を有する。読出回路 80₁～80₄ の入力は、それぞれ光電変換領域 21 に接続される。読出回路 80₁～80₄ の出力は、配線 28 を介して演算回路 12 に接続される。

【0348】

キャパシタンス成分 81₁～81₄ は、光電変換領域 21 が発生した電荷を蓄積する。キャパシタンス成分 81₁～81₄ は、図 3 に示す電荷読出領域 22₁～22₄ に対応する。キャパシタンス成分 81₁～81₄ の一端は、制御電極 25₁～25₄、MOS トランジスタ 82₁～82₄、93₁～93₄ に接続される。キャパシタンス成分 81₁～81₄ の他端は、基準電位に接続される。

【0349】

MOS トランジスタ 82₁～82₄ は、電荷読出領域 22₁～22₄ をリセットするためのものである。MOS トランジスタ 82₁～82₄ のソースは、キャパシタンス成分 81₁～81₄ の一端に接続される。MOS トランジスタ 82₁～82₄ のゲートは、読出制御回路 27 に接続されている。MOS トランジスタ 82₁、82₃ のゲートは、共通のリセットパルス RT₂ を受ける。MOS トランジスタ 82₂、82₄ のゲートは、共通のリセットパルス RT₁ を受ける。MOS トランジスタ 82₁～82₄ のドレインは、リセット電位線 V_{DR} に接続される。

10

20

30

40

50

【0350】

MOSトランジスタ93₁～93₄，94₁～94₄は、いわゆるソースフォロワアンプを構成する。MOSトランジスタ93₁～93₄，94₁～94₄は、図3に示す電圧検出手段26₁～26₄に対応する。MOSトランジスタ93₁～93₄，94₁～94₄は、キャパシタンス成分81₁～81₄に蓄積された電荷に応じた電圧V_{O1}，V_{O2}を発生させ、当該電圧V_{O1}，V_{O2}を配線28に出力する。

【0351】

MOSトランジスタ93₁～93₄のソースは、MOSトランジスタ94₁～94₄のドレインに接続される。MOSトランジスタ93₁～93₄のゲートは、電荷読出領域22₁～22₄であるキャパシタンス成分81₁～81₄に接続される。MOSトランジスタ93₁～93₄のドレインは、リセット電位線V_{DR}に接続される。MOSトランジスタ94₁，94₃は、配線28へのMOS電圧の提供と停止を読出制御パルスSL₂に応じて切り替える。また、MOSトランジスタ94₂，94₄は、配線28へのMOS電圧の提供と停止を読出制御パルスSL₁に応じて切り替える。MOSトランジスタ94₁～94₄のドレインは、配線28に接続される。MOSトランジスタ94₁～94₄のゲートは、読出制御回路27に接続される。MOSトランジスタ94₁，94₃のゲートは、読出制御パルスSL₂を受ける。MOSトランジスタ94₂，94₄のゲートは、読出制御パルスSL₁を受ける。MOSトランジスタ94₁～94₄のドレインは、MOSトランジスタ93₁～93₄のソースに接続される。

【0352】

このようなMOSトランジスタ93₁～93₄，94₁～94₄によれば、読出制御パルスSL₁に応じて読出回路80₂，80₄が選択される。選択された読出回路80₂は、配線28を介して電圧V_{O1}を出力する。また、選択された読出回路80₄は、配線28を介して電圧V_{O2}を出力する。さらに、MOSトランジスタ93₁～93₄，94₁～94₄によれば、読出制御パルスSL₂に応じて読出回路80₁，80₃が選択される。選択された読出回路80₁は、配線28を介して電圧V_{O1}を出力する。また、選択された読出回路80₃は、配線28を介して電圧V_{O2}を出力する。

【0353】

NOR型ドライバ回路41₁は、キャパシタンス成分53₁と、MOSトランジスタ96₁，97₁，98₁，99₁と、を有する。キャパシタンス成分53₁の一端は、ハイ電位線V_{DH}に接続される。キャパシタンス成分53₁の他端は、ロー電位線V_{DL}及びMOSトランジスタ98₁，99₁に接続される。

【0354】

MOSトランジスタ96₁，97₁，98₁，99₁は、いずれもn型MOSトランジスタである。さらに、読出回路80₁～80₄が含むMOSトランジスタ81₁～81₄，82₁～82₄，93₁～93₄，94₁～94₄のいずれもn型MOSトランジスタである。つまり、図48に示す画素回路13₁を構成するMOSトランジスタは、すべてn型である。このような構成によると、画素回路13₁にn型の不純物が注入されたいわゆるエヌウェル（n-well）を設ける必要がない。これにより、光電変換領域で生じた電荷の一部がn-wellに流れ込んで失われ、信号電荷として検出される電荷を減少させることがなくなる。

【0355】

MOSトランジスタ96₁のドレインは、ハイ電位線V_{DH}に接続される。MOSトランジスタ96₁のゲートは、画素切替回路34に接続されて、画素切替回路34から論理パルスESR（j）を受ける。MOSトランジスタ96₁のソースは、MOSトランジスタ97₁に接続される。

【0356】

MOSトランジスタ97₁のドレインは、MOSトランジスタ96₁のソースに接続される。MOSトランジスタ97₁のゲートは、分配回路33に接続されて、分配回路33から制御パルスG_{1U}を受ける。MOSトランジスタ97₁のソースは、MOSトランジスタ

タ 9 8 ₁ , 9 9 ₁ 及び制御電極 2 5 ₁ に接続される。

M O S トランジスタ 9 8 ₁ のドレインは、M O S トランジスタ 9 7 ₁ のソース、M O S トランジスタ 9 9 ₁ のドレイン及び制御電極 2 5 ₁ に接続される。M O S トランジスタ 9 8 ₁ のゲートは、分配回路 3 3 に接続されて、分配回路 3 3 から制御パルス G _{1 D} を受ける。M O S トランジスタ 9 8 ₁ のソースは、ロー電位線 V _{D L}、M O S トランジスタ 9 9 ₁ のソース及びキャパシタンス成分 5 3 ₁ に接続される。

【 0 3 5 7 】

M O S トランジスタ 9 9 ₁ のドレインは、M O S トランジスタ 9 7 ₁ のソース、M O S トランジスタ 9 8 ₁ のドレイン及び制御電極 2 5 ₁ に接続される。M O S トランジスタ 9 9 ₁ のゲートは、画素切替回路 3 4 に接続されて、画素切替回路 3 4 から論理パルス E _{S R} (j) の反転信号を受ける。M O S トランジスタ 9 9 ₁ のソースは、ロー電位線 V _{D L}、M O S トランジスタ 9 8 ₁ のソース及びキャパシタンス成分 5 3 ₁ に接続される。

【 0 3 5 8 】

図 5 0 は、第 1 4 変形例の距離画像取得装置が備える画素回路 1 3 5 を示す。画素回路 1 3 5 が有する読出回路 8 0 ₁ , 8 0 ₂ , 8 0 ₃ , 8 0 ₄ 及び N A N D 型ドライバ回路 4 1 5 の構成を示す。読出回路 8 0 ₁ , 8 0 ₂ , 8 0 ₃ , 8 0 ₄ は、図 4 8 に示す読出回路 8 0 ₁ , 8 0 ₂ , 8 0 ₃ , 8 0 ₄ と同じであるから、詳細な説明は省略する。

【 0 3 5 9 】

N O R 型ドライバ回路 4 1 5 は、キャパシタンス成分 5 3 5 と、M O S トランジスタ 9 6 5 , 9 7 5 , 9 8 5 , 9 9 5 と、を有する。キャパシタンス成分 5 3 5 の一端は、ハイ電位線 V _{D H} に接続される。キャパシタンス成分 5 3 5 の他端は、ロー電位線 V _{D L} 及び M O S トランジスタ 9 8 8 に接続される。

【 0 3 6 0 】

M O S トランジスタ 9 6 5 , 9 7 5 , 9 8 5 , 9 9 5 は、いずれも n 型 M O S トランジスタである。さらに、読出回路 8 0 ₁ ~ 8 0 ₄ が含む M O S トランジスタ 8 1 ₁ ~ 8 1 ₄ , 8 2 ₁ ~ 8 2 ₄ , 9 3 ₁ ~ 9 3 ₄ , 9 4 ₁ ~ 9 4 ₄ のいずれも n 型 M O S トランジスタである。つまり、図 5 0 に示す画素回路 1 3 5 を構成する M O S トランジスタは、すべて n 型である。

【 0 3 6 1 】

M O S トランジスタ 9 6 5 のドレインは、ハイ電位線 V _{D H} 及び M O S トランジスタ 9 9 5 のドレインに接続される。M O S トランジスタ 9 6 5 のゲートは、分配回路 3 3 に接続されて、分配回路 3 3 から制御パルス G _{D U} を受ける。M O S トランジスタ 9 6 5 のソースは、M O S トランジスタ 9 7 5 のドレイン、M O S トランジスタ 9 9 5 のソース及び制御電極 2 5 _D に接続される。

M O S トランジスタ 9 7 5 のドレインは、M O S トランジスタ 9 6 5 のソース、M O S トランジスタ 9 9 5 のソース及び制御電極 2 5 _D に接続される。M O S トランジスタ 9 7 5 のゲートは、分配回路 3 3 に接続されて、分配回路 3 3 から制御パルス G _{D D} を受ける。M O S トランジスタ 9 7 5 のソースは、M O S トランジスタ 9 8 5 に接続される。

【 0 3 6 2 】

M O S トランジスタ 9 8 5 のドレインは、M O S トランジスタ 9 7 5 のソースに接続される。M O S トランジスタ 9 8 5 のゲートは、画素切替回路 3 4 に接続されて、画素切替回路 3 4 から論理パルス E _{S R} (j) を受ける。M O S トランジスタ 9 8 5 のソースは、ロー電位線 V _{D L} 及びキャパシタンス成分 5 3 5 に接続される。

【 0 3 6 3 】

M O S トランジスタ 9 9 5 のドレインは、ハイ電位線 V _{D H} 及び M O S トランジスタ 9 6 5 のドレインに接続される。M O S トランジスタ 9 9 5 のゲートは、画素切替回路 3 4 に接続されて、画素切替回路 3 4 から論理パルス E _{S R} (j) の反転信号を受ける。M O S トランジスタ 9 9 5 のソースは、M O S トランジスタ 9 6 5 のソース、M O S トランジスタ 9 7 5 のドレイン及び制御電極 5 3 5 に接続される。

【 0 3 6 4 】

10

20

30

40

50

[第15変形例]

図51は、第15変形例の距離画像取得装置が備える画素回路13₁を示す。第15変形例の距離画像取得装置の画素回路13₁は、ドライバ回路41₁を備えない。図51に示す画素回路13₁の制御電極25₁は、分配回路33からデプレッション型MOSスイッチのみを介して、転送制御パルスG_{1OUT}を受ける。画素回路13₂~13₄についても同様の構成を有する。

【0365】

以下、図51及び図52に示す画素回路13₁、13₅について説明する。なお、図51及び図52に示す画素回路13₁、13₅において、読出回路80₁~80₄は、図48に示す画素回路13₁の読出回路80₁~80₄と同じである。従って、読出回路80₁~80₄の詳細な説明は省略する。

10

【0366】

図51に示すように、画素回路13₁は、NOR型ドライバ回路41₁に代えて、スイッチ回路120₁を有する。スイッチ回路120₁は、キャパシタンス成分121₁と、MOSトランジスタ122₁と、を有する。キャパシタンス成分121₁の一端は、ハイ電位線V_{DH}に接続される。キャパシタンス成分121₁の他端は、ロー電位線V_{DL}に接続される。MOSトランジスタ122₁のドレインは、分配回路33に接続されて、分配回路33から転送制御パルスG₁を受ける。MOSトランジスタ122₁のゲートは、画素切替回路34に接続されて、画素切替回路34から論理パルスE_{SR}(j)を受ける。MOSトランジスタ122₁のソースは、制御電極25₁のゲートに接続される。

20

【0367】

図51に示す画素回路13₁によれば、転送制御パルスG₁の印加に対応する回路構成として、画素回路13₁は、1個のMOSトランジスタ122₁及び1個のキャパシタンス成分121₁のみを有する。その結果、画素回路13₁の回路面積を縮小することができる。

【0368】

図52は、第15変形例の距離画像取得装置が備える画素回路13₅を示す。図52に示すように、画素回路13₅は、NANDドライバ回路41₅を備えていない。画素回路13₅の制御電極25_Dは、分配回路33から直接に転送制御パルスG_Dを受ける。画素回路13₅は、キャパシタンス成分121₅を有する。キャパシタンス成分121₅の一端は、ハイ電位線V_{DH}に接続される。キャパシタンス成分121₅の他端は、ロー電位線V_{DL}に接続される。

30

【0369】

第15変形例の距離画像取得装置は、図53に示すタイミングチャートに従って動作する。画素回路13₁~13₅は、一連の連続制御パルスG₁~G₄のうち最後の制御パルスG₄と、次の一連の連続制御パルスG₁~G₄の先頭の制御パルスG₁と、の間に、制御電極25_Dに制御パルスG_Dを印加する。その結果、不感ピクセル領域ANの制御電極25₁~25₄に転送制御パルスG_{1OUT}~G_{4OUT}が印加されなければ、不感ピクセル領域ANの光電荷は、ドレインに排出される。従って、制御電極25_Dに対して、画素切替回路34からの論理パルスE_{SR}(j)は必要ない。

40

【0370】

[第11実施形態]

次に、第11実施形態の距離画像取得装置について説明する。第1実施形態の距離画像取得装置1は、図2に示すように測定対象領域Aの全幅をカバーするように高さ方向の一部にパルス光L_Pを照射した。一方、第11実施形態の距離画像取得装置は、測定対象領域を高さ方向に分割する。さらに、第11実施形態の距離画像取得装置は、DOE(Diffractive Optical Element)などを用いて、分割した全ての測定対象領域の高さ方向の一部に対応するようにパルス光L_Pを測定対象領域の分割数に応じて分割する。そして、第11実施形態の距離画像取得装置は、分割した全ての測定対象領域の高さ方向の一部にパルス光L_Pを同時に照射する。以下の説明では、測定対象領域を縦方向(高さ方向)のみ

50

に分割する動作を例に説明する。しかし、距離画像取得装置は、測定対象領域を横方向（幅方向）のみに分割する動作も当然に実施可能である。さらに、距離画像取得装置は、測定対象領域を高さ方向及び横方向の両方で分割する動作も実施可能である。

【0371】

図54は、画素アレイ14Lを縦方向に3つに分割した測定対象領域に対応した分割画素アレイ領域と、分割した全ての分割画素アレイ領域におけるアレイ分割領域 L_1 、 L_2 、 L_3 と、有感ピクセル領域AEと、不感ピクセル領域ANと、を模式的に示す。アレイ分割領域 $L_1 \sim L_3$ とは、入射パルス光 L_R が分割されて同時に入射すると予想される領域である。

【0372】

図54(a)は、第1の動作態様における有感ピクセル領域と不感ピクセル領域とを示す図である。図54(b)は、第2の動作態様における有感ピクセル領域と不感ピクセル領域とを示す図である。図54(c)は、第3の動作態様における有感ピクセル領域と不感ピクセル領域とを示す図である。図55は、第11実施形態の距離画像取得装置が備える光源11の動作を示すタイミングチャートと制御電極251、252、253、254、25Dに印加する転送制御パルス $G_{1out} \sim G_{4out}$ 、 G_{Dout} 、および、論理パルス $E_{SR}(j)$ のタイミングチャートとを示す。転送制御パルス G_{1out} 、 G_{2out} 、 G_{3out} 、 G_{4out} 、 G_{Dout} は、論理パルス $E_{SR}(j)$ 及び／或いは論理パルス $E_{SR}(j)$ の反転信号によって画素回路を有感とする信号と不感とする信号とに制御される。

【0373】

$L_1(1)$ 、 $L_1(2)$ 、 $L_1(3)$ 、 $L_2(1)$ 、 $L_2(2)$ 、 $L_2(3)$ 、 $L_3(1)$ 、 $L_3(2)$ 、 $L_3(3)$ の(1)、(2)、(3)は、3つに分割した測定対象領域に対応した分割画素アレイ領域を示す。 L_1 、 L_2 、 L_3 は、縦方向に3つに分割した分割画素アレイ領域の中の3つのアレイ分割領域（行ブロック） L_1 、 L_2 、 L_3 を示している。 $L_1(1)$ 、 $L_1(2)$ 、 $L_1(3)$ は、分割された入射パルス光 L_R が、第1の動作態様においてアレイ分割領域（行ブロック） $L_1(1)$ 、 $L_1(2)$ 、 $L_1(3)$ に同時に入射することを示す。光源11は、次に、第2の動作態様において入射パルス光 L_R をアレイ分割領域（行ブロック） $L_2(1)$ 、 $L_2(2)$ 、 $L_2(3)$ に同時に入射させる。さらに、光源11は、その次に第3の動作態様において入射パルス光 L_R をアレイ分割領域（行ブロック） $L_3(1)$ 、 $L_3(2)$ 、 $L_3(3)$ に同時に入射させる。

【0374】

[第16変形例]

次に、第11実施形態の第16変形例の距離画像取得装置1Mについて説明する。

【0375】

第7実施形態の距離画像取得装置1Fは、行ブロックごとに画素回路13Fの動作を有感又は不感に設定する動作に加えて、さらに、列ブロックごとに有感又は不感に設定する動作を行った。これらの動作によると、図23に示すように、画素アレイ14Fにおいて特定の領域を有感ピクセル領域AEに設定し、その他の領域を不感ピクセル領域ANに設定することができる。有感ピクセル領域AEは、図23における左から右に順に列ブロックごとに移動したのちに、次の行ブロックへ移動することができる。

【0376】

これに対し、第16変形例の距離画像取得装置1Mは、図56に示すように、画素アレイ14Mを、測定対象領域の高さ方向と幅方向に相当する縦方向と横方向に 3×4 の領域に分割する。これらの領域は、分割した測定対象領域に対応した分割画素アレイ領域である。距離画像取得装置1Mは、全ての分割画素アレイ領域において、行ブロックごとに画素回路13Mの動作を有感又は不感に設定する動作と、列ブロックごとに有感又は不感に設定する動作と、を行う。これらの動作によると、図56に示すように、画素アレイ14Mの分割画素アレイ領域の全てにおいて特定の領域を有感ピクセル領域AEに設定し、その他の領域を不感ピクセル領域ANに設定することができる。有感ピクセル領域AEは、全ての分割画素アレイ領域において図56における左から右に順に列ブロックごとに移動

10

20

30

40

50

したのちに、次の行ブロックへ移動することができる。図 5 6 では、全ての分割画素アレイ領域は、縦方向に 3 つの行ブロック、横方向に 2 つの列ブロックを有する。

【0377】

距離画像センサ 10 M は、画素アレイ 14 M と、演算回路 12 M と、周辺回路 31 M と、を有する。周辺回路 31 M は、読出制御回路 27 M と、分配回路 33 M と、画素切替回路（列）54 M と、論理演算回路 55 M と、画素切替回路（行）56 M と、を有する。

【0378】

広い面を照射する光源の場合、ある微小な測定点に対し、多くの場所からのマルチパス光が入射する。その結果、マルチパス光の影響で距離測定の精度が制限されてしまう。DOE と狭い照射領域の走査ができる光源と、光源に同期して有感制御及び不感制御ができる距離画像取得装置 1 M を用いることにより、測定点だけの反射光と離れた狭い照射領域からの微小なマルチパス成分のみの影響で、精度の高い距離測定を行うことができる。

【符号の説明】

【0379】

1 … 距離画像取得装置、11 … 光源、31 … 周辺回路、12 a … 光源制御部、13 … 画素回路（画素回路部）、14 … 画素アレイ、21 … 光電変換領域、22 … 電荷読出領域、23 … 電荷排出領域、27 … 読出制御回路、33 … 分配回路、34 … 画素切替回路、A … 測定対象領域、AE … 有感ピクセル領域、AN … 不感ピクセル領域、25₁ ~ 25₄ , 25_D … 制御電極、L_P … パルス光、L_R … 入射パルス光、R … 照射領域、S … 対象物。

10

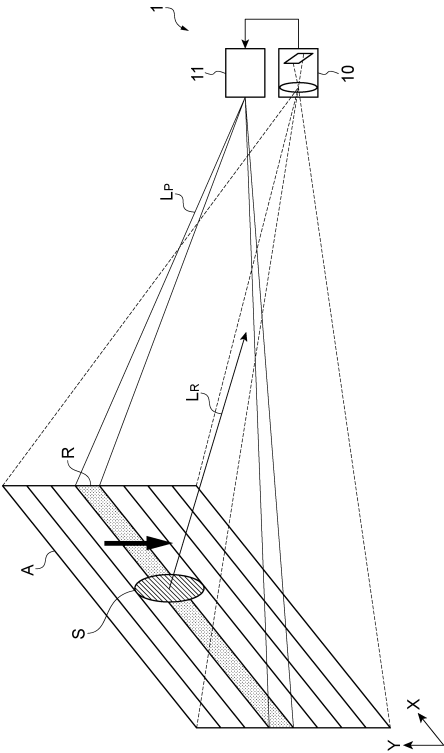
20

30

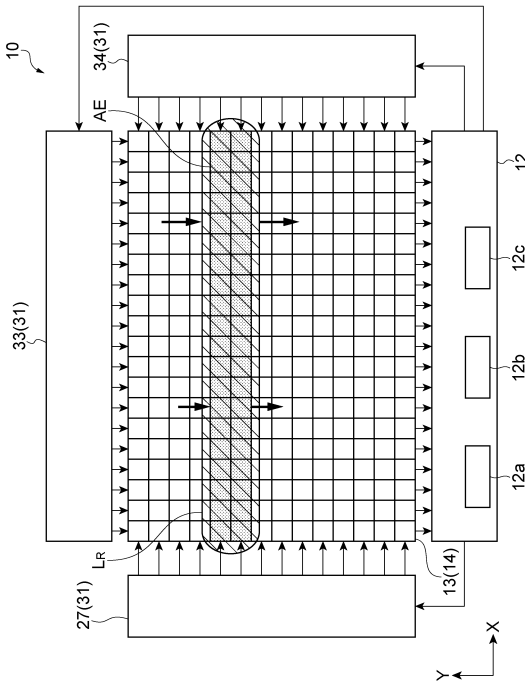
40

50

【図面】
【図 1】



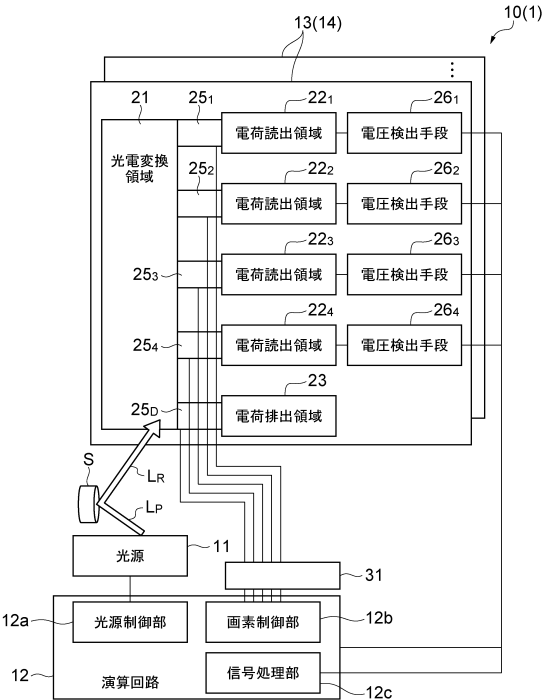
【図 2】



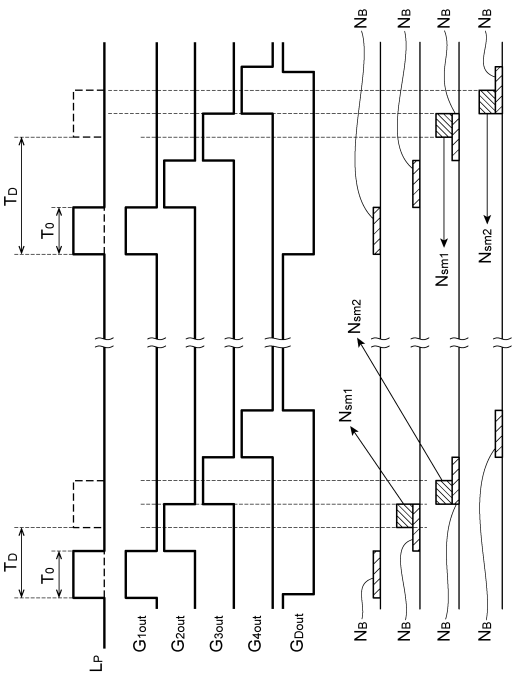
10

20

【図 3】



【図 4】

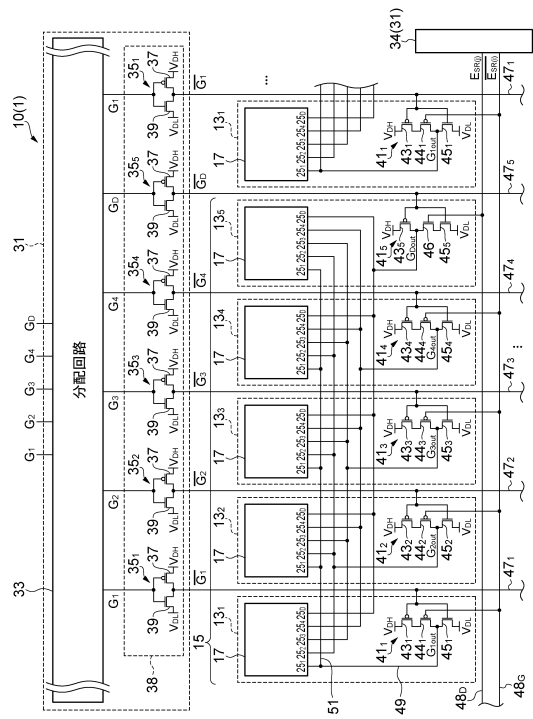


30

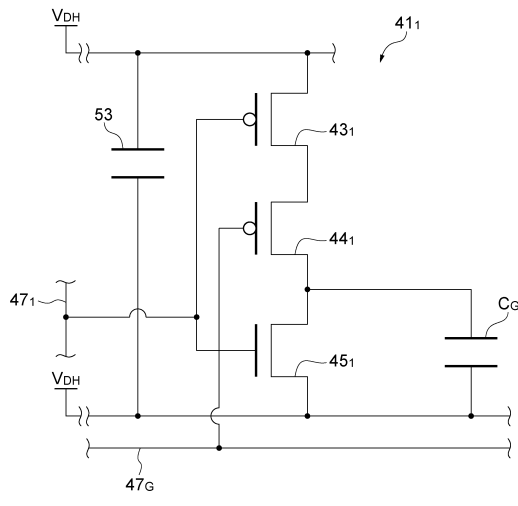
40

50

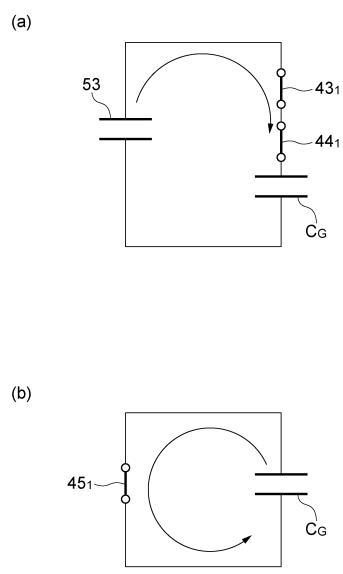
【図 5】



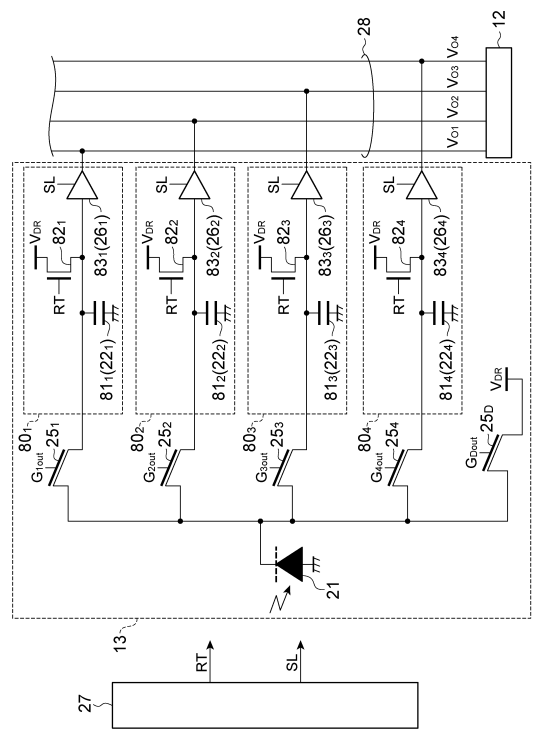
【図 6】



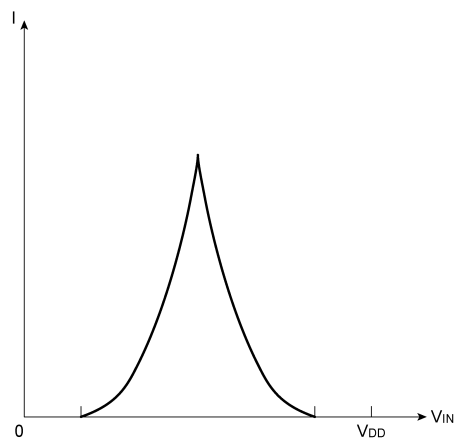
【図 7】



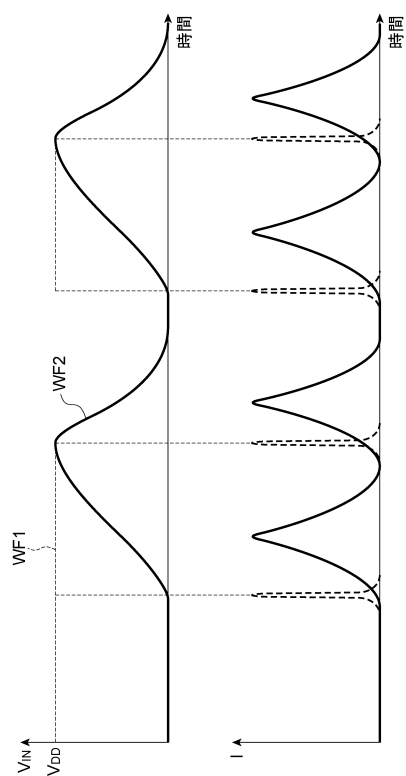
【図 8】



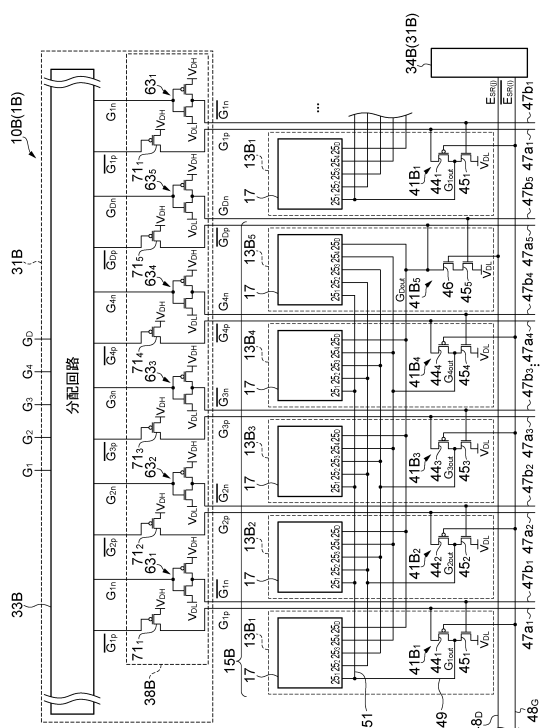
【図 13】



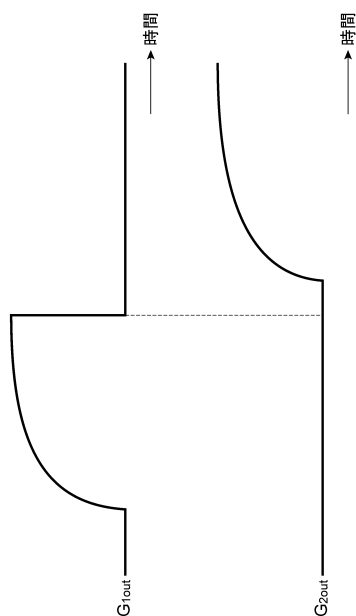
【図 14】



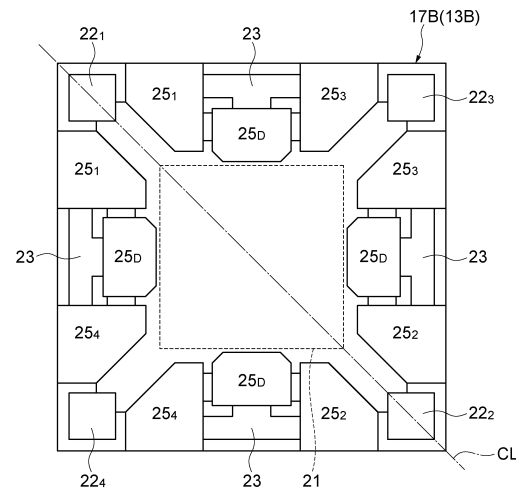
【図 15】



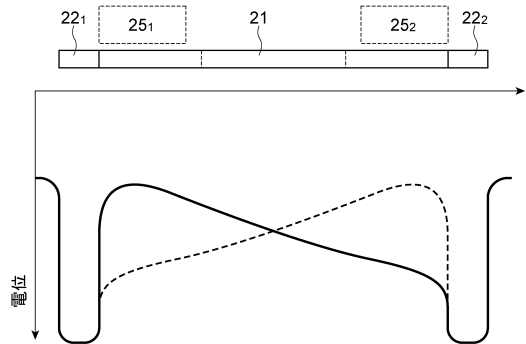
【図 16】



【図 17】



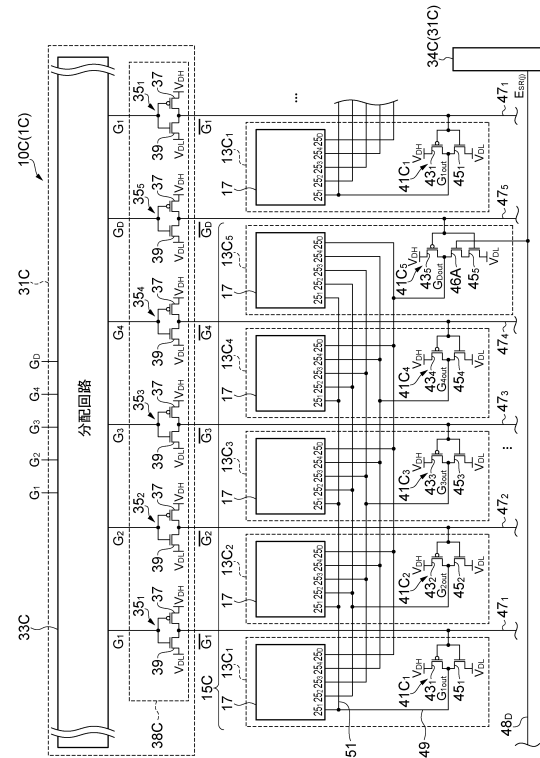
【図 18】



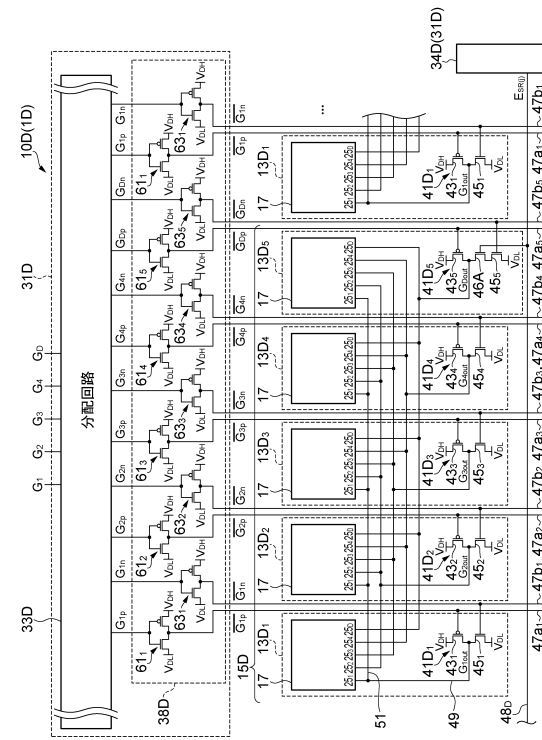
10

20

【図 19】



【図 20】

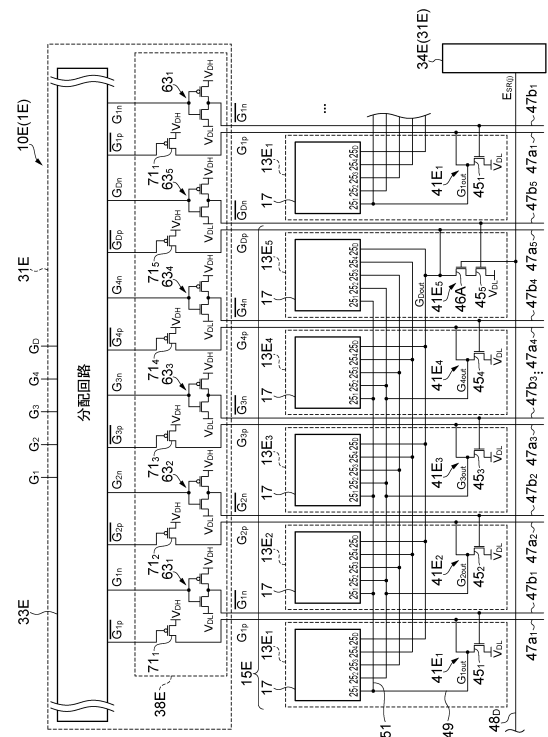


30

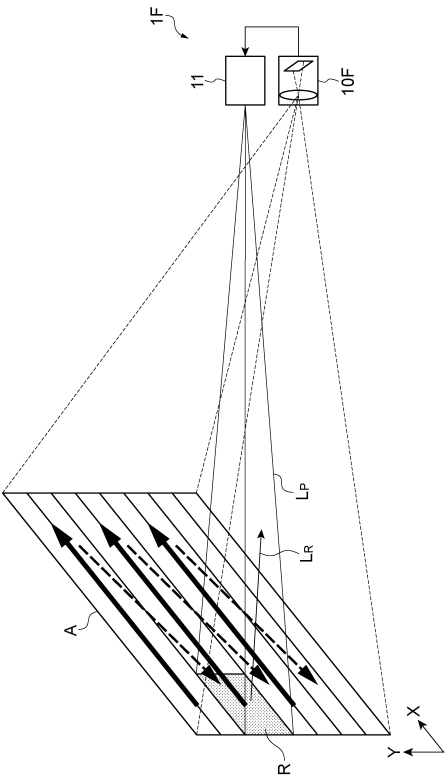
40

50

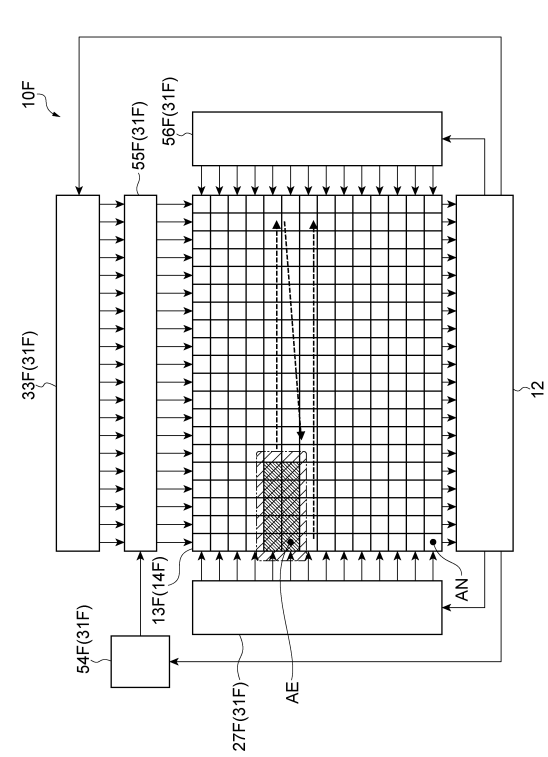
【図 2 1】



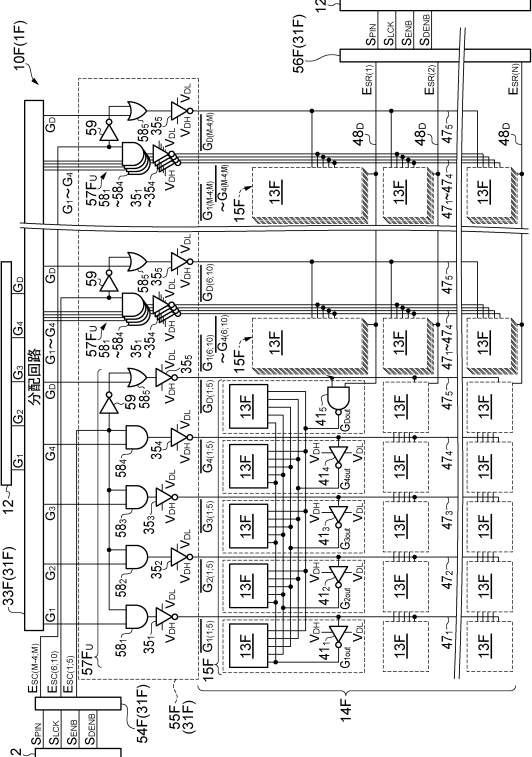
【図 2 2】



【図 2 3】



【図 2 4】



10

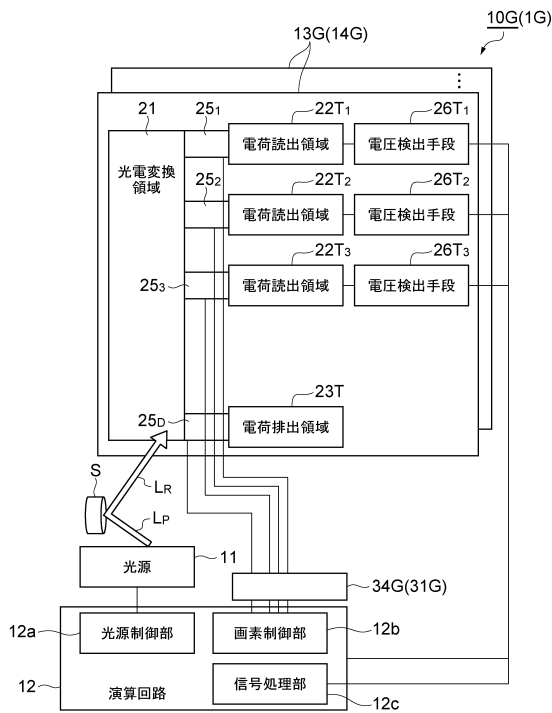
20

30

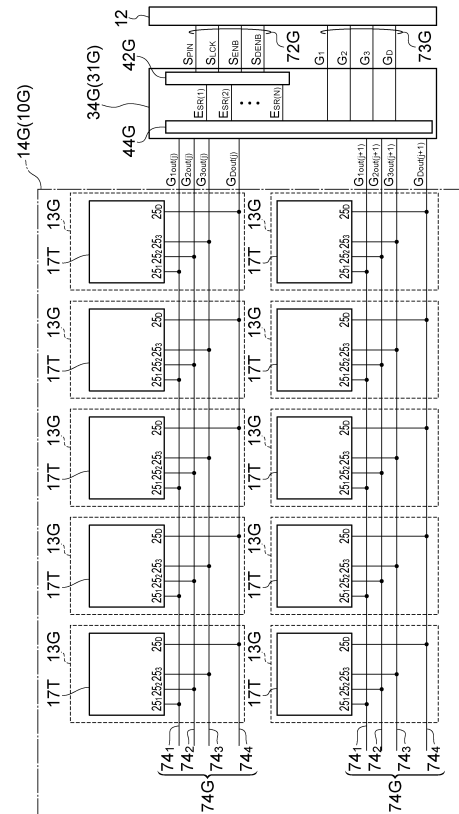
40

50

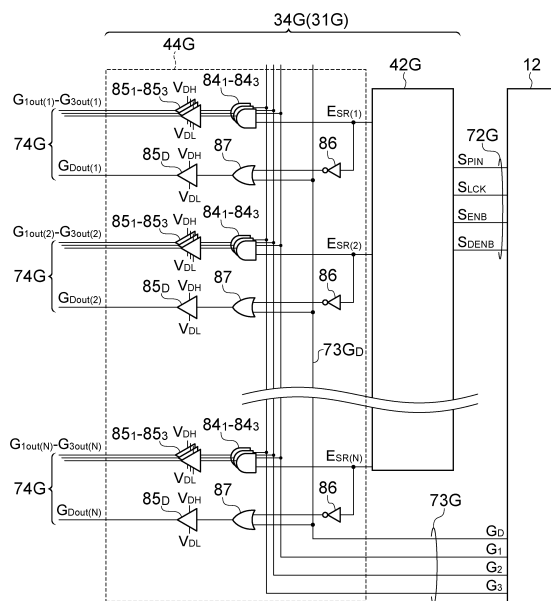
【図 25】



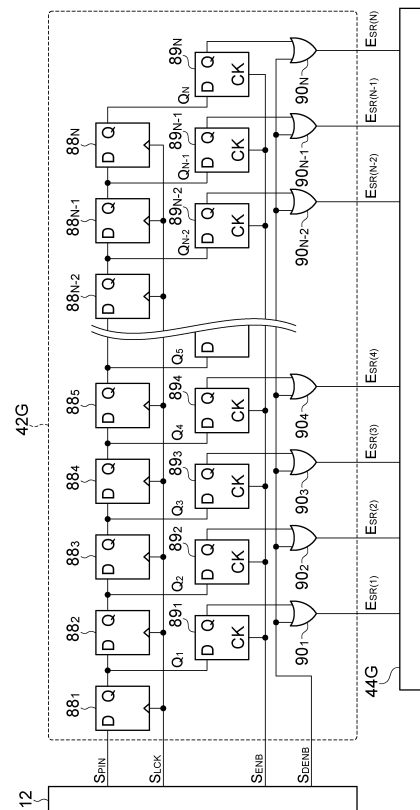
【図 26】



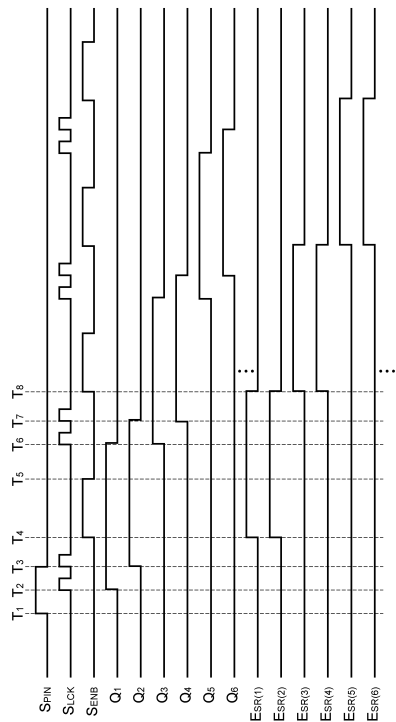
【図 27】



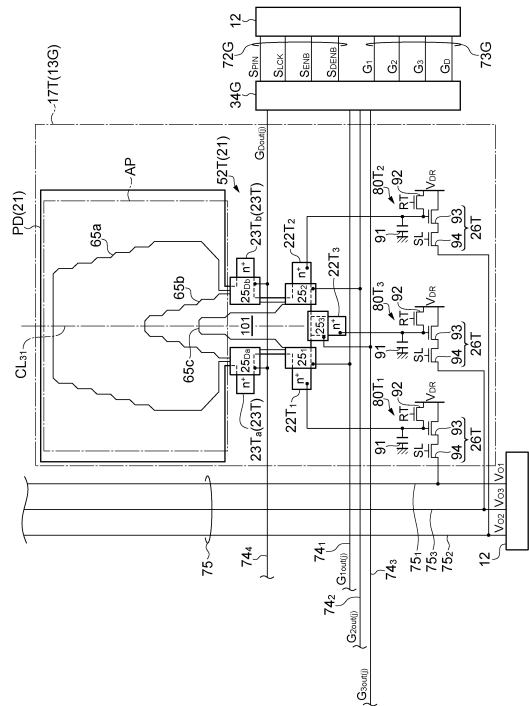
【図 28】



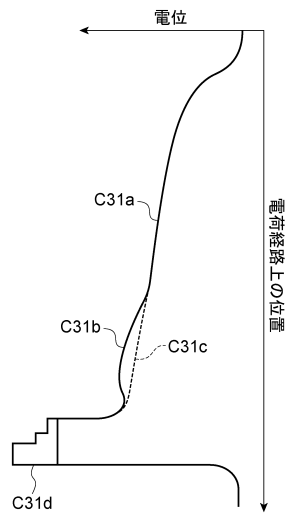
【図 29】



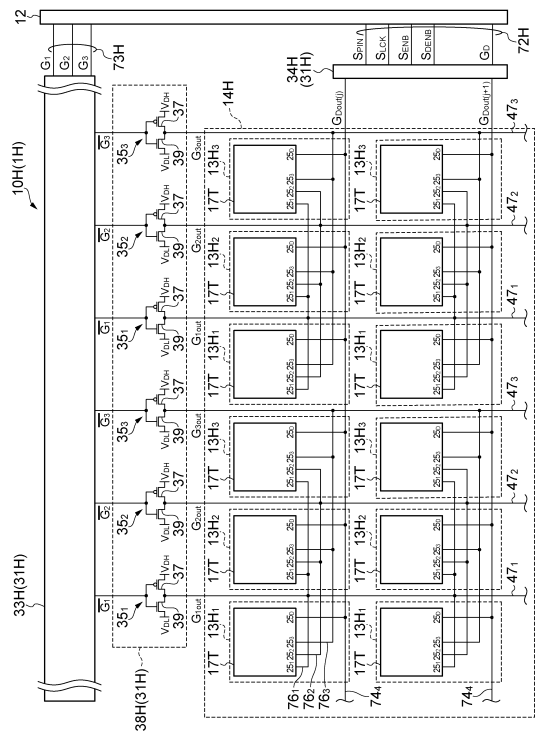
【図 30】



【図 31】



【図 32】



10

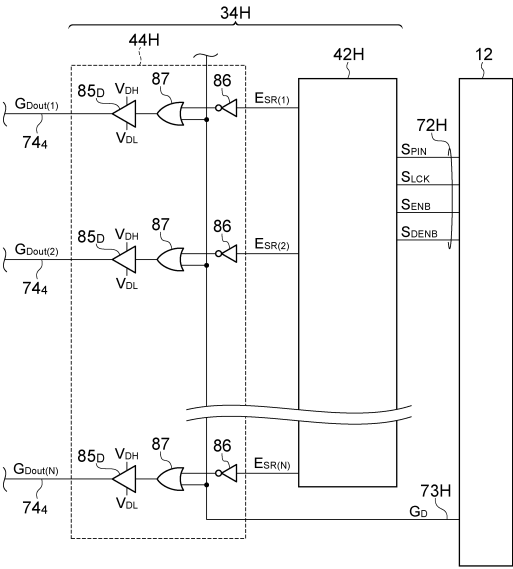
20

30

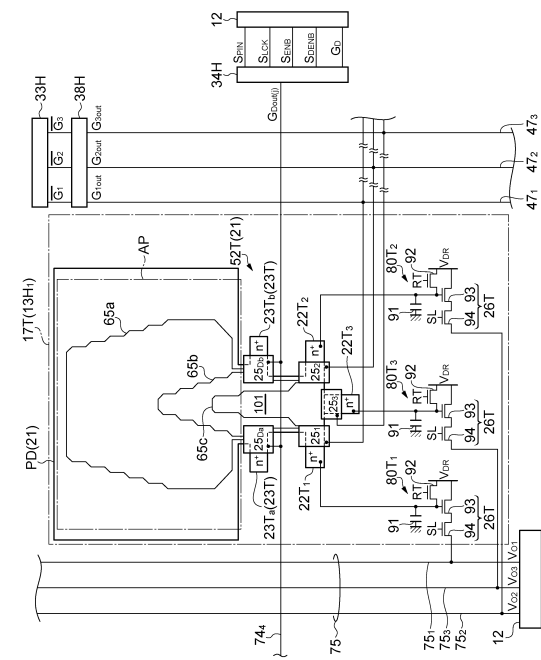
40

50

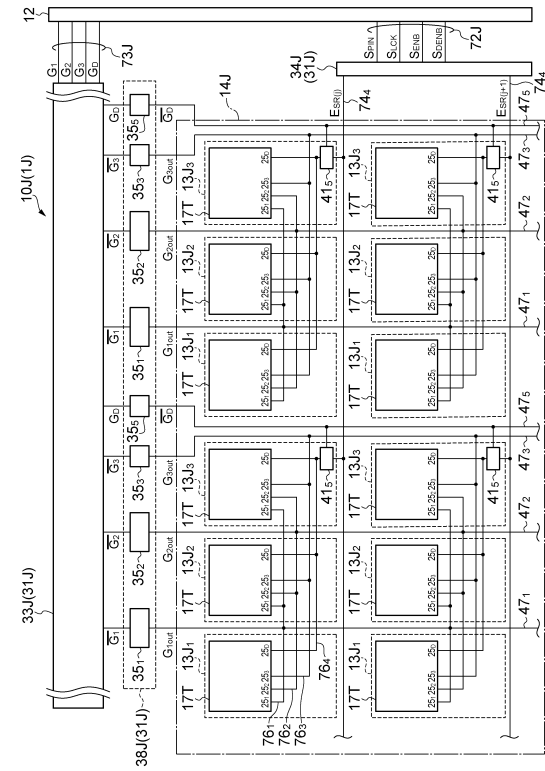
【図 3 3】



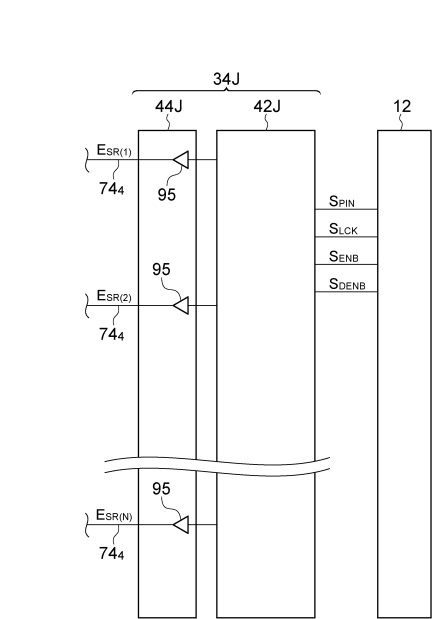
【図 3 4】



【図 3 5】



【図 3 6】



10

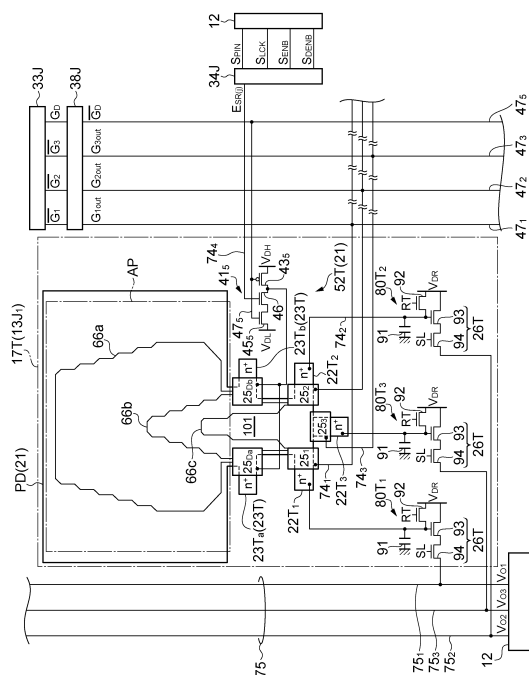
20

30

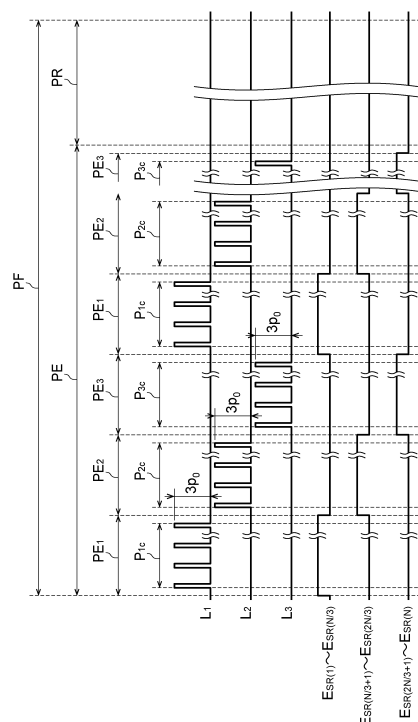
40

50

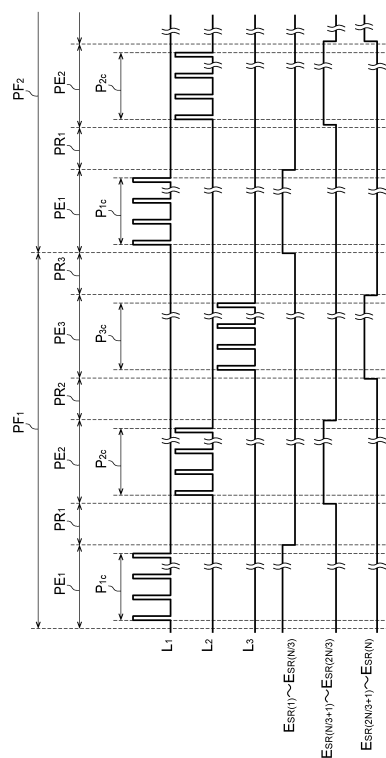
【図 3 7】



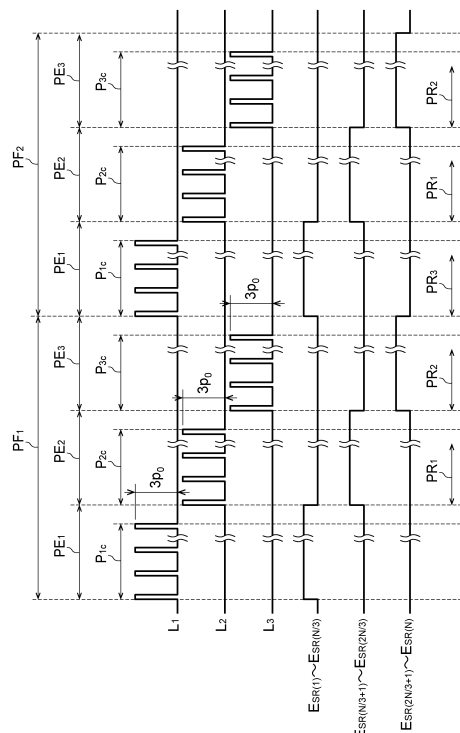
【圖 3 8】



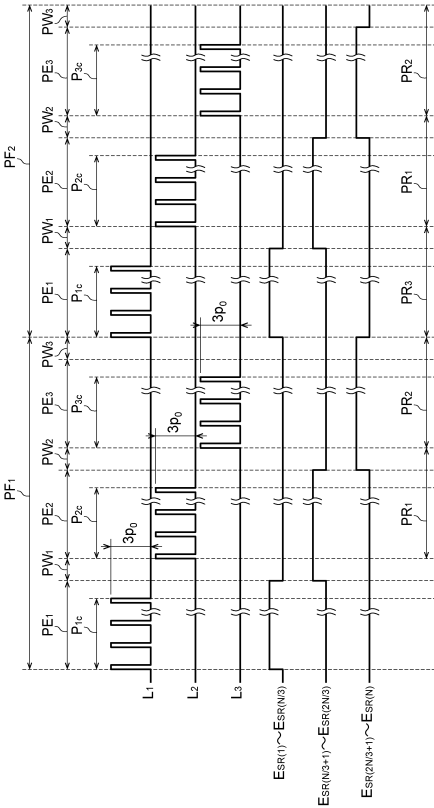
【図 3 9】



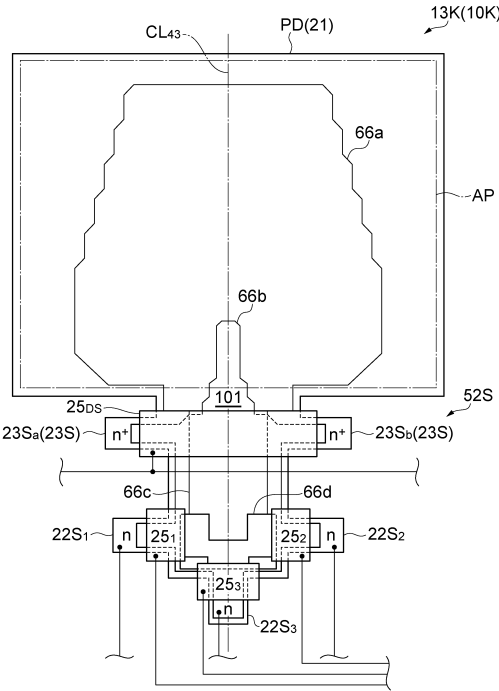
【図 40】



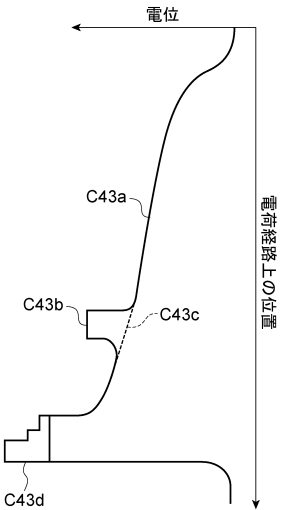
【図 4 1】



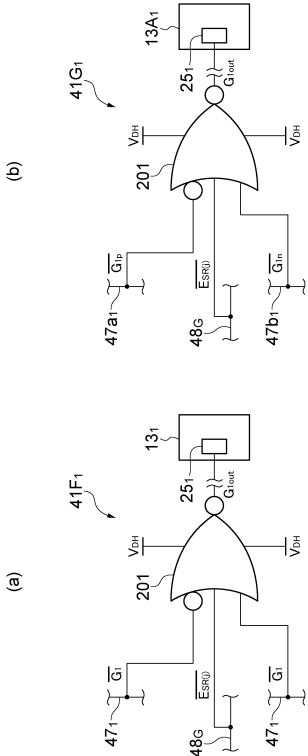
【図 4 2】



【図 4 3】



【図 4 4】



10

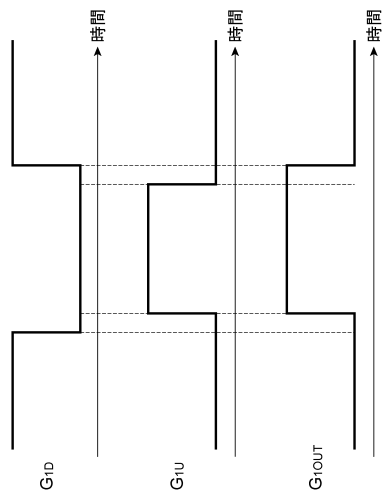
20

30

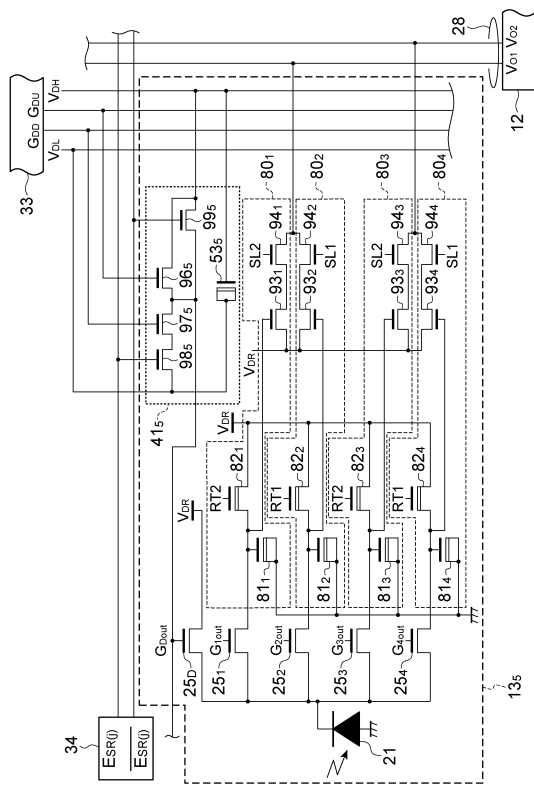
40

50

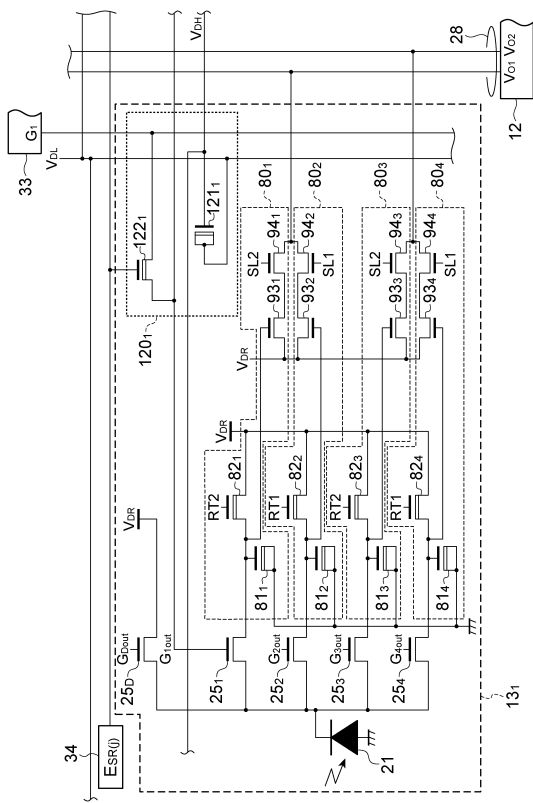
【図 49】



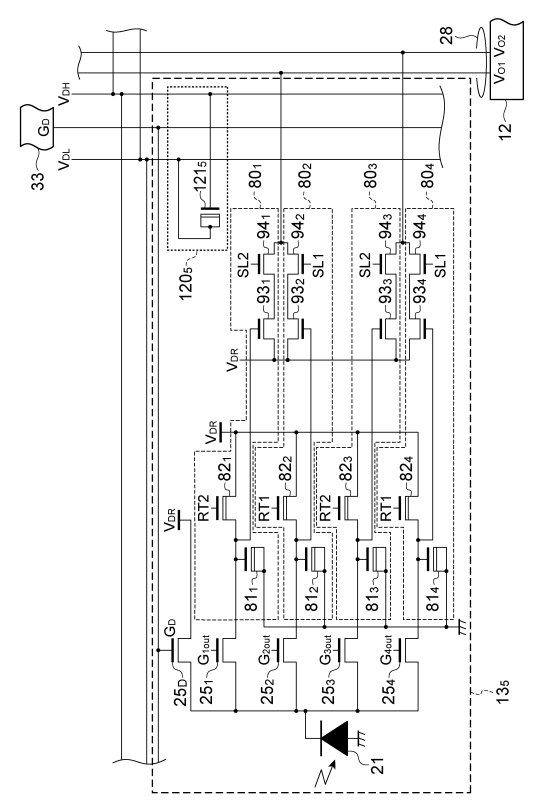
【図 50】



【図 51】



【図 52】



10

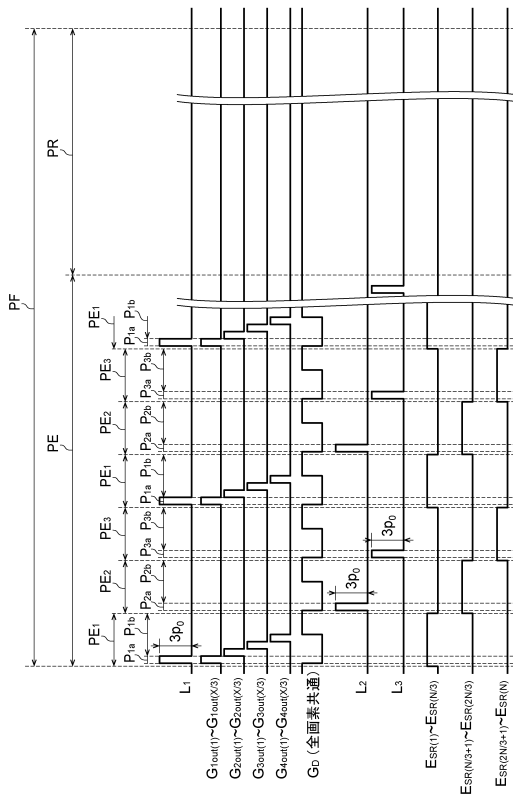
20

30

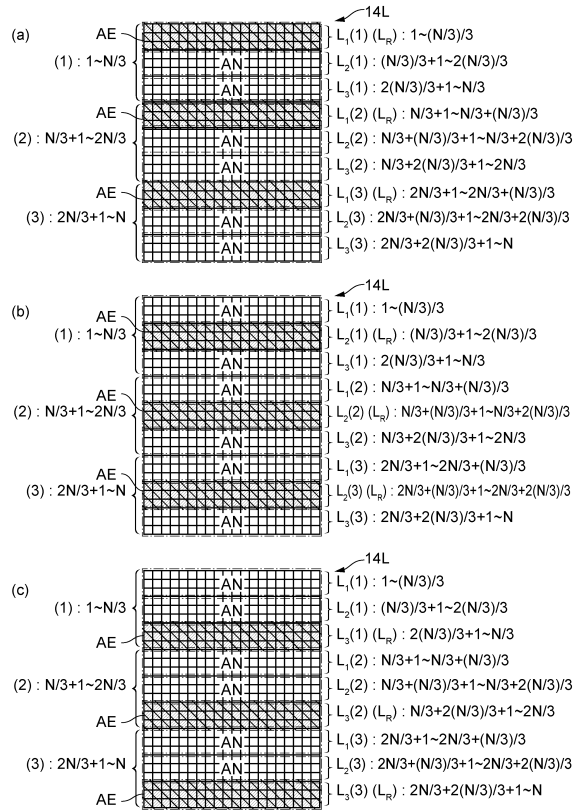
40

50

【図 5 3】



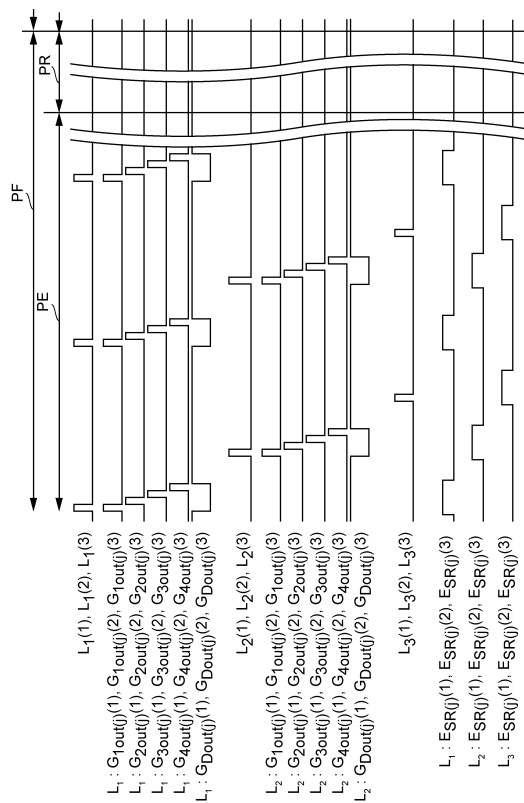
【図 5 4】



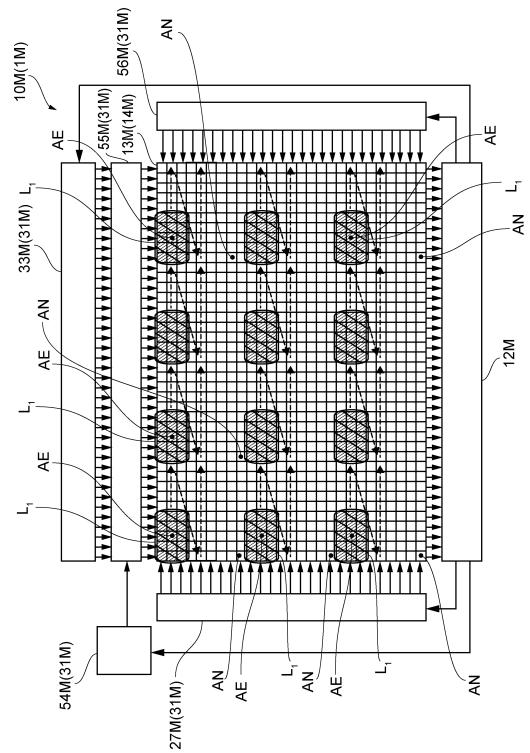
10

20

【図 5 5】



【図 5 6】



30

40

フロントページの続き

(51)国際特許分類

F I
H 0 4 N 25/76

(56)参考文献

特開 2 0 0 3 - 2 4 7 8 0 9 (J P , A)
特開 2 0 1 4 - 0 5 9 3 0 1 (J P , A)
特開平 0 8 - 2 4 8 1 3 3 (J P , A)

(58)調査した分野 (Int.Cl., D B 名)

G 0 1 S 7 / 4 8 - 7 / 5 1
G 0 1 S 1 7 / 0 0 - 1 7 / 9 5
G 0 1 C 3 / 0 6
H 0 4 N 7 / 1 8
H 0 4 N 2 5 / 7 6