

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2011 年 10 月 6 日(06.10.2011)



PCT



(10) 国際公開番号
WO 2011/121709 A1

(51) 国際特許分類:
G06F 9/38 (2006.01)

(21) 国際出願番号: PCT/JP2010/055602

(22) 国際出願日: 2010 年 3 月 29 日(29.03.2010)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(71) 出願人 (米国を除く全ての指定国について): 株式会社東芝 (Kabushiki Kaisha Toshiba) [JP/JP]; 〒1058001 東京都港区芝浦一丁目 1 番 1 号 Tokyo (JP).

(72) 発明者; および

(75) 発明者/出願人 (米国についてのみ): 山田 裕 (YAMADA, Yutaka) [JP/JP]; 〒1058001 東京都港区芝浦一丁目 1 番 1 号 株式会社東芝 知的財産部内 Tokyo (JP). 吉川 宜史 (YOSHIKAWA, Takashi) [JP/JP]; 〒1058001 東京都港区芝浦一丁目 1 番 1 号 株式会社東芝 知的財産部内 Tokyo (JP). 浅野 滋博 (ASANO, Shigehiro) [JP/JP]; 〒1058001 東京都港区芝浦一丁目 1 番 1 号 株式会社東芝 知的財産部内 Tokyo (JP).

(74) 代理人: 酒井 宏明, 外 (SAKAI, Hiroaki et al.); 〒1006020 東京都千代田区霞が関三丁目 2 番 5 号

霞が関ビルディング 酒井国際特許事務所 Tokyo (JP).

(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

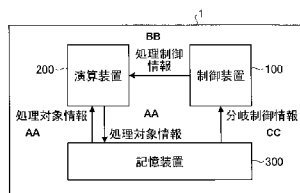
— 国際調査報告 (条約第 21 条(3))

[続葉有]

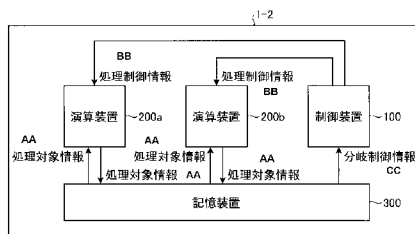
(54) Title: SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置

[図1-1]



[図1-2]



200, 200a, 200b ARITHMETIC UNIT
AA INFORMATION TO BE PROCESSED
BB INFORMATION FOR CONTROL OF PROCESSING
300 STORAGE UNIT
100 CONTROL UNIT
CC INFORMATION FOR CONTROL OF BIFURCATION

(57) Abstract: Disclosed is a semiconductor device (1) comprising an arithmetic unit (200) which performs multiple arithmetic operations including at least one operation and a control unit (100) which controls the arithmetic unit (200), wherein the arithmetic unit (200) performs an arithmetic operation instructed by the control unit (100), and the control unit (100) determines whether or not predetermined requirements for determination initiation are fulfilled for an arithmetic operation performed by the arithmetic unit (200), and determines an arithmetic operation to be performed subsequent to the arithmetic operation performed by the arithmetic unit (200) and instructs the determined arithmetic operation to the arithmetic unit (200) when the requirements are fulfilled. The semiconductor device (1) enables operations including a bifurcation operation to be performed more efficiently.

(57) 要約: 1 以上の演算を含む複数の演算処理を実行する演算装置 200 と、演算装置 200 を制御する制御装置 100 とを備える半導体装置 1 であって、演算装置 200 は、制御装置 100 から指示された演算処理を実行し、制御装置 100 は、演算装置 200 が実行している演算処理に対して予め定められた決定開始条件が満たされたか否かを判定し、満たされた場合に、演算装置 200 が実行している演算処理の次に実行する演算処理を決定して演算装置 200 に指示する。これにより、分岐処理を含む処理をより効率的に実行することができる。

WO 2011/121709 A1



-
- 補正された請求の範囲及び説明書（条約第 19
条(1)）

明 細 書

発明の名称：半導体装置

技術分野

[0001] 本開示は、半導体装置に関する。

背景技術

[0002] ハードウェア構成に依存せずにシーケンス処理を実現するために、特許文献1では、実行中の処理の単位（単位プログラム）に対して、予め指定した次に実行する可能性のある複数の単位プログラムの内の1つを条件分岐制御により選択し、実行する情報処理装置が提案されている。

[0003] このような情報処理装置は、予め指定されたプログラムに従い処理を実行するプログラム可能な演算装置と、次に実行すべき処理を決定する制御装置と、演算装置に供給する設定データを保持する記憶装置を備える。ある処理の次に実行する処理とその処理を実行する条件については所定のプログラムにより規定され、条件分岐を決定する情報は演算装置が処理を実行することにより生成される。プログラムの切り替えタイミングに対応するタイミングで次に実行すべき設定データが出力される。制御装置は、演算装置から出力される条件分岐を決定する情報に従い、次の処理を判定し、記憶装置から次の処理を実行する設定データを演算装置に出力する。

先行技術文献

特許文献

[0004] 特許文献1：特開2009-187478号公報

発明の概要

発明が解決しようとする課題

[0005] しかしながら、特許文献1の方法では、分岐する処理の決定と、決定した処理の実行の開始とが同じタイミングで行われる。そのため、次処理を決定可能な状態となっても、前の処理が完了するまで次処理の実行はできず、効率的に並列処理を行うことが困難となる問題があった。

[0006] 本発明の一観点は、上記に鑑みてなされたものであって、分岐処理を含む処理をより効率的に実行することができる半導体装置を提供することを目的とする。

課題を解決するための手段

[0007] 本発明の一観点は、1以上の演算を含む複数の演算処理を実行する演算装置と、前記演算装置を制御する制御装置とを備える半導体装置であって、前記演算装置は、前記制御装置から指示された演算処理を、前記制御装置から開始が指示されたときに開始し、前記制御装置は、演算処理ごとに定められた、前記演算装置が実行中の演算処理の次に実行する演算処理を決定可能な条件である決定開始条件が、満たされたか否かを判定し、前記決定開始条件が満たされた場合に、前記演算装置が実行中の演算処理の次に実行する演算処理を決定して前記演算装置に指示し、演算処理ごとに定められた、前記演算処理が次に実行する演算処理を実行可能な条件である処理開始条件が、満たされたか否かを判定し、前記処理開始条件が満たされた場合に、前記演算処理の開始を前記演算装置に指示することを特徴とする。

発明の効果

[0008] 本発明の一観点によれば、分岐処理を含む処理をより効率的に実行することができるという効果を奏する。

図面の簡単な説明

[0009] [図1-1]図1-1は、本実施の形態に係る半導体装置の構成例を示すブロック図である。

[図1-2]図1-2は、複数の演算装置を備える場合の半導体装置の構成例を示すブロック図である。

[図2-1]図2-1は、本実施の形態に係る半導体装置の構成の一例を示すブロック図である。

[図2-2]図2-2は、本実施の形態の変形例に係る半導体装置の構成の一例を示すブロック図である。

[図3-1]図3-1は、第1装置制御情報のデータ構造の一例を示す図である。

[図3-2] 図 3 - 2 は、第 1 装置制御情報のデータ構造の別の一例を示す図である。

[図4-1] 図 4 - 1 は、第 2 装置制御情報のデータ構造の一例を示す図である。

[図4-2] 図 4 - 2 は、第 2 装置制御情報のデータ構造の一例を示す図である。

[図4-3] 図 4 - 3 は、第 2 装置制御情報のデータ構造の一例を示す図である。

[図4-4] 図 4 - 4 は、第 2 装置制御情報のデータ構造の一例を示す図である。

[図5-1] 図 5 - 1 は、制御装置の決定回路および開始制御回路のより詳細な構成の一例を示すブロック図である。

[図5-2] 図 5 - 2 は、制御装置の決定回路および開始制御回路のより詳細な構成の一例を示すブロック図である。

[図6-1] 図 6 - 1 は、演算装置の演算制御回路のより詳細な構成の一例を示すブロック図である。

[図6-2] 図 6 - 2 は、演算装置の演算制御回路のより詳細な構成の一例を示すブロック図である。

[図7] 図 7 は、演算装置の実行回路のより詳細な構成の一例を示すブロック図である。

[図8] 図 8 は、図 7 の構成で用いる演算制御情報の一例を示す図である。

[図9] 図 9 は、図 7 と異なる構成の実行回路を含む演算装置の詳細な構成の一例を示すブロック図である。

[図10] 図 10 は、処理情報記憶装置に記憶される処理情報のデータ構造の一例を示す図である。

[図11] 図 11 は、定数情報記憶装置に記憶される定数情報のデータ構造の一例を示す図である。

[図12] 図 12 は、図 9 の構成で用いる演算制御情報の一例を示す図である。

[図13] 図 13 は、図 7 および図 9 と異なる演算装置の詳細な構成の一例を示すブロック図である。

[図14] 図 14 は、図 13 の構成で用いる演算制御情報の一例を示す図である。

[図15] 図 1 5 は、本実施の形態の変形例 2 に係る半導体装置の構成の一例を示すブロック図である。

[図16] 図 1 6 は、図 1 5 の変形例 2 の制御装置のより詳細なブロック図である。

[図17] 図 1 7 は、図 1 5 の変形例 2 の演算装置のより詳細なブロック図である。

[図18] 図 1 8 は、本実施の形態における制御装置の動作全体の流れを示すフローチャートである。

[図19] 図 1 9 は、本実施の形態における演算装置の動作全体の流れを示すフローチャートである。

[図20] 図 2 0 は、実行するプログラムの一例を示す図である。

[図21] 図 2 1 は、図 2 0 のプログラムを実行するための第 1 装置制御情報を表す図である。

[図22] 図 2 2 は、図 2 0 のプログラムを実行するための第 2 装置制御情報を表す図である。

[図23] 図 2 3 は、図 2 0 のプログラムを従来の汎用プロセッサで処理した場合のタイミングチャートを示す図である。

[図24] 図 2 4 は、図 2 0 のプログラムを、演算装置を 1 つ備える半導体装置で処理した場合のタイミングチャートを示す図である。

[図25] 図 2 5 は、図 2 0 のプログラムを、演算装置を 2 つ備える半導体装置で処理した場合のタイミングチャートを示す図である。

[図26] 図 2 6 は、図 2 0 のプログラムが図 2 5 のように動作する場合の第 1 装置制御情報の例を示した図である。

[図27] 図 2 7 は、ハードウェアによる制御により振り分ける場合の半導体装置の構成例を示すブロック図である。

発明を実施するための形態

[0010] 以下に添付図面を参照して、この発明にかかる半導体装置の好適な実施の形態を詳細に説明する。

[0011] 本実施の形態にかかる半導体装置は、１個以上の命令（演算）を含む複数の演算処理を実行する演算装置と、演算装置による演算処理を制御する制御装置とを含む。各演算処理は、例えばあるプログラムに含まれる演算のうち、条件分岐が発生せずに逐次的に実行できる複数の演算をまとめた処理単位である。条件分岐に相当する処理であっても逐次的に実行できれば処理単位に含めてもよい。例えば、ある演算の結果から複数の信号のうち１つを選択するような処理は逐次的に実行可能であるため、処理単位に含めることができる。本実施の形態では、処理単位である演算処理に含まれるすべての演算の実行が完了する前であっても、条件分岐の判断に必要な情報が得られたときにその情報を演算装置から制御装置に出力する。そして、制御装置は、この情報を参照して条件分岐制御を行う。これにより、制御装置による分岐演算（条件分岐制御のための演算）と、演算装置による演算処理とを並列に実行できる。すなわち、分岐処理を含む処理をより効率的に実行することが可能となる。

[0012] （全体の概要）

図１－１は、本実施の形態に係る半導体装置１の構成例を示すブロック図である。図１－１に示すように、本実施の形態に係る半導体装置１は、制御装置１００と、演算装置２００と、記憶装置３００とを備えている。

[0013] 制御装置１００は、処理実行開始の制御を行う。演算装置２００は、記憶装置３００に保持される情報に対して制御装置１００により指示された演算処理を実行する。記憶装置３００は、制御装置１００と演算装置２００とが参照する各種情報を保持する。半導体装置１は、外部からのクロック信号に同期して動作する。

[0014] （演算処理の制御）

制御装置１００は、条件分岐制御に用いる情報である分岐制御情報を記憶装置３００から入力し、演算装置２００が実行する演算処理と、当該演算処理を開始可能な条件とを決定し、実行する演算処理を一意に識別する識別情報を含む処理制御情報を演算装置２００に対して出力する。

- [0015] 識別情報は、演算装置 200 が実行する演算処理を特定できれば特に形態は問わない。例えば、0 以上の整数（自然数）を各演算処理に割り当てて識別情報として用いても良い。また、数値および文字列を含む識別情報を用いても良い。また、例えば、演算処理の中で実行する命令を保持するメモリのアドレスポインタであってもよいし、メモリのアドレスポインタと 1 対 1 に対応する識別子でもよい。また、より具体的に 1 つ以上の命令を含む情報で構成してもよい。
- [0016] 演算装置 200 は、処理制御情報を制御装置 100 から入力し、演算処理の対象となる情報である処理対象情報を記憶装置 300 から入力し、処理制御情報にしたがって、処理制御情報に含まれる識別情報で識別される演算処理を実行し、処理結果を記憶装置 300 に出力する。
- [0017] なお、図 1-1 には 1 つの演算装置 200 のみを記載しているが、半導体装置 1 が複数の演算装置 200 を備えてもよい。図 1-2 は、複数の演算装置 200 a および 200 b を備える場合の半導体装置 1-2 の構成例を示すブロック図である。また、演算装置 200 が、記憶装置 300 以外の記憶装置を備えてもよい。例えば、外部システムメモリのような外部記憶装置や、各演算装置 200 専用のローカルメモリのような専用記憶装置などを備えてもよい。演算装置 200 が記憶装置 300 以外の記憶装置を備える場合は、処理対象情報の入出力は記憶装置 300 でなくともよい。
- [0018] 演算装置 200 は、処理制御情報に含まれる識別情報で識別される演算処理を実行する装置なら特に形態は問わない。例えば、構成情報が示す処理を行うリコンフィギャラブル回路でも良いし、プログラムが示す処理を行うプロセッサであっても良い。ただし、演算装置 200 が実行する演算処理は、制御装置 100 から入力された処理制御情報に含まれる識別情報により一意に定まる。例えば、同一の処理制御情報が入力される場合は同一の演算処理を実行し、通常のプロセッサの条件分岐等の機能はサポートせず、実行する演算処理は入力情報や内部状態等に影響されないことを前提とする。この前提により、演算処理ごとの演算装置 200 の動作時間、動作タイミングを一

意に決定することができるため、演算処理のスケジュールが容易となる。特に、半導体装置 1 が複数の演算装置 200 を備える場合は、複数の演算装置 200 間でのデータ共有およびデータ転送などの同期処理などの制御が容易となる。

[0019] 記憶装置 300 は、演算装置 200 が演算処理を施す対象である処理対象情報と、制御装置 100 が条件分岐制御に用いる分岐制御情報を保持する。記憶装置 300 は、1 つ以上の演算装置 200 と、制御装置 100 とで処理対象情報を共有することができる構造をとる。例えば、記憶装置 300 としてマルチポートのメモリを用いても良い。また、演算装置 200 および制御装置 100 それぞれに対して専用のメモリを用意し、処理対象情報を共有するための制御装置を別途用意しても良い。

[0020] (タイミングの制御)

制御装置 100 は、制御装置 100 の動作を制御するための予め設定された第 1 装置制御情報に従い制御を行う。第 1 装置制御情報は、演算処理を実行開始可能な条件（処理開始条件）と、演算処理の次の演算処理（以下、次処理という）の決定処理が実行開始可能な条件（決定開始条件）と、次処理を決定する条件（決定条件）と、決定条件による判定結果ごとの次処理を示す情報（次処理候補情報）と、を含む。第 1 装置制御情報の詳細については後述する。

[0021] 制御装置 100 は、決定開始条件と、演算装置 200 や記憶装置 300 から入力される情報（第 1 完了情報、詳細は後述）とに従い、次処理を決定するタイミングを判定する。決定開始条件を満たす場合、制御装置 100 は、記憶装置 300 から入力される分岐制御情報を用いて決定条件を判定する。そして、制御装置 100 は、決定条件により判定された次処理の識別情報を生成し、適切なタイミングで演算装置 200 に出力する。

[0022] 条件判定後、制御装置 100 は、決定された次処理の識別情報に対応する処理開始条件を判定し、演算の実行を開始するか否かを表す開始制御情報を生成して演算装置 200 に出力する。まず、制御装置 100 は、処理開始条

件と、演算装置 200 から入力される情報（第 2 完了情報、詳細は後述）と、に従い、識別情報が示す演算処理の実行開始タイミングを判定する。処理開始条件を満たす場合、制御装置 100 は、実行開始可能であることを表す開始制御情報を生成して演算装置 200 に出力する。処理開始条件を満たさない場合、制御装置 100 は、実行開始不可であることを表す開始制御情報を生成し、演算装置 200 に出力する。

[0023] また、制御装置 100 は、次処理を決定する処理（以下、決定処理という）が完了後、更に次に実行する演算処理を決定するための決定処理を実行する。更に次に実行する演算処理を決定するための決定処理は、識別情報が示す演算処理に対する第 1 装置制御情報を用いることで同様に実行することができる。この決定処理を実行するタイミングは、識別情報を生成した後も良いし、識別情報を生成し、更に処理開始条件を満たし、処理実行可能である旨の開始制御情報を生成した後もよい。

[0024] 演算装置 200 は、制御装置 100 から入力される識別情報が示す演算処理を実行する。演算処理を開始するタイミングは開始制御情報により制御される。次処理が決定していても、開始制御情報により次処理の実行が許可されていない場合は、決定された次処理を実行することはできない。ただし、次処理の実行に必要な準備を行うことは可能である。例えば、リコンフィギュラブル回路の場合は、識別情報が示す演算処理の構成情報を予め演算装置 200 に設定するように構成してもよい。これにより、演算処理開始時の設定に関するオーバーヘッドを削減することができる。また、キャッシュを備えた演算装置 200 の場合、演算処理に必要な設定情報を予めキャッシュにプリフェッチするように構成してもよい。これにより実行中のキャッシュミス回避することができ、パフォーマンスの向上が期待できる。このように、実行開始前に次処理の準備を行うことにより全体のパフォーマンスを向上することができる。

[0025] また、制御装置 100 と演算装置 200 との間、または、制御装置 100 および演算装置 200 の少なくとも一方の内部に、識別情報および開始制御

情報を保持するための記憶装置（図示せず）を備えてもよい。このような構成により、制御装置 100 は、次に実行する 1 つの演算処理のみだけでなく、その後に実行する複数の演算処理それぞれに対応する複数の処理制御情報を生成することができるようになる。また、演算装置 200 は、今後実行すべき複数の演算処理が確定した状態となるため、効率的に演算処理の準備を行うことができる。特に、複数の演算装置 200 を備える構成の場合には、1 つの演算装置 200 に対して、同一または類似した演算処理を割り当てることで制御の効率化を図ることが可能となる。

[0026] （装置構成の概要）

図 2-1 は、本実施の形態に係る半導体装置 1 の構成の一例を示すブロック図である。最初に、制御装置 100 の各構成部の機能について説明する。図 2-1 に示すように、制御装置 100 は、次処理を決定する決定回路 101 と、演算装置 200 が演算処理を開始するタイミングを制御する開始制御回路 102 と、第 1 装置制御情報を保持する記憶装置 103 と、を備える。

[0027] 決定回路 101 は、第 1 完了情報を演算装置 200 から入力し、分岐制御情報を記憶装置 300 から入力し、第 1 装置制御情報を記憶装置 103 から入力する。第 1 完了情報とは、演算装置 200 により特定の演算処理に含まれる特定の演算の実行が完了したことを表す情報である。本実施の形態では、条件分岐制御に必要な情報を出力する予め定められた演算の実行が完了したことを表す情報を第 1 完了情報として用いる。

[0028] 例えば、第 1 完了情報は、演算処理の決定に必要な情報を記憶装置 300 に書き込んだことを示す割り込み信号でも良いし、演算処理に含まれる個々の命令（演算）のうち特定の演算が完了したことを通知する割り込み信号でも良い。また、記憶装置 300 に情報を書き込む際のアドレス情報でも良い。

[0029] なお、第 1 完了情報を演算装置 200 から入力する代わりに、記憶装置 300 から入力するように構成しても良い。図 2-2 は、このように構成した本実施の形態の変形例 1 に係る半導体装置 1 の構成の一例を示すブロック図である。本変形例では、演算制御回路 201-2 が第 1 完了情報を記憶装置

300-2に保存し、決定回路101-2が記憶装置300-2から第1完了情報を入力する点が、図2-1の構成と異なっている。その他の構成は図2-1と同様であるため同一の符号を付し説明を省略する。特に、書き込まれたアドレス情報を通知する場合には、本変形例のように記憶装置300から第1完了情報を入力することにより制御が単純化できる。

[0030] 図2-1に戻り、決定回路101は、第1装置制御情報に含まれる決定開始条件、決定条件および処理開始条件と、分岐制御情報とから、次処理の識別情報と処理開始条件を含む開始条件情報とを生成する。そして、決定回路101は、識別情報を演算装置200に出力し、開始条件情報を開始制御回路102に出力する。

[0031] 開始条件情報に含まれる処理開始条件は、演算処理の実行開始の可否を判定する条件である。例えば、処理開始条件は、演算装置200または記憶装置300から特定の割込み信号または情報が入力されたか否かを判定する条件を表す。なお、識別情報により演算装置200が実行する演算処理が一意に定まるため、識別情報ごとに演算処理全体の実行サイクル数や特定の情報が生成されるまでのサイクル数も特定できる。したがって、処理開始条件が、特定した演算処理開始までの待機時間（サイクル数）が経過したかを判定する条件を表すように構成してもよい。

[0032] 決定回路101は、決定開始条件を満たした場合に決定条件に従い次処理を決定する決定処理を実行し、決定開始条件を満たさない場合は決定処理を行わない。決定回路101は、第1完了情報が決定開始条件を満たすか否かにより判定を行う。例えば、決定開始条件がある割込みフラグの入力である場合、決定回路101は、演算装置200から該当する割込みフラグが入力されたら決定処理を実行する。決定回路101は、決定処理では、決定条件により次処理を決定する。次処理が決定すると、決定回路101は、次処理の処理開始条件を含む開始条件情報を生成して開始制御回路102に出力する。また、決定回路101は、決定した次処理に対応する第1装置制御情報を記憶装置103から読出し、更に次処理の次の処理の決定処理を行う。

- [0033] 開始制御回路 102 は、開始条件情報を決定回路 101 から入力し、第 2 完了情報を演算装置 200 から入力する。第 2 完了情報は、第 1 完了情報と同様に、演算装置 200 により特定の演算処理に含まれる特定の演算の実行が完了したことを表す情報である。本実施の形態では、他の演算処理に必要な情報を出力する予め定められた演算の実行が完了したことを表す情報を第 2 完了情報として用いる。言い換えると、第 2 完了情報は、ある演算処理と、当該演算処理の出力結果を用いる他の演算処理との同期を取るために利用する情報である。
- [0034] 開始制御回路 102 は、開始条件情報と第 2 完了情報とから、演算処理の実行が開始できるか否かを判断し、結果を表す開始制御情報を出力する。例えば、開始制御回路 102 は、第 2 完了情報により内部状態を遷移し、内部状態が開始条件情報に含まれる処理開始条件を満たす場合に、演算処理が実行開始可能であることを表す開始制御情報を生成する。また、開始制御回路 102 は、内部状態が処理開始条件を満たさない場合に実行開始不可であることを表す開始制御情報を生成する。そして、開始制御回路 102 は、生成した開始制御情報を演算装置 200 に出力する。
- [0035] 開始制御回路 102 による実行開始可否の判断方法は上記に限られず、開始条件情報に含まれる処理開始条件に応じてあらゆる方法を用いることができる。例えば、処理開始条件が、サイクル数が経過したかを判定する条件を表す場合、開始制御回路 102 は、サイクル数のカウンタの値が一定値に達した時点で実行開始許可を示す開始制御情報を出力すればよい。また、処理開始条件が、演算装置 200 または記憶装置 300 から特定の割込み信号が入力されるまで待機するという条件を表す場合、開始制御回路 102 は、この割込み信号が入力された時点で実行開始許可を示す開始制御情報を出力すればよい。
- [0036] 記憶装置 103 は、第 1 装置制御情報を保持する。記憶装置 103 は、決定回路 101 から要求を受けると、決定回路 101 に対して第 1 装置制御情報を出力する。

- [0037] ここで、第1装置制御情報の詳細について説明する。第1装置制御情報は、現在実行している演算処理に対して、次処理と次処理を実行するタイミングとを制御装置100が決定できれば特に形態は問わない。図3-1は、第1装置制御情報のデータ構造の一例を示す図である。
- [0038] 図3-1に示すように、第1装置制御情報は、現在実行中の演算処理（現処理）に対して、処理開始条件と、決定開始条件と、決定条件と、次処理候補情報とを含む。図3-1では、決定条件による判定結果が真のときの演算処理の識別情報（1）、および、偽のときの演算処理の識別情報（2）が次処理候補情報として設定される例が示されている。
- [0039] なお、第1装置制御情報が処理制御に関するその他の情報を含んでも良い。例えば、第1装置制御情報が、次処理を候補から確定する条件を含んでも良い。また、図3-1では省略しているが、記憶装置103は、すべての演算処理が完了したことを示す情報を含む第1装置制御情報を記憶する。例えば、最後に実行する演算処理の次処理候補情報に、すべての演算処理の完了を示す情報を設定する。
- [0040] 図3-1の例では、現処理および次処理をそれぞれ識別情報で示しているが、演算処理の内容自体を記載してもよい。また、演算処理の内容を保持する記憶装置203のアドレスポインタを記載してもよい。識別情報を用いる場合は、第1装置制御情報をメモリに保持する場合に第1装置制御情報の読出しが容易となる。また、アドレスポインタを用いる場合は、演算装置200内部での演算処理への変換が容易となる。
- [0041] また、図3-1の例では、処理開始条件および決定開始条件として、「flag1」などのように特定のフラグが入力されたことを表す条件が示されている。各条件の指定方法はこれに限られず、演算処理または決定処理を開始する条件を示せば形態は問わない。例えば、「3サイクル待機」のように具体的な待機サイクル数で指定してもよいし、「c==0」のように特定の情報が特定の値域になる条件を指定してもよい。特定の情報は、演算装置200から入力される情報（第1完了情報、第2完了情報等）でもよいし、

記憶装置 300 に保持される情報でもよい。

[0042] また、図 3-1 の例では、決定条件として、「 $c == 0$ 」のように真偽の 2 通りの判定結果を取る条件を指定しているが、適用できる条件はこれに限られるものではない。例えば、 $(a < b) \ \&\& \ (c < d)$ の真偽判定による 2 通りの判定や、 $(a < b)$ の結果と $(c < d)$ の結果の組合せた 4 通りの判定などのように複数の条件比較を用いても構わない。また、3 個以上の判定結果を取る条件でもよい。その場合は、判定結果それぞれに対応する次処理も、判定結果の個数分用意する必要がある。例えば、「 $x \ \& \ 0 \times 7$ 」のような条件の場合は、判定結果に対応する次処理は 8 つ用意する必要がある。このような条件を用いれば、より柔軟な条件判定が可能となる。また、図 3-1 の例のように特定のフラグの入力を待つような条件を用いる場合は、判定回路の単純化、および、判定処理の高速化が可能となる。

[0043] ここで、記憶装置 300 が記憶する分岐制御情報の詳細について説明する。分岐制御情報は、決定条件の指定方法に応じて様々な構成をとることができる。「 $C == 0$ 」や「 $X < 0$ 」のような演算を伴う決定条件の場合は、例えば演算に用いる変数（ C 、 X など）を記憶するアドレスとして指定されたアドレス、または、当該変数を分岐制御情報とすることができる。また、「 $flag A$ 」のような特定のフラグの有無などを判定する決定条件の場合は、情報そのものではなく、1 つ以上の割込み信号等のフラグを示す信号を分岐制御情報としてもよい。また、記憶装置 300 の特定のアドレスにフラグの有無を示す情報を格納し、制御装置 100 が当該アドレスの値の判定（例えば非ゼロ判定）により条件分岐を行うように構成してもよい。

[0044] また、実行すべき処理が常に一意に定められており、条件を判定する必要がない場合は、処理開始条件、決定開始条件、および決定条件を、真および偽のいずれかを用いて表現しても良い。例えば、常に演算処理を実行可能な場合は処理開始条件に「真（ $true$ ）」を登録し、演算処理が常に実行不可な場合は処理開始条件に「偽（ $false$ ）」を登録すれば良い。また、常に決定処理を実行可能な場合は決定開始条件に「真」を登録し、決定処理

が常に実行不可な場合は決定開始条件に「偽」を登録すれば良い。また、常に次処理が1つの演算処理に定まっている場合は、決定条件を「真」として、真を示す判定結果に当該演算処理を登録するか、全ての判定結果に当該演算処理を登録すれば良い。

[0045] なお、一意に定まる処理を実行することを示す方法はこれらに限られるものではないが、上記のような方法であれば、条件判定の有無に関わらず同一のフォーマットで表現可能であるため、フォーマットを解釈する回路を簡略化できる。

[0046] 図3-2は、第1装置制御情報のデータ構造の別の一例を示す図である。図3-2の第1装置制御情報の構成は、処理開始条件のみが図3-1の構成と異なる。図3-2の第1装置制御情報は、処理開始条件として、現処理の処理開始条件ではなく、次処理の処理開始条件が登録される。これにより次処理の候補ごとに処理開始条件を示す必要があるため、情報量は増大するが、演算処理の前後関係により処理開始条件が異なる場合には制御が容易となる。また、次処理が決定後、新しい第1装置制御情報を読み込む前に処理開始条件が決定する点でも制御の単純化に貢献できる。

[0047] 図2-1に戻り、次に演算装置200の各構成部の機能について説明する。図2-1に示すように、演算装置200は、制御装置100から入力された識別情報および開始制御情報に従い、演算処理の実行を制御する演算制御回路201と、記憶装置300から入力した処理対象情報に対して演算処理を実行する実行回路202と、演算処理に必要な情報を保持する記憶装置203と、を備える。

[0048] 記憶装置203は、演算制御回路201からの要求に従い、識別情報が示す演算処理に対応する第2装置制御情報を演算制御回路201に出力する。記憶装置203は、演算処理開始前に予め演算処理に必要な第2装置制御情報が入力される。演算処理実行中に外部から記憶装置203に第2装置制御情報を入力してもよい。また、識別情報が1つ以上の命令を含む構成の場合には記憶装置203は備えなくても良い。

- [0049] 演算制御回路 201 は、識別情報と開始制御情報とを制御装置 100 から入力し、識別情報が示す演算処理を、開始制御情報が示すタイミングで実行するように制御する。また演算制御回路 201 は、演算処理に含まれる各演算の実行を制御するための演算制御情報を生成し、実行回路 202 に出力する。
- [0050] 演算制御回路 201 は、記憶装置 203 から、入力された識別情報に対応する第 2 装置制御情報を読み出す。第 2 装置制御情報は、識別情報で識別される演算処理に含まれる各演算の内容等を定めた情報である。なお、識別情報が 1 つ以上の命令を含む構成の場合、実行する命令が識別情報に含まれているため、記憶装置 203 から第 2 装置制御情報を読み出す必要はない。
- [0051] 識別情報が記憶装置 203 のアドレスである場合、演算制御回路 201 は、当該アドレスから第 2 装置制御情報を読み出す。演算制御回路 201 は、読み出した第 2 装置制御情報から生成した演算制御情報を実行回路 202 に出力する。その後、演算制御回路 201 は、記憶装置 203 の次の第 2 装置制御情報を保持するアドレスから第 2 装置制御情報を読み出す。次の第 2 装置制御情報のアドレスは、例えば識別情報として指定されたアドレスの次のアドレスとして特定する。第 2 装置制御情報内に次の第 2 装置制御情報のアドレスを特定できる情報を備えていても良い。以上の処理を、演算完了を示す情報を含む第 2 装置制御情報を読み込むまで繰り返す。
- [0052] 図 4-1 ~ 図 4-4 は、記憶装置 203 に保持される第 2 装置制御情報のデータ構造の一例を示す図である。図 4-1 の例では、第 2 装置制御情報は、演算処理の識別情報と、実行回路 202 が実行する命令と、処理開始条件の判定に用いられる第 2 完了情報と、決定開始条件の判定に用いられる第 1 完了情報と、演算処理に含まれるすべての演算が完了したか否かを示す情報（演算完了）と、を含む。
- [0053] なお、第 2 装置制御情報の各行は、1 つの演算処理に含まれる 1 つの演算に対応する。1 つの演算処理が複数の演算を含む場合は、実行する順序で各演算を上から記載する。図 4-1 では、2 番目以降に実行する演算の識別情

報に「一」を設定する例が示されている。演算完了は、1つの演算処理に含まれる演算のうち、後に実行する演算が存在しない演算に対して「Y e s」が設定される。後に実行する演算が存在する場合は、演算完了に「N o」を設定する。

[0054] 演算装置200は、制御装置100から入力された処理制御情報に含まれる識別情報で識別される演算処理を逐次的に実行する場合、識別情報が一致する命令から最も近い演算完了を示す命令までを順番に実行する。

[0055] 図4-1では、識別情報として数値を用いる例が示されている。上述のように、識別情報としてアドレスポインタを用いてもよい。図4-2は、識別情報としてアドレスポインタを用いる場合の第2装置制御情報のデータ構造の例を示している。

[0056] 数値を識別情報として用いる場合は、少ない情報量で演算処理の特定を行うことが可能である。一方、アドレスポインタを用いる場合は、特定の演算処理の途中の演算から開始するといった柔軟な指定が可能となる。

[0057] 命令（演算）は、演算装置200の構成により大きく異なる。図4-1等の例では命令として算術演算が示されているが、演算装置200が外部メモリのコントローラの場合は、ロードストア等の命令が登録されても良い。また、演算装置200が動的再構成可能なデバイスのように命令が複雑な回路の場合は、命令の代わりにコンフィギュレーションIDなどの識別子を用いても良い。

[0058] 第2完了情報および第1完了情報は、制御装置100に対して出力するフラグを示しているが、それぞれ処理開始条件および決定開始条件による判定で利用できる情報であれば形態は問わない。例えば、フラグではなく特定の値を指定してもよいし、特定のアドレスと値の組を指定してもよい。また、第2完了情報および第1完了情報がいずれも同じ構造の場合（例えば図4-1、4-2のようにフラグで表される場合）は、第2装置制御情報内で区別する必要はない。例えば、第2装置制御情報が1つの「完了情報」を含むように構成してもよい。この場合は、演算制御回路201は、第1完了情報と

第2完了情報とを区別せずに「完了情報」として送信し、制御装置100内の決定回路101および開始制御回路102がそれぞれ受信した「完了情報」を用いて条件を判定する。

[0059] 演算処理に含まれるすべての演算が完了したか否かを示す情報は、図4-1および図4-2のような情報（演算完了）に限られるものではない。例えば、識別情報により識別される演算処理の最初の演算に対して実行命令数を付加してもよい。この場合、演算制御回路201は、実行命令数分の演算を実行したときに、すべての演算が完了したと判断する。また、図4-3のように、命令の欄に「HALT」等の処理の完了を示す命令を登録してもよい。

[0060] また、図4-1～図4-3の第2装置制御情報は、制御装置100からの制御信号（開始制御情報）によりタイミング制御が行われる場合の構成例を示している。制御装置100内部で静的にタイミング制御を行う場合は、第1完了情報および第2完了情報が不要となるため、図4-4に示すように、第2装置制御情報が識別情報と命令と演算完了とを含むように構成してもよい。

[0061] 図2-1に戻り、演算制御回路201は、制御装置100から入力される開始制御情報に従い、指定された演算処理が実行開始可能な状態になるまで待機し、実行開始可能な状態になった場合に、第2装置制御情報から演算制御情報を生成し、生成した演算制御情報を実行回路202に出力する。演算制御情報は、例えば、図4-1のような第2装置制御情報の各行の命令を含む。

[0062] 演算制御回路201は、逐次的に演算を実行するため、処理実行可能な状態の間は連続的に第2装置制御情報を読み出し、読み出した第2装置制御情報に定められた命令を含む演算制御情報を実行回路202に出力する。読み出した第2装置制御情報が演算完了を示す情報（演算完了＝「Yes」など）を含む場合は演算処理を完了し、状態を処理実行停止状態に遷移する。

[0063] 演算制御回路201は、実行回路202に演算制御情報を出力するととも

に、自身や別の演算装置 200 の演算処理の実行可能状態の制御を行う第 2 完了情報や、自身や別の演算装置 200 の次処理を決定する決定処理の開始可否を制御する第 1 完了情報を生成し、制御装置 100 に出力する。また、図 2-2 に示すように第 1 完了情報が記憶装置 300 から制御装置 100 に入力される場合には、演算制御回路 201 は、第 2 完了情報のみを制御装置 100 に出力する。

[0064] 実行回路 202 は、演算制御情報を演算制御回路 201 から入力し、処理対象情報を記憶装置 300 から入力し、演算制御情報が示す演算を処理対象情報に対して実行し、演算の結果を記憶装置 300 に出力する。

[0065] 実行回路 202 は、演算制御回路 201 から演算制御情報が入力されると、演算制御情報から、処理対象情報、実行する演算、および、演算結果の保存先などを特定する。そして、実行回路 202 は、特定した処理対象情報を記憶装置 300 から読出し、特定した演算を実行し、特定した保存先に演算結果を保存する。処理対象情報の読出し元や、書き出し先は記憶装置 300 のみではなく、例えば半導体装置 1 外部のシステムメモリや半導体装置 1 内部の別の記憶装置を指定してもよいし、演算装置 200 内部のローカルメモリを指定してもよい。

[0066] 次に、制御装置 100 の各構成部のさらに詳細な構成について説明する。図 5-1 は、制御装置 100 の決定回路 101 および開始制御回路 102 のより詳細な構成の一例を示すブロック図である。最初に、決定回路 101 の詳細構成について説明する。図 5-1 に示すように、決定回路 101 は、判定回路 101a と、比較回路 101b と、選択回路 101c と、保持回路 101d と、を備える。

[0067] 判定回路 101a は、次処理が確定するタイミングを判定する回路である。判定回路 101a は、内部状態と、演算装置 200 または記憶装置 300 から入力される情報（第 1 完了情報または第 2 完了情報）などが、記憶装置 103 から入力される決定開始条件を満たすか否かを判定する。判定回路 101a は、判定結果を比較回路 101b に出力する。例えば、判定回路 10

1 a は、決定開始条件が満たされた場合に「有効 (t r u e) 」を表す判定結果を出力し、決定開始条件が満たされない場合に「無効 (f a l s e) 」を表す判定結果を出力する。また、判定回路 1 0 1 a は、記憶装置 1 0 3 に対して、次処理に該当する演算処理の第 1 装置制御情報を要求する要求情報を出力する。

[0068] 判定回路 1 0 1 a による判定処理は、決定開始条件を満たすか否かを判定できれば特に限定されない。例えば、決定開始条件が待機サイクル数のみを示す場合は、サイクル数のカウンタが一定値になった時点で判定回路 1 0 1 a が判定結果＝「有効」を出力する構成とすればよい。

[0069] このような構成は、次処理が確定するタイミングが決定開始条件に示される構成であるといえる。例えば、演算装置 2 0 0 が条件分岐機構などを持たず、逐次的、静的に動作する場合には、処理の実行タイミングが静的に確定する。このような場合は、決定開始条件に待機サイクル数のみ指定する構成でタイミング制御を行うことが可能となる。このような構成により、制御装置 1 0 0 を単純な構造とすることが可能となる。

[0070] 決定開始条件が、演算装置 2 0 0 、記憶装置 3 0 0 、および制御装置 1 0 0 の内部から特定の制御信号が入力するまで待機する条件の場合は、判定回路 1 0 1 a が当該制御信号を判定するような構成としてもよい。例えば、判定回路 1 0 1 a が、演算装置 2 0 0 または記憶装置 3 0 0 から入力される第 1 完了情報により決定開始条件を判定しても良い。

[0071] このような構成により、固定サイクル数待機する場合に比べて、より柔軟なタイミング制御が実現できる。また、第 1 完了情報が入力されるタイミングが異なる場合でも、タイミング制御のために同一の制御情報を利用することができるため、制御情報のサイズを削減することが可能となる。判定回路 1 0 1 a は、次処理が確定した後に、記憶装置 1 0 3 に対して、次処理に該当する第 1 装置制御情報を要求する要求情報を出力する。

[0072] 比較回路 1 0 1 b は、判定回路 1 0 1 a による判定結果を判定回路 1 0 1 a から入力し、決定条件を記憶装置 1 0 3 から入力し、分岐制御情報を記憶

装置 300 から入力する。判定回路 101a による判定結果が有効である場合、比較回路 101b は、分岐制御情報が決定条件を満たすかを判定し、判定結果を選択回路 101c に出力する。判定回路 101a による判定結果が無効である場合、比較回路 101b は、無効を表す判定結果を選択回路 101c に出力する。

[0073] 比較回路 101b が出力する判定結果の構成は、第 1 装置制御情報に含まれる次処理候補情報の候補数により定められる。次処理候補情報の数が 1 つの場合は、次処理の候補からいずれを選択するかを表す情報は必要なく、条件が満たされたことを表す情報のみで十分である。次処理候補情報の候補数が 2 つの場合は、条件が満たされたことを表す情報の他に、2 つの候補から選択できる情報（例えば真と偽などの情報）を判定結果に含めればよい。また、次処理候補情報の候補数が 3 以上の場合、適切な候補を選択できる情報を判定結果に含めれば良い。

[0074] 比較回路 101b は、決定条件に示す処理を実行できる回路であれば特に構成は限定しない。例えば、決定条件が入力された分制御情報の有無のみで判定する条件の場合は、比較回路 101b が、分岐制御情報が真か偽かを判定する回路で構成されてもよい。また、決定条件が、C 言語等のプログラミング言語の条件文（例えば「 $c == 0$ 」）のように、数値計算の結果の値域を判定する条件の場合は、比較回路 101b が、比較演算、論理演算、および四則演算など演算を実行できる構成をとっても良い。

[0075] 選択回路 101c は、次処理候補情報および処理開始条件を記憶装置 103 から入力し、比較回路 101b による判定結果を比較回路 101b から入力する。選択回路 101c は、次処理候補情報に含まれる次処理の候補から、比較回路 101b による判定結果が示す次処理を選択する。選択回路 101c は、次処理の識別情報に対応した処理開始条件を選択し、次処理の識別情報と選択した処理開始条件とを含む開始条件情報を生成する。選択回路 101c は、次処理の識別情報を保持回路 101d へ出力し、開始条件情報を開始制御回路 102 に出力する。

- [0076] 開始条件情報の生成は、第 1 装置制御情報のデータ構造により異なってもよい。第 1 装置制御情報が、現在実行中の演算処理の処理開始条件を含む場合は（図 4 - 1 の例）、次処理が確定後、確定した次処理の処理開始条件を読み出して出力する構成をとっても良い。また、次処理候補情報とともに次処理の処理開始条件を付加する構成をとる場合は（図 4 - 2 の例）、次処理候補情報とともに処理開始条件を選択する構成をとってもよい。
- [0077] 保持回路 101d は、選択回路 101c から入力される識別情報を保持し、演算装置 200 に対して出力する回路である。保持回路 101d は、1 つの識別情報のみを保持する構成でもよいし、複数の識別情報を保持する構成でもよい。複数の識別情報を保持する構成の場合、識別情報の入力順序を保障する構成であればどのような構成であってもよい。例えば、汎用の記憶装置と制御回路でもよいし、F I F O のような先入れ先出し記憶装置でも良い。
- [0078] 保持回路 101d は、識別情報を受理したことを表す受理情報が演算装置 200 から入力されると、該当する識別情報は演算装置 200 に受理されたと判断し、演算装置 200 に対する当該識別情報の出力を完了する。1 つの識別情報のみを保持する構成の場合は、内部に識別情報を保持している間は、選択回路 101c から新しい識別情報が入力されても、保持回路 101d は内部の識別情報を更新せず、演算装置 200 に受理された後に新しい識別情報を内部に保持する。
- [0079] 複数の識別情報を保持できる構成の場合は、内部に識別情報を保持している間に、選択回路 101c から新しい識別情報を入力されたとき、保持回路 101d は、内部の記憶領域に空きがあれば、新しい識別情報を保持することができる。内部の記憶領域に空きがない場合は、保持回路 101d は、1 つの識別情報のみ保持できる構成と同様に、演算装置 200 に識別情報が受理されるまで待機する。また、内部の記憶領域に 2 つ以上の識別情報を保持している状態で演算装置 200 から受理情報が入力されると、保持回路 101d は、出力している識別情報を内部の記憶領域から廃棄し、次に入力され

た識別情報を演算装置 200 に対して出力する。

[0080] 次に、開始制御回路 102 の詳細構成について説明する。図 5-1 に示すように、開始制御回路 102 は、保持回路 102a と、判定回路 102b と、を備える。

[0081] 保持回路 102a は、決定回路 101 から開始条件情報が入力されると、内部に開始条件情報を保持し、判定回路 102b に対して該当する開始条件情報を出力する。保持回路 102a は、判定回路 102b から第 2 完了情報が入力されると、開始条件情報が受理されたと判断し、開始条件情報の出力を完了する。保持回路 102a は、1 つの開始条件情報のみ保持できる構成でもよいし、複数の開始条件情報を保持する構成でもよいが、保持回路 101d による識別情報の保持数と同等数の開始条件情報を保持する必要がある。また、保持回路 101d と同様に、複数の識別情報を保持する場合は、入力順序を保障する必要がある。

[0082] 判定回路 102b は、保持回路 102a から入力される開始条件情報と、演算装置 200 から入力される第 2 完了情報から、次処理の実行可否を判定し、演算装置 200 に対して判定結果である開始制御情報を出力する。判定回路 102b は、開始条件情報に含まれる処理開始条件が示す処理を実行できれば特に構成は問わない。例えば、処理開始条件が待機サイクル数を示す場合は、判定回路 102b がカウンタなどでサイクル数をカウントし、待機サイクル数と現在のカウント数とを比較する構成としても良い。この場合は、演算装置 200 からの第 2 完了情報は不要となり制御が単純化できる。また、処理開始条件が、演算装置 200、記憶装置 300、および制御装置 100 から特定の割込み信号の入力を待つという条件の場合は、判定回路 102b が、指定された割込み信号の入力判定が可能な構成とする。この場合は、一定サイクルを固定的に待つ場合に比べて柔軟性の高い制御が可能となる。また、処理開始条件が、記憶装置 300 に保持される特定の情報が特定値になるまで待機するという条件の場合は、判定回路 102b が、記憶装置 300 へのアクセス、四則演算、および論理演算などの処理をサポートする構

成としても良い。

[0083] 次に、制御装置 100 の各構成部の他の構成例について説明する。図 5-2 は、他の構成例での決定回路 101-2 および開始制御回路 102-2 のより詳細な構成の一例を示すブロック図である。

[0084] 図 5-2 は、制御装置 100（保持回路 102 a）ではなく、演算装置 200 内に開始条件情報を保持する場合の構成例を示している。図 5-2 に示すように、開始条件情報は、識別信号とともに選択回路 101-2 c から保持回路 101-2 d を経由して演算装置 200 に出力される。また、判定回路 102-2 b は、演算装置 200 から開始条件情報を入力し、図 5-1 の保持回路 102 a から開始条件情報を入力する場合と同様に判定処理を行う。そして、判定回路 102-2 b は、開始制御情報を演算装置 200 に出力する。

[0085] このような処理により、保持回路 101-2 d が、開始条件情報と常に対応づけられた状態で複数の識別情報を保持する場合でも回路の制御を単純化することができる。また、複数の演算装置 200 を備える構成の場合は、それぞれの演算装置 200 が開始条件情報を保持することで、条件判定の制御が容易になる。

[0086] 次に、演算装置 200 の各構成部のさらに詳細な構成について説明する。最初に、演算制御回路 201 の詳細構成について説明する。図 6-1 は、演算装置 200 の演算制御回路 201 のより詳細な構成の一例を示すブロック図である。図 6-1 に示すように、演算制御回路 201 は、第 1 生成回路 201 a と、実行制御回路 201 b と、第 2 生成回路 201 c と、を備える。なお、図 6-1 は、図 5-1 の制御装置 100 に対応する演算制御回路 201 の構成例を示している。

[0087] 第 1 生成回路 201 a は、制御装置 100 から入力される識別情報に従い、演算制御情報を生成し、生成した演算制御情報を実行制御回路 201 b に出力する。また、識別情報を受信可能な状態で制御装置 100 から識別情報が入力された場合、識別情報を受信したことを表す受理情報を制御装置 10

0に出力する。

[0088] 第1生成回路201aが、識別情報から演算制御情報を生成する方法は、識別情報の構成により様々である。例えば、識別情報が具体的な命令などの実行する演算そのもので構成される場合は、第1生成回路201aは、識別情報をそのまま演算制御情報として生成する。識別情報が記憶装置203のアドレスポインタである場合は、第1生成回路201aは、アドレスポインタに該当する記憶装置203のアドレスから第2装置制御情報を読み出し、読み出した第2装置制御情報内の命令を含む演算制御情報を生成して実行制御回路201bに出力する。また、識別情報が数値等で表される場合は、第1生成回路201aは、例えば識別情報と演算制御情報とを対応付けたルックアップテーブル等を用いて、識別情報に対応する演算制御情報を生成する。また、この場合、第1生成回路201aが、識別情報と記憶装置203のアドレスポインタとを対応付けたルックアップテーブルを用いるように構成してもよい。

[0089] また、識別情報が実行する演算と、第1完了情報と、第2完了情報とを含んでも良い。この場合、演算装置200は記憶装置203を備えず、制御装置100から入力される識別情報内の演算を含む演算制御情報を実行回路202に出力し、演算を実行した後に、制御装置100に対して、第1完了情報または第2完了情報を出力する。

[0090] 演算制御情報には、実行回路202が実行する命令の他、演算装置200の制御に必要な情報が含まれる。例えば、演算制御情報が、識別情報が示す演算処理の完了を示す情報を含んでも良い。また、演算制御情報が、制御装置100および他の演算装置200と同期を取るための情報（以下、同期制御情報という）を含んでも良い。同期制御情報は、例えば上述の第1完了情報および第2完了情報が該当する。演算処理が複数の命令で構成される場合には、1つの演算処理につき1つの同期制御情報を持つように構成しても良いし、1つの命令につき1つの同期制御情報を持つように構成しても良い。

[0091] 第1生成回路201aは、識別情報が入力されると、記憶装置203に対

して識別情報で識別される演算処理に含まれる最初の演算に対応する第2装置制御情報を要求する。記憶装置203から第2装置制御情報が入力されると、第1生成回路201aは、第2装置制御情報内の命令を含む演算制御情報を生成し、実行制御回路201bに生成した演算制御情報を出力する。

[0092] 第1生成回路201aは、実行制御回路201bから、実行制御回路201bの状態を表す状態情報を入力する。第1生成回路201aは、入力された状態情報が処理実行中を示す場合は、引き続き次の第2装置制御情報の要求を記憶装置203に出力する。

[0093] 第1生成回路201aが、実行制御回路201bの状態が実行状態になった場合に初めて第2装置制御情報を読み出してもよいが、実行状態でない場合に予め第2装置制御情報を読み出すことで、実行開始時の初期化オーバーヘッドを削減することが可能となる。

[0094] 実行制御回路201bは、制御装置100から入力される開始制御情報と、第1生成回路201aから入力される演算制御情報とから、演算装置200の動作状態を制御し、第1生成回路201aに状態情報を出力する。

[0095] 実行制御回路201bは、制御装置100から入力される開始制御情報に従い、内部状態を更新する。初期状態では、実行制御回路201bは停止状態である。停止状態中に実行開始可能であることを表す開始制御情報が入力されると、実行制御回路201bは実行可能状態となる。実行制御回路201bは、実行可能状態の場合、第1生成回路201aから入力される演算制御情報を実行回路202に出力する。これにより、一連の演算を連続して実行することができる。また、実行可能状態中に、第1生成回路201aから入力される演算制御情報にすべての演算が完了したことを示す情報が含まれる場合は、実行制御回路201bは、内部状態を停止状態に遷移し演算処理を完了する。

[0096] 演算制御情報に同期制御情報が含まれる場合、実行制御回路201bは、第2生成回路201cに対して同期制御情報を出力する。実行制御回路201bは、実行制御回路201bが実行状態の場合に、演算制御情報に含まれ

る同期制御情報を、第2生成回路201cに対して出力する。例えば、同期制御情報が第1完了情報の場合、第2生成回路201cは、制御装置100が次処理の決定処理が実行開始可能か判定するための情報として第1完了情報を出力する。同期制御情報が第2完了情報の場合、第2生成回路201cは、制御装置100が次処理の実行開始可能か判定するための情報として第2完了情報を出力する。

[0097] 次に、演算制御回路201の他の構成例について説明する。図6-2は、他の構成例にかかる演算制御回路201-2の詳細な構成の一例を示すブロック図である。図6-2は、図5-2の制御装置100に対応する演算制御回路201-2の構成例を示している。

[0098] 図6-2に示すように、この構成例では、第1生成回路201-2aに識別情報とともに開始条件情報が入力され、第1生成回路201-2aが実行制御回路201-2bに開始条件情報を出力する。実行制御回路201-2bは、制御装置100に対して開始条件情報を出力し、開始制御情報の入力の真偽により状態遷移を行う。

[0099] 次に、演算装置200の実行回路202のさらに詳細な構成について図7～図14を用いて説明する。図7は、演算装置200の実行回路202のより詳細な構成の一例を示すブロック図である。図7に示すように、実行回路202は、演算回路701を備える。

[0100] 上述のように、実行回路202は、演算制御回路201から演算制御情報を入力して演算を実行する。演算制御情報は、例えば実行する演算を特定する演算識別情報と、入力データの読出し先および演算に用いる定数値を含む入力元情報と、演算結果の書込み先を含む出力先情報と、を含む。演算制御情報の具体的なデータ構造は、実行回路202の構成により異なる。

[0101] 図7に示す構成の場合、実行回路202は、単一の演算回路701により構成される。演算回路701は、データと命令を入力とし、入力したデータに対して、入力した命令に従い演算を実行する。演算回路701は、例えば、単一のALUなどの演算器で構成してもよいし、複数の演算器を備え、全

ての演算器で同一の命令を入力するSIMD構成としてもよい。また、演算回路701が複数の演算器を備え、演算器ごとに別々の命令を入力可能なMIMD構成としてもよい。さらに、これらの構成の演算器を組み合わせで演算回路701を構成してもよい。

[0102] 図7の構成例のような場合には、演算回路701に対応した単一の命令を演算識別情報とすればよい。図8は、図7の構成で用いる演算制御情報の一例を示す図である。図8に示すように、演算回路701が単一の演算器の場合には、演算制御情報は、命令（演算識別情報）と、入力元情報と、出力先情報とを備えればよい。なお、例えば図8の1行目の演算制御情報は、reg0から入力データを読み出して定数値2を加算（add）してreg0に書き込むことを表している。複数の演算器を備える構成の場合は、演算制御情報が、命令、入力元情報、および出力先情報をそれぞれ複数備えればよい。

[0103] 図9は、図7と異なる構成の実行回路202-2を含む演算装置200-2の詳細な構成の一例を示すブロック図である。図9に示すように、実行回路202-2は、演算回路701-2と、定数情報記憶装置702-2と、処理情報記憶装置703-2と、を備える。

[0104] 処理情報記憶装置703-2は、演算識別情報を入力とし、演算識別情報に対応する命令を出力する。図10は、処理情報記憶装置703-2に記憶される処理情報のデータ構造の一例を示す図である。図10に示すように、処理情報記憶装置703-2は、命令自体ではなく記号および数値等で表された演算識別情報（例えばcmd0）と命令とを対応付けた処理情報を記憶する。

[0105] 定数情報記憶装置702-2は、演算に用いる定数値を識別する定数識別情報を入力とし、定数識別情報に対応する定数値を出力する。図11は、定数情報記憶装置702-2に記憶される定数情報のデータ構造の一例を示す図である。図11に示すように、定数情報記憶装置702-2は、定数識別情報と定数とを対応付けた定数情報を記憶する。

- [0106] 演算回路 701-2 は、処理情報記憶装置 703-2 から入力した命令と、定数情報記憶装置 702-2 から入力した定数値と、記憶装置 300 から入力した入力データとを用いて演算を行い、演算結果を記憶装置 300 に出力する。
- [0107] 図 12 は、図 9 の構成で用いる演算制御情報の一例を示す図である。図 9 の例のような場合には、図 12 に示すように、演算制御情報は、処理情報記憶装置 703-2 の処理情報に含まれる演算識別情報と、定数情報記憶装置 702-2 の定数情報に含まれる定数識別情報とを含めばよい。図 12 では、入力元情報内に定数識別情報（imm0 など）を含む例が示されている。
- [0108] なお、図 9 の例では処理情報記憶装置 703-2 と、定数情報記憶装置 702-2 のそれぞれを備えるが、いずれか一方のみを備えてもよいし、両者をまとめて単一の記憶装置として備えてもよい。処理情報記憶装置 703-2 のみ備える場合は、演算制御情報が定数識別情報の代わりに演算に必要な定数値を示す情報を含めばよい。また、定数情報記憶装置 702-2 のみ備える場合は、演算制御情報は記号および数値等で表された演算識別情報の代わりに、演算に必要な命令自体を含めばよい。
- [0109] 演算回路 701-2 が、多数の演算器それぞれに対して別々の命令を入力可能な MIMD 構成の場合、図 7 の例のように演算識別情報に全ての命令を保持させると、記憶装置 203 に大きなメモリが必要となる。そのため、図 9 の例のように、処理情報記憶装置 703-2 と、定数情報記憶装置 702-2 にそれぞれ命令と定数を保持し、記憶装置 203 にはそれらの識別情報（演算識別情報および定数識別情報）のみを保持することにより、より少ない情報量で同一の処理を実現することができる。
- [0110] 図 13 は、図 7 および図 9 とさらに異なる演算装置 200-3 の詳細な構成の一例を示すブロック図である。図 13 に示すように、演算装置 200-3 は、図 9 の実行回路 202-2 にセレクタ（セレクタ 704-3a、704-3b）を追加した 2 つの実行回路 202-3a および 202-3b を備えた構成となっている。なお、実行回路 202-3 の個数は 3 以上であって

もよい。

- [0111] 図 1 4 は、図 1 3 の構成で用いる演算制御情報の一例を示す図である。図 1 3 の例のような場合、演算制御情報は図 1 4 に示すように実行回路 2 0 2 - 2 の数分の演算識別情報、入力元情報、および出力先情報の組を含めばよい。
- [0112] 上述のように、処理開始条件および決定開始条件は、特定の割込み信号の入力を待つという条件である必要はなく、サイクル数などの静的に決定される値を待つ条件でもよい。以下に、このように構成する場合の本実施の形態の変形例 2 について説明する。図 1 5 は、本実施の形態の変形例 2 に係る半導体装置 1 の構成の一例を示すブロック図である。
- [0113] 本変形例では、演算装置 2 0 0 - 4 の演算制御回路 2 0 1 - 3 から制御装置 1 0 0 - 3 の決定回路 1 0 1 - 3 に対する第 1 完了情報の出力、および、演算装置 2 0 0 - 4 の演算制御回路 2 0 1 - 3 から制御装置 1 0 0 - 3 の開始制御回路 1 0 2 - 3 に対する第 2 完了情報の出力が不要となる点が、図 2 - 1 の構成と異なっている。その他の構成は図 2 - 1 と同様であるため同一の符号を付し説明を省略する。
- [0114] また、図 1 6 および図 1 7 は、それぞれ図 1 5 の変形例 2 の制御装置 1 0 0 - 3 および演算装置 2 0 0 - 4 のより詳細なブロック図である。
- [0115] 制御装置 1 0 0 - 3 の決定回路 1 0 1 内の判定回路 1 0 1 a - 3 は、処理開始条件を入力後、一定サイクル数待機した後に有効である旨の判定結果を出力すれば良いため、構造を単純化できる。例えば、判定回路 1 0 1 a - 3 の内部にカウンタ（図示せず）と、カウンタの値と待機サイクル数を比較する比較器（図示せず）とを備えれば実現できる。判定回路 1 0 2 b - 3 も同様に単純な構造で実現できる。
- [0116] また、演算装置 2 0 0 - 4 の演算制御回路 2 0 1 - 3 は、第 1 完了情報および第 2 完了情報を出力する必要がないため、第 2 生成回路 2 0 1 c が不要となり、制御が単純化できる。
- [0117] 本変形例のように、処理開始条件および決定開始条件を静的に決定できる

値で構成する場合は、処理の前後関係が異なる場合には別の制御が必要になるため、柔軟な制御が困難になるが、回路を単純化できる。

[0118] 次に、このように構成された半導体装置 1 の制御装置 100 および演算装置 200 の動作について図 18 および図 19 を用いて説明する。図 18 は、本実施の形態における制御装置 100 の動作全体の流れを示すフローチャートである。

[0119] まず、制御装置 100 の決定回路 101 は、記憶装置 103 から第 1 装置制御情報を読み出す（ステップ S 101）。読み出す際に指定するアドレスは、固定であってもよいし、処理開始時に指定してもよい。また、これ以降、記憶装置 103 から第 1 装置制御情報を読み出す際のアドレスは、逐次的に増加させてもよいし、第 1 装置制御情報内で指定するように構成してもよい。

[0120] 次に、決定回路 101 は、第 1 装置制御情報に含まれる決定開始条件が満たされたか否かを判断する（ステップ S 102）。決定開始条件が満たされない場合（ステップ S 102：No）、決定回路 101 は、決定開始条件が満たされるまで待機する。決定開始条件が満たされた場合（ステップ S 102：Yes）、決定回路 101 は、次処理を決定する決定処理を実行する（ステップ S 103）。

[0121] 上述のように、決定処理が実行開始可能な状態の検出方法（決定開始条件）は、第 1 装置制御情報に含まれる。決定開始条件は、回路上で条件の判定が実現可能であれば、例えば決定処理が実行開始可能になるまでの待機サイクル数で示しても良いし、演算装置 200 または記憶装置 300 から入力される、決定処理が実行可能状態になること表す入力情報で示しても良い。

[0122] 決定回路 101 は、決定した次処理の識別情報を含む処理制御情報を演算装置 200 に出力する（ステップ S 104）。

[0123] 次に、開始制御回路 102 が、第 1 装置制御情報に含まれる処理開始条件が満たされたか否かを判断する（ステップ S 105）。処理開始条件が満たされない場合（ステップ S 105：No）、開始制御回路 102 は、処理開

始条件が満たされるまで待機する。処理開始条件が満たされた場合（ステップS 1 0 5 : Y e s）、開始制御回路 1 0 2 は、次処理が実行開始可能であることを表す開始制御情報を演算装置 2 0 0 に出力する（ステップS 1 0 6）。

[0124] 上述のように、処理開始条件は第 1 装置制御情報に含まれる。処理開始条件は、回路上で条件の判定が実現可能であれば、例えば、演算処理が実行可能となるまでのサイクル数で示しても良い。また、処理開始条件は、演算装置 2 0 0 または記憶装置 3 0 0 から入力される、演算処理が実行可能となることを表す入力情報で示しても良いし、制御装置 1 0 0 の内部状態で示しても良い。また、その際に制御装置 1 0 0 の内部状態は、演算装置 2 0 0、記憶装置 3 0 0、および外部からの信号により状態遷移してもよい。

[0125] 図 1 8 では、決定処理（ステップS 1 0 3）の後で、処理開始条件の判定（ステップS 1 0 5）を行っているが、これらのステップは順番が前後しても良いし、同時に行っても良い。ただし、開始制御情報が対応する処理制御情報と関連付けられて演算装置 2 0 0 に入力される必要がある。例えば、処理制御情報と開始制御情報とを同時に出力する、処理制御情報の後で開始制御情報を出力する、または、開始制御情報の後で処理制御情報を出力する等のプロトコル上の制約を設ける方法を用いることができる。また、対応する処理制御情報と開始制御情報とをタグ付けして関連付けるなどの方法を用いても良い。

[0126] 開始制御情報を出力後、決定回路 1 0 1 は、第 1 装置制御情報が演算処理の完了を示す情報を含むか否かを判断する（ステップS 1 0 7）。演算処理の完了を示す情報を含まない場合は（ステップS 1 0 7 : N o）、次の第 1 装置制御情報を読み出し（ステップS 1 0 1）、処理を繰り返す。演算処理の完了を示す情報を含む場合は（ステップS 1 0 7 : Y e s）、制御装置 1 0 0 は動作を終了する。

[0127] 図 1 9 は、本実施の形態における演算装置 2 0 0 の動作全体の流れを示すフローチャートである。

- [0128] まず、演算装置 200 の演算制御回路 201 は、制御装置 100 から処理制御情報が入力されるまで待機する（ステップ S 201）。処理制御情報が入力されると、演算制御回路 201 は、処理制御情報に従い、コンフィギュレーションの設定等の準備を行い（ステップ S 202）、開始制御情報が入力されるまで待機する（ステップ S 203）。処理の準備は行わなくてもよいが、準備を行うことで、開始制御情報を入力するときのコンフィギュレーション設定によるオーバヘッドを削減することができる。
- [0129] 開始制御情報が入力されると、演算制御回路 201 は、記憶装置 203 から第 2 装置制御情報を読み出し、第 2 装置制御情報に含まれる命令の実行を実行回路 202 に指示する（ステップ S 204）。
- [0130] 演算制御回路 201 は、読み出した第 2 装置制御情報に第 1 完了情報が含まれか否かを判断する（ステップ S 205）。第 2 装置制御情報に第 1 完了情報が含まれる場合は（ステップ S 205 : Yes）、演算制御回路 201 は、制御装置 100 に第 1 完了情報を出力する（ステップ S 206）。また、演算制御回路 201 は、読み出した第 2 装置制御情報に第 2 完了情報が含まれか否かを判断する（ステップ S 207）。第 2 装置制御情報に第 2 完了情報が含まれる場合は（ステップ S 207 : Yes）、演算制御回路 201 は、制御装置 100 に第 2 完了情報を出力する（ステップ S 208）。演算の実行（ステップ S 204）、第 1 完了情報の出力（ステップ S 206）、および、第 2 完了情報の出力（ステップ S 208）は、図 19 に示された順番である必要はなく、任意の順序で実行してもよいし、同時に実行してもよい。
- [0131] 演算制御回路 201 は、実行回路 202 による演算の実行が完了した後、演算制御情報に演算完了を示す情報が含まれるか否かを判断する（ステップ S 209）。演算完了を示す情報が含まれない場合は（ステップ S 209 : No）、次の第 2 装置制御情報を読み出し（ステップ S 204）、処理を繰り返す。演算完了を示す情報が含まれる場合は（ステップ S 209 : Yes）、演算装置 200 は動作を終了する。

[0132] 次に、半導体装置 1 の動作の具体例について図 20～図 25 を用いて説明する。図 20 は、この例で実行するプログラムの一例を示す図である。

[0133] 図 20 に示すプログラムは、4 つのベーシックブロックから構成される。ベーシックブロックは、条件分岐が発生せずに逐次的に実行できる 1 以上の演算を含む処理単位、すなわち、上述の演算処理に相当する。図 20 の例では、識別情報＝0～3 の 4 つのベーシックブロックを含むプログラムが示されている。

[0134] 識別情報＝1 および 2 のベーシックブロックは、(3) 式により条件分岐が行われ、いずれか一方のみが実行される。また、(3) 式はデータ c を用いるため、(3) 式を実行するには、データ c を算出する (0) 式が完了している必要がある。以下、この依存関係を依存関係 A という。

[0135] 識別情報＝1 のベーシックブロックは、当該ベーシックブロック外のデータ e を演算に用いているため、データ e を算出する (1) 式が完了するまで、演算を開始できない。以下、この依存関係を依存関係 B という。同様に、識別情報＝2 のベーシックブロックは、データ f を算出する (2) 式が完了するまで演算を開始できない。以下、この依存関係を依存関係 C という。識別情報＝3 のベーシックブロックは、データ h を算出する (5) 式または (9) 式が完了するまで演算を実行できない。以下、この依存関係を依存関係 D という。

[0136] 図 21 および図 22 は、図 20 のプログラムを実行するための第 1 装置制御情報および第 2 装置制御情報をそれぞれ表す図である。

[0137] 上述した演算の依存関係はフラグレジスタ等に保持するフラグを用いることにより解決している。依存関係 A については「flag A」で解消される。依存関係 B および依存関係 C は「flag B」で解消される。依存関係 D については「flag C」で解消される。

[0138] なお、図 21 の表の右欄に記載した (A) ～ (F) は、図 23～図 25 で説明する演算処理との対応のために記載したものである。また、図 22 の表の右欄に記載した (0) ～ (12) は、図 20 の各式である (0) 式～ (1

2) 式に対応することを表している。これらの記号は説明の便宜上記載したものであり、第1装置制御情報および第2装置制御情報がこれらの記号を含む必要はない。

[0139] 図23、図24、および図25は、それぞれ図20のプログラムを、従来の汎用プロセッサで処理した場合、演算装置200を1つ備える半導体装置1（図1-1）で処理した場合、および演算装置200を2つ備える半導体装置1-2（図1-2）で処理した場合のタイミングチャートを示す図である。

[0140] 従来の汎用プロセッサで処理する場合は、図23に示すように、分岐演算と、その他の演算処理とを全て同じプロセッサで実行する必要があるため、並列性を得ることはできず実行時間が大きい。

[0141] 演算装置200を1つ備える半導体装置1で処理する場合は、図24に示すように分岐演算と演算処理とを並列に実行できる。そのため、条件分岐に要するコストを削減でき、従来のプロセッサに比べ高速に処理を実行することが可能となる。

[0142] 制御装置100は、演算処理（B）の条件判定を実行するのに演算装置200の実行する（O）式が完了することが必要（決定開始条件のflag A）であるため、演算処理（A）が完了後、演算装置200の演算（O）が完了するまで待機する。また、演算処理（C）および演算処理（E）は決定開始条件が真であるため、他の演算処理を待つことなく次の演算処理を決定することができる。

[0143] また、演算装置200が1つしか存在しないため、識別情報=1および3の演算処理のように、処理開始条件でフラグが指定されている演算処理であっても、各演算処理を実行開始する時点では処理開始条件（それぞれflag Bおよびflag Cの入力）を満たしている。そのため、演算処理をすぐに実行することができる。

[0144] 図1-2のように2つの演算装置200aおよび200bを備える場合は、図25に示すように、分岐処理と演算処理とを並列に実行するだけでなく

、演算装置 200 a と演算装置 200 b との間で演算処理を並列に実行可能となる。これにより、実行時間をさらに短縮することができる。図 25 の例では、演算装置 200 a による識別情報 = 1 の演算処理（（0）、（1）、（2）式）および識別情報 = 3 の演算処理（（11）、（12）式）と、演算装置 200 b による識別情報 = 2 の演算処理（（4）、（5）、（6）式）と、を並列に実行できる。

[0145] 識別情報 = 2 の演算処理は、処理開始条件が f l a g B であるため、演算装置 200 a が（1）式を完了するまで、演算装置 200 b は識別情報 = 2 の演算処理を実行開始せずに待機する。同様に、識別情報 = 3 の演算処理は、処理開始条件が f l a g C であるため、演算装置 200 a は演算装置 200 b が（5）式を完了するまで、識別情報 = 3 を実行開始せずに待機する。

[0146] 上記のように依存関係を解消したのちは、各演算処理を並列に実行可能であるため、（2）式と（4）式、（6）式と（11）式のように複数の演算装置 200 a および B で処理を並列に実行することで実行時間を短縮することが可能となる。

[0147] 次に、図 1-2 のように複数の演算装置 200 a および 200 b を備える場合に、各演算装置 200 a および 200 b に演算処理を振り分ける方法について説明する。最初に、ソフトウェアによる静的な制御により振り分ける方法を説明する。

[0148] この場合は、例えば第 1 装置制御情報の次処理候補情報で指定される次処理の識別情報それぞれに対して、実行する演算装置 200 の識別子を付加する。これにより、実行する演算処理（次処理）に対して明示的に実行する演算装置 200 を指定することができる。図 26 は、図 20 のプログラムが図 25 のように動作する場合の第 1 装置制御情報の例を示した図である。図 26 の例では、識別情報 = 0 および 3 の演算処理 3 は、演算装置 200 a が実行し、識別情報 = 1 および 2 の演算処理は演算装置 200 b が実行することを示している。なお、図 26 の例では、演算装置 200 a および 200 b の識別子をそれぞれ「A」および「B」で表している。なお、図 26 は、一度

に1つの演算装置200の処理のみ決定する例を示しているが、一度に複数の演算装置200の処理を決定するように構成しても良い。

[0149] このように、第1装置制御情報により各演算処理を実行する演算装置200を指定することで、複数の演算装置200間で記憶装置103の内容（第1装置制御情報）が異なっても対応可能である。

[0150] 次に、ハードウェアによる動的な制御により振り分ける方法を説明する。図27は、ハードウェアによる制御により振り分ける場合の半導体装置1-3の構成例を示すブロック図である。図27に示すように半導体装置1-3は、制御装置100-3と、演算装置200-3aおよび200-3bと、記憶装置300と、分散装置400と、を備えている。

[0151] 制御装置100-3は、分散装置400に対して処理制御情報を入力する。分散装置400は、処理制御情報が入力されると、各演算装置200の動作状況に応じて、所定の判断基準により適切な演算装置200を選択し、選択した演算装置200に対して処理制御情報を出力する。例えば、分散装置400は、負荷の小さい演算装置200に処理制御情報を出力するという判断基準を用いる。この場合、分散装置400は、例えば演算装置200が実行中か停止中かを判断し、停止中の演算装置200に対して処理制御情報を出力する。

[0152] また、分散装置400は、演算装置200が処理制御情報を格納するメモリを保持している場合は、メモリに保持されている処理制御情報が少ない演算装置200に対して処理制御情報を出力するという判断基準を用いてもよい。このように負荷の小さい演算装置200に優先的に演算処理を割り当てることで、効率的な負荷分散が実現でき、処理性能の向上が期待できる。

[0153] また、負荷以外の判断基準を用いてもよい。例えば、演算によるデータの依存関係の強い演算処理を同じ演算装置200で実行するように割り当てることで、メモリへのアクセス回数を削減できる。また、必要に応じて演算処理の割当てに必要な情報を処理制御情報に付加してもよい。

[0154] このように動的な振り分け制御を行うことで、負荷に応じて最適な演算装

置 200 で処理を実行することができる。全ての演算装置 200 に対して動的に演算処理が発行されるため、各演算装置 200 が同一の演算制御情報を保持する必要がある。すなわち、各演算装置 200 の記憶装置 103 の内容を全て統一する必要がある。その際に、マルチポートメモリや階層キャッシュ構造により記憶装置 103 を共有すれば、より少ないハードウェア資源で同一の演算制御情報の保持が可能となる。また、性能劣化を許容できる場合は、記憶装置 103 を共有メモリとし、複数の演算装置 200 からアクセスがあった場合には調停を行うことで、より少ない資源で演算制御情報の共有が可能である。

[0155] このように、本実施の形態にかかる半導体装置 1 は、演算装置と制御装置とを含む。実行中の演算処理に含まれる演算で条件分岐の判断に必要な情報が得られたときに、演算装置が、その情報を制御装置に出力する。制御装置は、この情報を参照して条件分岐制御を行う。これにより、制御装置による分岐演算と、演算装置による演算処理とを並列に実行できる。すなわち、分岐処理を含む処理をより効率的に実行することが可能となる。

[0156] なお、本発明は、上記実施の形態そのままに限定されるものではなく、実施段階ではその要旨を逸脱しない範囲で構成要素を変形して具体化することができる。また、上記実施の形態に開示されている複数の構成要素の適宜な組み合わせにより、種々の発明を形成することができる。例えば、実施の形態に示される全構成要素からいくつかの構成要素を削除してもよい。さらに、異なる実施の形態にわたる構成要素を適宜組み合わせても良い。

符号の説明

[0157] 1 半導体装置
100 制御装置
101 決定回路
101a 判定回路
101b 比較回路
101c 選択回路

- 1 0 1 d 保持回路
- 1 0 2 開始制御回路
- 1 0 2 a 保持回路
- 1 0 2 b 判定回路
- 1 0 3 記憶装置
- 2 0 0 演算装置
- 2 0 1 演算制御回路
- 2 0 1 a 第 1 生成回路
- 2 0 1 b 実行制御回路
- 2 0 1 c 第 2 生成回路
- 2 0 2 実行回路
- 2 0 3 記憶装置
- 3 0 0 記憶装置
- 4 0 0 分散装置
- 7 0 1 演算回路
- 7 0 2 - 2 定数情報記憶装置
- 7 0 3 - 2 処理情報記憶装置

請求の範囲

[請求項1]

1以上の演算を含む複数の演算処理を実行する演算装置と、前記演算装置を制御する制御装置とを備える半導体装置であって、

前記演算装置は、前記制御装置から指示された演算処理を、前記制御装置から開始が指示されたときに開始し、

前記制御装置は、演算処理ごとに定められた、前記演算装置が実行中の演算処理の次に実行する演算処理を決定可能な条件である決定開始条件が、満たされたか否かを判定し、前記決定開始条件が満たされた場合に、前記演算装置が実行中の演算処理の次に実行する演算処理を決定して前記演算装置に指示し、演算処理ごとに定められた、前記演算処理が次に実行する演算処理を実行可能な条件である処理開始条件が、満たされたか否かを判定し、前記処理開始条件が満たされた場合に、前記演算処理の開始を前記演算装置に指示することを特徴とする半導体装置。

[請求項2]

前記演算装置は、複数の演算処理のうちの第1演算処理に含まれる予め定められた第1演算を実行したときに、前記第1演算の実行が完了したことを表す第1完了情報を出し、

前記制御装置は、前記第1完了情報が出力されたか否かを表す前記決定開始条件に基づいて、前記第1完了情報が出力されたか否かを判定し、前記第1完了情報が出力されたと判定した場合に、前記第1演算処理の次に実行する演算処理を決定して前記演算装置に指示すること、

を特徴とする請求項1に記載の半導体装置。

[請求項3]

前記演算装置は、複数の前記演算処理のうち予め定められた第2演算処理に含まれる予め定められた第2演算を実行したときに、前記第2演算の実行が完了したことを表す第2完了情報を出し、

前記制御装置は、前記第2完了情報が出力されたか否かを表す前記処理開始条件に基づいて、前記第2完了情報が出力されたか否かを判

定し、前記第 2 完了情報が出力されたと判定した場合に、実行する前記演算処理の開始を前記演算装置に指示すること、

を特徴とする請求項 1 に記載の半導体装置。

[請求項 4]

前記演算装置は複数備えられ、

前記制御装置は、現在実行中の演算処理の次に実行する演算処理と決定した演算処理を、複数の前記演算装置のいずれかに指示すること

、

を特徴とする請求項 1 に記載の半導体装置。

補正された請求の範囲
[2010年6月14日(14.06.2010)国際事務局受理]

[1] (補正後) 1以上の演算を含む複数の演算処理を実行する演算装置と、前記演算装置を制御する制御装置とを備える半導体装置であって、

前記制御装置は、前記演算装置が実行中の演算処理の次に実行する演算処理と、前記演算装置が実行中の演算処理の次に実行する演算処理を実行するタイミングとを決定するための第1装置制御情報を記憶する第1記憶部を備え、

前記演算装置は、演算処理に含まれる演算の内容を決定するための第2装置制御情報を記憶する第2記憶部を備え、

前記制御装置は、前記第1記憶部から前記第1装置制御情報を読み出し、演算処理ごとに定められた、前記演算装置が実行中の演算処理の次に実行する演算処理を決定可能な条件である決定開始条件が、満たされたか否かを、前記第1装置制御情報を用いて判定し、

前記制御装置は、前記決定開始条件が満たされた場合に、前記演算装置が実行中の演算処理の次に実行する演算処理を、前記第1装置制御情報を用いて決定し、前記演算装置が実行中の演算処理の次に実行する演算処理を識別するための識別情報を前記演算装置へ出力し、

前記制御装置は、演算処理ごとに定められた、前記演算装置が次に実行する演算処理を実行可能な条件である処理開始条件が、満たされたか否かを判定し、前記処理開始条件が満たされた場合に、前記演算処理の開始を前記演算装置に指示し、

前記演算装置は、前記第2記憶部から前記識別情報に識別される第2装置制御情報を読み出し、前記識別情報によって指定される演算処理に含まれる演算の内容を前記第2装置制御情報を用いて決定し、前記制御装置から前記演算処理の開始が指示されたときに、前記識別情報によって指定される演算処理に含まれる演算の内容の実行を開始することを特徴とする半導体装置。

[2] 前記演算装置は、複数の演算処理のうちの第1演算処理に含まれる予め定められた第1演算を実行したときに、前記第1演算の実行が完了したことを表す第1完了情報を出力し、

前記制御装置は、前記第1完了情報が出力されたか否かを表す前記決定開始条件に基づいて、前記第1完了情報が出力されたか否かを判定し、前記第1完了情報が出力されたと

判定した場合に、前記第 1 演算処理の次に実行する演算処理を決定して前記演算装置に指示すること、

を特徴とする請求項 1 に記載の半導体装置。

[3] 前記演算装置は、複数の前記演算処理のうち予め定められた第 2 演算処理に含まれる予め定められた第 2 演算を実行したときに、前記第 2 演算の実行が完了したことを表す第 2 完了情報を出力し、

前記制御装置は、前記第 2 完了情報が出力されたか否かを表す前記処理開始条件に基づいて、前記第 2 完了情報が出力されたか否かを判定し、前記第 2 完了情報が出力されたと判定した場合に、実行する前記演算処理の開始を前記演算装置に指示すること、

を特徴とする請求項 1 に記載の半導体装置。

[4] 前記演算装置は複数備えられ、

前記制御装置は、現在実行中の演算処理の次に実行する演算処理と決定した演算処理を、複数の前記演算装置のいずれかに指示すること、

を特徴とする請求項 1 に記載の半導体装置。

[5] (追加) 前記演算装置は、前記制御装置から出力された 1 つ以上の識別情報を一時的に記憶するためのキューをさらに備え、

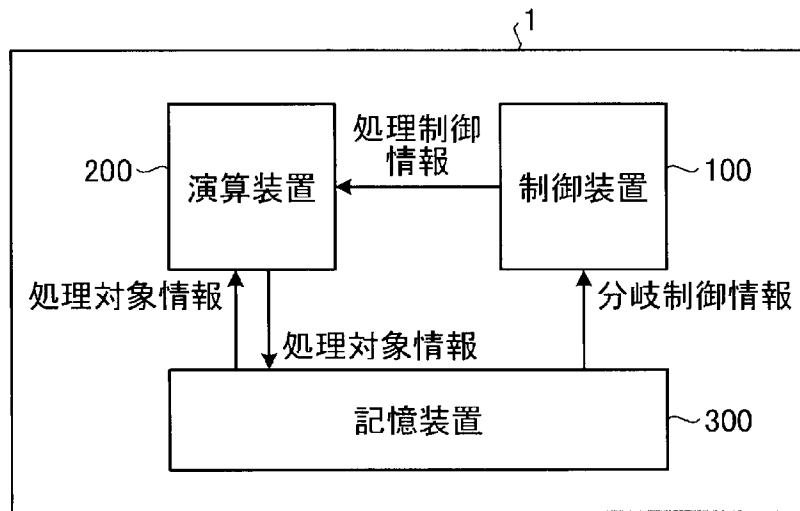
前記演算装置が実行中の演算処理の次に実行する演算処理は、前記演算装置が、前記キューに記憶された演算処理を実行したあとに実行する演算処理であることを特徴とする請求項 1 に記載の半導体装置。

条約第19条(1)に基づく説明書

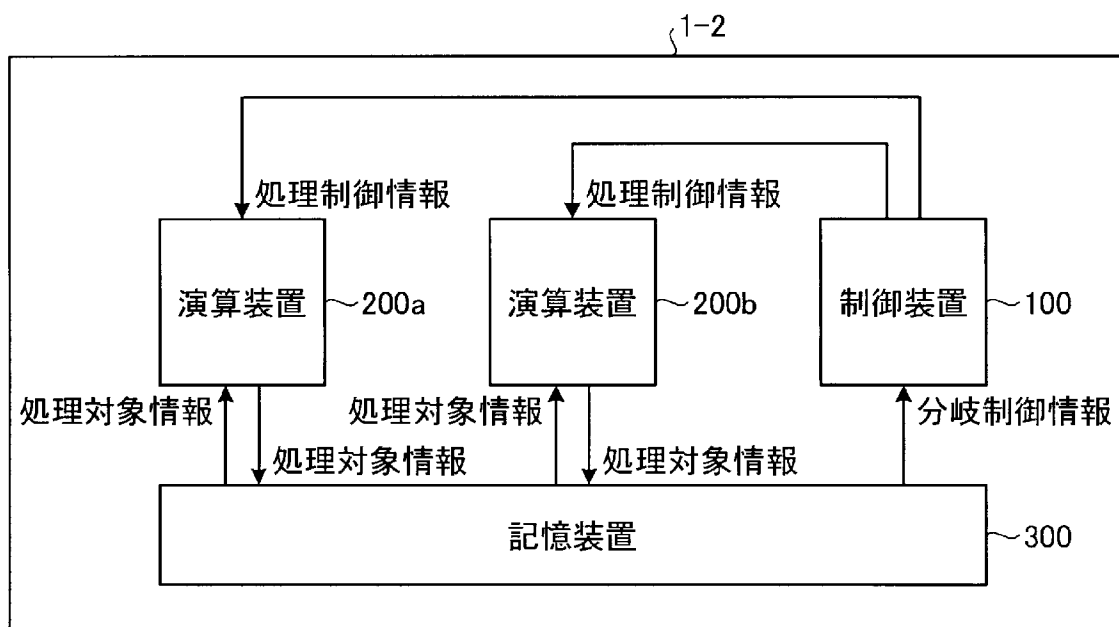
請求項1は、制御装置および演算装置が、それぞれ異なる制御情報（第1装置制御情報、第2装置制御情報）を記憶する記憶部（第1記憶部、第2記憶部）を備え、装置内の記憶部から読み出した制御情報によりそれぞれ独立に動作することを明確化したものです。しかし、引用例にはこのような構成を有する記載がありません。

請求項5は、演算装置が演算処理の識別情報を一時的に記憶するキューをさらに備え、このキューに記憶された演算処理の実行後に実行する演算処理が、実行中の演算処理の次に実行する演算処理であることを記載したものです。しかし、引用例にはこのような構成を有する記載がありません。

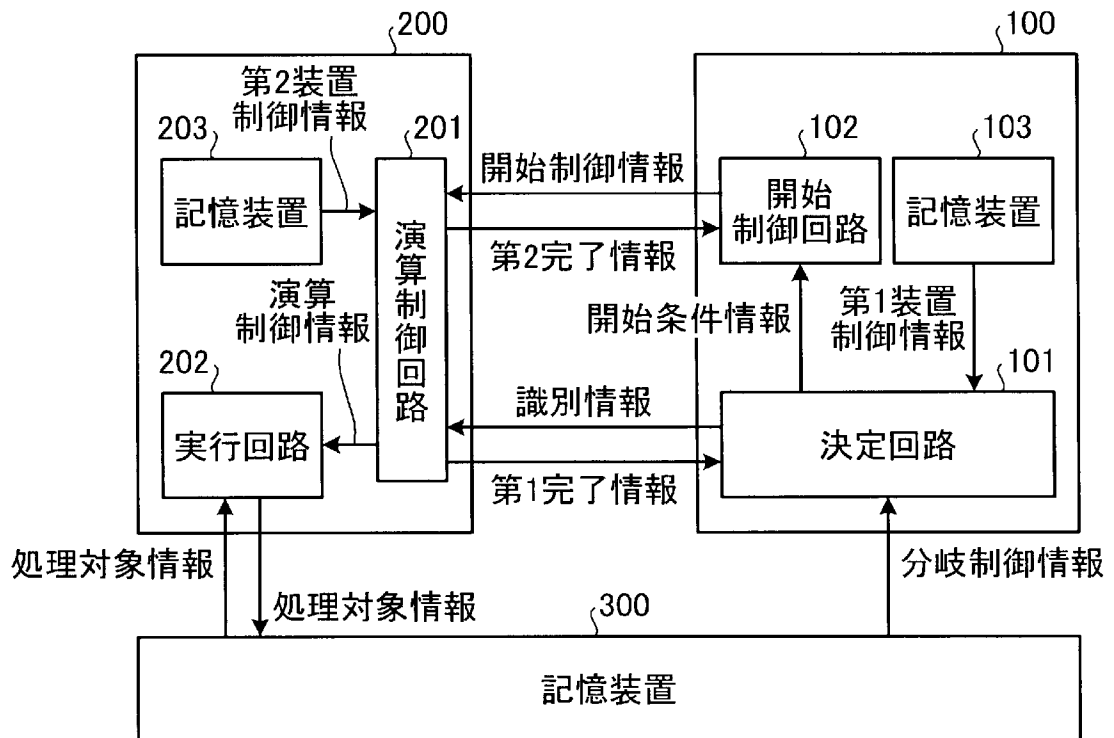
[図1-1]



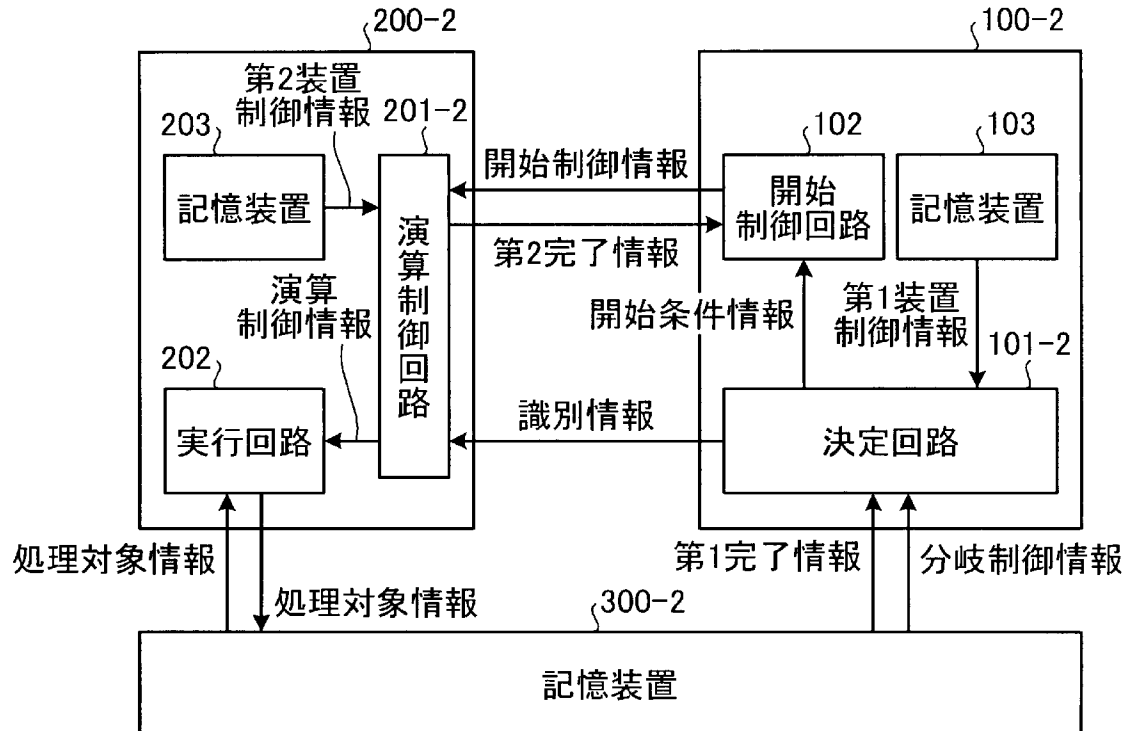
[図1-2]



[図2-1]



[図2-2]



[図3-1]

現処理	処理開始 条件	決定開始 条件	決定条件	真	偽
0	flag1	flag2	c==0	1	2

[図3-2]

現処理	決定開始 条件	決定条件	真		偽	
			次処理	処理開始 条件	次処理	処理開始 条件
0	flagA	c==0	1	flagB	2	true

[図4-1]

識別情報	命令	第2完了 情報	第1完了 情報	演算完了
0	add c, a, b	–	flagA	No
–	add e, d, c	flagB	–	Yes

[図4-2]

識別情報	命令	第2完了 情報	第1完了 情報	演算完了
0x00	add c, a, b	–	flagA	No
0x01	add e, d, c	flagB	–	Yes

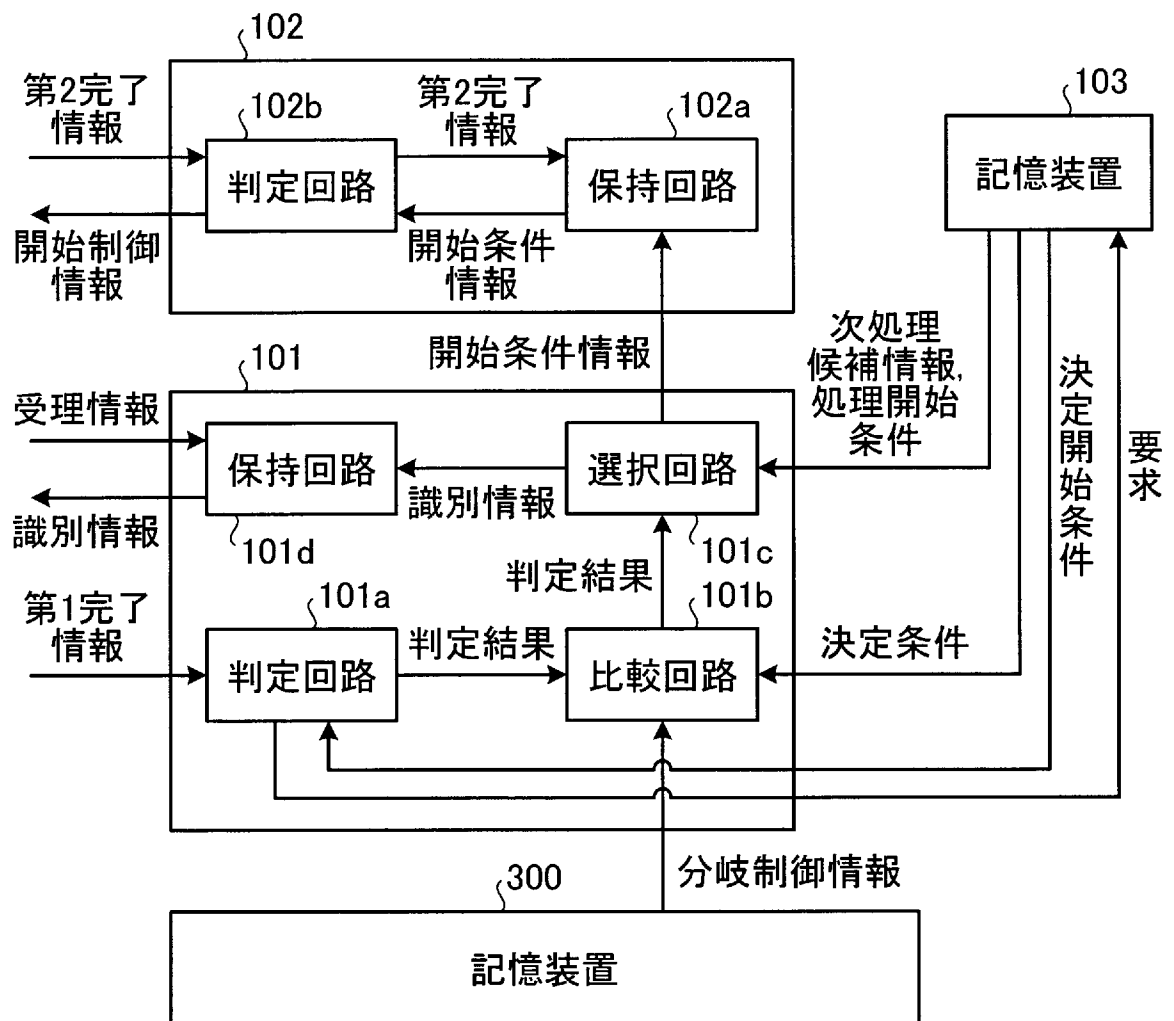
[図4-3]

識別情報	命令	第2完了 情報	第1完了 情報
0	add c, a, b	–	flagA
–	add e, d, c	flagB	–
–	HALT	–	–

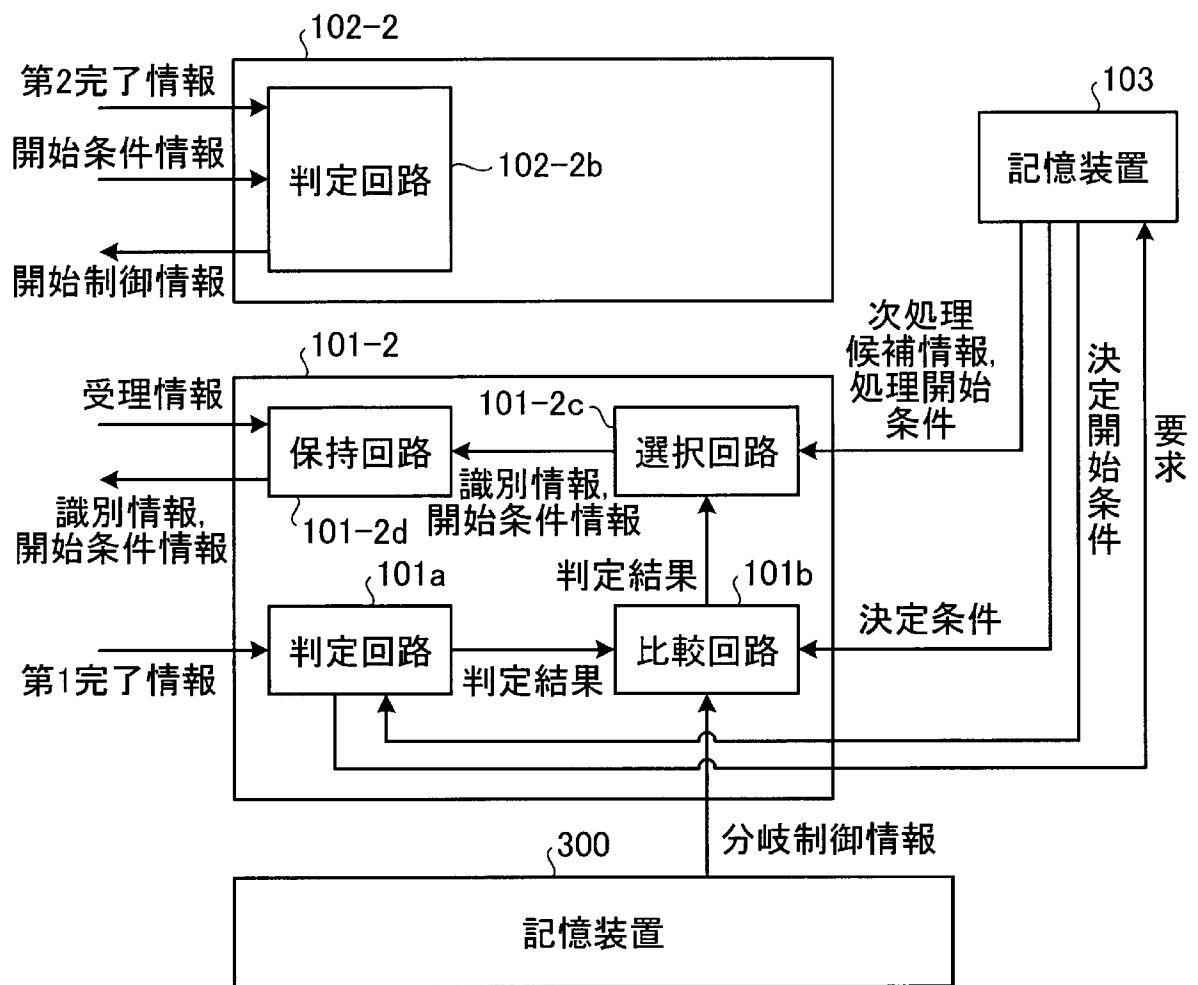
[図4-4]

識別情報	命令	演算完了
0	add c, a, b	No
–	add e, d, c	Yes

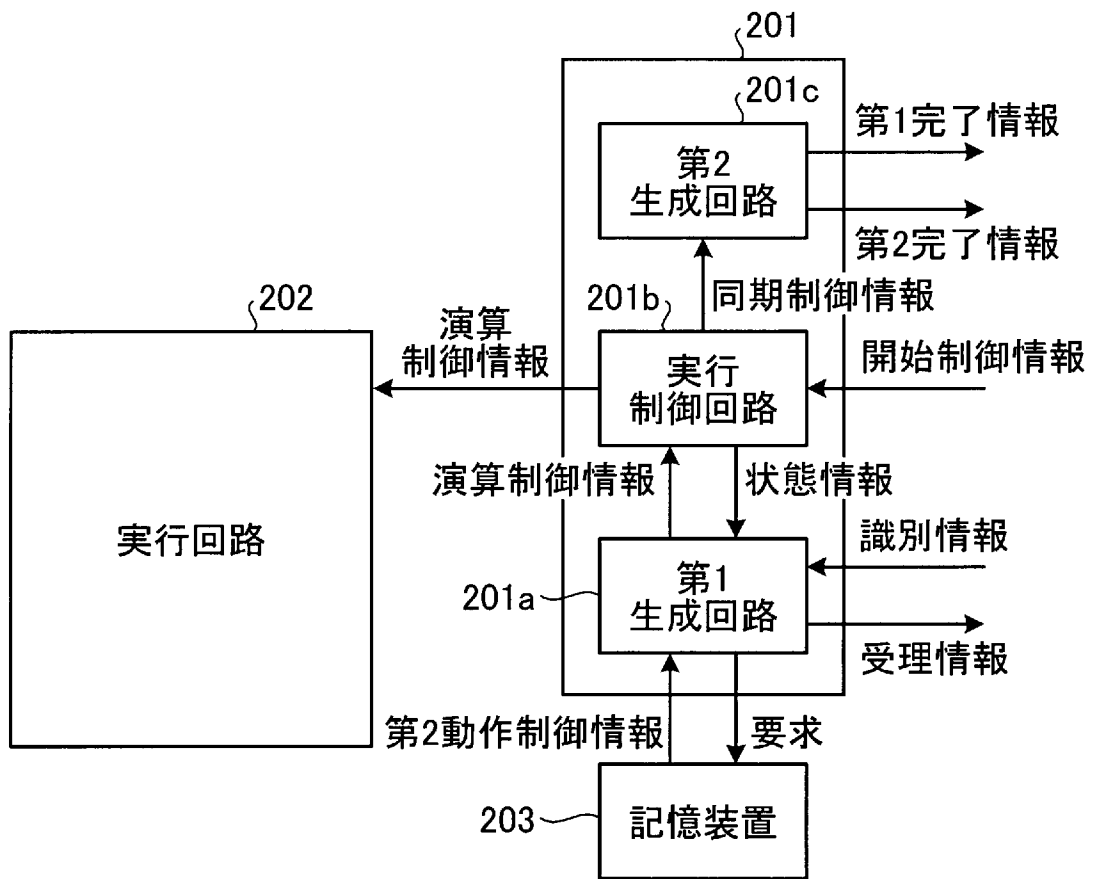
[図5-1]



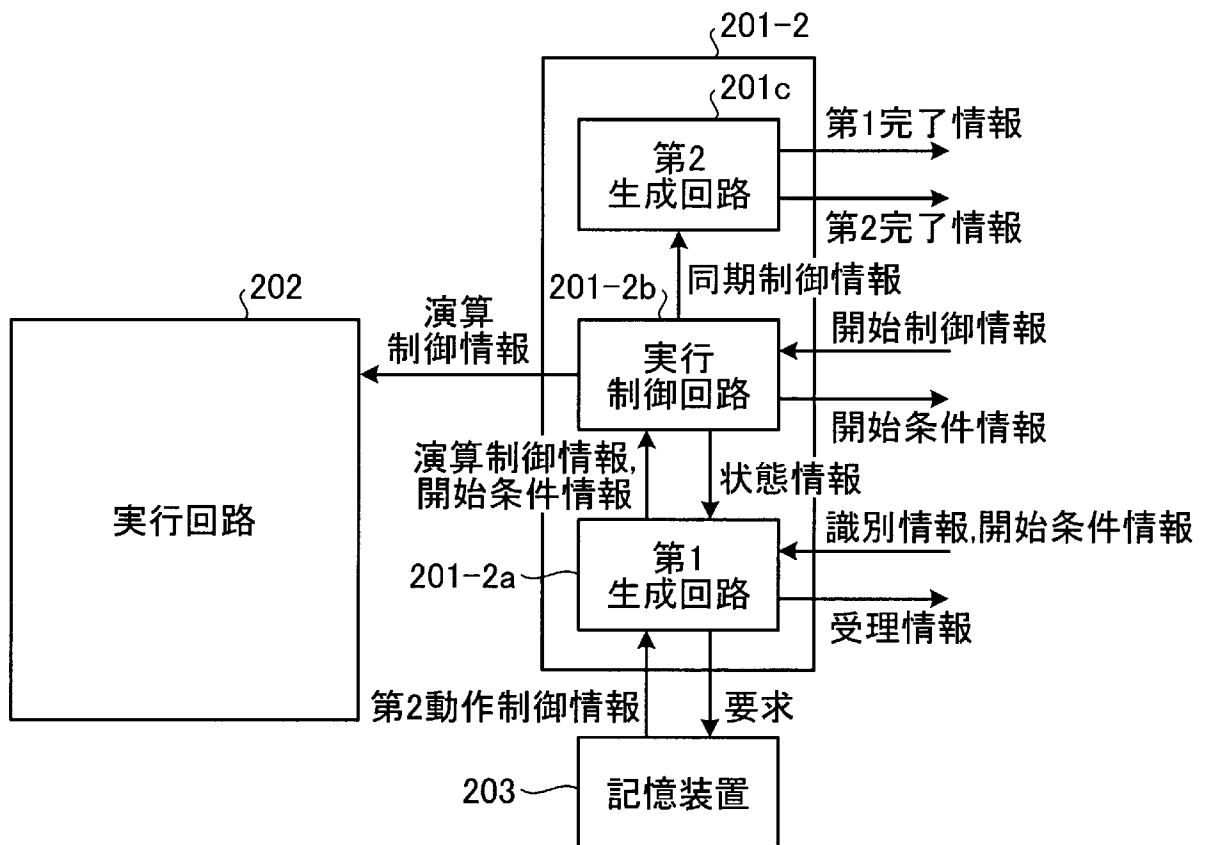
[図5-2]



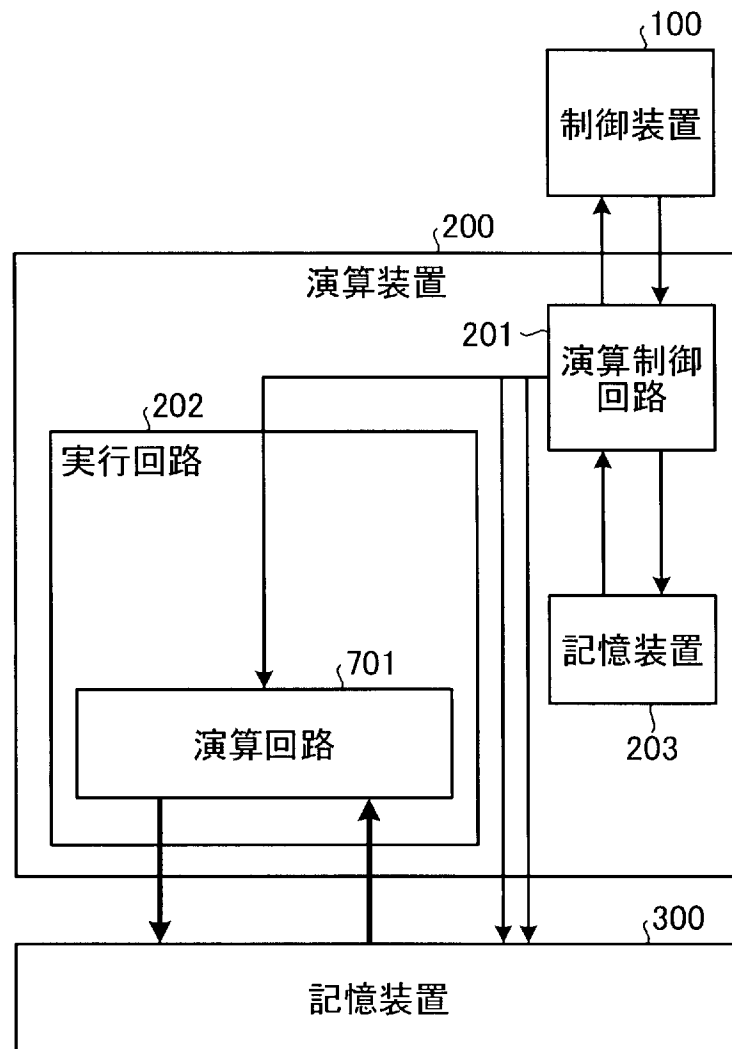
[図6-1]



[図6-2]



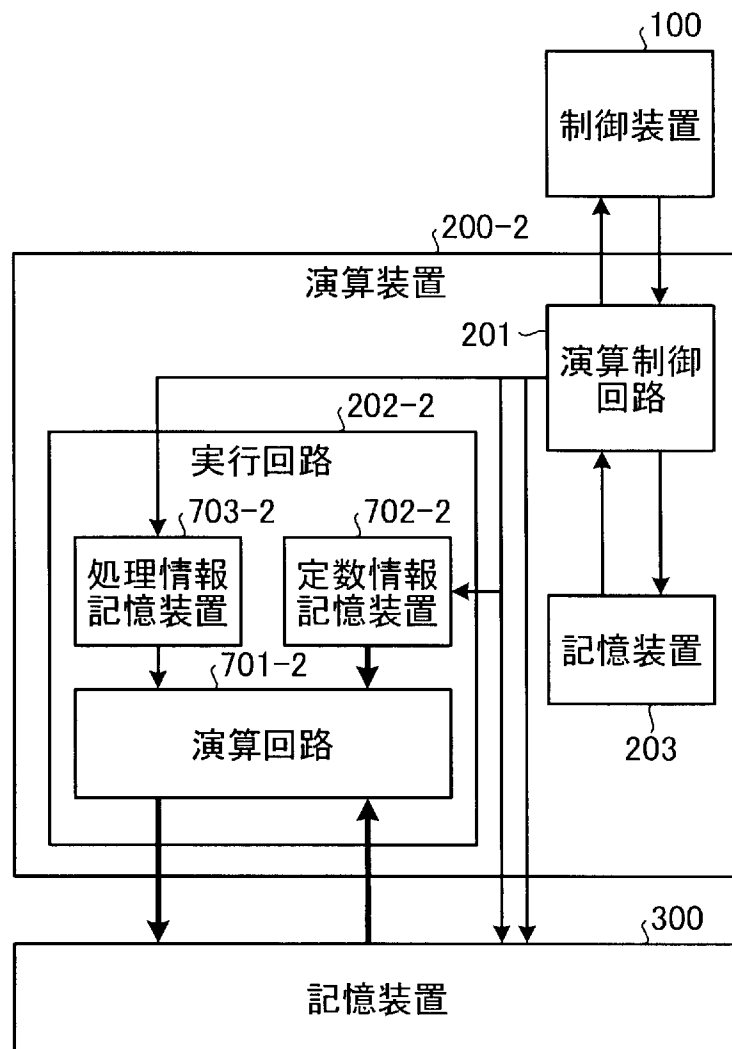
[図7]



[図8]

演算 識別情報	入力元 情報	出力先 情報	第2 完了情報	第1 完了情報	演算 完了
add	reg0,2	reg0	-	flagA	No
add	reg1,5	reg1	flagB	-	Yes
sub	reg1,31	reg1	-	-	Yes
or	reg2,-1	reg0	-	-	No

[図9]



[図10]

演算識別情報	命令
cmd0	add
cmd1	sub
cmd2	and
cmd3	or

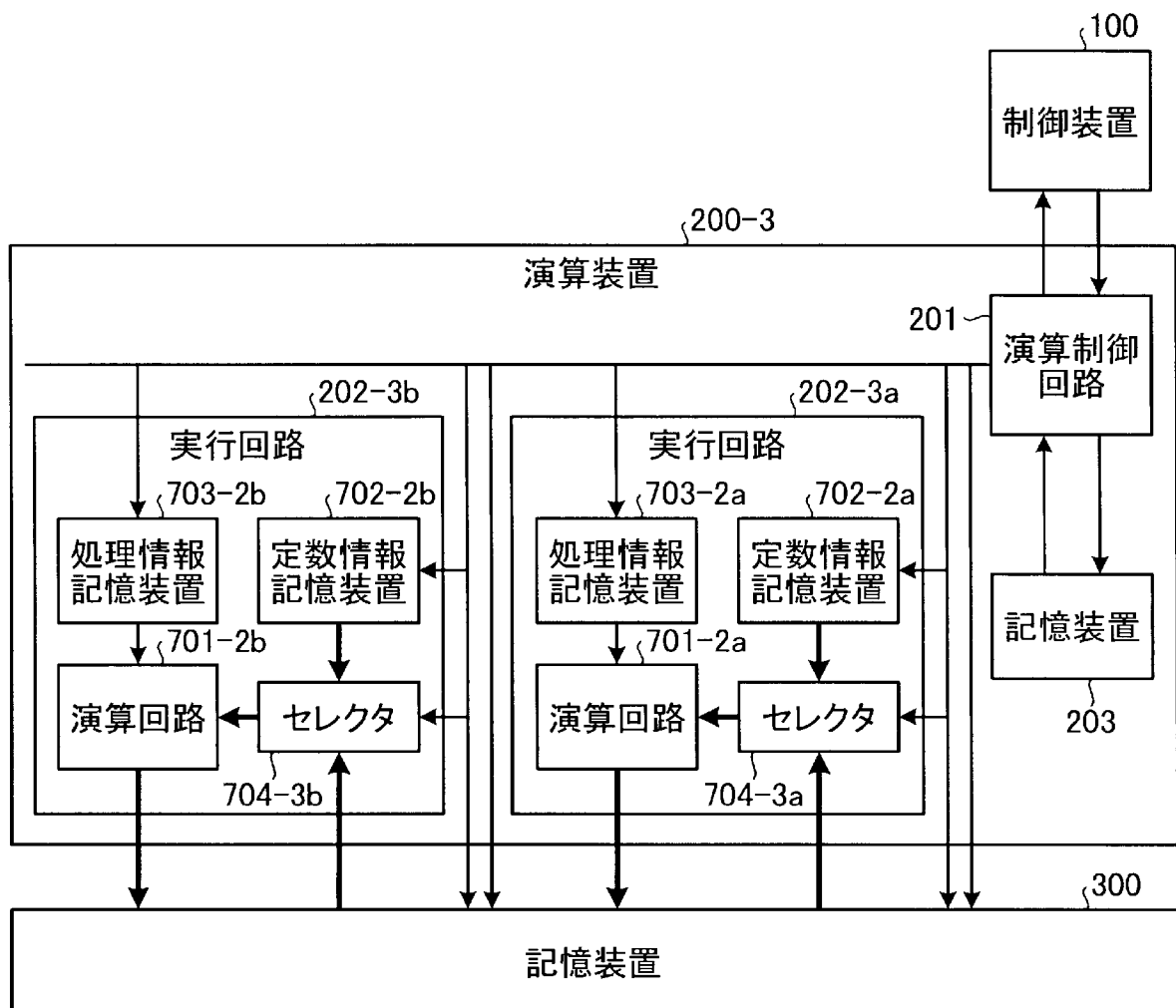
[図11]

定数識別情報	定数
imm0	2
imm1	5
imm2	-1
imm3	31

[図12]

演算 識別情報	入力元 情報	出力先 情報	第2 完了情報	第1 完了情報	演算 完了
cmd0	reg0,imm0	reg0	-	flagA	No
cmd0	reg1,imm1	reg1	flagB	-	Yes
cmd1	reg1,imm3	reg1	-	-	Yes
cmd3	reg2,imm2	reg0	-	-	No

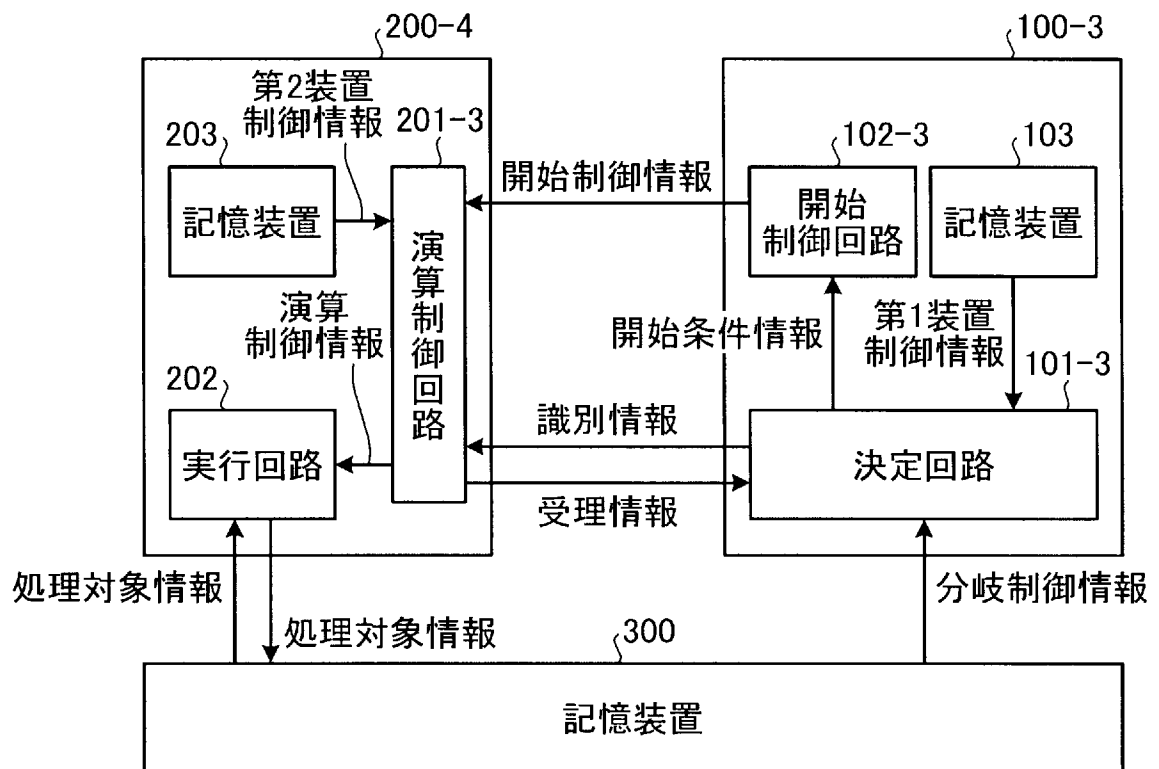
[図13]



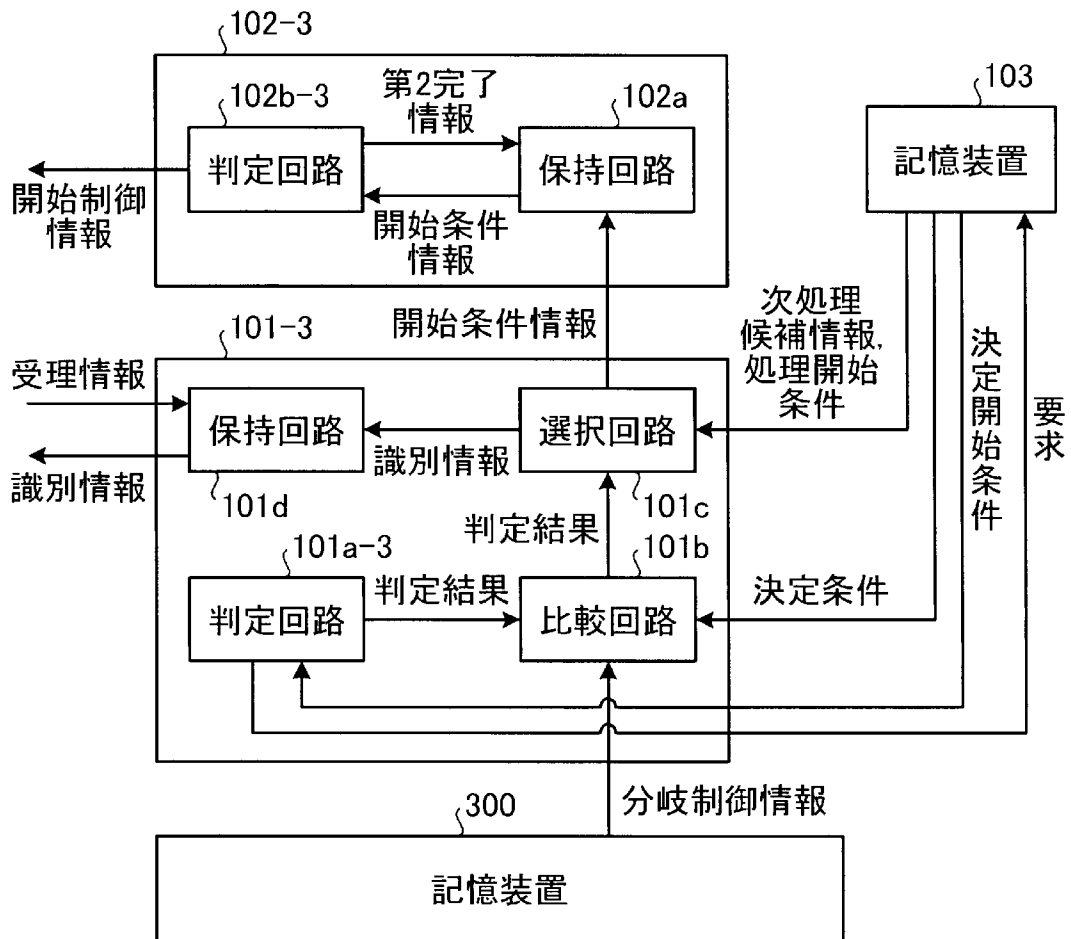
[図14]

実行回路A			実行回路B			第2 完了 情報	第1 完了 情報	演算 完了
演算 識別 情報	入力元 情報	出力先 情報	演算 識別 情報	入力元 情報	出力先 情報			
cmd0	reg0,imm0	reg0	cmd2	reg1,imm1	reg2	-	flagA	No
cmd0	reg1,imm1	reg1	cmd3	reg2,imm2	reg4	flagB	-	Yes
cmd1	reg1,imm3	reg1	cmd1	reg4,imm3	reg2	-	-	Yes
cmd3	reg2,imm2	reg0	cmd0	reg2,imm0	reg3	-	-	No

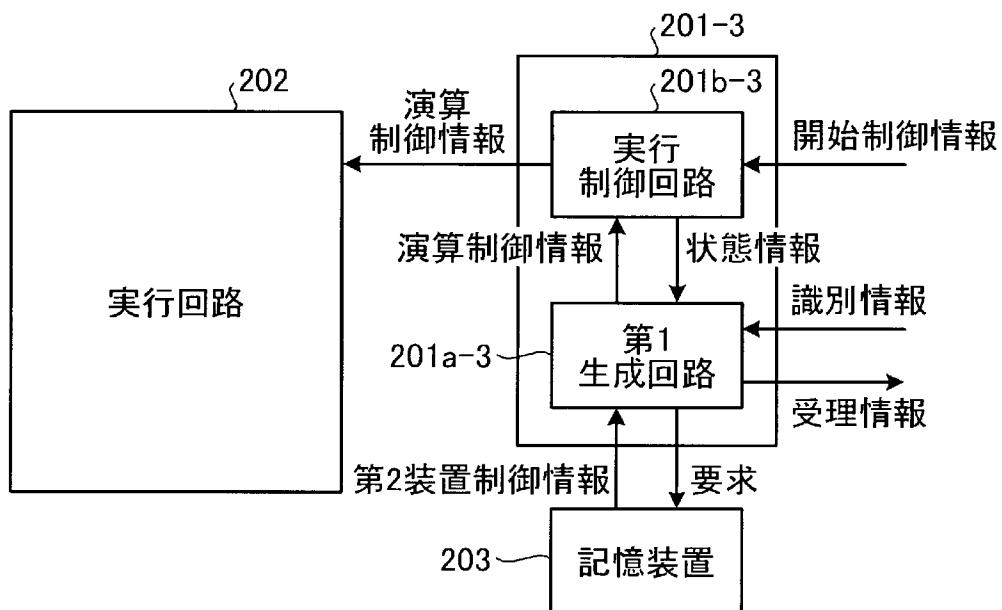
[図15]



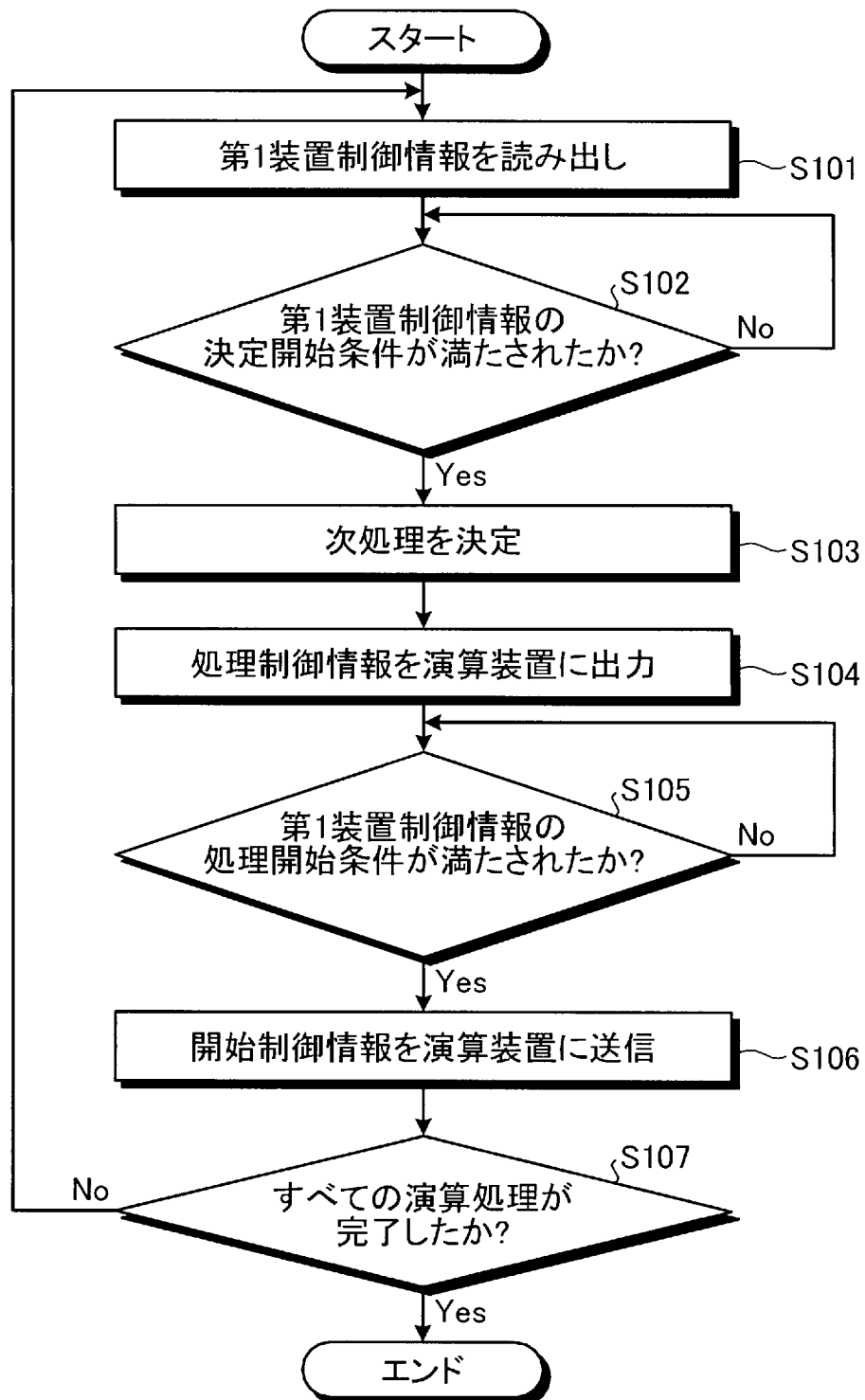
[図16]



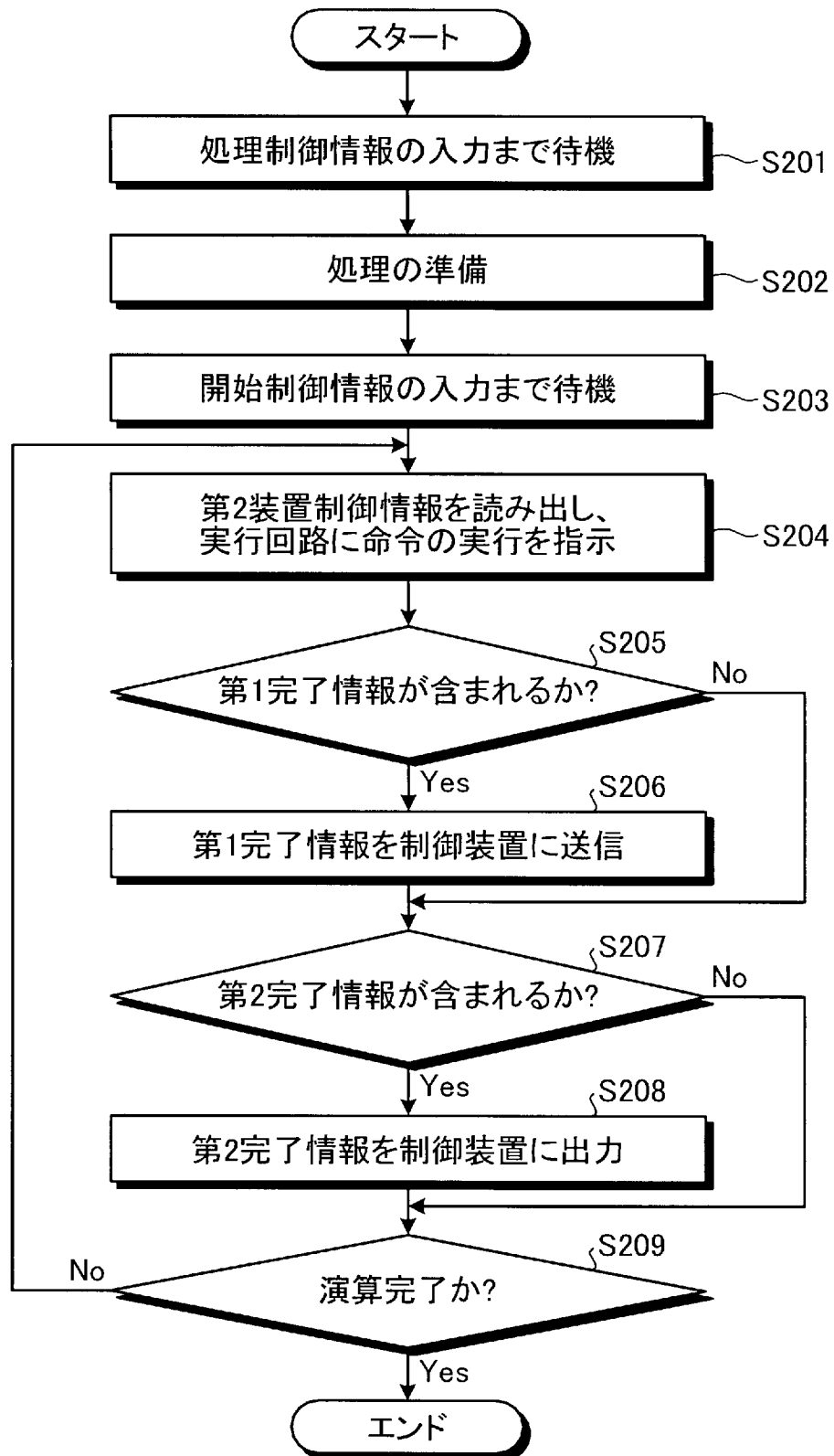
[図17]



[図18]



[図19]



[図20]

```

c=a+b;//(0)
e=d+c;//(1)
f=c+e;//(2)
If(c==0){//(3)
  g=e+2;//(4)
  h=e-3;//(5)
  l=g+3;//(6)
}else{//(7)
  g=f-2;//(8)
  h=f+3;//(9)
  l=g-3;//(10)
}
j=h&0xf;//(11)
c=h+j;//(12)

```

識別情報=0

識別情報=1

識別情報=2

識別情報=3

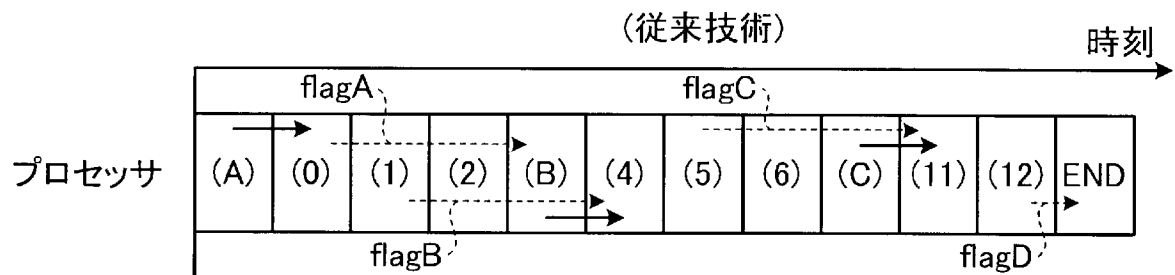
[図21]

現処理	処理開始条件	決定開始条件	決定条件	真	偽	
初期化	true	true	true	0	0	(A)
0	true	flagA	c==0	1	2	(B)
1	flagB	true	true	3	3	(C)
2	flagB	true	true	3	3	(D)
3	flagC	true	true	完了	完了	(E)
完了	flagD	-	-	-	-	(F)

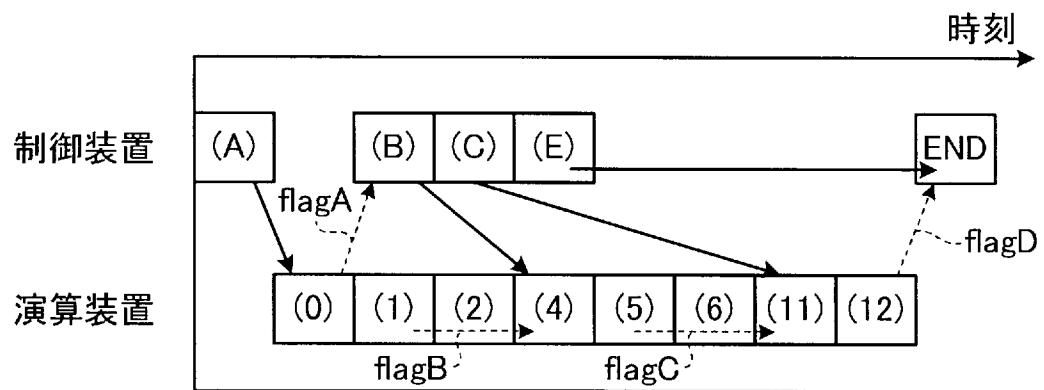
[図22]

識別情報	命令	第2完了 情報	第1完了 情報	演算完了	式
0	add c, a, b	-	flagA	No	(0)
-	add e, c, d	flagB	-	No	(1)
-	add f, c, e	-	-	Yes	(2)
1	addi g, e, 2	-	-	No	(4)
-	sub h, e, 3	flagC	-	No	(5)
-	addi I, g, 3	-	-	Yes	(6)
2	subi g, e, 2	-	-	No	(8)
-	addi h, e, 3	flagC	-	No	(9)
-	subi I, g, 3	-	-	Yes	(10)
3	andi j, g, 0xf	-	-	No	(11)
-	add c, a, j	flagD	-	Yes	(12)

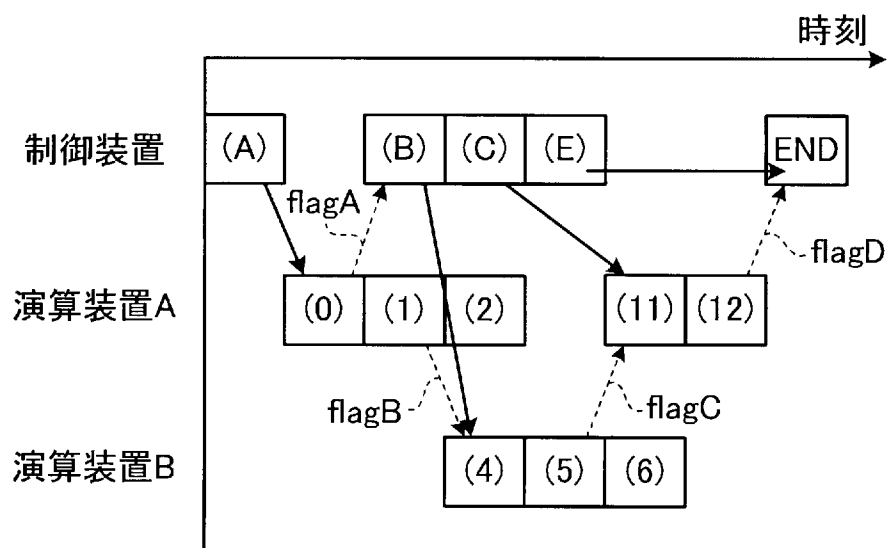
[図23]



[図24]



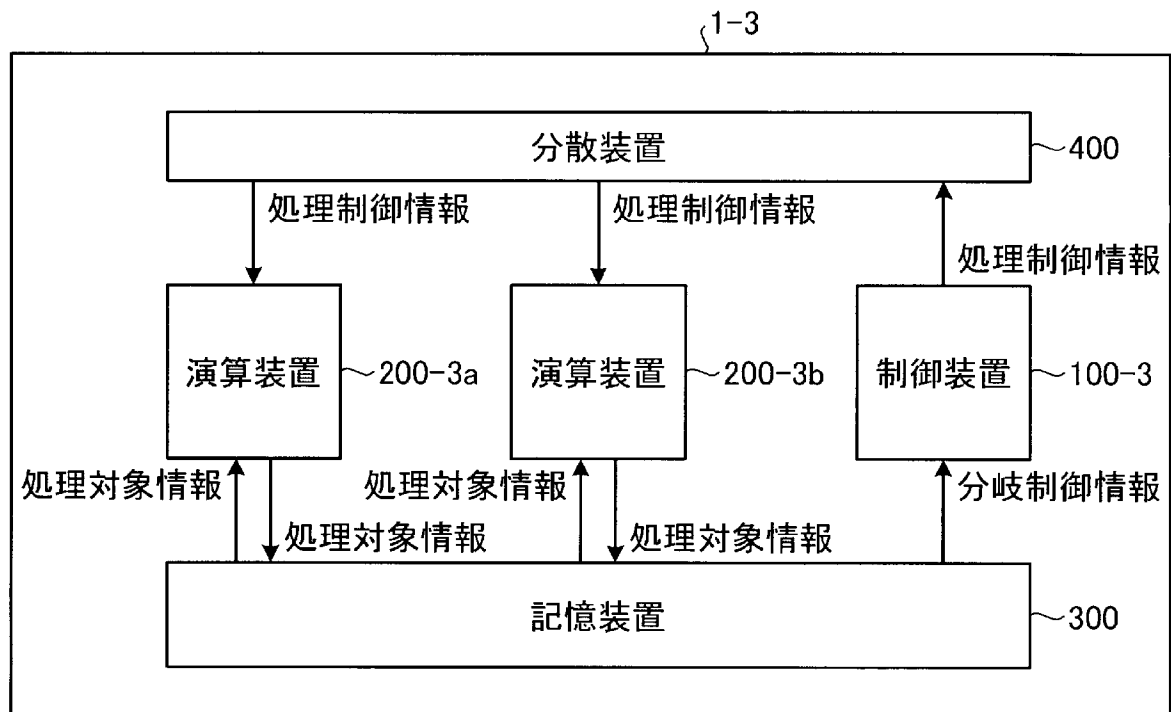
[図25]



[図26]

現処理	処理開始条件	決定開始条件	決定条件	真	偽	
初期化	true	true	true	A-0	A-0	(A)
処理0	true	flagA	c==0	B-1	B-2	(B)
処理1	flagB	true	true	A-3	A-3	(C)
処理2	flagB	true	true	A-3	A-3	(D)
処理3	flagC	true	true	完了	完了	(E)
完了	flagD	-	-	-	-	(F)

[図27]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2010/055602

A. CLASSIFICATION OF SUBJECT MATTER

G06F9/38(2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G06F9/38

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2010
Kokai Jitsuyo Shinan Koho	1971-2010	Toroku Jitsuyo Shinan Koho	1994-2010

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 1-126732 A (Matsushita Electric Industrial Co., Ltd.), 18 May 1989 (18.05.1989), page 3, upper left column, line 10 to page 4, lower right column, line 19; fig. 1, 2 & US 5197136 A	1-4
Y	JP 2001-22593 A (Motorola, Inc.), 26 January 2001 (26.01.2001), page 2, right column, line 39 to page 3, left column, line 20 & US 6378022 B	1-4

☒ Further documents are listed in the continuation of Box C.☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
15 April, 2010 (15.04.10)Date of mailing of the international search report
27 April, 2010 (27.04.10)Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2010/055602

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	Written by David A. Patterson, John L. Hennessy, translated by Shinji TOMITA et al., Computer Architecture: A Quantitative Approach, 1 st edition, Nikkei Business Publication, Inc., 31 May 1993 (31.05.1993), pages 252 to 262, ISBN4-8222-7152-8	1-4
Y	JP 11-224194 A (Mitsubishi Electric Corp.), 17 August 1999 (17.08.1999), paragraphs [0069] to [0140]; fig. 1, 2, 7 to 11 & US 2002/0002670 A1	4
A	WO 01/16710 A1 (IP Flex Inc.), 08 March 2001 (08.03.2001), page 27, line 7 to page 37, line 2; fig. 11 to 13 & US 6904514 B1 & EP 1215569 A1	1-4
A	JP 11-85507 A (Mitsubishi Electric Corp.), 30 March 1999 (30.03.1999), paragraphs [0042] to [0053]; fig. 3 to 5 & US 6286101 B1	1-4
A	JP 4-77823 A (Matsushita Electric Industrial Co., Ltd.), 11 March 1992 (11.03.1992), page 2, lower left column, lines 3 to 18; page 3, upper left column, line 15 to page 4, lower left column, line 16; fig. 1 to 4 & US 5321820 A	1-4

A. 発明の属する分野の分類 (国際特許分類 (I P C))

Int.Cl. G06F9/38(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (I P C))

Int.Cl. G06F9/38

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 0 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 0 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 0 年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 1-126732 A (松下電器産業株式会社) 1989.05.18, 3 頁左上欄 1 0 行目 ~ 4 頁右下欄 1 9 行目、第 1 図、第 2 図 & US 5197136 A	1 - 4
Y	JP 2001-22593 A (モトローラ・インコーポレイテッド) 2001.01.26, 2 頁右欄 3 9 行目 ~ 3 頁左欄 2 0 行目 & US 6378022 B	1 - 4

☒ C 欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の 1 以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

1 5 . 0 4 . 2 0 1 0

国際調査報告の発送日

2 7 . 0 4 . 2 0 1 0

国際調査機関の名称及びあて先

日本国特許庁 (I S A / J P)

郵便番号 1 0 0 - 8 9 1 5

東京都千代田区霞が関三丁目 4 番 3 号

特許庁審査官 (権限のある職員)

三坂 敏夫

5 B

4 1 7 8

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 5 4 5

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	David A. Patterson John L. Hennessy 著, 富田眞治 他訳, コンピュータ・アーキテクチャ設計・実現・評価のアプローチ (Computer Architecture:A Quantitative Approach), 1版, 日経B P社, 1993.05.31, 252頁～262頁, ISBN4-8222-7152-8	1 - 4
Y	JP 11-224194 A (三菱電機株式会社) 1999.08.17, 段落69～140、図1、2、7～11 & US 2002/0002670 A1	4
A	WO 01/16710 A1 (アイピーフレックス株式会社) 2001.03.08, 27頁7行目～37頁2行目、図11～13 & US 6904514 B1 & EP 1215569 A1	1 - 4
A	JP 11-85507 A (三菱電機株式会社) 1999.03.30, 段落42～53、図3～5 & US 6286101 B1	1 - 4
A	JP 4-77823 A (松下電器産業株式会社) 1992.03.11, 2頁左下欄3行目～18行目、3頁左上欄15行目～4頁左下欄1 6行目、第1図～第4図 & US 5321820 A	1 - 4