

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第7522292号
(P7522292)

(45)発行日 令和6年7月24日(2024.7.24)

(24)登録日 令和6年7月16日(2024.7.16)

(51)国際特許分類 F I
H 0 2 M 7/487(2007.01) H 0 2 M 7/487

請求項の数 16 (全19頁)

(21)出願番号	特願2023-500101(P2023-500101)	(73)特許権者	593121379
(86)(22)出願日	令和3年6月30日(2021.6.30)		エルエス、エレクトリック、カンパニー、リミテッド
(65)公表番号	特表2023-533267(P2023-533267 A)		LS ELECTRIC CO., LTD.
(43)公表日	令和5年8月2日(2023.8.2)		大韓民国京畿道安養市東安区エルエス路127
(86)国際出願番号	PCT/KR2021/008277		127, LS-ro, Dongan-gu, Anyang-si, Gyeonggi-do, Republic of Korea
(87)国際公開番号	WO2022/005206	(74)復代理人	100143823
(87)国際公開日	令和4年1月6日(2022.1.6)		弁理士 市川 英彦
審査請求日	令和5年1月6日(2023.1.6)	(74)代理人	100232275
(31)優先権主張番号	10-2020-0082213		弁理士 和田 宣喜
(32)優先日	令和2年7月3日(2020.7.3)		
(33)優先権主張国・地域又は機関	韓国(KR)		
(31)優先権主張番号	10-2020-0103474		
(32)優先日	令和2年8月18日(2020.8.18)		
	最終頁に続く		最終頁に続く

(54)【発明の名称】 電力変換装置及びその制御方法

(57)【特許請求の範囲】

【請求項1】

互いに直列に連結される第1のスイッチング素子、第2のスイッチング素子、第3のスイッチング素子、第4のスイッチング素子と、前記第1のスイッチング素子、前記第2のスイッチング素子、前記第3のスイッチング素子、前記第4のスイッチング素子各々と逆並列に連結される第1ダイオード、第2ダイオード、第3ダイオード、第4ダイオードと、前記第1のスイッチング素子及び前記第2のスイッチング素子の連結点と、前記第3のスイッチング素子及び前記第4のスイッチング素子の連結点との間で互いに直列に連結される第5ダイオード及び第6ダイオードを含むレグ；

前記第1のスイッチング素子のドレイン(drain)端子に連結される直流正極端子、前記第4のスイッチング素子のソース(source)端子に連結される直流負極端子、前記直流正極端子と前記直流負極端子との間で互いに直列に中性点で連結される第1キャパシタ及び第2キャパシタを含む平滑部；

前記第2のスイッチング素子及び前記第3のスイッチング素子の連結点と連結される交流端子；

前記直流正極端子、前記直流負極端子及び中性点からそれぞれ出力される電位に応じて前記第1のスイッチング素子、前記第2のスイッチング素子、前記第3のスイッチング素子、及び前記第4のスイッチング素子各々のオン(ON)又はオフ(OFF)を制御するゲートドライバ；

前記第1のスイッチング素子を制御するための第1のパルス幅変調信号、前記第2のスイ

10

20

ツチング素子を制御するための第 2 のパルス幅変調信号、前記第 3 のスイッチング素子を制御するための第 3 のパルス幅変調信号、及び、前記第 4 のスイッチング素子を制御するための第 4 のパルス幅変調信号を出力するパルス幅変調 (P M W) コントローラ；
該パルス幅変調コントローラと前記ゲートドライバとの間に設けられ、前記第 2 のパルス幅変調信号を所定の遅延時間だけ遅延させ、遅延させた該第 2 のパルス幅変調信号を前記ゲートドライバに出力する第 1 の信号遅延部；及び
前記パルス幅変調コントローラと前記ゲートドライバとの間に設けられ、前記第 3 のパルス幅変調信号を所定の遅延時間だけ遅延させ、遅延させた該第 3 のパルス幅変調信号を前記ゲートドライバに出力する第 2 の信号遅延部；

を含む、

10

電力変換装置であって、

前記パルス幅変調コントローラが、前記第 1 のパルス幅変調信号及び前記第 4 のパルス幅変調信号を前記ゲートドライバに出力し、前記第 2 のパルス幅変調信号及び前記第 3 のパルス幅変調信号を前記第 1 の信号遅延部及び第 2 の信号遅延部にそれぞれ出力し、
前記ゲートドライバは、当該電力変換装置の駆動を停止する場合、前記第 2 のスイッチング素子が前記第 1 のスイッチング素子よりも遅れてオフされるように制御し、前記第 3 のスイッチング素子が前記第 4 のスイッチング素子よりも遅れてオフされるように制御する、
電力変換装置。

【請求項 2】

前記ゲートドライバは、

20

前記第 1 のスイッチング素子から第 2 のスイッチング素子への経路に電流が流れる途中、前記電力変換装置の駆動を中止する場合、前記第 2 のスイッチング素子が所定の遅延時間だけ前記第 1 のスイッチング素子よりも遅れてオフされるように制御する、

請求項 1 に記載の電力変換装置。

【請求項 3】

前記ゲートドライバは、

前記第 3 のスイッチング素子から第 4 のスイッチング素子への経路に電流が流れる途中、前記電力変換装置の駆動を中止する場合、前記第 3 のスイッチング素子が前記所定の遅延時間だけ前記第 4 のスイッチング素子よりも遅れてオフされるように制御する、

請求項 1 に記載の電力変換装置。

30

【請求項 4】

前記ゲートドライバは、

前記第 1 のスイッチング素子及び前記第 2 のスイッチング素子がオン (O N) されており、前記電力変換装置の駆動中止命令を行う場合、前記第 2 のスイッチング素子をオフ (O F F) させる制御動作を、前記第 1 のスイッチング素子をオフ (O F F) させる制御動作よりも所定の遅延時間だけ遅れて行う、

請求項 1 に記載の電力変換装置。

【請求項 5】

前記ゲートドライバは、

前記第 3 のスイッチング素子及び前記第 4 のスイッチング素子がオン (O N) されており、前記電力変換装置の駆動中止命令を行う場合、前記第 3 のスイッチング素子をオフ (O F F) させる制御動作を、前記第 4 のスイッチング素子をオフ (O F F) させる制御動作よりも所定の遅延時間だけ遅れて行う、

請求項 1 に記載の電力変換装置。

40

【請求項 6】

前記ゲートドライバは、

前記直流正極端子から電位を出力する場合、前記第 1 のスイッチング素子及び前記第 2 のスイッチング素子にオン (O N) し、前記第 3 のスイッチング素子及び前記第 4 のスイッチング素子をオフ (O F F) するように制御する、

請求項 1 に記載の電力変換装置。

50

【請求項 7】

前記ゲートドライバは、

前記中性点から電位を出力して、交流電圧が正（+）電圧である場合、前記第 1 のスイッチング素子をオフし、前記第 2 のスイッチング素子をオン（ON）するように制御する、請求項 1 に記載の電力変換装置。

【請求項 8】

前記ゲートドライバは、

前記中性点から電位を出力して、交流電圧が負（-）電圧である場合、前記第 4 のスイッチング素子をオフし、前記第 3 のスイッチング素子をオン（ON）するように制御する、請求項 1 に記載の電力変換装置。

10

【請求項 9】

前記ゲートドライバは、

前記直流負極端子から電位を出力する場合、前記第 3 のスイッチング素子及び前記第 4 のスイッチング素子をオンし、前記第 1 のスイッチング素子及び前記第 2 のスイッチング素子をオフするように制御する、

請求項 1 に記載の電力変換装置。

【請求項 10】

前記ゲートドライバは、

前記第 2 のスイッチング素子及び前記第 3 のスイッチング素子がオン（ON）されている場合、前記第 1 のスイッチング素子のオフ状態を維持するように制御する、

請求項 1 に記載の電力変換装置。

20

【請求項 11】

前記ゲートドライバは、

前記第 2 のスイッチング素子及び前記第 3 のスイッチング素子がオン（ON）されている場合、前記第 4 のスイッチング素子のオフ状態を維持するように制御する、

請求項 1 に記載の電力変換装置。

【請求項 12】

前記レッグは、複数本であって、複数のレッグが並列に連結される、

請求項 1 に記載の電力変換装置。

【請求項 13】

前記第 5 ダイオードのカソード（cathode）端子は、前記第 1 のスイッチング素子と前記第 2 のスイッチング素子との間に連結され、前記第 1 のスイッチング素子及び前記第 2 のスイッチング素子の連結点から前記中性点への電流を防ぐ方向に連結される、

請求項 1 に記載の電力変換装置。

30

【請求項 14】

前記第 6 ダイオードのアノード（Anode）端子は、前記第 3 のスイッチング素子と前記第 4 のスイッチング素子との間に連結され、前記中性点から前記第 3 のスイッチング素子及び前記第 4 のスイッチング素子の連結点への電流を防ぐ方向に連結される、

請求項 13 に記載の電力変換装置。

【請求項 15】

前記第 5 ダイオード及び第 6 ダイオードは、ツェナーダイオード（Zener diode）である、

請求項 1 に記載の電力変換装置。

40

【請求項 16】

前記スイッチング素子及び前記第 1 ダイオード乃至前記第 6 ダイオードは、所定のバンドギャップ以上を有するワイドバンドギャップ（Wide Band Gap, WBG）半導体素子であり、1つのモジュールでパッケージしたことを特徴とする、

請求項 1 に記載の電力変換装置。

【発明の詳細な説明】**【技術分野】**

50

【 0 0 0 1 】

本開示は、電力変換装置及びその制御方法に関し、より詳細には、駆動中止を行う場合、スイッチング素子を保護することのできる電力変換装置及びその制御方法に関する。

【背景技術】

【 0 0 0 2 】

従来の電力変換装置では、駆動中止を行う場合、スイッチング素子を同時にオフさせる制御信号を同時に出力していた。

【 0 0 0 3 】

この場合、信号伝達の遅延により、あらゆるスイッチング素子が同時にオフされるのではなく、一部のスイッチング素子が先にオフされるか遅れてオフされるという問題が発生した。

10

【 0 0 0 4 】

一部のスイッチング素子が先にオフされるか遅れてオフされる場合、瞬間的に特定のスイッチング素子に高い電圧がかかって、特定のスイッチング素子が焼損するという問題が発生した。

【 0 0 0 5 】

よって、電力変換装置で駆動中止を行う場合、スイッチング素子を保護するため制御方法の必要性が増大しつつある。

【 0 0 0 6 】

また、従来の電力変換装置では、ダイオードに導通するとき、高い電圧降下による損失低下を防ぐために、ショットキーダイオードをさらに連結していた。しかし、ダイオードの追加によるコスト上昇の問題があることから、電流を測定するため電流センサーを必要とし、電流の流れによる受動的ターンオン (Turn on) / ターンオフ (Turn off) 制御で複雑性が増大するという問題があった。

20

【 0 0 0 7 】

また、従来の電力変換装置では、スイッチング素子と、各スイッチング素子と並列に連結される受動素子とを、相異なる材料の素子で使用し、各々の素子を別途連結した 3 - レベルインバータ / コンバータシステムを開示しているが、寄生インダクタンスが非常に大きくて、さらなるゲーティング回路を使用するなど、その構成が非常に複雑であるという問題があった。

30

【 0 0 0 8 】

また、従来の電力変換装置では、各々のスイッチング素子及びダイオードが複数のモジュールで構成されて、寄生インダクタンスが増加するという問題があった。

【発明の概要】

【発明が解決しようとする課題】

【 0 0 0 9 】

本開示は、電力変換装置で駆動中止を行う場合に発生し得るスイッチング素子の焼損可能性を最小化する、電力変換装置を提供することを目的とする。

【 0 0 1 0 】

本開示は、電力変換装置で駆動中止を行う場合、特定のスイッチング素子に入力される信号を、所定の遅延時間だけ遅延させて、特定のスイッチング素子が焼損することを防止し得る、電力変換装置を提供することを目的とする。

40

【 0 0 1 1 】

本開示は、電力変換装置で駆動中止を行う場合、スイッチング素子に瞬間的に高い電圧がかかることを防止して、焼損可能性を最小化する、電力変換装置を提供することを目的とする。

【 0 0 1 2 】

本開示は、さらなるダイオードを使用することなく、導通損失を減らし得る、高効率な電力変換装置を提供することを目的とする。

【 0 0 1 3 】

50

本開示は、複数のスイッチング素子及びダイオードを1つのモジュールで構成して、インダクタンスを減らし、電力変換の効率を高めることができる、電力変換装置を提供することを目的とする。

【0014】

本開示は、電源から出力される電圧モードに応じて、各々のスイッチング素子の動作を制御して、ダイオードに導通する時間を減らすことができる、電力変換装置を提供することを目的とする。

【課題を解決するための手段】

【0015】

本開示の実施形態による電力変換装置は、互いに直列に連結される第1のスイッチング素子、第2のスイッチング素子、第3のスイッチング素子、第4のスイッチング素子と、第1のスイッチング素子、第2のスイッチング素子、第3のスイッチング素子、第4のスイッチング素子各々と逆並列に連結される第1ダイオード、第2ダイオード、第3ダイオード、第4ダイオードと、第1のスイッチング素子及び第2のスイッチング素子の連結点と、第3のスイッチング素子及び第4のスイッチング素子の連結点との間で互いに直列に連結される第5ダイオード及び第6ダイオードを含むレグと、第1のスイッチング素子のドレイン(drain)端子に連結される直流正極端子、第4のスイッチング素子のソース(source)端子に連結される直流負極端子、直流正極端子の間で互いに直列に中性点で連結される第1キャパシタ及び第2キャパシタを含む平滑部と、直流正極端子、直流負極端子及び中性点からそれぞれ出力される電位に応じて第1のスイッチング素子、第2のスイッチング素子、第3のスイッチング素子、及び第4のスイッチング素子各々のオン(ON)/オフ(OFF)を制御するゲートドライバと、ゲートドライバに、複数のスイッチング素子をそれぞれ制御するための複数のパルス幅変調信号を出力するパルス幅変調(PWM)コントローラと、複数のパルス幅変調信号のうち少なくとも1つのパルス幅変調信号を、所定の遅延時間だけ遅延させる信号遅延部と、を含む。

【0016】

本開示の実施形態による電力変換装置は、ゲートドライバに、第1のスイッチング素子を制御するための第1のパルス幅変調信号、第2のスイッチング素子を制御するための第2のパルス幅変調信号、第3のスイッチング素子を制御するための第3のパルス幅変調信号、及び第4のスイッチング素子を制御するための第4のパルス幅変調信号を出力するパルス幅変調(PWM)コントローラを含む。

【0017】

本開示の実施形態による電力変換装置は、第2のパルス幅変調信号又は第3のパルス幅変調信号を、所定の遅延時間だけ遅延させる信号遅延部を含む。

【0018】

本開示の実施形態による電力変換装置は、パルス幅変調コントローラから出力される第2のパルス幅変調信号を、所定の遅延時間だけ遅延させて、遅延された第2のパルス幅変調信号を出力する信号遅延部を含む。

【0019】

本開示の実施形態による電力変換装置は、第1のスイッチング素子から第2のスイッチング素子への経路に電流が流れる途中、電力変換装置の駆動を中止する場合、第2のスイッチング素子が所定の遅延時間だけ、第1のスイッチング素子よりも遅れてオフされるように制御するゲートドライバを含む。

【0020】

本開示の実施形態による電力変換装置は、パルス幅変調コントローラから出力される第3のパルス幅変調信号を、所定の遅延時間だけ遅延させて、遅延された第3のパルス幅変調信号を出力する信号遅延部を含む。

【0021】

本開示の実施形態による電力変換装置は、第3のスイッチング素子から第4のスイッチング素子への経路に電流が流れる途中、電力変換装置の駆動を中止する場合、第3のスイ

10

20

30

40

50

ッチング素子が所定の遅延時間だけ、第4のスイッチング素子よりも遅れてオフされるように制御するゲートドライバを含む。

【0022】

本開示の実施形態による電力変換装置は、複数のスイッチング素子各々のオン(ON)又はオフ(OFF)状態に基づいて、複数のスイッチング素子各々がオフ(OFF)される時間を異にして制御するゲートドライバを含む。

【0023】

本開示の実施形態による電力変換装置は、第1のスイッチング素子及び第2のスイッチング素子がオン(ON)されており、電力変換装置の駆動中止命令を行う場合、第2のスイッチング素子をオフ(OFF)させる制御動作を、第1のスイッチング素子をオフ(OFF)させる制御動作よりも所定の遅延時間だけ遅れて行うゲートドライバを含む。

10

【0024】

本開示の実施形態による電力変換装置は、第3のスイッチング素子及び第4のスイッチング素子がオン(ON)されており、電力変換装置の駆動中止命令を行う場合、第3のスイッチング素子をオフ(OFF)させる制御動作を、第4のスイッチング素子をオフ(OFF)させる制御動作よりも所定の遅延時間だけ遅れて行うゲートドライバを含む。

【0025】

本開示の実施形態による電力変換装置は、互いに直列に連結される第1のスイッチング素子、第2のスイッチング素子、第3のスイッチング素子、第4のスイッチング素子と、第1のスイッチング素子、第2のスイッチング素子、第3のスイッチング素子、第4のスイッチング素子各々と逆並列に連結される第1ダイオード、第2ダイオード、第3ダイオード、第4ダイオードと、第1のスイッチング素子及び第2のスイッチング素子の連結点と、第3のスイッチング素子及び第4のスイッチング素子の連結点との間で互いに直列に連結される第5ダイオード及び第6ダイオードを含むレグ、第1のスイッチング素子のドレイン(drain)端子に連結される直流正極端子、第4のスイッチング素子のソース(source)端子に連結される直流負極端子、直流正極端子の間で互いに直列に中性点で連結される第1キャパシタ及び第2キャパシタを含む平滑部と、直流正極端子、直流負極端子及び中性点からそれぞれ出力される電位に応じて第1のスイッチング素子、第2のスイッチング素子、第3のスイッチング素子、及び第4のスイッチング素子各々のオン(ON)/オフ(OFF)を制御するゲートドライバと、を含む。

20

30

【0026】

本開示の実施形態による電力変換装置は、直流正極端子から電位を出力する場合、第1のスイッチング素子及び第2のスイッチング素子にオン(ON)し、第3のスイッチング素子及び第4のスイッチング素子をオフ(OFF)するように制御するゲートドライバを含む。

【0027】

本開示の実施形態による電力変換装置は、中性点から電位を出力して、交流電圧が正(+)電圧である場合、第1のスイッチング素子をオフし、第2のスイッチング素子をオン(ON)するように制御するゲートドライバを含む。

【0028】

本開示の実施形態による電力変換装置は、中性点から電位を出力して、交流電圧が負(-)電圧である場合、第4のスイッチング素子をオフし、第3のスイッチング素子をオン(ON)するように制御するゲートドライバを含む。

40

【0029】

本開示の実施形態による電力変換装置は、直流負極端子から電位を出力する場合、第3のスイッチング素子及び第4のスイッチング素子をオンし、第1のスイッチング素子及び第2のスイッチング素子をオフするように制御するゲートドライバを含む。

【0030】

本開示の実施形態による電力変換装置は、第2のスイッチング素子及び第3のスイッチング素子がオン(ON)されている場合、第1のスイッチング素子のオフ状態を維持する

50

ように制御するゲートドライバを含む。

【0031】

本開示の実施形態による電力変換装置は、第2のスイッチング素子及び第3のスイッチング素子13がオン(ON)されている場合、第4のスイッチング素子のオフ状態を維持するように制御するゲートドライバを含む。

【0032】

本開示の実施形態による電力変換装置は、複数のレッグが並列に連結される。

【0033】

本開示の実施形態による電力変換装置は、第5ダイオードのカソード(cathode)端子が、第1のスイッチング素子と第2のスイッチング素子との間に連結され、第1のスイッチング素子及び第2のスイッチング素子の連結点から中性点への電流を防ぐ方向に連結される。

10

【0034】

本開示の実施形態による電力変換装置は、第6ダイオードのアノード(Anode)端子が、第3のスイッチング素子と第3のスイッチング素子との間に連結され、中性点から第3のスイッチング素子及び第4のスイッチング素子の連結点への電流を防ぐ方向に連結される。

【発明の効果】

【0035】

本開示の実施形態によれば、駆動中止を行う場合に発生し得るスイッチング素子の焼損可能性を最小化することができる。

20

【0036】

本開示の一実施形態によれば、電力変換装置で駆動中止を行う場合、特定のスイッチング素子に入力される信号を、所定の遅延時間だけ遅延させて、特定のスイッチング素子が焼損することを防止することができる。

【0037】

本開示の一実施形態によれば、電力変換装置で駆動中止を行う場合、スイッチング素子に瞬間的に高い電圧がかかることを防止して、焼損可能性を最小化することができる。

【0038】

本開示の実施形態によれば、さらなるダイオードを使用することなく、導通損失を減らすことができる。

30

【0039】

本開示の一実施形態によれば、電力変換装置の複数のスイッチング素子及びダイオードによる寄生インダクタンスを減少させて、電力変換の効率を高めることができる。

【0040】

本開示の一実施形態によれば、電源に出力される電圧モードに応じて各々のスイッチング素子の動作を制御して、ダイオードに導通する時間を減らし、電力変換の効率を高めることができる。

【図面の簡単な説明】

【0041】

40

【図1】本開示の一実施形態による電力変換装置の構成例を示す図面である。

【図2】本開示の一実施形態によるPWMコントローラ及びゲートドライバを示すブロック図である。

【図3】本開示の一実施形態による電力変換装置の回路動作を説明するための図面である。

【図4】電力変換装置の駆動中止による電流ループの生成を説明するための図面である。

【図5】本開示の一実施形態による電力変換装置の回路動作を説明するための図面である。

【図6】電力変換装置の駆動中止による電流ループの生成を説明するための図面である。

【図7】本開示の一実施形態による信号遅延部を説明するための図面である。

【図8】本開示の他の実施形態による電力変換装置の回路動作を説明するための図面である。

50

【図 9】本開示の他の実施形態による電力変換装置の回路動作を説明するための図面である。

【図 10】本開示の他の実施形態による電力変換装置の回路動作を説明するための図面である。

【図 11】本開示の他の実施形態による電力変換装置の回路動作を説明するための図面である。

【発明を実施するための形態】

【0042】

以下では、本発明に関する実施形態について図面を参照してより詳説する。以下の説明で使われる構成要素に対する接尾辞「モジュール」及び「部」は、明細書の作成における容易性のみを考慮して付与されているか混用されるものであって、それ自体として互いに区別される意味あるいは役割を有するものではない。

10

【0043】

図 1 は、本開示の一実施形態による電力変換装置の構成例を示す図面である。

【0044】

図 1 を参考すると、本開示の一実施形態による電力変換装置 1 の単相回路を示す。電力変換装置 1 が 3 相に電力を供給するインバータ装置である場合は、図 1 の回路を 3 相回路で構成し、直流電力を交流電力に変化して出力することができる。また、電力変換装置 1 が 3 相に電力を供給するコンバータ装置である場合、図 1 の回路を 3 相回路で構成し、交流電力を直流電力に変換して出力することができる。

20

【0045】

図 1 を参考すると、電力変換装置 1 は、第 1 のスイッチング素子 11、第 2 のスイッチング素子 12、第 3 のスイッチング素子 13、及び第 4 のスイッチング素子 14 と、第 1 ダイオード 21、第 2 ダイオード 22、第 3 ダイオード 23、第 4 ダイオード 24、第 5 ダイオード 25、及び第 6 ダイオード 26 と、を含むレグを含むことができる。また、電力変換装置 1 は、第 1 キャパシタ 31 と、第 2 キャパシタ 32 と、交流端子 AC と、直流正 (+) 極端子 P と、直流負 (-) 極端子 N と、を含むことができる。第 1 キャパシタ 31 及び第 2 キャパシタ 32 は、直流正 (+) 極端子 P と直流負 (-) 極端子 N において互いに直列に連結されてもよい。よって、直流リンクが 2 つのキャパシタに直列に連結されてもよい。また、電力変換装置 1 は、第 1 のスイッチング素子のドレイン (d r a i n) 端子に連結される直流正極端子、第 4 のスイッチング素子のソース (s o u r c e) 端子に連結される直流負極端子、前記直流正極端子の間で互いに直列に中性点で連結される第 1 キャパシタ及び第 2 キャパシタを含む平滑部を含むことができる。

30

【0046】

一方、第 1 ダイオード 21、第 2 ダイオード 22、第 3 ダイオード 23、及び第 4 ダイオード 24 は、それぞれ第 1 のスイッチング素子 11、第 2 のスイッチング素子 12、第 3 のスイッチング素子、及び第 4 のスイッチング素子 14 のボディダイオード (B o d y D i o d e) であってもよい。また、第 1 のスイッチング素子 11 及び第 1 ダイオード 21 は、第 1 の電力半導体スイッチに、第 2 のスイッチング素子 12 及び第 2 ダイオード 22 は、第 2 の電力半導体スイッチに、第 3 のスイッチング素子 13 及び第 2 ダイオード 23 は、第 3 の電力半導体スイッチに、第 4 のスイッチング素子 14 及び第 4 ダイオード 24 は、第 4 の電力半導体スイッチに称することもできる。電力半導体スイッチは、M O S F E T、S i c - M O S F E T、絶縁ゲートバイポーラトランジスタ (I G B T) などを含むことができる。

40

【0047】

また、電力変換装置 1 は、ゲートドライバ 40 を含むことができる。ゲートドライバ 40 は、スイッチング素子を制御することができる。ゲートドライバ 40 は、第 1 のゲートドライバ 41、第 2 のゲートドライバ 42、第 3 のゲートドライバ 43、及び第 4 のゲートドライバ 44 を含むことができる。ゲートドライバ 40 は、スイッチング素子 11、12、13、14 にそれぞれ電圧を印可するか遮断することにより、スイッチング素子各々

50

をオン (O N) するかオフ (O F F) することができる。

【 0 0 4 8 】

第 1 のスイッチング素子 1 1、第 2 のスイッチング素子 1 2、第 3 のスイッチング素子 1 3、及び第 4 のスイッチング素子 1 4 は、直流電源の正 (+) 極端子から負 (-) 極端子に互いに直列に連結されてもよい。

【 0 0 4 9 】

また、第 5 ダイオード 2 5 及び第 6 ダイオード 2 6 は、互いに直列に連結されてもよく、第 5 ダイオード 2 5 及び第 6 ダイオード 2 6 の連結点は、第 1 キャパシタ 3 1 及び第 2 キャパシタ 3 2 の中性点 O で連結されてもよい。

【 0 0 5 0 】

一方、第 5 ダイオード 2 5 及び第 6 ダイオード 2 6 は、ツェナーダイオード (Z e n e r d i o d e) であってもよい。ツェナーダイオードは、半導体ダイオードの一種であって、非常に低い降伏電圧の特性を有しており、逆方向に所定の降伏電圧がかかったとき、電流が流れるという特徴を有する。よって、第 5 ダイオード 2 5 及び第 6 ダイオード 2 6 は、過電圧から回路素子を保護することができる。

【 0 0 5 1 】

一方、第 5 ダイオード 2 5 のカソード (c a t h o d e) 端子は、第 1 のスイッチング素子 1 1 と第 2 のスイッチング素子 1 2 との間に連結され、第 1 のスイッチング素子 1 1 及び第 2 のスイッチング素子 1 2 の連結点から直流電源の中性点 O への電流を防ぐ方向に連結されてもよい。

【 0 0 5 2 】

また、第 6 ダイオード 2 6 のアノード (A n o d e) 端子は、第 3 のスイッチング素子 1 3 と第 4 のスイッチング素子 1 4 との間に連結され、直流電源の中性点 O から第 3 のスイッチング素子 1 3 と第 4 のスイッチング素子 1 4 の連結点への電流を防ぐ方向に連結されてもよい。

【 0 0 5 3 】

一方、第 1 のスイッチング素子 1 1、第 2 のスイッチング素子 1 2、第 3 のスイッチング素子 1 3、及び第 4 のスイッチング素子 1 4 と、前記第 1 のスイッチング素子 1 1、第 2 のスイッチング素子 1 2、第 3 のスイッチング素子 1 3、及び第 4 のスイッチング素子 1 4 各々と逆並列に連結される第 1 ダイオード 2 1、第 2 ダイオード 2 2、第 3 ダイオード 2 3、第 4 ダイオード 2 4、第 5 ダイオード 2 5、第 6 ダイオード 2 6 は、所定のバンドギャップ (E g) 以上を有するワイドバンドギャップ (W i d e B a n d G a p , W B G) 半導体素子であってもよい。ワイドバンドギャップ半導体素子は、炭化ケイ素 (S i C)、窒化ガリウム (G a N)、酸化ガリウム (G a 2 O 3)、窒化アルミニウム (A l N)、又はダイヤモンド等の材料からなる素子であってもよい。

【 0 0 5 4 】

よって、電力変換装置 1 は、第 1 のスイッチング素子 1 1、第 2 のスイッチング素子 1 2、第 3 のスイッチング素子 1 3、及び第 4 のスイッチング素子 1 4 にそれぞれ逆並列に連結される第 1 ダイオード 2 1、第 2 ダイオード 2 2、第 3 ダイオード 2 3、第 4 ダイオード 2 4 に導通時、高い電圧降下による損失低下を防ぐために、さらにダイオード (例えば、ショットキーダイオード) を連結することなく、導通損失を最小化することができる。

【 0 0 5 5 】

電力変換装置 1 は、さらにダイオードに流れる電流を測定するための電流センサーが不要であり、コストを下げることができ、電流導通によってオンオフを制御しなくても良いため、複雑性を低くすることができる。

【 0 0 5 6 】

また、ワイドバンドギャップ半導体素子であるスイッチング素子及びダイオードを 1 つのモジュールでパッケージ化することができ、寄生インダクタンスを減らすことができる。

【 0 0 5 7 】

図 2 は、本開示の一実施形態による P W M コントローラ 5 0 及びゲートドライバ 4 0 を

10

20

30

40

50

示すブロック図である。

【0058】

電力変換装置1は、パルス幅変調(Pulse Width Modulation, PWM)コントローラ50を含むことができる。

【0059】

パルス幅変調(PWM)コントローラ50は、入力された電圧をパルス幅変調して、パルス幅変調信号を出力することができる。

【0060】

また、パルス幅変調(PWM)コントローラ50は、ゲートドライバ40にパルス幅変調信号を出力することができる。ゲートドライバ40は、パルス幅変調信号に基づいて、スイッチング素子をそれぞれ制御することができる。

10

【0061】

例えば、パルス幅変調(PWM)コントローラ50は、入力された電圧をパルス幅変調して、複数のパルス幅変調信号をそれぞれ第1のゲートドライバ41、第2のゲートドライバ42、第3のゲートドライバ42、及び第4のゲートドライバ44に提供することができる。

【0062】

パルス幅変調(PWM)コントローラ50は、第1のパルス幅変調信号(Q₁)を、第1のスイッチング素子11を制御する第1のゲートドライバ41に出力することができる。パルス幅変調(PWM)コントローラ50は、第2のパルス幅変調信号(Q₂)を、第2のスイッチング素子12を制御する第2のゲートドライバ42に出力することができる。パルス幅変調(PWM)コントローラ50は、第3のパルス幅変調信号(Q₃)を、第3のスイッチング素子13を制御する第3のゲートドライバ43に出力することができる。パルス幅変調(PWM)コントローラ50は、第4のパルス幅変調信号(Q₄)を、第4のスイッチング素子14を制御する第4のゲートドライバ44に出力することができる。

20

【0063】

各々のゲートドライバ41, 42, 43, 44は、各々のパルス幅変調信号(Q₁, Q₂, Q₃, Q₄)が入力されて、各々がスイッチング素子11, 12, 13, 14のオン(ON)及びオフ(OFF)を制御することができる。

【0064】

図3は、本開示の一実施形態による電力変換装置の回路動作を説明するための図面である。

30

【0065】

図3を参考すると、ゲートドライバ40は、電力変換装置1における第1のスイッチング素子11から第2のスイッチング素子12への経路に電流が流れるように制御することができる。

【0066】

ゲートドライバ40は、直流正極端子P電位を出力する場合、入力された第1のパルス幅変調信号(Q₁)を用いて、第1のスイッチング素子11に電圧を印可してオン(ON)し、入力された第2のパルス幅変調信号(Q₂)を用いて、第2のスイッチング素子12に電圧を印可してオン(ON)し、入力された第3のパルス幅変調信号(Q₃)を用いて、第3のスイッチング素子13をオフ(OFF)し、入力された第4のパルス幅変調信号(Q₄)を用いて、第4のスイッチング素子14をオフ(OFF)するように制御することができる。

40

【0067】

P電位を出力する場合とは、第1キャパシタ31及び第2キャパシタ32が直列に連結して構成される直流電源の最上位電位を出力することを意味し得、正(+)電圧(+E)を出力する場合であってもよい。

【0068】

図4は、電力変換装置1の駆動中止による電流ループの生成を説明するための図面であ

50

る。

【 0 0 6 9 】

図 4 を参考すると、電力変換装置 1 における第 1 のスイッチング素子 1 1 から第 2 のスイッチング素子 1 2 への第 1 経路 (P 1) に電流が流れている場合を示す。

【 0 0 7 0 】

電力変換装置 1 は、駆動を中止する場合、第 1 のスイッチング素子 1 1、第 2 のスイッチング素子 1 2、第 3 のスイッチング素子 1 3、及び第 4 のスイッチング素子 1 4 をいずれもオフ (O F F) することができる。例えば、パルス幅変調 (P W M) コントローラ 5 0 は、複数のパルス幅変調信号 (Q_1 , Q_2 , Q_3 , Q_4) をゲートドライバ 4 0 に出力することができる。第 1 のゲートドライバ 4 1、第 2 のゲートドライバ 4 2、第 3 のゲートドライバ 4 3、及び第 4 のゲートドライバ 4 4 は、同期化したパルス幅変調信号 (Q_1 , Q_2 , Q_3 , Q_4) によって第 1 のスイッチング素子 1 1、第 2 のスイッチング素子 1 2、第 3 のスイッチング素子 1 3、及び第 4 のスイッチング素子 1 4 をオフ (O F F) するように制御することができる。

10

【 0 0 7 1 】

しかし、信号が切断される遅延が発生し得、第 1 のスイッチング素子 1 1、第 2 のスイッチング素子 1 2、第 3 のスイッチング素子 1 3、及び第 4 のスイッチング素子 1 4 が同時にオフ (O F F) されない場合が発生し得る。

【 0 0 7 2 】

例えば、第 2 のスイッチング素子 1 2 が所定の時間 (例えば、何 $n s$) でも先にオフ (O F F) される場合、既存に第 1 経路 (P 1) に流れていた電流によって第 3 のスイッチング素子 1 3 及び第 4 のスイッチング素子 1 4 がターンオン (T u r n O n) されてもよい。よって、第 3 のスイッチング素子 1 3 から第 4 のスイッチング素子 1 4 への第 2 経路 (P 2) に電流が流れる電流ループが生成し得る。この場合、第 2 のスイッチング素子 1 2 に直流正極端子 P と直流負極端子 N における電圧がかかるようになり、第 2 のスイッチング素子 1 2 が焼損する可能性がある。よって、駆動中止を行う場合、電流ループの生成を防止することができるように、第 2 のスイッチング素子 1 2 に出力される第 2 のパルス幅変調信号 (Q_2) に遅延を発生させて、第 2 のスイッチング素子 1 2 が他のスイッチング素子よりも先にオフ (O F F) されないようにする必要がある。

20

【 0 0 7 3 】

図 5 は、本開示の一実施形態による電力変換装置の回路動作を説明するための図面である。

30

【 0 0 7 4 】

図 5 を参考すると、ゲートドライバ 4 0 は、電力変換装置 1 における第 3 のスイッチング素子 1 3 から第 4 のスイッチング素子 1 4 への経路に電流が流れるように制御することができる。

【 0 0 7 5 】

ゲートドライバ 4 0 は、直流負極端子 N 電位を出力する場合、入力された第 1 のパルス幅変調信号 (Q_1) を用いて、第 1 のスイッチング素子 1 1 をオフし、入力された第 2 のパルス幅変調信号 (Q_2) を用いて、第 2 のスイッチング素子 1 2 をオフし、入力された第 3 のパルス幅変調信号 (Q_3) を用いて、第 3 のスイッチング素子 1 3 をオンし、入力された第 4 のパルス幅変調信号 (Q_4) を用いて、第 4 のスイッチング素子 1 4 をオンするように制御することができる。

40

【 0 0 7 6 】

N 電位を出力する場合とは、第 1 キャパシタ 3 1 及び第 2 キャパシタ 3 2 が直列に連結して構成される直流電源の最下位電位を出力することを意味し得、負 (-) 電圧 (- E) を出力する場合であってもよい。

【 0 0 7 7 】

図 6 は、電力変換装置 1 の駆動中止による電流ループの生成を説明するための図面である。

50

【 0 0 7 8 】

図 6 を参考すると、電力変換装置 1 における第 3 のスイッチング素子 1 3 から第 4 のスイッチング素子 1 4 への第 3 経路 (P 3) に電流が流れている場合を示す。

【 0 0 7 9 】

電力変換装置 1 は、駆動を中止する場合、第 1 のスイッチング素子 1 1、第 2 のスイッチング素子 1 2、第 3 のスイッチング素子 1 3、及び第 4 のスイッチング素子 1 4 をいずれもオフ (O F F) することができる。例えば、パルス幅変調 (P W M) コントローラ 5 0 は、複数のパルス幅変調信号 (Q_1 , Q_2 , Q_3 , Q_4) をゲートドライバ 4 0 に出力することができる。第 1 のゲートドライバ 4 1、第 2 のゲートドライバ 4 2、第 3 のゲートドライバ 4 3、及び第 4 のゲートドライバ 4 4 は、同期化したパルス幅変調信号 (Q_1 , Q_2 , Q_3 , Q_4) によって第 1 のスイッチング素子 1 1、第 2 のスイッチング素子 1 2、第 3 のスイッチング素子 1 3、及び第 4 のスイッチング素子 1 4 をオフ (O F F) するように制御することができる。

10

【 0 0 8 0 】

しかし、信号が切断される遅延が発生し得、第 1 のスイッチング素子 1 1、第 2 のスイッチング素子 1 2、第 3 のスイッチング素子 1 3、及び第 4 のスイッチング素子 1 4 が同時にオフ (O F F) されない場合が発生し得る。

【 0 0 8 1 】

例えば、第 3 のスイッチング素子 1 3 が、所定の時間 (例えば、何 $n s$) でも先にオフ (O F F) される場合、既存に第 3 経路 (P 3) に流れていた電流によって第 1 のスイッチング素子 1 1 及び第 2 のスイッチング素子 1 2 がターンオン (T u r n O n) されてもよい。よって、第 2 のスイッチング素子 1 2 から第 1 のスイッチング素子 1 1 への第 4 経路 (P 4) に電流が流れる電流ループが生成され得る。この場合、第 3 のスイッチング素子 1 3 に直流正極端子 P と直流負極端子 N における電圧がかかるようになり、第 3 のスイッチング素子 1 3 が焼損する可能性がある。よって、駆動中止を行う場合、電流ループの生成を防止することができるように、第 2 のスイッチング素子 1 3 に出力される第 2 のパルス幅変調信号 (Q_2) に遅延を発生させて、第 2 のスイッチング素子 1 2 が他のスイッチング素子よりも先にオフ (O F F) されないようにする必要がある。

20

【 0 0 8 2 】

図 7 は、本開示の一実施形態による信号遅延部を説明するための図面である。

30

【 0 0 8 3 】

電力変換装置 1 は、信号遅延部 6 0 をさらに含むことができる。

【 0 0 8 4 】

信号遅延部 6 0 は、複数のパルス幅変調信号 (Q_1 , Q_2 , Q_3 , Q_4) のうち信号の遅延が必要なパルス幅変調信号の信号を、所定の遅延時間だけ遅延させることができる。

【 0 0 8 5 】

この場合、遅延される所定の遅延時間は、所定のスイッチング素子が先にオフ (O F F) されないようにするか、より遅れてオフ (O F F) されるようにする、既に設定した時間を意味し得る。

【 0 0 8 6 】

パルス幅変調 (P W M) コントローラ 5 0 から第 1 のパルス幅変調信号 (Q_1)、第 2 のパルス幅変調信号 (Q_2)、第 3 のパルス幅変調信号 (Q_3)、及び第 4 のパルス幅変調信号 (Q_4) が出力されて、ゲイドライバ 4 0 に入力されてもよい。

40

【 0 0 8 7 】

図 4 及び図 5 において上述したように、第 2 のスイッチング素子 1 2 又は第 3 のスイッチング素子 1 3 が、所定の時間 (例えば、何 $n s$) でも先にオフ (O F F) される場合、第 2 のスイッチング素子 1 2 又は第 3 のスイッチング素子 1 3 が焼損する問題が発生し得るため、電力変換装置 1 0 は、第 2 のパルス幅変調信号 (Q_2) 又は第 3 のパルス幅変調信号 (Q_3) を、所定の時間だけ遅延させる信号遅延部 6 0 をさらに含むことができる。

【 0 0 8 8 】

50

例えば、第1の信号遅延部61は、パルス幅変調(PWM)コントローラ50から出力される第2のパルス幅変調信号(Q₂)を、所定の遅延時間だけ遅延させて、遅延された第2のパルス幅変調信号(Q_{2d})を出力することができる。

【0089】

よって、パルス幅変調(PWM)コントローラ50から第1のパルス幅変調信号(Q₁)、第2のパルス幅変調信号(Q₂)、第3のパルス幅変調信号(Q₃)、及び第4のパルス幅変調信号(Q₄)が出力されて、第1のゲートドライバ41、第2のゲートドライバ42、第3のゲートドライバ43、及び第4のゲートドライバ44に入力される場合、第2のゲートドライバ42は、遅延された第2のパルス幅変調信号(Q_{2d})が入力されることで、第2のゲートドライバ42が第2のスイッチング素子12をオフ(OFF)する制御を、遅延時間だけ遅らせることができる。

10

【0090】

よって、電力変換装置1における第1のスイッチング素子11から第2のスイッチング素子12への第1経路(P1)に電流が流れる途中、電力変換装置1の駆動を中止する場合も、第2のスイッチング素子12が所定の遅延時間だけ遅れてオフ(OFF)されるように制御して、第4のスイッチング素子14から第3のスイッチング素子13への第2経路(P2)に電流が流れる電流ループが生成されることを防止し、第2のスイッチング素子12が焼損することを防止することができる。

【0091】

また、例えば、第2信号遅延部62は、パルス幅変調(PWM)コントローラ50から出力される第3のパルス幅変調信号(Q₃)を、所定の遅延時間だけ遅延させて、遅延された第3のパルス幅変調信号(Q_{3d})を出力することができる。

20

【0092】

よって、パルス幅変調(PWM)コントローラ50から第1のパルス幅変調信号(Q₁)、第2のパルス幅変調信号(Q₂)、第3のパルス幅変調信号(Q₃)、及び第4のパルス幅変調信号(Q₄)が出力されて、第1のゲートドライバ41、第2のゲートドライバ42、第3のゲートドライバ43、及び第4のゲートドライバ44に入力される場合、第3のゲートドライバ43は、遅延された第3のパルス幅変調信号(Q_{3d})が入力されることで、第3のゲートドライバ43が第3のスイッチング素子13をオフ(OFF)する制御を、遅延時間だけ遅らせることができる。

30

【0093】

よって、電力変換装置1における第3のスイッチング素子13から第4のスイッチング素子14への第3経路(P3)に電流が流れる途中、電力変換装置1の駆動を中止する場合も、第3のスイッチング素子13が所定の遅延時間だけ遅れてオフ(OFF)されるように制御して、第2のスイッチング素子12から第1のスイッチング素子11への第4経路(P4)に電流が流れる電流ループが生成されることを防止し、第3のスイッチング素子13が焼損することを防止することができる。

【0094】

一方、ゲートドライバ40は、駆動中止命令を行う場合、複数のスイッチング素子各々のオンオフ状態に基づいて、複数のスイッチング素子各々がオフされる時間を異にして制御することができる。

40

【0095】

例えば、ゲートドライバ40は、第1のスイッチング素子11及び第2のスイッチング素子12がオン(ON)されており、電力変換装置1の駆動中止命令を行う場合、第2のスイッチング素子12をオフ(OFF)させる制御動作を、第1のスイッチング素子11をオフ(OFF)させる制御動作よりも所定の遅延時間だけ遅れて動作させることができる。よって、第2のスイッチング素子12が第1のスイッチング素子11よりも先にオフされて、電流ループが発生し、第2のスイッチング素子12が焼損する問題を防止することができる。

【0096】

50

また、例えば、ゲートドライバ40は、第3のスイッチング素子13及び第4のスイッチング素子14がオン(ON)されており、電力変換装置1の駆動中止命令を行う場合、第3のスイッチング素子13をオフ(OFF)させる制御動作を、第4のスイッチング素子14をオフ(OFF)させる制御動作よりも所定の遅延時間だけ遅れて動作させることができる。よって、第3のスイッチング素子13が第4のスイッチング素子14よりも先にオフされて、電流ループが発生し、第3のスイッチング素子13が焼損する問題を防止することができる。

【0097】

図8は、本開示の他の実施形態による電力変換装置の回路動作を説明するための図面である。

10

【0098】

ゲートドライバ40は、直流正極端子P電位を出力する場合、第1のスイッチング素子11及び第2のスイッチング素子12に電圧を印可してオン(ON)し、第3のスイッチング素子13及び第4のスイッチング素子14は、オフ(OFF)するように制御することができる。P電位を出力する場合とは、第1キャパシタ31及び第2キャパシタ32が直列に連結して構成される直流電源の最上位電位を出力することを意味し得、正(+)電圧(+E)を出力する場合であってもよい。

【0099】

よって、電力変換装置1では、第1のスイッチング素子11から第2のスイッチング素子12への経路に電流が流れてもよい。

20

【0100】

図9は、本開示の他の実施形態による電力変換装置の回路動作を説明するための図面である。

【0101】

ゲートドライバ40は、中性点O電位を出力する場合、AC電圧が正(+)電圧である場合には、第1のスイッチング素子11をオフ(OFF)し、かつ第2のスイッチング素子12に電圧を印可してオン(ON)するように制御することができる。O電位を出力する場合とは、第1キャパシタ31及び第2キャパシタ32が直列に連結して構成される直流電源の中間電位を出力することを意味し得、0電圧を出力する場合であってもよい。

【0102】

よって、電力変換装置1では、第5ダイオード25から第2のスイッチング素子12への経路に電流が流れてもよい。

30

【0103】

図10は、本開示の他の実施形態による電力変換装置の回路動作を説明するための図面である。

【0104】

ゲートドライバ40は、O電位を出力する場合、AC電圧が負(-)電圧である場合には、第4のスイッチング素子14をオフ(OFF)し、かつ第3のスイッチング素子13に電圧を印可してオン(ON)するように制御することができる。

【0105】

よって、電力変換装置1では、第3のスイッチング素子13から第6ダイオード26への経路に電流が流れてもよい。

40

【0106】

図11は、本開示の他の実施形態による電力変換装置の回路動作を説明するための図面である。

【0107】

ゲートドライバ40は、N電位を出力する場合、第3のスイッチング素子13及び第4のスイッチング素子14に電圧を印可してオン(ON)し、第1のスイッチング素子11及び第2のスイッチング素子12は、オフ(OFF)するように制御することができる。N電位を出力する場合とは、第1キャパシタ31及び第2キャパシタ32が、直列に連結

50

して構成される直流電源の最下位電位を出力することを意味し得、負（ - ）電圧（ - E ）を出力する場合であってもよい。

【 0 1 0 8 】

よって、電力変換装置 1 では、第 3 のスイッチング素子 1 3 から第 4 のスイッチング素子 1 4 への経路に電流が流れてもよい。

【 0 1 0 9 】

一方、ゲートドライバ 4 0 は、第 2 のスイッチング素子 1 2 及び第 3 のスイッチング素子 1 3 がオン（ ON ）されている場合、第 1 のスイッチング素子 1 1 をオン（ ON ）しないように制御することができる。

【 0 1 1 0 】

また、ゲートドライバ 4 0 は、第 2 のスイッチング素子 1 2 及び第 3 のスイッチング素子 1 3 がオン（ ON ）されている場合、第 4 のスイッチング素子 1 4 にオン（ ON ）しないように制御することができる。

【 0 1 1 1 】

ゲートドライバ 4 0 は、電流の方向を考慮せずに、電位出力に応じてスイッチング素子を制御することにより、スイッチング素子各々のボディダイオードに導通する時間を減らすことができる。

【 0 1 1 2 】

以上の説明は、本発明の技術思想を例示的に説明したことに過ぎないし、本発明の属する技術分野における通常の知識を有する者であれば、本発明の本質的な特性から外れない範囲で様々な修正及び変形が可能である。

【 0 1 1 3 】

よって、本発明に開示の実施形態は、本発明の技術思想を限定するためのものではなく、説明するためのものであり、これら実施形態よって本発明の技術思想の範囲が限定されるものではない。

【 0 1 1 4 】

本発明の保護範囲は、下記の請求の範囲によって解釈しなければならず、それと同等な範囲内にある全ての技術思想は、本発明の権利範囲に含まれると解釈しなければならない。

10

20

30

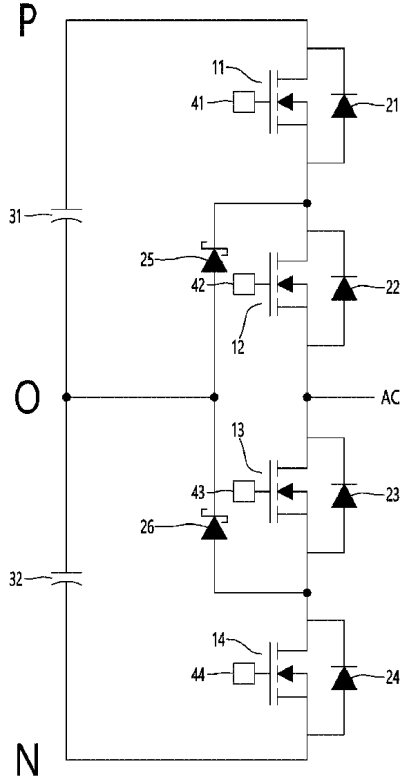
40

50

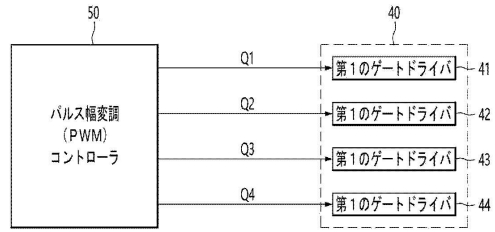
【図面】

【図 1】

[図1]



【図 2】

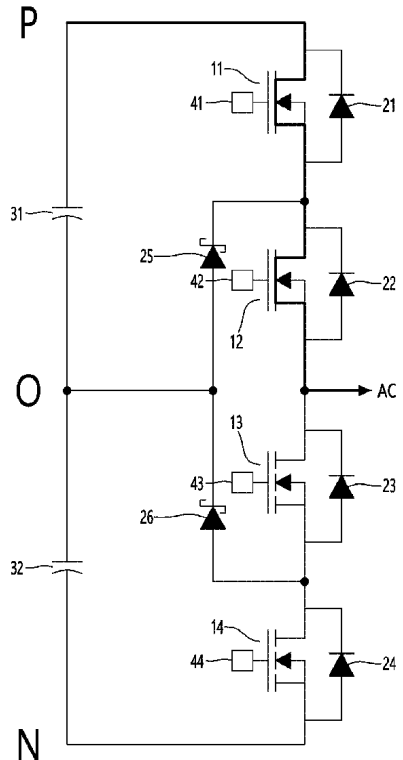


10

20

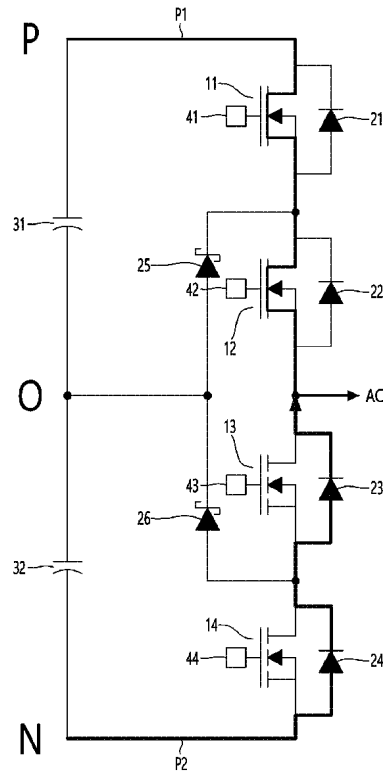
【図 3】

[図3]



【図 4】

[図4]

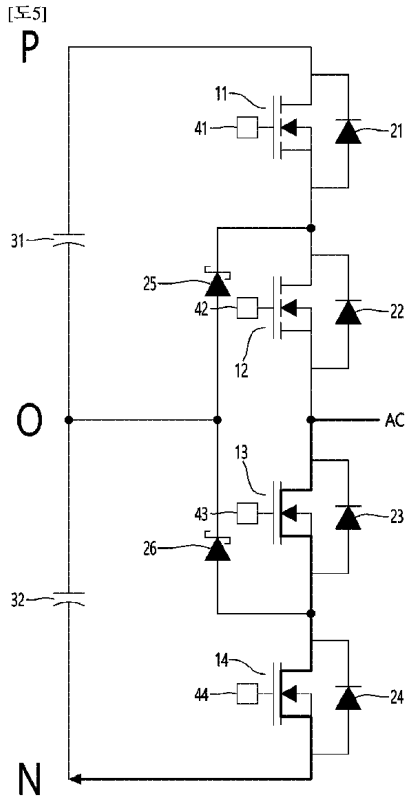


30

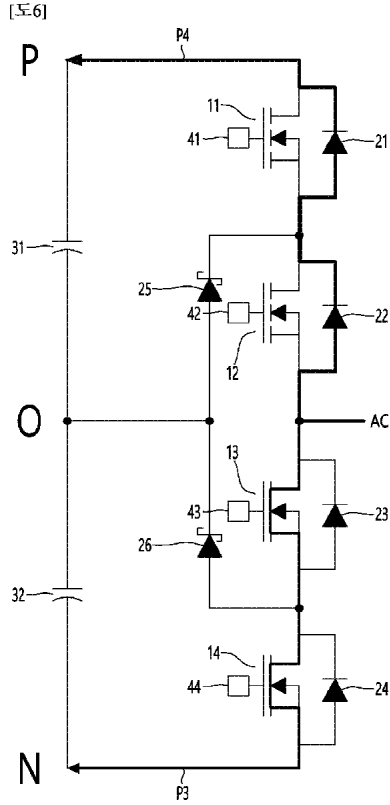
40

50

【図5】



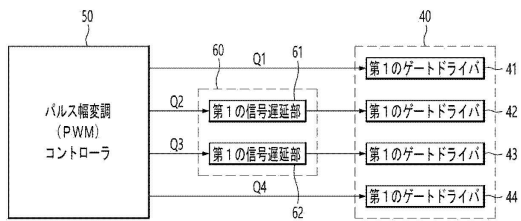
【図6】



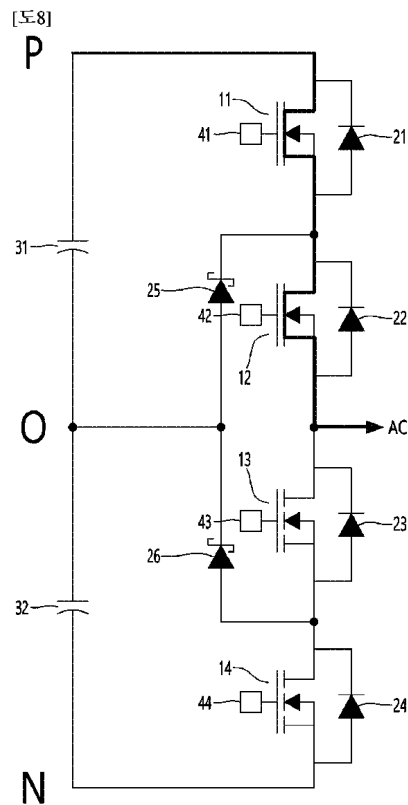
10

20

【図7】



【図8】

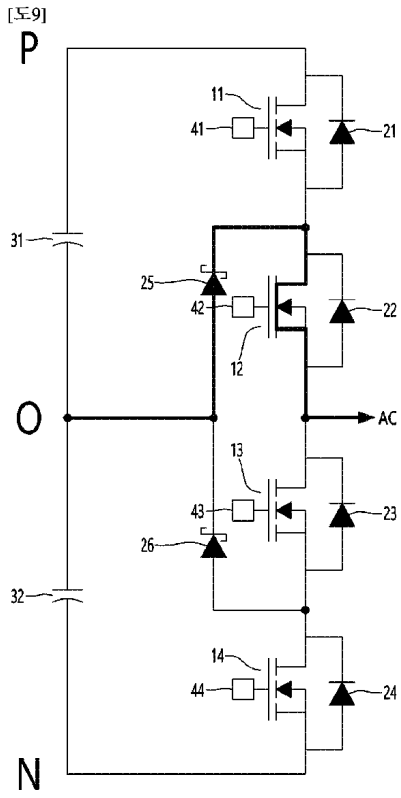


30

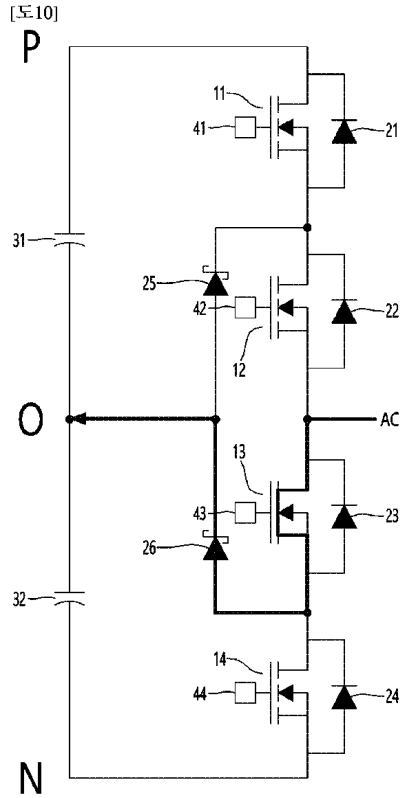
40

50

【図 9】



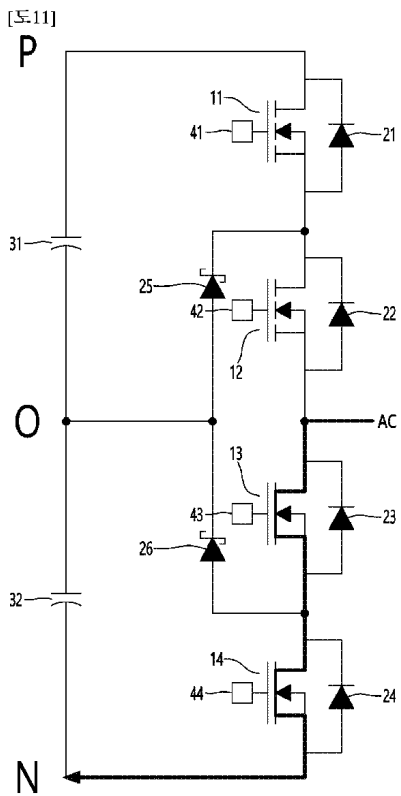
【図 10】



10

20

【図 11】



30

40

50

フロントページの続き

(33)優先権主張国・地域又は機関

韓国(KR)

(72)発明者 ユン, ソンジェ

大韓民国 14118 キョンギ - ド、アニョン - シ、トンアン - グ、エルエス - ロ、116 ボン -
ギル、40

(72)発明者 パク, ギウ

大韓民国 14118 キョンギ - ド、アニョン - シ、トンアン - グ、エルエス - ロ、116 ボン -
ギル、40

(72)発明者 ソ, ジョンウォン

大韓民国 14118 キョンギ - ド、アニョン - シ、トンアン - グ、エルエス - ロ、116 ボン -
ギル、40

審査官 安池 一貴

(56)参考文献 国際公開第2012/046521(WO, A1)

特開2002-078351(JP, A)

中国特許第101515763(CN, B)

米国特許出願公開第2011/0013438(US, A1)

特開2019-149882(JP, A)

(58)調査した分野 (Int.Cl., DB名)

H02M 7/487