

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関  
国際事務局

(43) 国際公開日  
2014年7月17日(17.07.2014)



(10) 国際公開番号  
**WO 2014/109010 A1**

- (51) 国際特許分類:  
**H01P 3/02** (2006.01) **H04L 25/02** (2006.01)  
**H01P 5/02** (2006.01) **H05K 1/02** (2006.01)
- (21) 国際出願番号: PCT/JP2013/050182
- (22) 国際出願日: 2013年1月9日(09.01.2013)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (71) 出願人: 株式会社 日立製作所(HITACHI, LTD.)  
[JP/JP]; 〒1008280 東京都千代田区丸の内一丁目  
6番6号 Tokyo (JP).
- (72) 発明者: 吉原 政敏(YOSHIHARA, Masatoshi); 〒  
2500872 神奈川県小田原市中里322番地2号  
株式会社日立製作所 ITプラットフォーム事  
業本部内 Kanagawa (JP).
- (74) 代理人: 特許業務法人第一国際特許事務所(PAT-  
ENT CORPORATE BODY DAI-ICHI KOKUSAI  
TOKYO JIMUSHO); 〒1080014 東京都港区芝4  
丁目10番5号 ダヴィンチ田町 Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保  
護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA,

BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN,  
CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES,  
FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN,  
IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR,  
LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX,  
MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH,  
PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL,  
SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG,  
US, UZ, VC, VN, ZA, ZM, ZW.

- (84) 指定国 (表示のない限り、全ての種類の広域保  
護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW,  
MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシ  
ア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ  
(AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR,  
GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT,  
NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI  
(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR,  
NE, SN, TD, TG).

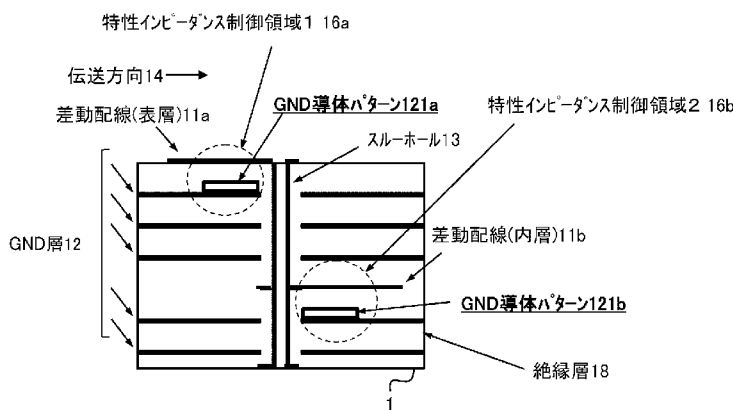
添付公開書類:

— 国際調査報告 (条約第21条(3))

(54) Title: STORAGE DEVICE AND SUBSTRATE

(54) 発明の名称: ストレージ装置及び基板

図1



- 11a Differential wiring (surface layer)  
11b Differential wiring (internal layer)  
12 GND layers  
13 Through-holes  
14 Transmission direction  
16a Characteristic impedance control area 1  
16b Characteristic impedance control area 2  
18 Insulating layer  
121a, 121b GND conductor pattern

(57) Abstract: The present invention prevents occurrence of insufficiency of a wiring area, and reduces reflection by characteristic impedance mismatch between a high-speed signal path and a through hole connection unit. To this end, upon a GND layer closest to a high-speed signal path near a connecting portion for the high-speed signal path and through holes, conductor patterns of a raised shape are formed in the fore and aft directions with respect to the through holes. In addition, the conductor patterns are of a trapezoidal shape, and are formed so as to widen in approaching the through holes.

(57) 要約: 本発明では、配線エリアの不足の発生を防止し、高速信号路とスルーホール接続部の特性インピーダンス不整合による反射を低減する。そのため、高速信号路とスルーホールの接続部近傍の高速信号路と最も近いGND層上に盛り上げ形状の導体パターンをスルーホールの前後に形成する。更に、導体パターンは台形形状で、スルーホールに近づくにつれ幅広になるような形状とする。

## 明 細 書

発明の名称：ストレージ装置及び基板

### 技術分野

[0001] 本発明は、ストレージ装置及びストレージ装置で使用する基板に関する。

### 背景技術

[0002] ストレージ装置のバックエンドに採用されている、SAS (Serial Attached SCSI) やPCI-express (登録商標、以下PCIe) 等の高速シリアルインタフェースにおいて、転送速度の高速化およびマルチレーンやマルチリンクといった複数の入出力ポートを纏めて、一つの論理的な伝送ラインを構成することによるデータ通信の高速化が進行している。

[0003] これらの高速シリアルインタフェースは、通常2本をペアとした信号伝送路上に符号化されたデータに対応する差動信号を流す方式である。また、これら高速配線の信号品質の評価においては、信号計測器画面上に表示された、差動信号の重ね合わせによるアイパターンを計測する方式が用いられており、一般的に、アイパターンの開口面積が大きく、差動信号のクロスポイントが両信号の中間電位に位置している事が望ましい。この差動信号の信号伝送路及び配線形成方法の1つとして、特許文献1記載の技術がある。

### 先行技術文献

#### 特許文献

[0004] 特許文献1：日本公開特許2006-245291号公報  
(米国公開特許2006/0197625号公報)

### 発明の概要

#### 発明が解決しようとする課題

[0005] 一般的に、基板(P/K)上の高速信号線路にはスルーホールビア(以下、スルーホール)配線を設けない事が望ましいとされている。これは、スルーホール部と配線部の特性インピーダンスが異なる為、両者の接続部におい

て、特性インピーダンス不整合による信号の反射が生じ、この反射信号の重量によるノイズが、受信端で信号読み取りエラーを誘発する為である。

[0006] また、一方で、ストレージ装置に多数搭載されるHDD (Hard Disk Drive) やSSD (Solid State Drive) 等の記憶デバイスの入出力ポートのマルチ化は、ストレージ装置のバックエンドにおける基板上のデータ転送経路数を著しく増大させることになる。

[0007] これは、特にインタフェースを制御するコントローラやエクспанダ (中継スイッチ) 等のLSI (Large Scale Integration) のピン数の増大化／高密度化という状況を生じ、これら重要機能を有する部品近傍での信号配線レイアウトの自由度を著しく低下させる要因となっている。

[0008] 従って、信号配線設計の自由度を確保するため、例えば数GHz以上の高速信号路であっても、スルーホール結線を基板上に設ける事は不可欠であり、このスルーホール結線部における特性インピーダンス不整合による反射を如何に抑制するかが重要な技術的課題となっている。

[0009] 更に、ストレージ装置のバックエンドに採用されているインタフェースは、一般的なTCP/IPネットワークと異なり、フレーム損失やフレーム順序性の喪失を許容しておらず、破損パケット (フレーム) のみの再送メカニズムを有していない。その為、一つのデータ転送コネクション内で転送される複数のフレームのうち、特定の1フレームに回復不能な読み取りエラーが生じただけでも、当該データ転送の全フレームを再送するというリトライを行わなくてはならず、データ再送による転送帯域の無用な消費や応答性能の低下を引き起こすという特有の問題もある。

[0010] そこで、特許文献1記載の技術では、高速伝送路の配線幅と配線間隔を段階的に広げるように基板へ配線して特性インピーダンス不整合を低減させる方式を開示している。

[0011] しかしながら、この従来方式では、差動配線が多数ある場合に配線のための必要エリアが大幅に増えてしまい、インタフェースコントローラやエクス

パンダL S Iのような高密度配線が必要な部位においては、従来技術を適用できない。また、この従来技術は配線エリアの不足を生じ易く、配線エリアが不足する場合は、基板の配線層追加が生じ、基板層数増により基板コストと装置コストの両方が高くなるという問題もある。

[0012] そこで、本発明は配線エリアの不足の発生を防止し高速信号路とスルーホール接続部の特性インピーダンス不整合による反射を低減することを目的とする。

### 課題を解決するための手段

[0013] 上記課題を解決するために、本発明では、信号配線とスルーホールの接続部近傍の部位に、信号配線と最も近いGND層上に、盛り上げ形状の導体構造（パターン）を形成する。導体パターンは、等脚台形形状でスルーホールに近づくにつれ幅広になるような形状ないしは、階段形状でスルーホールに近づくにつれ厚くする形状とする。また、導体パターンは、スルーホールの前後において同一形状で形成する。

### 発明の効果

[0014] 本発明は、配線パターンの形状を変更することなく、信号配線とスルーホールの接続部で生じる特性インピーダンスの急峻な変化を緩やかにし、特性インピーダンス不整合を解消できるため、高密度配線及び実装が可能となる。前述以外の課題、構成及び効果は、以下の実施形態の説明により明らかにされる。

### 図面の簡単な説明

[0015] [図1]図1は、本発明を適用した基板の断面図である。

[図2]図2は、従来技術での基板の断面図である。

[図3]図3は、本発明を適用したストレージ装置の外観図である。

[図4]図4は、ストレージ装置の内部ブロック図である。

[図5]図5は、論理基板部でのP C I eインタフェース伝送線路の実装イメージ図である。

[図6]図6は、H D D制御基板部でのS A Sインタフェース伝送線路の実装イ

メージ図である。

[図7]図7は、従来の基板上面から目視した高速差動信号の伝送線路の差動配線とスルーホール接続部の透視図である。

[図8]図8は、実施例1での基板上面から目視した高速差動信号の伝送線路の差動配線とスルーホール接続部の透視図である。

[図9]図9は、実施例1での基板断面及びGND導体パターンを示す図である。

[図10]図10は、実施例1での $\lambda/4$ の波長特性インピーダンス整合回路を用いたGND導体パターンを示す図である。

[図11]図11は、図8に示すAm点での基板断面図である。

[図12]図12は、図8に示すAs点での基板断面図である。

[図13]図13は、図8に示すBm点での基板断面図である。

[図14]図14は、図8に示すCm点での基板断面図である。

[図15]図15は、図8に示すDm点での基板断面図である。

[図16]図16は、図8に示すBs点での基板断面図である。

[図17]図17は、図8に示すCs点での基板断面図である。

[図18]図18は、図8に示すDs点での基板断面図である。

[図19]図19は、実施例2での基板上面から目視した高速差動信号の伝送線路の差動配線とスルーホール接続部の透視図である。

[図20]図20は、実施例2での基板断面及びGND導体パターンを示す図である。

[図21]図21は、実施例2の $\lambda/4$ 波長の特性インピーダンス整合回路を用いたGND導体パターンを示す図である。

### 発明を実施するための形態

[0016] 以下、図面を参照しながら本発明の実施の形態を説明する。

[0017] また、各要素、例えば、コントローラは番号などで識別可能であるが、識別可能な情報であれば、名前など他種の識別情報が用いられても良い。本発明の図及び説明において同一部分には同一符号を付与しているが、本発明が

本実施例に制限されることは無く、本発明の思想に合致するあらゆる応用例が本発明の技術的範囲に含まれる。また、特に限定しない限り、各構成要素は複数でも単数でも構わない。

[0018] <発明概念>

本発明の概要を従来技術と対比させて図1及び図2で説明する。図1は、本発明を適用した基板の断面図である。図2は、従来技術での基板の断面図である。

[0019] 本発明の実施形態における基板では、差動信号配線（以下、差動配線）とスルーホールの接続部近傍の部位に、差動配線と最も近いGND層上に、等脚台形などの盛り上げ形状の導体構造（パターン）を、スルーホールに近づくにつれ幅広になるように形成することが特徴である。

[0020] まず、従来技術について図2を用いて説明する。ストレージ装置、サーバなどの情報システムや多機能携帯電話などの通信装置等では多層の基板が使用される。基板2の表層（表面及び裏面）に差動配線（表層）11a（マイクロストリップライン）が形成されている。また、基板2の内層には差動配線（内層）11b（ストリップライン）とGND層12が形成されている。差動配線（表層）11aと差動配線（内層）11bはスルーホール13により接続される。なお、図示はしていないが、電源層も内層に形成される。また、差動配線（表層）11aと差動配線（内層）11bを差動配線11と称することがある。

[0021] また、ストレージ装置などの情報システムで使用される標準的な基板の材質は比誘電率 $\epsilon_r$ を有するガラスエポキシ樹脂で、各層の間にこの材質が絶縁層として形成され配線層間及び電源層とGND層との間の絶縁状態を保っている。また、全層数としては16層から30層程度で、信号層が6層から12層、電源層とGND層12を合わせて10層から18層程度となる。また、電源層はパターンで形成し、GND層12は一様なベタ層で形成するのが一般的である。上述のように差動配線（表層）11aと差動配線（内層）11bはスルーホール13で接続される。なお、差動配線11からスルーホ

ール 1 3 への信号が伝送される場合、差動配線 1 1 とスルーホール 1 3 との接続部での反射係数は、以下の式 (1) により算出される。

[0022] [数1]

$$\rho = \frac{Z_{th} - Z_o}{Z_{th} + Z_o} \quad \dots \text{式 (1)}$$

[0023] 但し、 $Z_o$  : 差動配線の特性インピーダンス ( $\Omega$ )、 $Z_{th}$  : スルーホールの特性インピーダンス ( $\Omega$ ) である。

[0024] 式 (1) から分かるように、特性インピーダンスが異なる伝送線路を接続した場合の接続部での反射の大きさを示し、 $\rho$  (絶対値) が大きいほど反射が大きく、ゼロであれば反射は生じない。つまり、反射を無くす条件は  $Z_o$  と  $Z_{th}$  が等しいことであることが分かる。また、反射を減らすには、差動配線とスルーホールの特性インピーダンス差を小さくする必要がある。

[0025] P C I e インタフェース (以下、P C I e I / F)、S A S インタフェース (以下、S A S I / F) 等の高速差動信号の伝送線路における特性インピーダンスを、規格で定められている値 (一般的には、シングルエンドで 50  $\Omega$ 、ディファレンシャルエンドで 100  $\Omega$ ) となるように配線設計することが望ましい。

[0026] しかしながら、伝送線路の差動配線 (表層) 1 1 a ないし差動配線 (内層) 1 1 b とスルーホール 1 3 に特性インピーダンス差 ( $Z_o > Z_{th}$ ) があり、これを特性インピーダンスの不整合と呼ぶ。特性インピーダンスが不整合となる領域は、図 2 の基板 2 に示すように、差動配線 (表層) 1 1 a とスルーホール 1 3 との接続領域である特性インピーダンス不整合領域 1 1 5 a と、差動配線 (内層) 1 1 b とスルーホール 1 3 との接続領域である特性インピーダンス不整合領域 2 1 5 b である。なお、特性インピーダンス不整合領域 1 1 5 a と特性インピーダンス不整合領域 2 1 5 b を称して、特性インピーダンス不整合領域 1 5 と称することがある。

[0027] この特性インピーダンス不整合領域 1 5 では反射係数  $\rho$  が大きくなり、差動配線 1 1 とスルーホール 1 3 の接続部で反射が生じる。この反射信号の重

量によるノイズが、信号受信端での信号読み取りエラーを誘発し、ストレージ装置などの情報システムにシステムダウンやデータロストなどの重大な障害を発生させる。

[0028] そこで、本発明の基板 1 では、図 1 に示すように、差動配線とスルーホール1の接続部近傍の部位（特性インピーダンス制御領域 1 16 a、特性インピーダンス制御領域 2 16 b）に、差動配線 1 1 と最も近い GND 層 1 2 上に、盛り上げ形状の GND 導体構造（パターン）を形成する。導体パターンは、例えば台形形状でスルーホール 1 3 に近づくにつれ幅広になるような形状とする。

[0029] つまり、特性インピーダンス制御領域 1 16 a の GND 導体パターン 1 2 1 a の左側の幅が狭く、右側のスルーホール 1 3 に行くに従って幅広になる。逆に、特性インピーダンス制御領域 2 16 b の GND 導体パターン 1 2 1 b の左側の幅は広く、右側のスルーホール 1 3 からの距離が大きくなるに従って幅を狭くする。

[0030] すなわち、GND 導体パターン 1 2 1 は、スルーホール 1 3 の前後で、対称となるように形成する。このような構造とする事で、差動配線 1 1 と GND 導体パターン 1 2 1 間の結合キャパシタンス容量がスルーホールへ近づくにつれ緩やかに増える。これに伴い差動配線のインダクタンス容量との和であるリアクタンス成分を徐々に減少させ、特性インピーダンスを緩やかに小さくすることが出来る。

[0031] 図 1 に示す基板 1 の構造により、伝送路の差動配線 1 1 とスルーホール 1 3 の接続部で生じる特性インピーダンスの急峻な変化を緩やかにし、差動配線（表層） 1 1 a から差動配線（内層） 1 1 b への伝送時および、差動配線（内層） 1 1 b から差動配線（表層） 1 1 a への伝送時の両方とも、反射による伝送特性の劣化を抑制できる。GND 導体パターンの構造の詳細な説明は後述する。

[0032] <ストレージ装置外観>

図 3 は、本発明を適用したストレージ装置の外観図である。

[0033] ストレージ装置 3 は、基本筐体 3 1 と増設用 DKU (Disk Unit) 3 2 から構成される。基本筐体 3 1 は、ストレージ装置 3 を制御するコントローラ部である DKC (Disk Controller) 3 3 と多数 (数百台以上) の HDD 3 7 を内蔵した DKU 3 4 から構成される。増設用 DKU 3 2 は、DKU 3 4 である。

[0034] DKC 3 3 は、論理基板部 3 5、外部電源断時に論理基板部 3 5 を動作させるための電力を供給するバッテリー 3 3 0、保守員が障害情報の解析や装置診断をするときに利用する SVP (Service Processor) 3 1 1、論理基板部 3 5 など冷却するための冷却ファン 3 2 1 と外部電源の AC 入力部 3 2 3 を備える。

[0035] DKU 3 4 は、多数の HDD 3 7、HDD 3 7 に電力を供給するための HDD 用 DC 電源 3 2 2 及び AC 入力部 3 2 3、HDD 3 7 と DKC 3 3 を接続するための HDD 制御基板部 3 6、HDD 制御基板部 3 6 及び HDD 3 7 を冷却するための冷却ファン 3 2 1 を備える。

[0036] 論理基板部 3 5 には PCIe I/F の差動信号が配線され、HDD 制御基板部 3 6 には SAS I/F の差動信号が配線される。

[0037] <ストレージ装置内部>

図 4 は、ストレージ装置 3 の内部ブロック図である。

[0038] ストレージ装置 3 は、ネットワーク 4 2 を介し 1 つ以上のホスト装置 4 1 と接続する。ストレージ装置 3 は、複数のチャネルアダプタ 3 3 1、キャッシュメモリ 3 3 2、スイッチ制御部 3 3 3、共有メモリ 3 3 4、複数のディスクアダプタ 3 3 5、SVP 3 1 1、複数の HDD 3 7 を備える。また、図示していないが、DKC 3 3 全体を制御する MP (Micro Processor) も備える。

[0039] チャネルアダプタ 3 3 1 は、ネットワーク 4 2 と接続しホスト装置 4 1 から、I/O コマンド (ライトコマンド又はリードコマンド) を受信し、受信した I/O コマンドをスイッチ制御部 3 3 3 に転送するコントローラである。

[0040] キャッシュメモリ 332 及び共有メモリ 334 は、DRAM (Dynamic Random Access Memory) などの揮発性メモリ及び／又は、フラッシュメモリなどの不揮発性メモリであり、ホストからの書き込みデータやディスクアレイシステムを制御する種々の制御情報などが格納される。

[0041] スイッチ制御部 333 には、チャンネルアダプタ 331、キャッシュメモリ 332、共有メモリ 334、ディスクアダプタ 335 が接続され、コマンドやデータの送受信を制御する。チャンネルアダプタ 331 とスイッチ制御部 333 との間、およびスイッチ制御部 333 とディスクアダプタ 335 との間は、PCIe 1/F351 の高速差動信号で接続されている。

[0042] ディスクアダプタ 335 は、HDD 37 へのスイッチ制御部 333 からのデータの書き込み及び HDD 37 からスイッチ制御部 333 へのデータの読み出しを制御するコントローラである。ディスクアダプタ 335 と HDD 37 との間は SAS 1/F361 の高速差動信号で接続されている。

[0043] <伝送線路実装>

図 5 は、論理基板部 35 での PCIe インタフェース伝送線路の実装イメージ図である。図 6 は、HDD 制御基板部 36 での SAS インタフェース伝送線路の実装イメージ図である。

[0044] 図 5 のように、論理基板部 35 では、スイッチ制御部 333 のスイッチ制御基板 3331 と、チャンネルアダプタ基板 3311 またはディスクアダプタ基板 3351 とがバックプレーン基板 356 により、電氣的に接続される。また、スイッチ制御基板 3331 に実装されているドライバーコントローラ 353 とチャンネルアダプタ基板 3311 またはディスクアダプタ基板 3351 に実装されているレシーバコントローラ 358 とが、スルーホール 13a、AC 結合キャパシタ 354、コネクタ 355a、バックプレーン基板 356、スルーホール 13b、コネクタ 355b、スルーホール 13c を経由して、高速差動信号である PCIe 1/F 伝送線路 351 で接続される。

[0045] 前述のように、スイッチ制御部 333 には多数のチャンネルアダプタ 331

と多数のディスクアダプタ 335 が接続されるため、各基板では多数の配線及びスルーホールが形成される。つまり、P C I e I / F 伝送線路 351 には、特性インピーダンスの不整合が生じている箇所（例えば、スルーホール 13a から 13c 近傍）が多数存在する。

[0046] 図6のように、HDD制御基板部 36では、ディスクアダプタ基板 335 1とHDD基板 370 1とが、バックプレーン基板 366により電氣的に接続される。また、ディスクアダプタ基板 335 1に実装されているドライバーコントローラ 363とHDD基板 370 1に実装されているレシーバコントローラ 368とが、スルーホール 13d、AC結合キャパシタ 364、コネクタ 365 a、バックプレーン基板 366、スルーホール 13e、コネクタ 365 b、スルーホール 13fを経由して、高速差動信号であるS A S I / F 伝送線路 361で接続される。HDD基板 370 1には、多数のHDD 37が接続されるため、ディスクアダプタ基板 335 1とHDD基板 370 1との間の信号線数は大きく、各基板では多数の配線と多数のスルーホールが形成される。つまり、図5と同様、S A S I / F 伝送線路 361にも特性インピーダンスの不整合が生じている箇所（例えば、スルーホール 13d から 13f 近傍）が多数存在する。また、P C I e I / F 伝送線路 351やS A S I / F 伝送線路 361では、数GHz以上の周波数の信号が双方向で伝送されている。

[0047] <実施例1>

図7は、従来の基板上面から目視した高速差動信号の伝送線路の差動配線とスルーホール接続部の透視図である。

[0048] 従来の基板2は、図7のように差動配線（表層）11aのP側とN側を、スルーホール部131で差動配線（内層）11bのP側とN側とに接続し、差動配線11aを形成した層と差動配線11bを形成した層との間にGND層12を一層以上形成し、各層の間をガラスエポキシ樹脂などの材質で絶縁層18を形成していた。そのため、信号伝送方向14に対し、差動配線（表層）11aとスルーホール部131との接続部分の特性インピーダンスの不

整合が大きく、反射により伝送される信号の波形が乱れる。同じく、差動配線（表層）11bからスルーホール部131への信号伝送でも、接続部分の特性インピーダンスの不整合による反射が発生する。そこで、本発明では図8及び図9に示すGND導体パターンを差動配線に最も近いGND層12に形成し、反射の低減を可能とするものである。

[0049] 図8は、実施例1での基板上面から目視した高速差動信号の伝送線路の差動配線とスルーホール部の透視図である。図9は、実施例1での基板断面及びGND導体パターンを示す図である。

[0050] 図8に示すように、差動配線（表層）11aと対向する一番近いGND層12上に差動配線（表層）11aと面する様に台形状のGND導体パターン121aを設ける。なお、GND導体パターン121aの台形状は、差動配線（表層）11aと対向するGND導体パターン121aの対向面積が、スルーホール部131に向かって徐々に大きくなる様な形状とする。つまり、点Bm点からGND導体パターン121aと差動配線（表層）11aのP側及びN側との対向（重なり）を始める。なお、差動配線（表層）11aのP側及びN側の導体パターン幅をWとし、導体厚をT1とする。そして、Cm点で差動配線（表層）11aの幅の半部分がGND導体パターン121aに対向させる。最後に、スルーホール部131との境界であるDm点で、差動配線（表層）11aの幅と同じ幅でGND導体パターン121aに対向させる。

[0051] つまり、GND導体パターン121aを、上辺（Bm点）が差動配線（表層）11aのP側とN側との間隔（間隔Sとする）で、下辺（Dm点）が差動配線（表層）11aのP側とN側両方に跨って対向する幅（ $2 \times W + S$ ）とし、長さL（Bm点からDm点までの長さ）とする等脚台形状とする。また、GND導体パターン121aの厚さT2は、均一の厚さとする。

[0052] また、差動配線（内層）11bも差動配線（表層）11aと同様に、対向する一番近いGND層12上に差動配線（内層）11bと面する様に台形状のGND導体パターン121bを設ける。なお、GND導体パターン12

1 bの形状は、差動配線（表層）1 1 bと対向するGND導体パターン1 2 1 bの対向面積が、スルーホール部1 3 1に向かって（B s点からD s点に向かって）除々に大きくなる様な等脚台形形状とする。また、GND導体パターン1 2 1 bの厚さの均一でT 2とする。

[0053] つまり、差動配線（内層）1 1 bに対するGND導体パターン1 2 1 bもGND導体パターン1 2 1 aと同一形状とし、D m点とD s点の中心線に対して線対称となるようにGND層1 2上に形成する。

[0054] なお、スルーホール部1 3 1のクリアランス形状は、差動配線（表層）1 1 aとの境界が差動配線（表層）1 1 aの伝送方向1 4に対して垂直となる形状とする。クリアランス形状の例としては図8のような長方形の他に、長楕円形、8角形、6角形などもよい。

[0055] 以上のようにGND導体パターン1 2 1を差動配線1 1に最も近いGND層1 2上に形成することで、差動配線1 1とGND導体パターン1 2 1間の結合キャパシタンス容量がスルーホール部1 3 1に向かって緩やかに増え特性インピーダンスが緩やかに小さくすることができる。

[0056] 図9は、実施例1での基板断面及びGND導体パターンを示す図である。図9（a）は基板1の断面図である。また、図9（b）はGND導体パターン1 2 1を上方向から俯瞰（目視）したものである。図9（c）は方向Aから目視した基板1の差動配線（表層）1 1 a付近の基板断面を示したものである。

[0057] 図9（a）のように差動配線（表層）1 1 aに最も近いGND層1 2へ図9（b）に示すGND導体パターン1 2 1 aを、差動配線（表層）1 1 bに最も近いGND層1 2にGND導体パターン1 2 1 bを形成する。

[0058] 差動配線1 1、GND層1 2、電源層は銅などの伝導性が高く安価な金属材料を用いて形成され、絶縁層1 8はガラスエポキシ樹脂などの絶縁材料で形成されるのが一般的である。但し、本発明では前述の材料に限定されるものではない。

[0059] 特性インピーダンスが緩やかに小さくできる理由について、図9（

c) で説明する。差動配線 1 1 と GND 導体パターン 1 2 1 間の結合キャパシタンス容量 C は、式 (2) で表される。

[0060] [数2]

$$C = \epsilon_r \times \epsilon_0 \times A / d \quad \dots \text{式 (2)}$$

[0061] 但し、 $\epsilon_r$  : 比誘電率、 $\epsilon_0$  : 真空中の誘電率、A : 導体の対向面積、d : 導体間隔である。

[0062] つまり、差動配線 (表層) 1 1 a と GND 層 1 2 との対向面積 A を大きくすれば結合キャパシタンス容量 C を大きくできる。また、導体間隔 d、すなわち、差動配線 (表層) 1 1 a と GND 層 1 2 との間隔 H 1 を小さくすることでも、結合キャパシタンス容量 C を大きくできる。なお、間隔 H 1 は GND 導体パターン 1 2 1 の導体厚 T 2 を変えることにより自由に変更できる。また、差動配線 1 1 の導体厚 T 1 と GND 導体パターン 1 2 1 の導体厚 T 2 は同じでもよいし、異なってもよい。

[0063] 以上のように、差動配線 1 1 と対向する GND 導体パターン 1 2 1 間の間隔 H 1 および対向面積 A を変化させると、対 GND 間の接合キャパシタンス容量 C を変化させえることができ、インダクタンス成分と相殺させることにより伝送路の特性インピーダンス  $Z_0$  を自由に変えることができる。つまり、伝送方向 1 4 のようにスルーホール部 1 3 1 に向かって、対向面積 A を徐々に広くしていき接合キャパシタンス容量 C を大きくする。これにより、伝送路の特性インピーダンス  $Z_0$  が小さくなり、スルーホール部 1 3 1 の特性インピーダンス  $Z_{th}$  に近づけることができる。そのため、差動配線 1 1 とスルーホール 1 3 との接合部での反射を小さく抑えることが可能となる。

[0064] <特性インピーダンス整合回路 1>

上述の構成を図 10 で詳細に説明する。図 10 は、実施例 1 での  $\lambda/4$  波長の特性インピーダンス整合回路を用いた GND 導体パターンを示す図である。図 10 (a) が特性インピーダンスを表し、図 10 (b) が反射係数を表す。

[0065] 本発明では、差動配線 1 1 と対向する GND 導体パターン 1 2 1 の対向面積 A が、スルーホール 1 3 に向かって段階的に大きくなる様な形状を設けることにより、 $\lambda/4$ 波長の特性インピーダンス整合回路を形成する。図 1 0 に示した  $\lambda/4$ 波長の特性インピーダンス整合回路の仕様を満たす様に伝送線路を設計することにより、特性インピーダンスの不整合を抑制することができる。

[0066] ここで、 $\lambda$  は伝送信号の波長で、1 0 G b p s (G i g a b i t s p e r s e c o n d) 差動信号の場合、基本周波数 5 G H z で、波長は 6 c m である。また、 $Z_0$  及び  $Z_{th}$  は、前述の伝送線路の特性インピーダンス及びスルーホールでの特性インピーダンスである。

[0067] 前述の等脚台形形状の GND 導体パターン 1 2 1 を用いた基板 1 での伝送路の特性インピーダンスは、図 1 0 のように幅  $\lambda/4$  ( $= 1.5 \text{ cm}$ ) の長方形で表される特性を連続的に並べたものに近似できる。各点での特性インピーダンス ( $\Omega$ ) は、式 (3) から式 (5) で表される。例えば、特性インピーダンス  $Z_1$  (伝送路) は、特性インピーダンス  $Z_0$  (出力インピーダンス) と特性インピーダンス  $Z_2$  (入力インピーダンス) を乗算した値の平方根である。以下、 $Z_2$  から  $Z_{n+1}$  も同様である。また、下記の式から分かるように  $Z_0 > Z_1 > \dots > Z_n > Z_{n+1}$  の関係が成り立つ。加えて、伝送路を幅  $\lambda/4$  に分割する数  $n+1$  を大きくすることにより、前後の特性インピーダンスの差は更に小さくすることができる。

[0068] [数3]

$$Z_1 = \sqrt{Z_0 \times Z_2} \quad \dots \text{式 (3)}$$

[数4]

$$Z_n = \sqrt{Z_{n-1} \times Z_{n+1}} \quad \dots \text{式 (4)}$$

[数5]

$$Z_{n+1} = \sqrt{Z_n \times Z_{th}} \quad \dots \text{式 (5)}$$

[0069] また、伝送路の各点での反射係数  $\rho$  は、上記の式 (3) から (5) から算出された各点の特性インピーダンスを用いて下記の式 (6) から (8) で表される。

[数6]

$$\rho_0 = \frac{Z_2 - Z_0}{Z_2 + Z_0} \quad \dots \text{式 (6)}$$

[数7]

$$\rho_1 = \frac{Z_3 - Z_1}{Z_3 + Z_1} \quad \dots \text{式 (7)}$$

[数8]

$$\rho_{n+1} = \frac{Z_{th} - Z_n}{Z_{th} + Z_n} \quad \dots \text{式 (8)}$$

[0070] また、式 (9) で表される各点の反射係数  $\rho$  の 2 乗総和の平方根  $\rho_{rss}$  (Root Sum Square) が小さいほど反射を抑制できる。そのため、 $\rho_{rss}$  の値が 0.1 より小さくなるように  $n$  の値を決定する。 $n$  の値を大きくすれば各点の間の特性インピーダンスの差は小さくなり、各点での反射係数も小さくなる。そのため、 $\rho_{rss}$  の値を 0 に近づけることができる。

[0071] しかしながら、 $n$  の値を大きくすれば前述の等脚台形形状の GND 導体パターン 121 の長さ  $L$  が式 (10) で表されるように長くなり差動配線に対向して形成できなくなる可能性がある。 $n$  を小さくして GND 導体パターン 121 の長さ  $L$  を短くすることも可能であるが、反射が大きくなり十分な反射の抑制効果が得られなくなる。そこで、十分な反射の抑制効果と適当な長さが得られる閾値を設定し、その閾値 0.1 以下となる  $n$  の値を求め、式 (

10) でGND導体パターン121の長さLを決定する。

[数9]

$$\rho_{RSS}(\rho_{RSS} < 0.1) = \sqrt{|\rho^2_0| + |\rho^2_1| + \dots + |\rho^2_{n+1}|} \quad \dots \text{式 (9)}$$

[数10]

$$L = (\lambda / 4) \times (n + 1) \quad \dots \text{式 (10)}$$

[0072] <各点の断面図>

次に、Am点からDm点及びAs点からDs点での基板断面の形状及び特性インピーダンスについて説明する。図11は、Am点での基板断面図である。手前から奥行方向に差動信号が伝送される。差動配線(表層)11a部のAm点の配線の特性インピーダンスZoは、式(11)から算出される。但し、 $\epsilon_r$ ：絶縁層18の比誘電率、H2：基板表層と絶縁層18との間の層厚、W：配線パターンの幅、T1：配線パターンの導体厚である。

[0073] [数11]

$$Z_o = \frac{87}{\sqrt{\epsilon_r + 1.41}} \ln \left( \frac{5.98 \times H2}{0.8 \times W + T1} \right) \quad \dots \text{式 (11)}$$

[0074] 図12は、As点での基板断面図である。図11と同様、手前から奥行方向に差動信号が伝送される。差動配線(内層)11b部のAs点の配線の特性インピーダンスZoは、式(12)から算出される。但し、 $\epsilon_r$ ：絶縁層18の比誘電率、H3：GND層間に位置する絶縁層18の層厚、W：配線パターンの幅、T1：配線パターンの導体厚である。

[0075] [数12]

$$Z_o = \frac{60}{\sqrt{\epsilon_r}} \ln \left( \frac{4 \times H3}{0.67 \times \pi \times (T1 + 0.8W)} \right) \quad \dots \text{式 (12)}$$

[0076] 上記の式(11)、式(12)の特性インピーダンス算出式で示すように、差動配線11と対向するGND層12との距離H2ないしH3を小さくす

ることで、特性インピーダンスを小さくできる。B m点からD m点の間およびB s点からD s点の間は、GND導体パターン1 2 1が差動配線1 1のライン幅Wと対向する比率に比例してB m点からD m点またはD s点からB s点に向かって特性インピーダンスが段階的に小さい値に変化する。

[0077] いま、 $Z_{am}$  : A m点の特性インピーダンス、 $Z_{dm}$  : D m点の特性インピーダンス、 $Z_{as}$  : A s点の特性インピーダンス、 $Z_{ds}$  : D s点の特性インピーダンスとすると配線ライン幅Wの半分までGND導体パターン1 2 1が対向しているC m点、C s点の特性インピーダンス $Z_{cm}$ 、 $Z_{cs}$ は、それぞれ、 $Z_{cm} = (Z_{am} + Z_{dm}) / 2$ 、 $Z_{cs} = (Z_{as} + Z_{ds}) / 2$ の関係となる。

[0078] 図1 3は、B m点での基板断面図である。図1 4は、C m点での基板断面図である。図1 5は、D m点での基板断面図である。いずれの図でも、手前から奥行方向に差動信号が伝送される。

[0079] まず、図1 3のように、B m点から幅SのGND導体パターン1 2 1 aが形成され始める。但し、B m点では差動配線（表層）1 1 aのP側及びN側と対向する部分は存在せず、C m点へ向かうのに伴いGND導体パターン1 2 1 aの幅が大きくなり、徐々に対向する部分が増加する。

[0080] 次に、図1 4のように、C m点では差動配線（表層）1 1 aのP側及びN側と対向する部分は、それぞれ配線パターン幅Wの半分となる。更に、対応する部分の高さH 1は、対向していない部分の高さH 2からGND導体パターン1 2 1 aの導体厚T 2を引いた値である。

[0081] 最後は、図1 5のように、D m点では差動配線（表層）1 1 aのP側及びN側と対向する部分は、それぞれ配線パターン幅Wとなる。

[0082] 以上の図1 3から図1 5に示すように、差動配線（表層）1 1 aのP側及びN側と対向する部分の実効的な高さがH 2からH 1へと小さくなるので、式（1 1）で表されるように差動配線（表層）1 1 aの特性インピーダンス $Z_o$ がスルーホール1 3へ近づくにつれて小さくなり、スルーホール1 3の特性インピーダンス $Z_{th}$ の値に近づけられる。

[0083] 図16は、Bs点での基板断面図である。図17は、Cs点での基板断面図である。図18は、Ds点での基板断面図である。いずれの図でも、手前から奥行方向に差動信号が伝送される。

[0084] まず、図13と同様、図16のように、Bs点から幅SのGND導体パターン121bが形成され始める。但し、Bs点では差動配線（内層）11bのP側及びN側と対向する部分は存在せず、Cs点へ向かうのに伴いGND導体パターン121bの幅が大きくなり、徐々に対向する部分が増加する。

[0085] 次に、図14と同様、図17のように、Cs点では差動配線（内層）11bのP側及びN側と対向する部分は、それぞれ配線パターン幅Wの半分となる。更に、対応する部分の高さH5は、対向していない部分の絶縁層18の高さH3からGND導体パターン121bの導体厚T2を引いた値である。

[0086] 最後に、図15と同様、図18のように、Ds点では差動配線（内層）11bのP側及びN側と対向する部分は、それぞれ配線パターン幅Wとなる。

[0087] 図16から図18に示すように、差動配線（内層）11bのP側及びN側と対向する部分の実効的な高さをH3からH5へと小さくできるので、式(12)で表されるように差動配線（内層）11bの特性インピーダンス $Z_o$ がスルーホール13へ近づくにつれて小さくなり、スルーホール13の特性インピーダンス $Z_{th}$ の値に近づけられる。

[0088] 以上のように、差動配線11に最も近いGND層12に等脚台形形状のGND導体パターン121を、差動配線11と直交するスルーホール13の中心線に対し対称に形成する。このような構造とする事で、差動配線11とGND導体パターン121間の結合キャパシタンス容量Cをスルーホールへ近づくにつれ緩やかに増やせる。これに伴い差動配線11のインダクタンス容量との和であるリアクタンス成分を徐々に減少させ、特性インピーダンスを緩やかに小さくすることが出来る。

[0089] そのため、差動配線11とスルーホール13の接続部で生じる特性インピーダンスの急峻な変化を緩やかにし、反射による伝送特性の劣化を抑制できる。加えて、従来技術のように差動配線11のパターンの幅及び差動配線1

1のP側とN側との間隔を変える必要はなく、基板上での配線設計が容易になり高密度実装も可能となる。

[0090] また、本実施例では、GND導体パターン121を等脚台形などの台形形状としているが、差動配線11のP側及びN側それぞれに対向するよう直角三角形などの三角形形状のGND導体パターンを採用しても同等の効果を得られる。

[0091] 更に、差動配線が多数ある場合に配線のための必要エリアが大幅に増えることがなく、高密度配線が必要なI/FコントローラやエクスパンドLSIが実装される高密度配線が必要な基板に本発明を適用できる。加えて、配線エリアの不足を生じ難くできるので基板の配線層数の低減をでき、その結果、基板コスト及び装置コストを削減できる。

[0092] また、実施例1では、表層の差動配線11aと内層の差動配線11bとがスルーホール13で接続された場合で説明したが、表層（基板の表面または裏面）の差動配線同士がスルーホールで接続された場合、内層の差動配線同士がスルーホールで接続された場合、基板の表層面で2組以上の差動配線がスルーホールで接続され、更に、内層の差動配線がスルーホールで接続された場合などでも、本発明を適用でき前述の効果を得られる。

[0093] また、実施例1では、表層の差動配線11aと内層の差動配線11bとが成す角度を180度（直線）とした例で説明したが、成す角度がこれに限定されるものではなく90度、45度、30度、0度等の任意の角度でも本発明を適用できる。更に差動配線でなくシングル配線へ、最も近いGND層に等脚台形形状や2等辺三角形などの形状でGND導体パターンを形成してもよい。また、ビアとしてスルーホールを例としたが、層間のみを接続するブラインドビアやベリッドビアでの配線の接続でも本発明を適用でき同等の効果を得られる。

[0094] <実施例2>

図19は、実施例2での基板上面から目視した透視図である。図20は、実施例2での基板断面及びGNDパターンを示す図である。図21は、実施

例2の $\lambda/4$ 波長の特性インピーダンス整合回路を用いたGND導体パターンを示す図である。

[0095] 実施例1では、差動配線11と対向するGND導体パターン121の対向面積を徐々に大きくしていくことにより、差動配線11とGND導体パターン121間の結合キャパシタンス容量Cを大きくし、差動配線11の特性インピーダンス $Z_o$ を段階的にスルーホール13の特性インピーダンス $Z_{th}$ に近づける構造を示した。

[0096] 実施例2では、差動配線11と対向するGND導体パターン122との対向する高さ（距離）を段階的に小さくしていき、結合キャパシタンス容量Cを大きくする構造を説明する。

[0097] 図19に示すように、差動配線（表層）11aと対向するGND12層上に差動配線（表層）11aと面する様に矩形のGND導体パターン122aを設ける。また、差動配線（内層）11bと対向するGND12層上に差動配線（内層）11bと面する様に矩形のGND導体パターン122bを設ける。

[0098] そして、GND導体パターン122a及びGND導体パターン122bを、スルーホール部131に近づくにつれ段階的に厚くする。

[0099] このGND導体パターン122の形状により、実施例1と同様に、差動配線11とGND導体パターン122間の結合キャパシタンス容量Cをスルーホール部131側に向かって緩やかに増やすことができ、特性インピーダンス $Z_o$ が緩やかに小さくできる。

[0100] その理由について、図20で詳細に説明する。図20（a）は、基板1の断面図である。また、図20（b）は、GND導体パターン122を上方向から俯瞰したものである。図20（c）は、方向Aから目視した基板1の差動配線（表層）付近の基板断面を示したものである。

[0101] 図20（a）のように、差動配線（表層）11aに最も近いGND層12へ図20（b）に示すGND導体パターン122aを、差動配線（内層）11bに最も近いGND層12へGND導体パターン122bを形成する。G

N D 導体パターン 1 2 2 a 及び 1 2 2 b は、高さの異なる G N D 導体サブパターン 1 2 2 1、1 2 2 2、1 2 2 3、1 2 2 4、1 2 2 5 から形成される。

[0102] G N D 導体サブパターン 1 2 2 1 の厚さは導体厚  $T_2$  で、G N D 導体サブパターン 1 2 2 2 の厚さは  $T_2 \times 2$  で、G N D 導体サブパターン 1 2 2 5 の厚さは  $T_2 \times 5$  となる。そのため、差動配線（表層）1 1 a への距離  $H$  も  $H_{11} > H_{12} > H_{13} > H_{14} > H_{15}$  段階的に小さくなり、結合キャパシタンス容量  $C$  も  $C_1 < C_2 < C_3 < C_4 < C_5$  というようにスルーホール 1 3 に近づくにつれて大きくなる。

[0103] また、G N D 導体サブパターンを直方体形状で無く、底辺の面積より上辺の面積が小さくなる立体形状とすることもできる。底辺の面積より上辺の面積が小さくなる立体形状であれば、高さが小さくなる割合より面積が小さくなる割合を小さくすればよい。そうすることにより、結合キャパシタンス容量  $C$  を大きくできる。

[0104] <特性インピーダンス整合回路 2>

図 2 1 は、実施例 2 での  $\lambda/4$  波長の特性インピーダンス整合回路を用いた G N D 導体パターンを示す図である。差動配線 1 1 と対向する G N D 導体パターン間の距離  $H$  をスルーホール 1 3 に向かって段階的に小さくする様な形状を設けることにより、 $\lambda/4$  波長の特性インピーダンス整合回路を形成する。図 2 1 のような  $\lambda/4$  波長の特性インピーダンス整合回路の仕様を満たす様に伝送線路を設計することにより、特性インピーダンスの不整合を抑制することができる。

[0105] なお、実施例 2 も実施例 1 と同様、伝送路の特性インピーダンスは、前述の式 (3) から式 (5) で算出することができる。同じく、G N D 導体サブパターン同士の接続部での反射係数  $\rho$  も式 (6) から式 (8) から、 $\rho_{rss}$  も式 (9) から算出できる。そのため、実施例 1 と同様に、 $\rho_{rss}$  の値が 0. 1 より小さくなるように  $n$  の値を求め、式 (10) で G N D 導体パターン 1 2 2 の長さ  $L$  を決定する。

- [0106] 以上のように、差動配線 1 1 に最も近い GND 層 1 2 に高さ（厚さ）の異なる GND 導体サブパターンを複数個、差動配線 1 1 と直交するスルーホール 1 3 の中心線に対し線対称になるよう形成する。このような構造とする事で、差動配線 1 1 と GND 導体パターン 1 2 2 間の結合キャパシタンス容量 C をスルーホールへ近づくにつれ緩やかに増やせ、特性インピーダンスを緩やかに小さくすることが出来る。そのため、差動配線 1 1 とスルーホール 1 3 の接続部で生じる特性インピーダンスの急峻な変化を緩やかにできるので、反射による伝送特性の劣化を抑制できる。
- [0107] なお、実施例 1 と実施例 2 を組み合わせて、スルーホール 1 3 に近づくに従い対向面積 A を大きくし、高さ H を小さくしていく GND 導体パターンもよい。更に、前述の GND 導体パターンを差動信号の P 側と N 側それぞれに形成しても良い。
- [0108] また、差動信号の伝送線路だけでなく、シングル信号（または、差動信号の P 側と N 側毎）の伝送線路に GND 導体サブパターン群を形成することで、省スペース化を実現できる。
- [0109] 更に、差動配線が多数ある場合に配線のための必要エリアが大幅に増えることがなく、各種 I/F コントローラやエキスパンダ LSI が実装される高密度配線が必要な基板に本発明を適用できる。加えて、配線エリアの不足を生じ難くできるので基板の配線層数の低減をでき、その結果、基板コスト及び装置コストを削減できる。
- [0110] なお、本発明は上記した実施例に限定されるものではなく、様々な変形例が含まれる。また、上記した実施例は本発明を分かりやすく説明するために詳細に説明したものであり、必ずしも説明した全ての構成を備えるものに限定されるものではない。また、ある実施例の構成の一部を他の実施例の構成に置き換えることが可能であり、また、ある実施例の構成に他の実施例の構成を加えることも可能である。また、各実施例の構成の一部について、他の構成の追加・削除・置換をすることが可能である。また、制御線や情報線は説明上必要と考えられるものを示しており、製品上必ずしも全ての制御線や

情報線を示しているとは限らない。実際には殆ど全ての構成が相互に接続されていると考えてもよい。

### 符号の説明

- [0111]    1、2    基板
- 3    ストレージ装置
- 1 1 a    差動配線（表層）
- 1 1 b    差動配線（内層）
- 1 2    GND層
- 1 3    スルーホール（ビア）
- 3 5    論理基板部
- 3 6    HDD制御基板部
- 1 2 1 a、1 2 1 b、1 2 2 a、1 2 2 b    GND導体パターン
- 1 2 2 1、1 2 2 2、1 2 2 3、1 2 2 4、1 2 2 5    GND導体サブパターン

## 請求の範囲

- [請求項1]           ストレージ装置であって、前記ストレージ装置は、  
第1コントローラと、  
第2コントローラと、  
前記第1コントローラと前記第2コントローラとを電氣的に接続する信号ラインを形成する基板を備え、  
前記基板は、  
前記信号ラインを形成する信号層と  
GND層と、  
前記GND層上に積層される絶縁層と、  
前記信号ライン同士を接続するスルーホールとから構成され、  
前記信号ラインと前記スルーホールとの接続部分の手前から接続部分に向かって、前記信号ラインに最も近いGND層へ所定の厚さを有する導体パターンを形成することを特徴とするストレージ装置。
- [請求項2]           請求項1記載のストレージ装置であって、前記信号ラインは差動信号である  
ことを特徴とするストレージ装置。
- [請求項3]           請求項2記載のストレージ装置であって、前記ストレージ装置は、  
複数の記憶デバイスから構成される記憶領域をホスト装置に提供するためのホスト通信制御部と、  
前記記憶デバイスを制御する記憶デバイス制御部と、  
前記ストレージ装置全体を制御する制御部と、  
前記記憶デバイス部と制御部との通信を行う記憶デバイス通信制御部とを備える  
ことを特徴とするストレージ装置。

- [請求項4]           請求項3記載のストレージ装置であって、前記第1コントローラが前記制御部であり、前記第2コントローラが前記ホスト通信制御部または前記記憶デバイス通信制御部であることを特徴とするストレージ装置。
- [請求項5]           請求項3記載のストレージ装置であって、前記第1コントローラが前記記憶デバイス通信制御部であり、前記第2コントローラが前記記憶デバイス制御部であることを特徴とするストレージ装置。
- [請求項6]           請求項2記載のストレージ装置であって、前記導体パターンの形状は、前記信号ラインと前記スルーホールとの接続部分に向かって幅が広がる台形であることを特徴とするストレージ装置。
- [請求項7]           請求項2記載のストレージ装置であって、前記導体パターンは、同一幅で、前記信号ラインと前記スルーホールとの接続部分に向かって段階的に厚くなる階段形状であることを特徴とするストレージ装置。
- [請求項8]           請求項2記載のストレージ装置であって、前記導体パターンは、前記信号ラインと前記スルーホールとの接続間及び、前記スルーホールと前記信号ラインとは別の信号ラインとの接続間にそれぞれ対称となるように形成することを特徴とするストレージ装置。
- [請求項9]           基板であって、前記基板は、

前記信号ラインを形成する信号層と  
GND層と、  
前記GND層上に積層される絶縁層と、  
前記信号ライン同士を接続するスルーホールとから構成され、  
前記信号ラインと前記スルーホールとの接続部分の手前から接続部分に向かって、前記信号ラインに最も近いGND層へ所定の厚さを有する導体パターンを形成することを特徴とする基板。

[請求項10]      請求項9記載の基板であって、前記信号ラインは差動信号であることを特徴とする基板。

[請求項11]      請求項9記載の基板であって、前記導体パターンの形状は、前記信号ラインと前記スルーホールとの接続部分に向かって幅が広がる台形であることを特徴とする基板。

[請求項12]      請求項9記載の基板であって、前記導体パターンは、同一幅で、前記信号ラインと前記スルーホールとの接続部分に向かって段階的に厚くなる階段形状であることを特徴とする基板。

[請求項13]      請求項9記載の基板であって、前記導体パターンは、前記信号ラインと前記スルーホールとの接続間及び、前記スルーホールと前記信号ラインとは別の信号ラインとの接続間にそれぞれ対称となるように形成することを特徴とする基板。

[請求項14]       請求項1 3記載の基板であって、前記導体パターンの水平方向の形状は、前記信号ラインと前記スルーホールとの接続部分に向かって幅が広がる台形形状であり、垂直方向の形状は、前記信号ラインと前記スルーホールとの接続部分に向かって段階的に厚くなる階段形状である

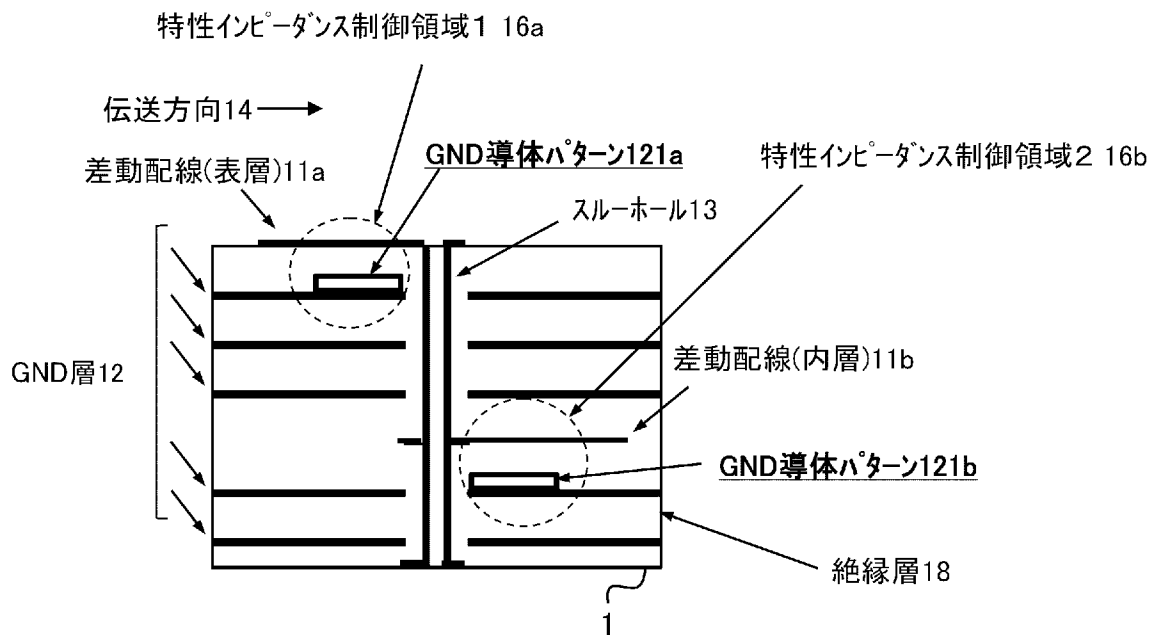
ことを特徴とする基板。

[請求項15]       請求項1 3記載の基板であって、前記信号ラインは差動信号で、前記導体パターンは同一幅で前記信号ラインと前記スルーホールとの接続部分に向かって段階的に厚くなる階段形状で、前記差動信号のP側及びN側信号ラインそれぞれに形成する

ことを特徴とする基板。

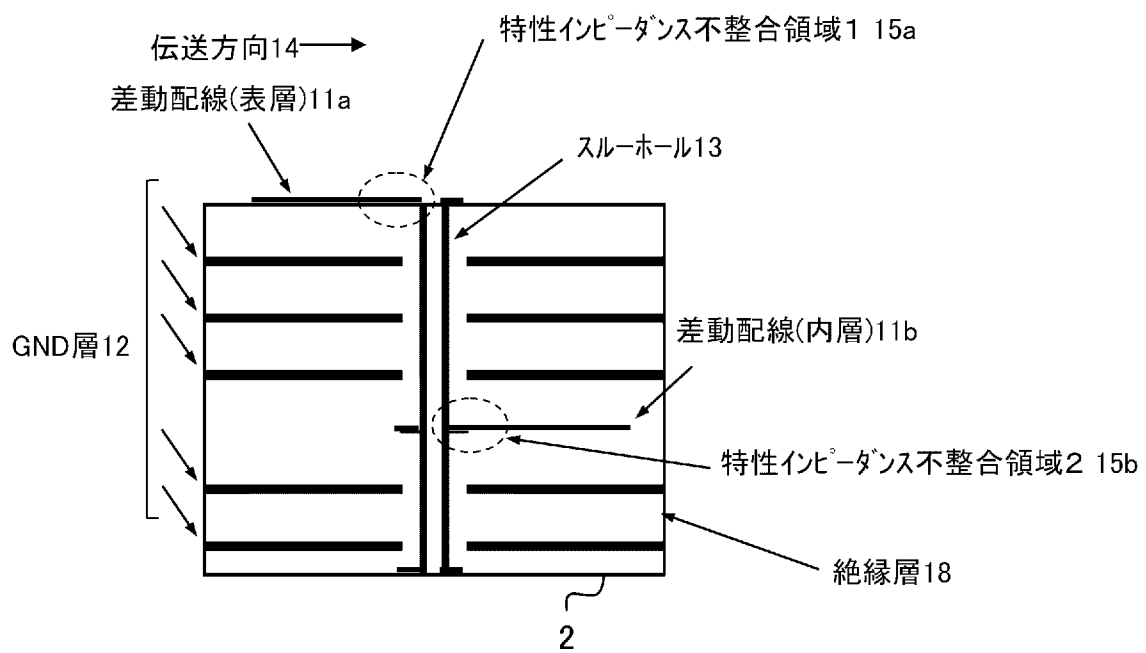
## [図1]

図1



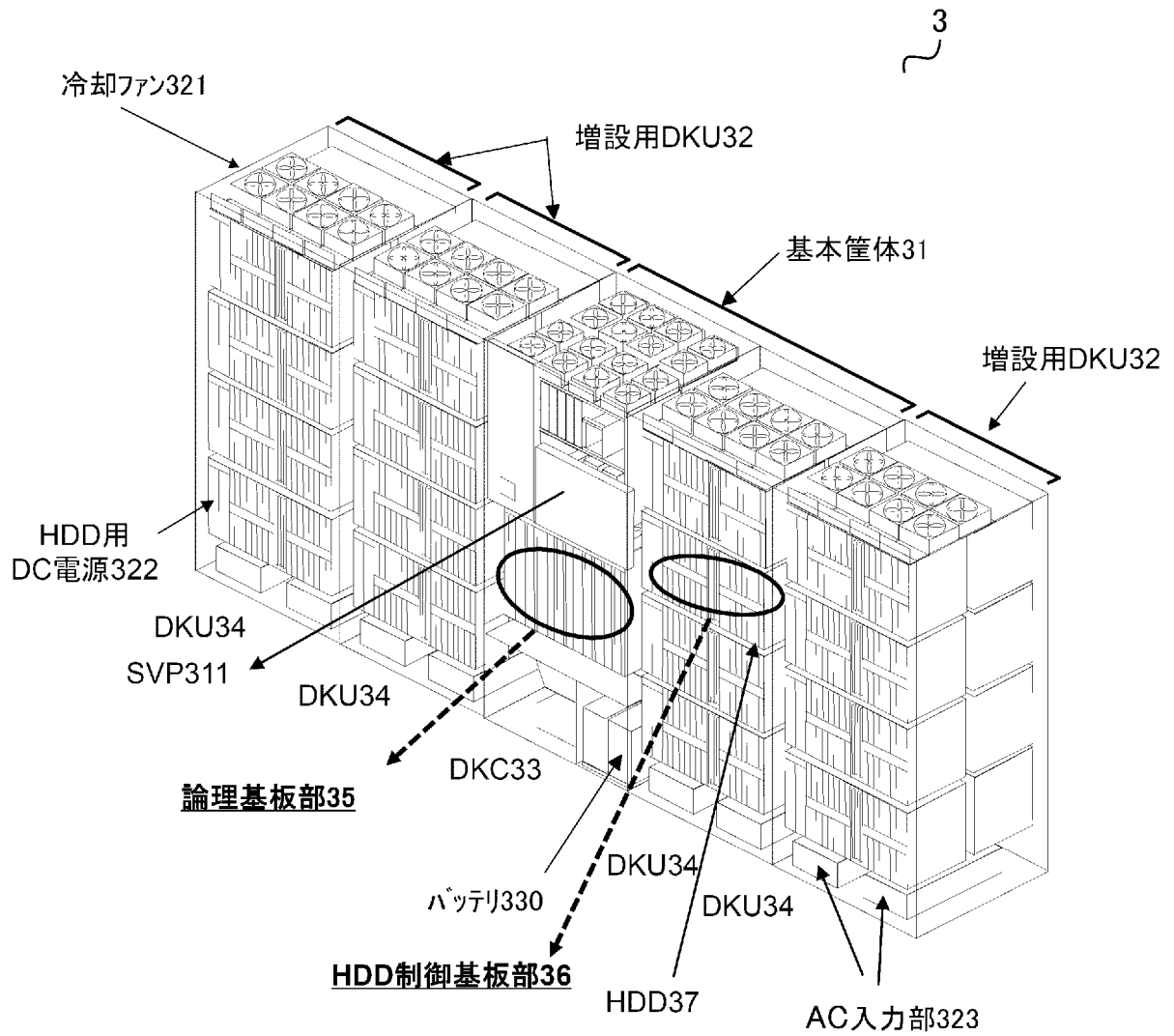
## [図2]

図2



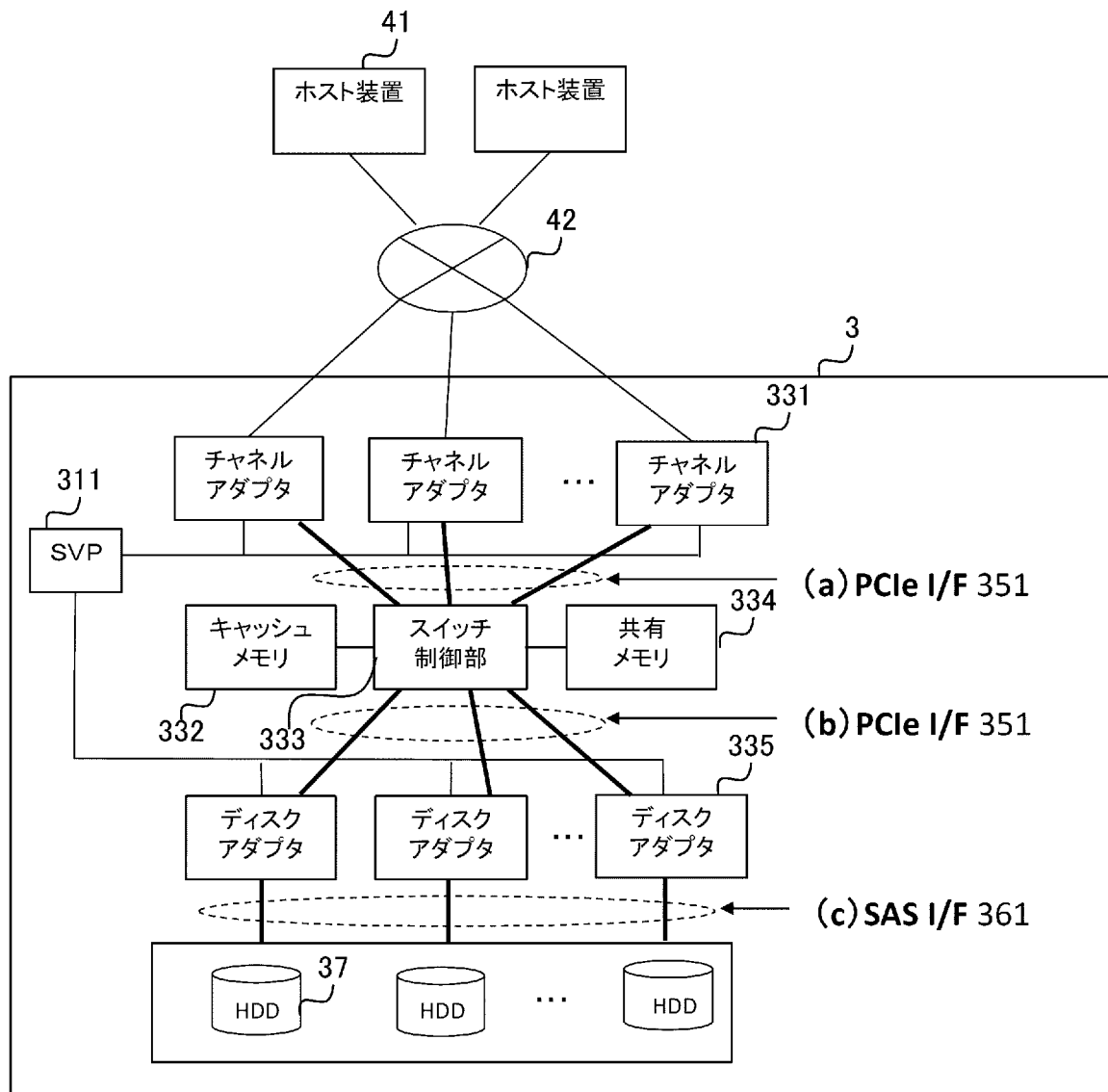
[図3]

図3



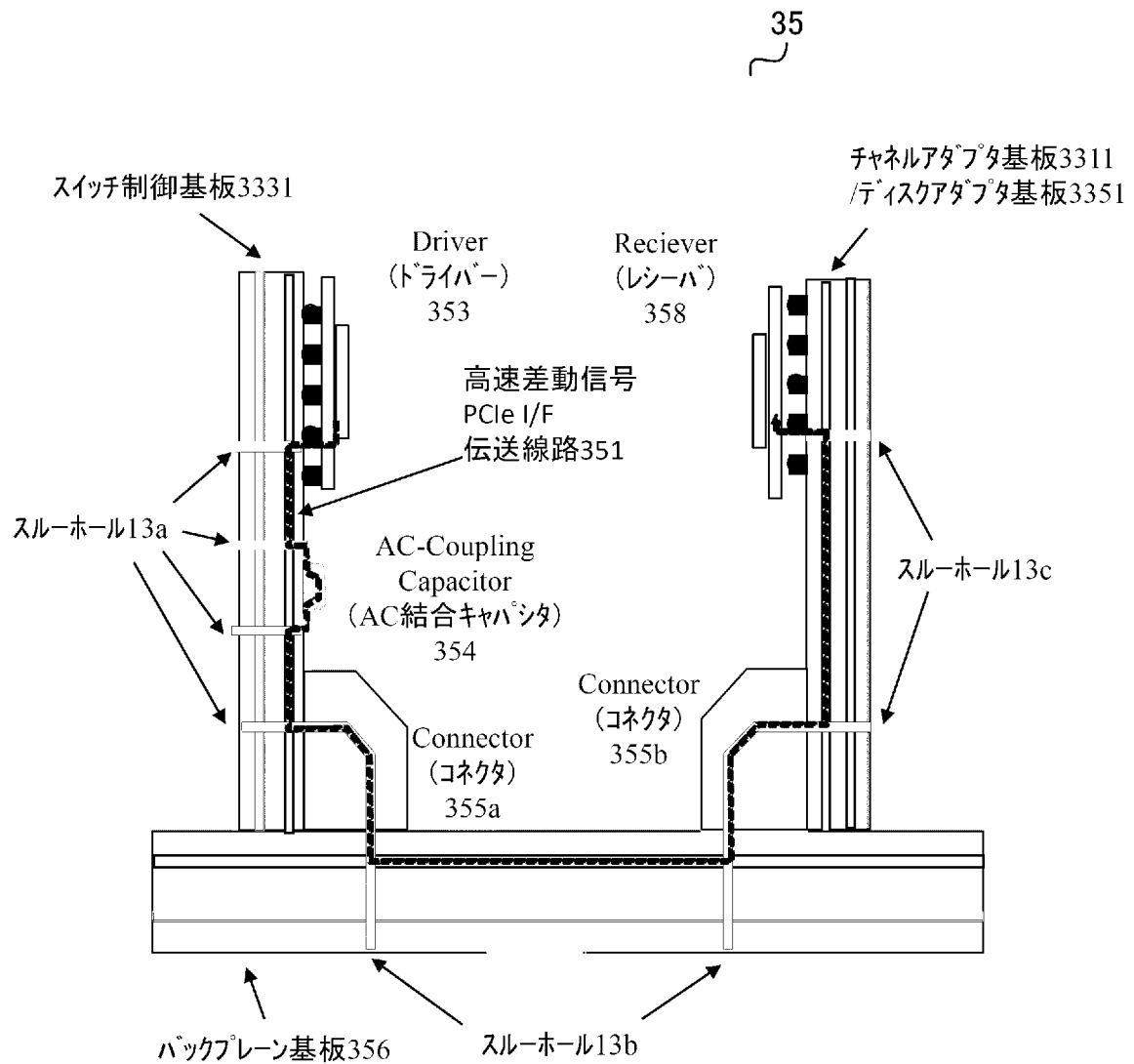
[図4]

図4



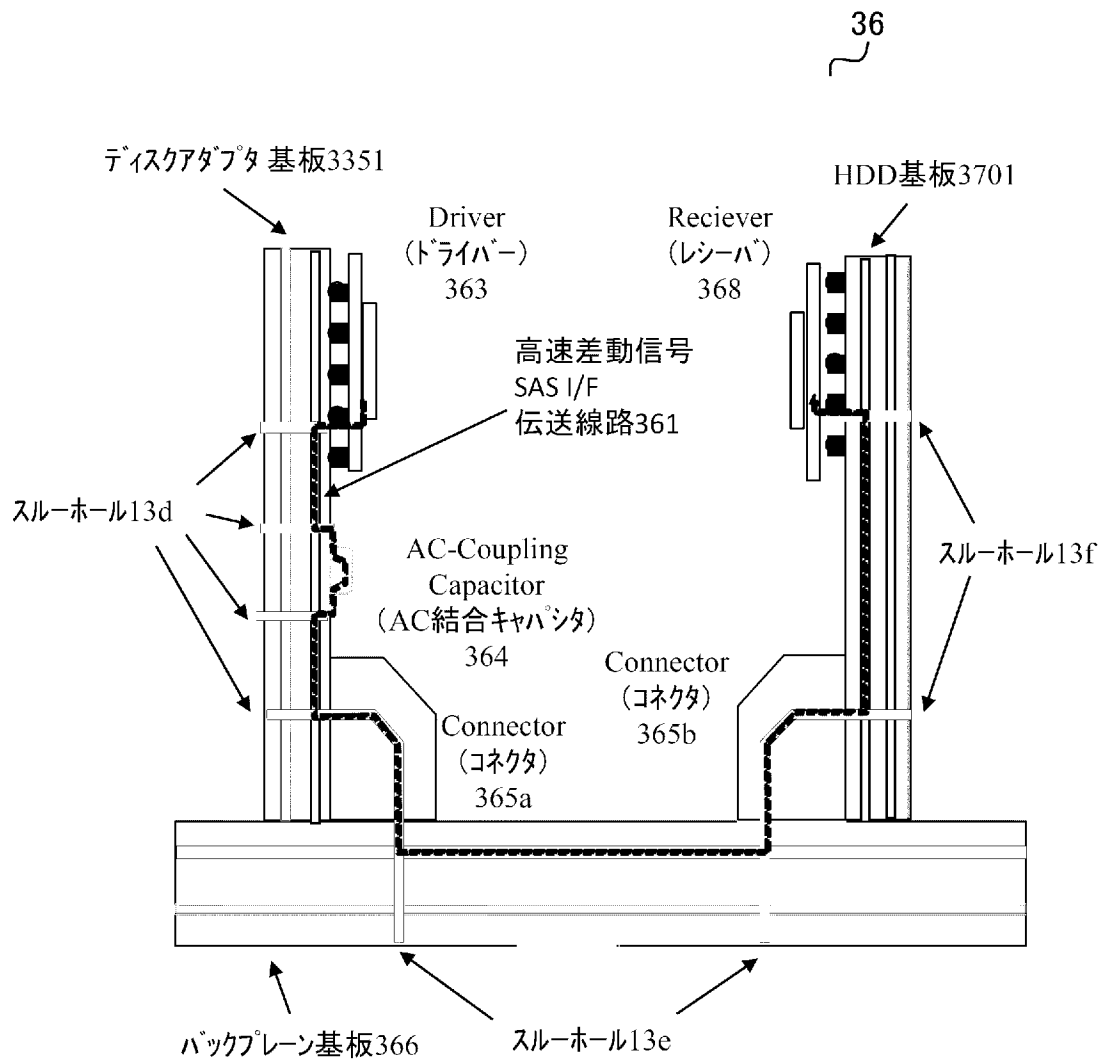
[図5]

図5



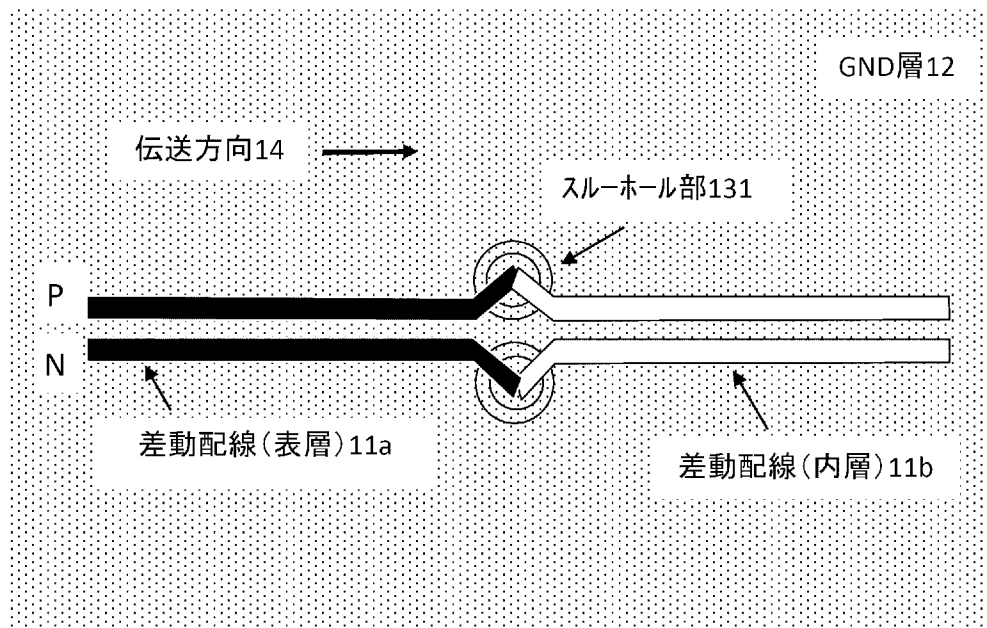
[図6]

図6



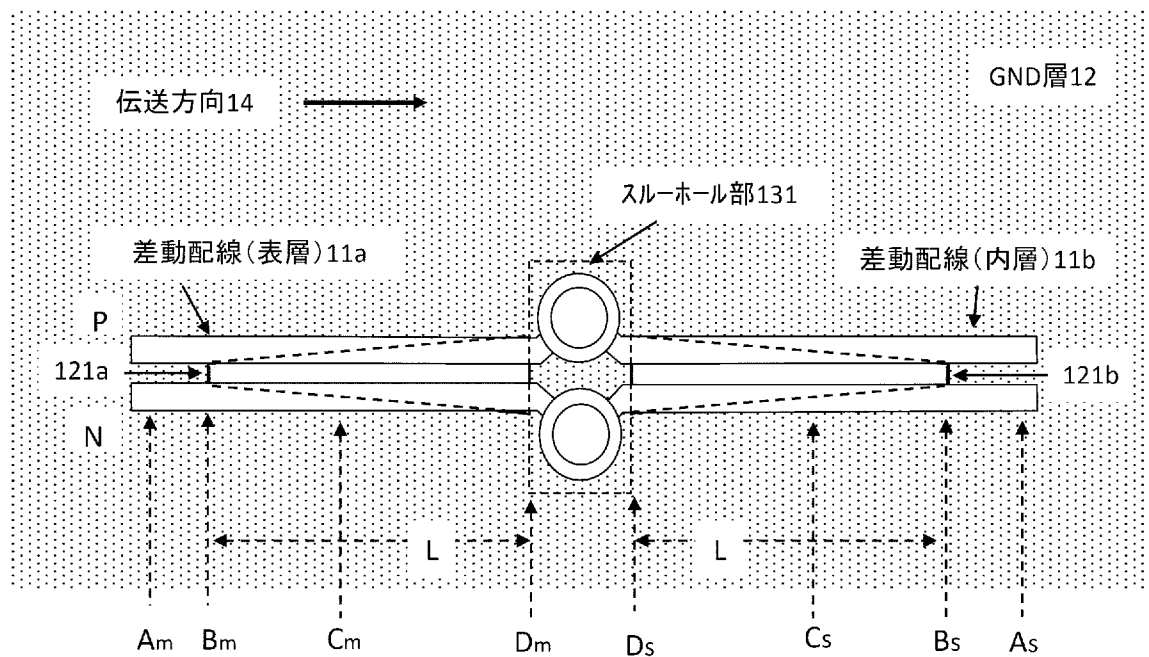
[図7]

図7



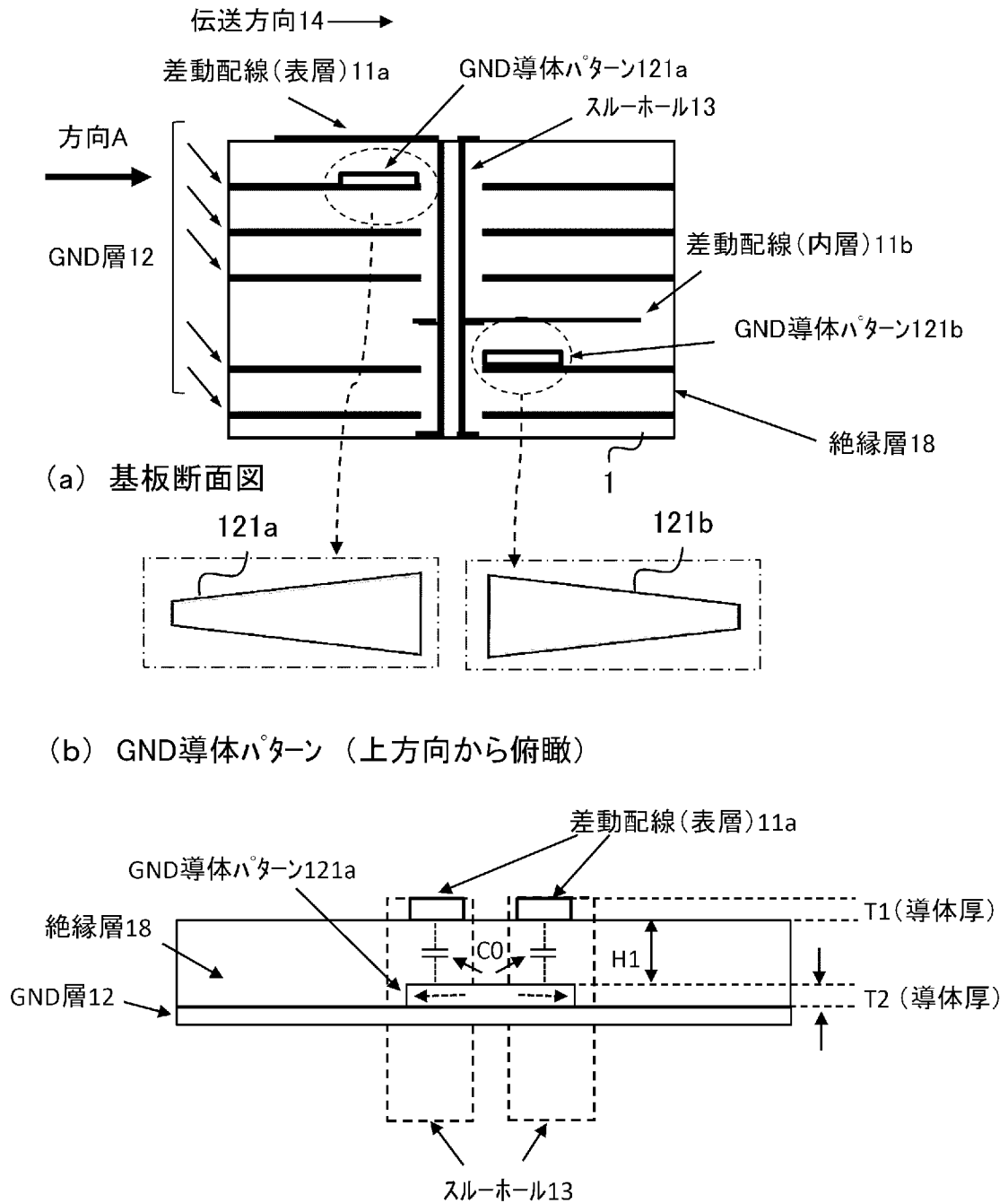
[図8]

図8



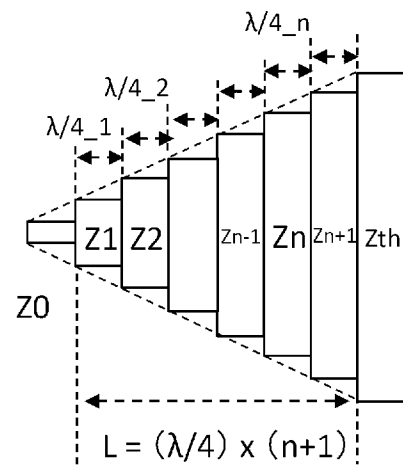
[図9]

図9

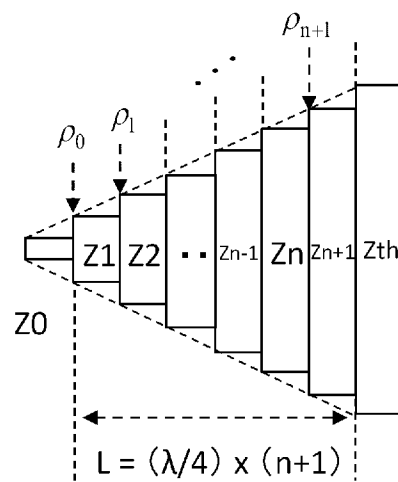


[図10]

図10



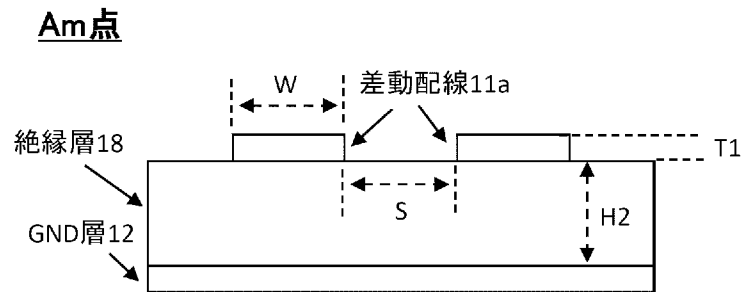
(a) 特性インピーダンス



(b) 反射係数

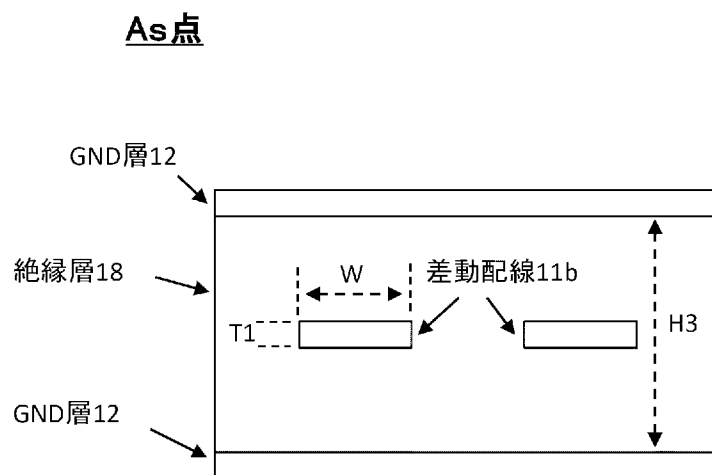
[図11]

図11



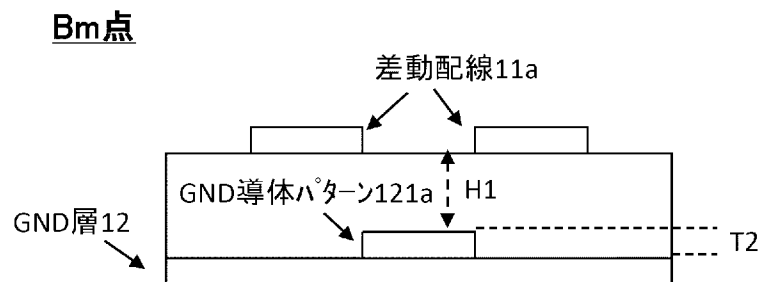
[図12]

図12



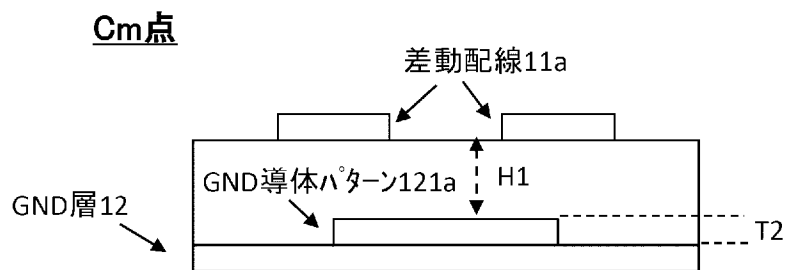
[図13]

図13



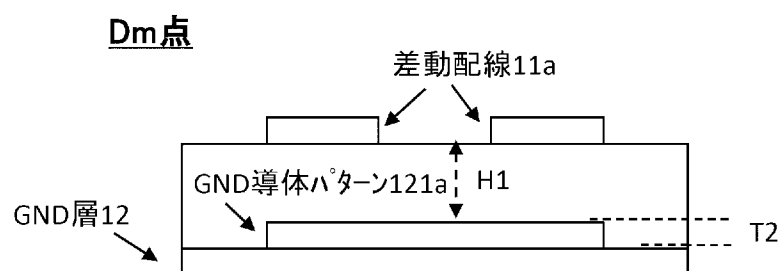
[図14]

図14



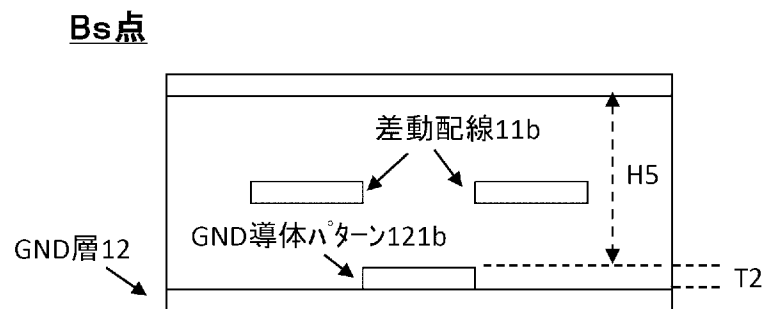
[図15]

図15



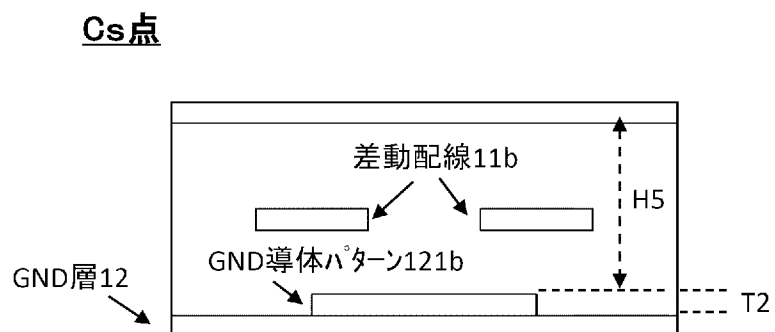
[図16]

図16



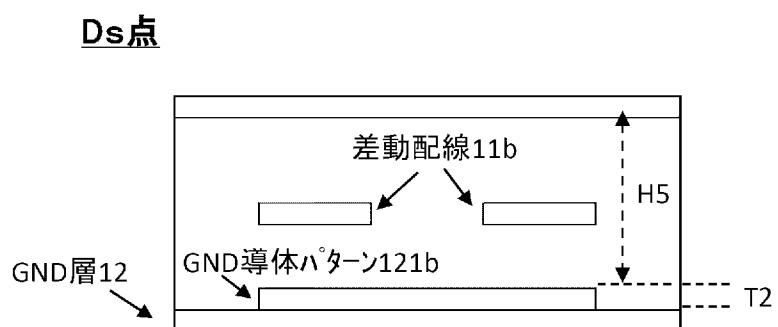
[図17]

図17



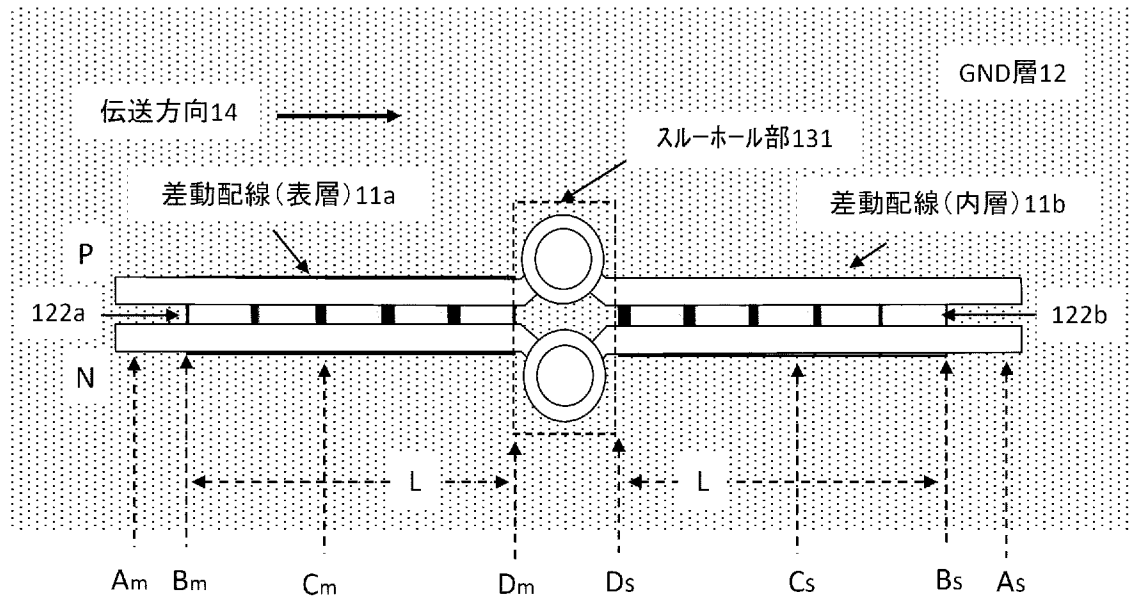
[図18]

図18



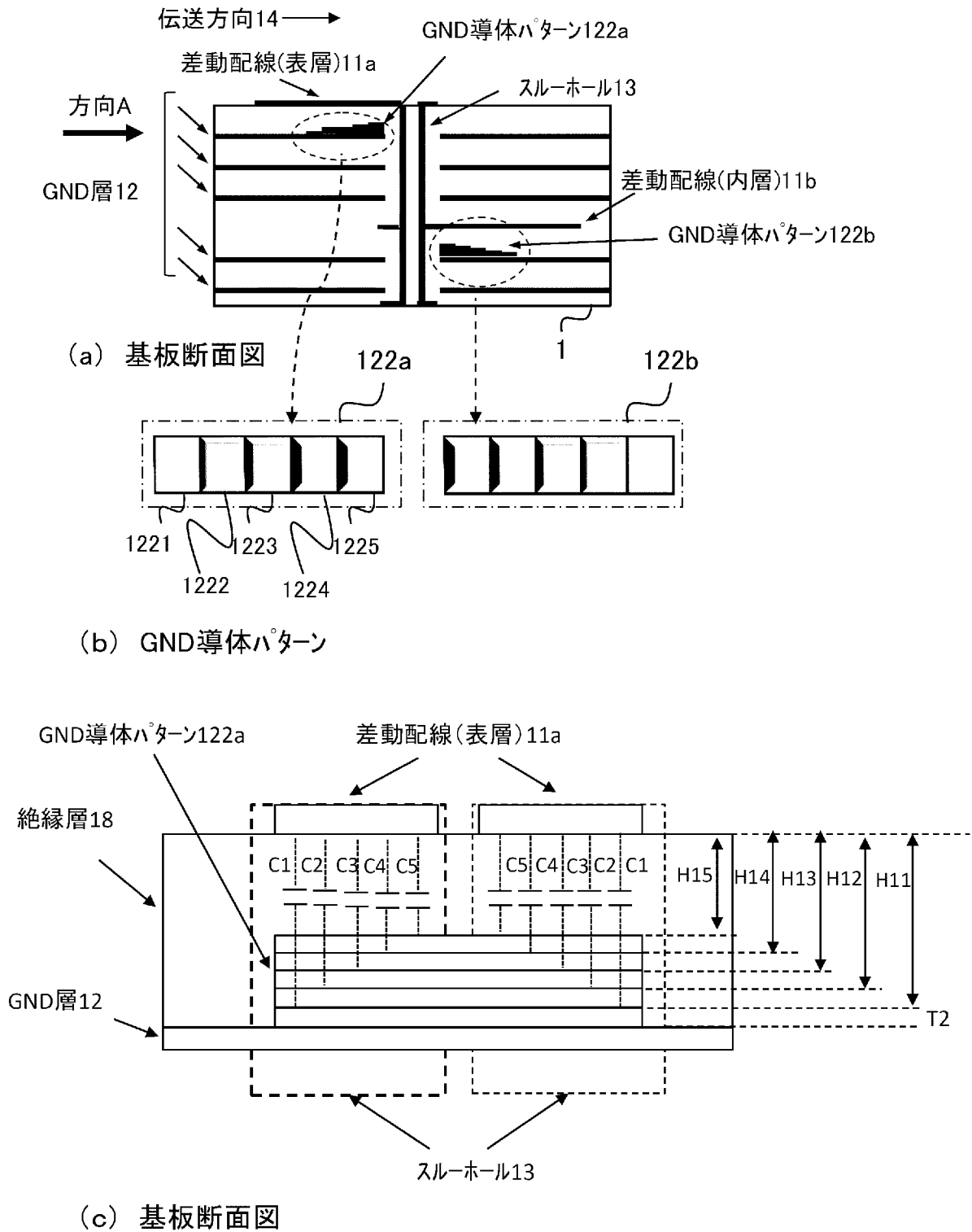
[図19]

図19



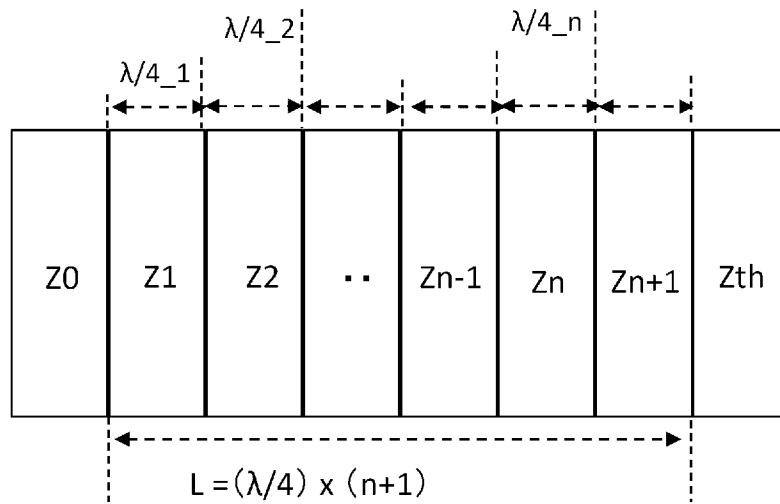
[図20]

図20



[図21]

図21



## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2013/050182

## A. CLASSIFICATION OF SUBJECT MATTER

H01P3/02(2006.01)i, H01P5/02(2006.01)i, H04L25/02(2006.01)i, H05K1/02(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01P3/02, H01P5/02, H04L25/02, H05K1/02

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2013

Kokai Jitsuyo Shinan Koho 1971-2013 Toroku Jitsuyo Shinan Koho 1994-2013

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

| Category* | Citation of document, with indication, where appropriate, of the relevant passages                                            | Relevant to claim No. |
|-----------|-------------------------------------------------------------------------------------------------------------------------------|-----------------------|
| A         | JP 2005-277028 A (Mitsubishi Electric Corp.),<br>06 October 2005 (06.10.2005),<br>entire text; all drawings<br>(Family: none) | 1-15                  |
| A         | JP 2004-014800 A (Mitsubishi Electric Corp.),<br>15 January 2004 (15.01.2004),<br>entire text; all drawings<br>(Family: none) | 1-15                  |



Further documents are listed in the continuation of Box C.



See patent family annex.

\* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&amp;" document member of the same patent family

Date of the actual completion of the international search  
29 March, 2013 (29.03.13)Date of mailing of the international search report  
09 April, 2013 (09.04.13)Name and mailing address of the ISA/  
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

**INTERNATIONAL SEARCH REPORT**

International application No.

PCT/JP2013/050182

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

| Category* | Citation of document, with indication, where appropriate, of the relevant passages                                                                                                                                                                              | Relevant to claim No. |
|-----------|-----------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|-----------------------|
| A         | JP 2002-536904 A (Nokia Networks Oy.),<br>29 October 2002 (29.10.2002),<br>entire text; all drawings<br>& US 6639487 B1 & EP 1149469 A<br>& WO 2000/046921 A1 & DE 60041957 D<br>& FI 990191 A & AU 2443600 A<br>& CN 1339197 A & AT 428223 T<br>& FI 990191 A0 | 1-15                  |

## A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. H01P3/02(2006.01)i, H01P5/02(2006.01)i, H04L25/02(2006.01)i, H05K1/02(2006.01)i

## B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. H01P3/02, H01P5/02, H04L25/02, H05K1/02

最小限資料以外の資料で調査を行った分野に含まれるもの

|             |                     |
|-------------|---------------------|
| 日本国実用新案公報   | 1 9 2 2 - 1 9 9 6 年 |
| 日本国公開実用新案公報 | 1 9 7 1 - 2 0 1 3 年 |
| 日本国実用新案登録公報 | 1 9 9 6 - 2 0 1 3 年 |
| 日本国登録実用新案公報 | 1 9 9 4 - 2 0 1 3 年 |

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

## C. 関連すると認められる文献

| 引用文献の<br>カテゴリー* | 引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示                         | 関連する<br>請求項の番号 |
|-----------------|-----------------------------------------------------------|----------------|
| A               | JP 2005-277028 A（三菱電機株式会社）2005.10.06, 全文, 全図<br>(ファミリーなし) | 1-15           |
| A               | JP 2004-014800 A（三菱電機株式会社）2004.01.15, 全文, 全図<br>(ファミリーなし) | 1-15           |

☒ C 欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

## \* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの  
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの  
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）  
「O」口頭による開示、使用、展示等に言及する文献  
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&amp;」同一パテントファミリー文献

国際調査を完了した日

2 9 . 0 3 . 2 0 1 3

国際調査報告の発送日

0 9 . 0 4 . 2 0 1 3

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）

郵便番号 1 0 0 - 8 9 1 5

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

麻生 哲朗

5 K

4 6 8 4

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 5 5 6

| C (続き) . 関連すると認められる文献 |                                                                                                                                                                                                                       |                |
|-----------------------|-----------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|----------------|
| 引用文献の<br>カテゴリー*       | 引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示                                                                                                                                                                                     | 関連する<br>請求項の番号 |
| A                     | JP 2002-536904 A (ノキア ネットワークス オサケ ユキチュア)<br>2002. 10. 29, 全文, 全図<br>& US 6639487 B1 & EP 1149469 A & WO 2000/046921 A1 & DE 60041957<br>D & FI 990191 A & AU 2443600 A & CN 1339197 A & AT 428223 T &<br>FI 990191 A0 | 1-15           |