

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3613253号

(P3613253)

(45) 発行日 平成17年1月26日(2005.1.26)

(24) 登録日 平成16年11月5日(2004.11.5)

(51) Int. Cl.⁷

F I

| | | |
|-------------|------------|------|
| G09G 3/30 | G09G 3/30 | J |
| G09G 3/20 | G09G 3/20 | 611H |
| H03K 17/04 | G09G 3/20 | 624B |
| H03K 17/687 | G09G 3/20 | 641D |
| H05B 33/14 | H03K 17/04 | E |

請求項の数 10 (全 20 頁) 最終頁に続く

(21) 出願番号 特願2002-70730 (P2002-70730)
 (22) 出願日 平成14年3月14日(2002.3.14)
 (65) 公開番号 特開2003-271095 (P2003-271095A)
 (43) 公開日 平成15年9月25日(2003.9.25)
 審査請求日 平成15年8月12日(2003.8.12)

(73) 特許権者 000004237
 日本電気株式会社
 東京都港区芝五丁目7番1号
 (74) 代理人 100099830
 弁理士 西村 征生
 (72) 発明者 佐々木 勇男
 東京都港区芝五丁目7番1号 日本電気株
 式会社内
 (72) 発明者 井口 康一
 東京都港区芝五丁目7番1号 日本電気株
 式会社内

審査官 濱本 禎広

最終頁に続く

(54) 【発明の名称】 電流制御素子の駆動回路及び画像表示装置

(57) 【特許請求の範囲】

【請求項1】

第1の電源線と第2の電源線との間に直列に接続された駆動トランジスタと電流制御素子と、前記駆動トランジスタと電流制御素子の接続点と前記駆動トランジスタのゲート電極との間に接続された保持容量と、信号線と前記駆動トランジスタのゲート電極との間に接続された選択ゲートトランジスタとを備え、

駆動回路の選択期間に前記選択ゲートトランジスタをオンにし、前記選択期間の初期に、前記信号線にリセット信号電圧からなる第1の信号電圧を入力して前記保持容量及び前記電流制御素子の寄生容量に蓄積されている電荷をリセットし、

次に、前記信号線から、最初の状態で前記保持容量に配分される電圧が前記駆動トランジスタのしきい値電圧より大きく、前記寄生容量に配分される電圧が前記制御電流素子の立ち上がり電圧より小さい第2の信号電圧を入力し、その後、前記保持容量に書き込まれた信号電荷が前記駆動トランジスタを経て前記寄生容量に放電して前記駆動トランジスタの電流が停止したのち、前記信号線から前記第2の信号電圧より大きい第3の信号電圧を入力して前記保持容量に前記駆動トランジスタのしきい値電圧より大きい電圧を保持し、前記駆動回路の非選択期間に前記選択ゲートトランジスタをオフにして、前記駆動トランジスタを経て前記電流制御素子に電流を流すことを特徴とする電流制御素子の駆動回路。

【請求項2】

前記選択期間の初期に、前記信号線に高電圧を入力して前記駆動トランジスタをオンにするとともに、前記第1の電源線をリセット信号電圧とすることによって前記電流制御素子

10

20

の寄生容量に蓄積されている電荷をリセットした後、前記信号線の電位をリセット信号電圧からなる第1の信号電圧として前記保持容量の電荷を放電してから前記第1の電源線の電圧をもとの電源線電圧に戻すことを特徴とする請求項1記載の電流制御素子の駆動回路。

【請求項3】

前記リセット信号電圧が、前記第2の電源線の電圧であることを特徴とする請求項1又は2記載の電流制御素子の駆動回路。

【請求項4】

前記選択ゲートトランジスタと駆動トランジスタとが、Nチャネル電界効果トランジスタからなることを特徴とする請求項1乃至3のいずれか一記載の電流制御素子の駆動回路。

10

【請求項5】

前記選択ゲートトランジスタと駆動トランジスタとが、Pチャネル電界効果トランジスタからなることを特徴とする請求項1乃至3のいずれか一記載の電流制御素子の駆動回路。

【請求項6】

前記第1の電源線又は第2の電源線と前記駆動トランジスタのソースとの間にスイッチングトランジスタを備え、前記駆動回路の非選択期間に、又は選択期間の初期に前記信号線の電圧を0にして、前記スイッチングトランジスタをオンにすることによって、前記保持容量及び前記電流制御素子の寄生容量に蓄積されている電荷をリセットすることを特徴とする請求項1記載の電流制御素子の駆動回路。

【請求項7】

20

前記第1の電源線又は第2の電源線と前記駆動トランジスタのゲートとの間にスイッチングトランジスタを備え、前記駆動回路の非選択期間に、前記スイッチングトランジスタをオンにすることによって、前記保持容量及び前記電流制御素子の寄生容量に蓄積されている電荷をリセットすることを特徴とする請求項1記載の電流制御素子の駆動回路。

【請求項8】

前記選択ゲートトランジスタと駆動トランジスタとスイッチングトランジスタとが、Nチャネル電界効果トランジスタからなることを特徴とする請求項6又は7記載の電流制御素子の駆動回路。

【請求項9】

前記選択ゲートトランジスタと駆動トランジスタとスイッチングトランジスタとが、Pチャネル電界効果トランジスタからなることを特徴とする請求項6又は7記載の電流制御素子の駆動回路。

30

【請求項10】

請求項1乃至9のいずれか一記載の電流制御素子の駆動回路を複数個平面状に配列して、行方向と列方向とに駆動可能なように構成してなることを特徴とする画像表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、有機EL(Electro Luminescence)素子等の電流制御素子を発光させるための電流制御素子の駆動回路及びこれを用いた画像表示装置に関する。

40

【0002】

【従来の技術】

有機ELディスプレイ等のように、電流制御によって駆動される発光素子(電流制御素子)の駆動回路を、平面状に多数配置して形成されている画像表示装置では、各電流制御素子に流れる電流の制御は、駆動回路において、駆動トランジスタのゲート-ソース間の保持容量に対して、信号線から選択ゲートトランジスタを介して、電流制御素子の表示輝度に応じた電流が流れるようにプログラムされた信号電荷を書き込んで、その信号電荷を表示期間中、保持することによって行われる。

【0003】

50

図15は、第1の従来例の電流制御素子の駆動回路の構成を示したものであって、特開平8-234683号公報に開示されているものである。

この従来例の電流制御素子の駆動回路は、図15に示すように、電源線11と接地線12と信号線13との間に接続された、選択ゲートトランジスタ14と、保持容量15と、駆動トランジスタ16と、電流制御素子17と、寄生容量18とからなっている。

選択ゲートトランジスタ14は、Nチャネル電界効果トランジスタからなり、ゲート電極を選択線（不図示）に接続され、ドレイン電極を信号線13に接続され、ソース電極を駆動トランジスタ16のゲート電極に接続されている。保持容量15は、駆動トランジスタ16のゲート電極と電源線11との間に接続されている。駆動トランジスタ16は、Pチャネル電界効果トランジスタからなり、ゲート電極を選択ゲートトランジスタ14のソース電極と保持容量15の一端に接続され、ソース電極を電源線11に接続され、ドレイン電極を電流制御素子17のアノードに接続されている。電流制御素子17は、駆動トランジスタ16のドレイン電極と接地線12との間に接続され、駆動トランジスタ16の電流ILに応じた輝度で発光する。寄生容量18は、電流制御素子17の両端の寄生容量である。

【0004】

図15に示された従来の電流制御素子の駆動回路では、選択期間中に、選択ゲートドライバ（不図示）からロウ（行）方向に出力された選択信号が、選択された行の各駆動回路の選択ゲートトランジスタ14のゲート電極に与えられて、該当する行の選択ゲートトランジスタ14が導通状態になることによって、駆動ドライバ（不図示）からカラム（列）方向に出力された信号電圧VDATAが、選択された信号線13を経て、駆動トランジスタ16のゲート-ソース間に印加される。

駆動回路が選択期間から非選択期間に切り替えられると、選択ゲートトランジスタ14が導通状態から非導通状態になる。このとき、駆動トランジスタ16のゲート-ソース間電圧VGSは、保持容量15によって保持されているため、非選択期間（保持期間）中も、駆動トランジスタ16は、書き込まれた信号電圧に応じた電流IDSを、電流制御素子17に供給し続ける。

【0005】

図16は、駆動トランジスタの特性がばらついているときのIDS-VGS特性を示したものである。駆動トランジスタのIDS-VGS特性は、個々のトランジスタによってばらつきがあり、特にしきい値のばらつきが大きい。そのため、駆動トランジスタのゲート-ソース間電圧VGSとして、同一の信号電圧VDATAが与えられた場合でも、駆動トランジスタの出力電流IDSは、個々のトランジスタによって、IL1, IL2又はIL3のようにばらつく。

ドレイン-ソース間電流IDSは、そのまま電流制御素子17に流れるため、各駆動回路に同じ信号電圧VDATAを入力しても、電流制御素子17に流れる電流にばらつきが生じることになる。

さらに、非選択期間中も、駆動トランジスタ16のゲート-ソース間電圧VGSは、保持容量15によって保持されるため、信号電圧VDATAが同じ場合でも、駆動トランジスタ16のばらつきに基づいて、駆動回路によって異なる電流が電流制御素子17に流れ続ける。

このため、同一信号電圧を書き込んでも、各電流制御素子の発光輝度にばらつきが発生するという問題があった。

【0006】

このような、駆動トランジスタのしきい値ばらつきによって生じる駆動電流のばらつきを防止するための方法として、下記の文献に記載されたものが提案されている。

SID' 99, pp. 11-14 ; A Polysilicon Active Matrix Organic Light Emitting Diode Display with Integrated Drivers, R. Dawson et al

10

20

30

40

50

【 0 0 0 7 】

図 1 7 は、第 2 の従来例の電流制御素子の駆動回路の構成を示したものである。この従来例の電流制御素子の駆動回路は、図 1 7 に示すように、電源線 1 1 と接地線 1 2 と信号線 1 3 との間に接続された、選択ゲートトランジスタ 1 4 A と、保持容量 1 5 と、駆動トランジスタ 1 6 と、電流制御素子 1 7 と、寄生容量 1 8 と、デカップリング容量 1 9 と、スイッチングトランジスタ 2 0 , 2 1 とからなっている。

選択ゲートトランジスタ 1 4 A は、Pチャネル電界効果トランジスタからなり、ゲート電極を選択線（不図示）に接続され、ソース電極を信号線 1 3 に接続され、ドレイン電極をデカップリング容量 1 9 の一端に接続されている。保持容量 1 5 は、駆動トランジスタ 1 6 のゲート電極と電源線 1 1 との間に接続されている。駆動トランジスタ 1 6 は、Pチャネル電界効果トランジスタからなり、ゲート電極をデカップリング容量 1 9 の他端と保持容量 1 5 の一端に接続され、ソース電極を電源線 1 1 に接続され、ドレイン電極をスイッチングトランジスタ 2 1 のソース電極に接続されている。

10

【 0 0 0 8 】

電流制御素子 1 7 は、スイッチングトランジスタ 2 1 のドレイン電極と接地線 1 2 との間に接続されていて、駆動トランジスタ 1 6 の電流に応じた輝度で発光する。寄生容量 1 8 は、電流制御素子 1 7 の両端の寄生容量である。デカップリング容量 1 9 は、選択ゲートトランジスタ 1 4 A のドレイン電極と駆動トランジスタ 1 6 のゲート電極間に接続されていて、これらの間を直流的に分離する。スイッチトランジスタ 2 0 は、Pチャネル電界効果トランジスタからなり、ゲート電極をリセット線（不図示）に接続され、ソース電極を駆動トランジスタ 1 6 のゲート電極に接続され、ドレイン電極を駆動トランジスタ 1 6 のドレイン電極に接続されている。スイッチングトランジスタ 2 1 は、Pチャネル電界効果トランジスタからなり、ゲート電極をリセット線に接続され、ソース電極を駆動トランジスタ 1 6 のドレイン電極に接続され、ドレイン電極を電流制御素子 1 7 の一端に接続されている。

20

【 0 0 0 9 】

図 1 8 は、第 2 の従来例の電流制御素子の駆動回路の動作を説明するタイミングチャートである。

以下、図 1 7 , 図 1 8 を用いて、第 2 の従来例の電流制御素子の駆動回路の動作を説明する。

30

この従来例の電流制御素子の駆動回路では、選択期間が始まる前に、電流制御素子 1 7 の寄生容量 1 8 を放電し、駆動トランジスタ 1 6 のドレイン電圧 V D を接地線電位にしておく必要がある。また、信号線 1 3 の電圧を電源線 1 1 の電圧 V D D にしておく。

選択期間が開始されたとき、ロウ方向の選択信号を選択線に与えることによって、選択ゲートトランジスタ 1 4 A をオンにし、リセットドライバ（不図示）からリセット信号をリセット線に与えることによって、スイッチングトランジスタ 2 0 をオンにし、スイッチングトランジスタ 2 1 をオフにすると、駆動トランジスタ 1 6 のゲート電極とドレイン電極とを電氣的に接続した状態で、保持容量 1 5 に蓄積された電荷の放電が開始される。この状態で、充分、時間が経過すると、駆動トランジスタ 1 6 のゲート電圧 V G がしきい値 V T まで降下する。その後、スイッチングトランジスタ 2 0 をオフにして、駆動トランジスタ 1 6 のゲート電極をフローティングにする。

40

【 0 0 1 0 】

次に、信号線 1 3 からの入力電圧が、電源線 1 1 の電圧 V D D から書き込み電圧 V D A T A に切り替えられると、駆動トランジスタ 1 6 のゲート - ドレイン間電圧 V G S は、デカップリング容量 1 9 の容量値 C D と、保持容量 1 5 の容量値 C S との容量分割によって、下式で与えられるようになる。

$$\begin{aligned} VGS &= VG - VDD \\ &= VT + CD \cdot (VDATA - VDD) / (CS + CD) \quad \dots (1) \end{aligned}$$

トランジスタのドレイン - ソース間電流値は、一般に、(V G S - V T) の関数で表され

50

るが、上式からわかるように、 $(VGS - VT)$ が $VDATA$ で決まるので、駆動トランジスタ16のしきい値にばらつきがあっても、それが補正される。

【0011】

しかしながら、この従来例では、1画素に対して4個のトランジスタが必要になるだけでなく、保持容量のほかに、デカップリング容量が必要になる。

従って、画素の開口率が低下して、製造プロセス的にも困難になるという問題がある。

また、デカップリング容量 CD の値が小さいと、書き込み電圧 $VDATA$ をより大きくしなければならないので、 $CD > CS$ にすることが望ましいが、そのためには、デカップリング容量 CD を形成するためのチップ面積が大きくなるという問題もある。

さらに、選択期間前における電流制御素子の寄生容量の放電に時間がかかり、寄生容量放電の操作が複雑になるという欠点も持っている。

10

【0012】

【発明が解決しようとする課題】

この発明は上述の事情に鑑みてなされたものであって、最小限の素子構成で、駆動トランジスタのしきい値ばらつきを補正することが可能な、電流制御素子の駆動回路及び画像表示装置を提供することを目的としている。

【0013】

【課題を解決するための手段】

上記課題を解決するために、請求項1記載の発明は電流制御素子の駆動回路に係り、第1の電源線と第2の電源線との間に直列に接続された駆動トランジスタと電流制御素子と、上記駆動トランジスタと電流制御素子の接続点と上記駆動トランジスタのゲート電極との間に接続された保持容量と、信号線と上記駆動トランジスタのゲート電極との間に接続された選択ゲートトランジスタとを備え、駆動回路の選択期間に上記選択ゲートトランジスタをオンにし、上記選択期間の初期に、上記信号線にリセット信号電圧からなる第1の信号電圧を入力して上記保持容量及び上記電流制御素子の寄生容量に蓄積されている電荷をリセットし、次に、上記信号線から、最初の状態で上記保持容量に配分される電圧が上記駆動トランジスタのしきい値電圧より大きく、上記寄生容量に配分される電圧が上記制御電流素子の立ち上がり電圧より小さい第2の信号電圧を入力し、その後、上記保持容量に書き込まれた信号電荷が上記駆動トランジスタを経て上記寄生容量に放電して上記駆動トランジスタの電流が停止したのち、上記信号線から上記第2の信号電圧より大きい第3の信号電圧を入力して上記保持容量に上記駆動トランジスタのしきい値電圧より大きい電圧を保持し、上記駆動回路の非選択期間に上記選択ゲートトランジスタをオフにして、上記駆動トランジスタを経て上記電流制御素子に電流を流すことを特徴としている。

20

30

【0014】

また、請求項2記載の発明は、請求項1記載の電流制御素子の駆動回路に係り、上記選択期間の初期に、上記信号線に高電圧を入力して上記駆動トランジスタをオンにするとともに、上記第1の電源線をリセット信号電圧とすることによって上記電流制御素子の寄生容量に蓄積されている電荷をリセットした後、上記信号線の電位をリセット信号電圧からなる第1の信号電圧として上記保持容量の電荷を放電してから上記第1の電源線の電圧をもとの電源線電圧に戻すことを特徴としている。

40

【0015】

また、請求項3記載の発明は、請求項1又は2記載の電流制御素子の駆動回路に係り、上記リセット信号電圧が、上記第2の電源線の電圧であることを特徴としている。

【0016】

また、請求項4記載の発明は、請求項1乃至3のいずれか一記載の電流制御素子の駆動回路に係り、上記選択ゲートトランジスタと駆動トランジスタとが、 N チャネル電界効果トランジスタからなることを特徴としている。

【0017】

また、請求項5記載の発明は、請求項1乃至3のいずれか一記載の電流制御素子の駆動回路に係り、上記選択ゲートトランジスタと駆動トランジスタとが、 P チャネル電界効果ト

50

ランジスタからなることを特徴としている。

【 0 0 1 8 】

また、請求項 6 記載の発明は、請求項 1 記載の電流制御素子の駆動回路に係り、上記第 1 の電源線又は第 2 の電源線と上記駆動トランジスタのソースとの間にスイッチングトランジスタを備え、上記駆動回路の非選択期間に、又は選択期間の初期に前記信号線の電圧を 0 にして、上記スイッチングトランジスタをオンにすることによって、上記保持容量及び上記電流制御素子の寄生容量に蓄積されている電荷をリセットすることを特徴としている。

【 0 0 1 9 】

また、請求項 7 記載の発明は、請求項 1 記載の電流制御素子の駆動回路に係り、上記第 1 の電源線又は第 2 の電源線と上記駆動トランジスタのゲートとの間にスイッチングトランジスタを備え、上記駆動回路の非選択期間に、上記スイッチングトランジスタをオンにすることによって、上記保持容量及び上記電流制御素子の寄生容量に蓄積されている電荷をリセットすることを特徴としている。

10

【 0 0 2 0 】

また、請求項 8 記載の発明は、請求項 6 又は 7 記載の電流制御素子の駆動回路に係り、上記選択ゲートトランジスタと駆動トランジスタとスイッチングトランジスタとが、Nチャネル電界効果トランジスタからなることを特徴としている。

【 0 0 2 1 】

また、請求項 9 記載の発明は、請求項 6 又は 7 記載の電流制御素子の駆動回路に係り、上記選択ゲートトランジスタと駆動トランジスタとスイッチングトランジスタとが、Pチャネル電界効果トランジスタからなることを特徴としている。

20

【 0 0 2 2 】

また、請求項 10 記載の発明は、画像表示装置に係り、請求項 1 乃至 9 のいずれか一記載の電流制御素子の駆動回路を複数個平面状に配列して、行方向と列方向とに駆動可能なように構成してなることを特徴としている。

【 0 0 2 3 】

【発明の実施の形態】

以下、図面を参照して、この発明の実施の形態について説明する。説明は、実施例を用いて具体的に行う。

30

第 1 実施例

図 1 は、本発明の第 1 実施例である電流制御素子の駆動回路の構成を示す回路図、図 2 は、本実施例の電流制御素子の駆動回路の動作を説明するタイミングチャート、図 3 は、本実施例における駆動トランジスタの $I_{DS} - V_{GS}$ 特性を示す図、図 4 は、本実施例における電流制御素子の $I_L - V_L$ 特性を示す図、図 5 は、駆動トランジスタの特性がばらついているときの $I_{DS} - V_{GS}$ 特性を示す図、図 6 は、駆動トランジスタの特性がばらついているときの V_{GS} の過渡特性を示す図である。

【 0 0 2 4 】

この例の電流制御素子の駆動回路は、図 1 に示すように、電源線 1 と接地線 2 と信号線 3 との間に接続された、選択ゲートトランジスタ 4 と、保持容量 5 と、駆動トランジスタ 6 と、電流制御素子 7 と、寄生容量 8 とから概略構成されている。

40

選択ゲートトランジスタ 4 は、Nチャネル電界効果トランジスタからなり、ゲート電極を選択線（不図示）に接続され、ドレイン電極を信号線 3 に接続され、ソース電極を駆動トランジスタ 6 のゲート電極に接続されている。保持容量 5 は、駆動トランジスタ 6 のゲート電極とソース電極の間に接続されてる。駆動トランジスタ 6 は、Nチャネル電界効果トランジスタからなり、ゲート電極を選択ゲートトランジスタ 4 のソース電極と保持容量 5 の一端に接続され、ドレイン電極を電源線 1 に接続され、ソース電極を電流制御素子 7 のアノードに接続されている。電流制御素子 7 は、駆動トランジスタ 6 のソース電極と接地線 2 との間に接続され、駆動トランジスタ 6 の電流 I_L に応じた輝度で発光する。寄生容量 8 は、電流制御素子 7 の両端の寄生容量である。

50

【 0 0 2 5 】

次に、図 1 ~ 図 6 を参照して、この例の電流制御素子の駆動回路の動作を説明する。

図 2 に示すように、駆動回路の選択期間が開始されると、選択ゲートトランジスタ 4 が遮断状態から導通状態に切り替えられる。このとき、信号線 3 に入力される電圧 V_{DATA} は、接地線 2 と同電位の 0 V とする。

この状態では、選択ゲートトランジスタ 4 が導通状態であるため、保持容量 5 の電荷は、信号線 3 を介して放電が開始される。同時に、電流制御素子 7 の寄生容量 8 の電荷が、電流制御素子 7 を経て放電される。

選択期間が開始されてから十分な時間が経過すると、駆動トランジスタ 6 のゲート電圧 V_G とソース電圧 V_S がともに 0 V となる。駆動トランジスタ 6 のゲート - ソース間電圧 V_{GS} はゼロであるため、駆動トランジスタ 6 のドレイン - ソース間には電流が流れない。

10

【 0 0 2 6 】

次に、信号線 3 の入力電圧が 0 V から V_A に切り替えられる。信号線 3 が 0 V から V_A に切り替えられた直後には、駆動トランジスタ 6 のゲート - ソース間電圧 V_{GS} は、保持容量 5 の容量値 C_S と電流制御素子 7 の寄生容量 8 の容量値 C_L とから、次式のようになる。

$$V_{GS} = V_A \times C_L / (C_S + C_L) \quad \dots (2)$$

一方、駆動トランジスタ 6 のソース電圧 V_S は、次式のようになる。

$$V_S = V_A \times C_S / (C_S + C_L) \quad \dots (3)$$

【 0 0 2 7 】

20

ただし、このとき、駆動トランジスタ 6 のゲート - ソース間電圧 V_{GS} は、図 3 に示す駆動トランジスタの $I_{DS} - V_{GS}$ 特性において、しきい値電圧 V_T よりも大きいことが必要である。

また、電流制御素子 7 の端子間電圧 V_L 、すなわち、駆動トランジスタ 6 のソース電圧 V_S は、図 4 に示す電流制御素子 7 の電圧 - 電流特性において、順方向の立ち上がり電圧 V_{OFF} よりも小さいことが必要である。すなわち、

$$V_{GS} > V_T \quad \dots (4)$$

$$V_S < V_{OFF} \quad \dots (5)$$

【 0 0 2 8 】

駆動トランジスタ 6 のゲート - ソース間電圧 V_{GS} は、しきい値電圧 V_T よりも大きいため、駆動トランジスタ 6 のドレイン - ソース間に電流が流れる。この駆動トランジスタ 6 のドレイン - ソース間電流によって、電流制御素子 7 の寄生容量 8 に電荷が充電されて、電流制御素子 7 の端子間電圧 V_L 、すなわち駆動トランジスタ 6 のソース電圧 V_S が上昇する。

30

同時に、駆動トランジスタ 6 のゲート電圧 V_G が一定値 V_A であるため、駆動トランジスタ 6 のゲート - ソース間電圧 V_{GS} は、減少しながらしきい値電圧 V_T に近づき、駆動トランジスタ 6 のソース電圧 V_S は、 $(V_A - V_T)$ に近づく。

【 0 0 2 9 】

この際、駆動トランジスタ 6 は、ガラス基板上に形成された薄膜トランジスタ等であるため、図 5 に示すように、ドレイン - ソース間電流 I_{DS} と、ゲート - ソース間電圧 V_{GS} との関係を示す $I_{DS} - V_{GS}$ 特性は、同じドレイン - ソース間電流 I_{DS} に対して、個々のトランジスタ 6 a, 6 b 及び 6 c の特性に応じて、 V_{GS} が V_{Ta} , V_{Tb} 及び V_{Tc} で示されるように大きくばらつく。

40

そこで図 6 に示すように、駆動トランジスタ 6 a, 6 b 及び 6 c のゲート - ソース間電圧 V_{GS} は、十分な時間が経過すると、信号電圧 V_A の入力直後の値 $V_A \times C_L / (C_S + C_L)$ から、個々のトランジスタのしきい値 V_{Ta} , V_{Tb} 及び V_{Tc} となり、それまでの時間も、 T_a , T_b 及び T_c のように異なっている。

【 0 0 3 0 】

そして、十分な時間が経過したとき、駆動トランジスタ 6 のドレイン - ソース間には電流が流れなくなり、駆動トランジスタ 6 のゲート - ソース間電圧 V_{GS} はしきい値電

50

圧 V_T となる。

$$V_{GS} = V_T \quad \dots (6)$$

一方、駆動トランジスタ 6 のソース電圧 V_S は、次式のようになる。

$$V_S = V_A - V_T \quad \dots (7)$$

ただし、このとき、駆動トランジスタ 6 のソース電圧 V_S は、図 4 に示された電流制御素子 7 の $I_L - V_L$ 特性において、電流制御素子 7 の順方向立ち上がり電圧 V_{OFF} よりも小さくなるように、容量値 C_S , C_L を選定することが必要である。

$$V_S < V_{OFF} \quad \dots (8)$$

【0031】

次に、信号線 3 に入力する電圧 V_{DATA} が V_A から V_B に切り替えられる。ここで、 V_B は V_A と同じ値（非発光状態）、又は V_A より大きい値（発光状態）である。 V_A から V_B に切り替えたときの電圧差（ $V_B - V_A$ ）は、駆動トランジスタ 6 のゲート - ソース間保持容量 5 の容量値 C_S と、電流制御素子 7 の寄生容量 8 の容量値 C_L とに容量分割して印加される。従って、このときの駆動トランジスタ 6 のゲート - ソース間電圧 V_{GS} と、駆動トランジスタ 6 のソース電圧 V_S とは、それぞれ次式のようになる。

$$V_{GS} = V_T + (1 - C_S / C_L) \cdot (V_B - V_A) \quad \dots (9)$$

$$V_S = V_A - V_T + (V_B - V_A) C_S / C_L \quad \dots (10)$$

【0032】

上式からわかるように、（ $V_{GS} - V_T$ ）が（ $V_B - V_A$ ）で決まるので、駆動トランジスタ 6 のしきい値にばらつきがあっても、このばらつきが補正されるので、 V_B と V_A を適正な値に設定することによって、電流制御素子 7 に流れる電流値が制御される。

【0033】

次に、選択ゲートトランジスタ 4 を導通状態から遮断状態に切り替えることによって、非選択期間に入る。非選択期間に入ると、駆動トランジスタ 6 のゲート - ソース間電圧 V_{GS} は、保持容量 5 によって保持されるようになる。

駆動トランジスタ 6 のソース電圧 V_S は、駆動トランジスタ 6 を介して電流制御素子 7 の寄生容量 8 に電荷が充電されるのに応じて上昇し、駆動トランジスタ 6 のゲート電圧 V_G も、保持容量 5 を介してゲート - ソース間電圧 V_{GS} を一定に維持したまま、同時に上昇する。電流制御素子 7 は、駆動トランジスタ 6 のソース電圧 V_S が、電流制御素子 7 の順方向の立ち上がり電圧 V_{OFF} を超えたとき発光を開始し、以後、非選択期間が終了するまで、発光し続ける。

電流制御素子 7 の端子間電圧 V_L が、駆動トランジスタ 6 のゲート - ソース間電圧 V_{GS} によって定まる電流 I_L を流すのに十分な電圧に到達すると、駆動トランジスタ 6 のゲート電圧 V_G とソース電圧 V_S の上昇は停止して一定となる。その後は、駆動トランジスタ 6 のゲート - ソース間電圧 V_{GS} が保持容量 5 によって保持されるため、電流制御素子 7 に一定電流 I_L が流れ続ける。

【0034】

このように、この例の電流制御素子の駆動回路では、選択ゲートトランジスタ 4 と駆動トランジスタ 6 との 2 個のトランジスタと、保持容量 5 とからなる最小限の素子構成で、駆動トランジスタ 6 のしきい値を補正して、その変化の影響を受けないようにすることができる。

本実施例によれば、従来例の電流制御素子の駆動回路と比較して、画素回路を構成する素子数が 1 / 2 となるので、画素の開口率を大きくできるとともに、製造プロセスが容易になる。

また、一般に、電流制御素子 7 の寄生容量 8 の容量値 C_L は、保持容量 5 の容量値 C_S より大きいので、より小さな書き込み電圧で、駆動回路の書き込みを行うことができ、消費電力の点からも有利である。

【0035】

図 1 に示された第 1 実施例の駆動回路では、制御方法を変えることによって、異なる動作を行わせることができる。以下においては、この場合の実施例について説明する。

10

20

30

40

50

【 0 0 3 6 】

第 2 実施例

図 7 は、本発明の第 2 実施例である電流制御素子の駆動回路の動作を説明するタイミングチャートである。

この例の電流制御素子の駆動回路の構成は、図 1 に示された第 1 実施例の場合と同様であるが、制御方法が異なっているため、その動作も異なっている。

【 0 0 3 7 】

以下、図 7 を参照して、この例の電流制御素子の駆動回路の動作を説明する。

駆動回路の選択期間が開始されると、選択ゲートトランジスタ 4 が遮断状態から導通状態に切り替えられる。このとき、信号線 3 に入力される電圧は、駆動トランジスタ 6 がオンするのに十分な大きさの電圧とする。また、これと同時に、電源線 1 の電位を 0 V とする。

10

駆動トランジスタ 6 がオンしているため、電流制御素子 7 の寄生容量 8 の電荷が、駆動トランジスタ 6 を介して放電される。駆動トランジスタ 6 のソース電圧 V_S がゼロになってから、信号線 3 の電圧を接地電位 0 V にする。選択ゲートトランジスタ 4 が導通状態になっているため、保持容量 5 の電荷が放電されて、駆動トランジスタ 6 のゲート電圧 V_G が 0 V になる。

【 0 0 3 8 】

このあと、電源線 1 の電圧をもとの電源線電圧レベルに戻す。駆動トランジスタ 6 のゲート - ソース間電圧 V_{GS} はゼロであるため、駆動トランジスタ 6 のドレイン - ソース間に電流は流れない。

20

次に、信号線 3 の入力電圧を 0 V から V_A に切り替える。以降の動作は、第 1 実施例の場合と同様に行われる。

【 0 0 3 9 】

このように、この例の電流制御素子の駆動回路では、第 1 実施例の場合と同様に、選択ゲートトランジスタ 4 と駆動トランジスタ 6 との 2 個のトランジスタと、保持容量 5 とからなる最小限の素子構成で、駆動トランジスタ 6 のしきい値を補正して、その変化の影響を受けないようにすることができるとともに、選択期間の初期に駆動トランジスタをオンにし、電源線 1 の電位を 0 V にするので、電流制御素子 7 の寄生容量 8 の電荷を駆動トランジスタ 6 を経て電源線 1 に放電することができ、従って、駆動トランジスタ 6 のソース電圧の降下が速いので、選択期間を短縮することが可能になる。

30

【 0 0 4 0 】

第 3 実施例

図 8 は、本発明の第 3 実施例である電流制御素子の駆動回路の構成を示す回路図、図 9 は、本実施例の電流制御素子の駆動回路の動作を説明するタイミングチャートである。

この例の電流制御素子の駆動回路は、図 8 に示すように、電源線 1 と接地線 2 と信号線 3 との間に接続された、選択ゲートトランジスタ 4 と、保持容量 5 と、駆動トランジスタ 6 と、電流制御素子 7 と、寄生容量 8 と、スイッチングトランジスタ 9 とから概略構成されている。

【 0 0 4 1 】

この例の電流制御素子の駆動回路においては、電源線 1 , 接地線 2 , 信号線 3 , 選択ゲートトランジスタ 4 , 保持容量 5 , 駆動トランジスタ 6 , 電流制御素子 7 及び寄生容量 8 の構成は、図 1 に示された第 1 実施例の場合と同様であるが、これらに加えて、図 8 に示すスイッチングトランジスタ 9 を有する点が、第 1 実施例の場合と異なっている。

40

スイッチングトランジスタ 9 は、Nチャネル電界効果トランジスタからなり、ゲート電極を選択線に接続され、ドレイン電極を駆動トランジスタ 6 のソース電極及び保持容量 5 の一端に接続され、ソース電極を接地線 2 に接続されている。

【 0 0 4 2 】

以下、図 8 , 図 9 を参照して、この例の電流制御素子の駆動回路の動作を説明する。

駆動回路の選択期間が開始されると、選択線からの制御によって、選択ゲートトランジス

50

タ4とスイッチングトランジスタ9が、遮断状態から導通状態に切り替えられる。このとき、信号線3に入力される電圧は、接地線2と同じ0Vとする。

選択ゲートトランジスタ4とスイッチングトランジスタ9が導通状態になったことよって、保持容量5の電荷と、電流制御素子7の寄生容量8の電荷とが放電されるので、駆動トランジスタ6のゲート電圧VGとソース電圧VSが0Vとなる。このとき、駆動トランジスタ6のゲート-ソース間電圧VGSは0Vなので、駆動トランジスタ6のドレイン-ソース間には電流が流れない。

次に、選択線からの制御によって、スイッチングトランジスタ9が遮断状態とされるとともに、信号線3の入力電圧が、0VからVAに切り替えられる。

これ以降の動作は、第1実施例の場合と同様である。

10

【0043】

このように、この例の電流制御素子の駆動回路によれば、第1実施例の場合と同様に駆動トランジスタ6のしきい値を補正して、その変化の影響を受けないようにすることができる。

この際、第1実施例の場合と比較して、スイッチングトランジスタ9が余分に必要となるが、スイッチングトランジスタ9による保持容量5及び電流制御素子7の寄生容量8のリセットを、選択ゲートトランジスタ4による保持容量5の書き込みと独立に行うことができるので、リセットの時期を選択することによって、保持容量5及び寄生容量8のリセットをより確実に行うことができるようになる。

【0044】

第4実施例

20

図10は、本発明の第4実施例である電流制御素子の駆動回路の構成を示す回路図、図11は、本実施例の電流制御素子の駆動回路の動作を説明するタイミングチャートである。この例の電流制御素子の駆動回路は、図10に示すように、電源線1と接地線2と信号線3との間に接続された、選択ゲートトランジスタ4と、保持容量5と、駆動トランジスタ6と、電流制御素子7と、寄生容量8と、スイッチングトランジスタ10とから概略構成されている。

【0045】

この例の電流制御素子の駆動回路においては、電源線1，接地線2，信号線3，選択ゲートトランジスタ4，保持容量5，駆動トランジスタ6，電流制御素子7及び寄生容量8の構成は、図1に示された第1実施例の場合と同様であるが、これらに加えて、図10に示すスイッチングトランジスタ10を有する点が、第1実施例の場合と異なっている。

30

スイッチングトランジスタ10は、Nチャネル電界効果トランジスタからなり、ゲート電極を選択線に接続され、ドレイン電極を駆動トランジスタ6のゲート電極及び保持容量5の一端に接続され、ソース電極を接地線2に接続されている。

【0046】

以下、図10，図11を参照して、この例の電流制御素子の駆動回路の動作を説明する。駆動回路の選択期間が開始される前の一定期間、選択線からの制御によって、スイッチングトランジスタ10を導通状態にする。スイッチングトランジスタ10が導通状態なので、駆動トランジスタ6のゲート電圧VGはゼロとなり、これによって、駆動トランジスタ6のゲート-ソース間電圧VGSは負の電圧となるため、駆動トランジスタ6は遮断状態となる。

40

このとき、電流制御素子7の寄生容量8に蓄積されている電荷は、電流制御素子7を介して接地線2に放電される。

スイッチングトランジスタ10が導通状態になってから、充分長い時間が経過すると、電流制御素子7の寄生容量8に蓄積されていた電荷はすべて放電されて、駆動トランジスタ6のソース電圧VSは0Vとなる。

この期間中、選択ゲートトランジスタ4は、選択線からの制御によって、遮断状態とされている。

【0047】

50

次に、駆動回路の選択期間が開始されると、選択線からの制御によって、スイッチングトランジスタ10が、導通状態から遮断状態に切り替えられる。次に、選択ゲートトランジスタ4が、選択線からの制御によって、遮断状態から導通状態に切り替えられる。このとき、信号線3の入力電圧V DATAとして、VAが入力されている。

これ以降の動作は、第1実施例の場合と同様である。

【0048】

このように、この例の電流制御素子の駆動回路によれば、第1実施例の場合と同様に駆動トランジスタ6のしきい値を補正して、その変化の影響を受けないようにすることができる。

この際、第1実施例の場合と比較して、スイッチングトランジスタ10が余分に必要となるが、スイッチングトランジスタ10による保持容量5及び電流制御素子7の寄生容量8のリセットを、選択ゲートトランジスタ4による保持容量5の書き込みと独立に行うことができるので、リセットの時期を選択することによって、保持容量5及び寄生容量8のリセットをより確実に行うことができるようになる。

【0049】

以上の各実施例においては、電流制御素子の駆動回路をすべてNチャンネル電界効果トランジスタによって構成したが、駆動回路をPチャンネル電界効果トランジスタによって構成することも可能である。以下においては、この場合の実施例について説明する。

【0050】

第5実施例

図12は、本発明の第5実施例である電流制御素子の駆動回路の構成を示す回路図である。

この例の電流制御素子の駆動回路は、図12に示すように、電源線1と接地線2と信号線3との間に接続された、選択ゲートトランジスタ4Aと、保持容量5Aと、駆動トランジスタ6Aと、電流制御素子7Aと、寄生容量8Aとから概略構成されている。

選択ゲートトランジスタ4Aは、Pチャンネル電界効果トランジスタからなり、ゲート電極を選択線(不図示)に接続され、ソース電極を信号線3に接続され、ドレイン電極を駆動トランジスタ6Aのゲート電極に接続されている。保持容量5Aは、駆動トランジスタ6Aのゲート電極とソース電極の間に接続されている。駆動トランジスタ6Aは、Pチャンネル電界効果トランジスタからなり、ゲート電極を選択ゲートトランジスタ4Aのドレイン電極と保持容量5Aの一端に接続され、ソース電極を電流制御素子7Aのカソードに接続され、ドレイン電極を接地線2に接続されている。電流制御素子7Aは、電源線1と、駆動トランジスタ6Aのソース電極の間に接続され、駆動トランジスタ6Aの電流ILに応じた輝度で発光する。寄生容量8Aは、電流制御素子7Aの両端の寄生容量である。

【0051】

この例の電流制御素子の駆動回路は、図1に示された第1実施例の場合のNチャンネル電界効果トランジスタからなる選択ゲートトランジスタ4及び駆動トランジスタ6を、Pチャンネル電界効果トランジスタからなる選択ゲートトランジスタ4A及び駆動トランジスタ6AにPチャンネル電界効果トランジスタによって置き替えたものであって、従って、図1に示された第1実施例の場合と比べて、電圧の関係が逆になるので、電流の向きが逆になるが、その動作は、第1実施例の場合と同様であって、図2に示されたタイミングチャートを適用することができるので、以下においては、詳細な説明を省略する。

【0052】

このように、この例の電流制御素子の駆動回路では、選択ゲートトランジスタ4Aと駆動トランジスタ6Aとの2個のトランジスタと、保持容量5Aとからなる最小限の素子構成で、駆動トランジスタ6Aのしきい値を補正して、その変化の影響を受けないようにすることができる。

本実施例によれば、第1実施例の場合と同様に、従来例の電流制御素子の駆動回路と比較して、画素回路を構成する素子数を逡減して、画素の開口率を大きくできるとともに、製造プロセスが容易になり、さらに、消費電力が少ない利点がある。

10

20

30

40

50

【 0 0 5 3 】

第 6 実施例

この例の電流制御素子の駆動回路の構成は、図 1 2 に示された第 5 実施例の場合と同様であるが、制御方法が異なっているため、その動作も異なっている。

この例の電流制御素子の駆動回路は、第 2 実施例の場合の N チャネル電界効果トランジスタからなる選択ゲートトランジスタ 4 及び駆動トランジスタ 6 を、P チャネル電界効果トランジスタからなる選択ゲートトランジスタ 4 A 及び駆動トランジスタ 6 A によって置き替えたものであって、従って、第 2 実施例の場合と比べて、電圧の関係が逆になるので、電流の向きが逆になるが、その動作は、第 2 実施例の場合と同様であって、図 7 に示されたタイミングチャートを適用することができるので、以下においては、詳細な説明を省略する。

10

【 0 0 5 4 】

このように、この例の電流制御素子の駆動回路では、第 5 実施例の場合と同様に、選択ゲートトランジスタ 4 A と駆動トランジスタ 6 A との 2 個のトランジスタと、保持容量 5 A とからなる最小限の素子構成で、駆動トランジスタ 6 A のしきい値を補正して、その変化の影響を受けないようにすることができるのと同時に、駆動トランジスタ 6 A のソース電圧の降下が速いので、選択期間を短縮することができる。

【 0 0 5 5 】

第 7 実施例

図 1 3 は、本発明の第 7 実施例である電流制御素子の駆動回路の構成を示す回路図である。

20

この例の電流制御素子の駆動回路は、図 1 3 に示すように、電源線 1 と接地線 2 と信号線 3 との間に接続された、選択ゲートトランジスタ 4 A と、保持容量 5 A と、駆動トランジスタ 6 A と、電流制御素子 7 A と、寄生容量 8 A と、スイッチングトランジスタ 9 A とから概略構成されている。

【 0 0 5 6 】

この例の電流制御素子の駆動回路においては、電源線 1 ，接地線 2 ，信号線 3 ，選択ゲートトランジスタ 4 A ，保持容量 5 A ，駆動トランジスタ 6 A ，電流制御素子 7 A 及び寄生容量 8 A の構成は、図 1 2 に示された第 5 実施例の場合と同様であるが、これらに加えて、図 1 3 に示すスイッチングトランジスタ 9 A を有する点が、第 5 実施例の場合と異なっている。

30

スイッチングトランジスタ 9 A は、P チャネル電界効果トランジスタからなり、ゲート電極を選択線に接続され、ソース電極を電源線 1 に接続され、ドレイン電極を駆動トランジスタ 6 A のソース電極及び保持容量 5 A の一端に接続されている。

【 0 0 5 7 】

この例の電流制御素子の駆動回路は、図 8 に示された第 3 実施例の場合の N チャネル電界効果トランジスタからなる選択ゲートトランジスタ 4 ，駆動トランジスタ 6 及びスイッチングトランジスタ 9 を、P チャネル電界効果トランジスタからなる選択ゲートトランジスタ 4 A ，駆動トランジスタ 6 A 及びスイッチングトランジスタ 9 A によって置き替えたものであって、従って、図 8 に示された第 3 実施例の場合と比べて、電圧の関係が逆になり、電流の向きが逆になるが、その動作は、第 3 実施例の場合と同様であって、図 9 に示されたタイミングチャートを適用することができるので、以下においては、詳細な説明を省略する。

40

【 0 0 5 8 】

このように、この例の電流制御素子の駆動回路によれば、第 5 実施例の場合と同様に駆動トランジスタ 6 A のしきい値を補正して、その変化の影響を受けないようにすることができる。

この際、第 5 実施例の場合と比較して、スイッチングトランジスタ 9 A が余分に必要となるが、スイッチングトランジスタ 9 A による保持容量 5 A 及び電流制御素子 7 の寄生容量 8 のリセットを、選択ゲートトランジスタ 4 A による保持容量 5 A の書き込みと独立に行

50

うことができるので、リセットの時期を選択することによって、保持容量 5 A 及び寄生容量 8 A のリセットをより確実に行うことができるようになる。

【 0 0 5 9 】

第 8 実施例

図 1 4 は、本発明の第 8 実施例である電流制御素子の駆動回路の構成を示す回路図である。

この例の電流制御素子の駆動回路は、図 1 3 に示すように、電源線 1 と接地線 2 と信号線 3 との間に接続された、選択ゲートトランジスタ 4 A と、保持容量 5 A と、駆動トランジスタ 6 A と、電流制御素子 7 A と、寄生容量 8 A と、スイッチングトランジスタ 1 0 A とから概略構成されている。

10

【 0 0 6 0 】

この例の電流制御素子の駆動回路においては、電源線 1 ，接地線 2 ，信号線 3 ，選択ゲートトランジスタ 4 A ，保持容量 5 A ，駆動トランジスタ 6 A ，電流制御素子 7 A 及び寄生容量 8 A の構成は、図 1 2 に示された第 5 実施例の場合と同様であるが、これらに加えて、図 1 4 に示すスイッチングトランジスタ 1 0 A を有する点が、第 5 実施例の場合と異なっている。

スイッチングトランジスタ 1 0 A は、P チャネル電界効果トランジスタからなり、ゲート電極を選択線に接続され、ソース電極を電源線 1 に接続され、ドレイン電極を駆動トランジスタ 6 A のゲート電極及び保持容量 5 A の一端に接続されている。

【 0 0 6 1 】

この例の電流制御素子の駆動回路は、図 1 0 に示された第 4 実施例の場合の N チャネル電界効果トランジスタからなる選択ゲートトランジスタ 4 ，駆動トランジスタ 6 及びスイッチングトランジスタ 1 0 を、P チャネル電界効果トランジスタからなる選択ゲートトランジスタ 4 A ，駆動トランジスタ 6 A 及びスイッチングトランジスタ 1 0 A によって置き替えたものであって、従って、図 1 0 に示された第 4 実施例の場合と比べて、電圧の関係が逆になるので、電流の向きが逆になるが、その動作は、第 4 実施例の場合と同様であって、図 1 1 に示されたタイミングチャートを適用することができるので、以下においては、詳細な説明を省略する。

20

【 0 0 6 2 】

このように、この例の電流制御素子の駆動回路によれば、第 5 実施例の場合と同様に駆動トランジスタ 6 A のしきい値を補正して、その変化の影響を受けないようにすることができる。

30

この際、第 5 実施例の場合と比較して、スイッチングトランジスタ 1 0 A が余分に必要となるが、スイッチングトランジスタ 1 0 A による保持容量 5 A 及び電流制御素子 7 の寄生容量 8 のリセットを、選択ゲートトランジスタ 4 A による保持容量 5 A の書き込みと独立に行うことができるので、リセットの時期を選択することによって、保持容量 5 A 及び寄生容量 8 A のリセットをより確実に行うことができるようになる。

【 0 0 6 3 】

以上、この発明の実施例を図面により詳述してきたが、具体的な構成はこの実施例に限られたものではなく、この発明の要旨を逸脱しない範囲の設計の変更等があってもこの発明に含まれる。例えば、第 3 実施例、第 4 実施例及び第 7 実施例、第 8 実施例において、スイッチングトランジスタによる保持容量 5 と寄生容量 8 の放電は、非選択期間でもよく、又は選択期間の初期でもよい。非選択期間の場合は、その終期に限らず、任意のタイミングで行うことができる。選択期間の初期の場合は、選択ゲートトランジスタをオフにしておくことが必要である。

40

また、各実施例において、駆動トランジスタが N チャネル電界効果トランジスタ又は P チャネル電界効果トランジスタの場合に、その他の選択ゲートトランジスタ及びスイッチングトランジスタは、N チャネル電界効果トランジスタ又は P チャネル電界効果トランジスタに限らず、N チャネル電界効果トランジスタと P チャネル電界効果トランジスタとを任意に混用することが可能である。

50

さらに、この発明の電流制御素子の駆動回路は、多数の電流制御素子を平面状に、行方向と列方向とにマトリクス状に配列した画像表示装置における、電流制御素子の駆動回路にも適用可能であって、この場合に前述の各実施例の効果を得られることは明らかである。また、第3、第4の実施例では、スイッチングトランジスタ9のソース電極が、接地線2に接続されているが、接地線2とは異なる電圧の他の電源線に接続し、リセット時の駆動トランジスタ6のソース電圧 V_S を0Vではない電圧に設定することで、回路設計の許容度を広げることができる。第7、第8の実施例についても同様な変更が可能である。

【0064】

【発明の効果】

以上説明したように、本発明の電流制御素子の駆動回路及び画像表示装置によれば、電流制御素子を駆動する駆動トランジスタのしきい値特性にばらつきがあっても影響を受けないようにすることができるとともに、従来の同様な電流制御素子の駆動回路と比較して、画素回路を構成する素子数を少なくすることができるので、画素の開口率を大きくできるとともに、製造プロセスが容易になる。

また、小さな書き込み電圧で、駆動回路の書き込みを行うことができるので、消費電力の点からも有利である。

【図面の簡単な説明】

【図1】本発明の第1実施例である電流制御素子の駆動回路の構成を示す回路図である。

【図2】同実施例の電流制御素子の駆動回路の動作を説明するタイミングチャートである。

。

【図3】同実施例における駆動トランジスタの $I_{DS} - V_{GS}$ 特性を示す図である。

【図4】同実施例における電流制御素子の $I_L - V_L$ 特性を示す図である。

【図5】駆動トランジスタの特性がばらついているときの $I_{DS} - V_{GS}$ 特性を示す図である。

【図6】駆動トランジスタの特性がばらついているときの V_{GS} の過渡特性を示す図である。

【図7】本発明の第2実施例である電流制御素子の駆動回路の動作を説明するタイミングチャートである。

【図8】本発明の第3実施例である電流制御素子の駆動回路の構成を示す回路図である。

【図9】同実施例の電流制御素子の駆動回路の動作を説明するタイミングチャートである。

。

【図10】本発明の第4実施例である電流制御素子の駆動回路の構成を示す回路図である。

。

【図11】同実施例の電流制御素子の駆動回路の動作を説明するタイミングチャートである。

【図12】本発明の第5実施例である電流制御素子の駆動回路の構成を示す回路図である。

。

【図13】本発明の第7実施例である電流制御素子の駆動回路の構成を示す回路図である。

。

【図14】本発明の第8実施例である電流制御素子の駆動回路の構成を示す回路図である。

。

【図15】第1の従来例の電流制御素子の駆動回路の構成を示す図である。

【図16】駆動トランジスタの特性がばらついているときの $I_{DS} - V_{GS}$ 特性を示す図である。

【図17】第2の従来例の電流制御素子の駆動回路の構成を示す図である。

【図18】第2の従来例の電流制御素子の駆動回路の動作を説明するタイミングチャートである。

【符号の説明】

1 電源線（第1の電源線）

2 接地線（第2の電源線）

10

20

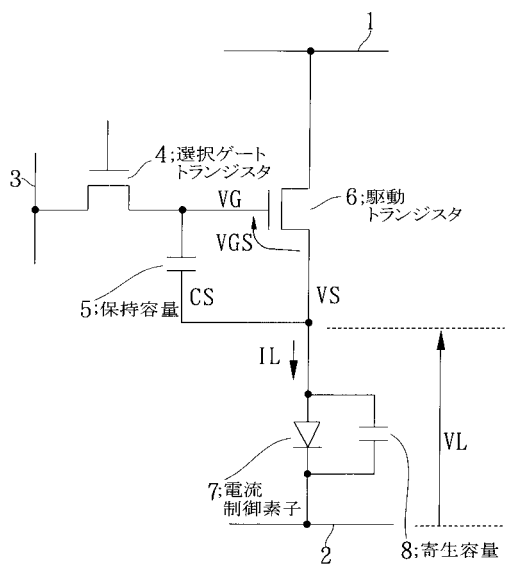
30

40

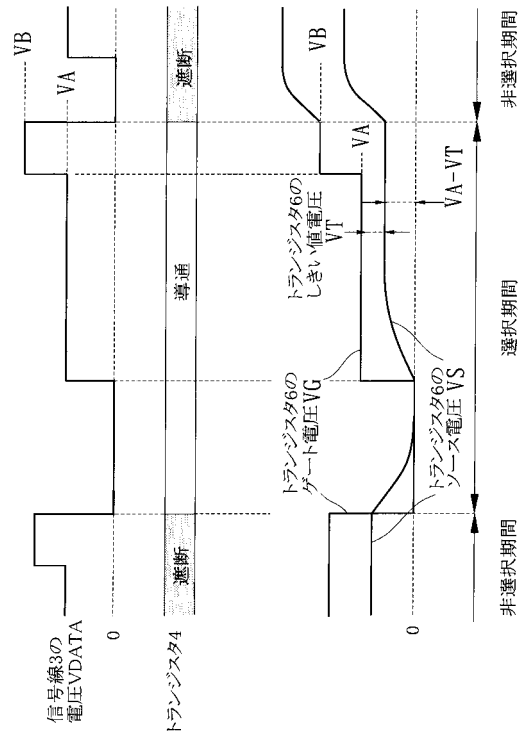
50

- 3 信号線
- 4, 4 A 選択ゲートトランジスタ
- 5, 5 A 保持容量
- 6, 6 A 駆動トランジスタ
- 7, 7 A 電流制御素子
- 8, 8 A 寄生容量
- 9, 9 A スイッチングトランジスタ
- 10, 10 A スイッチングトランジスタ

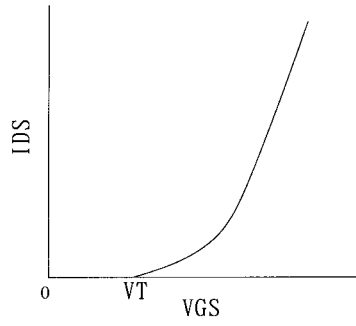
【 図 1 】



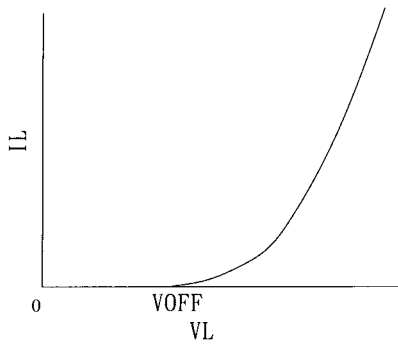
【 図 2 】



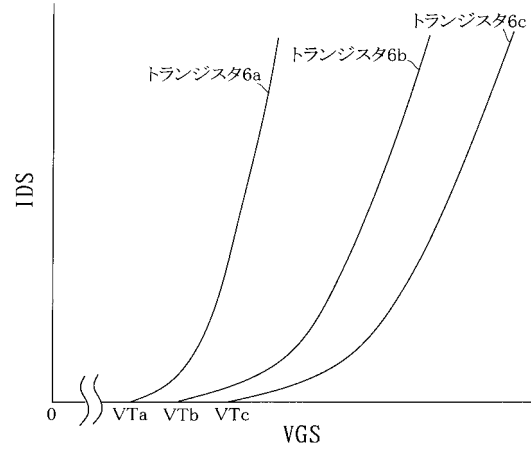
【 図 3 】



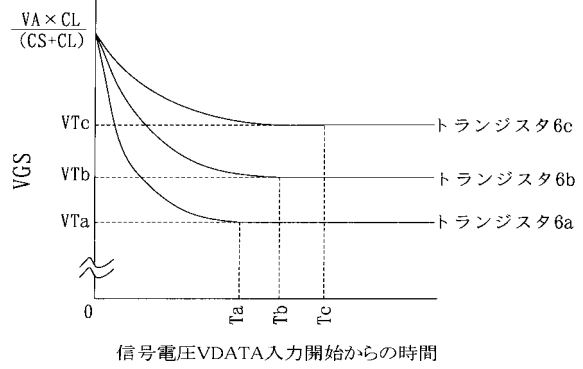
【 図 4 】



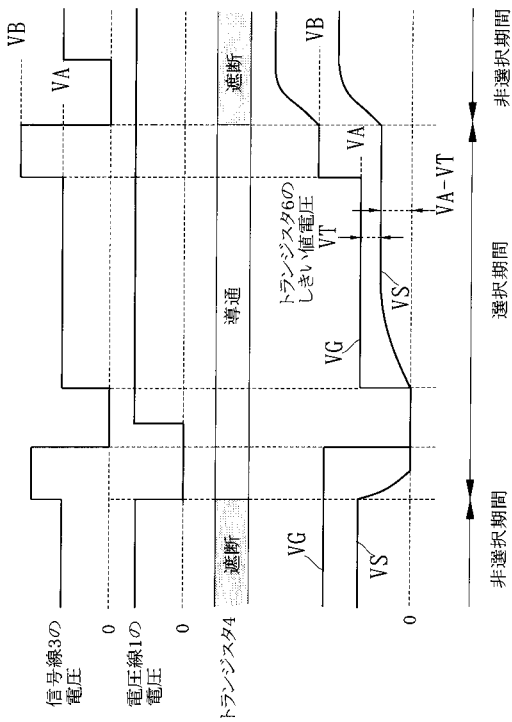
【 図 5 】



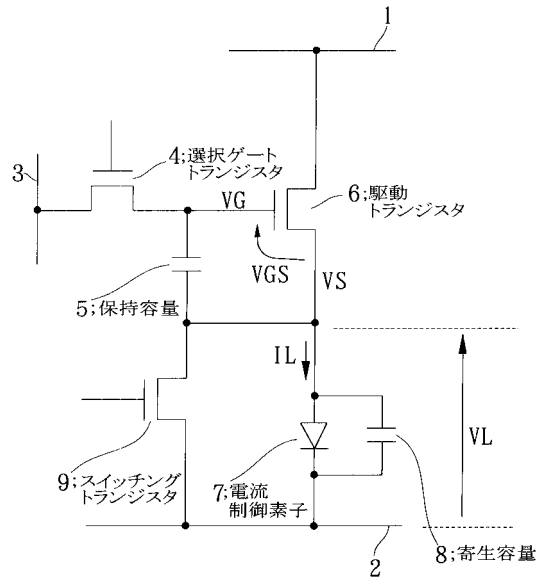
【 図 6 】



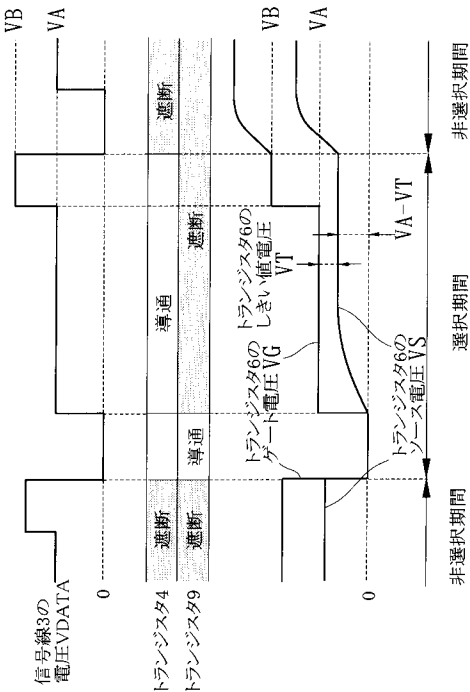
【 図 7 】



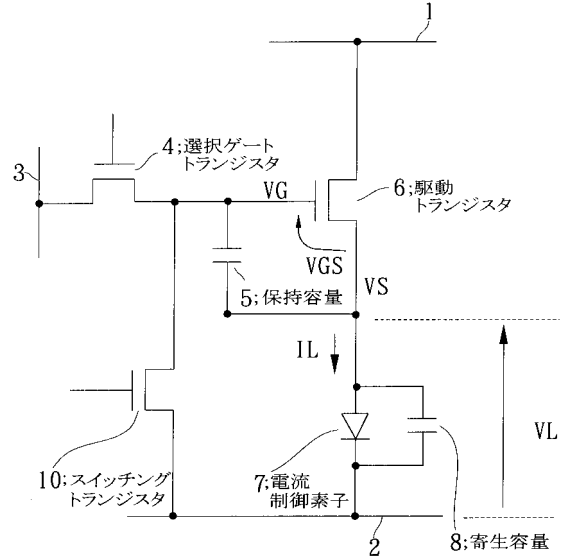
【 図 8 】



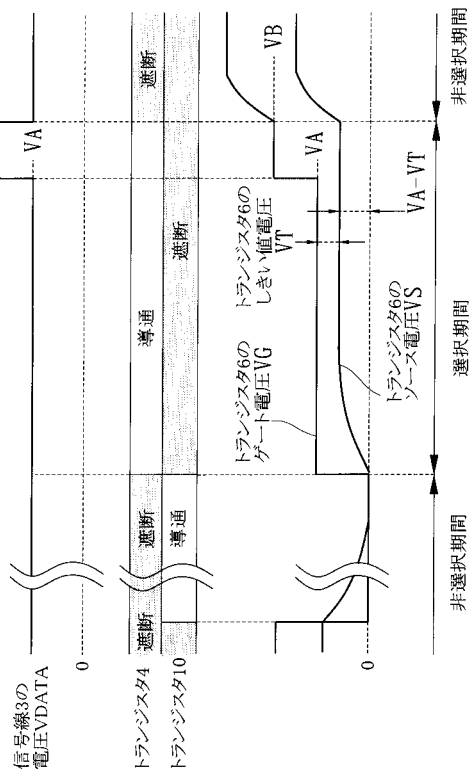
【 図 9 】



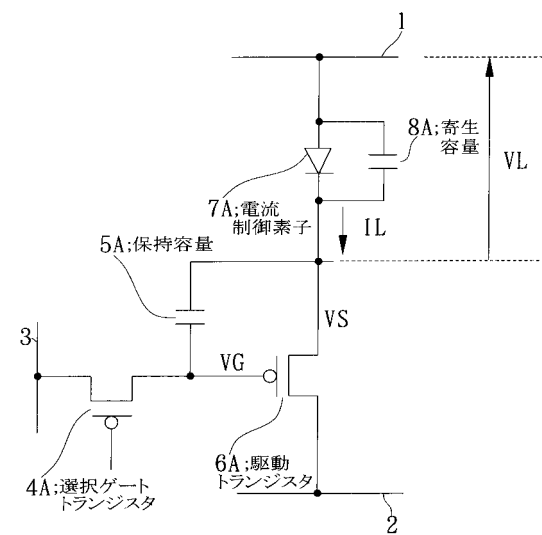
【 図 10 】



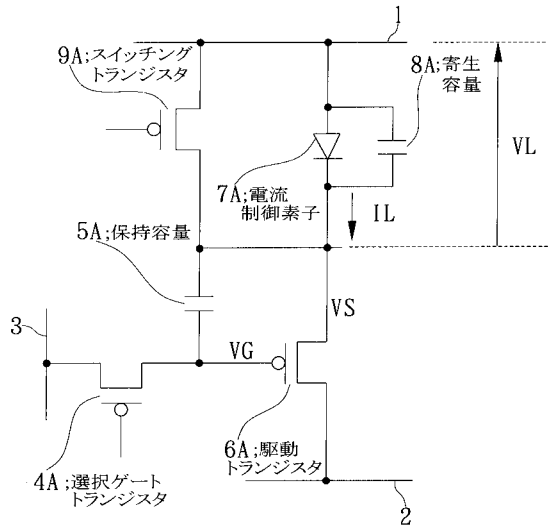
【 図 11 】



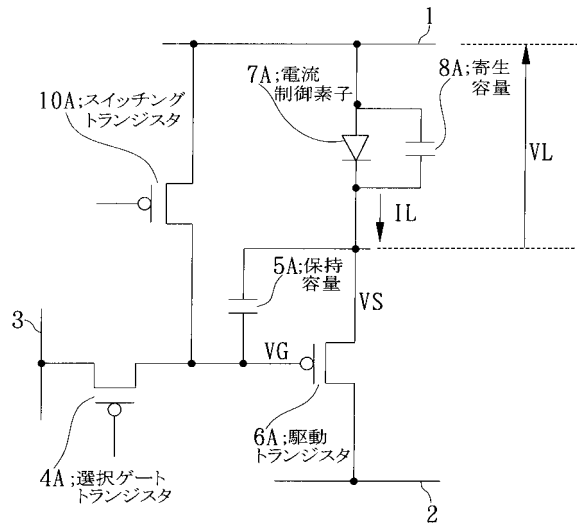
【 図 12 】



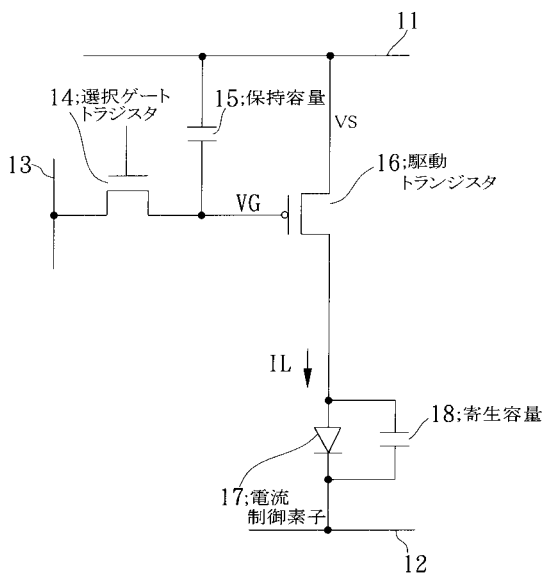
【図13】



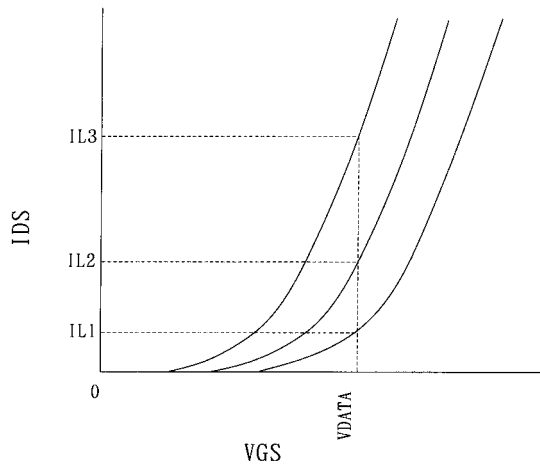
【図14】



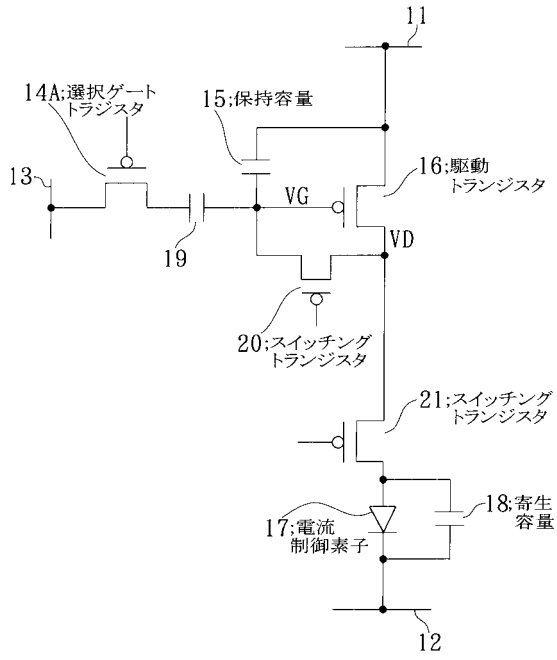
【図15】



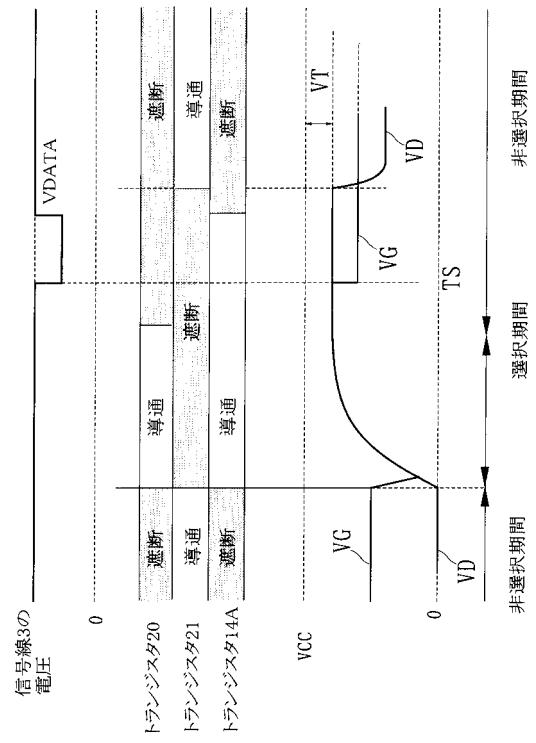
【図16】



【図17】



【図18】



フロントページの続き

(51) Int.Cl.⁷

F I

H 0 5 B 33/14

A

H 0 3 K 17/687

H

(56) 参考文献 特開 2 0 0 3 - 1 7 3 1 6 5 (J P , A)

特開平 1 1 - 2 7 2 2 3 3 (J P , A)

(58) 調査した分野(Int.Cl.⁷, D B 名)

G09G3/30、3/20

H03K17/04、17/687

H05B33/00-33/28