

公告本

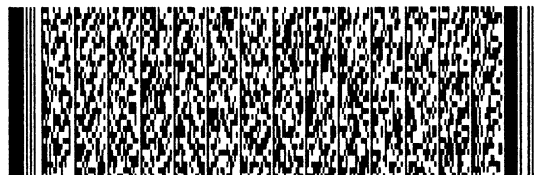
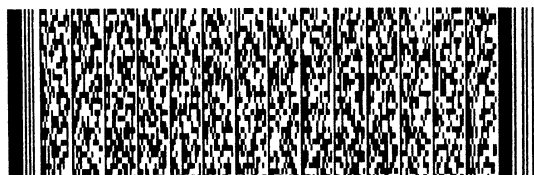
申請日期：	91-11-26	IPC分類
申請案號：	091134265	H01G 4/06, H05K1/16

(以上各欄由本局填註)

發明專利說明書

I223289

一、 發明名稱	中文	介電結構，以及具有該介電結構之電容器印刷電路板及其製法
	英文	DIELECTRIC STRUCTURE, AND CAPACITOR AND PRINTED CIRCUIT BOARD HAVING THE SAME AND MANUFACTURING METHOD THEREOF
二、 發明人 (共3人)	姓名 (中文)	1. 葛瑞克·S·艾倫 2. 瑪莉亞·安娜·阿希茲尼克 3. S·馬修·凱恩斯
	姓名 (英文)	1. CRAIG S. ALLEN 2. MARIA ANNA RZEZNIK 3. S. MATTHEW CAIRNS
	國籍 (中英文)	1. 美國 US 2. 美國 US 3. 美國 US
	住居所 (中文)	1. 美國·麻州01545·舒茲伯利·高街69號 2. 美國·麻州01702·佛瑞明漢·沙倫安路205號 3. 美國·麻州01545·舒茲伯利·葛蘭卓利路20號
	住居所 (英文)	1. 69 High Street, Shrewsbury, Massachusetts 01545, U.S.A 2. 205 Salem End Road, Framingham, Massachusetts 01702, U.S.A 3. 20 Glen Gery Road, Shrewsbury, Massachusetts 01545, U.S.A
三、 申請人 (共1人)	名稱或姓名 (中文)	1. 希普列公司
	名稱或姓名 (英文)	1. SHIPLEY COMPANY, L. L. C.
	國籍 (中英文)	1. 美國 US
	住居所 (營業所) (中文)	1. 美國·麻州01752·馬爾柏洛·森林街455號 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英文)	1. 455 Forest Street, Marlborough, Massachusetts 01752, USA
	代表人 (中文)	1. 達瑞爾·P·弗里基
	代表人 (英文)	1. DARRYL P. FRICKEY



一、本案已向

國家(地區)申請專利	申請日期	案號	主張專利法第二十四條第一項優先權
美國 US	2001/11/26	60/333,383	有
美國 US	2002/10/10	10/268,433	有

二、☐主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間

日期：

四、☐有關微生物已寄存於國外：

寄存國家：

無

寄存機構：

寄存日期：

寄存號碼：

☐有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

無

寄存號碼：

☐熟習該項技術者易於獲得，不須寄存。

五、發明說明 (1)

[發明所屬之技術領域]

通常而言，本發明係有關介電結構之領域。尤其是，本發明係有關適用於電容器製造之介電結構的領域。

[先前技術]

如同多晶片模組，積層印刷電路板係作為如積體電路、電容器、電阻器、誘導器和其他元件之電子元件的承載基材。慣例上，個別的被動元件，如電阻器、電容器和誘導器係表面固定在印刷電路板上。此種被動元件會佔據達 60% 或者更多的印刷電路板表面積，因此限制了用來固定主動元件，如積體電路的可用空間。從印刷電路板表面移除被動元件可容許主動元件的密度增加，進而使印刷電路板小型化、增加演算能力，減少系統雜訊並減少由於縮短導腳所造成的雜訊靈敏度。

此種由印刷電路板表面移除被動元件可藉由將被動元件埋入至積層印刷電路板的結構之中而得以實現。埋入型電容在形成非個別 (non-individual) 電容或 "共享式 (shared)" 電容之電容平面 (capacitive plane) 的文章中已有論述。電容平面係由兩積層金屬薄片以聚合物為主的介電層加以絕緣所構成。共享式電容需要利用其他元件來安排使用該電容。此種共享式電容無法適當滿足對於能保持個別元件功能之埋入型電容的需求。

美國專利第 6,068,782 號 (Brandt 等) 揭示一種個別埋入型電容器的形成方法，該方法包含下列步驟：將底部電極材料上方之光可成像之低介電常數材料圖案化，藉由填



五、發明說明 (2)

充或部分填充該圖案來沉積電容介電材料，然後製作電容器的頂部電極。此種電容器介電材料通常具有高介電常數，例如陶瓷或金屬氧化物。使用此種陶瓷或金屬氧化物的一項問題為上述材料可能難以金屬化，亦即使用印刷電路板業習知所用之技術難以在上述材料之上製作電極。

半導體之能量儲存裝置包含具有特定摻雜物（例如金）之介電層已有揭示。例如參見美國專利第 6,180,252

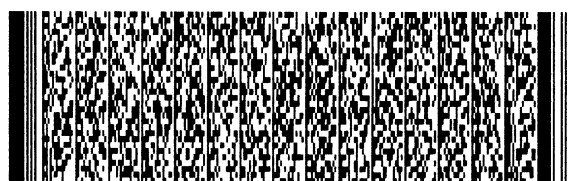
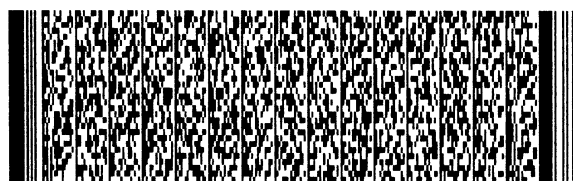
B1(Farrell等)，該專利揭示含單一介電層之半導體電容器，該單一介電層包含有摻雜鈦酸鋇的金，因此該電容器具有比習知電容器更為增加的電容。此等能量儲存裝置並未教示可用於印刷電路板領域中的埋入型電容器。

因此，對於電容器，尤其是對於具有比在習知高介電常數電容介電材料上更容易製作電極之高介電常數電容介電材料的埋入型電容器之需求仍殷。

[發明內容]

令人驚訝地發現藉由在介電材料中形成鍍覆摻雜物(plating dopant)可提高鍍覆電極層對高介電常數材料的附著力。此種鍍覆摻雜物可促使導電層鍍覆在該高介電常數材料之上。

本發明係提供具有第一介電層與第二介電層之多層介電結構，其中，該第一介電層包括足量之鍍覆摻雜物以促使導電層鍍覆在該第一介電層上。本發明亦包含足量之能促使導電層鍍覆在介電層上的鍍覆摻雜物之介電層的介電結構。本發明更進一步包含此種介電結構之電容器。



五、發明說明 (3)

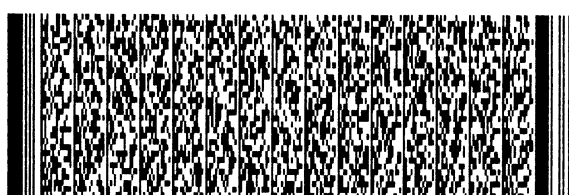
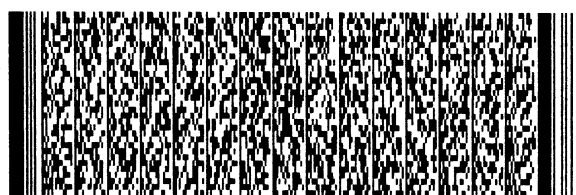
本發明亦提供起催化作用與經鍍覆之電極對介電層附著力的改善方法，該方法包括下列步驟：將含有足量之電鍍摻雜物以促使導電層鍍覆在第一介電層上之介電層沉積在基材上，以及將導電層鍍覆在該介電層表面上。此種方法亦使用於電容器製造中。在此種電容器中，一般而言，基材之順序為底部導電層和底部介電層，及沉積在底部介電層上的介電層。

本發明係提供含有埋入型電容材料之印刷電路板，其中，該埋入型電容材料包括含有第一介電層與第二介電層之多層介電結構，其中，該第一介電層包含能促使導電層鍍覆在第一介電層上之充分數量的鍍覆摻雜物。本發明亦提供上述印刷電路板的製造方法。

[實施方式]

本說明書全文中所使用之下列縮寫應具有下列意義，除非文中另外清楚指明： $^{\circ}\text{C}$ =攝氏度；rpm=每分鐘轉數；mol=莫耳；hr=小時；min=分鐘；sec=秒；nm=奈米；cm=公分；in=英吋；以及重量%=重量百分比。

"印刷線路板 (printed wiring board)"與"印刷電路板 (printed circuit board)"在本說明書全文中可交替使用。"沉積 (depositing)"與"鍍覆 (plating)"在本說明書中可交替使用，並且包含無電電鍍與電解電鍍。"多層 (multilayer)"係關於兩層或更多層。"介電結構 (dielectric structure)"係關於單層或多層之介電材料。"烷基 (alkyl)"係關於線型、分枝或環狀烷基。[註：



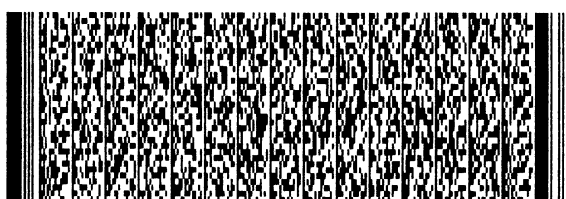
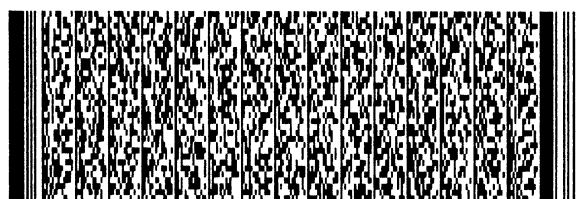
五、發明說明 (4)

本件譯文中之「鍍覆」一詞表示 plating，涵蓋無電電鍍與電解電鍍]

所有的百分比均為重量百分比，除非另外指明。除了該數值範圍顯然受限於加總達 100% 之外，所有的數值範圍均為內含而且可以任意順序組合。

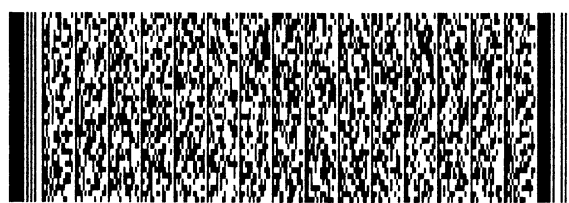
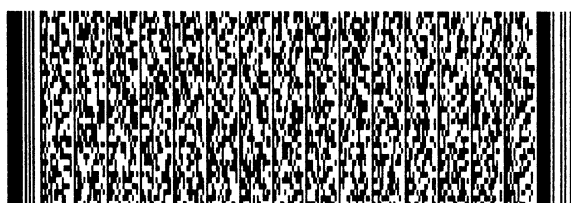
本發明係提供具有包含足量之鍍覆摻雜物以促使導電層鍍覆在介電層上之介電層的介電結構。本文中所用的 "鍍覆摻雜物 (plating dopant)" 係關於包含足量之能促使導電層鍍覆在介電層表面之介電層中存在的任何傳導性元素或化合物。此種介電結構係特別適用於電容器的製造，尤其更適用於在積層印刷電路板中埋入之電容器的製造。此種電容器包含一對在電容器介電材料相對側並與該電容器介電材料緊密接觸的電極 (導電層或金屬層)。電容密度係由電極表面面積、介電材料之介電常數與電容器厚度所決定。本發明對已知的幾何面積增加其電極面積，並且在不增加短路可能性的情況下減少介電材料的厚度。

通常而言，用於本發明介電結構之介電材料為任何適合用來作為電容器介電材料。可根據電容器的設計需求而適當使用相當多種的介電材料。適合之介電材料包含具有 2 或是更大的介電常數者。特別適合之介電材料為具有 3 或是更大的介電常數者。於一具體實施例中，該介電材料具有高介電常數。"高" 介電常數意指介電常數 ≥ 7 ，較佳為 > 7 。可適當使用之相當多種的介電材料包含，但不限於聚合物、陶瓷、金屬氧化物及其組合。適合之聚合物包



五、發明說明 (5)

括，但不限於環氧化物 (epoxies)、聚醯亞胺 (polyimides)、聚氨基甲酸酯 (polyurethanes)、包括聚芳香烴醚 (polyarylene ethers) 之聚芳香烴 (polyarylenes)、聚砜 (polysulfones)、聚亞砜 (polysulfides)、氟化聚醯亞胺 (fluorinated polyimides)、氟化聚芳香烴 (fluorinated polyarylenes) 等。適合之陶瓷與金屬氧化物包括，但不限於二氧化鈦 (" TiO_2 ")、鉭氧化物，例如 Ta_2O_5 ，具有化學式 $\text{B}_a\text{Ti}_b\text{O}_c$ 的鈦酸鋇，其中 a 和 b 獨立為 0.75 至 1.25，c 為 2.5 至 5，例如 SrTiO_3 的鈦酸鋇，鈦酸鋇鋇，例如 $\text{PbZr}_y\text{Ti}_{1-y}\text{O}_3$ 的鈦酸鉛鋇，具有化學式 $(\text{Pb}_x\text{M}_{1-x})(\text{Zr}_y\text{Ti}_{1-y})\text{O}_3$ 的添加鈦酸鉛鋇系列，其中 M 係例如鹼土金屬及過渡金屬，例如鋇及釷，各種金屬其中任何一種，其中 x 表示鉛含量且 y 表示鋇含量，氧化鋰鈮，例如 LiNbO_3 ，鈦酸鉛鎂，例如 $(\text{Pb}_x\text{Mg}_{1-x})\text{TiO}_3$ ，以及氧化鉛鎂鈮，例如 $(\text{Pb}_x\text{Mg}_{1-x})\text{NbO}_3$ 及鈦酸鉛鋇 $(\text{Pb}_x\text{Sr}_{1-x})\text{TiO}_3$ 。當該電容器介電材料包含 $\text{Ba}_a\text{Ti}_b\text{O}_c$ 時，較佳 a 及 b 皆係 1 且 c 係 3，亦即 BaTiO_3 其他較佳介電材料包含但不限定於矽酸鹽類 (silicates)，例如烷基矽酸鹽類、芳基矽酸鹽類、氫化矽酸鹽類及其組合、二氧化矽、矽氧烷等，包含上述任一者混合。適宜之烷基矽酸鹽類包含 (C_{1-10}) 烷基矽酸鹽類，例如甲基矽酸鹽類、乙基矽酸鹽類、丙基矽酸鹽類及丁基矽酸鹽類。較佳該介電材料包含陶瓷或金屬氧化物。此等介電材料可以用於各種晶體結構中，包含但不限於，鈦鈣礦 (ABO_3)、燒綠石 ($\text{A}_2\text{B}_2\text{O}_7$)、金紅石及



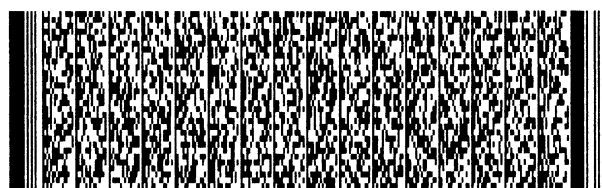
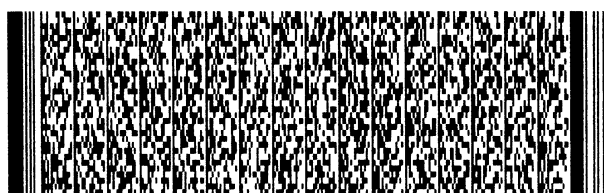
五、發明說明 (6)

其他結構具有適用於當作電容器介電材料之電氣性質的多形體。

使用聚合物 / 陶瓷或金屬氧化物複合材料電容器介電材料時，該陶瓷或金屬氧化物材料可能以粉末方式與該聚合物摻混。使用陶瓷或金屬氧化物而不使用聚合物時，此等陶瓷或金屬氧化物可藉由各種方法沉積，例如，但不限於，溶膠凝膠 (sol-gel)、物理方式及 / 或反應性蒸發、濺鍍、以雷射為主之沉積技術、化學氣相沉積 (CVD)、燃燒化學氣相沉積 (CCVD)、經控制氣體的燃燒化學氣相沉積 (CACCVD)、氫化物蒸氣相沉積、液相磊晶 (liquid phase epitaxy) 及電解磊晶 (electro-epitaxy)。此等陶瓷或金屬氧化物材料較佳係使用溶膠凝膠技術的方式沉積。

於此等溶膠凝膠過程中，本文中列舉鈦酸鋇電容器介電材料之沉積，係由烷氧化鈦 (titanium alkoxide) 非水溶液與鋇前驅物 (barium precursor) 以所欲之化學計量反應且可以溶劑 / 水溶液控制水解。然後藉由浸塗或 1,000 至 3,000 轉 / 分之旋塗將經水解之烷氧化物水溶液 (或「溶膠 (sol)」) 之薄的、附著薄膜施塗於該基材。為增加膜厚可能需要多重塗層；該薄膜以 5 至 10 分鐘從 200°C 加熱至 600°C 以揮發該有機物種且保留該乾燥的「凝膠 (gel)」薄膜。然而退火 (annealing) 至 500°C 時，該有機物質及水大部分會自該薄膜移除；該鈦酸鋇薄膜仍僅具有部分結晶性。

接著將該薄膜退火一段時間以移除揮發性有機物質。



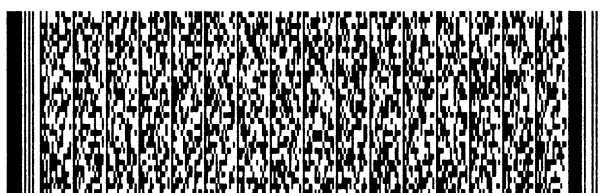
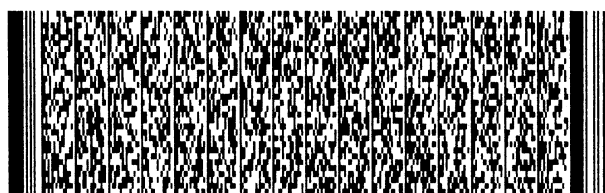
五、發明說明 (7)

所希望的退火溫度為 650°C 持續大約 1 小時。較好將該薄膜再進一步退火以改良該薄膜之結晶性。後面的步驟係關於例如於乾燥氮氣下以 200°C /小時加熱該薄膜至最終退火溫度 600 至 900°C ，較佳 850°C ，直到所欲之結晶性達到為止。

當作該烷氧化鈦者較佳係異丙氧基鈦 (titanium isopropoxide)。一般而言，「鋇前驅物」係二醇 (glycol) 與氧化鋇之反應產物。典型之二醇係乙二醇及丙二醇。典型地於添加該烷氧化鈦之前，該二醇-氧化鋇反應產物係以醇稀釋。適用於當作稀釋劑之醇包含，但不限於，乙醇、異丙醇、甲醇、丁醇及戊醇。

於該溶膠凝膠過程期間，該複合材料之厚度係旋轉速率及溶液黏度之函數。一般而言，該複合材料之厚度係至少 100 奈米，更通常至少 250 奈米，又更通常至少 500 奈米。尤其有用之厚度係介於 450 至 700 奈米，更佳 475 至 600 奈米。該最大厚度，例如平面薄膜複合材料，可由沉積於該基材上之溶膠凝膠層之數目決定。

於一具體實施例中，將氧化鋇之細粉加至該二醇。該反應係放熱的且該反應混合物係經連續攪拌的。然後以烷醇，例如 2-丙醇，稀釋該反應混合物。另外，接著添加烷氧化鈦。為避免快速沉澱，該飽和二醇溶液係維持於提高之溫度下，較佳係 70°C 。然後將該溶液旋塗於適當之基材上。於旋塗之第一階段步驟中，該溶液於短時間內於大約 2000 轉 / 分之速度下添加。於第二階段中，轉速提高至



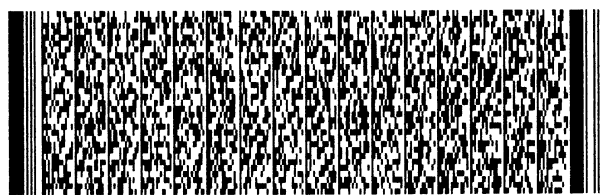
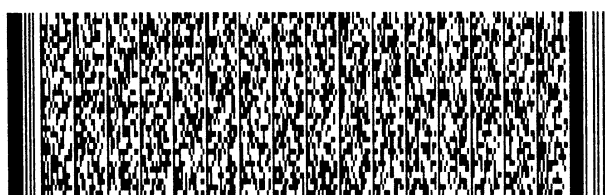
五、發明說明 (8)

4000轉 /分持續一段足以達到均勻沉積薄膜之時間。然後將該薄膜於 80至 100°C 之間的溫度下乾燥，較佳係 90°C。然後以該產物進行上述溶膠凝膠製程之相類似退火階段。

於本發明另一具體實施例中，該基材之塗層係藉由首先於周遭氣體中溶解醇、二醋酸鋁及烷氧化鈦之反應混合物。然後持續攪拌烷醇 (alkanol)、醋酸 (acetic acid)、及丙三醇 (glycerol) 之溶液。接著將醋酸鋁溶於經混合之溶液中。然後將烷氧化鈦，例如丁氧化鈦，加至該溶液。該溶液係持續攪拌達至少 2 小時。然後該溶液以無水醇，例如無水甲醇、醋酸及丙三醇以大約 5:5:1 之重量比稀釋。然後該溶液係旋塗於適當基材上，典型地為底部電極或金屬層。該施塗較佳以多段進行。於第一階段中，該溶液係以大約 2000 轉 /分之速度施塗於該基材上達 10 秒。於第二階段中，該溶液係以 4000 轉 /分之速度施塗一段時間使達到均勻沉積，大體上約 10 秒。該溶膠亦可能藉由輥塗機或網版印刷或其他方法施塗於該基材。

或者，欲塗覆該電容器介電材料之基材可以 2 至 12 公分 /分 (1 至 5 英吋 /分) 之平均速度沉浸於該溶液，較佳 2 至 8 公分 /分。然後該塗層於 200 至 500°C 之溫度在該基材上乾燥；典型地薄膜係先於 200°C 時乾燥 2 小時，然後於 400°C 時烘烤 20 分以移除揮發性有機材料。然後於 600 至 800°C 之溫度範圍中退火以改良結晶性。一般而言，退火期間約 1 小時。

本發明中可使用相當多種的鍍覆摻雜物。用於本發明

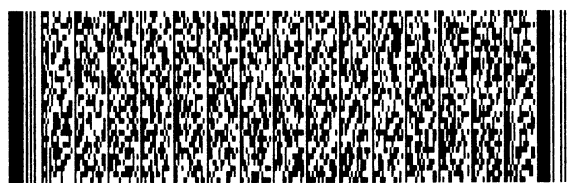


五、發明說明 (9)

之鍍覆摻雜物係任何能促使導電層鍍覆在介電層上者。該鍍覆摻雜物係以能導電者為較佳，並且以金屬為更佳。此等鍍覆可為無電金屬沉積、電解金屬沉積、沉浸式電鍍等。適合的鍍覆摻雜物包含，但不限於，例如鋁、錫、鉛、鈮、鈷、銅、銀、金之金屬。此外，可使用例如氧化鋅之金屬氧化物、導電性聚合物及石墨。並且可以有利地使用鍍覆摻雜物的混合物，例如鈮/錫混合物。較佳的鍍覆摻雜物為錫、鈮、鈷、銅、銀、金、氧化鋅及其混合物。

使用金屬鍍覆摻雜物時，可在介電層中以各種型態存在，包含，但不限於，金屬、金屬合金或金屬氧化物或是能夠轉變成金屬結構之金屬前驅物。可將該金屬、金屬合金或金屬氧化物以粒狀、針狀、棒狀、結晶或其他適合的結構來使用。適合的鍍覆摻雜金屬前驅物係藉由熱、光或外在方法轉變成金屬結構。鍍覆摻雜金屬前驅物實例包含，但不限於，金屬有機沉積劑和鹵化銀物質。該金屬或金屬合金粒子係以微粒(1奈米至10微米)為較佳。此等微細的金屬或金屬合金粒子可藉由各種方法製備，例如，但不限於，燃燒化學氣相沉積、機械研磨、兩相整塊石料蝕刻、超音波、化學還原、真空沉積。

已知有相當多種的導電性聚合物。其中之任何一種均適合用來作為本發明的鍍覆摻雜物。此種導電性聚合物係以加熱至300°C以上仍穩定者為宜，較佳為400°C以上，而更佳為500°C以上。

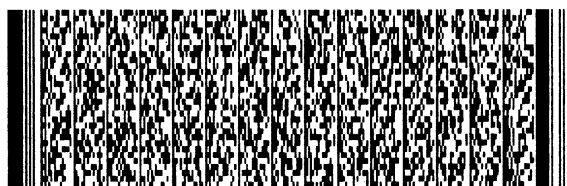
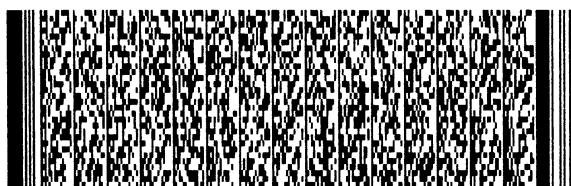


五、發明說明 (10)

鍍覆摻雜物係以足以促使導電層鍍覆在該介電層上的用量存在於介電層中。最小需要用量依據欲沉積之特定鍍覆摻雜物及導電層而定。例如，欲電解沉積導電層時，該鍍覆摻雜物用量必須能夠充分傳導以提供導電層鍍覆。在使用沉浸式電鍍沉積導電層時，充分的鍍覆摻雜物係比欲鍍覆的金屬更陽電性，且該鍍覆摻雜物用量必須足以使該必要的置換電鍍產生作動。此等最小用量係在熟悉本技藝人士的能力範圍內為宜。鍍覆摻雜物通常可在介電層中以達到 50%體積百分比的用量存在。鍍覆摻雜物的較佳用量為達到 45%體積百分比，更佳為達到 40%體積百分比。使用溶膠凝膠製程沉積電容器介電層時，係在膜形成前將鍍覆摻雜物添加至溶膠中為較佳。使用氣相沉積法時，係將該鍍覆摻雜物與介電材料共同沉積為較佳。本發明之含鍍覆摻雜物之介電層係藉由溶膠凝膠製程沉積者為宜。

電容器介電材料之經摻雜介電層對後續沉積或鍍覆之催化層及/或電極層係提供增強之附著力。該含鍍覆摻雜物之介電層與介電層堆疊之頂部及底部上的電極結構歐姆接觸，藉此增加其表面積，且結果為增加其電容。由於以含鍍覆摻雜物之介電質取代未摻雜之介電質層，因此總介電質厚度減少而其電容增加。同時由於與頂部及底部電極電性接觸的鍍覆摻雜物粒子表面積所致，因此頂部及底部電極的有效面積也增加。

本發明之介電結構可能包含雙層或多層電容器介電層。使用雙層電容器介電層時，第一或頂部電容器介電



五、發明說明 (11)

層，亦即欲鍍覆導電層之介電層，含有足量之鍍覆摻雜物以提供直接電鍍形成導電層。使用三層或多層介電層時，第一或頂部介電層與視需要時底部介電層含有足量之鍍覆摻雜物以提供直接電鍍形成導電層。於一具體實施例中，更佳該多層介電結構之頂部及底部介電層含有足量之鍍覆摻雜物能在各頂部及底部介電層表面提供直接電鍍形成導電層。

詳言之，適合的多層介電結構係具有第一或頂部介電層、第二或中間介電層及第三或底部介電層者，該頂部及底部介電層其中至少有一具有足量之鍍覆摻雜物以提供直接鍍覆形成導電層。熟悉本技藝人士應了解該中間介電層可能包括單一介電層或複數層介電層。此複數層介電層使能製造具有量身訂做整個介電常數之介電結構。

使用多層介電層時，各介電層皆可能相同或不同。於一具體實施例中，較佳該介電層包括相同之介電材料。於另一具體實施例中，較佳為不同之介電材料係用以形成各種介電層。不同介電材料之適當組合的實例係交換氧化鋁、氧化鋯、鈦酸鋇鋇 (barium-strontium-titanate)、鈦酸鉛鋯 (lead-zirconium-titanate) 及鈦酸鉛釷鋯 (lead-lanthanum-zirconia-titanate) 其中之一或多層或結合一或多層其他介電層。

於一具體實施例中，本發明經摻雜之介電層可能用作該介電質堆疊之最頂層以提供隨後沉積金屬層。"介電質堆疊 (dielectric stack)" 意指緊密接觸的兩層或多層介



五、發明說明 (12)

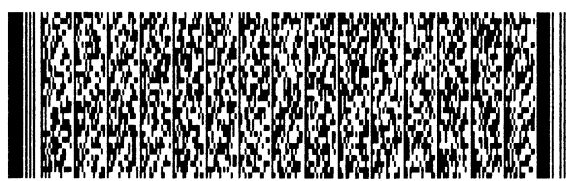
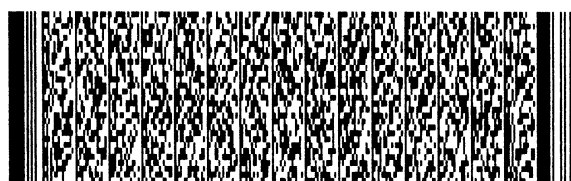
電層。於此等具體實施例中，於經摻雜之介電層下方之層可能藉由任何適合之方法沉積，例如，但不限於，溶膠凝膠技術、化學氣相沉積、燃燒化學氣相沉積、經控制氣體的燃燒化學氣相沉積或此等之任何組合。位於本發明之經摻雜之介電層下方的介電層可能由相同或不同於用於經摻雜之介電層之介電材料的任何適合介電材料組成。

該介電結構之總厚度端視選用之電容器介電材料及所欲之總計電容而定。於多層介電結構中，該介電層可能具有均勻厚度或有變化之厚度。此等結構可能由複數種薄層、一或多種厚層或由厚層及薄層混合組成。此等選擇係熟悉本技藝人士的能力範圍之內。例示性介電層可能具有 0.01 至 100 微米之厚度。

該經摻雜之介電層厚度係以小於該介電層結構總厚度的 50% 為宜。而該經摻雜之介電層厚度又以小於該介電層結構總厚度的 40% 為較佳，以小於該介電層結構總厚度的 30% 為更佳，以小於該介電層結構總厚度的 25% 又更佳。

然後可將整體介電結構加熱(退火)以形成具有所希望之結晶結構的介電結構。於一選擇性具體實施例中，首先將非含有鍍覆摻雜物的凝膠層退火以形成所希望的結晶性，接著沉積含有鍍覆摻雜物的溶膠。再將含有鍍覆摻雜物的溶膠加熱以形成凝膠，然後退火以形成所欲之結晶性。

於又一具體實施例中，電容器介電表面可變化紋理以進一步改善導電層附著性。該變化紋理可藉由各種方法達

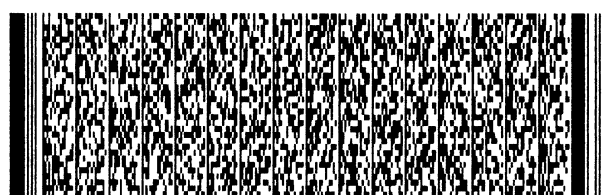
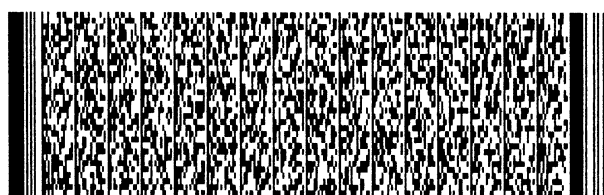


五、發明說明 (13)

到，包含，但不限於，雷射構形，利用可移除之多孔原 (porogen)，及機械式方法例如物理研磨。該可移除之多孔原可能係例如聚合粒子、線型聚合物、星狀聚合物或多芽聚合物之聚合物，或可能係與介電材料單體共聚合形成具有不安定 (可移除) 成分之嵌段共聚物 (block copolymer) 的單體或聚合物。於一選擇性具體實施例中，該多孔原可能與該介電前驅物預聚合或預反應形成溶膠，該溶膠可能係單體、寡聚合或聚合者。然後使此等預聚合之材料退火以形成介電層。適合之多孔原係例如美國專利第 6,271,273 號 (You 等)、第 5,895,263 號 (Carter 等) 及第 6,420,441 號 (Allen 等) 所揭示者。其中係以能提供適合的變化紋理表面且同時可供控制所得介電常數的方法為較佳。

該介電表面之雷射構形可能係此技藝中所習知的任何雷射構形或消融 (ablation) 方法。在此等方法中，在電極 (金屬化) 層沉積之前，對最後施塗於該介電結構之電容器介電層施以雷射構形，例如雷射消融。一般而言此等雷射消融係由電腦控制，因此能夠移除預定圖案中精確量之電容器介電層。此等圖案包含，但不限於，溝、凹部、波紋及隱匿交錯細線。

本發明之介電結構具有包含能在介電層上提供直接電鍍導電層之鍍覆摻雜物用量的頂部介電層，該介電結構可藉由包含，但不限於，無電電鍍、電解電鍍及沉浸式電鍍的各種方法加以金屬化。適合的導電層包含，但不限於，



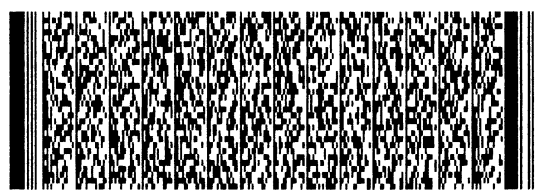
五、發明說明 (14)

例如銅、銀、金、鎳、錫、鉛、鋁、錫-鉛、錫-銅、錫-鈹、錫-銀、錫-銀-銅、鉑、鈮之金屬、金屬氧化物、導電性聚合物等。此等導電層可進一步與任何適合的合金化金屬(例如,但不限於鈹、鈮及鎳)形成合金。

無電電鍍可藉由各種習知的方法適當地加以完成。可無電電鍍之適當金屬包含,但不限於,銅、金、銀、鎳、鈹、錫及鉛。沉浸式電鍍可藉由各種習知的方法適當地加以完成。利用沉浸式電鍍可適當地沉積金、銀、錫及鉛。電解電鍍可藉由各種習知的方法適當地加以完成。可電解電鍍之適當金屬實例包含,但不限於,銅、金、銀、鎳、鈹、錫、錫-鉛、錫-銀、錫-銅及錫-鈹。

熟悉本技藝人士應了解可在第一導電層之上沉積額外的導電層。此種額外導電層可能係相同或不同於該第一導電層。該額外導電層可經由無電電鍍、電解電鍍、沉浸式電鍍、化學氣相沉積、物理氣相沉積、經控制氣體的燃燒化學氣相沉積、燃燒化學氣相沉積及其他適當方法加以沉積。例如,使用無電電鍍沉積導電層時,該無電電鍍沉積可隨後再電解電鍍以增進較厚的金屬沉積。該隨後電解沉積之金屬可能係相同或不同於無電沉積之金屬。

本發明亦預期包括含底部介電層及頂部介電層之介電結構的電容器,其中該頂部介電層包含足量之電鍍摻雜物以在該頂部介電層上直接電鍍形成導電層,底部導電層係與底部介電層緊密接觸且頂部導電層係與頂部介電層緊密接觸。於一選擇性具體實施例中,本發明亦預期包括含底



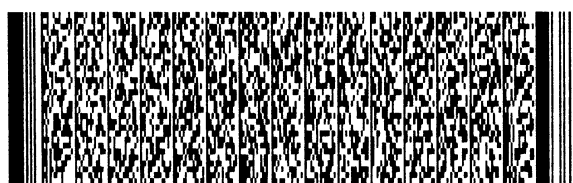
五、發明說明 (15)

部介電層、中間介電層及頂部介電層之多層介電結構的電容器，其中該頂部與底部介電層兩者皆含有足量之電鍍摻雜物以在該介電層上直接電鍍形成導電層，底部導電層係與底部介電層緊密接觸且頂部導電層係與頂部介電層緊密接觸。該中間介電層可能包括單一介電層或多重（亦即雙層或更多層）介電層。

本發明係提供催化和鍍覆電極對於介電層之附著力的改善方法，包括將含有足量之電鍍摻雜物而能在介電層上直接電鍍形成導電層之介電層沉積在基材上，並在含鍍覆摻雜物之介電層表面上鍍覆電極。

本發明之電容器尤其適於用作積層印刷電路板之埋入型電容器。此等電容器係於積層印刷電路板製造過程埋入積層介電結構中。一般而言，該積層介電結構係有機聚合物，例如環氧類、聚醯亞胺類、纖維補強環氧類以及在印刷電路板製造用來作為介電結構的其他有機聚合物。積層介電結構通常具有小於等於 6 的介電常數，典型地具有介於 3 至 6 的介電常數。本電容器可藉由本技藝中習知之各種方法，例如美國專利第 5,155,655 (Howard 等) 所揭示的方法埋入。

因此，本發明提供製造多層印刷電路板之方法，包含將電容材料埋入該多層印刷電路板之一或多層中，其中該埋入型電容材料包含多層介電結構，該多層介電結構包含第一介電層及第二介電層，其中該第一介電層具有足量之電鍍摻雜物以促使導電層鍍覆在該第一介電層上。



五、發明說明 (16)

以下實施例進一步說明本發明之各種型態，但非以任何型態限制本發明之範圍。

實施例 1

將醋酸鋇， $\text{Ba}(\text{CH}_3\text{COO})_2$ ，(1莫耳)溶於 20莫耳乙醇、25莫耳醋酸及 1莫耳丙三醇之混合溶液中，然後使該溶液攪拌 2小時。攪拌之後，將 1莫耳之 $\text{Ti}[\text{O}(\text{CH}_2)_3\text{CH}_3]$ 加至該溶液，接著再攪拌 2小時以製備鈦酸鋇溶膠。

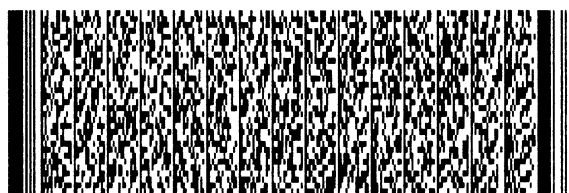
以 2000轉 /分之速度將此溶膠之試樣旋塗於導電基材上達 45秒。旋塗該溶液之後，在氮氣氣體中於 170°C 時退火該試樣 1小時，接著進行以下兩步驟：在空氣中於 400°C 下連續退火 1小時，並於 700°C 下連續退火 1小時。利用此等步驟製備之經退火介電試樣的厚度係約 100奈米。

以金屬銀粒子作為鍍覆摻雜物，添加至該溶膠之另一試樣，該添加之金屬銀粒子係以該凝膠總體積為基準，能足以提供 40%體積百分比之用量。然後利用上述條件將含有鍍覆摻雜物之溶膠施塗於經退火之介電試樣之介電表面。然後於 400°C 時加工該試樣 1小時以形成凝膠。在 700°C 下進行最終相轉移成鈦鈣礦 (perovskite) 晶體結構以形成具有含銀作為鍍覆摻雜物之頂部介電層的介電結構。

實施例 2

將實施例 1 的介電結構施以無電鍍鎳浴，俾於摻雜銀的介電層上沉積鎳導電層。其次將鍍過鎳的介電質施以鎳電鍍浴，以增加鎳沉積的厚度。

實施例 3



五、發明說明 (17)

除了將該無電鍍鎳之介電質施以銅電鍍浴以外，重覆實施例 2 之步驟，俾於該無電鍍鎳層上沉積一層銅。

實施例 4

除了該鍍覆摻雜物係足以提供 35% 體積百分比之用量的鈮以外，重覆實施例 1 之步驟。

實施例 5

除了該鍍覆摻雜物係鈮與錫混合物以外，重覆實施例 1 之步驟。該鈮與錫混合物的總量為足以提供 45% 體積百分比的用量。

實施例 6

除了該鍍覆摻雜物係足以提供 42% 體積百分比之用量的氧化鋅以外，重覆實施例 1 之步驟。

實施例 7

除了該鍍覆摻雜物係足以提供 48% 體積百分比之用量的鎳以外，重覆實施例 1 之步驟。

實施例 8

將實施例 4 的介電結構施以無電鍍鎳浴俾於摻雜鈮的介電層上沉積鎳導電層。其次將該鍍過鎳的介電質施以鎳電鍍浴，以增加鎳沉積的厚度。

實施例 9

將實施例 4 的介電結構施以電解電鍍鎳浴俾於摻雜鈮的介電層上沉積鎳導電層。

實施例 10

除了該鍍覆摻雜物係足以提供 38% 體積百分比之用量



五、發明說明 (18)

的銅以外，重覆實施例 1 之步驟。

實施例 11

將實施例 10 的介電結構施以沉浸式鍍銀浴俾於摻雜銅的介電層上沉積銀導電層。

實施例 12

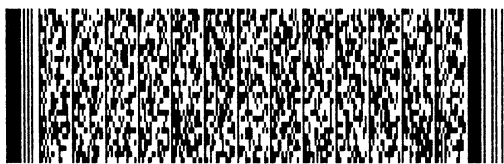
將實施例 10 的介電結構施以電鍍錫-銀浴俾於摻雜銅的介電層上沉積錫-銀導電層。

實施例 13

利用濺鍍法在實施例 10 的介電結構上沉積鋁層。

實施例 14

除了該溶膠同時含有鋇且該鍍覆摻雜物係足以提供 27% 體積百分比之用量的鎳以外，重覆實施例 1 之步驟。



圖式簡單說明

本 案 無 圖 式



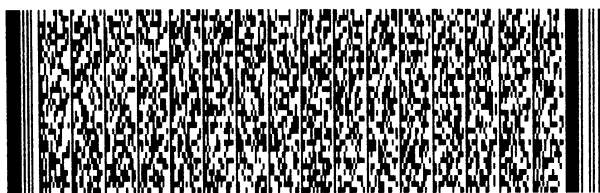
四、中文發明摘要 (發明名稱：介電結構，以及具有該介電結構之電容器印刷電路板及其製法)

本發明係提供特別適用於電容器且具有足量之鍍覆摻雜物以促使導電層鍍覆的多層介電結構，並同時提供形成此種結構的方法。此種介電結構對於其後所施加之導電層會展現出增強的附著力。

本案無圖示

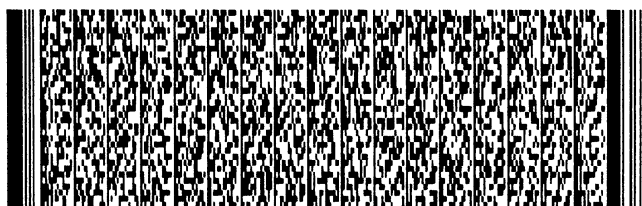
六、英文發明摘要 (發明名稱：DIELECTRIC STRUCTURE, AND CAPACITOR AND PRINTED CIRCUIT BOARD HAVING THE SAME AND MANUFACTURING METHOD THEREOF)

Multilayer dielectric structures particularly suitable for use in capacitors and having a plating dopant in an amount sufficient to promote plating of a conductive layer are provided, together with methods of forming such structures. Such dielectric structures show increased adhesion of subsequently applied conductive layers.



六、申請專利範圍

1. 一種介電結構，係包括第一介電層與第二介電層，其中，該第一介電層包括足量之鍍覆摻雜物以促使導電層鍍覆在該第一介電層上。
2. 如申請專利範圍第1項之介電結構，其中，該鍍覆摻雜物為金屬。
3. 如申請專利範圍第1項之介電結構，其中，該鍍覆摻雜物於第一介電層的含量達50%體積百分比。
4. 如申請專利範圍第1項之介電結構，復包括在該第二介電層上沉積第三介電層，其中，該第三介電層包括足量之鍍覆摻雜物以促使導電層鍍覆在該第三介電層上。
5. 如申請專利範圍第1項之介電結構，其中，該第二介電層包括複數個介電層。
6. 一種電容器，係包括如申請專利範圍第1至5項中任一項之介電結構，具有與第二介電層緊密接觸之底部導電層，以及與第三介電層緊密接觸之頂部導電層。
7. 一種印刷電路板，包括埋入型電容材料，其中，該埋入型電容材料包括如申請專利範圍第1至5項中任一項之介電結構。
8. 一種多層積層印刷電路板之製造方法，係包括下列步驟：將電容材料嵌埋在多層積層印刷電路板之單層或多層中，其中，該埋入型電容材料包括如申請專利範圍第1至5項中任一項之介電結構。
9. 一種電容器之製造方法，係包括下列步驟：



六、申請專利範圍

將含有足量之鍍覆摻雜物以促使導電層鍍覆在介電層上之介電層沉積在基材上，以及；

將導電層鍍覆在該介電層的表面上。

10.如申請專利範圍第9項之方法，其中，該介電層包括第一介電層與第二介電層，而該第一介電層包含足量之鍍覆摻雜物。

