



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2025-0015588
(43) 공개일자 2025년02월03일

(51) 국제특허분류(Int. Cl.)
H03M 1/10 (2006.01) H03M 1/06 (2006.01)
H03M 1/46 (2006.01)
(52) CPC특허분류
H03M 1/1023 (2013.01)
H03M 1/0607 (2013.01)
(21) 출원번호 10-2023-0109344
(22) 출원일자 2023년08월21일
심사청구일자 없음
(30) 우선권주장
1020230093957 2023년07월19일 대한민국(KR)

(71) 출원인
삼성전자주식회사
경기도 수원시 영통구 삼성로 129 (매탄동)
서강대학교산학협력단
서울특별시 마포구 백범로 35 (신수동, 서강대학교)
(72) 발명자
신희욱
경기도 수원시 영통구 삼성로 129 (매탄동, 삼성전자)
이재혁
경기도 성남시 분당구 판교로 421, 201동 1303호
(야탑동, 탑마을대우아파트)
(뒷면에 계속)
(74) 대리인
리엔목특허법인

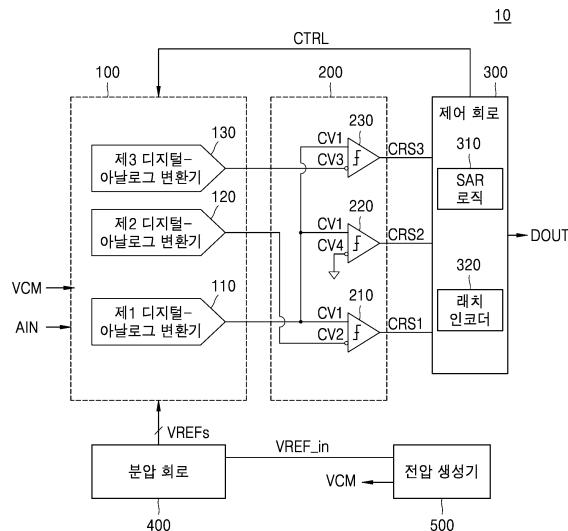
전체 청구항 수 : 총 10 항

(54) 발명의 명칭 **아날로그-디지털 변환기 및 이의 오프셋 보정 방법**

(57) 요약

아날로그-디지털 변환기 및 이의 오프셋 보정 방법이 개시된다. 본 개시에 따른 아날로그-디지털 변환기는, 제1 비교 전압을 생성하도록 구성된 디지털-아날로그 변환기, 제1 비교 전압을 제1 비교 전압과 제2 비교 전압과 비교한 결과에 기초하여 제1 비교 결과 신호를 출력하도록 구성된 비교 회로 및 디지털-아날로그 변환기를 제어하고, 출력 신호를 출력하도록 구성된 제어 회로를 포함하고, 디지털-아날로그 변환기는, 복수의 기준 전압들이 인가되는 단자들과 연결된 스위치들을 선택적으로 스위칭함으로써 보정 전압을 생성하고, 보정 전압에 기초하여 비교 회로의 오프셋을 보정하도록 구성된 보정 회로를 포함할 수 있다.

대표도 - 도1



(52) CPC특허분류

H03M 1/462 (2013.01)

(72) 발명자

부준호

서울특별시 마포구 마포대로24길 16, 102동 805호
(아현동, 공덕자이 아파트)

이승훈

서울특별시 용산구 이촌로 310, 101동 2303호 (이
촌동, 래미안 첼리투스)

조영재

경기도 수원시 영통구 삼성로 129 (매탄동, 삼성전
자)

최병주

경기도 수원시 영통구 삼성로 129 (매탄동, 삼성전
자)

범진욱

경기도 고양시 일산동구 강송로 156, 205동 401호
(마두동, 강촌마을2단지아파트)

안길초

서울특별시 강남구 남부순환로363길 30, 104동 70
1호 (도곡동, 도곡쌍용예가아파트)

명세서

청구범위

청구항 1

입력 신호를 출력 신호로 변환하는 아날로그-디지털 변환기에 있어서,

상기 입력 신호, 공통 모드 전압, 복수의 기준 전압들 및 제어 신호에 기초하여 제1 비교 전압을 생성하도록 구성된 디지털-아날로그 변환기;

상기 제1 비교 전압을 제2 비교 전압과 비교한 결과에 기초하여 제1 비교 결과 신호를 출력하도록 구성된 비교 회로; 및

상기 제1 비교 결과 신호에 기초하여 상기 제어 신호를 생성하고, 상기 출력 신호를 출력하도록 구성된 제어 회로를 포함하고,

상기 디지털-아날로그 변환기는,

상기 공통 모드 전압을 상기 비교 회로에 인가한 결과에 기초하여, 상기 복수의 기준 전압들이 인가되는 단자들과 연결된 스위치들을 선택적으로 스위칭함으로써 보정 전압을 생성하고, 상기 보정 전압에 기초하여 상기 비교 회로의 오프셋을 보정하도록 구성된 보정 회로를 포함하는 것을 특징으로 하는 아날로그-디지털 변환기.

청구항 2

제1항에 있어서,

적어도 하나의 입력 기준 전압에 기초하여 상기 복수의 기준 전압들을 생성하고, 상기 생성된 복수의 기준 전압들을 상기 디지털-아날로그 변환기로 제공하도록 구성된 분압 회로를 더 포함하는 것을 특징으로 하는 아날로그-디지털 변환기.

청구항 3

제1항에 있어서,

상기 보정 회로는,

제1 내지 제N 커패시터들(N은 2 이상의 정수)을 포함하는 커패시터 어레이; 및

상기 제어 신호에 기초하여 상기 제1 내지 상기 제N 커패시터들 각각에 인가되는 기준 전압들을 선택하도록 구성된 스위치 어레이를 포함하는 아날로그-디지털 변환기.

청구항 4

제3항에 있어서,

상기 보정 회로는,

상기 제어 신호에 기초하여 상기 제1 내지 제N 커패시터에 연결된 스위치들을 순차적으로 스위칭 함으로써 상기 보정 전압을 생성하도록 구성된 것을 특징으로 하는 아날로그-디지털 변환기.

청구항 5

제4항에 있어서,

상기 공통 모드 전압을 생성하는 전압 생성기를 더 포함하고,

상기 전압 생성기는 상기 제어 신호에 기초하여 상기 공통 모드 전압을 상기 제1 비교 전압으로서 상기 비교 회로에 인가하고,

상기 보정 회로는 상기 제1 비교 전압이 상기 제2 비교 전압보다 큰 경우, 상기 제1 커패시터에 제1 기준 전압

이 인가되도록 상기 스위치들을 스위칭을 함으로써 보정 전압을 생성하고,

상기 보정 회로는 상기 제1 비교 전압이 상기 제2 비교 전압보다 작은 경우, 상기 제1 커패시터에 제2 기준 전압이 인가되도록 상기 스위치들을 스위칭을 함으로써 상기 보정 전압을 생성하도록 구성된 것을 특징으로 하는 아날로그-디지털 변환기.

청구항 6

제5항에 있어서,

상기 비교 회로는,

상기 보정 전압을 상기 제1 비교 전압과 가산함으로써 상기 제1 비교 전압을 조절하도록 구성된 것을 특징으로 하는 아날로그-디지털 변환기.

청구항 7

제6항에 있어서,

상기 보정 회로는 상기 조절된 제1 비교 전압이 상기 제2 비교 전압보다 큰 경우, 상기 제2 커패시터에 제3 기준 전압이 인가되도록 상기 스위치들을 스위칭을 함으로써 상기 보정 전압을 증가시키고,

상기 보정 회로는 상기 조절된 제1 비교 전압이 상기 제2 비교 전압보다 작은 경우, 상기 제2 커패시터에 제4 기준 전압이 인가되도록 상기 스위치들을 스위칭을 함으로써 상기 보정 전압을 감소시키도록 구성된 것을 특징으로 하는 아날로그-디지털 변환기.

청구항 8

아날로그-디지털 변환기의 오프셋 보정 방법에 있어서,

디지털-아날로그 변환기를 보정 모드로 설정하는 단계;

공통 모드 전압을 비교 회로에 인가하는 단계;

상기 비교 회로가 제1 비교 전압 및 제2 비교 전압을 비교한 결과에 기초하여 제어 비트를 생성하는 단계;

상기 제어 비트의 값에 기초하여, 복수의 기준 전압들 중 보정 회로에 인가될 기준 전압들을 결정하는 단계;

상기 보정 회로에 의해서 상기 결정된 기준 전압들에 기초하여 보정 전압을 생성하는 단계; 및

상기 보정 전압을 상기 제1 비교 전압과 가산함으로써 상기 비교 회로의 오프셋을 보정하는 단계를 포함하는 것을 특징으로 하는 방법.

청구항 9

입력 신호를 출력 신호로 변환하는 아날로그-디지털 변환기에 있어서,

상기 입력 신호, 공통 모드 전압, 복수의 기준 전압들 및 제어 신호에 기초하여 제1 비교 전압을 생성하도록 구성된 제1 디지털-아날로그 변환기;

상기 공통 모드 전압, 상기 복수의 기준 전압들 및 상기 제어 신호에 기초하여 제2 비교 전압을 생성하도록 구성된 제2 디지털-아날로그 변환기;

상기 공통 모드 전압, 상기 복수의 기준 전압들 및 상기 제어 신호에 기초하여 제3 비교 전압을 생성하도록 구성된 제3 디지털-아날로그 변환기;

상기 제1 비교 전압을 상기 제2 비교 전압과 비교한 결과에 기초하여 제1 비교 결과 신호를 출력하도록 구성된 제1 비교 회로;

상기 제1 비교 전압을 제4 비교 전압과 비교한 결과에 기초하여 제2 비교 결과 신호를 출력하도록 구성된 제2 비교 회로; 및

상기 제1 비교 전압을 상기 제3 비교 전압과 비교한 결과에 기초하여 제3 비교 결과 신호를 출력하도록 구성된 제3 비교 회로를 포함하고,

상기 제1 디지털-아날로그 변환기는,

상기 공통 모드 전압을 상기 제1 비교 회로에 인가한 결과에 기초하여, 상기 제1 비교 회로, 상기 제2 비교 회로 및 상기 제3 비교 회로의 오프셋을 보정하도록 구성된 제1 보정 회로를 포함하고,

상기 제2 디지털-아날로그 변환기는,

상기 공통 모드 전압을 상기 제1 비교 회로에 인가한 결과에 기초하여, 상기 제2 비교 회로의 오프셋을 보정하도록 구성된 제2 보정 회로를 포함하고,

상기 제3 디지털-아날로그 변환기는,

상기 공통 모드 전압을 상기 제3 비교 회로에 인가한 결과에 기초하여, 상기 제3 비교 회로의 오프셋을 보정하도록 구성된 제3 보정 회로를 포함하는 것을 특징으로 하는 아날로그-디지털 변환기.

청구항 10

제9항에 있어서,

상기 제어 신호를 생성하고, 상기 제1 내지 제3 비교 결과 신호에 기초하여 상기 제1 내지 제3 디지털-아날로그 변환기를 제어하고, 상기 출력 신호를 출력하도록 구성된 제어 회로를 더 포함하는 것을 특징으로 하는 아날로그-디지털 변환기.

발명의 설명

기술 분야

[0001] 본 개시의 기술적 사상은 아날로그-디지털 변환기에 관한 것으로, 특히 연속 근사 레지스터 아날로그-디지털 변환기 및 이의 오프셋을 보정하는 방법에 관한 것이다.

배경 기술

[0002] 디지털 회로를 기반으로 동작하는 연속 근사 레지스터(SAR; Successive Approximation Register) 아날로그-디지털 변환기(ADC; Analog to Digital Converter)에 대한 연구가 활발히 진행되고 있다. 아날로그-디지털 변환기는 비교 회로를 포함할 수 있다. 반도체 공정상의 문제로, 비교 회로에 포함된 트랜지스터들간에 mismatches가 발생할 수 있다. 이러한 mismatches로 인해 각 비교 회로의 입력값에 오프셋이 발생할 수 있고, 오프셋으로 인해 비교 회로의 출력값에 오차가 발생할 수 있다. 이러한 오차로 인해, 아날로그 신호를 디지털 신호로 변환하는데 있어 정확도가 감소될 수 있어, 오프셋을 보정하는 방법이 요구되고 있다.

발명의 내용

해결하려는 과제

[0003] 본 개시의 기술적 사상이 해결하려는 과제는, 아날로그-디지털 변환기에서 발생하는 오프셋을 보정하는 방법을 제공함에 있다.

[0004] 본 발명의 기술적 과제들은 이상에서 언급한 기술적 과제들로 제한되지 않으며, 언급되지 않은 또 다른 기술적 과제들은 아래의 기재들로부터 통상의 기술자에게 명확하게 이해될 수 있을 것이다.

과제의 해결 수단

[0005] 본 개시의 기술적 사상의 일 측면에 따른 아날로그-디지털 변환기는, 입력 신호, 공통 모드 전압, 복수의 기준 전압들 및 제어 신호에 기초하여 제1 비교 전압을 생성하도록 구성된 디지털-아날로그 변환기, 제1 비교 전압을 제1 비교 전압과 상이한 단자로 인가되는 제2 비교 전압과 비교한 결과에 기초하여 제1 비교 결과 신호를 출력하도록 구성된 비교 회로 및 제어 신호를 생성하고, 제1 비교 결과 신호에 기초하여 디지털-아날로그 변환기를 제어하고, 출력 신호를 출력하도록 구성된 제어 회로를 포함하고, 디지털-아날로그 변환기는, 공통 모드 전압을 비교 회로에 인가한 결과에 기초하여, 복수의 기준 전압들이 인가되는 단자들과 연결된 스위치들을 선택적으로 스위칭함으로써 보정 전압을 생성하고, 보정 전압에 기초하여 비교 회로의 오프셋을 보정하도록 구성된 보정 회로를 포함할 수 있다.

[0006] 본 개시의 기술적 사상의 일 측면에 따른 아날로그-디지털 변환기의 오프셋 보정 방법은, 디지털-아날로그 변환기가 보정 모드로 동작하도록 설정하는 단계, 제1 비교 전압인 공통 모드 전압을 비교 회로의 제1 단자에 인가하는 단계, 제1 비교 전압과 비교 회로의 제2 단자에 인가된 제2 비교 전압을 비교한 결과에 기초하여, 제어 비트를 생성하는 단계, 제어 비트의 값에 기초하여, 복수의 기준 전압들 중 보정 회로에 인가될 기준 전압들을 결정하는 단계, 결정된 기준 전압들에 기초하여 보정 전압을 생성하는 단계 및 보정 전압을 제1 비교 전압과 가산함으로써 비교 회로의 오프셋을 보정하는 단계를 포함할 수 있다.

[0007] 본 개시의 기술적 사상의 일 측면에 따른 아날로그-디지털 변환기는, 입력 신호, 공통 모드 전압, 복수의 기준 전압들 및 제어 신호에 기초하여 제1 비교 전압을 생성하도록 구성된 제1 디지털-아날로그 변환기, 공통 모드 전압, 복수의 기준 전압들 및 제어 신호에 기초하여 제2 비교 전압을 생성하도록 구성된 제2 디지털-아날로그 변환기, 공통 모드 전압, 복수의 기준 전압들 및 제어 신호에 기초하여 제3 비교 전압을 생성하도록 구성된 제3 디지털-아날로그 변환기, 제1 비교 전압을 제1 비교 전압과 상이한 단자로 인가되는 제2 비교 전압과 비교한 결과에 기초하여 제1 비교 결과 신호를 출력하도록 구성된 제1 비교 회로, 제1 비교 전압을 제1 비교 전압과 상이한 단자로 인가되는 제4 비교 전압과 비교한 결과에 기초하여 제2 비교 결과 신호를 출력하도록 구성된 제2 비교 회로, 제1 비교 전압을 제1 비교 전압과 상이한 단자로 인가되는 제3 비교 전압과 비교한 결과에 기초하여 제3 비교 결과 신호를 출력하도록 구성된 제3 비교 회로 및 제1 디지털-아날로그 변환기는, 공통 모드 전압을 제1 비교 회로에 인가한 결과에 기초하여, 제1 비교 회로, 제2 비교 회로 및 제3 비교 회로의 오프셋을 보정하도록 구성된 제1 보정 회로를 포함하고, 제2 디지털-아날로그 변환기는, 공통 모드 전압을 제1 비교 회로에 인가한 결과에 기초하여, 제2 비교 회로의 오프셋을 보정하도록 구성된 제2 보정 회로를 포함하고, 제3 디지털-아날로그 변환기는, 공통 모드 전압을 제3 비교 회로에 인가한 결과에 기초하여, 제3 비교 회로의 오프셋을 보정하도록 구성된 제3 보정 회로를 포함할 수 있다.

발명의 효과

[0008] 본 개시의 기술적 사상에 따르면, 아날로그-디지털 변환기의 비교 회로에서 발생하는 오프셋을 보정함으로써, 아날로그-디지털 변환기의 출력신호의 정확도는 향상될 수 있다.

[0009] 본 개시의 예시적 실시예들에서 얻을 수 있는 효과는 이상에서 언급한 효과들로 제한되지 아니하며, 언급되지 아니한 다른 효과들은 이하의 기재로부터 본 개시의 예시적 실시예들이 속하는 기술분야에서 통상의 지식을 가진 자에게 명확하게 도출되고 이해될 수 있다. 즉, 본 개시의 예시적 실시예들을 실시함에 따른 의도하지 아니한 효과들 역시 본 개시의 예시적 실시예들로부터 당해 기술분야의 통상의 지식을 가진 자에 의해 도출될 수 있다.

도면의 간단한 설명

[0010] 도 1은 본 개시의 일 실시예에 따른 아날로그-디지털 변환기를 설명하기 위한 도면이다.

도 2a 내지 도 2c는 본 개시의 일 실시예에 따른 디지털-아날로그 변환기를 설명하기 위한 도면이다.

도 3a 및 도 3b는 본 개시의 일 실시예에 따른 변환 회로들을 설명하기 위한 도면이다.

도 4a 내지 도 4c는 본 개시의 일 실시예에 따른 아날로그-디지털 변환기의 동작을 설명하기 위한 도면이다.

도 5는 본 개시의 일 실시예에 따른 보정 회로를 설명하기 위한 도면이다.

도 6은 본 개시의 예시적 실시예에 따른 오프셋 보정 방법을 설명하기 위한 순서도이다.

도 7은 본 개시의 예시적 실시예에 따른 오프셋 보정 방법을 설명하기 위한 순서도이다.

도 8a 내지 도 8c는 본 개시의 일 실시예에 따른 아날로그-디지털 변환기를 설명하기 위한 도면이다.

도 9는 본 개시의 일 실시예에 따른 통신 장치를 나타내는 블록도이다.

도 10은 본 개시의 일 실시예에 따른 시스템-온-칩을 나타내는 블록도이다.

발명을 실시하기 위한 구체적인 내용

[0011] 이하, 첨부한 도면을 참조하여 본 발명의 실시예에 대해 상세히 설명한다. 도면을 참조하여 설명할 때 동일하거나 대응하는 구성 요소는 동일한 도면 부호를 부여하고 이에 대해 중복되는 설명은 생략한다.

- [0012] 도 1은 본 개시의 일 실시예에 따른 아날로그-디지털 변환기(10)를 설명하기 위한 도면이다.
- [0013] 도 1을 참조하면, 본 개시의 일 실시예에 따른 아날로그-디지털 변환기(10)는 공통 모드 전압(VCM) 및 복수의 기준 전압들(VREFs)에 기초하여 입력 신호(AIN)를 출력 신호(DOUT)로 변환할 수 있다. 예시적 실시예에 있어서, 입력 신호(AIN)는 아날로그 신호일 수 있고, 출력 신호(DOUT)는 복수의 비트들을 포함하는 디지털 신호일 수 있다. 예시적 실시예에 있어서, 아날로그-디지털 변환기(10)는 차동(differential) 아날로그-디지털 변환기(10)일 수 있다. 다시말해, 아날로그-디지털 변환기(10)는 입력 신호로서 차동 신호를 수신할 수 있다.
- [0014] 본 개시의 일 실시예에 따른 아날로그-디지털 변환기(10)는 디지털-아날로그 변환부(100), 전압 비교부(200), 제어 회로(300), 분압 회로(400) 및 전압 생성기(500)를 포함할 수 있다.
- [0015] 디지털-아날로그 변환부(100)는 제1 디지털-아날로그 변환기(110), 제2 디지털-아날로그 변환기(120) 및 제3 디지털-아날로그 변환기(130)를 포함할 수 있다. 디지털-아날로그 변환부(100)는 외부로부터 입력 신호(AIN)를 수신할 수 있다. 디지털-아날로그 변환부(100)는 전압 생성기(500)로부터 공통 모드 전압(VCM)을 수신할 수 있다. 디지털-아날로그 변환부(100)는 분압 회로(400)로부터 복수의 기준 전압들(VREFs)을 수신할 수 있다.
- [0016] 제1 디지털-아날로그 변환기(110)는 입력 신호(AIN) 공통 모드 전압(VCM) 및 복수의 기준 전압들(VREFs)을 기초로 제1 비교 전압(CV1)을 생성할 수 있다. 제1 디지털-아날로그 변환기(110)는 입력 신호(AIN)를 샘플링 할 수 있다. 제1 디지털-아날로그 변환기(110)는 입력 신호(AIN)의 샘플링 값을 증가시키거나 감소시킴으로써 샘플링 값을 조절할 수 있다. 제1 디지털-아날로그 변환기(110)는 입력 신호(AIN)를 기초로 생성된 제1 비교 전압(CV1)을 제1 비교 회로(210), 제2 비교 회로(220) 및 제3 비교 회로(230)에 제공할 수 있다. 일부 실시예에서, 제1 디지털-아날로그 변환기(110)는 신호 디지털-아날로그 변환기라 지칭될 수 있고, 간략히 SIG-DAC이라 지칭될 수 있다. 예시적 실시예에 있어서, 제1 디지털-아날로그 변환기(110)는 제1 비교 회로(210), 제2 비교 회로(220) 및 제3 비교 회로(230)에서 발생하는 오프셋을 보정하기 위한 제1 보정 전압을 생성할 수 있다.
- [0017] 제2 디지털-아날로그 변환기(120)는 공통 모드 전압(VCM) 및 복수의 기준 전압들(VREFs)을 기초로 제2 비교 전압(CV2)을 생성할 수 있다. 제2 디지털-아날로그 변환기(120)는 제2 비교 전압(CV2)을 제1 비교 회로(210)에 제공할 수 있다. 일부 실시예에서, 제2 디지털-아날로그 변환기(120)는 제1 기준 디지털-아날로그 변환기라 지칭될 수 있고, 간략히 제1 REF-DAC이라 지칭될 수 있다. 제2 디지털-아날로그 변환기(120)는 입력 신호(AIN)의 샘플링 값을 조절하는데 있어, 비교 기준이 되는 전압을 생성할 수 있다. 예시적 실시예에 있어서, 제2 디지털-아날로그 변환기(120)는 제1 비교 회로(210)에서 발생하는 오프셋을 보정하기 위한 제2 보정 전압을 생성할 수 있다.
- [0018] 제3 디지털-아날로그 변환기(130)는 공통 모드 전압(VCM) 및 복수의 기준 전압들(VREFs)을 기초로 제3 비교 전압(CV3)을 생성할 수 있다. 제3 디지털-아날로그 변환기(130)는 제3 비교 전압(CV3)을 제3 비교 회로(230)에 제공할 수 있다. 일부 실시예에서, 제3 디지털-아날로그 변환기(130)는 제2 기준 디지털-아날로그 변환기라 지칭될 수 있고, 간략히 제2 REF-DAC이라 지칭될 수 있다. 제3 디지털-아날로그 변환기(130)는 입력 신호(AIN)의 샘플링 값을 조절하는데 있어, 비교 기준이 되는 전압을 생성할 수 있다. 예시적 실시예에 있어서, 제3 디지털-아날로그 변환기(130)는 제3 비교 회로(230)에서 발생하는 오프셋을 보정하기 위한 제3 보정 전압을 생성할 수 있다.
- [0019] 예시적 실시예에 있어서, 제1 디지털-아날로그 변환기(110), 제2 디지털-아날로그 변환기(120) 및 제3 디지털-아날로그 변환기(130)는 차동(differential) 디지털-아날로그 변환기일 수 있다. 본 명세서에서, 제1 디지털-아날로그 변환기(110), 제2 디지털-아날로그 변환기(120) 및 제3 디지털-아날로그 변환기(130)는 하프 디지털-아날로그 변환기(Half DAC)의 형태로 도시될 수 있다.
- [0020] 전압 비교부(200)는 제1 비교 회로(210), 제2 비교 회로(220) 및 제3 비교 회로(230)를 포함할 수 있다. 제1 비교 회로(210)의 제1 단자에는 제1 비교 전압(CV1)이 인가될 수 있고, 제2 단자에는 제2 비교 전압(CV2)이 인가될 수 있다. 제1 비교 회로(210)는 제1 비교 전압(CV1)과 제2 비교 전압(CV2)을 비교할 수 있고, 비교 결과에 기초하여 제1 비교 결과 신호(CRS1)를 출력할 수 있다. 예시적 실시예에 있어서, 제1 비교 전압(CV1)이 제2 비교 전압(CV2)보다 같거나 큰 경우, 제1 비교 결과 신호(CRS1)는 "1"을 포함할 수 있다. 예시적 실시예에 있어서, 제1 비교 전압(CV1)이 제2 비교 전압(CV2)보다 작은 경우, 제1 비교 결과 신호(CRS1)는 "0"을 포함할 수 있다. 이하에서, "1"은 제1 값이라 지칭될 수 있고, "0"은 제2 값이라 지칭될 수 있다. 예시적 실시예에 있어서, 제1 비교 결과 신호(CRS1)는 제어 비트를 포함할 수 있다.
- [0021] 제2 비교 회로(220)의 제1 단자에는 제1 비교 전압(CV1)이 인가될 수 있고, 제2 단자에는 제4 비교 전압(CV4)이

인가될 수 있다. 제2 비교 회로(220)는 제1 비교 전압(CV1)과 제4 비교 전압(CV4)을 비교할 수 있고, 비교 결과에 기초하여 제2 비교 결과 신호(CRS2)를 출력할 수 있다. 예시적 실시예에 있어서, 제4 비교 전압(CV4)이 인가되는 제2 비교 회로(220)의 단자는 AC 접지될 수 있다. 예를 들어, 제4 비교 전압(CV4)은 0V일 수 있다. 또한 예를 들면, 제4 비교 전압(CV4)은 공통 모드 전압(VCM)일 수 있다. 예시적 실시예에 있어서, 제1 비교 전압(CV1)이 제4 비교 전압(CV4)보다 같거나 큰 경우, 제2 비교 결과 신호(CRS2)는 "1"을 포함할 수 있다. 예시적 실시예에 있어서, 제1 비교 전압(CV1)이 제4 비교 전압(CV4)보다 작은 경우, 제2 비교 결과 신호(CRS2)는 "0"을 포함할 수 있다. 예시적 실시예에 있어서, 제2 비교 결과 신호(CRS2)는 제어 비트를 포함할 수 있다.

[0022] 제3 비교 회로(230)는 제1 비교 전압(CV1)과 제3 비교 전압(CV3)을 비교할 수 있고, 비교 결과에 기초하여 제3 비교 결과 신호(CRS3)를 출력할 수 있다. 예시적 실시예에 있어서, 제1 비교 전압(CV1)이 제3 비교 전압(CV3)보다 같거나 큰 경우, 제3 비교 결과 신호(CRS3)는 "1"을 포함할 수 있다. 예시적 실시예에 있어서, 제1 비교 전압(CV1)이 제3 비교 전압(CV3)보다 작은 경우, 제3 비교 결과 신호(CRS3)는 "0"을 포함할 수 있다. 예시적 실시예에 있어서, 제3 비교 결과 신호(CRS3)는 제어 비트를 포함할 수 있다.

[0023] 예시적 실시예에 있어서, 제1 비교 결과 신호(CRS1), 제2 비교 결과 신호(CRS2) 및 제3 비교 결과 신호(CRS3)는 온도계 코드의 형태로 제어 회로(300)에 제공될 수 있다. 온도계 코드와 관련하여서는 도 4a 내지 도 4c를 통해 후술한다.

[0024] 예시적 실시예에 있어서, 제1 비교 회로(210), 제2 비교 회로(220) 및 제3 비교 회로(230)들은 오프셋을 가질 수 있다. 각 비교 회로들이 가지는 오프셋은, 반도체 제조 공정상 비교 회로에 포함된 트랜지스터들의 크기가 불일치 하는 것에 의해 발생할 수 있다. 각 비교 회로들의 오프셋은, 비교 회로를 포함하는 반도체 칩들의 특성에 따라 상이할 수 있다. 비교 회로에 포함된 트랜지스터들의 크기가 불일치 하는 경우, 비교 회로의 출력단에 흐르는 전류의 값이 달라질 수 있고, 이로 인해 비교 회로의 출력값의 정확성이 떨어질 수 있다. 각 비교 회로들의 오프셋은 제1 디지털-아날로그 변환기(110), 제2 디지털-아날로그 변환기(120) 및 제3 디지털-아날로그 변환기(130)가 생성한 보정 전압에 의해 보정될 수 있다.

[0025] 제어 회로(300)는 SAR(Successive Approximation Register) 로직(310) 및 래치 인코더(320)를 포함할 수 있다. 제어 회로(300)는 외부로부터 클락 신호를 수신할 수 있다. SAR 로직(310)은 외부로부터 수신된 클락 신호에 기초하여 동작할 수 있다. SAR 로직(310)은 외부로부터 수신된 클락 신호에 기초하여 내부 클락 신호를 생성할 수 있다. SAR 로직(310)은 제어 회로(300)로 수신된 비교 결과 신호에 기초하여 제어 신호(CTRL)를 생성할 수 있다. SAR 로직(310)은 제어 신호(CTRL)를 통해 제1 내지 제3 디지털-아날로그 변환기(110, 120, 130)를 제어할 수 있다. 래치 인코더(320)는 제1 비교 결과 신호(CRS1), 제2 비교 결과 신호(CRS2) 및 제3 비교 결과 신호(CRS3)에 기초하여 생성된 온도계 코드를 2비트 코드로 변환할 수 있다.

[0026] 분압 회로(400)는 전압 생성기로부터 입력 기준 전압(VREF_in)을 수신할 수 있다. 분압 회로(400)는 복수의 저항들을 포함할 수 있다. 분압 회로(400)는 입력 기준 전압(VREF_in)을 기초로 복수의 기준 전압들(VREFs)을 생성할 수 있다. 일부 실시예에서, 분압 회로(400)는 저항 열(R-String)이라 지칭될 수 있다. 예시적 실시예에 있어서, 입력 기준 전압(VREF_in)은 양의 입력 기준 전압 및 음의 입력 기준 전압을 포함할 수 있다.

[0027] 예시적 실시예에 있어서, 복수의 기준 전압들(VREFs)은 전압의 크기가 순차적으로 감소하도록 구성된 M개의 기준 전압들을 포함할 수 있다. 즉, 복수의 기준 전압들(VREFs)은 제1 내지 제M 양의 기준 전압들(M은 2 이상의 정수)을 포함할 수 있다. 제1 내지 제M 양의 기준 전압들은 순차적으로 감소하도록 구성될 수 있다. 일부 실시예에서, 제1 내지 제M 양의 기준 전압들은 순차적으로 2의 지수승으로 감소하도록 구성될 수 있다.

[0028] 예시적 실시예에 있어서, 복수의 기준 전압들(VREFs)은 전압의 크기가 순차적으로 감소하도록 구성된 M개의 기준 전압들을 포함할 수 있다. 즉, 복수의 기준 전압들(VREFs)은 제1 내지 제M 음의 기준 전압들을 포함할 수 있다. 제1 내지 제M 음의 기준 전압들은 순차적으로 감소하도록 구성될 수 있다. 일부 실시예에서, 제1 내지 제M 음의 기준 전압들은 순차적으로 2의 지수승으로 감소하도록 구성될 수 있다.

[0029] 분압 회로(400)를 통해, 다양한 기준 전압들을 생성함으로써, 단위 커패시터들의 개수를 줄일 수 있다. 예를 들어, 분압 회로(400) 없이 입력 기준 전압(VREF_in)만을 통해 디지털-아날로그 변환기들에 포함된 커패시터들에 복수의 기준 전압들(VREFs)을 인가한다고 가정하자. 이 경우, 커패시터들의 커패시턴스를 조절함으로써 복수의 기준 전압들(VREFs)에 대응되는 전압을 생성할 수 있다. 이 때, 복수의 기준 전압들(VREFs)에 대응되는 전압들을 생성하기 위해서는 커패시터의 커패시턴스들이 다양화될 필요가 있다. 커패시턴스 값이 커지는 것은 단위 커패시터의 개수가 증가한다는 것을 의미하므로, 아날로그-디지털 변환기(10)의 면적이 증가함을 의미할 수 있다.

하지만, 분압 회로(400)를 통해 복수의 기준 전압들(VREFs)을 생성한다고 가정하자. 이 경우, 분압 회로(400)를 통해 생성되는 기준 전압의 크기에 따라, 더 적은 커패시터를 가지는 커패시터로도 복수의 기준 전압들(VREFs)에 대응되는 전압들을 생성할 수 있다. 따라서 아날로그-디지털 변환기(10)의 면적은 감소될 수 있다.

[0030] 전압 생성기(500)는 외부로부터 전원을 공급받을 수 있다. 전압 생성기는 입력 기준 전압(VREF_in)을 분압 회로(400)에 제공할 수 있다. 전압 생성기(500)는 공통 모드 전압(VCM)을 디지털-아날로그 변환부(100)에 제공할 수 있다.

[0031] 예시적 실시예에 있어서, 아날로그-디지털 변환기(10)는 연속 근사 레지스터 아날로그-디지털 변환기(SAR ADC)일 수 있다. 아날로그-디지털 변환기(10)는 한 주기(cycle) 동안 2비트의 변환 동작을 수행하는 2bit/cycle SAR ADC일 수 있다. 이 때, 한 주기란 외부로부터 수신되는 외부 클럭 신호에 기초하여 제어 회로(300)에 의해 생성된 내부 클럭 신호의 주기를 지칭할 수 있다. 예를 들어, 외부 클럭 신호의 한 주기 동안 7 주기의 내부 클럭 신호가 생성된다면, 아날로그-디지털 변환기(10)는 7 사이클 동안 변환 동작을 수행할 수 있고, 달리 말하면 아날로그-디지털 변환기(10)가 입력 신호(AIN)를 샘플링 한 값에 대해 7번의 변환 동작을 수행함을 의미할 수 있다. 아날로그-디지털 변환기(10)가 7번의 변환 동작을 수행함으로써, 입력 신호(AIN)를 샘플링한 값은 14비트의 디지털 값으로 변환될 수 있다.

[0032] 아날로그-디지털 변환기(10)는 보정 모드 및 정상 모드 중 어느 하나로 동작할 수 있다. 예시적 실시예에 있어서, 아날로그-디지털 변환기(10)가 최초 동작을 수행하는 경우 또는 오프셋 보정이 필요하다고 판단되는 경우에 아날로그-디지털 변환기(10)는 보정 모드로 동작할 수 있다. 아날로그-디지털 변환기(10)가 보정 모드로 동작하는 경우, 아날로그-디지털 변환기(10)는 보정 회로를 통해 공통 모드 전압(VCM) 및 복수의 기준 전압들(VREFs)을 기초로 보정 전압을 생성함으로써 전압 비교부(200)에서 발생한 오프셋의 보정을 수행할 수 있다.

[0033] 예시적 실시예에 있어서, 아날로그-디지털 변환기(10)가 오프셋 보정을 완료한 경우, 아날로그-디지털 변환기(10)는 정상 모드로 동작할 수 있다. 아날로그-디지털 변환기(10)가 정상 모드로 동작하는 경우, 아날로그-디지털 변환기(10)는 입력 신호(AIN)를 출력 신호(DOUT)로 변환할 수 있다. 이 때, 전압 비교부(200)는 보정 모드에서 생성된 보정 전압을 통해 오프셋이 보정된 상태로 각 비교 회로에 인가되는 비교 전압들을 비교하는 동작을 수행할 수 있다.

[0034] 도 2a 내지 도 2c는 본 개시의 일 실시예에 따른 디지털-아날로그 변환기를 설명하기 위한 도면이다. 구체적으로, 도 2a는 제1 디지털-아날로그 변환기(110)가 제1 보정 전압(VOS1) 및 제1 비교 전압(CV1)을 생성하는 것을 설명하기 위한 도면이다. 도 2b는 제2 디지털-아날로그 변환기(120)가 제2 보정 전압(VOS2) 및 제2 비교 전압(CV2)을 생성하는 것을 설명하기 위한 도면이다. 도 2c는 제3 디지털-아날로그 변환기(130)가 제3 보정 전압(VOS3) 및 제3 비교 전압(CV3)을 생성하는 것을 설명하기 위한 도면이다. 도 2a 내지 도 2c는 도 1을 참조하여 설명될 수 있으며, 중복되는 설명은 생략될 수 있다.

[0035] 도 2a를 참조하면, 본 개시의 일 실시예에 따른 제1 디지털-아날로그 변환기(110)는 분압 회로(400)로부터 복수의 기준 전압들(VREFs)을 수신할 수 있다. 예시적 실시예에 있어서, 복수의 기준 전압들(VREFs)은 제1 내지 제M개의 기준 전압들(VREFP_1 ~ VREFP_M)을 포함할 수 있고, 제1 내지 제M개의 기준 전압들(VREFN_1 ~ VREFN_M)을 포함할 수 있다. 전압 생성기(500)는 제1 디지털-아날로그 변환기(110)에 공통 모드 전압(VCM)을 제공할 수 있다. 외부로부터 입력 신호(AIN)가 제1 디지털-아날로그 변환기(110)에 제공될 수 있다.

[0036] 제1 디지털-아날로그 변환기(110)는 제1 보정 회로(111) 및 제1 변환 회로(112)를 포함할 수 있다. 제1 보정 회로(111)는 제1 보정 전압(VOS1)을 생성할 수 있다. 제1 보정 회로(111)는 제1 보정 전압(VOS1)을 통해, 전압 비교부(200)의 오프셋을 보정할 수 있다. 예시적 실시예에 있어서, 제1 보정 회로(111)는 제1 비교 전압(CV1)에 제1 보정 전압(VOS1)을 가산할 수 있다. 즉, 제1 보정 회로(111)는 제1 보정 전압(VOS1)을 통해 제1 비교 전압(CV1)을 조절할 수 있다.

[0037] 제1 보정 회로(111)는 제1 보정 커패시터 어레이(111_1) 및 제1 보정 스위치 어레이(111_2)를 포함할 수 있다. 제1 보정 커패시터 어레이(111_1)는 복수의 커패시터들을 포함할 수 있다. 예시적 실시예에 있어서, 제1 보정 커패시터 어레이(111_1)는 N개(N은 2 이상의 정수)의 커패시터들을 포함할 수 있다. 이 경우, 제1 보정 회로(111)가 생성하는 보정 전압은 N비트의 디지털 값에 대응될 수 있다.

[0038] 제1 보정 스위치 어레이(111_2)는 복수의 스위치들을 포함할 수 있다. 제1 보정 회로(111)는 제어 회로(300)의 제어 신호(CTRL)에 기초하여 제1 보정 스위치 어레이(111_2)에 포함된 스위치들의 동작을 제어할 수 있고, 제1 보정 커패시터 어레이(111_1)에 공급되는 기준 전압들을 선택할 수 있다. 선택된 기준 전압들을 제1 보정 커패

시터 어레이(111_1)에 인가함으로써, 제1 보정 회로(111)는 제1 보정 전압(VOS1)을 생성할 수 있다.

- [0039] 제1 변환 회로(112)는 입력 신호(AIN), 공통 모드 전압(VCM) 및 복수의 기준 전압들(VREFP_1~VREFP_M, VREFN_1~VREFN_M)에 기초하여 제1 비교 전압(CV1)을 생성할 수 있다.
- [0040] 예시적 실시예에 있어서, 아날로그-디지털 변환기(10)가 보정 모드로 동작하는 경우, 제1 비교 전압(CV1)은 공통 모드 전압(VCM)에 대응되는 전압일 수 있다.
- [0041] 예시적 실시예에 있어서, 아날로그-디지털 변환기(10)가 정상 모드로 동작하는 경우, 제1 비교 전압(CV1)은 입력 신호(AIN)의 일부를 샘플링한 샘플링 값에 대응되는 전압일 수 있다. 제1 변환 회로(112)는 제1 변환 커패시터 어레이(112_1) 및 제1 변환 스위치 어레이(112_2)를 포함할 수 있다. 제1 변환 커패시터 어레이(112_1)는 복수의 커패시터들을 포함할 수 있다. 예시적 실시예에 있어서, 제1 변환 커패시터 어레이(112_1)는 L개(L은 2 이상의 정수)의 커패시터들을 포함할 수 있다. 일부 실시예에서, L은 N과 상이한 값을 가질 수 있다. 일부 실시예에서, L은 N보다 큰 정수일 수 있다.
- [0042] 제1 변환 스위치 어레이(112_2)는 복수의 스위치들을 포함할 수 있다. 제1 변환 회로(112)는 제어 회로(300)의 제어 신호(CTRL)에 기초하여 제1 변환 스위치 어레이(112_2)에 포함된 스위치들의 동작을 제어할 수 있고, 제1 변환 커패시터 어레이(112_1)에 공급되는 기준 전압들을 선택할 수 있다. 선택된 기준 전압들을 제1 변환 커패시터 어레이(112_1)에 인가함으로써, 제1 변환 회로(112)는 제1 비교 전압(CV1)을 생성할 수 있다.
- [0043] 도 2b를 참조하면, 본 개시의 일 실시예에 따른 제2 디지털-아날로그 변환기(120)는 분압 회로(400)로부터 복수의 기준 전압들(VREFs)을 수신할 수 있다. 예시적 실시예에 있어서, 복수의 기준 전압들(VREFs)은 제1 내지 제M 양의 기준 전압들(VREFP_1~VREFP_M)을 포함할 수 있고, 제1 내지 제M 음의 기준 전압들(VREFN_1~VREFN_M)을 포함할 수 있다. 전압 생성기(500)는 제2 디지털-아날로그 변환기(120)에 공통 모드 전압(VCM)을 제공할 수 있다.
- [0044] 제2 디지털-아날로그 변환기(120)는 제2 보정 회로(121) 및 제2 변환 회로(122)를 포함할 수 있다. 제2 보정 회로(121)는 제2 보정 전압(VOS2)을 생성할 수 있다. 제2 보정 회로(121)는 제2 보정 전압(VOS2)을 통해, 전압 비교부(200)의 오프셋을 보정할 수 있다. 예시적 실시예에 있어서, 제2 보정 회로(121)는 제2 비교 전압(CV2)에 제2 보정 전압(VOS2)을 가산할 수 있다. 즉, 제2 보정 회로(121)는 제2 보정 전압(VOS2)을 통해 제2 비교 전압(CV2)을 조절할 수 있다.
- [0045] 제2 보정 회로(121)는 제2 보정 커패시터 어레이(121_1) 및 제2 보정 스위치 어레이(121_2)를 포함할 수 있다. 제2 보정 커패시터 어레이(121_1)는 복수의 커패시터들을 포함할 수 있다. 예시적 실시예에 있어서, 제2 보정 커패시터 어레이(121_1)는 N개(N은 2 이상의 정수)의 커패시터들을 포함할 수 있다. 이 경우, 제2 보정 회로(121)가 생성하는 보정 전압은 N비트의 디지털 값에 대응될 수 있다.
- [0046] 제2 보정 스위치 어레이(121_2)는 복수의 스위치들을 포함할 수 있다. 제2 보정 회로(121)는 제어 회로(300)의 제어 신호(CTRL)에 기초하여 제2 보정 스위치 어레이(121_2)에 포함된 스위치들의 동작을 제어할 수 있고, 제2 보정 커패시터 어레이(121_1)에 공급되는 기준 전압들을 선택할 수 있다. 선택된 기준 전압들을 제2 보정 커패시터 어레이(121_1)에 인가함으로써, 제2 보정 회로(121)는 제2 보정 전압(VOS2)을 생성할 수 있다.
- [0047] 제2 변환 회로(122)는 공통 모드 전압(VCM) 및 복수의 기준 전압들(VREFN_1 ~ VREFN_M)에 기초하여 제2 비교 전압(CV2)을 생성할 수 있다. 제2 변환 회로(122)는 제2 변환 커패시터 어레이(122_1) 및 제2 변환 스위치 어레이(122_2)를 포함할 수 있다. 제2 변환 커패시터 어레이(122_1)는 복수의 커패시터들을 포함할 수 있다. 예시적 실시예에 있어서, 제2 변환 커패시터 어레이(122_1)는 L개(L은 2 이상의 정수)의 커패시터들을 포함할 수 있다. 일부 실시예에서, L은 N과 상이한 값을 가질 수 있다. 일부 실시예에서, L은 N보다 큰 정수일 수 있다.
- [0048] 제2 변환 스위치 어레이(122_2)는 복수의 스위치들을 포함할 수 있다. 제2 변환 회로(122)는 제어 회로(300)의 제어 신호(CTRL)에 기초하여 제2 변환 스위치 어레이(122_2)에 포함된 스위치들의 동작을 제어할 수 있고, 제2 변환 커패시터 어레이(122_1)에 공급되는 기준 전압들을 선택할 수 있다. 선택된 기준 전압들을 제2 변환 커패시터 어레이(122_1)에 인가함으로써, 제2 변환 회로(122)는 제2 비교 전압(CV2)을 생성할 수 있다.
- [0049] 도 2c를 참조하면, 본 개시의 일 실시예에 따른 제3 디지털-아날로그 변환기(130)는 분압 회로(400)로부터 복수의 기준 전압들(VREFs)을 수신할 수 있다. 예시적 실시예에 있어서, 복수의 기준 전압들(VREFs)은 제1 내지 제M 양의 기준 전압들(VREFP_1~VREFP_M)을 포함할 수 있고, 제1 내지 제M 음의 기준 전압들(VREFN_1~VREFN_M)을 포함할 수 있다. 전압 생성기(500)는 제3 디지털-아날로그 변환기(130)에 공통 모드 전압(VCM)을 제공할 수 있다.
- [0050] 제3 디지털-아날로그 변환기(130)는 제3 보정 회로(131) 및 제3 변환 회로(132)를 포함할 수 있다. 제3 보정 회

로(131)는 제3 보정 전압(VOS3)을 생성할 수 있다. 제3 보정 회로(131)는 제3 보정 전압(VOS3)을 통해, 전압 비교부(200)의 오프셋을 보정할 수 있다. 예시적 실시예에 있어서, 제3 보정 회로(131)는 제3 비교 전압(CV3)에 제3 보정 전압(VOS3)을 가산할 수 있다. 즉, 제3 보정 회로(131)는 제3 보정 전압(VOS3)을 통해 제3 비교 전압(CV3)을 조절할 수 있다.

[0051] 제3 보정 회로(131)는 제3 보정 커패시터 어레이(131_1) 및 제3 보정 스위치 어레이(131_2)를 포함할 수 있다. 제3 보정 커패시터 어레이(131_1)는 복수의 커패시터들을 포함할 수 있다. 예시적 실시예에 있어서, 제3 보정 커패시터 어레이(131_1)는 N개(N은 2 이상의 정수)의 커패시터들을 포함할 수 있다. 이 경우, 제3 보정 회로(131)가 생성하는 보정 전압은 N비트의 디지털 값에 대응될 수 있다.

[0052] 제3 보정 스위치 어레이(131_2)는 복수의 스위치들을 포함할 수 있다. 제3 보정 회로(131)는 제어 회로(300)의 제어 신호(CTRL)에 기초하여 제3 보정 스위치 어레이(131_2)에 포함된 스위치들의 동작을 제어할 수 있고, 제3 보정 커패시터 어레이(131_1)에 공급되는 기준 전압들을 선택할 수 있다. 선택된 기준 전압들을 제3 보정 커패시터 어레이(131_1)에 인가함으로써, 제3 보정 회로(131)는 제3 보정 전압(VOS3)을 생성할 수 있다.

[0053] 제3 변환 회로(132)는 공통 모드 전압(VCM) 및 복수의 기준 전압들(VREFP_1 ~ VREFP_M)에 기초하여 제3 비교 전압(CV3)을 생성할 수 있다. 제3 변환 회로(132)는 제3 변환 커패시터 어레이(132_1) 및 제3 변환 스위치 어레이(132_2)를 포함할 수 있다. 제3 변환 커패시터 어레이(132_1)는 복수의 커패시터들을 포함할 수 있다. 예시적 실시예에 있어서, 제3 변환 커패시터 어레이(132_1)는 L개(L은 2 이상의 정수)의 커패시터들을 포함할 수 있다. 일부 실시예에서, L은 N과 상이한 값을 가질 수 있다. 일부 실시예에서, L은 N보다 큰 정수일 수 있다.

[0054] 제3 변환 스위치 어레이(132_2)는 복수의 스위치들을 포함할 수 있다. 제3 변환 회로(132)는 제어 회로(300)의 제어 신호(CTRL)에 기초하여 제3 변환 스위치 어레이(132_2)에 포함된 스위치들의 동작을 제어할 수 있고, 제3 변환 커패시터 어레이(132_1)에 공급되는 기준 전압들을 선택할 수 있다. 선택된 기준 전압들을 제3 변환 커패시터 어레이(132_1)에 인가함으로써, 제3 변환 회로(132)는 제3 비교 전압(CV3)을 생성할 수 있다.

[0055] 도 3a 및 도 3b는 본 개시의 일 실시예에 따른 변환 회로들을 설명하기 위한 도면이다. 구체적으로, 도 3a는 제1 변환 회로(112)를 설명하기 위한 도면이고, 도 3b는 제2 변환 회로(122) 및 제3 변환 회로(132)를 설명하기 위한 도면이다. 도 3a 및 도 3b는 도 1 내지 도 2c를 참조하여 설명될 수 있고, 중복되는 설명은 생략될 수 있다.

[0056] 도 3a를 참조하면, 제1 변환 회로(112)는 제1 변환 커패시터 어레이(112_1) 및 제1 변환 스위치 어레이(112_2)를 포함할 수 있다. 제1 변환 커패시터 어레이(112_1)는 L개(L은 2 이상의 정수)의 커패시터들을 포함할 수 있다. 본 명세서에서, 변환 커패시터 어레이들(112_1, 122_1, 132_1)에 포함된 커패시터들은 각각 변환 커패시터라 지칭될 수 있다. 예시적 실시예에 있어서, 제1 변환 커패시터 어레이(112_1)는 제1 내지 제13 변환 커패시터(C1a~C13a)들을 포함할 수 있다. 도 3a에서, 제1 변환 커패시터 어레이(112_1)가 13개의 변환 커패시터들을 포함하는 것으로 도시한 것은 예시적이고, 이보다 더 적거나 더 많은 수의 변환 커패시터들을 포함할 수 있음은 물론이다.

[0057] 제1 내지 제13 변환 커패시터(C1a~C13a)들은 각각 적어도 하나의 단위 커패시터로 구성될 수 있다. 본 명세서에서, 1개의 단위 커패시터의 커패시턴스는 1Cu라 지칭될 수 있다. 예를 들어, 제1 변환 커패시터(C1a) 내지 제5 변환 커패시터(C5a)의 커패시턴스는 1Cu일 수 있다. 제6 변환 커패시터(C6a)의 커패시턴스는 2Cu일 수 있다. 제7 변환 커패시터(C7a)의 커패시턴스는 4Cu일 수 있다. 제8 변환 커패시터(C8a)의 커패시턴스는 5Cu일 수 있다. 제9 변환 커패시터(C9a)의 커패시턴스는 10Cu일 수 있다. 제10 변환 커패시터(C10a)의 커패시턴스는 11Cu일 수 있다. 제11 변환 커패시터(C11a)의 커패시턴스는 22Cu일 수 있다. 제12 변환 커패시터(C12a)의 커패시턴스는 24Cu일 수 있다. 제13 변환 커패시터(C13a)의 커패시턴스는 48Cu일 수 있다. 도 3a에 도시된 각 변환 커패시터들의 커패시턴스는 예시적이고, 이와 다른 값을 가지도록 구성될 수 있음은 물론이다.

[0058] 제1 변환 스위치 어레이(112_2)는 제어 회로(300)의 제어 신호(CTRL)에 기초하여, 제1 변환 커패시터 어레이(112_1)에 포함된 변환 커패시터들 각각에 인가되는 기준 전압들을 선택하도록 구성될 수 있다.

[0059] 제1 변환 회로(112)는 제어 신호(CTRL)에 기초하여, 제1 내지 제13 변환 커패시터(C1a~C13a)에 연결된 스위치들을 순차적으로 스위칭 함으로써, 제1 비교 전압(CV1)을 생성할 수 있다.

[0060] 예시적 실시예에 있어서, 각 변환 커패시터들과 연결된 스위치들을 스위칭하는 것은, 제13 변환 커패시터(C13a)부터 제1 변환 커패시터(C1a) 순으로 수행될 수 있으며, 2개의 스위치가 한번에 동작할 수 있다. 예를 들어, 아날로그-디지털 변환기(10)가 출력 신호(DOUT)를 생성하는데 있어 디지털-아날로그 변환부(100)가 총 7번의 변환

주기를 통해 변환 동작을 수행한다고 가정하자. 이 경우, 디지털-아날로그 변환부(100)의 동작은 샘플링 페이즈, 인버전 페이즈 및 제1 내지 제7 변환 페이즈로 구분될 수 있다.

- [0061] 샘플링 페이즈에서, 제1 변환 회로(112)는 스위치(SH1)를 닫을 수 있고, 입력 신호(AIN)를 샘플링할 수 있다. 샘플링 페이즈에서 제1 비교 전압(CV1)은 공통 모드 전압(VCM)과 같을 수 있다. 이 때, 제1 비교 전압(CV1)은 샘플링 전압이라 지칭될 수 있다.
- [0062] 인버전 페이즈에서, 제1 변환 회로(112)는 스위치(SH1)를 열 수 있고, 제1 변환 회로(112)를 플로팅 상태로 만들 수 있다. 이 때, 제1 비교 전압(CV1)은 인버전 전압이라 지칭될 수 있다.
- [0063] 제1 변환 페이즈에서, 제1 변환 회로(112)는 제13 변환 커패시터(C13a) 및 제12 변환 커패시터(C12a)와 연결된 스위치를 스위칭할 수 있다. 이 때, 제1 비교 전압(CV1)은 제1 페이즈 전압이라 지칭될 수 있다.
- [0064] 제2 변환 페이즈 내지 제6 변환 페이즈에서, 제1 변환 회로(112)의 스위칭 동작은 제1 변환 페이즈와 유사하게 동작할 수 있다. 이 때 스위칭으로 인해 각 페이즈마다 변화하는 제1 비교 전압(CV1)은 제2 페이즈 전압 내지 제6 페이즈 전압으로 지칭될 수 있다.
- [0065] 제7 변환 페이즈에서, 제1 변환 회로(112)는 제1 변환 스위치 어레이(112_2)의 각 스위치들을 원 위치로 스위칭하는 동작을 수행할 수 있다. 이 때, 제1 비교 전압(CV1)은 공통 모드 전압(VCM)과 같을 수 있고, 제1 비교 전압(CV1)은 제7 페이즈 전압이라 지칭될 수 있다.
- [0066] 도 3b를 참조하면, 제2 변환 회로(122)는 제2 변환 커패시터 어레이(122_1) 및 제2 변환 스위치 어레이(122_2)를 포함할 수 있다. 예시적 실시예에 있어서, 제2 변환 커패시터 어레이(122_1)는 제1 내지 제13 변환 커패시터(C1b~C13b)를 포함할 수 있다. 제2 변환 회로(122)는 제1 변환 회로(112)와 유사한 구조를 가질 수 있고, 중복되는 설명은 생략한다.
- [0067] 제2 변환 스위치 어레이(122_2)는 제어 회로(300)의 제어 신호(CTRL)에 기초하여, 제2 변환 커패시터 어레이(122_1)에 포함된 변환 커패시터들 각각에 인가되는 기준 전압들을 선택하도록 구성될 수 있다.
- [0068] 예시적 실시예에 있어서, 제2 변환 커패시터 어레이(122_1)의 변환 커패시터들 각각에 인가되는 기준 전압들은 0보다 작은 값을 가지는 전압일 수 있다. 즉, 제2 변환 커패시터 어레이(122_1)의 변환 커패시터들 각각에 인가되는 기준 전압들은 음의 기준 전압들일 수 있다.
- [0069] 제2 변환 회로(122)는 제어 신호(CTRL)에 기초하여, 제1 내지 제13 변환 커패시터(C1b~C13b)에 연결된 스위치들을 선택적으로 스위칭 함으로써, 제2 비교 전압(CV2)을 생성할 수 있다. 예시적 실시예에 있어서, 각 변환 커패시터들과 연결된 스위치들을 스위칭하는 것은, 제13 변환 커패시터(C13b) 부터 제1 변환 커패시터(C1b) 순으로 수행될 수 있다. 제2 변환 회로(122)가 제2 변환 스위치 어레이(122_2)의 스위치들을 스위칭 하는 것은 디지털-아날로그 변환부(100)의 동작 주기에 기초하여 결정될 수 있다. 예를 들어, 제1 변환 페이즈에서는 제13 변환 커패시터(C13b)와 연결된 스위치를 스위칭할 수 있고, 제2 변환 페이즈에서는 제11 변환 커패시터(C11b)와 연결된 스위치를 스위칭할 수 있다.
- [0070] 제3 변환 회로(132)는 제1 변환 회로(112) 및 제2 변환 회로(122)와 유사한 구조를 가질 수 있다. 제3 변환 회로(132)는 제2 변환 회로(122)와 유사하게 동작할 수 있다.
- [0071] 예시적 실시예에 있어서, 제3 변환 커패시터 어레이(122_1)의 변환 커패시터들 각각에 인가되는 기준 전압들은 0보다 큰 값을 가지는 전압일 수 있다. 즉, 제3 변환 커패시터 어레이(122_1)의 변환 커패시터들 각각에 인가되는 기준 전압들은 양의 기준 전압들일 수 있다.
- [0072] 도 4a 내지 도 4c는 본 개시의 일 실시예에 따른 아날로그-디지털 변환기(10)의 동작을 설명하기 위한 도면이다. 구체적으로, 도 4a 및 도 4b는 제1 비교 결과 신호(CRS1), 제2 비교 결과 신호(CRS2) 및 제3 비교 결과 신호(CRS3)를 기초로 생성된 온도계 코드를 2비트 코드로 변환하는 것을 설명하기 위한 도면이다. 도 4c는 제1 변환 페이즈(P1) 및 제2 변환 페이즈(P2)에서 제1 변환 전압(CV1)의 크기에 따른 2비트 코드를 결정하는 방법을 설명하기 위한 도면이다.
- [0073] 도 4a를 참조하면, 제1 내지 제3 비교 결과 신호(CRS1, CRS2, CRS3)는, 제1 비교 전압(CV1)의 크기가 변할 때마다 생성될 수 있다.
- [0074] 예시적 실시예에 있어서, 샘플링 페이즈 내지 제7 변환 페이즈에서, 각 페이즈에 대응되는 제1 내지 제3 비교 결과 신호(CRS1, CRS2, CRS3)의 값은 3비트의 온도계 코드로 표현될 수 있다. 제3 비교 결과 신호(CRS3)의 값은

온도계 코드의 최상위 비트가 될 수 있고, 제1 비교 결과 신호(CRS1)의 값은 온도계 코드의 최하위 비트가 될 수 있다. 래치 인코더(320)는 온도계 코드를 2비트 코드로 변환할 수 있다.

[0075] 도 4b를 참조하면, 특정 페이지에서 제1 비교 전압(CV1)이 A11 영역에 포함되는 경우, 온도계 코드는 "000"일 수 있다. 래치 인코더(320)는 3비트의 온도계 코드를 2비트 값인 "00"으로 인코딩할 수 있다. 제1 비교 전압(CV1)이 A21 영역에 포함되는 경우, 온도계 코드는 "001"일 수 있다. 래치 인코더(320)는 3비트의 온도계 코드를 2비트 값인 "01"로 인코딩할 수 있다. 제1 비교 전압(CV1)이 A31 영역에 포함되는 경우, 온도계 코드는 "011"일 수 있다. 래치 인코더(320)는 3비트의 온도계 코드를 2비트 값인 "10"으로 인코딩할 수 있다. 제1 비교 전압(CV1)이 A41 영역에 포함되는 경우, 온도계 코드는 "111"일 수 있다. 래치 인코더(320)는 3비트의 온도계 코드를 2비트 값인 "11"로 인코딩할 수 있다.

[0076] 예시적 실시예에 있어서, 제1 비교 전압(CV1)은 제1 비교 기준 전압(VREF1) 내지 제2 비교 기준 전압(VREF2)의 범위에서 조절될 수 있다. 예시적 실시예에 있어서, 제1 비교 기준 전압(VREF1)은 전압 생성기(500)에 의해 공급되는 양의 공급 전압일 수 있고, 제2 비교 기준 전압(VREF2)은 전압 생성기(500)에 의해 공급되는 음의 공급 전압일 수 있다.

[0077] 도 4c를 참조하면, 제1 비교 전압(CV1)이 속하는 전압 영역에 따라 제1 비교 전압(CV1)에 대응되는 디지털 값이 결정될 수 있다. 설명의 편의를 위해, 제1 변환 페이지(P1) 및 제2 변환 페이지(P2)를 예로 들어 설명한다.

[0078] 제어 회로(300)는 온도계 코드 값에 기초하여, 제1 변환 스위치 어레이(112_2)의 스위치들을 스위칭 함으로써 제1 비교 전압(CV1)의 값을 증가시키거나 감소시킬 수 있다. 제어 회로(300)는 디지털-아날로그 변환부(100)의 동작 페이지에 따라 제2 변환 스위치 어레이(122_2)의 스위치들을 스위칭 함으로써 제2 비교 전압(CV2)을 결정할 수 있다. 제어 회로(300)는 디지털-아날로그 변환부(100)의 동작 페이지에 따라 제3 변환 스위치 어레이(132_2)의 스위치들을 스위칭 함으로써 제3 비교 전압(CV3)을 결정할 수 있다.

[0079] 예시적 실시예에 있어서, 제1 변환 페이지(P1)에서 제어 회로(300)는 제2 비교 전압(CV2)이 제3 비교 기준 전압(VREF3)이 되도록 결정할 수 있고, 제3 비교 전압(CV3)이 제4 비교 기준 전압(VREF4)이 되도록 결정할 수 있다. 제1 변환 페이지(P1)에서 제1 비교 전압(CV1)의 값은 영역 A31에 포함될 수 있다. 이 때, 온도계 코드의 값은 "011"일 수 있고, 래치 인코더(320)에 의해 "10"으로 변환될 수 있다. 제어 회로(300)는 온도계 코드 값에 기초하여 제1 비교 전압(CV1)의 값을 감소시킬 수 있다.

[0080] 예시적 실시예에 있어서, 제2 변환 페이지(P2)에서 제어 회로(300)는 제2 비교 전압(CV2)이 제5 비교 기준 전압(VREF5)이 되도록 결정할 수 있고, 제3 비교 전압(CV3)이 제6 비교 기준 전압(VREF6)이 되도록 결정할 수 있다. 제2 변환 페이지(P2)에서 제1 비교 전압(CV1)의 값은 영역 A22에 포함될 수 있다. 이 때, 온도계 코드의 값은 "001"일 수 있고, 래치 인코더(320)에 의해 "01"로 변환될 수 있다. 제어 회로(300)는 온도계 코드 값에 기초하여 제1 비교 전압(CV1)의 값을 증가시킬 수 있다.

[0081] 도 5는 본 개시의 일 실시예에 따른 보정 회로를 설명하기 위한 도면이다. 도 5는 도 1 내지 도 3b를 참조하여 설명될 수 있고, 중복되는 설명은 생략될 수 있다.

[0082] 아날로그-디지털 변환기(10)가 보정 모드로 동작하는 경우, 보정 회로들(111, 121, 131)은 보정 전압들(VOS1, VOS2, VOS3)을 생성할 수 있다. 아날로그-디지털 변환기(10)가 보정 모드로 동작 하는 경우, 입력 신호(AIN)로서 공통 모드 전압(VCM)이 인가될 수 있다. 입력 신호(AIN)가 공통 모드 전압(VCM)일 때 출력 신호(DOUT)의 값이 이상적인 값(또는 아날로그-디지털 변환기(10)의 설계시 의도된 값)과 일치하지 않는 경우, 오프셋을 보정할 필요가 있을 수 있다. 예를 들어, 공통 모드 전압(VCM)에 대응되는 출력 신호(DOUT)의 이상적인 값이 제1 출력 값이라 가정하자. 하지만, 반도체 공정상 전압 비교부(200)에 포함된 트랜지스터들간의 사이즈 미스매치가 발생할 수 있고, 이러한 사이즈 미스매치로 인해 각 비교 회로(210, 220, 230)의 출력에 오차가 발생할 수 있다. 이러한 오차로 인해, 출력 신호(DOUT)의 값은 제1 출력값과는 상이한 제2 출력값을 가질 수 있다. 다시 말해, 제2 출력값과 제1 출력값의 차이는 전압 비교부(200)의 오프셋으로 인해 발생한 것일 수 있다. 즉, 오프셋으로 인해 아날로그 신호를 디지털 신호로 변환하는데 있어 정확도가 감소될 수 있다. 오프셋은 제1 비교 회로(210), 제2 비교 회로(220) 및 제3 비교 회로(230) 각각에 인가되는 전압들의 크기를 조절함으로써 보정될 수 있다. 즉, 제1 비교 회로(210), 제2 비교 회로(220) 및 제3 비교 회로(230) 각각에 인가되는 전압들은 보정 회로들(111, 121, 131)에서 생성되는 보정 전압들(VOS1, VOS2, VOS3)에 의해 조절될 수 있다.

[0083] 도 5를 참조하면, 제1 보정 회로(111)는 제1 보정 커패시터 어레이(111_1) 및 제1 보정 스위치 어레이(111_2)를 포함할 수 있다. 제1 보정 회로(111)는 제1 보정 전압(VOS1)을 생성할 수 있다.

- [0084] 제1 보정 커패시터 어레이(111_1)는 N개(N은 2 이상의 정수)의 커패시터들을 포함할 수 있다. 본 명세서에서, 보정 커패시터 어레이들(111_1, 121_1, 131_1)에 포함된 커패시터들은 각각 보정 커패시터라 지칭될 수 있다. 예시적 실시예에 있어서, 제1 보정 커패시터 어레이(111_1)는 제1 내지 제9 보정 커패시터(CA_1~CA_9)를 포함할 수 있다. 도 5에서, 제1 보정 커패시터 어레이(111_1)가 9개의 보정 커패시터를 포함하는 것으로 도시한 것은 예시적이고, 이보다 더 적거나 더 많은 수의 보정 커패시터들을 포함할 수 있음은 물론이다.
- [0085] 제1 내지 제9 보정 커패시터(CA_1~CA_9)는 각각 적어도 하나의 단위 커패시터로 구성될 수 있다. 예를 들어, 제1 내지 제7 보정 커패시터(CA_1~CA_7)의 커패시턴스는 1Cu일 수 있다. 제8 보정 커패시터(CA_8)의 커패시턴스는 2Cu일 수 있다. 제9 보정 커패시터(CA_9)의 커패시턴스는 4Cu일 수 있다. 도 5에 도시된 각 커패시터들의 커패시턴스는 예시적이고, 이와 다른 값을 가지도록 구성될 수 있음은 물론이다.
- [0086] 이하에서는, 아날로그-디지털 변환기(10)가 보정 모드로 동작하는 것으로 가정하고, 제1 비교 회로(210)의 오프셋을 보정하는 것으로 가정한다. 따라서, 제1 비교 전압(CV1)으로서 공통 모드 전압(VCM)이 인가되고, 마찬가지로 제2 비교 전압(CV2)으로서 공통 모드 전압(VCM)이 인가되는 것으로 가정한다.
- [0087] 제1 비교 회로(210)의 오프셋으로 인해, 제1 비교 회로(210)의 입력으로 같은 크기의 제1 비교 전압(CV1) 및 제2 비교 전압(CV2)이 인가되더라도 제1 비교 회로(210)의 출력인 제1 비교 결과 신호(CRS1)는 "1" 또는 "0"일 수 있다.
- [0088] 제어 회로(300)는 제1 비교 결과 신호(CRS1)에 기초하여 제어 비트를 포함하는 제어 신호(CTRL)를 생성할 수 있다. 예를 들어, 제1 보정 커패시터 어레이(111_1)에 포함된 보정 커패시터의 개수가 N개 라면, 제어 비트는 N개가 생성될 수 있다. 아날로그-디지털 변환기(10)는 보정 모드 동작이 완료된 경우, 제1 보정 전압 신호를 생성할 수 있다. 제1 보정 전압(VOS1)은 N비트로 이루어진 제1 보정 전압 신호에 대응될 수 있다. 제1 보정 전압 신호는 N개의 제어 비트들을 포함할 수 있다.
- [0089] 제1 보정 회로(111)는 제1 내지 제9 보정 커패시터(CA_9)와 연결된 스위치들을 스위칭 함으로써 보정 전압을 생성할 수 있다. 예시적 실시예에 있어서, 제1 보정 스위치 어레이(111_2)에 포함된 스위치들을 스위칭 하는 것은, 제9 보정 커패시터(CA_9)와 연결된 스위치부터 스위칭될 수 있고, 제1 보정 커패시터(CA_1)에 연결된 스위치까지 순차적으로 스위칭 될 수 있다. 다시 말해, 제1 보정 회로(111)는 가장 커패시턴스가 큰 보정 커패시터(예를 들면, 제9 보정 커패시터(CA_9))와 연결된 스위치부터, 가장 커패시턴스가 작은 보정 커패시터(예를 들면, 제1 보정 커패시터(CA_1))와 연결된 스위치 순으로 스위칭을 할 수 있다.
- [0090] 제1 보정 회로(111)는 제9 보정 커패시터(CA_9)에 연결된 스위치를 스위칭 함으로써 제1 보정 전압(VOS1)을 생성할 수 있다. 예시적 실시예에 있어서, 제1 비교 결과 신호(CRS1)의 값이 "1"인 경우, 제1 보정 회로(111)는 음의 기준 전압이 인가되도록 보정 커패시터에 연결된 스위치를 스위칭 할 수 있다. 예를 들어, 제1 보정 회로(111)는 제1 음의 기준 전압(VREFN_1)이 인가되도록 제9 보정 커패시터(CA_9)에 연결된 스위치를 스위칭 할 수 있다. 예시적 실시예에 있어서, 제1 비교 결과 신호(CRS1)의 값이 "0"인 경우, 제1 보정 회로(111)는 양의 기준 전압이 인가되도록 보정 커패시터에 연결된 스위치를 스위칭 할 수 있다. 예를 들어, 제1 보정 회로(111)는 제1 양의 기준 전압(VREFP_1)이 인가되도록 제9 보정 커패시터(CA_9)에 연결된 스위치를 스위칭 할 수 있다.
- [0091] 제1 비교 전압(CV1)에 제1 보정 전압(VOS1)이 가산됨으로써, 제1 비교 전압(CV1)은 조절될 수 있다. 제1 비교 회로(210)는 조절된 제1 비교 전압(CV1)을 제2 비교 전압(CV2)과 비교하는 동작을 수행할 수 있다. 조절된 제1 비교 전압(CV1)을 제2 비교 전압(CV2)과 비교한 결과에 기초하여 제1 비교 결과 신호(CRS1)가 생성될 수 있다. 이 때, 생성된 제1 비교 결과 신호(CRS1)는 제2 제어 비트라 지칭될 수 있다.
- [0092] 제1 보정 회로(111)는 제8 보정 커패시터(CA_8)에 연결된 스위치를 스위칭 함으로써 제1 보정 전압(VOS1)을 증가시키거나 감소시킬 수 있다.
- [0093] 예시적 실시예에 있어서, 제1 비교 결과 신호(CRS1)의 값이 "1"인 경우, 제1 보정 회로(111)는 제1 음의 기준 전압(VREFN_1)이 인가되도록 제8 보정 커패시터(CA_8)에 연결된 스위치를 스위칭 함으로써 제1 보정 전압(VOS1)을 감소시킬 수 있다. 예시적 실시예에 있어서, 제1 비교 결과 신호(CRS1)의 값이 "0"인 경우, 제1 보정 회로(111)는 제1 양의 기준 전압(VREFP_1)이 인가되도록 제8 보정 커패시터(CA_8)에 연결된 스위치를 스위칭 함으로써 제1 보정 전압(VOS1)을 증가시킬 수 있다.
- [0094] 제7 보정 커패시터(CA_7) 내지 제1 보정 커패시터(CA_1)도 제8 보정 커패시터(CA_8)와 유사하게 동작할 수 있다. 마지막 보정 커패시터인 제1 보정 커패시터(CA_1)와 연결된 스위치가 스위칭됨으로써, 아날로그-디지털

변환기(10)의 보정 동작은 완료될 수 있다.

[0095] 제9 보정 커패시터(CA_9) 내지 제1 보정 커패시터(CA_1)와 연결된 스위치들을 스위칭 함으로써 제1 보정 전압(VOS1)을 생성하는 것은 다음 수학적 식 1과 같이 표현될 수 있다.

[0096] [수학적 식 1]

$$VOS1 = \sum_{j=1}^N \left\{ \frac{CA_j}{CTotal} \times (VP_j \times DA_j + VN_j \times \overline{DA_j}) \right\}$$

[0097]

[0098] 수학적 식 1에서, N은 제1 보정 커패시터 어레이(111_1)에 포함된 보정 커패시터들의 개수를 의미할 수 있다. CA_j는 j번째 보정 커패시터의 커패시턴스를 의미할 수 있다. CTotal은 N개의 보정 커패시터들의 총 커패시턴스를 의미할 수 있다. VP_j는 j번째 보정 커패시터에 인가되는 양의 기준 전압을 의미할 수 있다. DA_j는 j번째 보정 커패시터에 대응되는 제어 비트(예를 들면, 제j 제어 비트)를 의미할 수 있다. VN_j는 j번째 보정 커패시터에 인가되는 음의 기준 전압을 의미할 수 있다.

[0099] 예시적 실시예에 있어서, 아날로그-디지털 변환기(10)의 출력 신호(DOUT)는 k비트(k는 2 이상의 정수)의 디지털 신호일 수 있다. 출력 신호(DOUT)의 최하위 비트(Least Significant Bit)는 LSB라 지칭될 수 있다. LSB는 달리 말하면, 입력 신호(AIN)를 디지털 신호로 변환하는데 있어서 최소 구분 단위를 의미할 수 있다. k비트(k는 1 이상의 정수) 차동 아날로그-디지털 변환기를 예로 들면, 1LSB는 다음 수학적 식 2와 같이 표현될 수 있다.

[0100] [수학적 식 2]

$$1LSB = \frac{2 \times (VREFP - VREFN)}{2^k} [V]$$

[0101]

[0102] 수학적 식 2에서, VREFP는 분압 회로(400)에 의해 제공되는 양의 기준 전압들 중, 크기가 가장 큰 양의 기준 전압을 의미할 수 있다. 예를 들면, +1V일 수 있다. VREFN은 분압 회로(400)에 의해 제공되는 음의 기준 전압들 중, 크기가 가장 작은 음의 기준 전압을 의미할 수 있다. 예를 들면, -1V일 수 있다.

[0103] 본 개시의 실시예에 따른 보정 회로들(111, 121, 131)은 1LSB보다 더 정밀한 최소 구분 단위(예를 들면, 0.125LSB)를 가지는 보정 전압을 생성할 수 있다. 예시적 실시예에 있어서, 도 3a의 제2 변환 커패시터(C2a)에는 출력 신호(DOUT)의 LSB를 결정하는 커패시터일 수 있다. 도 3a의 제2 변환 커패시터(C2a)에는 제4 양의 기준 전압(VREFP_4) 또는 제4 음의 기준 전압(VREFN_4)이 인가될 수 있다. 도 5의 제4 보정 커패시터(CA_4)에도 제4 양의 기준 전압(VREFP_4) 또는 제4 음의 기준 전압(VREFN_4)이 인가될 수 있다. 따라서, 제1 보정 회로(111)는 제4 보정 커패시터(CA_4)와 연결된 스위치를 스위칭 함으로써, 1LSB 단위로 구분되는 양의 기준 전압 또는 음의 기준 전압으로 제1 보정 전압(VOS1)을 조절할 수 있다. 도 1에서 전술 하였듯이, 제1 내지 제M 양의 기준 전압들은 순차적으로 2의 지수승으로 감소하도록 구성될 수 있다. 제1 내지 제M 음의 기준 전압들은 순차적으로 2의 지수승으로 감소하도록 구성될 수 있다. 따라서, 제1 보정 회로(111)는 제3 보정 커패시터(CA_3)와 연결된 스위치를 스위칭 함으로써, 0.5LSB 단위로 구분되는 양의 기준 전압 또는 음의 기준 전압으로 제1 보정 전압(VOS1)을 조절할 수 있다. 마찬가지로, 제1 보정 회로(111)는 제2 보정 커패시터(CA_2)와 연결된 스위치를 스위칭 함으로써, 0.25LSB 단위로 구분되는 양의 기준 전압 또는 음의 기준 전압으로 제1 보정 전압(VOS1)을 조절할 수 있다. 또한, 제1 보정 회로(111)는 제1 보정 커패시터(CA_1)와 연결된 스위치를 스위칭 함으로써, 0.125LSB 단위로 구분되는 양의 기준 전압 또는 음의 기준 전압으로 제1 보정 전압(VOS1)을 조절할 수 있다.

[0104] 제2 보정 회로(121) 및 제3 보정 회로(131)도 제1 보정 회로(111)와 유사한 구성을 가질 수 있으며, 제1 보정 회로(111)와 마찬가지로 동작할 수 있다.

[0105] 도 6은 본 개시의 예시적 실시예에 따른 오프셋 보정 방법을 설명하기 위한 순서도이다. 도 6은 제1 디지털-아날로그 변환기(110)를 예로 들어 설명하나, 제2 디지털-아날로그 변환기(120) 및 제3 디지털-아날로그 변환기(130)도 같은 방법으로 동작할 수 있다. 도 6은 도 1, 도 3a, 도 3b 및 도 5를 참조하여 설명될 수 있고, 중복되는 설명은 생략될 수 있다.

[0106] 도 6을 참조하면, 단계 S110에서, 아날로그-디지털 변환기(10)는 제1 디지털-아날로그 변환기(110)가 보정 모드

로 동작하도록 설정할 수 있다. 아날로그-디지털 변환기(10)는 공통 모드 전압(VCM)을 제1 비교 전압(CV1)으로서 제1 비교 회로(111)에 인가할 수 있다. 예시적 실시예에 있어서, 제1 비교 전압(CV1)은 제1 비교 회로(111)의 제1 단자에 인가될 수 있다.

- [0107] 단계 S120에서, 아날로그-디지털 변환기(10)는 제1 비교 전압(CV1)과 제2 비교 전압(CV2)을 비교할 수 있다. 아날로그-디지털 변환기(10)는 제1 비교 전압(CV1)과 제2 비교 전압(CV2)을 비교한 결과에 기초하여 제어 비트를 생성할 수 있다.
- [0108] 단계 S130에서, 아날로그-디지털 변환기(10)는 단계 S120에서 생성된 제어 비트의 값에 기초하여, 복수의 기준 전압들(VREFs) 중 제1 보정 회로(111)에 인가될 기준 전압들을 결정할 수 있다.
- [0109] 예시적 실시예에 있어서, 아날로그-디지털 변환기(10)는 제어 비트의 값이 "1"인 경우, 보정 회로에 음의 기준 전압이 인가되도록 결정할 수 있다.
- [0110] 예시적 실시예에 있어서, 아날로그-디지털 변환기(10)는 제어 비트의 값이 "0"인 경우, 보정 회로에 양의 기준 전압이 인가되도록 결정할 수 있다.
- [0111] 단계 S140에서, 단계 S130에서의 제어 비트의 값이 "1"인 경우, 아날로그-디지털 변환기(10)는 보정 전압을 감소시키기 위한 동작을 수행할 있다. 아날로그-디지털 변환기(10)는 제1 보정 커패시터 어레이(111_1)에 기준 전압이 인가되도록 스위치를 스위칭함으로써 제1 보정 전압(VOS1)을 감소시킬 수 있고, 제1 비교 전압(CV1)을 조절할 수 있다. 제1 보정 전압(VOS1)에 의해 제1 비교 전압(CV1)은 감소할 수 있다.
- [0112] 예시적 실시예에 있어서, 제1 비교 전압(CV1)이 제2 비교 전압(CV2)보다 큰 경우, 아날로그-디지털 변환기(10)는 제1 보정 회로(111)의 제1 커패시터에 제1 기준 전압이 인가되도록 스위칭을 함으로써 보정 전압을 생성할 수 있다. 예를 들어, 제1 기준 전압은 제1 커패시터에 대응되는 음의 기준 전압일 수 있다.
- [0113] 예시적 실시예에 있어서, 조절된 제1 비교 전압(CV1)이 제2 비교 전압(CV2)보다 큰 경우, 아날로그-디지털 변환기(10)는 제2 커패시터에 제3 기준 전압이 인가되도록 스위칭을 함으로써 상기 보정 전압을 감소시킬 수 있다. 예를 들어, 제3 기준 전압은 제2 커패시터에 대응되는 음의 기준 전압일 수 있다.
- [0114] 예시적 실시예에 있어서, 아날로그-디지털 변환기(10)는 제3 커패시터 내지 제9 커패시터와 연결된 스위치들에 대해 순차적으로 스위칭을 할 수 있으며, 제2 커패시터와 연결된 스위치를 스위칭한것과 마찬가지로의 방법으로 스위칭을 할 수 있다.
- [0115] 예시적 실시 예에 있어서, 제1 커패시터는 제1 보정 커패시터 어레이(111_1)에 포함된 보정 커패시터들 중에서 가장 커패시턴스가 큰 커패시터일 수 있다. 예를 들어, 제1 커패시터는 제9 보정 커패시터(CA_9)일 수 있고, 제1 커패시터에 대응되는 음의 기준 전압은 제1 음의 기준 전압(VREFN_1)일 수 있다.
- [0116] 예시적 실시 예에 있어서, 제9 커패시터는 제1 보정 커패시터 어레이(111_1)에 포함된 보정 커패시터들 중에서 가장 커패시턴스가 작은 커패시터일 수 있고, 가장 크기가 작은 음의 기준 전압이 인가되는 커패시터일 수 있다. 예를 들어, 제9 커패시터는 제1 보정 커패시터(CA_1)일 수 있고, 제9 커패시터에 대응되는 음의 기준 전압은 제7 음의 기준 전압(VREFN_7)일 수 있다.
- [0117] 단계 S150에서, 단계 S130에서의 제어 비트의 값이 "0"인 경우, 아날로그-디지털 변환기(10)는 보정 전압을 증가시키기 위한 동작을 수행할 있다. 아날로그-디지털 변환기(10)는 제1 보정 커패시터 어레이(111_1)에 기준 전압이 인가되도록 스위치를 스위칭함으로써 제1 보정 전압(VOS1)을 증가시킬 수 있고, 제1 비교 전압(CV1)을 조절할 수 있다. 제1 보정 전압(VOS1)에 의해 제1 비교 전압(CV1)은 증가할 수 있다.
- [0118] 예시적 실시예에 있어서, 제1 비교 전압(CV1)이 제2 비교 전압(CV2)보다 작은 경우, 아날로그-디지털 변환기(10)는 제1 보정 회로(111)의 제1 커패시터에 제2 기준 전압이 인가되도록 스위칭을 함으로써 보정 전압을 생성할 수 있다. 예를 들어, 제2 기준 전압은 제1 커패시터에 대응되는 양의 기준 전압일 수 있다.
- [0119] 예시적 실시예에 있어서, 조절된 제1 비교 전압(CV1)이 제2 비교 전압(CV2)보다 작은 경우, 아날로그-디지털 변환기(10)는 제2 커패시터에 제4 기준 전압이 인가되도록 스위칭을 함으로써 상기 보정 전압을 증가시킬 수 있다. 예를 들어, 제4 기준 전압은 제2 커패시터에 대응되는 양의 기준 전압일 수 있다.
- [0120] 예시적 실시예에 있어서, 아날로그-디지털 변환기(10)는 제3 커패시터 내지 제9 커패시터와 연결된 스위치들에 대해서도 순차적으로 스위칭을 할 수 있으며, 제2 커패시터와 연결된 스위치를 스위칭한것과 마찬가지로의 방법으로 스위칭을 할 수 있다.

- [0121] 예시적 실시 예에 있어서, 단계 S140와 유사하게, 제1 커패시터는 제1 보정 커패시터 어레이(111_1)에 포함된 보정 커패시터들 중에서 가장 커패시턴스가 큰 커패시터일 수 있다. 예를 들어, 제1 커패시터는 제9 보정 커패시터(CA_9)일 수 있고, 제1 커패시터에 대응되는 양의 기준 전압은 제1 양의 기준 전압(VREFP_1)일 수 있다.
- [0122] 예시적 실시 예에 있어서, 단계 S140와 유사하게, 제9 커패시터는 제1 보정 커패시터 어레이(111_1)에 포함된 보정 커패시터들 중에서 가장 커패시턴스가 작은 커패시터일 수 있고, 가장 크기가 작은 양의 기준 전압이 인가되는 커패시터일 수 있다. 예를 들어, 제9 커패시터는 제1 보정 커패시터(CA_1)일 수 있고, 제9 커패시터에 대응되는 양의 기준 전압은 제7 양의 기준 전압(VREFP_7)일 수 있다.
- [0123] 단계 S160에서, 아날로그-디지털 변환기(10)는 제1 보정 커패시터 어레이(111_1)에 포함된 모든 보정 커패시터들에 대해, 각 커패시터들과 연결된 스위치들을 스위칭하였는지 여부를 판단할 수 있다.
- [0124] 예시적 실시예에 있어서, 기준 전압이 인가되지 않은 커패시터들이 있는 경우, 아날로그-디지털 변환기(10)는 단계 S140 또는 단계 S150에서 스위칭을 통해 기준 전압이 인가된 커패시터와 인접한 커패시터에 인가될 기준 전압을 결정하기 위해, 단계 S120을 다시 수행할 수 있다.
- [0125] 단계 S170에서, 단계 S160에서 제1 보정 커패시터 어레이(111_1)에 포함된 모든 보정 커패시터들에 대해, 각 커패시터들과 연결된 스위치들이 스위칭 된 경우 아날로그-디지털 변환기(10)는 제1 보정 전압(VOS1)에 대응 되는 제1 보정 전압 신호를 생성할 수 있고, 보정 모드를 완료할 수 있다.
- [0126] 아날로그-디지털 변환기(10)는 정상 모드에서 동작시, 제1 보정 전압 신호에 대응되는 제1 보정 전압(VOS1)을 생성할 수 있고, 제1 보정 전압(VOS1)을 통해 제1 비교 전압(CV1)을 조절할 수 있다. 제1 비교 전압(CV1)을 조절 함으로써, 제1 비교 회로(111)의 오프셋은 보정될 수 있다.
- [0127] 도 7은 본 개시의 예시적 실시예에 따른 오프셋 보정 방법을 설명하기 위한 순서도이다. 구체적으로, 제1 비교 회로(210), 제2 비교 회로(220) 및 제3 비교 회로(230)간의 보정 동작의 순서를 설명하기 위한 도면이다. 도 7은 도 1을 참조하여 설명될 수 있으며, 중복되는 설명은 생략될 수 있다.
- [0128] 단계 S210에서, 아날로그-디지털 변환기(10)는 제2 비교 회로(220)의 오프셋을 보정할 수 있다.
- [0129] 예시적 실시예에 있어서, 제2 비교 회로(220)의 출력값은 제1 비교 전압(CV1)에 기초하여 변화할 수 있다. 아날로그-디지털 변환기(10)는 제1 보정 전압(VOS1)을 통해 제1 비교 전압(CV1)을 조절할 수 있다. 제2 비교 회로(220)의 오프셋은 제1 보정 전압(VOS1)을 통해 보정될 수 있다.
- [0130] 예시적 실시예에 있어서, 비교 회로들의 오프셋을 보정하는 것은, 제2 비교 회로(220)와 같이 한쪽 입력 단자가 AC 접지된 상태의 비교 회로에 대해 먼저 수행될 수 있다. 단계 S210은 도 8a를 통해 후술한다.
- [0131] 단계 S220에서, 아날로그-디지털 변환기(10)는 제1 비교 회로(210)의 오프셋을 보정할 수 있다.
- [0132] 예시적 실시예에 있어서, 제1 비교 회로(210)의 출력값은 제1 비교 전압(CV1) 및 제2 비교 전압(CV2)에 기초하여 변화할 수 있다. 아날로그-디지털 변환기(10)는 제2 보정 전압(VOS2)을 통해 제2 비교 전압(CV2)을 조절할 수 있다. 제1 비교 회로(210)의 오프셋은 제1 보정 전압(VOS1) 및 제2 보정 전압(VOS2)을 통해 보정될 수 있다. 단계 S220은 도 8b를 통해 후술한다.
- [0133] 단계 S230에서, 아날로그-디지털 변환기(10)는 제3 비교 회로(230)의 오프셋을 보정할 수 있다.
- [0134] 예시적 실시예에 있어서, 제3 비교 회로(230)의 출력값은 제1 비교 전압(CV1) 및 제3 비교 전압(CV3)에 기초하여 변화할 수 있다. 아날로그-디지털 변환기(10)는 제3 보정 전압(VOS3)을 통해 제3 비교 전압(CV3)을 조절할 수 있다. 제1 비교 회로(210)의 오프셋은 제1 보정 전압(VOS1) 및 제3 보정 전압(VOS3)을 통해 보정될 수 있다. 단계 S230은 도 8c를 통해 후술한다.
- [0135] 도 8a 내지 도 8c는 본 개시의 일 실시예에 따른 아날로그-디지털 변환기(10)를 설명하기 위한 도면이다. 구체적으로, 도 7의 오프셋 보정 방법을 설명하기 위한 도면이다. 도 8a 내지 도 8c는 도 1 내지 도 7을 참조하여 설명될 수 있으며, 중복되는 설명은 생략될 수 있다.
- [0136] 아날로그-디지털 변환기(10)는 제어 회로(300)를 통해 제1 비교 회로(210), 제2 비교 회로(220) 및 제3 비교 회로(330)의 오프셋의 보정 순서를 결정할 수 있다.
- [0137] 도 8a를 참조하면, 제어 회로(300)는 제1 보정 전압(VOS1)의 생성을 결정할 수 있다. 제1 디지털-아날로그 변환기(110)는 제어 회로(300)의 제어에 따라 보정 모드로 동작할 수 있고, 제1 보정 전압(VOS1)을 생성할 수 있다.

제1 보정 전압(VOS1)은 제1 비교 전압(CV1)과 가산될 수 있다. 제1 보정 전압(VOS1)과 제1 비교 전압(CV1)을 가산한 전압은 제1 보정된 비교 전압(CV1_cal)이라 지칭될 수 있다. 제1 비교 회로(210), 제2 비교 회로(220) 및 제3 비교 회로(230)의 제1 단자에는 제1 보정된 비교 전압(CV1_cal)이 인가될 수 있다. 제1 보정된 비교 전압(CV1_cal)을 통해, 제2 비교 회로(220)의 오프셋은 보정될 수 있다.

[0138] 도 8b를 참조하면, 제어 회로(300)는 제1 비교 회로(210)의 오프셋을 보정할 수 있다. 제2 디지털-아날로그 변환기(120)는 제어 회로(300)의 제어에 따라 보정 모드로 동작할 수 있고, 제2 보정 전압(VOS2)을 생성할 수 있다. 제2 보정 전압(VOS2)은 제2 비교 전압(CV2)과 가산될 수 있다. 제2 보정 전압(VOS2)과 제2 비교 전압(CV2)을 가산한 전압은 제2 보정된 비교 전압(CV2_cal)이라 지칭될 수 있다. 제1 비교 회로(210)의 제2 단자에는 제2 보정된 비교 전압(CV2_cal)이 인가될 수 있다. 제1 보정된 비교 전압(CV1_cal) 및 제2 보정된 비교 전압(CV2_cal)을 통해, 제1 비교 회로(210)의 오프셋은 보정될 수 있다.

[0139] 도 8c를 참조하면, 제어 회로(300)는 제3 비교 회로(230)의 오프셋을 보정할 수 있다. 제3 디지털-아날로그 변환기(130)는 제어 회로(300)의 제어에 따라 보정 모드로 동작할 수 있고, 제3 보정 전압(VOS3)을 생성할 수 있다. 제3 보정 전압(VOS3)은 제3 비교 전압(CV3)과 가산될 수 있다. 제3 보정 전압(VOS3)과 제3 비교 전압(CV3)을 가산한 전압은 제3 보정된 비교 전압(CV3_cal)이라 지칭될 수 있다. 제3 비교 회로(230)의 제2 단자에는 제3 보정된 비교 전압(CV3_cal)이 인가될 수 있다. 제1 보정된 비교 전압(CV1_cal) 및 제3 보정된 비교 전압(CV3_cal)을 통해, 제3 비교 회로(230)의 오프셋은 보정될 수 있다.

[0140] 제1 비교 회로(210), 제2 비교 회로(220) 및 제3 비교 회로(230)의 오프셋이 보정됨으로써, 아날로그-디지털 변환기(10)의 출력 신호(DOUT)의 오차는 감소할 수 있다. 따라서, 입력 신호(AIN)와 출력 신호(DOUT)간의 일치성은 증가할 수 있다.

[0141] 도 9는 본 개시의 일 실시예에 따른 통신 장치(1000)를 나타내는 블록도이다. 도 9는 도 1을 참조하여 설명될 수 있으며, 중복되는 설명은 생략될 수 있다.

[0142] 도 9를 참조하면, 통신 장치(1000)는 수신기(1012), 송신기(1106), 통신 모듈(1020), 안테나(1018), 입출력 장치(1040) 및 기준 발진기(1042)를 포함할 수 있다. 수신기(1012)는 도 1에 도시된, 보다 정밀한 출력 신호(도 1, DOUT)를 제공하는 아날로그-디지털 변환기(10)를 포함할 수 있다. 수신기(1012)는 외부로부터 안테나(1018)를 통해 수신한 아날로그 신호를 아날로그-디지털 변환기(10)를 이용하여 디지털 신호로 변환한 후, 통신 모듈(1020)에 제공할 수 있다. 송신기(1016)는 통신 모듈(1020)로부터 수신한 디지털 신호를 아날로그 신호로 변환한 후, 안테나(1018)를 통해 외부로 출력할 수 있다.

[0143] 통신 모듈(1020)은 모뎀 프로세서(1022), RISC/DSP(1024), 제어기/프로세서(1026), 메모리(1028), 입출력 장치(1030) 및 위상 고정 루프(1032)를 포함할 수 있다.

[0144] 모뎀 프로세서(1022)는 데이터 전송 및 데이터 수신을 위한 인코딩, 변조, 복조, 디코딩 등의 프로세싱 동작을 수행할 수 있다. RISC/DSP(1024)는 통신 장치(1000)에서 일반적이거나, 특화된 프로세싱 동작을 수행할 수 있다. 제어기/프로세서(1026)는 통신 모듈(1020) 내의 블록들을 제어할 수 있다. 메모리(1028)는 데이터 및 다양한 명령 코드들을 저장할 수 있다. 입출력 장치(1030)는 외부 입출력 장치(1040)와 통신할 수 있다. 입출력 장치(1030)는 외부 입출력 장치(1040)로부터 수신된 데이터 신호를 도 1의 아날로그-디지털 변환기(10)를 이용하여 디지털 신호로 변환할 수 있다. 위상 고정 루프(1032)는 기준 발진기(1042)로부터 수신된 주파수 신호를 이용하여 주파수 변조 동작을 수행할 수 있다. 기준 발진기(1042)는 XO(crystal oscillator), VCXO(voltage controlled crystal oscillator), TCXO(temperature compensated crystal oscillator) 등으로 구현될 수 있다. 통신 모듈(1020)은 위상 고정 루프(1032)에서 생성된 출력 신호를 이용하여 통신에 필요한 프로세싱 동작을 수행할 수 있다.

[0145] 도 10은 본 개시의 일 실시예에 따른 시스템-온-칩(2000)을 나타내는 블록도이다. 도 10은 도 1을 참조하여 설명될 수 있으며, 중복되는 설명은 생략될 수 있다.

[0146] 도 10을 참조하면, 시스템-온-칩(System on Chip; SoC)(2000)은 컴퓨팅 시스템이나 다른 전자 시스템의 부품들을 집적한 집적 회로를 지칭할 수 있다. 예를 들면, 시스템-온-칩(2000) 중 하나로서 어플리케이션 프로세서(application processor; AP)는 프로세서 및 다른 기능들을 위한 부품들을 포함할 수 있다.

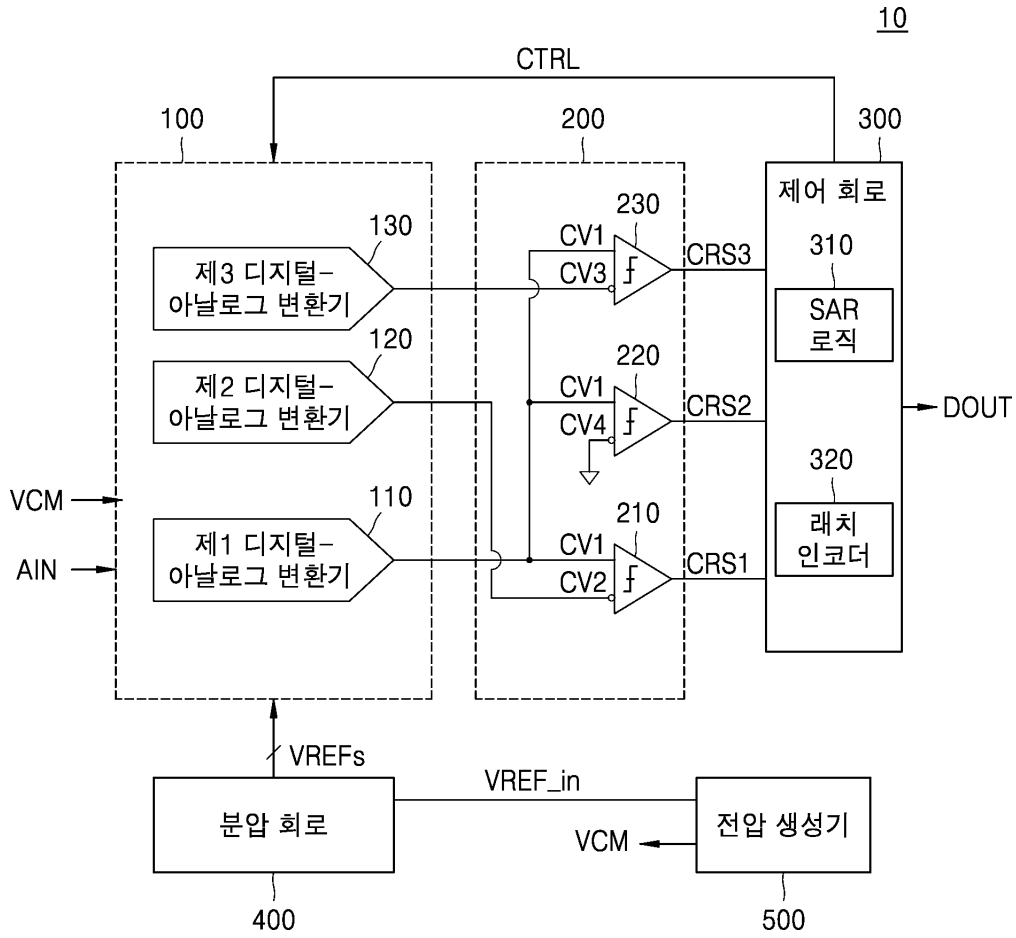
[0147] 시스템-온-칩(2000)은 코어(2100), DSP(Digital Signal Processor)(2200), GPU(Graphic Processing Unit)(2300), 내장 메모리(2400), 통신 인터페이스(2500) 및 메모리 인터페이스(2600)를 포함할 수 있다. 시스

템-온-칩(2000)의 구성요소들은 버스(2700)를 통해서 상호 통신할 수 있다.

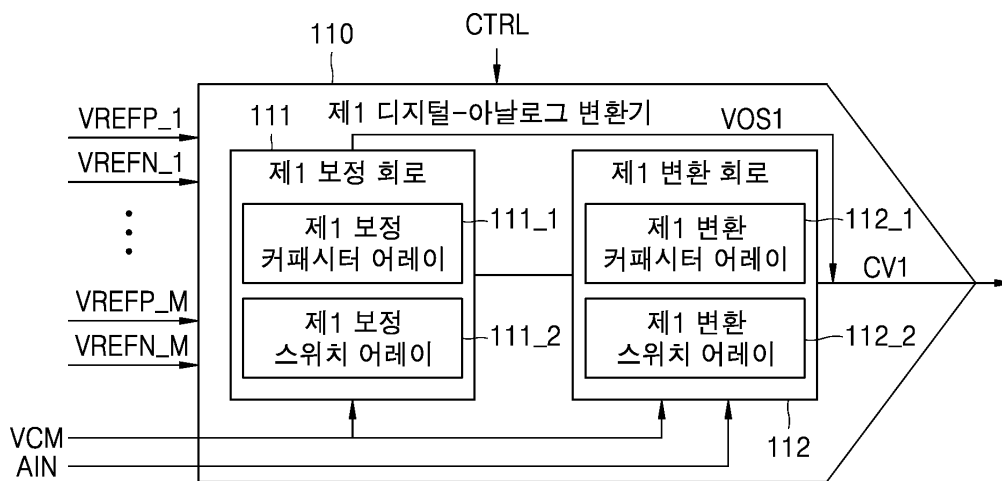
- [0148] 코어(2100)는 명령어들을 처리할 수 있고, 시스템-온-칩(2000)에 포함된 구성요소들의 동작을 제어할 수 있다. 예를 들면, 코어(2100)는 일련의 명령어들을 처리함으로써, 운영체제를 구동할 수 있고, 운영체제 상의 어플리케이션들을 실행할 수 있다. DSP(2200)는 디지털 신호, 예컨대 통신 인터페이스(2500)로부터 제공되는 디지털 신호를 처리함으로써 유용한 데이터를 생성할 수 있다. GPU(2300)는 내장 메모리(2400) 또는 메모리 인터페이스(2600)로부터 제공되는 이미지 데이터로부터 디스플레이 장치를 통해서 출력되는 영상을 위한 데이터를 생성할 수도 있고, 이미지 데이터를 인코딩할 수도 있다. 내장 메모리(2400)는 코어(2100), DSP(2200) 및 GPU(2300)가 동작하는데 필요한 데이터를 저장할 수 있다. 메모리 인터페이스(2600)는 시스템-온-칩(2000)의 외부 메모리, 예컨대 DRAM(Dynamic Random Access Memory), 플래시 메모리 등에 대한 인터페이스를 제공할 수 있다.
- [0149] 통신 인터페이스(2500)는 시스템-온-칩(2000) 외부와의 직렬 통신을 제공할 수 있다. 예를 들면, 통신 인터페이스(2500)는 이더넷(Ethernet)에 접속할 수 있고, 직렬 통신을 위하여 SerDes를 포함할 수 있다.
- [0150] 한편, 본 개시의 예시적 실시예들이 적용된 아날로그-디지털 변환기(10)는 통신 인터페이스(2500)는 메모리 인터페이스(2600)에 적용될 수 있다. 구체적으로, 보다 정밀한 출력 신호(도 1, DOUT)를 제공하는 아날로그-디지털 변환기(10)를 통해, 통신 인터페이스(2500) 또는 메모리 인터페이스(2600)는 PAMn에 기반된 데이터 신호를 수신하여 본 개시의 예시적 실시예들에 따른 방식으로 데이터 신호를 디지털 데이터로 변환할 수 있다.
- [0151] 버스(2700)는 다양한 버스 프로토콜들 중 하나에 기반하여 동작할 수 있다. 상기 다양한 버스 프로토콜은 AMBA(Advanced Microcontroller Bus Architecture) 프로토콜, USB(Universal Serial Bus) 프로토콜, MMC(MultiMedia Card) 프로토콜, PCI(Peripheral Component Interconnect) 프로토콜, PCI-E(PCI-Express) 프로토콜, ATA(Advanced Technology Attachment) 프로토콜, Serial-ATA 프로토콜, Parallel-ATA 프로토콜, SCSI(Small Computer Small Interface) 프로토콜, ESDI(Enhanced Small Disk Interface) 프로토콜, IDE(Integrated Drive Electronics) 프로토콜, MIPI(Mobile Industry Processor Interface) 프로토콜, UFS(Universal Flash Storage) 프로토콜 등 중 적어도 하나를 포함할 수 있다.
- [0152] 이상에서와 같이 도면과 명세서에서 예시적인 실시예들이 개시되었다. 본 명세서에서 특정한 용어를 사용하여 실시예들을 설명되었으나, 이는 단지 본 개시의 기술적 사상을 설명하기 위한 목적에서 사용된 것이지 의미 한정이나 특허청구범위에 기재된 본 개시의 범위를 제한하기 위하여 사용된 것은 아니다. 그러므로 본 기술분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시예가 가능하다는 점을 이해할 것이다. 따라서, 본 개시의 진정한 기술적 보호범위는 첨부된 특허청구범위의 기술적 사상에 의해 정해져야 할 것이다.

도면

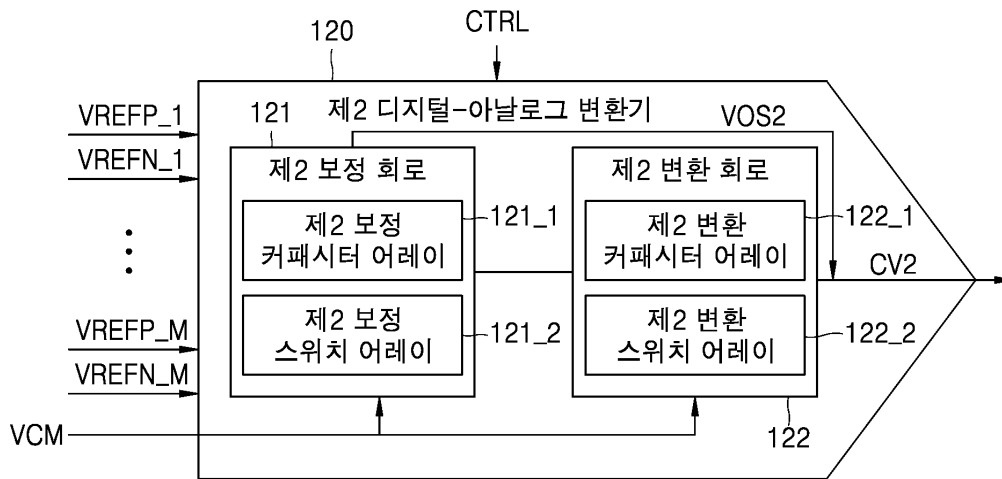
도면1



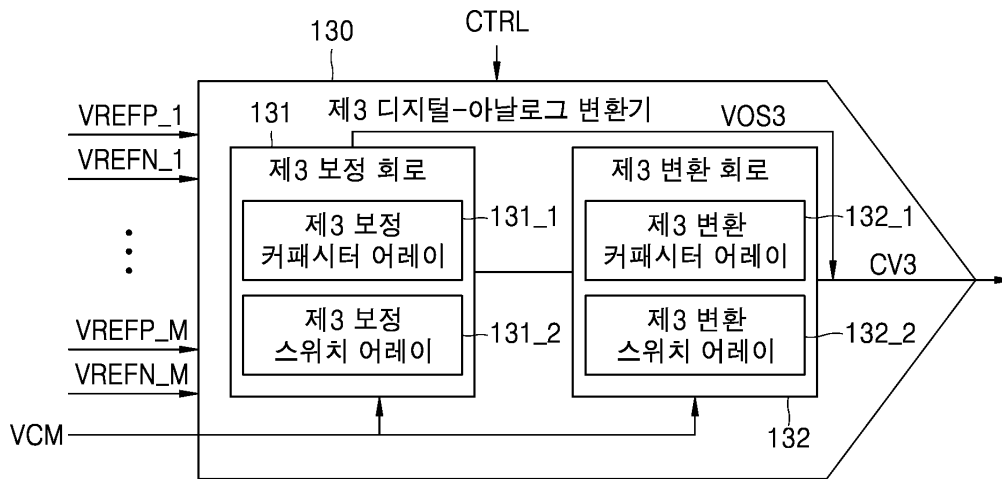
도면2a



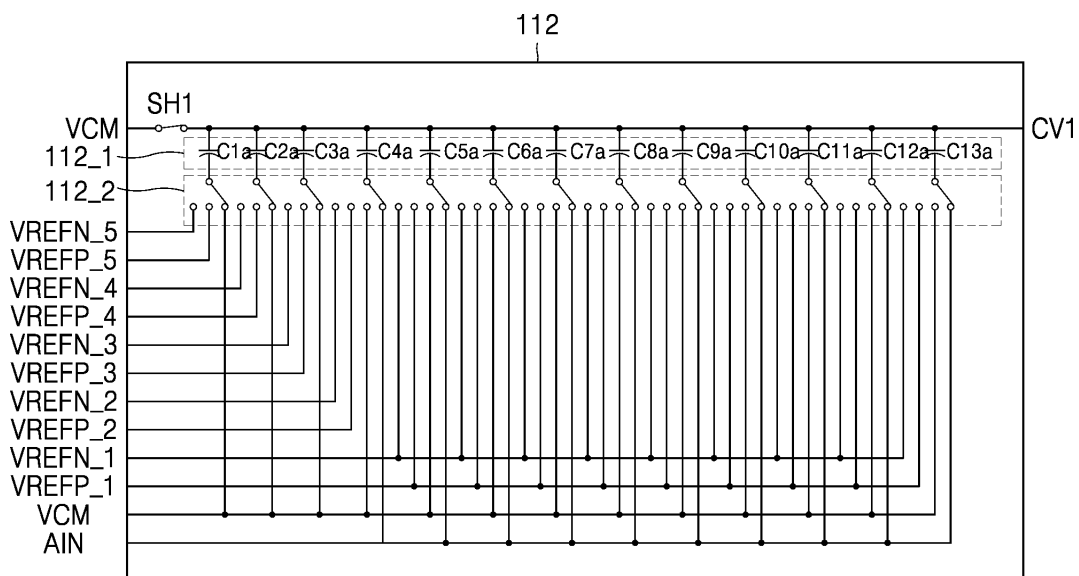
도면2b



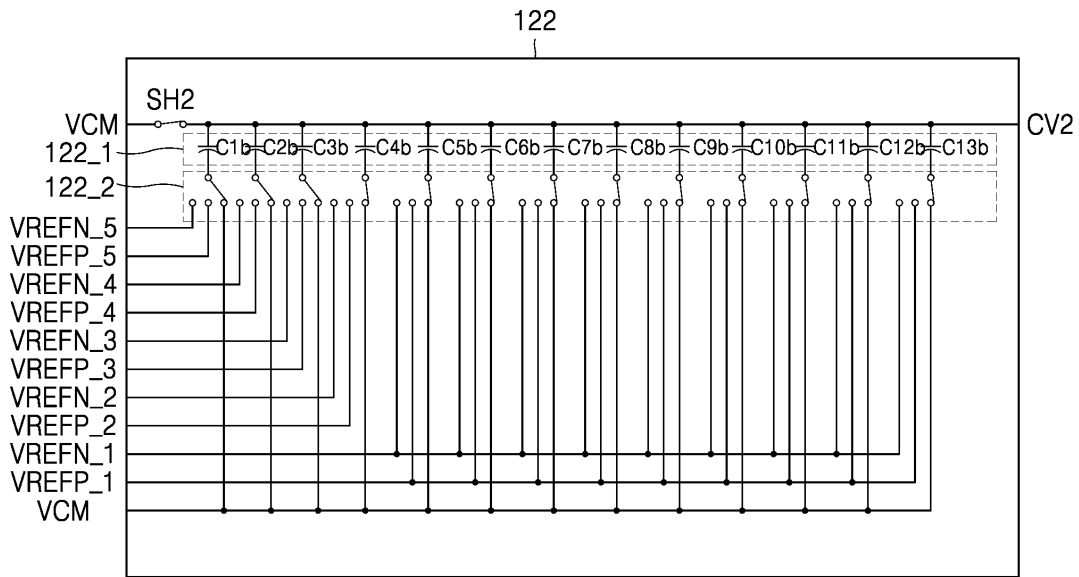
도면2c



도면3a



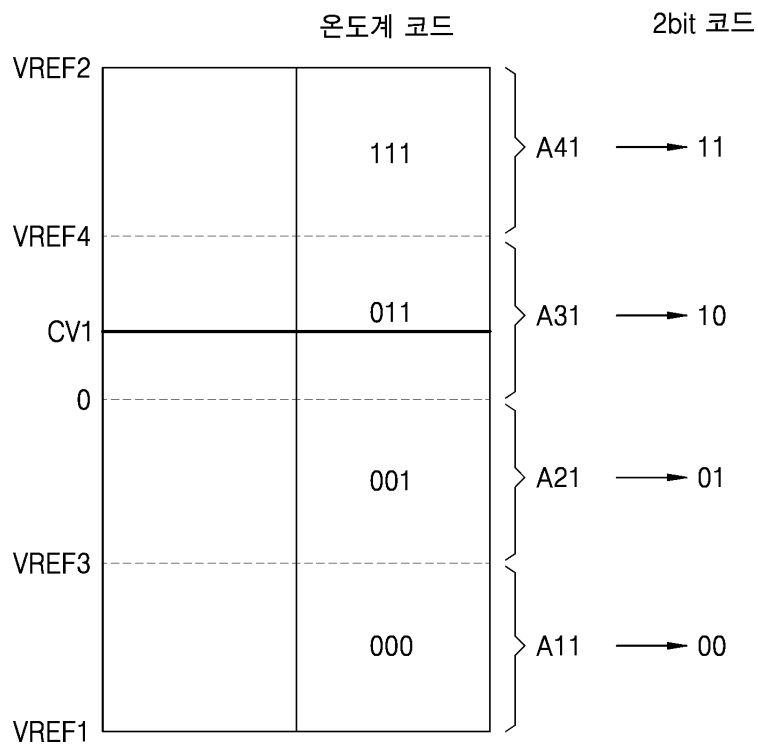
도면3b



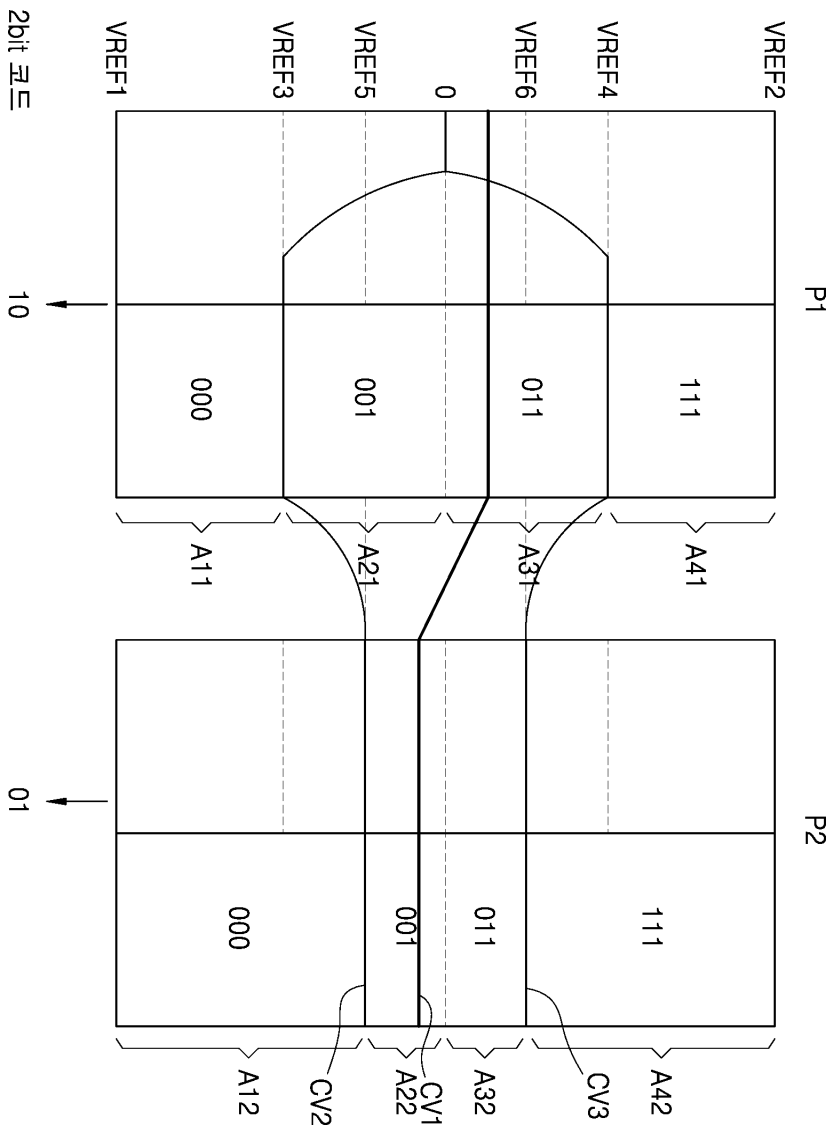
도면4a

온도계 코드			2bit 코드
CRS3	CRS2	CRS1	
1	1	1	11
0	1	1	10
0	0	1	01
0	0	0	00

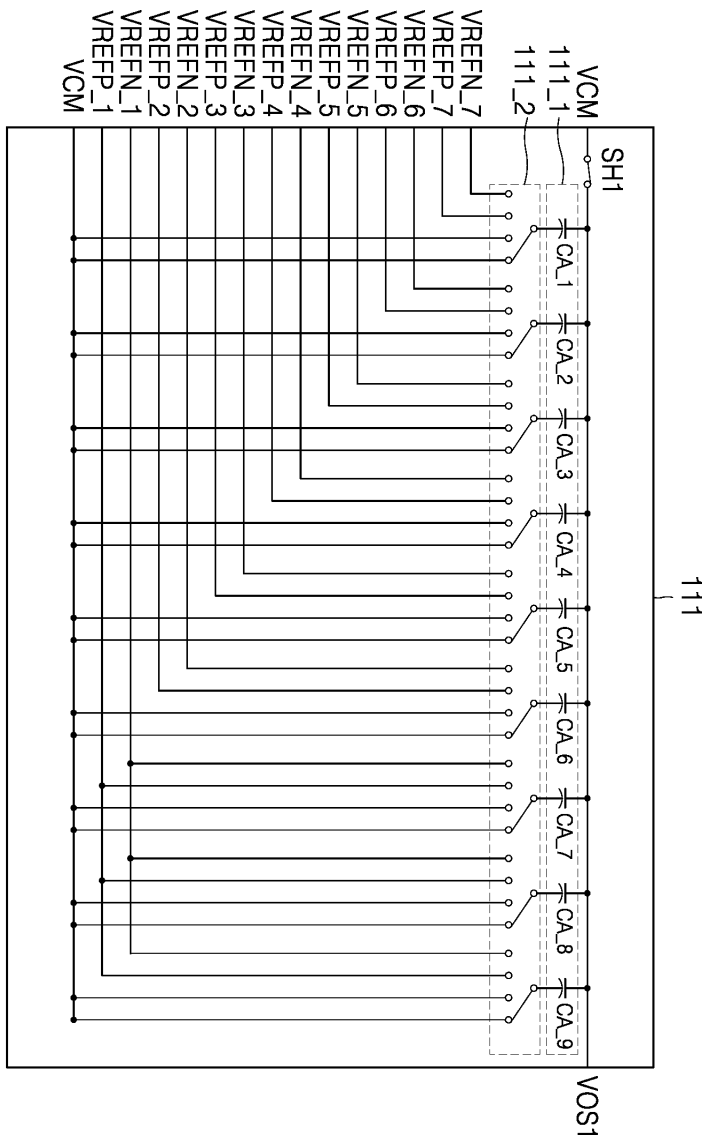
도면4b



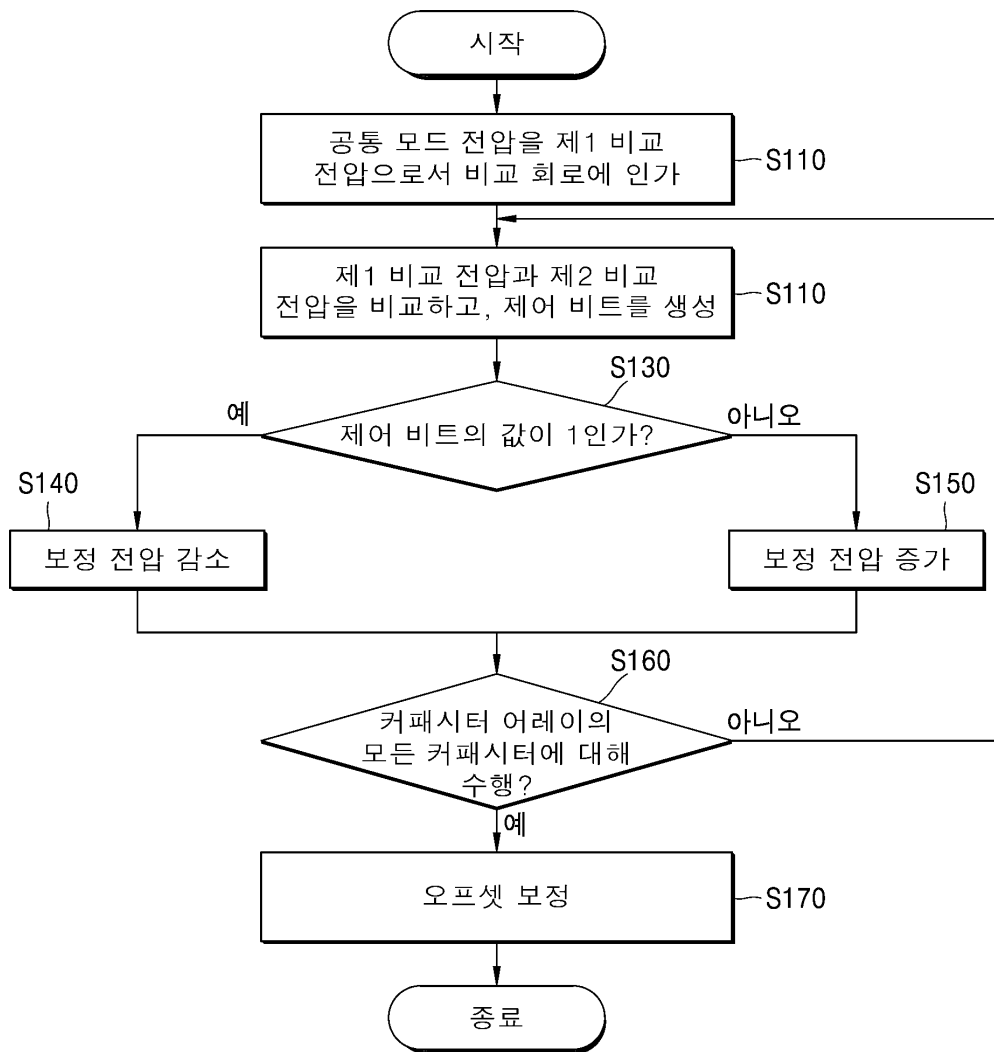
도면4c



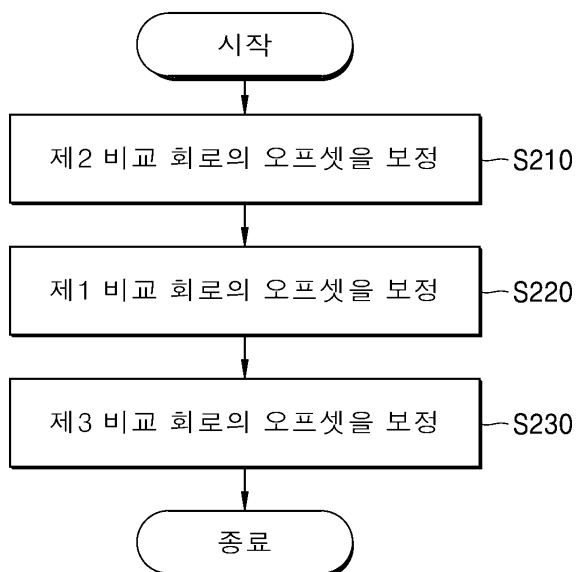
도면5



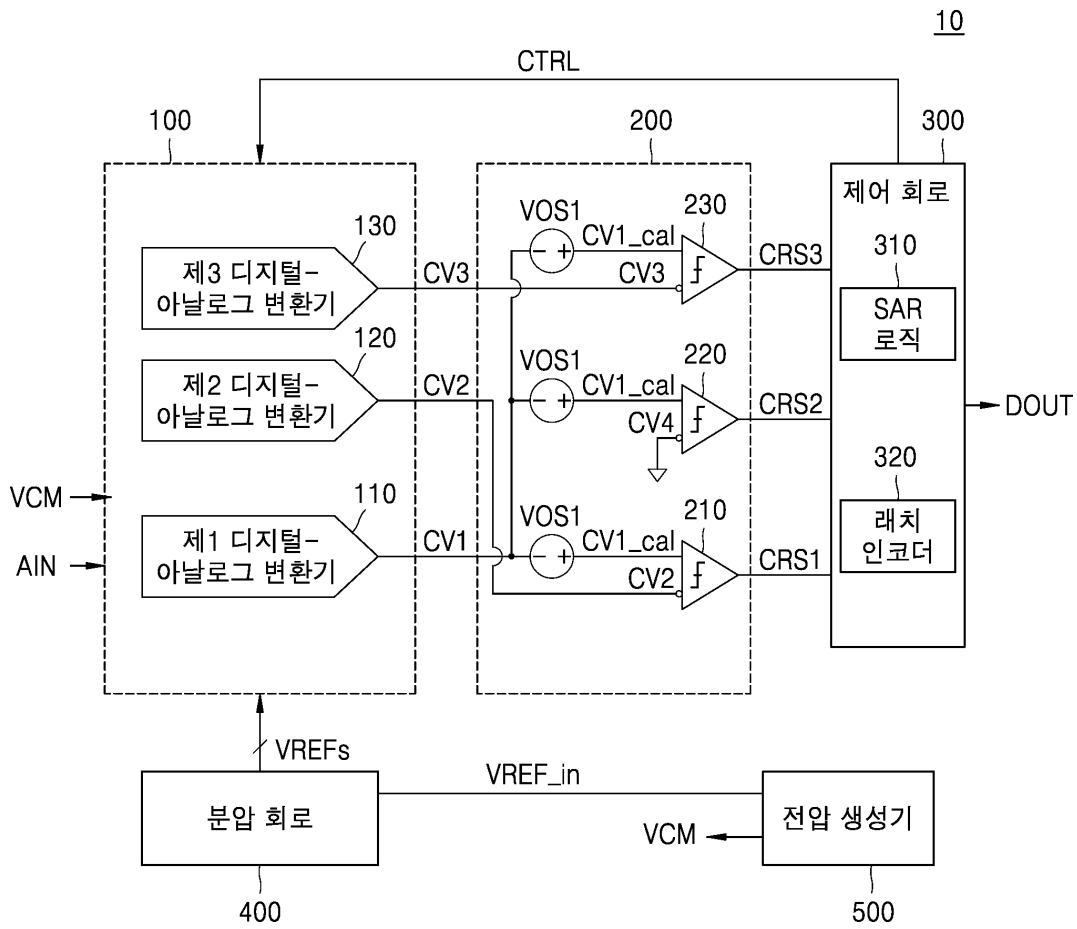
도면6



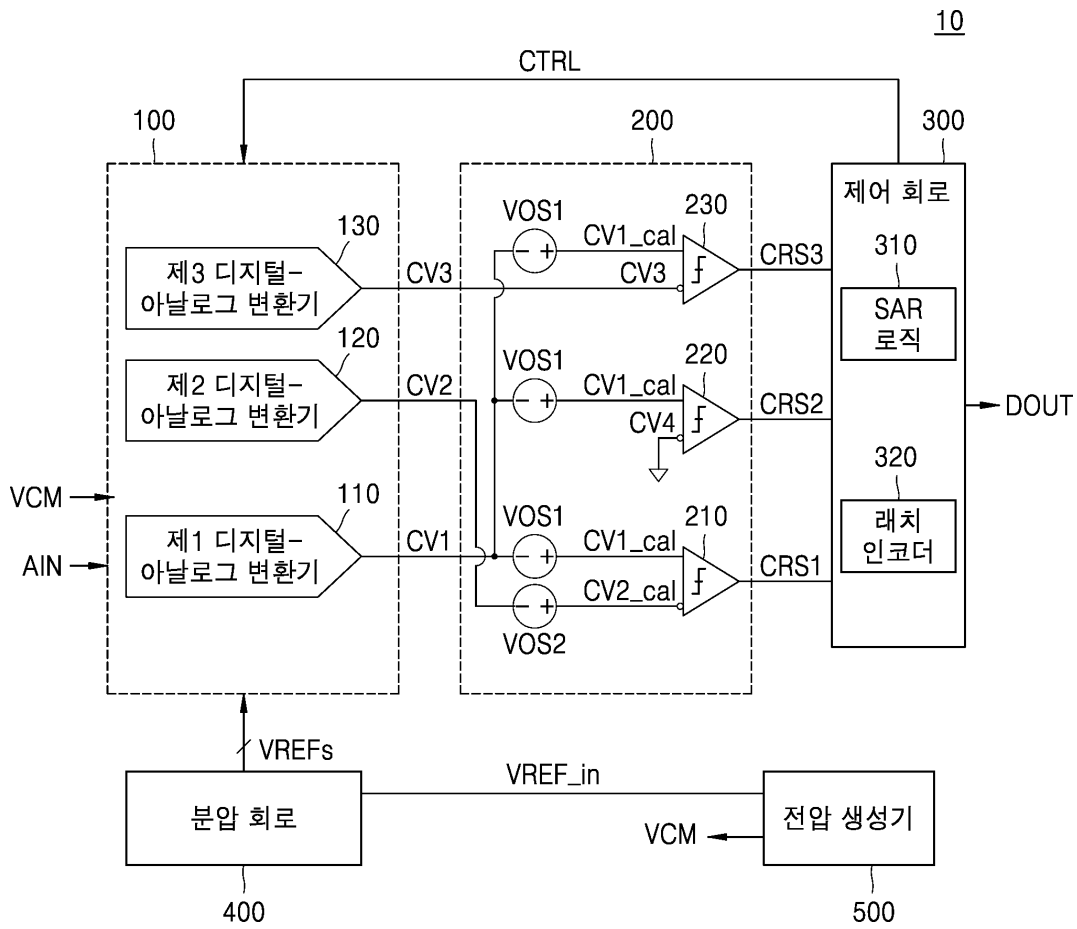
도면7



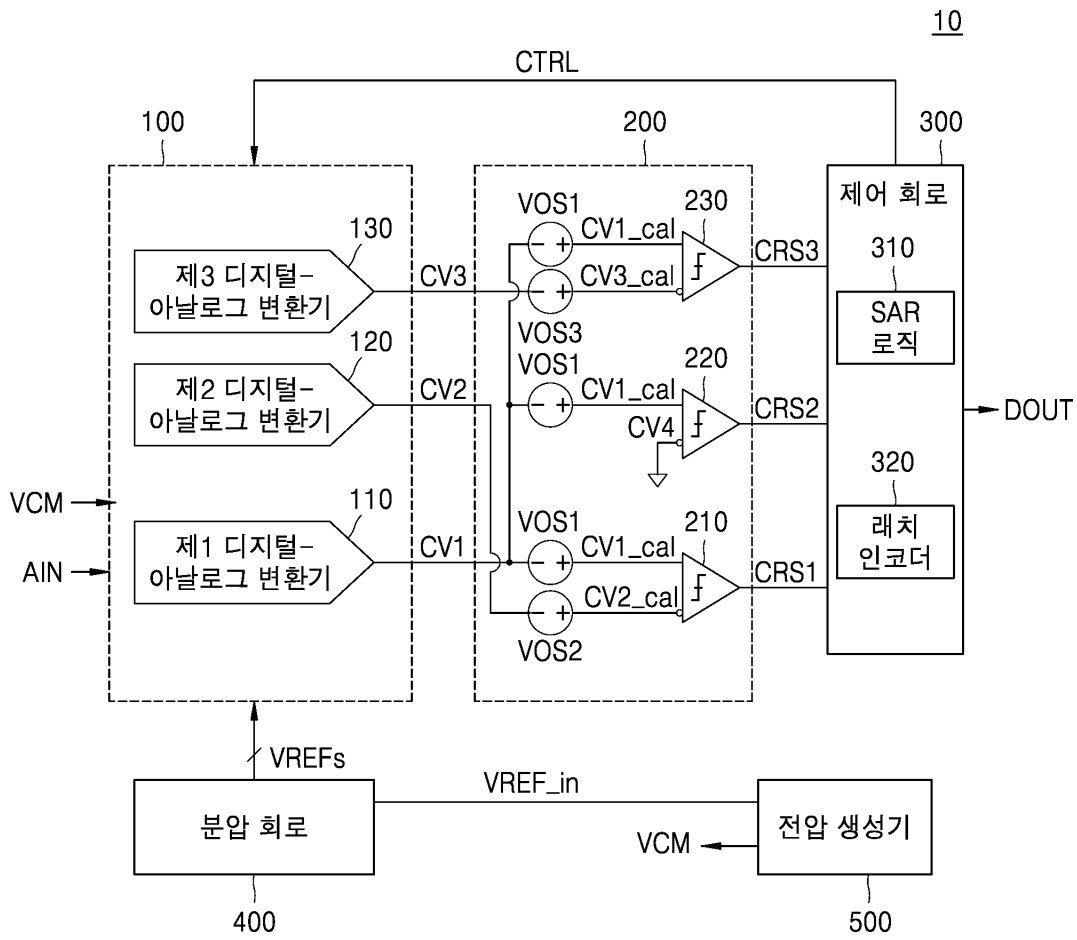
도면 8a



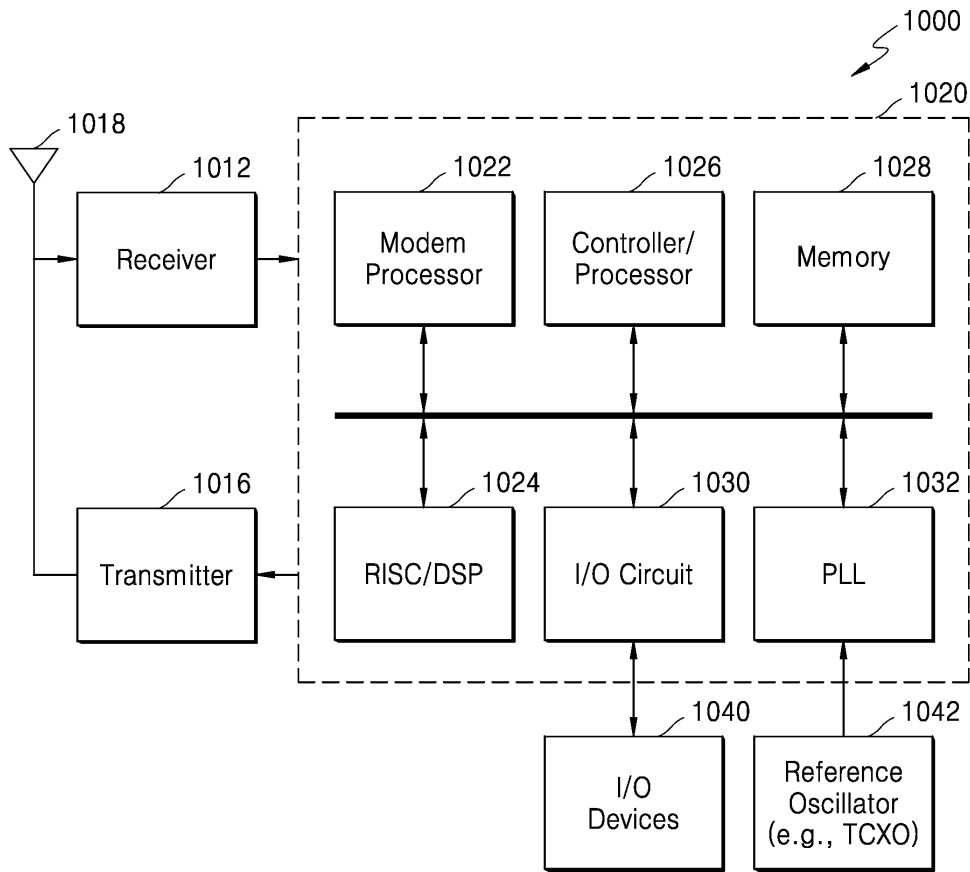
도면 8b



도면8c



도면9



도면10

