



(12)

DEMANDE DE BREVET EUROPEEN

(43) Date de publication:
15.12.2004 Bulletin 2004/51

(51) Int Cl.⁷: **G05F 3/22**

(21) Numéro de dépôt: **04300320.1**

(22) Date de dépôt: **10.06.2004**

(84) Etats contractants désignés:
AT BE BG CH CY CZ DE DK EE ES FI FR GB GR
HU IE IT LI LU MC NL PL PT RO SE SI SK TR
 Etats d'extension désignés:
AL HR LT LV MK

(72) Inventeur: **Concord, Joel**
37100 Tours (FR)

(74) Mandataire: **de Beaumont, Michel**
Cabinet Michel de Beaumont
1, rue Champollion
38000 Grenoble (FR)

(30) Priorité: 12.06.2003 FR 0307087

(71) Demandeur: **STMicroelectronics S.A.**
92120 Montrouge (FR)

(54) **Commutateur en technologie bipolaire**

(57) L'invention concerne un commutateur en technologie bipolaire comprenant : un transistor principal (1) d'un premier type reliant une borne d'entrée (IN), destinée à être connectée à une première borne d'application d'une tension d'alimentation continue (Vcc), à une borne de sortie (OUT) destinée à être connectée à une charge (Q) à alimenter ; un deuxième transistor bipolaire (2) de même type que le premier, connecté entre ladite borne

d'entrée et une entrée d'un circuit miroir de courant (3, 4) dont une sortie de recopie est connectée à la base du premier transistor, les bases des premier et deuxième transistors étant interconnectées et le premier transistor ayant une surface d'émetteur supérieure au second ; et un circuit (6) de polarisation du deuxième transistor consistant en la recopie de la tension de sortie du commutateur sur le collecteur de ce deuxième transistor.

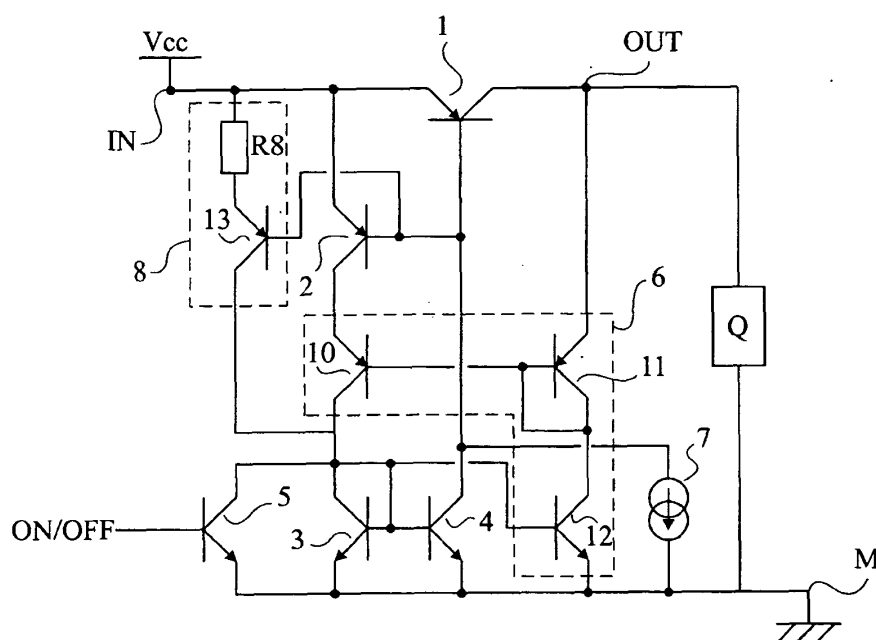


Fig 2

Description

[0001] La présente invention concerne un commutateur intégré réalisé au moyen de transistors bipolaires.

[0002] Le plus simple pour réaliser un commutateur en technologie bipolaire est d'utiliser un transistor en régime saturé, la chute de tension à ses bornes (collecteur-émetteur) étant ainsi minimale. On peut alors transférer le maximum de puissance possible vers une charge à alimenter, connectée en série avec ce transistor bipolaire. Pour placer un transistor en régime de saturation, il faut lui imposer un certain courant de base de telle sorte que le gain (rapport du courant de collecteur sur le courant de base) soit forcé à une valeur inférieure au gain minimum de ce transistor en régime linéaire.

[0003] Une difficulté réside dans le fait qu'en fixant un courant de base déterminé, la consommation intrinsèque au commutateur (liée à son courant de base) reste constante, même pour une charge variable. Cela rend notamment ce type de montage inadapté à des applications à faible consommation.

[0004] Pour pallier cet inconvénient, on a déjà proposé des commutateurs en technologie bipolaire permettant de réguler le courant de base du transistor principal en fonction du courant appelé par la charge.

[0005] La figure 1 représente un exemple classique d'un tel commutateur dit adaptatif.

[0006] Dans l'exemple représenté, le transistor principal 1 est un transistor PNP connecté, en série avec une charge Q, entre une borne d'entrée IN sur laquelle sera appliquée une tension d'alimentation continue V_{cc} et une borne M représentant la masse électrique du circuit. L'émetteur du transistor 1 est connecté à la borne IN constituant une borne d'entrée du commutateur et son collecteur définit une borne OUT de sortie, connecté à la charge Q dont l'autre borne est à la masse M.

[0007] Le reste du montage est constitué par le circuit de commande adaptative. Ce circuit est basé sur la recopie par un transistor 2 (ici de type PNP) d'une fraction du courant traversant le transistor 1. L'émetteur du transistor 2 est connecté à la borne IN (donc aussi à l'émetteur du transistor 1), et sa base est reliée à celle du transistor 1.

[0008] Le collecteur du transistor 2 est relié à un miroir de courant, formé de deux transistors de type NPN 3 et 4 (définissant respectivement le transistor source et le transistor de recopie du miroir) dont les émetteurs sont connectés à la masse et dont les bases respectives sont interconnectées au collecteur du transistor 3 (et donc au collecteur du transistor 2). Les bases des transistors 1 et 2 sont par ailleurs connectées à la sortie du miroir de courant, sur le collecteur du transistor 4. Une résistance de polarisation R relie la borne IN aux bases des transistors 3 et 4.

[0009] Le courant tiré de la base du transistor 1 par le miroir de courant 3-4 est $I_b = I_c / (N-1)$ - où N représente le rapport de surfaces d'émetteurs entre les transistors 1 et 2 - et impose au transistor 1 un régime de saturation

avec un gain forcé égal à $\beta_f = I_c / I_b = N-1$. Ainsi, si N est choisi tel que le gain β_f soit inférieur au gain minimum du transistor 1 en régime linéaire, on assure la saturation de ce transistor et le fonctionnement du montage en commutateur.

[0010] Un transistor 5 de type NPN, commandé par un signal ON/OFF d'activation du circuit à deux états, relie le collecteur du transistor 2 à la masse. Quand le transistor 5 conduit, le courant issu du transistor 2 est écoulé vers la masse et aucun courant n'est alors tiré de la base du transistor 1, ce qui garanti son blocage.

[0011] Un inconvénient de la structure de la figure 1 est que les transistors 1 et 2 ont, entre leur collecteurs et émetteurs respectifs, des polarisations différentes. En effet, le transistor 1 fonctionne en régime saturé avec une tension collecteur-émetteur faible tandis que le transistor 2 (non saturé) voit à ses bornes une tension collecteur-émetteur nettement supérieure. Cette différence de tension collecteur-émetteur peut induire une erreur de recopie de courant entre ces deux transistors et provoquer alors une augmentation importante de la consommation du commutateur en charge comme au repos. Cet inconvénient se rencontre plus particulièrement en technologie intégrée où la faible dimension des composants rend leurs paramètres plus sensibles aux conditions de polarisation.

[0012] En pratique, ce phénomène de surconsommation lié à la différence de conditions de polarisation tend à s'accroître avec l'augmentation de la température de fonctionnement du composant.

[0013] La présente invention vise à proposer un commutateur en technologie bipolaire s'affranchissant des inconvénients des commutateurs connus. Plus particulièrement, l'invention vise à proposer un commutateur dans lequel le rapport de recopie de courant est indépendant d'un écart éventuel de tension collecteur-émetteur entre les transistors du miroir.

[0014] L'invention vise également à proposer une solution particulièrement adaptée à des systèmes basse consommation sous forme intégrée.

[0015] A cet égard, l'invention vise à proposer une solution compatible avec l'adjonction d'une fonction de limitation du courant de sortie, pour entre autres, protéger le circuit contre les courts-circuits en sortie ou limiter le courant maximum dans la charge Q.

[0016] Pour atteindre ces objets et d'autres, l'invention prévoit un commutateur en technologie bipolaire comprenant :

un premier transistor principal d'un premier type reliant une borne d'entrée, destinée à être connectée à une première borne d'application d'une tension d'alimentation continue, à une borne de sortie destinée à être connectée à une charge à alimenter ;
un deuxième transistor bipolaire de même type que le premier, connecté entre ladite borne d'entrée et une entrée d'un circuit miroir de courant dont une sortie de recopie est connectée à la base du pre-

mier transistor, les bases des premier et deuxième transistors étant interconnectées et le premier transistor ayant une surface d'émetteur supérieure au second ; et

un circuit de polarisation du deuxième transistor consistant en la recopie de la tension de sortie du commutateur sur le collecteur de ce deuxième transistor.

[0017] Selon un mode de réalisation de la présente invention, ledit circuit miroir de courant est constitué d'un troisième transistor bipolaire d'un deuxième type et d'un quatrième transistor bipolaire du deuxième type reliant la base du premier transistor à une deuxième borne d'application de la tension d'alimentation, les bases des troisième et quatrième transistors étant interconnectées au collecteur du troisième transistor reliant le collecteur du deuxième transistor par l'intermédiaire d'un cinquième transistor bipolaire du premier type appartenant au circuit de polarisation.

[0018] Selon un mode de réalisation de la présente invention, le quatrième transistor a une surface d'émetteur supérieure à celle du troisième transistor.

[0019] Selon un mode de réalisation de la présente invention, le circuit de polarisation comporte en outre un sixième transistor du deuxième type connecté entre ladite borne de sortie par son émetteur et un septième transistor bipolaire du deuxième type monté en miroir de courant sur lesdits troisième et quatrième transistors, la surface d'émetteur du septième transistor étant, de préférence, identique à celle du troisième transistor.

[0020] Selon un mode de réalisation de la présente invention, une source de courant de démarrage relie la base du premier transistor à la deuxième borne d'application de la tension d'alimentation.

[0021] Selon un mode de réalisation de la présente invention, un circuit d'aide au démarrage injecte un courant sur le collecteur du deuxième transistor, le circuit d'aide au démarrage étant de préférence constitué d'une résistance en série avec un huitième transistor du premier type connecté entre la borne d'entrée et ledit collecteur du deuxième transistor, la base du huitième transistor étant connectée à la base du premier transistor de façon à injecter un courant image du courant de sortie.

[0022] Selon un mode de réalisation de la présente invention, on prévoit un circuit de limitation du courant interne constitué, de préférence, d'une résistance intercalée entre les collecteurs des cinquième et troisième transistors, et d'un neuvième transistor de dérivation du courant vers la masse.

[0023] Selon un mode de réalisation de la présente invention, les transistors du premier type sont des transistors PNP, les transistors du second type étant des transistors NPN.

[0024] Selon un mode de réalisation de la présente invention, les transistors du premier type sont des transistors de type NPN, les transistors du second type étant

des transistors de type PNP.

[0025] Ces objets, caractéristiques et avantages, ainsi que d'autres de la présente invention seront exposés en détail dans la description suivante de modes de réalisation particuliers faite à titre non limitatif en relation avec les figures jointes parmi lesquelles :

la figure 1, décrite précédemment, est destinée à exposer l'état de la technique et le problème posé ; la figure 2 représente un premier mode de réalisation d'un commutateur selon la présente invention ; la figure 3 représente un deuxième mode de réalisation d'un commutateur selon l'invention, équipé d'un circuit de limitation du courant interne ; et la figure 4 illustre une variante de réalisation d'un circuit de limitation du courant interne.

[0026] Les mêmes éléments ont été désignés par les mêmes références aux différentes figures. Pour des raisons de clarté, seuls les constituants du circuit qui sont nécessaires à la compréhension de l'invention ont été représentés aux figures et seront décrits par la suite. En particulier, le commutateur selon l'invention peut se voir adjoindre d'autres composants afin d'assurer d'autres fonctions.

[0027] La figure 2 représente le schéma électrique d'un commutateur selon un mode de réalisation de l'invention.

[0028] Comme précédemment, ce commutateur comporte un transistor principal 1 (ici PNP) entre deux bornes IN et OUT du circuit. En technologie intégrée, ce transistor PNP sera préférentiellement d'un type isolé, c'est-à-dire un composant bipolaire pour lequel les éléments parasites susceptibles de conduire en mode saturation un courant de fuite dans le substrat auront été insensibilisés (par exemple, un transistor dans une poche isolée). La borne IN est destinée à recevoir un potentiel d'alimentation positif Vcc tandis que la borne OUT est destinée à être connectée à une charge Q dont l'autre borne est connectée à la masse M (ou à un potentiel plus négatif d'alimentation que le potentiel Vcc).

[0029] Toujours de façon similaire aux circuits connus, on prévoit un montage en miroir de courant par recopie du courant de base du transistor 1. On retrouve donc un transistor 2 de même type que le transistor 1 dont l'émetteur est connecté à la borne IN, dont la base est connectée à la base du transistor 1, ainsi que deux transistors 3 et 4 de type NPN dont les bases sont interconnectées au collecteur du transistor 3 et dont les émetteurs sont connectés à la masse, le collecteur du transistor 4 étant connecté par ailleurs à la base du transistor 1. Un transistor d'allumage-extinction 5 recevant sur sa base un signal ON/OFF a son collecteur relié au collecteur du transistor 3 et son émetteur à la masse.

[0030] Selon l'invention, le collecteur du transistor 2 n'est pas connecté directement au collecteur du transistor 3 mais l'est par l'intermédiaire d'un transistor 10, de même type que les transistors 1 et 2 (dans l'exemple,

PNP), appartenant à un circuit 6 de polarisation du transistor 2 à la même tension que le transistor 1. Ce circuit 6 comporte également un transistor 11 de type PNP monté en suiveur de tension et un transistor 12 de type NPN monté en miroir sur les transistors 3 et 4, les transistors 11 et 12 étant en série entre la borne OUT et la masse. Plus précisément, l'émetteur du transistor 11 est connecté à la borne OUT et son collecteur est relié au collecteur du transistor 12 dont l'émetteur est à la masse. La base du transistor 11 est reliée à son collecteur et à la base du transistor 10 dont l'émetteur est connecté au collecteur du transistor 2 et dont le collecteur est connecté au collecteur du transistor 3. Enfin, la base du transistor 12 est reliée aux bases des transistors 3 et 4.

[0031] Les transistors 10 et 11 sont dimensionnés de sorte que le rapport de leurs surfaces d'émetteurs soit égal au rapport des courants les traversant, c'est-à-dire en fonction du rapport de taille entre les transistors 3 et 12. Ainsi, leurs tensions base-émetteur sont égales. Il en découle que les tensions collecteur-émetteur des transistors 1 et 2 sont rendues identiques. Le transistor 2 étant désormais polarisé de la même façon que le transistor 1, le rapport de recopie n'est plus impacté par une différence de tension collecteur-émetteur de ces deux transistors et reste donc constant et égal à $1/(N-1)$, où N représente le rapport des surfaces d'émetteurs des transistors 1 et 2.

[0032] Les transistors 3 et 4 ont également des surfaces d'émetteur différentes, le transistor 4 ayant une surface d'émetteur plus grande que le transistor 3, le rapport de surface du transistor 4 sur celle du transistor 3 est désigné par la suite par M. Par contre, le transistor 12 a, de préférence, la même taille que le transistor 3.

[0033] Pour permettre le démarrage du circuit lors de la mise sous tension, une source de courant 7 relie la base du transistor 1 à la masse de façon à tirer du courant sur cette base au démarrage. La façon la plus simple de réaliser cette source de courant est une résistance. De préférence, cette résistance est dimensionnée pour tirer un courant de prépolarisation du transistor 1 de l'ordre de quelques microampères. En variante, la source de courant 7 est réalisée par un montage à transistors.

[0034] Dès le démarrage effectué, le courant que fournit le transistor 1 à la charge suite à sa prépolarisation est amplifié par la boucle de réaction positive interne à la structure, jusqu'à la valeur de repos correspondant à la tension de sortie V_{out} divisée par l'impédance de la charge Q.

[0035] La présence du circuit 6 induit un temps de réponse du commutateur lorsque la charge Q varie fortement. En effet, quand le commutateur est actif et en l'absence de charge en sortie, les courants internes sont extrêmement faibles voire nuls et le transistor 10 est quasiment non conducteur. Par conséquent, le courant dans le transistor 1 reste limité au produit du courant fourni par la source 7 multiplié par le gain du transistor 1 pendant un délai plus ou moins long, nécessaire au

courant de fuite pour provoquer l'amorçage de la structure et permettre au commutateur de fournir le courant à la charge.

[0036] Selon un mode de réalisation préféré de l'invention, on diminue ce temps de réaction en injectant un faible courant, image du courant de sortie, directement sur le collecteur du transistor 3. On prévoit donc un circuit 8 d'injection de courant constitué d'une résistance R8 en série avec un transistor de type PNP 13 entre la borne IN et le collecteur du transistor 3. La base du transistor 13 est connectée à la base du transistor 2. La présence de ce circuit 8 n'engendre pas de problème de consommation malgré que le transistor 13 ait une tension collecteur-émetteur différente de celle du transistor 1. En effet, la résistance R8 qui est de préférence de valeur élevée (de quelques kilohms à quelques dizaines de kilohms) induit une limitation du courant dans le transistor 13 rendant négligeable le courant fourni par celui-ci par rapport au courant dans le transistor 2 en fonctionnement normal.

[0037] En prenant l'exemple d'un rapport de dimension (de surfaces d'émetteurs) entre les transistors 4 et 3 de M (le transistor 12 étant de même taille que le transistor 3), la condition de saturation du transistor 1 devient :

$$\beta_f = (N-M)/M$$

où β_f désigne le gain forcé du transistor 1 qui doit être inférieur à son gain minimal en régime linéaire.

[0038] Avec ces notations, le rapport entre les courants d'entrée et de sortie suit la relation suivante :

$$I_{IN} = I_{OUT} * (1 + (M+2)/(N-M)).$$

[0039] Le courant interne consommé par le commutateur est alors égal à $I_{OUT} * (M+2)/(N-M)$ et le rendement du commutateur est égal à $(N-M)/(N+2)$.

[0040] Des relations précédentes, on voit que le rapport M fournit un degré de liberté supplémentaire pour ajuster le gain forcé du transistor 1.

[0041] Un avantage du commutateur de l'invention est qu'il permet une saturation du transistor principal 1 quelles que soient les conditions (température, caractéristiques du composant, charge de sortie).

[0042] Un autre avantage de l'invention est que la consommation du commutateur est proportionnelle au courant de sortie et qu'il engendre un courant de repos faible, ce qui rend la structure compatible avec des applications basse consommation.

[0043] Un autre avantage de l'invention est que la structure est compatible avec des applications basse tension (jusqu'à environ 1,5 V) en raison du faible nombre de tensions base-émetteur entre les lignes d'alimentation.

[0044] Un autre avantage de ce commutateur est qu'il

est intégrable sur une puce en technologie bipolaire.

[0045] La figure 3 représente un autre mode de réalisation du commutateur de l'invention, équipé d'un circuit 9 de limitation de courant interne. La structure de la figure 3 reprend les mêmes éléments que ceux représentés en figure 2.

[0046] Selon ce mode de réalisation, une résistance de limitation de courant R9 est intercalée entre le collecteur du transistor 10 et celui du transistor 3. Cette résistance est associée à un transistor de type PNP 14 dont l'émetteur est connecté au collecteur du transistor 10 et dont la base est connectée au collecteur du transistor 3, le collecteur du transistor 14 étant connecté à la masse. Le circuit 9 limite le courant de sortie du commutateur à une valeur I_{LIM} à peu près égale à $(N/R9) \cdot V_{be14}$, où V_{be14} représente la tension base-émetteur du transistor 14. En effet, le transistor 14 devient progressivement conducteur et dérive vers la masse une partie du courant issue du transistor 10 dès que le courant de sortie atteint approximativement la valeur limite ci-dessus. Par conséquent, on règle le courant de sortie I_{OUT} du dispositif approximativement à la valeur I_{LIM} .

[0047] Une autre modification par rapport au circuit de la figure 2 est l'adjonction d'un transistor 15 de type NPN reliant la borne IN (par son collecteur) au collecteur du transistor 11 (par son émetteur) et dont la base est reliée au collecteur du transistor 10. Le rôle du transistor 15 est de délester le courant absorbé par le transistor 12 par une autre voie que le transistor 10 lorsque la limitation est active. En effet, quand le courant est limité, la tension de sortie V_{OUT} n'est plus imposée par la tension d'entrée V_{IN} (V_{cc}) diminuée de la chute de tension dans le transistor 1, mais se trouve imposée par la charge ($V_{OUT} = RQ \cdot I_{IN}$, où RQ représente la résistance de la charge Q). La tension de sortie peut donc chuter à des potentiels très faibles voire nuls en cas de court-circuit en sortie. Dans de telles conditions, le transistor 11 se bloque et il est donc nécessaire d'écouler le courant absorbé par le transistor 12 par une autre voie que par la base du transistor 10 afin de ne pas affecter le courant issu du transistor 2 et, par conséquent, la valeur de courant de limitation.

[0048] Lorsque le transistor 10 commence à se saturer sous l'effet d'une augmentation de son courant de base, la tension collecteur-émetteur du transistor 10 diminue et provoque l'augmentation de la tension base-émetteur du transistor 15 d'où sa mise en conduction qui permet donc au transistor 12 de tirer son courant de collecteur non par la base du transistor 10 mais par le transistor 9, sans incidence notable sur la limitation de courant.

[0049] La figure 3 illustre par ailleurs une variante consistant à remplacer le court-circuit de la base et du collecteur du transistor 11 comme représenté en figure 2 par une résistance R11. La présence de la résistance R11 permet d'avancer l'instant de début de conduction du transistor 15 sans qu'il soit nécessaire d'attendre une saturation trop importante du transistor 10.

[0050] La figure 4 illustre une variante de réalisation d'un circuit 9' de limitation de courant.

[0051] Par rapport au mode de réalisation de la figure 3, cette variante consiste à ôter le circuit 9 (relier donc directement le collecteur du transistor 10 au collecteur du transistor 3) et à connecter un dispositif 9' en amont de la borne IN. Plus précisément, une résistance de shunt R_s est intercalée entre la borne d'application du potentiel V_{cc} et la borne IN. Deux transistors de type PNP 16 et 17 sont connectés en miroir autour de la résistance R_s , l'émetteur du transistor 16 étant connecté à la borne V_{cc} tandis que l'émetteur du transistor 17 est connecté à la borne IN, les collecteurs respectifs des transistors 16 et 17 étant connectés à deux sources de courant 19 et 20 de même valeur, préférentiellement réalisées par un montage à transistors de type miroir de courant, et leur base étant interconnectées au collecteur du transistor 17. Par ailleurs, le collecteur du transistor 16 est connecté à la base d'un transistor NPN 18 dont le collecteur est relié à la borne IN et dont l'émetteur est relié au collecteur du transistor 4. Le reste du circuit de la figure 3 n'a pas été représenté en figure 4.

[0052] Le courant de limitation du circuit 9' est fixé par le rapport de surfaces d'émetteurs des transistors 16 et 17. En posant ce rapport égal à P, le courant de limitation est de l'ordre de $V_t \cdot \log(P) / R_s$, où V_t désigne le potentiel thermique (environ 26 mV à 27°C).

[0053] Bien entendu, la présente invention est susceptible de diverses variantes et modifications qui apparaîtront à l'homme de l'art. En particulier, les dimensions à donner aux différents transistors et résistances sont à la portée de l'homme du métier à partir des indications fonctionnelles données ci-dessus et de l'application.

[0054] De plus, on notera que la structure proposée par l'invention est duale, c'est-à-dire qu'elle peut s'appliquer à une tension V_{cc} négative en remplaçant tous les transistors PNP par des transistors NPN et tous les transistors NPN par des transistors PNP.

[0055] En outre, l'adjonction du circuit 8 de protection contre des courts-circuits, du circuit 9 de limitation du courant, ou du transistor de délestage 15 reste optionnelle en fonction de l'application.

Revendications

1. Commutateur en technologie bipolaire comprenant :

un premier transistor principal (1) d'un premier type reliant une borne d'entrée (IN), destinée à être connectée à une première borne d'application d'une tension d'alimentation continue (V_{cc}), à une borne de sortie (OUT) destinée à être connectée à une charge (Q) à alimenter ;
un deuxième transistor bipolaire (2) de même type que le premier, connecté entre ladite borne

d'entrée et une entrée d'un circuit miroir de courant (3, 4) dont une sortie de recopie est connectée à la base du premier transistor, les bases des premier et deuxième transistors étant interconnectées et le premier transistor ayant une surface d'émetteur supérieure au second,

caractérisé en ce qu'il comporte en outre un circuit (6) de polarisation du deuxième transistor consistant en la recopie de la tension de sortie du commutateur sur le collecteur de ce deuxième transistor.

2. Commutateur selon la revendication 1, dans lequel ledit circuit miroir de courant (3, 4) est constitué d'un troisième transistor bipolaire (3) d'un deuxième type et d'un quatrième transistor bipolaire (4) du deuxième type reliant la base du premier transistor (1) à une deuxième borne (M) d'application de la tension d'alimentation, les bases des troisième et quatrième transistors étant interconnectées au collecteur du troisième transistor reliant le collecteur du deuxième transistor par l'intermédiaire d'un cinquième transistor bipolaire (10) du premier type appartenant au circuit de polarisation (6).
3. Commutateur selon la revendication 2, dans lequel le quatrième transistor (4) a une surface d'émetteur supérieure à celle du troisième transistor (3).
4. Commutateur selon la revendication 2 ou 3, dans lequel le circuit de polarisation comporte en outre un sixième transistor (11) du deuxième type connecté entre ladite borne de sortie (OUT) par son émetteur et un septième transistor bipolaire (12) du deuxième type monté en miroir de courant sur lesdits troisième (3) et quatrième (4) transistors, la surface d'émetteur du septième transistor étant, de préférence, identique à celle du troisième transistor.
5. Commutateur selon l'une quelconque des revendications 2 à 4, dans lequel une source de courant (7) de démarrage relie la base du premier transistor (1) à la deuxième borne d'application de la tension d'alimentation.
6. Commutateur selon l'une quelconque des revendications 2 à 5, dans lequel un circuit (8) d'aide au démarrage injecte un courant sur le collecteur du deuxième transistor (2), le circuit d'aide au démarrage étant de préférence constitué d'une résistance (R8) en série avec un huitième transistor (13) du premier type connecté entre la borne d'entrée (IN) et ledit collecteur du deuxième transistor, la base du huitième transistor étant connectée à la base du premier transistor (1) de façon à injecter un courant image du courant de sortie.

7. Commutateur selon l'une quelconque des revendications 2 à 6, comprenant un circuit de limitation du courant interne constitué, de préférence, d'une résistance (R9) intercalée entre les collecteurs des cinquième (10) et troisième (3) transistors, et d'un neuvième transistor (14) de dérivation du courant vers la masse.

8. Commutateur selon l'une quelconque des revendications 1 à 7, dans lequel les transistors du premier type sont des transistors PNP, les transistors du second type étant des transistors NPN.

9. Commutateur selon l'une quelconque des revendications 1 à 7, dans lequel les transistors du premier type sont des transistors de type NPN, les transistors du second type étant des transistors de type PNP.

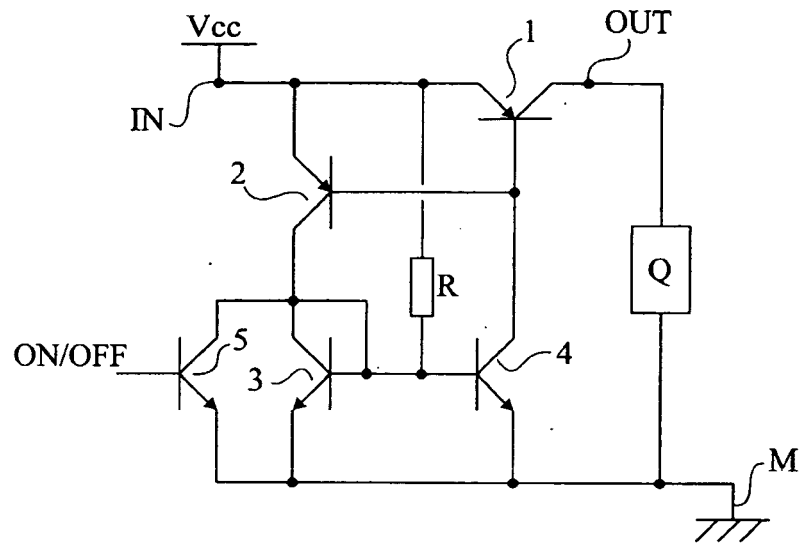


Fig 1

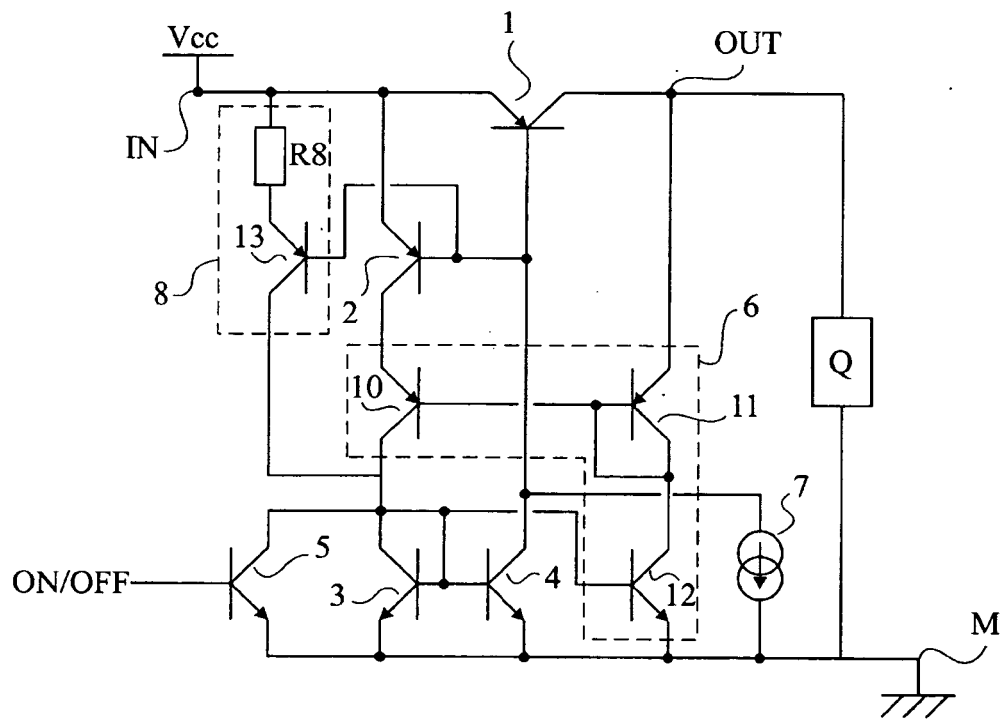


Fig 2

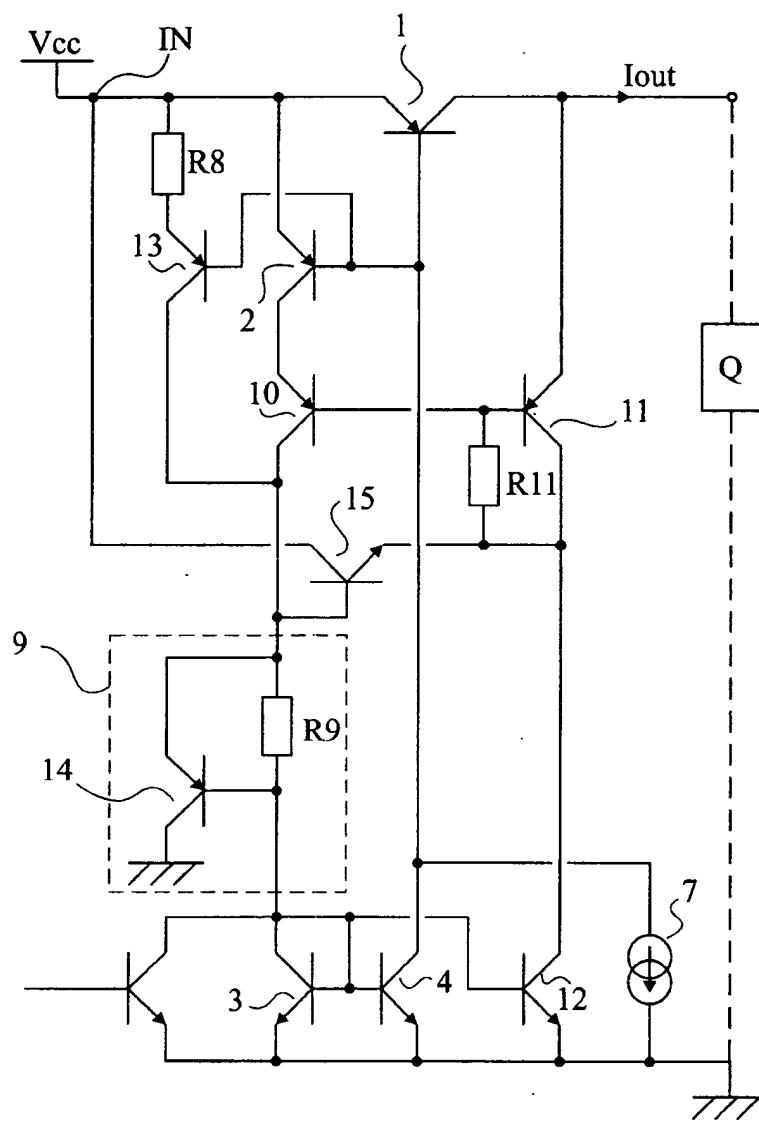


Fig 3

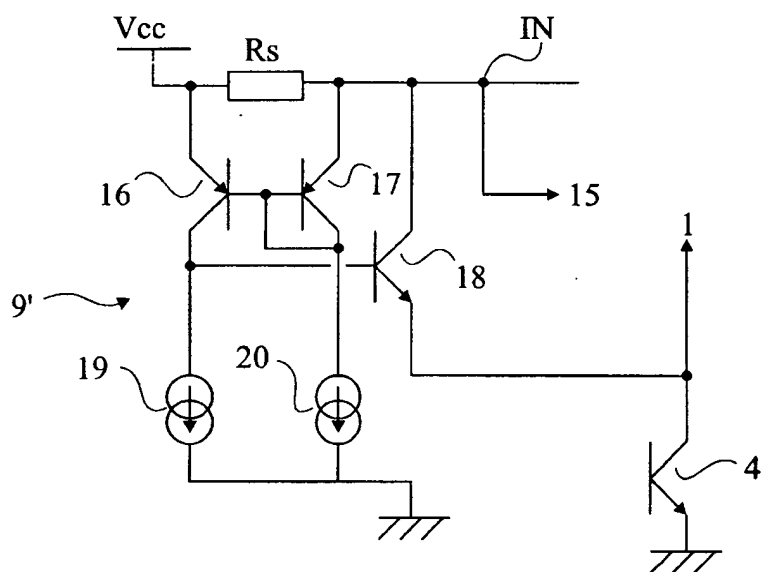


Fig 4



Office européen
des brevets

RAPPORT DE RECHERCHE EUROPEENNE

Numéro de la demande
EP 04 30 0320

DOCUMENTS CONSIDERES COMME PERTINENTS			
Catégorie	Citation du document avec indication, en cas de besoin, des parties pertinentes	Revendication concernée	CLASSEMENT DE LA DEMANDE (Int.Cl.7)
A	US 5 661 395 A (JOHNSON DAVID K ET AL) 26 août 1997 (1997-08-26) * abrégé; figure 3 *	1-9	G05F3/22
A	----- PATENT ABSTRACTS OF JAPAN vol. 013, no. 142 (E-739), 7 avril 1989 (1989-04-07) & JP 63 304705 A (TOSHIBA CORP), 13 décembre 1988 (1988-12-13) * abrégé *	1-9	
A	----- US 4 645 999 A (SZEPESEI TAMAS S) 24 février 1987 (1987-02-24) * abrégé *	1-9	
			DOMAINES TECHNIQUES RECHERCHES (Int.Cl.7)
			G05F
Le présent rapport a été établi pour toutes les revendications			
Lieu de la recherche Munich		Date d'achèvement de la recherche 19 août 2004	Examineur Olloff, H
CATEGORIE DES DOCUMENTS CITES X : particulièrement pertinent à lui seul Y : particulièrement pertinent en combinaison avec un autre document de la même catégorie A : arrière-plan technologique O : divulgation non-écrite P : document intercalaire T : théorie ou principe à la base de l'invention E : document de brevet antérieur, mais publié à la date de dépôt ou après cette date D : cité dans la demande L : cité pour d'autres raisons & : membre de la même famille, document correspondant			

EPO FORM 1503 03 82 (P04C02)

**ANNEXE AU RAPPORT DE RECHERCHE EUROPEENNE
RELATIF A LA DEMANDE DE BREVET EUROPEEN NO.**

EP 04 30 0320

La présente annexe indique les membres de la famille de brevets relatifs aux documents brevets cités dans le rapport de recherche européenne visé ci-dessus.

Lesdits membres sont contenus au fichier informatique de l'Office européen des brevets à la date du

Les renseignements fournis sont donnés à titre indicatif et n'engagent pas la responsabilité de l'Office européen des brevets.

19-08-2004

Document brevet cité au rapport de recherche		Date de publication	Membre(s) de la famille de brevet(s)	Date de publication
US 5661395	A	26-08-1997	KR 249335 B1	15-03-2000
JP 63304705	A	13-12-1988	JP 2005561 C	11-01-1996
			JP 7036496 B	19-04-1995
			US 4857864 A	15-08-1989
US 4645999	A	24-02-1987	AUCUN	

EPO FORM P0460

Pour tout renseignement concernant cette annexe : voir Journal Officiel de l'Office européen des brevets, No.12/82