



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2024년01월24일

(11) 등록번호 10-2628719

(24) 등록일자 2024년01월19일

(51) 국제특허분류(Int. Cl.)

H01L 29/786 (2006.01) H01L 21/02 (2006.01)

H01L 21/28 (2006.01) H01L 21/285 (2006.01)

H01L 21/3115 (2006.01) H01L 21/768 (2006.01)

H01L 21/8258 (2006.01) H01L 29/24 (2006.01)

H01L 29/66 (2006.01)

(52) CPC특허분류

H01L 29/7869 (2013.01)

H01L 21/0206 (2013.01)

(21) 출원번호 10-2018-7024777

(22) 출원일자(국제) 2017년01월30일

심사청구일자 2021년12월10일

(85) 번역문제출일자 2018년08월28일

(65) 공개번호 10-2018-0124032

(43) 공개일자 2018년11월20일

(86) 국제출원번호 PCT/IB2017/050471

(87) 국제공개번호 WO 2017/137864

국제공개일자 2017년08월17일

(30) 우선권주장

JP-P-2016-024794 2016년02월12일 일본(JP)

(56) 선행기술조사문헌

KR1020150091003 A

(뒷면에 계속)

전체 청구항 수 : 총 7 항

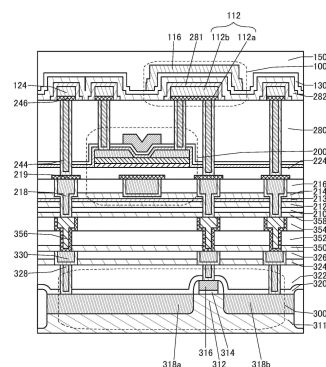
심사관 : 방기인

(54) 발명의 명칭 반도체 장치 및 그 제작 방법

(57) 요약

소형화 및 고집적화에 적합한 신뢰성이 높은 반도체 장치를 제공한다. 반도체 장치는 제 1 절연체; 제 1 절연체 위의 트랜지스터; 트랜지스터 위의 제 2 절연체; 제 2 절연체의 개구에 매립된 제 1 도전체; 제 1 도전체 위의 배리어층; 제 2 절연체 및 배리어층 위의 제 3 절연체; 및 제 3 절연체 위의 제 2 도전체를 포함한다. 제 1 절연체, 제 3 절연체, 및 배리어층은 산소 및 수소에 대한 배리어성을 갖는다. 제 2 절연체는 과잉 산소 영역을 포함한다. 트랜지스터는 산화물 반도체를 포함한다. 배리어층, 제 3 절연체, 및 제 2 도전체는 용량 소자로서 기능한다.

대표도 - 도1



(52) CPC특허분류

H01L 21/0214 (2013.01)
H01L 21/02178 (2013.01)
H01L 21/02183 (2013.01)
H01L 21/02266 (2013.01)
H01L 21/0228 (2013.01)
H01L 29/66969 (2013.01)
H01L 29/78606 (2013.01)
H01L 29/78648 (2013.01)
H01L 29/78696 (2013.01)

(56) 선행기술조사문헌

JP2015109425 A
KR1020150028760 A
JP2015144271 A
JP2008010758 A

(72) 발명자

가토 기요시

일본국 2430036 가나가와켄 아쓰기시 하세 398 가
부시키가이샤 한도오따이 에네루기 켄큐쇼 나이

오카모토 사토루

일본국 2430036 가나가와켄 아쓰기시 하세 398 가
부시키가이샤 한도오따이 에네루기 켄큐쇼 나이

명세서

청구범위

청구항 1

반도체 장치의 제작 방법으로서,

제 1 트랜지스터 위에 제 1 절연체를 형성하는 단계 — 상기 제 1 트랜지스터의 채널 형성 영역은 반도체 기판의 일부를 포함함 —;

상기 제 1 절연체 위에 제 2 트랜지스터를 형성하는 단계 — 상기 제 2 트랜지스터의 채널 형성 영역은 산화물 반도체를 포함함 —;

상기 제 2 트랜지스터 위에 제 2 절연체를 형성하는 단계;

상기 제 2 트랜지스터에 도달하는 개구를 상기 제 2 절연체에 형성하는 단계;

상기 제 2 절연체 위에 제 1 도전체를 형성하여 상기 제 2 절연체의 상기 개구에 상기 제 1 도전체를 매립하는 단계;

상기 제 1 도전체의 일부를 제거하여 상기 제 2 절연체의 상면을 노출시키는 단계;

상기 제 1 도전체 위에 배리어층을 형성하는 단계;

상기 배리어층 및 상기 제 2 절연체에 산소 플라즈마 처리를 수행하는 단계;

상기 배리어층 및 상기 제 2 절연체 위에 제 3 절연체를 형성하는 단계; 및

상기 제 3 절연체 위에 제 2 도전체를 형성하는 단계를 포함하며,

상기 배리어층, 상기 제 3 절연체, 및 상기 제 2 도전체는 서로 중첩되고 용량 소자로서 기능하고,

상기 제 1 절연체, 상기 배리어층, 및 상기 제 3 절연체는 각각 산소 및 수소에 대한 배리어성을 갖는, 반도체 장치의 제작 방법.

청구항 2

제 1 항에 있어서,

상기 배리어층은 ALD법에 의하여 형성된 질화 탄탈륨을 포함하는, 반도체 장치의 제작 방법.

청구항 3

제 1 항에 있어서,

상기 배리어층은 ALD법에 의하여 형성된 산화 알루미늄을 포함하는, 반도체 장치의 제작 방법.

청구항 4

반도체 장치로서,

제 1 트랜지스터 위의 제 1 절연체 — 상기 제 1 트랜지스터의 채널 형성 영역은 반도체 기판의 일부를 포함함 —;

상기 제 1 절연체 위의 제 2 트랜지스터 — 상기 제 2 트랜지스터의 채널 형성 영역은 산화물 반도체를 포함함 —;

상기 제 2 트랜지스터 위의 제 2 절연체로서, 상기 제 2 절연체는 상기 제 2 트랜지스터에 도달하는 개구를 포함하는 상기 제 2 절연체;

상기 제 2 절연체의 상기 개구에 매립되는 제 1 도전체;

상기 제 1 도전체 위의 배리어층;

상기 배리어층 및 상기 제 2 절연체 위의 제 3 절연체; 및

상기 제 3 절연체 위의 제 2 도전체를 포함하며,

상기 배리어층, 상기 제 3 절연체, 및 상기 제 2 도전체는 서로 중첩되고 용량 소자로서 기능하고,

상기 제 1 절연체, 상기 배리어층, 및 상기 제 3 절연체는 각각 산소 및 수소에 대한 배리어성을 갖는, 반도체 장치.

청구항 5

제 4 항에 있어서,

상기 제 1 도전체, 상기 배리어층, 상기 제 3 절연체, 및 상기 제 2 도전체는 서로 중첩되고 용량 소자로서 기능하는, 반도체 장치.

청구항 6

제 4 항에 있어서,

상기 제 2 트랜지스터가 제공되는 영역의 외주에서, 상기 제 1 절연체 및 상기 배리어층은 서로 접촉하여 상기 제 2 트랜지스터 및 상기 제 2 절연체를 둘러싸는, 반도체 장치.

청구항 7

제 4 항에 있어서,

상기 제 1 도전체는 상기 제 2 트랜지스터와 전기적으로 접속되는 배선인, 반도체 장치.

청구항 8

삭제

청구항 9

삭제

청구항 10

삭제

청구항 11

삭제

청구항 12

삭제

청구항 13

삭제

청구항 14

삭제

청구항 15

삭제

발명의 설명

기술 분야

- [0001] 본 발명은 물건, 방법, 또는 제작 방법에 관한 것이다. 본 발명은 공정(process), 기계(machine), 제품(manufacture), 또는 조성물(composition of matter)에 관한 것이다. 본 발명의 일 형태는 반도체 장치, 발광 장치, 표시 장치, 전자 기기, 조명 장치, 및 이들 장치 중 어느 것의 제작 방법에 관한 것이다. 특히, 본 발명의 일 형태는 전원 회로에 탑재되는 파워 디바이스, 메모리 또는 CPU 등의 LSI, 및 사이리스터, 컨버터, 및 이미지 센서 등을 포함하는 반도체 집적 회로를 부품으로서 포함하는 전자 기기에 관한 것이다. 예를 들어, 본 발명의 일 형태는 유기 일렉트로루미네선스(이하, EL이라고도 함) 현상을 이용한 발광 장치, 및 이 발광 장치의 제작 방법에 관한 것이다.
- [0002] 또한, 본 발명의 일 형태는 상술한 기술분야에 한정되지 않는다.
- [0003] 본 명세서에서, 반도체 장치란 반도체 특성을 이용함으로써 기능할 수 있는 장치를 일반적으로 의미한다. 전기 광학 장치, 반도체 회로, 및 전자 기기는 반도체 장치를 포함하는 경우가 있다.

배경 기술

- [0004] 근년, 반도체 소자를 포함하는 LSI(예를 들어, CPU 또는 메모리)가 개발되고 있다. CPU는 반도체 웨이퍼로부터 분리된 반도체 집적 회로(적어도 트랜지스터 및 메모리를 포함함)를 포함하고, 접속 단자인 전극이 각각 제공된 반도체 소자의 집합체이다.
- [0005] 메모리 또는 CPU 등의 LSI를 포함하는 반도체 회로는, 회로 기관, 예를 들어 인쇄 배선 기관에 탑재되어 다양한 전자 기기의 부품 중 하나로서 사용된다.
- [0006] 절연 표면을 갖는 기관 위에 형성된 반도체 박막을 사용하여 트랜지스터를 형성하는 기술이 주목을 받고 있다. 이 트랜지스터는 집적 회로(IC) 또는 화상 표시 장치(단순히 표시 장치라고도 함) 등의 전자 기기에 널리 적용되고 있다. 트랜지스터에 적용할 수 있는 반도체 박막의 재료로서 실리콘계 반도체 재료가 널리 알려져 있다. 이와 다른 재료로서는, 산화물 반도체가 주목을 받고 있다.
- [0007] 산화물 반도체를 포함하는 트랜지스터는 오프 상태에서의 누설 전류가 매우 낮다는 것이 알려져 있다. 예를 들어, 산화물 반도체를 포함하는 트랜지스터의 누설 전류가 낮다는 특성을 이용한 저소비전력의 CPU가 개시(開示)되어 있다(특허문헌 1 참조).
- [0008] 산화물 반도체를 포함하는 트랜지스터는 비정질 실리콘을 포함하는 트랜지스터보다 빠른 속도로 동작할 수 있고, 다결정 실리콘을 포함하는 트랜지스터보다 더 쉽게 제작될 수 있지만, 전기 특성이 변동될 가능성이 높아 신뢰성이 낮다는 문제를 갖는 것으로 알려져 있다. 예를 들어, 바이어스-온도 스트레스 시험(BT 시험) 후에 트랜지스터의 문턱 전압이 변동되는 경우가 있다.

선행기술문헌

특허문헌

- [0009] (특허문헌 0001) 일본 공개특허공보 특개2012-257187호

발명의 내용

해결하려는 과제

- [0010] 본 발명의 일 형태의 과제는 산화물 반도체를 포함하는 반도체 장치의 신뢰성을 향상시키는 것이다. 산화물 반도체를 포함하는 트랜지스터는 노멀리 온 특성을 갖는 경향이 있고, 적절히 동작하는 논리 회로를 구동 회로에 제공하기 어렵다는 문제가 있다. 따라서, 본 발명의 일 형태의 과제는, 산화물 반도체를 포함하는 트랜지스터의 노멀리 오프 특성을 얻는 것이다.
- [0011] 또 다른 과제는 신뢰성이 높은 트랜지스터를 제공하는 것이다. 또 다른 과제는 오프 상태에서의 누설 전류가 매우 낮은 트랜지스터를 제공하는 것이다.
- [0012] 또 다른 과제는 신뢰성이 높은 반도체 장치를 제공하는 것이다. 또 다른 과제는 생산성이 높은 반도체 장치를

제공하는 것이다. 또 다른 과제는 수율이 높은 반도체 장치를 제공하는 것이다. 또 다른 과제는 점유 면적이 작은 반도체 장치를 제공하는 것이다.

[0013] 또는, 과제는 집적도가 높은 반도체 장치를 제공하는 것이다. 또 다른 과제는 고속으로 동작할 수 있는 반도체 장치를 제공하는 것이다. 또 다른 과제는 소비전력이 낮은 반도체 장치를 제공하는 것이다.

[0014] 또 다른 과제는 신규 반도체 장치를 제공하는 것이다. 또 다른 과제는 상술한 반도체 장치들 중 어느 것을 포함하는 모듈을 제공하는 것이다. 또 다른 과제는 상술한 반도체 장치들 또는 모듈 중 어느 것을 포함하는 전자 기기를 제공하는 것이다.

[0015] 또한, 이들 과제의 기재는 다른 과제의 존재를 방해하지 않는다. 본 발명의 일 형태에서는, 모든 과제를 달성할 필요는 없다. 다른 과제는 명세서, 도면, 및 청구항 등의 기재로부터 명백해질 것이고 추출될 수 있다.

과제의 해결 수단

[0016] 본 발명의 일 형태는 제 1 절연체; 제 1 절연체 위의 트랜지스터; 트랜지스터 위의 제 2 절연체; 제 2 절연체의 개구에 매립된 제 1 도전체; 제 1 도전체 위의 배리어층; 제 2 절연체 및 배리어층 위의 제 3 절연체; 및 제 3 절연체 위의 제 2 도전체를 포함하는 반도체 장치이다. 제 1 절연체, 제 3 절연체, 및 배리어층은 산소 및 수소에 대한 배리어성을 갖는다. 제 2 절연체는 과잉 산소 영역을 포함한다. 트랜지스터는 산화물 반도체를 포함한다. 배리어층, 제 3 절연체, 및 제 2 도전체는 용량 소자로서 기능한다.

[0017] 본 발명의 일 형태는 제 1 절연체; 제 1 절연체 위의 트랜지스터; 트랜지스터 위의 제 2 절연체; 제 2 절연체의 개구에 매립된 제 1 도전체; 제 1 도전체 위의 배리어층; 제 2 절연체 및 배리어층 위의 제 3 절연체; 및 제 3 절연체 위의 제 2 도전체를 포함하는 반도체 장치이다. 제 1 절연체, 제 3 절연체, 및 배리어층은 산소 및 수소에 대한 배리어성을 갖는다. 제 2 절연체는 과잉 산소 영역을 포함한다. 트랜지스터는 산화물 반도체를 포함한다. 제 1 도전체, 배리어층, 제 3 절연체, 및 제 2 도전체는 용량 소자로서 기능한다.

[0018] 상술한 구조 중 어느 것에서는, 트랜지스터가 제공된 영역의 외주에서 제 1 절연체와 배리어층이 서로 접촉하여, 트랜지스터 및 제 2 절연체를 둘러싼다.

[0019] 상술한 구조 중 어느 것에서는, 배리어층은 도전성을 갖는 막과 절연성을 갖는 막을 포함하는 적층 구조를 갖는다.

[0020] 상술한 구조 중 어느 것에서는, 제 1 도전체는 배선의 기능을 갖는다.

[0021] 본 발명의 일 형태는 상술한 구조 중 어느 것의 복수의 반도체 장치와, 다이싱용 영역을 포함하는 반도체 웨이퍼이다.

[0022] 본 발명의 일 형태는, 산소 및 수소에 대한 배리어성을 갖는 제 1 절연체를 형성하는 단계; 제 1 절연체 위에 트랜지스터를 형성하는 단계; 트랜지스터 위에 제 2 절연체를 형성하는 단계; 제 2 절연체에 트랜지스터에 도달하는 개구를 형성하는 단계; 개구 위 및 제 2 절연체 위에 제 1 도전체를 형성하는 단계; 제 1 도전체의 일부를 제거하여 제 2 절연체의 상면을 노출시키고 제 2 절연체에 제 1 도전체를 매립하는 단계; 제 1 도전체 위에 산소 및 수소에 대한 배리어성을 갖는 배리어층을 형성하는 단계; 배리어층 및 제 2 절연체에 산소 플라스마 처리를 수행한 다음, 배리어층 및 제 2 절연체 위에 산소 및 수소에 대한 배리어성을 갖는 제 3 절연체를 형성하는 단계; 및 제 3 절연체를 개재(介在)하여 제 1 도전체와 중첩되는 영역에 제 2 도전체를 형성하여 용량 소자를 형성하는 단계를 포함하는 반도체 장치의 제작 방법이다.

[0023] 상술한 구조에서, 배리어층은 ALD법에 의하여 형성된 질화 탄탈륨을 포함한다.

[0024] 상술한 구조에서, 배리어층은 ALD법에 의하여 형성된 산화 알루미늄을 포함한다.

[0025] 상술한 구조에서, 제 3 절연체는 스퍼터링법에 의하여 형성된 산화 알루미늄을 포함한다.

발명의 효과

[0026] 산화물 반도체를 포함하는 트랜지스터를 포함하는 반도체 장치에서는, 전기 특성의 변동을 방지할 수 있고 신뢰성을 향상시킬 수 있다. 온 상태 전류가 높은 산화물 반도체를 포함하는 트랜지스터를 제공할 수 있다. 오프 상태 전류가 낮은 산화물 반도체를 포함하는 트랜지스터를 제공할 수 있다. 소비전력이 낮은 반도체 장치를 제공할 수 있다.

[0027] 또는, 신규 반도체 장치를 제공할 수 있다. 상기 반도체 장치를 포함하는 모듈을 제공할 수 있다. 상기 반도체 장치 또는 모듈을 포함하는 전자 기기를 제공할 수 있다.

[0028] 또한, 이들 효과의 기재는 다른 효과의 존재를 방해하지 않는다. 본 발명의 일 형태는 상술한 효과 모두를 갖지 않아도 된다. 다른 효과는 명세서, 도면, 및 청구항 등의 기재로부터 명백해질 것이고 추출될 수 있다.

도면의 간단한 설명

- [0029] 도 1은 일 형태에 따른 반도체 장치의 단면 구조를 도시한 것.
 도 2는 일 형태에 따른 반도체 장치의 단면 구조를 도시한 것.
 도 3은 일 형태에 따른 반도체 장치의 단면 구조를 도시한 것.
 도 4는 일 형태에 따른 반도체 장치의 단면 구조를 도시한 것.
 도 5는 일 형태에 따른 반도체 장치의 단면 구조를 도시한 것.
 도 6은 일 형태에 따른 반도체 장치의 단면 구조를 도시한 것.
 도 7의 (A) 및 (B)는 일 형태에 따른 반도체 장치의 단면 구조를 각각 도시한 것.
 도 8의 (A) 및 (B)는 각각 일 형태에 따른 반도체 장치의 회로도.
 도 9의 (A) 및 (B)는 일 형태에 따른 반도체 장치의 단면 구조를 도시한 것.
 도 10의 (A)는 일 형태에 따른 반도체 장치의 회로도이고, 도 10의 (B)는 반도체 장치의 단면 구조를 도시한 것.
 도 11은 일 형태에 따른 반도체 장치의 단면 구조를 도시한 것.
 도 12의 (A) 내지 (D)는 일 형태에 따른 반도체 장치의 제작 방법의 예를 도시한 것.
 도 13의 (A) 내지 (C)는 일 형태에 따른 반도체 장치의 제작 방법의 예를 도시한 것.
 도 14의 (A) 및 (B)는 일 형태에 따른 반도체 장치의 제작 방법의 예를 도시한 것.
 도 15의 (A) 및 (B)는 일 형태에 따른 반도체 장치의 제작 방법의 예를 도시한 것.
 도 16의 (A) 및 (B)는 일 형태에 따른 반도체 장치의 제작 방법의 예를 도시한 것.
 도 17은 일 형태에 따른 반도체 장치의 제작 방법의 예를 도시한 것.
 도 18은 일 형태에 따른 반도체 장치의 제작 방법의 예를 도시한 것.
 도 19는 일 형태에 따른 반도체 장치의 제작 방법의 예를 도시한 것.
 도 20은 일 형태에 따른 반도체 장치의 제작 방법의 예를 도시한 것.
 도 21은 일 형태에 따른 반도체 장치의 제작 방법의 예를 도시한 것.
 도 22는 일 형태에 따른 반도체 장치의 제작 방법의 예를 도시한 것.
 도 23은 일 형태에 따른 반도체 장치의 제작 방법의 예를 도시한 것.
 도 24의 (A)는 일 형태에 따른 트랜지스터의 상면도이고, 도 24의 (B) 및 (C)는 트랜지스터의 단면 구조를 도시한 것.
 도 25의 (A)는 일 형태에 따른 트랜지스터의 상면도이고, 도 25의 (B) 및 (C)는 트랜지스터의 단면 구조를 도시한 것.
 도 26의 (A)는 일 형태에 따른 트랜지스터의 상면도이고, 도 26의 (B) 및 (C)는 트랜지스터의 단면 구조를 도시한 것.
 도 27의 (A)는 일 형태에 따른 트랜지스터의 상면도이고, 도 27의 (B) 및 (C)는 트랜지스터의 단면 구조를 도시한 것.
 도 28의 (A)는 일 형태에 따른 트랜지스터의 상면도이고, 도 28의 (B) 및 (C)는 트랜지스터의 단면 구조를 도시

한 것.

도 29의 (A)는 일 형태에 따른 트랜지스터의 상면도이고, 도 29의 (B) 및 (C)는 트랜지스터의 단면 구조를 도시한 것.

도 30의 (A)는 일 형태에 따른 트랜지스터의 상면도이고, 도 30의 (B) 및 (C)는 트랜지스터의 단면 구조를 도시한 것.

도 31의 (A)는 일 형태에 따른 트랜지스터의 상면도이고, 도 31의 (B) 및 (C)는 트랜지스터의 단면 구조를 도시한 것.

도 32의 (A) 내지 (E)는 일 형태에 따른 트랜지스터의 제작 방법의 예를 도시한 것.

도 33의 (A) 내지 (D)는 일 형태에 따른 트랜지스터의 제작 방법의 예를 도시한 것.

도 34의 (A) 내지 (C)는 일 형태에 따른 트랜지스터의 제작 방법의 예를 도시한 것.

도 35의 (A) 내지 (C)는 일 형태에 따른 트랜지스터의 제작 방법의 예를 도시한 것.

도 36의 (A) 내지 (C)는 본 발명의 일 형태에 따른 산화물 반도체의 원자수비의 범위를 각각 도시한 것.

도 37은 InMnO_4 결정 구조를 도시한 것.

도 38의 (A) 내지 (C)는 산화물 반도체의 적층 구조의 밴드도.

도 39의 (A) 내지 (E)는 XRD에 의한 CAAC-OS 및 단결정 산화물 반도체의 구조 분석, 및 CAAC-OS의 제한 시야 전자 회절 패턴을 나타낸 것.

도 40의 (A) 내지 (E)는 CAAC-OS의 단면 TEM 이미지 및 평면 TEM 이미지, 및 그 분석을 통하여 얻은 이미지를 나타낸 것.

도 41의 (A) 내지 (D)는 nc-OS의 전자 회절 패턴 및 단면 TEM 이미지를 나타낸 것.

도 42의 (A) 및 (B)는 a-like OS의 단면 TEM 이미지를 나타낸 것.

도 43은 전자 조사에 의하여 유발되는 In-Ga-Zn 산화물의 결정부의 변화를 나타낸 것.

도 44는 산화물 반도체막을 채널 영역으로서 사용하는 트랜지스터의 에너지 밴드도를 나타낸 것.

도 45는 본 발명의 일 형태에 따른 기억 장치를 도시한 회로도.

도 46은 본 발명의 일 형태에 따른 기억 장치를 도시한 회로도.

도 47의 (A) 내지 (C)는 본 발명의 일 형태를 나타낸 회로도 및 타이밍 차트.

도 48의 (A) 내지 (C)는 본 발명의 일 형태를 도시한 그래프 및 회로도.

도 49의 (A) 및 (B)는 본 발명의 일 형태를 나타낸 회로도 및 타이밍 차트.

도 50의 (A) 및 (B)는 본 발명의 일 형태를 나타낸 회로도 및 타이밍 차트.

도 51의 (A) 내지 (E)는 본 발명의 일 형태를 도시한 블록도, 회로도, 및 파형도.

도 52의 (A) 및 (B)는 본 발명의 일 형태를 나타낸 회로도 및 타이밍 차트.

도 53의 (A) 및 (B)는 본 발명의 일 형태를 각각 도시한 회로도.

도 54의 (A) 내지 (C)는 본 발명의 일 형태를 각각 도시한 회로도.

도 55의 (A) 및 (B)는 본 발명의 일 형태를 각각 도시한 회로도.

도 56의 (A) 내지 (C)는 본 발명의 일 형태를 각각 도시한 회로도.

도 57의 (A) 및 (B)는 본 발명의 일 형태를 각각 도시한 회로도.

도 58은 본 발명의 일 형태에 따른 반도체 장치를 도시한 블록도.

도 59는 본 발명의 일 형태에 따른 반도체 장치를 포함하는 회로도.

도 60의 (A) 및 (B)는 본 발명의 일 형태에 따른 반도체 장치를 각각 도시한 상면도.
 도 61의 (A) 및 (B)는 본 발명의 일 형태에 따른 반도체 장치를 각각 도시한 블록도.
 도 62의 (A) 및 (B)는 본 발명의 일 형태에 따른 반도체 장치를 각각 도시한 단면도.
 도 63은 본 발명의 일 형태에 따른 반도체 장치를 도시한 단면도.
 도 64의 (A) 및 (B)는 본 발명의 일 형태에 따른 반도체 장치를 도시한 상면도.
 도 65의 (A) 및 (B)는 본 발명의 일 형태를 나타낸 흐름도, 및 반도체 장치를 도시한 사시도.
 도 66의 (A) 내지 (F)는 본 발명의 일 형태에 따른 전자 기기를 각각 도시한 사시도.

발명을 실시하기 위한 구체적인 내용

- [0030] 이하, 도면을 참조하여 실시형태에 대하여 설명한다. 또한, 실시형태는 다양한 형태로 실시할 수 있고, 본 발명의 취지 및 범위에서 벗어나지 않고 형태 및 자세한 사항을 다양하게 변경할 수 있는 것은 통상의 기술자에 의하여 쉽게 이해된다. 따라서, 본 발명은 이하의 실시형태의 기재에 한정하여 해석되지 말아야 한다.
- [0031] 도면에서, 크기, 층의 두께, 또는 영역은 명료화를 위하여 과장되어 있는 경우가 있다. 따라서, 크기, 층의 두께, 또는 영역은 도시된 스케일에 한정되지 않는다. 또한, 도면은 이상적인 예를 나타낸 개략도이고, 본 발명의 형태들은 도면에 나타난 형상 또는 값에 한정되지 않는다. 도면에서, 같은 부분 또는 비슷한 기능을 갖는 부분은 상이한 도면에서 같은 부호로 나타내고, 그 설명은 반복하지 않는다. 또한, 비슷한 기능을 갖는 부분에는 같은 해칭 패턴을 적용하고, 이 부분을 특별히 부호로 나타내지 않는 경우가 있다.
- [0032] 또한, 본 명세서 등에서 "제 1" 및 "제 2" 등의 서수는 편의상 사용하는 것이고, 단계의 순서 또는 적층 순서를 나타내는 것은 아니다. 따라서, 예를 들어, "제 1"을 "제 2" 또는 "제 3"으로 적절히 바뀌도 설명이 가능하다. 또한, 본 명세서 등에서의 서수는 본 발명의 일 형태를 특정하는 것과 반드시 같지는 않다.
- [0033] 본 명세서에서 "위에", "상에", "아래에", 및 "밑에" 등 배치를 설명하는 용어는, 도면을 참조하여 구성 요소 간의 위치 관계를 설명함에 있어서 편의상 사용한 것이다. 또한, 구성 요소 간의 위치 관계는, 각 구성 요소를 설명하는 방향에 따라 적절히 달라진다. 따라서, 본 명세서에서 사용되는 용어에 한정은 없고, 상황에 따라 적절히 설명할 수 있다.
- [0034] 본 명세서 등에서, "반도체 장치"란, 반도체 특성을 이용함으로써 동작할 수 있는 모든 장치를 의미한다. 트랜지스터 등의 반도체 소자, 반도체 회로, 연산 장치, 및 기억 장치는 각각 반도체 장치의 일 형태이다. 촬상 장치, 표시 장치, 액정 표시 장치, 발광 장치, 전기 광학 장치, 발전 장치(박막 태양 전지 및 유기 박막 태양 전지 등을 포함함), 및 전자 기기는 각각 반도체 장치를 포함할 수 있다.
- [0035] 본 명세서 등에서 트랜지스터는, 게이트, 드레인, 및 소스의 적어도 3개의 단자를 갖는 소자이다. 트랜지스터는 드레인(드레인 단자, 드레인 영역, 또는 드레인 전극)과 소스(소스 단자, 소스 영역, 또는 소스 전극) 사이에 채널 영역을 갖고, 드레인, 채널 영역, 및 소스를 통하여 전류가 흐를 수 있다. 또한, 본 명세서 등에서 채널 영역이란, 전류가 주로 흐르는 영역을 말한다.
- [0036] 또한, 소스와 드레인의 기능은, 예를 들어 다른 극성의 트랜지스터를 채용하거나, 또는 회로 동작에서 전류 흐름의 방향이 변화될 때에 바뀔 수 있다. 그러므로, 본 명세서 등에서는, "소스"와 "드레인"의 용어를 서로 바꿀 수 있다.
- [0037] 또한, 본 명세서 등에서 산화 질화 실리콘막이란, 산소의 비율이 질소의 비율보다 높은 막을 말한다. 산화 질화 실리콘막은 산소, 질소, 실리콘, 및 수소를 각각, 55atomic% 내지 65atomic%, 1atomic% 내지 20atomic%, 25atomic% 내지 35atomic%, 및 0.1atomic% 내지 10atomic% 범위의 농도로 포함하는 것이 바람직하다. 질화 산화 실리콘막이란, 질소의 비율이 산소의 비율보다 높은 막을 말한다. 질화 산화 실리콘막은 질소, 산소, 실리콘, 및 수소를 각각, 55atomic% 내지 65atomic%, 1atomic% 내지 20atomic%, 25atomic% 내지 35atomic%, 및 0.1atomic% 내지 10atomic% 범위의 농도로 포함하는 것이 바람직하다.
- [0038] 본 명세서 등에서는, "막" 및 "층"이라는 용어를 서로 교체할 수 있다. 예를 들어, "도전층"이라는 용어를 "도전막"이라는 용어로 바꿀 수 있는 경우가 있다. 또한, "절연막"이라는 용어를 "절연층"이라는 용어로 바꿀 수 있는 경우가 있다.

- [0039] 본 명세서 등에서, "평행"이라는 용어는 2개의 직선 사이에 형성되는 각도가 -10° 이상 10° 이하임을 나타내기 때문에, 그 각도가 -5° 이상 5° 이하인 경우도 포함한다. 또한, "실질적으로 평행"이라는 용어는 2개의 직선 사이에 형성되는 각도가 -30° 이상 30° 이하임을 나타낸다. "수직"이라는 용어는 2개의 직선 사이에 형성되는 각도가 80° 이상 100° 이하임을 나타내기 때문에, 그 각도가 85° 이상 95° 이하인 경우도 포함한다. 또한, "실질적으로 수직"이라는 용어는 2개의 직선 사이에 형성되는 각도가 60° 이상 120° 이하임을 나타낸다.
- [0040] 예를 들어, 본 명세서 등에서 " X 와 Y 가 접속된다"라는 명시적인 기재는 X 와 Y 가 전기적으로 접속되는 것, X 와 Y 가 기능적으로 접속되는 것, 그리고 X 와 Y 가 직접 접속되는 것을 의미한다. 따라서, 소정의 접속 관계, 예를 들어, 도면 또는 문장에 나타난 접속 관계에 한정되지 않고, 도면 또는 문장에는 다른 접속 관계가 포함된다.
- [0041] 여기서, X 및 Y 는 각각 물체(예를 들어, 장치, 소자, 회로, 배선, 전극, 단자, 도전막, 또는 층)를 나타낸다.
- [0042] X 와 Y 가 직접 접속되는 경우의 예에는, X 와 Y 사이의 전기적인 접속을 가능하게 하는 소자(예를 들어, 스위치, 트랜지스터, 용량 소자, 인덕터, 저항 소자, 다이오드, 표시 소자, 발광 소자, 및 부하)가 X 와 Y 사이에 접속되지 않는 경우와, X 와 Y 사이의 전기적인 접속을 가능하게 하는 상기 소자를 개재하지 않고 X 와 Y 가 접속되는 경우가 포함된다.
- [0043] 예를 들어, X 와 Y 가 전기적으로 접속되는 경우에는, X 와 Y 사이의 전기적인 접속을 가능하게 하는 하나 이상의 소자(예를 들어, 스위치, 트랜지스터, 용량 소자, 인덕터, 저항 소자, 다이오드, 표시 소자, 발광 소자, 또는 부하)가 X 와 Y 사이에 접속될 수 있다. 또한, 스위치는 온 또는 오프가 되도록 제어된다. 즉, 스위치는 도통 또는 비도통이 되어(온 또는 오프가 되어), 전류를 흘릴지 여부를 결정한다. 또는, 스위치는 전류 경로를 선택하고 변경하는 기능을 갖는다. 또한, X 와 Y 가 전기적으로 접속되는 경우에는 X 와 Y 가 직접 접속되는 경우가 포함된다.
- [0044] 예를 들어, X 와 Y 가 기능적으로 접속되는 경우에는, X 와 Y 사이의 기능적인 접속을 가능하게 하는 하나 이상의 회로(예를 들어, 인버터, NAND 회로, 또는 NOR 회로 등의 논리 회로; D/A 변환 회로, A/D 변환 회로, 또는 감마 보정 회로 등의 신호 변환 회로; 전원 회로(예를 들어, 스텝업 회로 또는 스텝다운 회로) 또는 신호의 전위 레벨을 변경하는 레벨 시프터 회로 등의 전위 레벨 변환 회로; 전압원; 전류원; 전환 회로; 신호 진폭 또는 전류량 등을 증가시킬 수 있는 회로, 연산 증폭기, 차동 증폭 회로, 소스 폴로어 회로, 및 버퍼 회로 등의 증폭 회로; 신호 생성 회로; 기억 회로; 또는 제어 회로)가 X 와 Y 사이에 접속될 수 있다. 예를 들어, X 와 Y 사이에 또 다른 회로가 개재되더라도 X 로부터 출력된 신호가 Y 로 전송된다면, X 와 Y 는 기능적으로 접속된다. 또한, X 와 Y 가 기능적으로 접속되는 경우에는 X 와 Y 가 직접 접속되는 경우 및 X 와 Y 가 전기적으로 접속되는 경우가 포함된다.
- [0045] 또한, 본 명세서 등에서 " X 와 Y 가 전기적으로 접속된다"라는 명시적인 기재는, X 와 Y 가 전기적으로 접속되는 것(즉, X 와 Y 가 다른 소자 또는 다른 회로를 개재하여 접속되는 경우), X 와 Y 가 기능적으로 접속되는 것(즉, X 와 Y 가 다른 회로를 개재하여 기능적으로 접속되는 경우), 그리고 X 와 Y 가 직접 접속되는 것(즉, X 와 Y 가 다른 소자 또는 다른 회로를 개재하지 않고 접속되는 경우)을 의미한다. 즉, 본 명세서 등에서 " X 와 Y 가 전기적으로 접속된다"라는 명시적인 기재는, " X 와 Y 가 접속된다"라는 기재와 같다.
- [0046] 예를 들어, 트랜지스터의 소스(또는 제 1 단자 등)가 $Z1$ 을 통하여(또는 통하지 않고) X 와 전기적으로 접속되고, 트랜지스터의 드레인(또는 제 2 단자 등)이 $Z2$ 를 통하여(또는 통하지 않고) Y 와 전기적으로 접속되는 경우, 또는 트랜지스터의 소스(또는 제 1 단자 등)가 $Z1$ 의 일부와 직접 접속되고 $Z1$ 의 또 다른 부분이 X 와 직접 접속되며, 트랜지스터의 드레인(또는 제 2 단자 등)이 $Z2$ 의 일부와 직접 접속되고 $Z2$ 의 또 다른 부분이 Y 와 직접 접속되는 경우에는 다음의 표현 중 어느 것을 사용할 수 있다.
- [0047] 상기 표현의 예에는 " X , Y , 트랜지스터의 소스(또는 제 1 단자 등), 및 트랜지스터의 드레인(또는 제 2 단자 등)은 서로 전기적으로 접속되고, X , 트랜지스터의 소스(또는 제 1 단자 등), 트랜지스터의 드레인(또는 제 2 단자 등), 및 Y 는 이 순서대로 서로 전기적으로 접속된다", "트랜지스터의 소스(또는 제 1 단자 등)는 X 와 전기적으로 접속되고, 트랜지스터의 드레인(또는 제 2 단자 등)은 Y 와 전기적으로 접속되고, X , 트랜지스터의 소스(또는 제 1 단자 등), 트랜지스터의 드레인(또는 제 2 단자 등), 및 Y 는 이 순서대로 서로 전기적으로 접속된다", 그리고 " X 는 트랜지스터의 소스(또는 제 1 단자 등) 및 드레인(또는 제 2 단자 등)을 통하여 Y 와 전기적으로 접속되고, X , 트랜지스터의 소스(또는 제 1 단자 등), 트랜지스터의 드레인(또는 제 2 단자 등), 및 Y 는 이 순서대로 접속되도록 제공된다"가 포함된다. 회로 구성에서의 접속 순서가 상기 예와 비슷한 표현에 의

하여 규정될 때, 트랜지스터의 소스(또는 제 1 단자 등) 및 드레인(또는 제 2 단자 등)은 서로 구별되어 기술적 범위를 특정할 수 있다.

[0048] 상기 표현의 다른 예에는 "트랜지스터의 소스(또는 제 1 단자 등)는 적어도 제 1 접속 경로를 통하여 X와 전기적으로 접속되고, 제 1 접속 경로는 제 2 접속 경로를 포함하지 않고, 제 2 접속 경로는 트랜지스터의 소스(또는 제 1 단자 등)와 트랜지스터의 드레인(또는 제 2 단자 등) 사이의 경로이고, Z1은 제 1 접속 경로에 있고, 트랜지스터의 드레인(또는 제 2 단자 등)은 적어도 제 3 접속 경로를 통하여 Y와 전기적으로 접속되고, 제 3 접속 경로는 제 2 접속 경로를 포함하지 않고, Z2는 제 3 접속 경로에 있다", 그리고 "트랜지스터의 소스(또는 제 1 단자 등)는 적어도 제 1 접속 경로에 의하여 Z1을 통하여 X와 전기적으로 접속되고, 제 1 접속 경로는 제 2 접속 경로를 포함하지 않고, 제 2 접속 경로는 트랜지스터가 제공된 접속 경로를 포함하고, 트랜지스터의 드레인(또는 제 2 단자 등)은 적어도 제 3 접속 경로에 의하여 Z2를 통하여 Y와 전기적으로 접속되고, 제 3 접속 경로는 제 2 접속 경로를 포함하지 않는다"가 포함된다. 트랜지스터의 소스(또는 제 1 단자 등)는 적어도 Z1을 통하여 제 1 전기적 경로에서 X와 전기적으로 접속되고, 제 1 전기적 경로는 제 2 전기적 경로를 포함하지 않고, 제 2 전기적 경로는 트랜지스터의 소스(또는 제 1 단자 등)로부터 트랜지스터의 드레인(또는 제 2 단자 등)까지의 전기적 경로이고, 트랜지스터의 드레인(또는 제 2 단자 등)은 적어도 Z2를 통하여 제 3 전기적 경로에서 Y와 전기적으로 접속되고, 제 3 전기적 경로는 제 4 전기적 경로를 포함하지 않고, 제 4 전기적 경로는 트랜지스터의 드레인(또는 제 2 단자 등)으로부터 트랜지스터의 소스(또는 제 1 단자 등)까지의 전기적 경로이다"가 표현의 또 다른 예이다. 회로 구성에서의 접속 경로를 상술한 예와 비슷한 표현에 의하여 규정하면, 트랜지스터의 소스(또는 제 1 단자 등) 및 드레인(또는 제 2 단자 등)을 서로 구별하여 기술적 범위를 특정할 수 있다.

[0049] 또한, 이들 표현은 예이고, 이 표현들에 제한은 없다. 여기서, X, Y, Z1, 및 Z2 각각은 물체(예를 들어, 장치, 소자, 회로, 배선, 전극, 단자, 도전막, 또는 층)를 나타낸다.

[0050] 회로도에서 독립적인 구성 요소가 서로 전기적으로 접속되어 있더라도, 하나의 구성 요소가 복수의 구성 요소의 기능을 갖는 경우가 있다. 예를 들어, 배선의 일부가 전극으로서도 기능하는 경우, 하나의 도전막은 배선 및 전극으로서 기능한다. 그러므로, 본 명세서에서 "전기적 접속"은 하나의 도전막이 복수의 구성 요소의 기능을 갖는 경우를 그 범주에 포함한다.

[0051] (실시형태 1)

[0052] 본 실시형태에서는, 반도체 장치의 일 형태에 대하여 도 1, 도 2, 도 3, 도 4, 도 5, 도 6, 도 7의 (A) 및 (B), 도 8의 (A) 및 (B), 도 9의 (A) 및 (B), 도 10의 (A) 및 (B), 그리고 도 11을 참조하여 설명한다.

[0053] [구조예]

[0054] 본 발명의 일 형태에 따른 반도체 장치(기억 장치)의 예를 도 1, 도 2, 도 3, 도 4, 도 5, 도 6, 도 7의 (A) 및 (B), 그리고 도 8의 (A) 및 (B)에 나타내었다. 또한, 도 8의 (A)는 도 1 내지 4의 회로도이다. 도 7의 (A) 및 (B)는 도 1 내지 4에 나타난 반도체 장치가 형성되는 영역의 단부를 나타낸 것이다.

[0055] <반도체 장치의 회로 구성>

[0056] 도 8의 (A) 및 도 1 내지 6에 나타난 반도체 장치는 각각 트랜지스터(300), 트랜지스터(200), 및 용량 소자(100)를 포함한다.

[0057] 트랜지스터(200)는 산화물 반도체를 포함하는 반도체층에 채널이 형성되는 트랜지스터이다. 트랜지스터(200)의 오프 상태 전류가 낮기 때문에, 이 트랜지스터(200)를 반도체 장치(기억 장치)에 사용함으로써, 저장된 데이터를 오랫동안 유지할 수 있다. 바꿔 말하면, 이러한 반도체 장치(기억 장치)는 리프래시 동작이 필요하지 않거나 리프래시 동작의 빈도가 매우 낮기 때문에, 소비전력이 충분히 저감된다.

[0058] 도 8의 (A)에서는, 배선(3001)이 트랜지스터(300)의 소스와 전기적으로 접속되어 있다. 배선(3002)이 트랜지스터(300)의 드레인과 전기적으로 접속되어 있다. 배선(3003)이 트랜지스터(200)의 소스 및 드레인 중 한쪽과 전기적으로 접속되어 있다. 배선(3004)이 트랜지스터(200)의 게이트와 전기적으로 접속되어 있다. 트랜지스터(300)의 게이트 및 트랜지스터(200)의 소스 및 드레인 중 다른 쪽이 용량 소자(100)의 한쪽 전극과 전기적으로 접속되어 있다. 배선(3005)이 용량 소자(100)의 다른 쪽 전극과 전기적으로 접속되어 있다.

[0059] 도 8의 (A)의 반도체 장치는 트랜지스터(300)의 게이트의 전위가 유지될 수 있다는 특징을 갖기 때문에, 다음과

같이 데이터의 기록, 유지, 및 판독이 가능하다.

- [0060] 데이터의 기록 및 유지에 대하여 설명한다. 먼저, 배선(3004)의 전위를 트랜지스터(200)가 온이 되는 전위로 하여, 트랜지스터(200)를 온으로 한다. 이에 따라, 배선(3003)의 전위가, 트랜지스터(300)의 게이트 및 용량 소자(100)의 한쪽 전극이 전기적으로 서로 접속되는 노드(FG)에 공급된다. 즉, 소정의 전하가 트랜지스터(300)의 게이트에 공급된다(기록). 여기서, 상이한 전위 레벨을 제공하는 2종류의 전하(이하, 로(low) 레벨 전하 및 하이(high) 레벨 전하라고 함) 중 하나가 공급된다. 그 후, 배선(3004)의 전위를 트랜지스터(200)가 오프가 되는 전위로 하여, 트랜지스터(200)를 오프로 한다. 따라서, 노드(FG)에 전하가 유지된다(유지).
- [0061] 트랜지스터(200)의 오프 상태 전류가 낮은 경우, 노드(FG)의 전하가 오랫동안 유지된다.
- [0062] 다음으로, 데이터의 판독에 대하여 설명한다. 소정의 전위(정전위)를 배선(3001)에 공급하면서 적절한 전위(판독 전위)를 배선(3005)에 공급함으로써, 노드(FG)에 유지된 전하량에 따라 배선(3002)의 전위가 변동된다. 이는 트랜지스터(300)로서 n채널 트랜지스터를 사용하는 경우, 트랜지스터(300)의 게이트에 하이 레벨 전하가 주어질 때의 외전상 문턱 전압 V_{thH} 가, 트랜지스터(300)의 게이트에 로 레벨 전하가 주어질 때의 외전상 문턱 전압 V_{thL} 보다 낮기 때문이다. 여기서, 외전상 문턱 전압이란, 트랜지스터(300)를 "온 상태"로 하는 데 필요한 배선(3005)의 전위를 말한다. 따라서, 배선(3005)의 전위를 V_{thH} 와 V_{thL} 사이의 전위 V_0 으로 함으로써, 노드(FG)에 공급된 전하를 판정할 수 있다. 예를 들어, 기록에서 노드(FG)에 하이 레벨 전하가 공급된 경우, 배선(3005)의 전위가 $V_0(>V_{thH})$ 이면, 트랜지스터(300)는 "온 상태"가 된다. 한편, 기록에서 노드(FG)에 로 레벨 전하가 공급된 경우에는, 배선(3005)의 전위가 $V_0(<V_{thL})$ 이어도 트랜지스터(300)는 "오프 상태"로 유지된다. 따라서, 배선(3002)의 전위를 판정함으로써 노드(FG)에 유지된 데이터를 판독할 수 있다.
- [0063] 도 8의 (A)에 도시된 구조를 각각 갖는 반도체 장치를 매트릭스로 배치함으로써, 기억 장치(메모리 셀 어레이)를 형성할 수 있다.
- [0064] 또한, 메모리 셀이 배열되는 경우, 판독 동작 시에 원하는 메모리 셀의 데이터가 판독될 필요가 있다. 예를 들어, p채널 트랜지스터를 트랜지스터(300)로서 사용하는 경우, 메모리 셀은 NOR형 구조를 갖는다. 따라서, 노드(FG)에 공급된 전하에 상관없이, 트랜지스터(300)가 "오프 상태"가 되는 전위, 즉 V_{thH} 보다 낮은 전위를 데이터가 판독되지 않는 메모리 셀의 배선(3005)에 공급함으로써, 원하는 메모리 셀의 데이터만을 판독할 수 있다. 또는, n채널 트랜지스터를 트랜지스터(300)로서 사용하는 경우, 메모리 셀은 NAND형 구조를 갖는다. 따라서, 노드(FG)에 공급된 전하에 상관없이, 트랜지스터(300)가 "온 상태"가 되는 전위, 즉 V_{thL} 보다 높은 전위를 데이터가 판독되지 않는 메모리 셀의 배선(3005)에 공급함으로써, 원하는 메모리 셀의 데이터만을 판독할 수 있다.
- [0065] <반도체 장치의 회로 구성 2>
- [0066] 도 8의 (B)의 반도체 장치는 트랜지스터(300)가 제공되지 않는 점에서 도 8의 (A)의 반도체 장치와 상이하다. 이 경우에도, 데이터는 도 8의 (A)의 반도체 장치와 비슷한 식으로 기록 및 유지될 수 있다.
- [0067] 도 8의 (B)의 반도체 장치에서의 데이터의 판독에 대하여 설명한다. 트랜지스터(200)가 온 상태가 되면, 부유 상태에 있는 배선(3003)과, 용량 소자(100)가 도통되고, 배선(3003)과 용량 소자(100) 사이에서 전하가 재분배된다. 그 결과, 배선(3003)의 전위가 변화된다. 배선(3003)의 전위의 변화량은 용량 소자(100)의 한쪽 전극의 전위(또는 용량 소자(100)에 축적된 전하)에 따라 달라진다.
- [0068] 예를 들어, 전하 재분배 후의 배선(3003)의 전위는 $(C_b \times V_{b0} + C \times V) / (C_b + C)$ 이고, V 는 용량 소자(100)의 한쪽 전극의 전위, C 는 용량 소자(100)의 용량, C_b 는 배선(3003)의 용량 성분, 그리고 V_{b0} 은 전하 재분배 전의 배선(3003)의 전위이다. 따라서, 메모리 셀이, 용량 소자(100)의 한쪽 전극의 전위가 V_1 및 $V_0(V_1 > V_0)$ 인 2가지 상태 중 어느 상태에 있다고 가정하면, 전위 V_1 을 유지하는 경우의 배선(3003)의 전위 $(= (C_b \times V_{b0} + C \times V_1) / (C_b + C))$ 는, 전위 V_0 을 유지하는 경우의 배선(3003)의 전위 $(= (C_b \times V_{b0} + C \times V_0) / (C_b + C))$ 보다 높다는 것을 알 수 있다.
- [0069] 그리고, 배선(3003)의 전위를 소정의 전위와 비교함으로써, 데이터를 판독할 수 있다.
- [0070] 이 구성을 채용하는 경우, 메모리 셀을 구동시키기 위한 구동 회로에 실리콘을 사용한 트랜지스터를 사용하여도 좋고, 산화물 반도체를 사용한 트랜지스터를 구동 회로 위에 트랜지스터(200)로서 적층하여도 좋다.

- [0071] 산화물 반도체를 사용하고 오프 상태 전류가 낮은 트랜지스터를 포함하는 경우, 상술한 반도체 장치는 저장된 데이터를 오랫동안 유지할 수 있다. 바꿔 말하면, 리프레시 동작이 불필요해지거나 리프레시 동작의 빈도를 매우 적게 할 수 있기 때문에, 소비전력이 충분히 저감된다. 또한, 전력이 공급되지 않는 경우(또한, 전위는 바람직하게는 고정됨)에도, 저장된 데이터를 오랫동안 유지할 수 있다.
- [0072] 또한, 상기 반도체 장치에서는, 데이터의 기록에 높은 전압이 불필요하기 때문에, 소자의 열화가 일어나기 어렵다. 예를 들어, 종래의 비휘발성 메모리와 달리, 플로팅 게이트에 대한 전자의 주입 및 플로팅 게이트로부터의 전자의 추출이 불필요하기 때문에, 절연체의 열화 등의 문제가 일어나지 않는다. 즉, 종래의 비휘발성 메모리와 달리, 본 발명의 일 형태에 따른 반도체 장치는 데이터를 재기록할 수 있는 횟수에 제한이 없고, 그 신뢰성이 대폭으로 향상된다. 또한, 트랜지스터의 상태(온 또는 오프)에 따라 데이터가 기록되기 때문에, 고속 동작을 쉽게 달성할 수 있다.
- [0073] <반도체 장치의 구조 1>
- [0074] 본 발명의 일 형태에 따른 반도체 장치는 도 1에 나타난 바와 같이 트랜지스터(300), 트랜지스터(200), 및 용량 소자(100)를 포함한다. 트랜지스터(200)는 트랜지스터(300) 상방에 제공되고, 용량 소자(100)는 트랜지스터(300) 및 트랜지스터(200) 상방에 제공된다.
- [0075] 트랜지스터(300)는 기판(311) 위에 제공되고, 도전체(316), 절연체(314), 기판(311)의 일부인 반도체 영역(312), 및 소스 영역 및 드레인 영역으로서 기능하는 저저항 영역(318a 및 318b)을 포함한다.
- [0076] 트랜지스터(300)는 p채널 트랜지스터이어도 좋고 n채널 트랜지스터이어도 좋다.
- [0077] 반도체 영역(312)의 채널이 형성되는 영역, 그 근방의 영역, 및 소스 영역 및 드레인 영역으로서 기능하는 저저항 영역들(318a 및 318b) 등은, 실리콘계 반도체 등의 반도체를 포함하는 것이 바람직하고, 단결정 실리콘을 포함하는 것이 더 바람직하다. 또는, 저마늄(Ge), 실리콘 저마늄(SiGe), 갈륨 비소(GaAs), 또는 갈륨 알루미늄 비소(GaAlAs) 등을 포함하는 재료가 포함되어도 좋다. 결정 격자에 응력을 가하여 격자 간격을 변화시킴으로써 유효 질량이 제어되는 실리콘이 포함되어도 좋다. 또는, 트랜지스터(300)는 GaAs 또는 GaAlAs 등을 갖는 HEMT(high-electron-mobility transistor)이어도 좋다.
- [0078] 저저항 영역들(318a 및 318b)은, 반도체 영역(312)에 사용되는 반도체 재료에 더하여, 비소 또는 인 등 n형 도전성을 부여하는 원소, 또는 붕소 등 p형 도전성을 부여하는 원소를 포함한다.
- [0079] 게이트 전극으로서 기능하는 도전체(316)는 비소 또는 인 등 n형 도전성을 부여하는 원소, 또는 붕소 등 p형 도전성을 부여하는 원소를 포함하는 실리콘 등의 반도체 재료, 또는 금속 재료, 합금 재료, 또는 금속 산화물 재료 등의 도전성 재료를 사용하여 형성될 수 있다.
- [0080] 또한, 도전체의 일함수를 도전체의 재료에 의하여 결정함으로써, 문턱 전압을 조정할 수 있다. 구체적으로는, 도전체로서 질화 타이타늄 또는 질화 탄탈럼 등을 사용하는 것이 바람직하다. 또한, 도전체의 도전성 및 매립성을 확보하기 위하여, 도전체로서 텅스텐 및 알루미늄 등의 금속 재료의 적층을 사용하는 것이 바람직하다. 특히, 내열성의 면에서 텅스텐이 바람직하다.
- [0081] 또한, 도 1에 나타난 트랜지스터(300)는 일레일 뿐이고, 거기에 나타난 구조에 한정되지 않고, 회로 구성 또는 구동 방법에 따라 적절한 트랜지스터를 사용할 수 있다. 도 8의 (B)에 나타난 회로 구성을 사용하는 경우, 트랜지스터(300)를 생략하여도 좋다.
- [0082] 절연체(320), 절연체(322), 절연체(324), 및 절연체(326)는 순차적으로 적층되고, 트랜지스터(300)를 덮는다.
- [0083] 절연체(320), 절연체(322), 절연체(324), 및 절연체(326)는, 예를 들어, 산화 실리콘, 산화 질화 실리콘, 질화 산화 실리콘, 질화 실리콘, 산화 알루미늄, 산화 질화 알루미늄, 질화 산화 알루미늄, 또는 질화 알루미늄 등을 사용하여 형성할 수 있다.
- [0084] 절연체(322)는, 절연체(322) 아래에 놓인 트랜지스터(300) 등에 의하여 생긴 단차를 없애는 평탄화막으로서 기능하여도 좋다. 예를 들어, 절연체(322)의 상면은 평탄화의 수준을 높이기 위하여 CMP(chemical mechanical polishing)법 등을 사용한 평탄화 처리에 의하여 평탄화되어도 좋다.
- [0085] 절연체(324)는, 기판(311) 또는 트랜지스터(300) 등으로부터 트랜지스터(200)가 형성되는 영역으로 수소 등의 불순물이 확산되는 것을 방지하는 배리어성을 갖는 막을 사용하여 형성되는 것이 바람직하다. 배리어성이란 높은 내산화성과, 산소, 수소, 및 물로 대표되는 불순물의 확산을 억제하는 기능을 말한다. 예를 들어, 350℃ 또

는 400℃의 분위기에서, 배리어성을 갖는 막 내의 산소 또는 수소의 확산 거리는 1시간당 50nm 이하이다. 350℃ 또는 400℃에서, 배리어성을 갖는 막 내의 산소 또는 수소의 확산 거리는 바람직하게는 1시간당 30nm 이하이고, 더 바람직하게는 1시간당 20nm 이하이다.

- [0086] 수소에 대한 배리어성을 갖는 막의 예로서는, CVD법에 의하여 형성한 질화 실리콘을 들 수 있다. 트랜지스터(200) 등 산화물 반도체를 포함하는 반도체 소자로 수소가 확산됨으로써, 이 반도체 소자의 특성이 열화되는 경우가 있다. 따라서, 트랜지스터(200)와 트랜지스터(300) 사이에 수소의 확산을 방지하는 막을 제공하는 것이 바람직하다. 구체적으로, 수소의 확산을 방지하는 막은, 수소가 방출되기 어려운 막이다.
- [0087] 수소의 방출량은 예를 들어, TDS(thermal desorption spectroscopy)에 의하여 측정할 수 있다. 예를 들어, 절연체(324)의 면적당 수소 원자로 환산된 절연체(324)로부터의 수소의 방출량은 50℃에서 500℃의 범위에 있어서 TDS 분석에서 $10 \times 10^{15} \text{ atoms/cm}^2$ 이하, 바람직하게는 $5 \times 10^{15} \text{ atoms/cm}^2$ 이하이다.
- [0088] 또한, 절연체(326)의 유전율은 절연체(324)의 유전율보다 낮은 것이 바람직하다. 예를 들어, 절연체(324)의 비유전율은 바람직하게는 4 미만이고, 더 바람직하게는 3 미만이다. 예를 들어, 절연체(326)의 비유전율은 절연체(324)의 비유전율의 0.7배 이하가 바람직하고, 절연체(324)의 비유전율의 0.6배 이하가 더 바람직하다. 유전율이 낮은 재료를 층간막으로서 사용하는 경우, 배선들 사이의 기생 용량을 저감시킬 수 있다.
- [0089] 절연체(320), 절연체(322), 절연체(324), 및 절연체(326)에는 용량 소자(100) 또는 트랜지스터(200)와 전기적으로 접속되는 도전체(328) 및 도전체(330) 등이 매립되어 있다. 또한, 도전체(328) 및 도전체(330)는 각각 플러그 또는 배선으로서 기능한다. 또한, 후술하는 바와 같이, 플러그 또는 배선으로서 기능하는 도전체의 복수의 구조를 총괄하여 같은 부호로 나타내는 경우가 있다. 또한, 본 명세서 등에서는, 배선 및 배선과 전기적으로 접속되는 플러그가 하나의 구성 요소이어도 좋다. 즉, 도전체의 일부가 배선으로서 기능하고, 도전체의 일부가 플러그로서 기능하는 경우가 있다.
- [0090] 각 플러그 및 배선(예를 들어, 도전체(328) 및 도전체(330))의 재료로서는, 금속 재료, 합금 재료, 금속 질화물 재료, 또는 금속 산화물 재료 등의 도전성 재료를 단층 구조 또는 적층 구조로 사용할 수 있다. 내열성 및 도전성의 양쪽 모두를 갖는, 텅스텐 또는 몰리브데넘 등의 고용점 재료를 사용하는 것이 바람직하고, 특히 텅스텐을 사용하는 것이 바람직하다. 또는, 알루미늄 또는 구리 등의 저저항 도전성 재료를 사용하는 것이 바람직하다. 저저항 도전성 재료를 사용하면 배선의 저항을 저감시킬 수 있다.
- [0091] 절연체(326) 및 도전체(330) 위에 배선층을 제공하여도 좋다. 예를 들어, 도 1에서, 절연체(350), 절연체(352), 및 절연체(354)는 순차적으로 적층되어 있다. 또한, 절연체(350), 절연체(352), 및 절연체(354)에는 도전체(356)가 형성되어 있다. 도전체(356)는 플러그 또는 배선으로서 기능한다. 또한, 도전체(356)는 도전체(328) 및 도전체(330)를 형성하는 데 사용하는 재료와 비슷한 재료를 사용하여 형성될 수 있다.
- [0092] 또한, 예를 들어, 절연체(350)는 절연체(324)와 같이, 수소에 대하여 배리어성을 갖는 절연체를 사용하여 형성되는 것이 바람직하다. 또한, 도전체(356)는 수소에 대하여 배리어성을 갖는 도전체를 포함하는 것이 바람직하다. 특히, 수소에 대하여 배리어성을 갖는 절연체(350)의 개구에, 수소에 대하여 배리어성을 갖는 도전체가 형성된다. 이러한 구조에서는, 트랜지스터(300)와 트랜지스터(200)를 배리어층으로 분리할 수 있기 때문에, 트랜지스터(300)로부터 트랜지스터(200)로의 수소의 확산을 방지할 수 있다.
- [0093] 또한, 수소에 대한 배리어성을 갖는 도전체로서는, 예를 들어 질화 탄탈럼을 사용할 수 있다. 질화 탄탈럼과 도전성이 높은 텅스텐을 적층함으로써, 배선의 도전성을 지킨 상태로 트랜지스터(300)로부터의 수소의 확산을 방지할 수 있다. 이 경우, 수소에 대한 배리어성을 갖는 질화 탄탈럼층이, 수소에 대한 배리어성을 갖는 절연체(350)와 접촉하는 것이 바람직하다.
- [0094] 절연체(358), 절연체(210), 절연체(212), 절연체(213), 절연체(214), 및 절연체(216)는 절연체(354) 위에 이 순서대로 적층된다. 절연체(358, 210, 212, 213, 214, 및 216) 중 임의의 것에는, 산소 또는 수소에 대한 배리어성을 갖는 재료를 사용하는 것이 바람직하다.
- [0095] 절연체(358 및 212)는, 예를 들어, 기관(311) 또는 트랜지스터(300)가 형성되는 영역 등으로부터 트랜지스터(200)가 형성되는 영역으로 수소 등의 불순물이 확산되는 것을 방지하는 배리어성을 갖는 막을 사용하여 형성되는 것이 바람직하다. 따라서, 절연체(358 및 212)는 절연체(324)를 형성하는 데 사용하는 재료와 비슷한 재료를 사용하여 형성할 수 있다.
- [0096] 수소에 대한 배리어성을 갖는 막의 예로서는, CVD법에 의하여 형성한 질화 실리콘을 들 수 있다. 트랜지스터

(200) 등 산화물 반도체를 포함하는 반도체 소자로 수소가 확산됨으로써, 이 반도체 소자의 특성이 열화되는 경우가 있다. 따라서, 트랜지스터(200)와 트랜지스터(300) 사이에 수소의 확산을 방지하는 막을 제공하는 것이 바람직하다. 구체적으로, 수소의 확산을 방지하는 막은, 수소가 방출되기 어려운 막이다.

[0097] 수소에 대한 배리어성을 갖는 막으로서, 예를 들어, 절연체(213) 및 절연체(214) 각각으로서는 산화 알루미늄, 산화 하프늄, 또는 산화 탄탈럼 등의 금속 산화물을 사용하는 것이 바람직하다.

[0098] 특히, 산화 알루미늄은 산소와, 트랜지스터의 전기 특성을 변화시키는 수소 및 수분 등의 불순물의 투과를 방지하는 우수한 차단 효과를 갖는다. 따라서, 산화 알루미늄을 사용하면, 트랜지스터의 제작 공정 중 및 제작 공정 후에 수소 및 수분 등의 불순물이 트랜지스터(200)에 들어가는 것을 방지할 수 있다. 또한, 트랜지스터(200)의 산화물로부터 산소가 방출되는 것을 방지할 수 있다. 따라서, 트랜지스터(200)를 위한 보호막으로서 산화 알루미늄을 사용하는 것이 적합하다.

[0099] 예를 들어, 절연체(210 및 216)는 절연체(320)를 형성하는 데 사용하는 재료와 비슷한 재료를 사용하여 형성할 수 있다. 유전율이 비교적 낮은 재료를 층간막으로서 사용하는 경우, 배선들 사이의 기생 용량을 저감시킬 수 있다. 예를 들어, 절연체(216)로서 산화 실리콘막 또는 산화 질화 실리콘막 등을 사용할 수 있다.

[0100] 절연체(358, 210, 212, 213, 214, 및 216)에는 도전체(218), 및 트랜지스터(200)를 형성하는 도전체(도전체(205)) 등이 매립되어 있다. 또한, 도전체(218)는 용량 소자(100) 또는 트랜지스터(300)와 전기적으로 접속되는 플러그 또는 배선으로서 기능한다. 도전체(218)는 도전체(328) 및 도전체(330)를 형성하는 데 사용하는 재료와 비슷한 재료를 사용하여 형성할 수 있다.

[0101] 특히, 절연체(358, 212, 213, 및 214)와 접촉하는 영역의 도전체(218)는 산소, 수소, 및 물에 대한 배리어성을 갖는 도전체인 것이 바람직하다. 이러한 구조에서는, 산소, 수소, 및 물에 대한 배리어성을 갖는 층에 의하여 트랜지스터(300)와 트랜지스터(200)를 완전히 분리할 수 있기 때문에, 트랜지스터(300)로부터 트랜지스터(200)로의 수소의 확산을 방지할 수 있다.

[0102] 예를 들어, 절연체(224)가 과잉 산소 영역을 포함하는 경우, 도전체(218) 등, 절연체(224)와 접촉하는 도전체가 내산화성이 높은 도전체인 것이 바람직하다. 도면에 나타낸 바와 같이, 도전체(218), 및 트랜지스터(200)에 포함되는 도전체(도전체(205)) 위에, 배리어성을 갖는 도전체(219)를 제공하여도 좋다. 이 구조로 함으로써, 도전체(218), 및 트랜지스터(200)에 포함되는 도전체(도전체(205))가 과잉 산소 영역의 산소와 반응하고 산화물을 생성하는 것을 억제할 수 있다.

[0103] 절연체(224) 위에 트랜지스터(200)를 제공한다. 또한, 트랜지스터(200)의 구조로서는, 다음의 실시형태 중 어느 것에서 설명하는 트랜지스터 구조를 사용할 수 있다. 또한, 도 1에 나타낸 트랜지스터(200)는 예일 뿐이고 거기에 나타낸 구조에 한정되지 않으며, 회로 구성 또는 구동 방법에 따라 적절한 트랜지스터를 사용할 수 있다.

[0104] 트랜지스터(200) 위에 절연체(280)를 제공한다. 절연체(280)에는, 과잉 산소 영역이 형성되는 것이 바람직하다. 특히, 트랜지스터(200)에 산화물 반도체를 사용하는 경우, 과잉 산소 영역을 포함하는 절연체를 트랜지스터(200)의 근방의 층간막 등에 제공함으로써, 트랜지스터(200)의 산소 결손이 저감되어, 신뢰성을 향상시킬 수 있다.

[0105] 과잉 산소 영역을 포함하는 절연체로서는, 구체적으로 가열에 의하여 산소의 일부가 방출되는 산화물 재료를 사용하는 것이 바람직하다. 가열에 의하여 산소의 일부가 방출되는 산화물은, TDS 분석에 있어서 산소 원자로 환산한 산소의 방출량이 $1.0 \times 10^{18} \text{ atoms/cm}^3$ 이상, 바람직하게는 $3.0 \times 10^{20} \text{ atoms/cm}^3$ 이상인 산화물막이다. 또한, TDS 분석 중의 막의 표면 온도는 바람직하게는 100℃ 이상 700℃ 이하, 또는 100℃ 이상 500℃ 이하이다.

[0106] 예를 들어, 이러한 재료로서는, 산화 실리콘 또는 산화 질화 실리콘을 포함하는 재료를 사용하는 것이 바람직하다. 또는, 금속 산화물을 사용할 수 있다. 또한, 본 명세서에서, "산화 질화 실리콘"이란 질소보다 높은 비율로 산소를 포함하는 재료를 말하고, "질화 산화 실리콘"이란 산소보다 높은 비율로 질소를 포함하는 재료를 말한다.

[0107] 트랜지스터(200)를 덮는 절연체(280)는, 그 아래의 거칠기를 덮는 평탄화막으로서 기능하여도 좋다. 절연체(280)에는 도전체(244) 등이 매립되어 있다.

[0108] 또한, 도전체(244)는 용량 소자(100), 트랜지스터(200), 또는 트랜지스터(300)와 전기적으로 접속되는 플러그

또는 배선으로서 기능한다. 도전체(244)는 도전체(328) 및 도전체(330)를 형성하는 데 사용하는 재료와 비슷한 재료를 사용하여 형성할 수 있다.

[0109] 예를 들어, 도전체(244)를 적층 구조를 갖도록 형성하는 경우, 도전체(244)는 산화되기 어려운(내산화성이 높은) 도전체를 포함하는 것이 바람직하다. 특히, 과잉 산소 영역을 포함하는 절연체(280)와 접촉하는 영역에, 내산화성이 높은 도전체를 제공하는 것이 바람직하다. 이러한 구조에 의하여 절연체(280)로부터의 과잉 산소를 도전체(244)가 흡수하는 것을 방지할 수 있다. 또한, 도전체(244)는 수소에 대한 배리어성을 갖는 도전체를 포함하는 것이 바람직하다. 특히, 과잉 산소 영역을 포함하는 절연체(280)와 접촉하는 영역에, 수소 등의 불순물에 대한 배리어성을 갖는 도전체를 제공함으로써, 도전체(244)의 불순물의 확산, 도전체(244)의 일부의 확산, 및 도전체(244)를 통한 외부로부터의 불순물의 확산을 방지할 수 있다.

[0110] 도전체(246), 도전체(124), 도전체(112a), 및 도전체(112b)를 도전체(244) 위에 제공하여도 좋다. 또한, 도전체(246) 및 도전체(124)는 각각 용량 소자(100), 트랜지스터(200), 또는 트랜지스터(300)와 전기적으로 접촉되는 플러그 또는 배선으로서 기능한다. 도전체(112a) 및 도전체(112b)는 용량 소자(100)의 전극으로서 기능한다. 도전체(246) 및 도전체(112a)는 동시에 형성할 수 있다. 도전체(124) 및 도전체(112b)는 동시에 형성할 수 있다.

[0111] 도전체(246), 도전체(124), 도전체(112a), 및 도전체(112b)에는 몰리브데넘, 타이타늄, 탄탈럼, 텅스텐, 알루미늄, 구리, 크로뮴, 네오디뮴, 및 스칸듐에서 선택된 원소를 포함하는 금속막; 또는 상술한 원소 중 어느 것을 그 성분으로서 포함하는 금속 질화물막(예를 들어, 질화 탄탈럼막, 질화 타이타늄막, 질화 몰리브데넘막, 또는 질화 텅스텐막) 등을 사용할 수 있다. 또는, 인듐 주석 산화물, 산화 텅스텐을 포함하는 인듐 산화물, 산화 텅스텐을 포함하는 인듐 아연 산화물, 산화 타이타늄을 포함하는 인듐 산화물, 산화 타이타늄을 포함하는 인듐 주석 산화물, 인듐 아연 산화물, 또는 산화 실리콘이 첨가된 인듐 주석 산화물 등의 도전성 재료를 사용할 수도 있다.

[0112] 도전체(246) 및 도전체(112a)에 질화 탄탈럼막 등의 금속 질화물막을 사용하면, 이러한 금속 질화물막은 수소 또는 산소에 대한 배리어성을 갖고 산화되기 어렵기 때문에(내산화성이 높기 때문에) 특히 바람직하다. 한편, 도전체(124) 및 도전체(112b)는 텅스텐 등 도전성이 높은 재료를 적층하여 형성되는 것이 바람직하다. 이들 재료를 조합하여 사용하면, 배선의 도전성을 지킨 상태로 절연체(280) 및 트랜지스터(200)로 수소가 확산되는 것을 방지할 수 있다. 도전체(246)와 도전체(124)의 2층 구조를 도 1에 나타내었지만, 이 구조에 한정되지 않고, 단층 구조 또는 3층 이상의 적층 구조를 사용하여도 좋다. 예를 들어, 배리어성을 갖는 도전체 및 도전성이 높은 도전체에 대하여 밀착성이 높은 도전체를 개재하여, 배리어성을 갖는 도전체 및 도전성이 높은 도전체를 제공하는 구조를 채용하여도 좋다.

[0113] 또한, 배리어층(281)을 도전체(124) 위에 제공하여도 좋다. 배리어층(281)에 의하여, 도전체(124)가 나중의 단계에서 산화되는 것을 억제할 수 있다. 또한, 도전체(124)에 포함되는 불순물의 확산 및 도전체(124)의 일부의 확산을 억제할 수 있다. 도전체(124), 도전체(246), 및 도전체(244)를 관통하여 절연체(280)로 불순물이 확산되는 것을 억제할 수 있다.

[0114] 또한, 배리어층(281)을 절연성 재료를 사용하여 형성할 수 있다. 이 경우, 배리어층(281)은 용량 소자(100)의 유전체의 일부로서 기능하여도 좋다. 배리어층(281)은 도전성 재료를 사용하여 형성하여도 좋다. 이 경우, 배리어층(281)은 배선 또는 전극의 일부로서 기능하여도 좋다.

[0115] 산화 알루미늄, 산화 하프늄, 또는 산화 탄탈럼 등의 금속 산화물, 또는 질화 탄탈럼 등의 금속 질화물 등을 배리어층(281)으로서 사용하는 것이 바람직하다. 특히, 산화 알루미늄은 산소와, 트랜지스터의 전기 특성을 변화시키는 수소 및 수분 등의 불순물의 투과를 방지하는 우수한 차단 효과를 갖는다. 따라서, 산화 알루미늄을 사용하면, 반도체 장치의 제작 공정 중 및 제작 공정 후에 도전체(124), 수소, 및 수분 등의 불순물이 트랜지스터(200)에 들어가는 것을 방지할 수 있다.

[0116] 배리어층(281) 및 절연체(280) 위에는 절연체(282)가 제공되어 있다. 산소 또는 수소에 대한 배리어성을 갖는 재료를 절연체(282)에 사용하는 것이 바람직하다. 따라서, 절연체(282)는 절연체(214)를 형성하는 데 사용하는 재료와 비슷한 재료를 사용하여 형성할 수 있다. 절연체(282)로서는, 예를 들어, 산화 알루미늄, 산화 하프늄, 또는 산화 탄탈럼 등의 금속 산화물을 사용하는 것이 바람직하다.

[0117] 특히, 산화 알루미늄은 산소와, 트랜지스터의 전기 특성을 변화시키는 수소 및 수분 등의 불순물의 투과를 방지하는 우수한 차단 효과를 갖는다. 따라서, 산화 알루미늄을 사용하면, 트랜지스터의 제작 공정 중 및 제작 공

정 후에 수소 및 수분 등의 불순물이 트랜지스터(200)에 들어가는 것을 방지할 수 있다. 또한, 트랜지스터(200)의 산화물로부터 산소가 방출되는 것을 방지할 수 있다. 따라서, 트랜지스터(200)를 위한 보호막으로서 산화 알루미늄을 사용하는 것이 적합하다.

- [0118] 그러므로, 트랜지스터(200) 및 과잉 산소 영역을 포함하는 절연체(280)를 절연체(212, 213, 및 214)의 적층 구조와 절연체(282) 사이에 배치할 수 있다. 절연체(212, 213, 214, 및 282)는 각각 산소, 또는 수소 및 물 등의 불순물의 확산을 방지하는 배리어성을 갖는다.
- [0119] 절연체(280) 및 트랜지스터(200)로부터 방출되는 산소가, 용량 소자(100)가 형성되는 층 또는 트랜지스터(300)가 형성되는 층으로 확산되는 것을 방지할 수 있다. 또한, 절연체(282) 상방의 층 및 절연체(214) 하방의 층으로부터 트랜지스터(200)로 수소 및 물 등의 불순물이 확산되는 것을 방지할 수 있다.
- [0120] 즉, 절연체(280)의 과잉 산소 영역으로부터 트랜지스터(200)에서 채널이 형성되는 산화물에 산소를 효율적으로 공급할 수 있어, 산소 결손을 저감시킬 수 있다. 또한, 트랜지스터(200)에서 채널이 형성되는 산화물에서, 불순물에 의하여 산소 결손이 형성되는 것을 방지할 수 있다. 따라서, 트랜지스터(200)에서 채널이 형성되는 산화물을 결함 준위의 밀도가 낮고 특성이 안정적인 산화물 반도체로 할 수 있다. 즉, 트랜지스터(200)의 전기 특성의 변동을 방지하고 신뢰성을 향상시킬 수 있다.
- [0121] 여기서, 대형 기판을 반도체 소자로 분할하여 복수의 반도체 장치를 각각 칩 형태로 형성하는 경우에 제공되는 다이싱 라인(스크라이브 라인, 분할 라인, 또는 절단 라인이라고도 함)에 대하여 설명한다. 분할 방법의 예에서는, 예를 들어, 반도체 소자를 나누기 위한 홈(다이싱 라인)을 기판에 형성한 다음, 기판을 다이싱 라인을 따라 절단하여, 나누어진 복수의 반도체 장치를 얻는다. 도 7의 (A) 및 (B)는 각각 다이싱 라인 근방의 단면도이다.
- [0122] 예를 들어, 도 7의 (A)에 도시된 바와 같이, 트랜지스터(200)를 포함하는 메모리 셀의 외주에 형성되는 다이싱 라인(도 7의 (A)에서 일점쇄선으로 나타냄)과 중첩되는 영역 근방에서 절연체(212, 213, 214, 216, 224, 및 280)에 개구를 제공한다. 또한, 절연체(212, 213, 214, 216, 224, 및 280)의 측면을 덮도록 절연체(282)를 제공한다.
- [0123] 여기서, 배리어층(281)이 절연성을 갖는 경우, 절연체(282)와 개구의 내측 표면 사이에 배리어층(281)을 개재하여 개구에 절연체(282)를 제공하는 것이 바람직하다. 배리어층(281)에 의하여 불순물의 확산을 더 억제할 수 있다.
- [0124] 따라서, 개구에서는, 절연체(212, 213, 및 214)가 배리어층(281)과 접촉한다. 이때, 절연체(212, 213, 및 214) 중 적어도 하나를 절연체(282)를 형성하는 데 사용하는 재료 및 방법과 비슷한 것을 사용하여 형성함으로써, 이들 사이의 밀착성을 향상시킬 수 있다. 또한, 배리어층(281) 및 절연체(282)는 같은 재료를 사용하여 형성되는 것이 바람직하다. 예를 들어, 산화 알루미늄을 사용할 수 있다. 배리어층(281)을 치밀한 막을 형성할 수 있는 방법, 예를 들어 ALD법에 의하여 형성한 다음, 절연체(282)를 스퍼터링법 등 막 형성 레이트가 높은 방법에 의하여 형성하면, 높은 생산성과 높은 배리어성을 달성할 수 있다.
- [0125] 이 구조에서는, 절연체(280) 및 트랜지스터(200)를 절연체(212, 213, 214, 및 282)로 둘러쌀 수 있다. 절연체(212, 213, 214, 및 282)는 각각 산소, 수소, 및 물의 확산을 방지하는 기능을 갖기 때문에, 본 실시형태에서의 반도체 소자가 제공된 각 회로 영역으로 기판을 분할하여 복수의 칩을 형성하더라도, 분할된 기판의 측면 방향으로부터 수소 또는 물 등의 불순물이 침입하고 트랜지스터(200)로 확산되는 것을 방지할 수 있다.
- [0126] 또한, 이 구조에서는, 절연체(280)의 과잉 산소가 절연체(282 및 214) 외부로 확산되는 것을 방지할 수 있다. 따라서, 절연체(280)의 과잉 산소가, 트랜지스터(200)에서 채널이 형성되는 산화물에 효율적으로 공급된다. 산소에 의하여, 트랜지스터(200)에서 채널이 형성되는 산화물의 산소 결손을 저감시킬 수 있다. 따라서, 트랜지스터(200)에서 채널이 형성되는 산화물을 결함 준위의 밀도가 낮고 특성이 안정적인 산화물 반도체로 할 수 있다. 즉, 트랜지스터(200)의 전기 특성의 변동을 방지하고 신뢰성을 향상시킬 수 있다.
- [0127] 다른 예로서는, 도 7의 (B)에 도시된 바와 같이, 다이싱 라인(도 7의 (B)에서 일점쇄선으로 나타냄)의 양측에서 절연체(212, 213, 214, 216, 224, 및 280)에 개구를 제공하여도 좋다. 도면에서 개구의 개수는 2개이지만, 필요에 따라 복수의 개구를 제공하여도 좋다.
- [0128] 다이싱 라인의 양측에 제공된 개구에서, 절연체(212, 213, 및 214)는 적어도 2개의 영역에서 배리어층(281)과 접촉하기 때문에, 더 높은 밀착성이 얻어진다. 또한, 이 경우에도, 절연체(212, 213, 및 214)의 적어도 하나를

절연체(282)를 형성하는 데 사용하는 재료 및 방법과 비슷한 것을 사용하여 형성하면, 이들 사이의 밀착성을 향상시킬 수 있다.

- [0129] 복수의 개구가 제공되기 때문에, 절연체(282)는 복수의 영역에서 절연체(212, 213, 및 214)와 접촉할 수 있다. 따라서, 다이싱 라인으로부터 들어가는 불순물이 트랜지스터(200)로 도달하는 것을 방지할 수 있다.
- [0130] 이러한 구조에서는, 트랜지스터(200)와 절연체(280)를 단단하게 둘러쌀 수 있다. 따라서, 트랜지스터(200)에서 채널이 형성되는 산화물을 결합 준위의 밀도가 낮고 특성이 안정적인 산화물 반도체로 할 수 있다. 즉, 트랜지스터(200)의 전기 특성의 변동을 방지하고 신뢰성을 향상시킬 수 있다.
- [0131] 트랜지스터(200) 상방에는 용량 소자(100)가 제공되어 있다. 용량 소자(100)는 도전체(112)(도전체(112a) 및 도전체(112b)), 배리어층(281), 절연체(282), 절연체(130), 및 도전체(116)를 포함한다.
- [0132] 도전체(112)는 용량 소자(100)의 전극으로서 기능한다. 예를 들어, 도 1의 구조에서는, 트랜지스터(200) 및 트랜지스터(300)와 접촉되는 플러그 또는 배선으로서 기능하는 도전체(244)의 일부가 도전체(112)로서 기능한다. 또한, 배리어층(281)이 도전성을 갖는 경우, 배리어층(281)은 용량 소자(100)의 전극의 일부로서 기능한다. 배리어층(281)이 절연성을 갖는 경우, 배리어층(281)은 용량 소자(100)의 유전체의 일부로서 기능한다.
- [0133] 이러한 구조는, 전극과 배선을 따로 형성하는 경우와 비교하여 공정의 단계 수가 삭감되기 때문에, 생산성을 높일 수 있다.
- [0134] 절연체(282)에서 도전체(112)와 도전체(116) 사이에 위치하는 영역은 유전체로서 기능한다. 예를 들어, 산화 알루미늄 등의 고유전율(high-k) 재료를 절연체(282)에 사용하면, 용량 소자(100)의 충분한 용량을 확보할 수 있다.
- [0135] 절연체(130)를 유전체의 일부로서 제공하여도 좋다. 절연체(130)는 예를 들어, 산화 실리콘, 산화 질화 실리콘, 질화 산화 실리콘, 질화 실리콘, 산화 알루미늄, 산화 질화 알루미늄, 질화 산화 알루미늄, 질화 알루미늄, 산화 하프늄, 산화 질화 하프늄, 질화 산화 하프늄, 또는 질화 하프늄 등을 사용하여 단층 구조 또는 적층 구조를 갖도록 형성될 수 있다.
- [0136] 예를 들어, 산화 알루미늄 등의 고유전율(high-k) 재료를 절연체(282)에 사용하는 경우, 절연체(130)에는 산화 질화 실리콘 등 절연 내력이 높은 재료를 사용하는 것이 바람직하다. 이 구조를 갖는 용량 소자(100)에서는, 절연체(130)에 의하여 절연 내력이 높아질 수 있고 용량 소자(100)의 정전 파괴를 방지할 수 있다.
- [0137] 도전체(116)는 배리어층(281), 절연체(282), 및 절연체(130)를 개재하여, 도전체(112)의 상면 및 측면을 덮도록 제공한다. 절연체를 개재하여 도전체(112)의 측면을 도전체(116)로 둘러싸는 구조에서는, 도전체(112)의 측면에도 용량이 형성되기 때문에, 용량 소자의 투영 면적당 용량이 증가된다. 따라서, 반도체 장치의 면적 축소, 고집적화, 및 소형화가 가능하다.
- [0138] 도전체(116)는 금속 재료, 합금 재료, 또는 금속 산화물 재료 등의 도전성 재료를 사용하여 형성할 수 있다. 텅스텐 또는 몰리브덴 등, 내열성 및 도전성의 양쪽 모두를 갖는 고용점 재료를 사용하는 것이 바람직하고, 특히 텅스텐을 사용하는 것이 바람직하다. 도전체(116)를 도전체 등의 다른 구성과 동시에 형성하는 경우에는, 저저항 금속 재료인 Cu(구리) 또는 Al(알루미늄) 등을 사용할 수 있다.
- [0139] 도전체(116) 및 절연체(130) 위에는 절연체(150)가 제공되어 있다. 절연체(150)는 절연체(320)를 형성하는 데 사용하는 재료와 비슷한 재료를 사용하여 형성할 수 있다. 절연체(150)는 그 아래의 층에 기인한 요철을 덮는 평탄화막으로서 기능하여도 좋다.
- [0140] 상기는 구조예의 설명이다. 이 구조를 사용함으로써, 산화물 반도체를 포함하는 트랜지스터를 포함하는 반도체 장치에서는, 전기 특성의 변동을 방지할 수 있고 신뢰성을 향상시킬 수 있다. 온 상태 전류가 높은 산화물 반도체를 포함하는 트랜지스터를 제공할 수 있다. 오프 상태 전류가 낮은 산화물 반도체를 포함하는 트랜지스터를 제공할 수 있다. 소비전력이 낮은 반도체 장치를 제공할 수 있다.
- [0141] <변형예 1>
- [0142] 본 실시형태의 변형예에서는, 도 2에 도시된 바와 같이 도전체(244) 및 배리어층(281)을 형성하여도 좋다. 바꿔 말하면, 플러그 또는 배선으로서 기능하는 도전체(244) 및 용량 소자(100)의 전극의 일부로서 기능하는 도전체(112)를 절연체(280)에 매립하여도 좋고, 배리어성을 갖는 도전체 또는 절연체를 사용하여 배리어층(281)을 도전체(244) 위에 형성하여도 좋다. 이 경우, 배리어층(281)은 배리어성뿐만 아니라 내산화성도 높은 도전체를

사용하여 형성되는 것이 바람직하다. 이 구조에서는 도전체(244)의 일부가 용량 소자의 전극(도전체(112))으로서 기능하기 때문에, 별도로 도전체를 제공할 필요가 없다.

- [0143] 따라서, 도 2에 도시된 바와 같이, 용량 소자(100)는 도전체(244)의 영역인 도전체(112), 절연체(282), 절연체(130), 및 도전체(116)를 포함한다.
- [0144] 용량 소자(100)의 전극으로서 기능하는 도전체(112)는 도전체(244)와 동시에 형성할 수 있다. 이러한 구조는 생산성을 높일 수 있다. 또한, 용량 소자의 전극을 형성하기 위한 마스크가 필요하지 않으므로 공정의 단계 수를 줄일 수 있다.
- [0145] 절연체(216) 위에는 절연체(220), 절연체(222), 및 절연체(224)가 이 순서대로 적층되어 있다. 산소 또는 수소에 대한 배리어성을 갖는 재료를 절연체(220, 222, 및 224) 중 어느 것에 사용하는 것이 바람직하다. 또한, 절연체(220), 절연체(222), 및 절연체(224)는 트랜지스터(200)의 일부(게이트 절연체)로서 기능하는 경우가 있다.
- [0146] 절연체(224)는 화학량론적 조성을 초과하여 산소를 포함하는 산화물을 포함하는 것이 바람직하다. 즉, 절연체(224)에는, 화학량론적 조성을 초과하여 산소를 포함하는 영역(이하, 과잉 산소 영역이라고도 함)을 형성하는 것이 바람직하다. 특히, 트랜지스터(200)에 산화물 반도체를 사용하는 경우, 과잉 산소 영역을 포함하는 절연체를 트랜지스터(200) 근방의 하지막 등에 제공함으로써, 트랜지스터(200)의 산소 결손이 저감되어, 신뢰성을 향상시킬 수 있다.
- [0147] 과잉 산소 영역을 포함하는 절연체로서는, 구체적으로 가열에 의하여 산소의 일부가 방출되는 산화물 재료를 사용하는 것이 바람직하다. 가열에 의하여 산소의 일부가 방출되는 산화물은, TDS 분석에 있어서 산소 원자로 환산한 산소의 방출량이 $1.0 \times 10^{18} \text{ atoms/cm}^3$ 이상, 바람직하게는 $3.0 \times 10^{20} \text{ atoms/cm}^3$ 이상인 산화물막이다. 또한, TDS 분석 중의 막의 표면 온도는 바람직하게는 100℃ 이상 700℃ 이하, 또는 100℃ 이상 500℃ 이하이다.
- [0148] 예를 들어, 이러한 재료로서는, 산화 실리콘 또는 산화 질화 실리콘을 포함하는 재료를 사용하는 것이 바람직하다. 또는, 금속 산화물을 사용할 수 있다. 또한, 본 명세서에서, "산화 질화 실리콘"이란 질소보다 높은 비율로 산소를 포함하는 재료를 말하고, "질화 산화 실리콘"이란 산소보다 높은 비율로 질소를 포함하는 재료를 말한다.
- [0149] 또한, 절연체(224)가 과잉 산소 영역을 포함하는 경우, 절연체(222) 또는 절연체(220)는 산소, 수소, 및 물에 대한 배리어성을 갖는 것이 바람직하다. 절연체(222) 또는 절연체(220)가 산소에 대한 배리어성을 가지면, 과잉 산소 영역의 산소가 트랜지스터(300) 측으로 확산되지 않고 트랜지스터(200)의 산화물(230)에 효율적으로 공급된다. 도전체(218), 및 트랜지스터(200)에 포함되는 도전체(도전체(205))가, 과잉 산소 영역의 산소와 반응하고 산화물을 생성하는 것을 억제할 수 있다.
- [0150] 상기는 변형예의 설명이다. 이 구조를 사용함으로써, 산화물 반도체를 포함하는 트랜지스터를 포함하는 반도체 장치에서는, 전기 특성의 변동을 방지할 수 있고 신뢰성을 향상시킬 수 있다. 온 상태 전류가 높은 산화물 반도체를 포함하는 트랜지스터를 제공할 수 있다. 오프 상태 전류가 낮은 산화물 반도체를 포함하는 트랜지스터를 제공할 수 있다. 소비전력이 낮은 반도체 장치를 제공할 수 있다.
- [0151] <변형예 2>
- [0152] 본 실시형태의 변형예에서는, 도 3에 도시된 바와 같이 도전체(219), 도전체(244), 및 배리어성을 갖는 도전체(246)를 형성하여도 좋다. 바꿔 말하면, 플러그 또는 배선으로서 기능하는 도전체(244)를 절연체(280)에 매립하여도 좋고, 배리어성을 갖는 도전체(246)를 도전체(244) 위에 형성하여도 좋다. 이 경우, 도전체(246)는 배리어성뿐만 아니라 내산화성도 높은 도전체를 사용하여 형성되는 것이 바람직하다. 이 구조로 함으로써, 도전체(246), 및 용량 소자의 전극으로서 기능하는 도전체(112)를 동시에 형성할 수 있다. 또한, 이 구조에서는 도전체(246)도 배리어층으로서 기능하기 때문에, 별도로 배리어층을 제공할 필요가 없다.
- [0153] 따라서, 도 3에 도시된 바와 같이, 용량 소자(100)는 도전체(112), 절연체(282), 절연체(130), 및 도전체(116)를 포함한다. 용량 소자(100)의 전극으로서 기능하는 도전체(112)는 도전체(246)와 동시에 형성할 수 있다.
- [0154] 상기는 변형예의 설명이다. 이 구조를 사용함으로써, 산화물 반도체를 포함하는 트랜지스터를 포함하는 반도체 장치에서는, 전기 특성의 변동을 방지할 수 있고 신뢰성을 향상시킬 수 있다. 온 상태 전류가 높은 산화물 반도체를 포함하는 트랜지스터를 제공할 수 있다. 오프 상태 전류가 낮은 산화물 반도체를 포함하는 트랜지스터를 제공할 수 있다. 소비전력이 낮은 반도체 장치를 제공할 수 있다.

- [0155] <변형예 3>
- [0156] 본 실시형태의 변형예에서는, 도 4에 도시된 바와 같은 용량 소자(100)를 제공하여도 좋다. 즉, 플러그 또는 배선으로서 기능하는 도전체(244)를 절연체(280)에 매립하고, 배리어층을 갖는 배리어층(281)을 도전체(244) 위에 제공한 다음, 배리어층을 갖는 절연체(282), 및 절연체(284)를 제공한다. 그 후, 평탄성이 높은 절연체(286)를 절연체(284) 위에 형성함으로써, 평탄성이 높은 절연체(286) 위에 용량 소자(100)를 제공할 수 있다.
- [0157] 용량 소자(100)는 절연체(286) 위에 제공되고, 도전체(112)(도전체(112a) 및 도전체(112b)), 절연체(130), 절연체(132), 절연체(134), 및 도전체(116)를 포함한다. 또한, 도전체(124)는 용량 소자(100), 트랜지스터(200), 또는 트랜지스터(300)와 전기적으로 접속되는 플러그 또는 배선으로서 기능한다.
- [0158] 도전체(112)는 금속 재료, 합금 재료, 또는 금속 산화물 재료 등의 도전성 재료를 사용하여 형성할 수 있다. 텅스텐 또는 몰리브데넘 등, 내열성 및 도전성의 양쪽 모두를 갖는 고용점 재료를 사용하는 것이 바람직하고, 특히 텅스텐을 사용하는 것이 바람직하다. 도전체(112)를 도전체 등의 다른 구성과 동시에 형성하는 경우에는, 저저항 금속 재료인 Cu(구리) 또는 Al(알루미늄) 등을 사용할 수 있다.
- [0159] 도전체(112) 위에 절연체(130, 132, 및 134)를 제공한다. 절연체(130, 132, 및 134)는 각각 예를 들어, 산화 실리콘, 산화 질화 실리콘, 질화 산화 실리콘, 질화 실리콘, 산화 알루미늄, 산화 질화 알루미늄, 질화 산화 알루미늄, 질화 알루미늄, 산화 하프늄, 산화 질화 하프늄, 질화 산화 하프늄, 또는 질화 하프늄 등을 사용하여 형성할 수 있다. 도면에는 3층 구조를 도시하였지만, 단층 구조, 2층의 적층 구조, 또는 4층 이상의 적층 구조를 채용하여도 좋다.
- [0160] 예를 들어, 절연체(130 및 134)에는, 산화 질화 실리콘 등 절연 내력이 높은 재료를 사용하는 것이 바람직하고, 절연체(132)에는 산화 알루미늄 등 고유전율(high-k) 재료를 사용하는 것이 바람직하다. 이 구조를 갖는 용량 소자(100)에서는, 고유전율(high-k) 절연체에 의하여 충분한 용량을 제공할 수 있고, 절연 내력이 높은 절연체에 의하여 절연 내력을 높일 수 있고 용량 소자(100)의 정전 파괴를 방지할 수 있다.
- [0161] 절연체(130, 132, 및 134)를 개재하여 도전체(112) 위에 도전체(116)를 제공한다. 또한, 도전체(116)는 금속 재료, 합금 재료, 또는 금속 산화물 재료 등의 도전성 재료를 사용하여 형성할 수 있다. 텅스텐 또는 몰리브데넘 등, 내열성 및 도전성의 양쪽 모두를 갖는 고용점 재료를 사용하는 것이 바람직하고, 특히 텅스텐을 사용하는 것이 바람직하다. 도전체(116)를 도전체 등의 다른 구성과 동시에 형성하는 경우에는, 저저항 금속 재료인 Cu(구리) 또는 Al(알루미늄) 등을 사용할 수 있다.
- [0162] 또한, 한쪽 전극으로서 기능하는 도전체(112)가 도전체(112b)와 같은 불록한 구조체를 포함하는 경우, 용량 소자의 투영 면적당 용량을 증가시킬 수 있다. 따라서, 반도체 장치의 면적 축소, 고집적화, 및 소형화가 가능하다.
- [0163] 상기는 변형예의 설명이다. 이 구조를 사용함으로써, 산화물 반도체를 포함하는 트랜지스터를 포함하는 반도체 장치에서는, 전기 특성의 변동을 방지할 수 있고 신뢰성을 향상시킬 수 있다. 온 상태 전류가 높은 산화물 반도체를 포함하는 트랜지스터를 제공할 수 있다. 오프 상태 전류가 낮은 산화물 반도체를 포함하는 트랜지스터를 제공할 수 있다. 소비전력이 낮은 반도체 장치를 제공할 수 있다.
- [0164] <변형예 4>
- [0165] 도 5는 본 실시형태의 다른 변형예를 도시한 것이다. 도 5는 트랜지스터(300 및 200)의 구조가 도 1과 상이하다.
- [0166] 도 5에 도시된 트랜지스터(300)에서는, 채널이 형성되는 반도체 영역(312)(기관(311)의 일부)이 불록부를 포함한다. 또한, 절연체(314)를 개재하여 반도체 영역(312)의 상면 및 측면을 덮도록 도전체(316)가 제공되어 있다. 또한, 도전체(316)를 일함수를 조정하는 재료를 사용하여 형성하여도 좋다. 이러한 구조를 갖는 트랜지스터(300)는, 반도체 기관의 불록부를 이용하기 때문에 FIN 트랜지스터라고도 한다. 불록부를 형성하기 위한 마스크로서 기능하는 절연체를 불록부의 상면과 접촉하여 제공하여도 좋다. 여기서는, 반도체 기관의 일부를 가공하여 불록부를 형성하는 경우에 대하여 설명하였지만, SOI 기관을 가공함으로써 불록부를 갖는 반도체막을 형성하여도 좋다.
- [0167] 도 3의 트랜지스터(200)의 구조의 자세한 사항에 대해서는 다른 실시형태에서 설명한다. 절연체(280)에 형성된 개구에는 산화물, 게이트 절연체, 및 게이트로서 기능하는 도전체가 형성된다. 따라서, 적어도 게이트로서 기

능하는 도전체 위에 배리어성을 갖는 도전체(246)를 형성하는 것이 바람직하다.

- [0168] 도전체(112)(도전체(246))가 산소, 수소, 또는 물에 대한 배리어성을 갖는 도전체(예를 들어, 질화 탄탈럼)와 도전성이 높은 도전체(예를 들어, 텅스텐 또는 구리)의 적층 구조를 갖는 경우, 도전성이 높은 도전체(예를 들어, 텅스텐 또는 구리)는 질화 탄탈럼 및 배리어층(281)으로 완전히 밀봉된다. 따라서, 도전체 자체(예를 들어, 구리)의 확산뿐만 아니라, 절연체(282) 상방으로부터 도전체(244)를 통하여 불순물이 들어가는 것도 방지할 수 있다.
- [0169] 또한, 트랜지스터(200) 상방에는 용량 소자(100)가 제공되어 있다. 도 5의 구조에서, 용량 소자(100)는 도전체(112), 배리어성을 갖는 도전체(246), 절연체(282), 절연체(130), 및 도전체(116)를 포함한다.
- [0170] 도전체(112)는 용량 소자(100)의 전극으로서 기능한다. 예를 들어, 도 5의 구조에서는, 트랜지스터(200) 및 트랜지스터(300)와 접속되는 플러그 또는 배선으로서 기능하는 도전체(244)의 일부가 도전체(112)로서 기능한다. 또한, 배리어층(281)이 도전성을 갖는 경우, 배리어층(281)은 용량 소자(100)의 전극의 일부로서 기능한다. 배리어층(281)이 절연성을 갖는 경우, 배리어층(281)은 용량 소자(100)의 유전체로서 기능한다.
- [0171] 이러한 구조는, 전극과 배선을 따로 형성하는 경우와 비교하여 공정의 단계 수가 삭감되기 때문에, 생산성을 높일 수 있다.
- [0172] 상기는 변형예의 설명이다. 이 구조를 사용함으로써, 산화물 반도체를 포함하는 트랜지스터를 포함하는 반도체 장치에서는, 전기 특성의 변동을 방지할 수 있고 신뢰성을 향상시킬 수 있다. 온 상태 전류가 높은 산화물 반도체를 포함하는 트랜지스터를 제공할 수 있다. 오프 상태 전류가 낮은 산화물 반도체를 포함하는 트랜지스터를 제공할 수 있다. 소비전력이 낮은 반도체 장치를 제공할 수 있다.
- [0173] <변형예 5>
- [0174] 도 6은 본 실시형태의 다른 변형예를 도시한 것이다. 도 6은 트랜지스터(200)의 구조가 도 4와 상이하다.
- [0175] 도 6에 도시된 바와 같이, 절연체(279) 및 배리어층(271)을 제공하여도 좋다. 절연체(279)는 절연체(280)를 형성하는 데 사용하는 재료 및 방법과 비슷한 것을 사용하여 형성할 수 있다. 즉, 절연체(280)와 같이, 절연체(279)는 화학량론적 조성을 초과하여 산소를 포함하는 산화물을 포함하는 것이 바람직하다. 따라서, 절연체(279)는 산화 실리콘막 또는 산화 질화 실리콘막 등 산소를 포함하는 절연체이다. 과잉 산소를 포함하는 절연체로서는, 대량의 산소를 포함하는 산화 실리콘막 또는 산화 질화 실리콘막을, 적절히 설정한 조건하에서 CVD법 또는 스퍼터링법에 의하여 형성할 수 있다. 절연체(279)가 되는 절연체를 형성한 후, 절연체의 상면의 평탄성을 향상시키기 위하여 CMP법 등을 사용하는 평탄화 처리를 수행하여도 좋다. 절연체(279)에 과잉 산소 영역을 형성하기 위해서는, 예를 들어, 이온 주입법, 이온 도핑법, 또는 플라스마 처리에 의하여 산소를 첨가하여도 좋다.
- [0176] 배리어층(271)은 산소에 대한 배리어성을 갖는 절연체 또는 도전체를 사용하여 형성된다. 배리어층(271)은 예를 들어, 산화 알루미늄, 산화 하프늄, 산화 탄탈럼, 또는 질화 탄탈럼 등을 사용하여 스퍼터링법 또는 ALD(atomic layer deposition)법에 의하여 형성할 수 있다.
- [0177] 절연체(280)를 절연체(279) 및 배리어층(271) 위에 제공한다. 과잉 산소 상태로 하기 위한 처리를 절연체(280)에 수행하는 경우, 절연체(279)를 형성하는 데 사용하는 재료 및 방법과 비슷한 것을 사용하여 절연체(280)를 형성하면, 도입된 과잉 산소는 절연체(280)뿐만 아니라 절연체(279)로도 확산된다. 절연체(280) 및 절연체(279)에 과잉 산소 영역을 형성하기 위해서는, 예를 들어, 이온 주입법, 이온 도핑법, 또는 플라스마 처리에 의하여 산소를 절연체(280)에 첨가하여도 좋다.
- [0178] 상기는 변형예의 설명이다. 이 구조를 사용함으로써, 산화물 반도체를 포함하는 트랜지스터를 포함하는 반도체 장치에서는, 전기 특성의 변동을 방지할 수 있고 신뢰성을 향상시킬 수 있다. 온 상태 전류가 높은 산화물 반도체를 포함하는 트랜지스터를 제공할 수 있다. 오프 상태 전류가 낮은 산화물 반도체를 포함하는 트랜지스터를 제공할 수 있다. 소비전력이 낮은 반도체 장치를 제공할 수 있다.
- [0179] <변형예 6>
- [0180] 도 9의 (A) 및 (B)는 본 실시형태의 다른 변형예를 도시한 것이다. 도 9의 (A) 및 (B)는 각각, 일점쇄선 A1-A2가 축으로서 기능하는, 트랜지스터(200)의 채널 길이 방향 및 채널 폭 방향의 단면도이다.
- [0181] 도 9의 (A) 및 (B)에 도시된 바와 같이, 트랜지스터(200), 및 과잉 산소 영역을 포함하는 절연체(280)를, 절연

체(212 및 214)의 적층 구조와, 절연체(282 및 284)의 적층 구조로 둘러싸여도 좋다. 이때, 트랜지스터(200)와, 트랜지스터(300)와 용량 소자(100)를 접속시키는 관통 전극 사이의 영역에서, 절연체(212 및 214)의 적층 구조가 절연체(282 및 284)의 적층 구조와 접촉하는 것이 바람직하다.

[0182] 따라서, 절연체(280) 및 트랜지스터(200)로부터 방출되는 산소가, 용량 소자(100)가 형성되는 층 또는 트랜지스터(300)가 형성되는 층으로 확산되는 것을 방지할 수 있다. 또한, 절연체(282) 상방의 층 및 절연체(214) 하방의 층으로부터 트랜지스터(200)로 수소 및 물 등의 불순물이 확산되는 것을 방지할 수 있다.

[0183] 즉, 절연체(280)의 과잉 산소 영역으로부터 트랜지스터(200)에서 채널이 형성되는 산화물에 산소를 효율적으로 공급할 수 있어, 산소 결손을 저감시킬 수 있다. 또한, 트랜지스터(200)에서 채널이 형성되는 산화물에서, 불순물에 의하여 산소 결손이 형성되는 것을 방지할 수 있다. 따라서, 트랜지스터(200)에서 채널이 형성되는 산화물을 결함 준위의 밀도가 낮고 특성이 안정적인 산화물 반도체로 할 수 있다. 즉, 트랜지스터(200)의 전기 특성의 변동을 방지하고 신뢰성을 향상시킬 수 있다.

[0184] <변형예 7>

[0185] 도 10의 (A) 및 (B)는 본 실시형태의 다른 변형예를 도시한 것이다. 도 10의 (A)는 도 8의 (A)에 도시된 각 반도체 장치를 매트릭스로 배치한 경우의 행의 일부를 나타낸 회로도이다. 도 10의 (B)는 도 10의 (A)에 대응한 반도체 장치의 단면도이다.

[0186] 도 10의 (A) 및 (B)에서는, 트랜지스터(300), 트랜지스터(200), 및 용량 소자(100)를 포함하는 반도체 장치, 트랜지스터(301), 트랜지스터(201), 및 용량 소자(101)를 포함하는 반도체, 및 트랜지스터(302), 트랜지스터(202), 및 용량 소자(102)를 포함하는 반도체 장치가 같은 행에 배치되어 있다.

[0187] 도 10의 (B)에 도시된 바와 같이, 복수의 트랜지스터(도면에서 트랜지스터(200 및 201)) 및 과잉 산소 영역을 포함하는 절연체(280)를, 절연체(212 및 214)의 적층 구조 및 절연체(282 및 284)의 적층 구조로 둘러싸여도 좋다. 이때, 트랜지스터(200, 201, 또는 202)와, 트랜지스터(300, 301, 또는 302)와 용량 소자(100, 101, 또는 102)를 접속시키는 관통 전극 사이에서, 절연체(212 및 214)와 절연체(282 및 284)가 적층되는 구조가 형성되는 것이 바람직하다.

[0188] 따라서, 절연체(280) 및 트랜지스터(200)로부터 방출되는 산소가, 용량 소자(100)가 형성되는 층 또는 트랜지스터(300)가 형성되는 층으로 확산되는 것을 방지할 수 있다. 또한, 절연체(282) 상방의 층 및 절연체(214) 하방의 층으로부터 트랜지스터(200)로 수소 및 물 등의 불순물이 확산되는 것을 방지할 수 있다.

[0189] 즉, 절연체(280)의 과잉 산소 영역으로부터 트랜지스터(200)에서 채널이 형성되는 산화물에 산소를 효율적으로 공급할 수 있어, 산소 결손을 저감시킬 수 있다. 또한, 트랜지스터(200)에서 채널이 형성되는 산화물에서, 불순물에 의하여 산소 결손이 형성되는 것을 방지할 수 있다. 따라서, 트랜지스터(200)에서 채널이 형성되는 산화물을 결함 준위의 밀도가 낮고 특성이 안정적인 산화물 반도체로 할 수 있다. 즉, 트랜지스터(200)의 전기 특성의 변동을 방지하고 신뢰성을 향상시킬 수 있다.

[0190] <변형예 8>

[0191] 도 11은 본 실시형태의 다른 변형예를 도시한 것이다. 도 11은 도 10의 (A) 및 (B)에 도시된 반도체 장치에서 트랜지스터(201) 및 트랜지스터(202)를 집적한 경우의 단면도이다.

[0192] 도 11에 도시된 바와 같이, 트랜지스터(201)의 소스 전극 또는 드레인 전극으로서 기능한 도전체는, 용량 소자(101)의 한쪽 전극으로서 기능하는 도전체(112)의 기능을 가져도 좋다. 이때, 트랜지스터(201)의 산화물, 및 트랜지스터(201)의 게이트 절연체로서 기능하는 절연체의 영역이, 트랜지스터(201)의 소스 또는 드레인 전극으로서 기능하는 도전체 위로 연장된 영역이, 용량 소자(101)의 절연체로서 기능한다. 따라서, 용량 소자(101)의 다른 쪽 전극으로서 기능하는 도전체(116)를, 절연체(250) 및 산화물(230c)을 개재하여 도전체(240a) 위에 적층할 수 있다. 이 구조에 의하여, 반도체 장치의 면적의 축소, 고집적화, 및 소형화로 이어질 수 있다.

[0193] 트랜지스터(201) 및 트랜지스터(202)는 서로 중첩하여도 좋다. 이 구조에 의하여, 반도체 장치의 면적의 축소, 고집적화, 및 소형화로 이어질 수 있다.

[0194] 복수의 트랜지스터(도면에서 트랜지스터(201 및 202)) 및 과잉 산소 영역을 포함하는 절연체(280)를, 절연체(212 및 214)의 적층 구조 및 절연체(282 및 284)의 적층 구조로 둘러싸여도 좋다. 이때, 트랜지스터(200, 201, 또는 202)와, 트랜지스터(300, 301, 또는 302)와 용량 소자(100, 101, 또는 102)를 접속시키는 관통 전극

사이에서, 절연체(212 및 214)와 절연체(282 및 284)가 적층되는 구조가 형성되는 것이 바람직하다.

- [0195] 따라서, 절연체(280) 및 트랜지스터(200)로부터 방출되는 산소가, 용량 소자(100)가 형성되는 층 또는 트랜지스터(300)가 형성되는 층으로 확산되는 것을 방지할 수 있다. 또한, 절연체(282) 상방의 층 및 절연체(214) 하방의 층으로부터 트랜지스터(200)로 수소 및 물 등의 불순물이 확산되는 것을 방지할 수 있다.
- [0196] 즉, 절연체(280)의 과잉 산소 영역으로부터 트랜지스터(200)에서 채널이 형성되는 산화물에 산소를 효율적으로 공급할 수 있어, 산소 결손을 저감시킬 수 있다. 또한, 트랜지스터(200)에서 채널이 형성되는 산화물에서, 불순물에 의하여 산소 결손이 형성되는 것을 방지할 수 있다. 따라서, 트랜지스터(200)에서 채널이 형성되는 산화물을 결합 준위의 밀도가 낮고 특성이 안정적인 산화물 반도체로 할 수 있다. 즉, 트랜지스터(200)의 전기 특성의 변동을 방지하고 신뢰성을 향상시킬 수 있다.
- [0197] 본 실시형태의 적어도 일부는 본 명세서에서 설명하는 다른 실시형태 중 임의의 것과 적절히 조합하여 실시할 수 있다.
- [0198] (실시형태 2)
- [0199] 본 실시형태에서는, 상술한 구조예에서 설명한 반도체 장치의 제작 방법의 예에 대하여 도 12의 (A) 내지 (D), 도 13의 (A) 내지 (C), 도 14의 (A) 및 (B), 도 15의 (A) 및 (B), 도 16의 (A) 및 (B), 도 17, 도 18, 도 19, 도 20, 도 21, 도 22, 그리고 도 23을 참조하여 이하에서 설명한다.
- [0200] <반도체 장치의 제작 방법>
- [0201] 먼저, 기판(311)을 준비한다. 기판(311)으로서는 반도체 기판을 사용한다. 예를 들어, 단결정 실리콘 기판(p형 반도체 기판 또는 n형 반도체 기판을 포함함), 또는 탄소화 실리콘 또는 질화 갈륨을 포함하는 화합물 반도체 기판 등을 사용할 수 있다. 또는, 기판(311)으로서는 SOI 기판을 사용하여도 좋다. 기판(311)에 단결정 실리콘을 사용하는 경우에 대하여 이하에서 설명한다.
- [0202] 다음으로, 기판(311)에 소자 분리층을 형성한다. 소자 분리층은 LOCOS(local oxidation of silicon)법 또는 STI(shallow trench isolation)법 등에 의하여 형성할 수 있다.
- [0203] p채널 트랜지스터 및 n채널 트랜지스터를 같은 기판에 형성하는 경우, 기판(311)의 일부에 n웰 또는 p웰을 형성하여도 좋다. 예를 들어, n형 기판(311)에 p형 도전성을 부여하는 붕소 등의 불순물 원소를 첨가하여 p웰을 형성하여도 좋고, n채널 트랜지스터 및 p채널 트랜지스터를 같은 기판에 형성하여도 좋다.
- [0204] 그리고, 절연체(314)가 되는 절연체를 기판(311) 위에 형성한다. 예를 들어, 표면 질화 처리 후에, 산화 처리를 수행하여 실리콘과 질화 실리콘의 계면을 산화함으로써, 산화 질화 실리콘막을 형성하여도 좋다. 예를 들어, NH₃ 분위기에 있어서 700℃에서 열 질화 실리콘막을 표면에 형성한 후, 산소 라디칼 산화를 수행함으로써 산화 질화 실리콘막을 얻을 수 있다.
- [0205] 절연체는 스퍼터링법, CVD(chemical vapor deposition)법(열CVD법, MOCVD(metal organic CVD)법, 및 PECVD(plasma enhanced CVD)법 등을 포함함), MBE(molecular beam epitaxy)법, ALD(atomic layer deposition)법, 또는 PLD(pulsed laser deposition)법 등에 의하여 형성하여도 좋다.
- [0206] 다음으로, 도전체(316)가 되는 도전막을 형성한다. 도전막은, 탄탈럼, 텅스텐, 타이타늄, 몰리브데넘, 크로뮴, 및 나이오븀 등으로부터 선택되는 금속, 또는 이 금속 중 어느 것을 주성분으로 포함하는 합금 재료 또는 화합물 재료를 사용하여 형성되는 것이 바람직하다. 또는, 인 등의 불순물이 첨가된 다결정 실리콘을 사용할 수 있다. 또는, 금속 질화물의 막과 상술한 금속 중 어느 것의 막의 적층 구조를 사용하여도 좋다. 금속 질화물로서는, 질화 텅스텐, 질화 몰리브데넘, 또는 질화 타이타늄을 사용할 수 있다. 금속 질화물막을 제공하면 금속막의 밀착성을 높일 수 있어, 분리를 방지할 수 있다. 또한, 트랜지스터(300)의 문턱 전압은 도전체(316)의 일함수를 결정함으로써 조정할 수 있기 때문에, 도전막의 재료는 트랜지스터(300)가 가져야 할 특성에 따라 적절히 선택한다.
- [0207] 도전막은 스퍼터링법, 증착법, 또는 CVD법(열CVD법, MOCVD법, 및 PECVD법 등을 포함함) 등에 의하여 형성될 수 있다. 플라즈마 대미지를 줄이기 위해서는, 열CVD법, MOCVD법, 또는 ALD법을 사용하는 것이 바람직하다.
- [0208] 다음으로, 포토리소그래피 공정 등에 의하여 도전막 위에 레지스트 마스크를 형성하고, 도전막의 불필요한 부분을 제거한다. 그 후, 레지스트 마스크를 제거함으로써, 도전체(316)를 형성한다.

- [0209] 도전체(316)를 형성한 후, 도전체(316)의 측면을 덮는 사이드월을 형성하여도 좋다. 사이드월은, 도전체(316)보다 두꺼운 절연체를 형성하고 이방성 에칭을 수행함으로써, 절연체에서 도전체(316)의 측면의 부분만을 남기는 식으로 형성할 수 있다.
- [0210] 절연체(314)가 되는 절연체를 사이드월의 형성과 동시에 에칭함으로써, 절연체(314)가 도전체(316) 및 사이드월 아래에 형성된다. 도전체(316)를 형성한 후에 도전체(316) 또는 도전체(316)를 가공하기 위한 레지스트 마스크를 에칭 마스크로서 사용하여 상기 절연체를 에칭함으로써 절연체(314)를 형성하여도 좋다. 이 경우, 도전체(316) 아래에 절연체(314)가 형성된다. 또는, 에칭에 의하여 가공하지 않고 상기 절연체를 절연체(314)로서 사용할 수 있다.
- [0211] 그리고, 인 등의 n형 도전성을 부여하는 원소 또는 붕소 등의 p형 도전성을 부여하는 원소를 기판(311)에서 도전체(316)(및 사이드월)가 제공되지 않는 영역에 첨가한다.
- [0212] 이어서, 절연체(320)를 형성한 다음, 상술한 도전성을 부여하는 원소를 활성화하기 위하여 가열 처리를 수행한다.
- [0213] 절연체(320)는 예를 들어, 산화 실리콘, 산화 질화 실리콘, 질화 산화 실리콘, 질화 실리콘, 산화 알루미늄, 산화 질화 알루미늄, 질화 산화 알루미늄, 또는 질화 알루미늄 등을 사용하여 단층 구조 또는 적층 구조를 갖도록 형성할 수 있다. 산소 및 수소를 포함하는 질화 실리콘(SiNOH)을 사용하여 절연체(320)를 형성하면, 가열에 의하여 방출되는 수소의 양을 증가시킬 수 있어 바람직하다. 절연체(320)는, TEOS(tetraethyl orthosilicate) 또는 실레인 등을 산소 또는 아산화 질소 등과 반응시킴으로써 형성한 단차 피복성이 높은 산화 실리콘을 사용하여 형성될 수도 있다.
- [0214] 절연체(320)는 예를 들어, 스퍼터링법, CVD법(열CVD법, MOCVD법, 및 PECVD법 등을 포함함), MBE법, ALD법, 또는 PLD법 등에 의하여 형성할 수 있다. 특히, CVD법, 더 바람직하게는 플라즈마 CVD법에 의하여 상기 절연체를 형성하면, 피복성을 더 향상시킬 수 있어 바람직하다. 플라즈마 대미지를 줄이기 위해서는, 열CVD법, MOCVD법, 또는 ALD법을 사용하는 것이 바람직하다.
- [0215] 가열 처리는, 회가스 분위기 또는 질소 가스 분위기 등의 불활성 가스 분위기, 또는 감압 분위기에 있어서, 400℃ 이상 기판의 변형점 미만의 온도에서 수행할 수 있다.
- [0216] 이 단계에서, 트랜지스터(300)가 형성된다. 또한, 도 8의 (B)에 나타난 회로 구성을 사용하는 경우, 트랜지스터(300)를 생략하여도 좋다. 이 경우, 기판에 대한 특별한 제한은 없다. 예를 들어, 바륨붕규산 유리 또는 알루미늄붕규산 유리 등의 유리 기판, 세라믹 기판, 석영 기판, 또는 사파이어 기판을 사용할 수 있다. 또는, 실리콘 또는 탄소화 실리콘 등의 단결정 반도체 기판 또는 다결정 반도체 기판; 실리콘 저마늄, 갈륨 비소, 인듐 비소, 또는 인듐 갈륨 비소의 화합물 반도체 기판; SOI(silicon-on-insulator) 기판; 또는 GOI(germanium-on-insulator) 기판 등을 사용할 수 있다. 또는, 반도체 소자가 제공된 이들 기판 중 임의의 것을 기판으로서 사용하여도 좋다.
- [0217] 또는, 기판으로서 가요성 기판을 사용하여도 좋다. 가요성 기판 위에 트랜지스터를 직접 형성하여도 좋고, 또는 제작 기판 위에 트랜지스터를 형성한 다음, 제작 기판으로부터 분리하고 가요성 기판으로 전치하여도 좋다. 제작 기판으로부터 트랜지스터를 분리하여 가요성 기판으로 전치하기 위해서는, 제작 기판과, 산화물 반도체를 포함하는 트랜지스터 사이에 분리층을 제공하는 것이 바람직하다.
- [0218] 그리고, 절연체(320) 위에 절연체(322)를 형성한다. 절연체(322)는 절연체(320)를 형성하는 데 사용하는 재료 및 방법과 비슷한 것을 사용하여 형성할 수 있다. 또한, 절연체(322)의 상면을 CMP법 등에 의하여 평탄화한다(도 12의 (A)).
- [0219] 그리고, 리소그래피 공정 등에 의하여, 저저항 영역(318a), 저저항 영역(318b), 및 도전체(316) 등에 도달하는 개구를 절연체(320) 및 절연체(322)에 형성한다(도 12의 (B)). 그 후, 개구를 채우도록 도전막을 형성한다(도 12의 (C) 참조). 도전막은 스퍼터링법, CVD법(열CVD법, MOCVD법, 및 PECVD법 등을 포함함), MBE법, ALD법, 또는 PLD법 등에 의하여 형성할 수 있다.
- [0220] 그리고, 절연체(322)의 상면을 노출시키도록 상기 도전막에 평탄화 처리를 수행함으로써, 도전체(328a), 도전체(328b), 및 도전체(328c) 등을 형성한다(도 12의 (D)). 또한, 도 12의 (D)의 화살표는 CMP 처리를 나타낸다. 또한, 명세서 및 도면에서, 도전체(328a), 도전체(328b), 및 도전체(328c)는 각각 플러그 또는 배선으로서 기능하고, 통틀어 도전체(328)라고 하는 경우가 있다. 또한, 본 명세서에서 플러그 또는 배선으로서 각각 기능하는

도전체는 비슷한 식으로 취급된다.

- [0221] 그리고, 절연체(320) 위에 다마신 공정 등에 의하여 도전체(330a), 도전체(330b), 및 도전체(330c)를 형성한다(도 13의 (A)).
- [0222] 절연체(324) 및 절연체(326)는 절연체(320)를 형성하는 데 사용하는 재료 및 방법과 비슷한 것을 사용하여 형성할 수 있다.
- [0223] 절연체(324)는 예를 들어, 기판(311) 또는 트랜지스터(300) 등으로부터 트랜지스터(200)가 형성되는 영역으로 수소 등의 불순물이 확산되는 것을 방지하는 배리어성을 갖는 막을 사용하여 형성되는 것이 바람직하다. 수소에 대한 배리어성을 갖는 막의 예로서는, CVD법에 의하여 형성한 질화 실리콘을 들 수 있다.
- [0224] 절연체(326)는 유전율이 낮은 절연체(low-k 재료)인 것이 바람직하다. 예를 들어, CVD법에 의하여 형성되는 산화 실리콘을 사용할 수 있다. 유전율이 낮은 재료를 층간막으로서 사용하는 경우, 배선들 사이의 기생 용량을 저감시킬 수 있다.
- [0225] 도전체(330)가 되는 도전막은 도전체(328)를 형성하는 데 사용하는 재료 및 방법과 비슷한 것을 사용하여 형성할 수 있다.
- [0226] 또한, 도전체(330)가 적층 구조를 갖는 경우, 산소, 수소, 또는 물에 대한 배리어성을 갖는 도전체(예를 들어, 질화 탄탈럼)와 도전성이 높은 도전체(예를 들어, 텅스텐 또는 구리)가, 절연체(324)와 접촉하는 도전체로서 적층되는 것이 바람직하다. 예를 들어, 배리어성을 갖는 질화 탄탈럼은 250℃의 기판 온도에서 염소를 포함하지 않는 퇴적 가스를 사용하여 ALD법에 의하여 형성할 수 있다. 크랙 또는 핀홀 등의 결함이 저감되거나 두께가 균일한 치밀한 도전체를 ALD법에 의하여 형성할 수 있다. 산소, 수소, 또는 물에 대한 배리어성을 갖는 절연체(324)가 산소, 수소, 또는 물에 대한 배리어성을 갖는 도전체와 접촉하는 경우, 산소, 수소, 또는 물의 확산을 더 확실하게 방지할 수 있다.
- [0227] 그리고, 절연체(350), 절연체(352), 절연체(354), 도전체(356a), 도전체(356b), 및 도전체(356c)를 형성한다(도 13의 (B)). 절연체(352) 및 절연체(354)는 절연체(320)를 형성하는 데 사용하는 재료 및 방법과 비슷한 것을 사용하여 형성할 수 있다. 도전체(356)는 듀얼 다마신 공정 등에 의하여, 도전체(328)를 형성하는 데 사용하는 재료와 비슷한 재료를 사용하여 형성할 수 있다.
- [0228] 또한, 도전체(356)가 적층 구조를 갖는 경우, 산소, 수소, 또는 물에 대한 배리어성을 갖는 도전체(예를 들어, 질화 탄탈럼)와 도전성이 높은 도전체(예를 들어, 텅스텐 또는 구리)가, 절연체(350)와 접촉하는 도전체로서 적층되는 것이 바람직하다. 특히, 구리 등의 확산되기 쉬운 재료를 도전체(356)에 사용하는 경우, 구리 등에 대한 배리어성을 갖는 도전체를 상기 재료와 같이 적층하는 것이 바람직하다. 또한, 절연체(354)도 구리 등에 대한 배리어성을 갖는 것이 바람직하다. 절연체(354)가 산소, 수소, 또는 물에 대한 배리어성을 갖는 도전체와 접촉하는 경우, 산소, 수소, 또는 물의 확산을 더 확실하게 방지할 수 있다.
- [0229] 다음으로, 수소 또는 산소에 대한 배리어성을 갖는 절연체(358)를 형성한다. 절연체(354)와 같이, 절연체(358)는 도전체(356)에 사용되는 도전체에 대하여 배리어성을 갖는 것이 바람직하다.
- [0230] 절연체(358) 위에 절연체(210, 212, 213, 및 214)를 형성한다. 절연체(210, 212, 213, 및 214)는 절연체(324 및 326) 등을 형성하는 데 사용하는 재료 및 방법과 비슷한 것을 사용하여 형성할 수 있다.
- [0231] 예를 들어, 절연체(210)는 유전율이 낮은 절연체(low-k 재료)인 것이 바람직하다. 예를 들어, CVD법에 의하여 형성되는 산화 실리콘을 사용할 수 있다. 유전율이 낮은 재료를 층간막으로서 사용하는 경우, 배선들 사이의 기생 용량을 저감시킬 수 있다.
- [0232] 절연체(212)는, 기판(311) 또는 트랜지스터(300) 등으로부터 트랜지스터(200)가 형성되는 영역으로 수소 등의 불순물이 확산되는 것을 방지하는 배리어성을 갖는 막을 사용하여 형성되는 것이 바람직하다. 수소에 대한 배리어성을 갖는 막의 예로서는, CVD법에 의하여 형성한 질화 실리콘을 들 수 있다.
- [0233] 절연체(213)는 예를 들어, 수소에 대한 배리어성을 갖는 막의 예로서, ALD법에 의하여 형성한 산화 알루미늄일 수 있다. 크랙 또는 핀홀 등의 결함이 저감되거나 두께가 균일한 치밀한 절연체를 ALD법에 의하여 형성할 수 있다.
- [0234] 절연체(214)는 예를 들어, 수소에 대한 배리어성을 갖는 막의 예로서, 스퍼터링법에 의하여 형성한 산화 알루미늄일 수 있다.

- [0235] 그리고, 절연체(214) 위에 절연체(216)를 형성한다. 절연체(216)는 절연체(210)를 형성하는 데 사용하는 재료 및 방법과 비슷한 것을 사용하여 형성할 수 있다(도 13의 (C)).
- [0236] 다음으로, 절연체(212, 213, 214, 및 216)의 적층 구조에서, 도전체(356a, 356b, 및 356c)와 중첩되는 영역에 오목부를 형성한다(도 14의 (A)). 또한, 상기 오목부는 각각, 적어도 난 에칭(hardly-etched) 재료를 사용하여 형성된 절연체에 개구가 형성될 정도로 깊은 것이 바람직하다. 여기서, 난 에칭 재료는, 에칭하기 어려운 재료, 예를 들어 금속 산화물을 나타낸다. 난 에칭 재료로 형성되는 금속 산화물막의 대표적인 예에는, 산화 알루미늄, 산화 지르코늄, 및 산화 hafnium 중 어느 것을 포함하는 막; 이들 재료 중 어느 것을 포함하는 실리케이트막(HfSi_xO_y 또는 ZrSi_xO_y 등), 및 이들 재료 중 2개 이상을 포함하는 복합 화합물($\text{Hf}_{1-x}\text{Al}_x\text{O}_y$ 또는 $\text{Zr}_{1-x}\text{Al}_x\text{O}_y$ 등)이 포함된다.
- [0237] 그리고, 절연체(214 및 216)의 적층 구조에서, 도전체(205)가 형성될 영역에 개구를 형성하고, 절연체(212, 213, 214, 및 216)의 적층 구조에 형성된 오목부의 바닥면을 제거함으로써, 도전체(356a, 356b, 및 356c)에 도달하는 개구를 형성한다(도 14의 (B)). 이때, 오목부의 상부, 예를 들어 절연체(216)에 형성된 개구의 폭을 넓힘으로써, 나중의 단계에서 형성될 플러그 또는 배선에 대하여 충분한 설계 마진을 제공할 수 있다.
- [0238] 그 후, 개구를 채우도록 도전막을 형성한다. 도전막은 도전체(328)를 형성하는 데 사용하는 재료 및 방법과 비슷한 것을 사용하여 형성할 수 있다. 그리고, 절연체(216)의 상면을 노출시키도록 도전막에 평탄화 처리를 수행함으로써, 도전체(218a), 도전체(218b), 도전체(218c), 및 도전체(205)를 형성한다.
- [0239] 여기서, 예를 들어, 절연체(224)가 과잉 산소 영역을 포함하는 경우, 도전체(218) 등, 절연체(224)와 접촉하는 도전체를 내산화성이 높은 도전체를 사용하여 형성하는 것이 바람직하다. 또한, 도면에 도시된 바와 같이, 배리어성을 갖는 도전체(219a), 도전체(219b), 및 도전체(219c)를 도전체(218) 위에 제공하여도 좋다(도 15의 (A)). 이 구조에 의하여, 도전체(218)가 과잉 산소 영역의 산소와 반응하고 산화물을 생성하는 것을 억제할 수 있다.
- [0240] 그리고, 트랜지스터(200)를 형성한다. 이하의 실시형태에서 설명하는 제작 방법을 트랜지스터(200)의 제작 방법으로서 사용할 수 있다.
- [0241] 다음으로, 트랜지스터(200) 위에 절연체(280)를 형성한다. 절연체(280)는 화학량론적 조성을 초과하여 산소를 포함하는 산화물을 사용하여 형성되는 것이 바람직하다. 또한, 절연체(280)는 산화 실리콘막 또는 산화 질화 실리콘막 등 산소를 포함하는 절연체이다. 과잉 산소를 포함하는 절연체로서는, 대량의 산소를 포함하는 산화 실리콘막 또는 산화 질화 실리콘막을, 적절히 설정한 조건하에서 CVD법 또는 스퍼터링법에 의하여 형성할 수 있다. 절연체(280)가 되는 절연체를 형성한 후, 절연체의 상면의 평탄성을 향상시키기 위하여 CMP법 등을 사용하는 평탄화 처리를 수행하여도 좋다(도 15의 (B)).
- [0242] 여기서, 절연체(280)에 과잉 산소 영역을 형성하여도 좋다. 과잉 산소 영역을 형성하기 위해서는, 예를 들어 이온 주입법, 이온 도핑법, 또는 플라즈마 처리에 의하여 산소를 첨가하여도 좋다.
- [0243] 다음으로, 트랜지스터(200)의 일부(도면에서 절연체(224 및 250) 및 산화물(230c)로서 도시됨) 및 절연체(280)에, 도전체(219a, 219b, 및 219c) 및 트랜지스터(200) 등에 도달하는 개구를 형성한다(도 16의 (A)).
- [0244] 그 후, 개구를 채우도록 도전막(244A) 및 도전막(244B)을 형성한다(도 16의 (B)). 그리고, 도전막에 평탄화 처리를 수행하여 도전막(244A) 및 도전막(244B)을 부분적으로 제거하고 절연체(280)의 상면을 노출시킴으로써, 도전체(244a), 도전체(244b), 도전체(244c), 도전체(244d), 및 도전체(244e)를 형성한다(도 17의 화살표는 CMP 처리를 나타냄).
- [0245] 그리고, 절연체(280) 및 도전체(244) 위에 도전체(246A) 및 도전체(124A)를 형성한다(도 18). 그리고, 리소그래피법 등에 의하여 도전체(246A) 및 도전체(124A)의 불필요한 부분을 제거함으로써, 도전체(246a), 도전체(246b), 도전체(246d), 도전체(124a), 도전체(124b), 도전체(124d), 도전체(112a), 및 도전체(112b)를 형성한다.
- [0246] 그리고, 배리어막(281A)을 형성한다(도 19). ALD법에 의하여 형성한 산화 알루미늄을 배리어막(281A)으로서 사용할 수 있다. 크랙 또는 핀홀 등의 결함이 저감되거나 두께가 균일한 치밀한 절연체를 ALD법에 의하여 형성할 수 있다. 배리어층(281)에 의하여, 도전체(244)에 포함되는 불순물의 확산 및 도전체(244)의 일부의 확산을 방지할 수 있다. 산화 알루미늄을 사용함으로써, 트랜지스터의 제작 공정 중 및 제작 공정 후에 수소 및 수분 등

의 불순물이 트랜지스터(200)에 들어가는 것을 방지할 수 있다.

- [0247] 다음으로, 배리어막(281A)의 불필요한 부분을 레지스트 마스크를 사용하여 에칭에 의하여 제거함으로써, 배리어층(281a), 배리어층(281b), 배리어층(281c), 및 배리어층(281d)을 형성한다(도 20).
- [0248] 여기서, 절연체(280) 내의 불순물을 제거하고 과잉 산소 영역을 형성한다. 절연체(280)에는, 도전체(244)의 형성 단계에서 사용한 에칭 가스에 기인한 불순물이 남는 경우가 있다. 특히, 에칭 가스 등에 사용되는 할로젠, 또는 특히 염소(Cl) 등은, 절연체(280) 내의 산소의 확산을 방해할 수 있어 제거되는 것이 바람직하다.
- [0249] 예를 들어, 에칭 가스에 기인하고, 개구를 형성하는 단계에서 형성되는 절연체(280) 내의 불순물은, 10ppm 이상 200ppm 이하, 바람직하게는 50ppm 이상 100ppm 이하의 플루오린화 수소산을 사용한 세정에 의하여 제거되어도 좋다. 회석된 플루오린화 수소산을 사용한 세정에 의하여, 절연체(280)의 표면에 남은 불순물을 제거할 수 있다. 플루오린화 수소산 대신에, 오존수, 인산, 또는 질산을 세정에 사용하여도 좋다.
- [0250] 절연체(280) 내의 불순물을 제거하기 위하여, 산소 플라스마 처리를 수행하는 것이 바람직하다. 과잉 산소 영역을 형성하기 위해서는, 예를 들어, 이온 주입법, 이온 도핑법, 또는 플라스마 처리에 의하여 산소를 첨가할 수 있다.
- [0251] 예를 들어, 산소 플라스마 처리를 수행한다(도 21의 화살표는 플라스마 처리를 나타냄). 대표적인 산소 플라스마 처리에서는, 글로 방전 플라스마에 의하여 산소 가스로부터 생성된 라디칼로 산화물 반도체의 표면을 처리한다. 그러나, 플라스마를 생성하는 가스로서는, 산소뿐만 아니라, 산소 가스와 희가스의 혼합 가스를 사용하여도 좋다. 예를 들어, 산화성 가스를 포함하는 분위기 또는 감압하에 있어서, 250℃ 이상 400℃ 이하, 바람직하게는 300℃ 이상 400℃ 이하의 온도에서 산소 플라스마 처리를 수행할 수 있다.
- [0252] 산소 플라스마 처리에 의하여 절연체(280), 및 트랜지스터(200)의 활성층에 사용되는 산화물이 탈할로젠화, 탈수화, 또는 탈수소화되고, 절연체(280)에 과잉 산소가 도입된 결과, 과잉 산소 영역을 형성할 수 있다. 또한, 탈수화 또는 탈수소화된 산화물(230)에는 산소 결손이 생성되고 산화물(230)의 저항이 저감된다. 한편, 절연체(280)의 과잉 산소는 산화물(230)의 산소 결손을 보전한다. 따라서, 산소 플라스마 처리에 의하여, 절연체(280)에 과잉 산소 영역이 형성됨과 동시에 불순물로서 기능하는 수소 및 물을 절연체(280)로부터 제거할 수 있다. 그러므로, 트랜지스터(200)의 전기 특성을 향상시킬 수 있고 전기 특성의 변동을 저감시킬 수 있다.
- [0253] 배리어층(281)에 의하여, 도전체(124), 도전체(246), 및 도전체(244)가 산소 플라스마 처리에 의하여 산화되는 것을 방지할 수 있다. 또한, 도전체(124)를 내산화성이 높은 도전체를 사용하여 형성하면, 도전체(124)가 배리어층으로서 기능하기 때문에, 배리어층(281)을 반드시 포함할 필요는 없다.
- [0254] 또한, 가열 처리를 수행하여도 좋다. 가열 처리에 의하여, 절연체(280) 내의 불순물을 제거할 수 있고 과잉 산소 영역을 형성할 수 있다. 가열 처리는, 불활성 가스 분위기, 산화성 가스를 10ppm 이상 포함하는 분위기, 또는 감압하에 있어서, 250℃ 이상 400℃ 이하, 바람직하게는 320℃ 이상 380℃ 이하에서 수행할 수 있다. 또는, 가열 처리는, 불활성 가스 분위기에서 가열 처리를 수행한 다음, 방출된 산소를 보전하기 위하여 산화성 가스를 10ppm 이상 포함하는 분위기에서 다른 가열 처리를 수행하는 식으로 수행하여도 좋다. 가열 처리에 의하여, 절연체(280) 및 트랜지스터(200)의 불순물인 수소를 제거할 수 있다. 또한, 트랜지스터(200)의 하방에 형성된 절연체로부터 트랜지스터(200)의 산화물(230)로 산소가 공급되므로, 채널 영역이 형성되는 산화물 내의 산소 결손을 저감시킬 수 있다.
- [0255] 배리어층(281)에 의하여, 도전체(124), 도전체(246), 및 도전체(244)가 가열 처리 시의 가스 분위기에 의하여 산화되는 것을 방지할 수 있다. 또한, 도전체(124)를 내산화성이 높은 도전체를 사용하여 형성하면, 도전체(124)가 배리어층으로서 기능하기 때문에, 배리어층(281)을 반드시 포함할 필요는 없다.
- [0256] 다음으로, 절연체(280) 및 배리어층(281) 위에 절연체(282)를 형성한다(도 22). 산소 도입 처리의 예로서, 스퍼터링 장치를 사용하여 절연체(280) 위에 산화물을 적층하는 방법이 제시된다. 예를 들어, 스퍼터링 장치를 사용하여 산소 가스 분위기에서 절연체(282)를 형성함으로써, 절연체(282)를 형성하면서 절연체(280)에 산소를 도입할 수 있다.
- [0257] 스퍼터링법에 의한 퇴적 중에는, 타겟과 기판 사이에 이온 및 스퍼터링된 입자가 존재한다. 예를 들어, 전원이 접속되는 타겟에는 전위 E_0 가 공급된다. 기판에는 접지 전위 등의 전위 E_1 가 공급된다. 또한, 기판은 전기적으로 부유 상태이어도 좋다. 또한, 타겟과 기판 사이에는 전위 E_2 의 영역이 있다. 전위의 관계는 $E_2 > E_1 > E_0$ 이다.

- [0258] 플라스마 내의 이온이 전위차(E_2-E_0)에 의하여 가속되고 타겟과 충돌됨으로써, 스퍼터링된 입자가 타겟으로부터 튀어나온다. 이들의 스퍼터링된 입자가 퇴적 표면에 부착됨으로써, 막이 형성된다. 일부 이온은 타겟에 의하여 반도(反跳)되고, 반도 이온으로서, 형성된 막을 통하여, 형성된 막의 아래에 있는 절연체(280)에 들어갈 수 있다. 플라스마 내의 이온은 전위차(E_2-E_1)에 의하여 가속되고 퇴적 표면과 충돌된다. 일부 이온은 절연체(280) 내부에 도달한다. 이온은 절연체(280)에 들어가기 때문에, 이온이 들어간 영역이 절연체(280)에 형성된다. 즉, 이온이 산소를 포함하는 경우, 절연체(280)에 과잉 산소 영역이 형성된다.
- [0259] 산소(적어도 산소 라디칼, 산소 원자, 및 산소 이온 중 어느 것을 포함함)를 절연체(282)를 통하여 절연체(280)에 도입하여, 과잉 산소를 포함하는 영역을 형성하여도 좋다. 산소는 이온 주입법, 이온 도핑법, 플라스마 잠입 이온 주입법, 또는 플라스마 처리 등에 의하여 도입할 수 있다. 절연체(282)를 통하여 산소 도입 처리를 수행함으로써, 절연체(280)를 보호한 상태로 과잉 산소 영역을 형성할 수 있다.
- [0260] 다음으로, 가열 처리를 수행하여도 좋다. 가열 처리는 불활성 가스 분위기, 산화성 가스를 10ppm 이상 포함하는 분위기, 또는 감압 상태에 있어서, 250℃ 이상 650℃ 이하, 바람직하게는 300℃ 이상 500℃ 이하, 더 바람직하게는 350℃ 이상 400℃ 이하의 온도에서 수행할 수 있다. 또는, 가열 처리는, 불활성 가스 분위기에서 가열 처리를 수행한 다음, 방출된 산소를 보전하기 위하여 산화성 가스를 10ppm 이상 포함하는 분위기에서 다른 가열 처리를 수행하는 식으로 수행하여도 좋다. 가열 처리에는, RTA 장치를 사용한 램프 가열을 수행할 수 있다.
- [0261] 가열 처리에 의하여, 절연체(280)에 도입된 과잉 산소는 절연체(280)로 확산된다. 여기서, 절연체(280)는 산소에 대한 배리어성을 갖는 절연체(282)로 둘러싸여 있다. 따라서, 절연체(280)에 도입된 과잉 산소는, 외부에 방출되는 것이 방지되고 산화물(230)에 효율적으로 공급된다.
- [0262] 또한, 가열 처리에 의하여, 절연체(280) 내의 수소가 절연체(282)로 이동한다. 절연체(282)로 이동한 수소는 절연체(282) 내의 산소와 반응함으로써, 물이 생성되는 경우가 있다. 생성된 물은 절연체(282) 상방으로부터 방출된다. 따라서, 절연체(280)의 불순물로서의 수소 및 물을 저감시킬 수 있다. 또한, 절연체(282)를 산화 알루미늄을 사용하여 형성하는 경우, 절연체(282)는 촉매로서 기능할 수 있다.
- [0263] 트랜지스터(200)의 산화물(230)에 공급된 산소는, 트랜지스터(200)에서 채널이 형성되는 산화물 내의 산소 결손을 보전한다. 따라서, 트랜지스터(200)에서 채널이 형성되는 산화물을 결함 준위의 밀도가 낮고 특성이 안정적인 산화물 반도체로 할 수 있다. 즉, 트랜지스터(200)의 전기 특성의 변동을 방지하고 신뢰성을 향상시킬 수 있다.
- [0264] 퇴적된 절연체(280)에 산소를 도입하여, 과잉 산소를 포함하는 영역을 형성하기 위하여, 산소 플라스마 처리, 이온 주입법, 가열 처리, 또는 이들의 조합을 사용하여도 좋다.
- [0265] 그리고, 절연체(282) 위에 도전체(112)의 상면 및 측면을 덮는 절연체(130)를 형성한다. 절연체(130)는 예를 들어, 산화 실리콘, 산화 질화 실리콘, 질화 산화 실리콘, 질화 실리콘, 산화 알루미늄, 산화 질화 알루미늄, 질화 산화 알루미늄, 질화 알루미늄, 산화 하프늄, 산화 질화 하프늄, 질화 산화 하프늄, 또는 질화 하프늄 등을 사용하여 형성할 수 있다.
- [0266] 그리고, 절연체(130) 위에 도전체(116)를 형성한다. 또한, 도전체(116)는 도전체(112)를 형성하는 데 사용하는 재료 및 방법과 비슷한 것을 사용하여 형성할 수 있다.
- [0267] 다음으로, 용량 소자(100)를 덮는 절연체(150)를 형성한다. 절연체(150)가 되는 절연체는, 절연체(320) 등을 형성하는 데 사용하는 재료 및 방법과 비슷한 것을 사용하여 형성할 수 있다.
- [0268] 상술한 단계를 거쳐, 본 발명의 일 형태에 따른 반도체 장치를 제작할 수 있다(도 23).
- [0269] 산화물 반도체를 사용한 트랜지스터를 포함하고 상술한 단계를 거쳐 제작된 반도체 장치에서는, 전기 특성의 변동을 방지할 수 있고 신뢰성을 향상시킬 수 있다. 온 상태 전류가 높은 산화물 반도체를 포함하는 트랜지스터를 제공할 수 있다. 오프 상태 전류가 낮은 산화물 반도체를 포함하는 트랜지스터를 제공할 수 있다. 소비전력이 낮은 반도체 장치를 제공할 수 있다.
- [0270] 본 실시형태의 적어도 일부는 본 명세서에서 설명하는 다른 실시형태 중 임의의 것과 적절히 조합하여 실시할 수 있다.
- [0271] (실시형태 3)

- [0272] 본 실시형태에서는, 반도체 장치의 일 형태에 대하여 도 24의 (A) 내지 (C), 도 25의 (A) 내지 (C), 도 26의 (A) 내지 (C), 도 27의 (A) 내지 (C), 도 28의 (A) 내지 (C), 도 29의 (A) 내지 (C), 도 30의 (A) 내지 (C), 도 31의 (A) 내지 (C), 도 32의 (A) 내지 (E), 도 33의 (A) 내지 (D), 도 34의 (A) 내지 (C), 그리고 도 35의 (A) 내지 (C)를 참조하여 설명한다.
- [0273] <트랜지스터의 구조 1>
- [0274] 본 발명의 일 형태에 따른 트랜지스터의 예에 대하여 이하에서 설명한다. 도 24의 (A) 내지 (C)는 본 발명의 일 형태에 따른 트랜지스터를 도시한 상면도 및 단면도이다. 도 24의 (A)는 상면도이고, 도 24의 (B)는 도 24의 (A)의 일점쇄선 X1-X2를 따라 취한 단면도이고, 도 24의 (C)는 도 24의 (A)의 일점쇄선 Y1-Y2를 따라 취한 단면도이다. 또한, 도면의 명료화를 위하여, 도 24의 (A)의 상면도에는 일부 구성 요소를 도시하지 않았다.
- [0275] 트랜지스터(200)는 게이트 전극으로서 기능하는 도전체(205)(도전체(205a) 및 도전체(205b)) 및 도전체(260); 게이트 절연층으로서 기능하는 절연체(220), 절연체(222), 절연체(224), 및 절연체(250); 채널이 형성되는 영역을 포함하는 산화물(230)(산화물(230a), 산화물(230b), 및 산화물(230c)); 소스 전극 및 드레인 전극 중 한쪽으로서 기능하는 도전체(240a); 소스 전극 및 드레인 전극 중 다른 쪽으로서 기능하는 도전체(240b); 과잉 산소를 포함하는 절연체(280); 및 배리어성을 갖는 절연체(282)를 포함한다.
- [0276] 산화물(230)은 산화물(230a), 산화물(230a) 위의 산화물(230b), 및 산화물(230b) 위의 산화물(230c)을 포함한다. 트랜지스터(200)를 온으로 하면, 주로 산화물(230b)에 전류가 흐른다(채널이 형성됨). 산화물(230b)과 각 산화물(230a 및 230c)의 계면 근방(혼합 영역인 경우가 있음)의 영역을 통하여 전류가 흐르는 경우가 있지만, 산화물(230a 및 230c)의 다른 영역은 절연체로서 기능한다.
- [0277] 도 24의 (A) 내지 (C)에 도시된 바와 같이, 산화물(230a 및 230b)의 측면을 덮도록 산화물(230c)을 제공하는 것이 바람직하다. 절연체(280)와, 채널이 형성되는 영역을 포함하는 산화물(230b) 사이에 제공되는 산화물(230c)은, 절연체(280)로부터 산화물(230b)로 수소, 물, 및 할로젠 등의 불순물이 확산되는 것을 방지할 수 있다.
- [0278] 몰리브데넘, 타이타늄, 탄탈럼, 텅스텐, 알루미늄, 구리, 크로뮴, 네오디뮴, 및 스칸듐에서 선택된 원소를 포함하는 금속막; 또는 상기 원소 중 어느 것을 그 성분으로서 포함하는 금속 질화물막(예를 들어, 질화 탄탈럼막, 질화 타이타늄막, 질화 몰리브데넘막, 또는 질화 텅스텐막) 등을 도전체(205)로서 사용한다. 특히, 질화 탄탈럼막 등의 금속 질화물막은, 수소 또는 산소에 대한 배리어성을 갖고 산화되기 어렵기 때문에(내산화성이 높기 때문에) 바람직하다. 또는, 인듐 주석 산화물, 산화 텅스텐을 포함하는 인듐 산화물, 산화 텅스텐을 포함하는 인듐 아연 산화물, 산화 타이타늄을 포함하는 인듐 산화물, 산화 타이타늄을 포함하는 인듐 주석 산화물, 인듐 아연 산화물, 또는 산화 실리콘이 첨가된 인듐 주석 산화물 등의 도전성 재료를 사용할 수도 있다.
- [0279] 예를 들어, 도전체(205a)로서 수소에 대한 배리어성을 갖는 도전체, 예를 들어, 질화 탄탈럼을 사용하고, 그 위에 도전체(205b)로서 도전성이 높은 텅스텐을 적층하는 것이 바람직하다. 이 재료의 조합을 사용하면 배선의 도전성을 지키면서 산화물(230)로의 수소의 확산을 방지할 수 있다. 또한, 도 24의 (A) 내지 (C)에는 도전체(205a 및 205b)의 2층 구조를 도시하였지만, 본 발명의 일 형태는 이에 한정되지 않고, 단층 구조 또는 3층 이상의 적층 구조를 사용하여도 좋다. 예를 들어, 배리어성을 갖는 도전체와 도전성이 높은 도전체를, 배리어성을 갖는 도전체 및 도전성이 높은 도전체에 대한 밀착성이 높은 도전체를 이들 사이에 개재하여 제공하는 구조를 채용하여도 좋다.
- [0280] 절연체(224)는 산화 실리콘막 또는 산화 질화 실리콘막 등, 산소를 포함하는 절연체인 것이 바람직하다. 특히, 절연체(224)는 과잉 산소를 포함하는(화학량론적 조성을 초과하여 산소를 포함하는) 절연체인 것이 바람직하다. 과잉 산소를 포함하는 이러한 절연체를 트랜지스터(200)의 산화물과 접촉하여 제공하는 경우, 산화물(230) 내의 산소 결손을 보전할 수 있다.
- [0281] 또한, 절연체(224)가 과잉 산소 영역을 포함하는 경우, 절연체(222)는 산소, 수소, 및 물에 대한 배리어성을 갖는 것이 바람직하다. 절연체(222)가 산소에 대한 배리어성을 가지면, 과잉 산소 영역의 산소가 트랜지스터(300) 측으로 확산되지 않고 산화물(230)에 효율적으로 공급된다. 도전체(205)가 절연체(224)의 과잉 산소 영역의 산소와 반응하는 것을 억제할 수 있다.
- [0282] 절연체(222)는, 예를 들어, 산화 실리콘, 산화 질화 실리콘, 질화 산화 실리콘, 산화 알루미늄, 산화 하프늄, 산화 탄탈럼, 산화 지르코늄, 타이타늄산 지르콘산염(PZT), 타이타늄산 스트론튬(SrTiO_3), 또는 $(\text{Ba}, \text{Sr})\text{TiO}_3$ (BST) 등을 포함하는 절연체를 사용하는 단층 구조 또는 적층 구조를 갖는 것이 바람직하다. 특히,

산소 또는 수소에 대한 배리어성을 갖는 절연막, 예를 들어 산화 알루미늄막 또는 산화 하프늄막을 사용하는 것이 바람직하다. 이러한 재료로 형성된 절연체(222)는, 산화물(230)로부터의 산소의 방출 및 외부로부터 수소 등의 불순물이 들어가는 것을 방지하는 층으로서 기능한다.

[0283] 또는, 예를 들어, 이들 절연체에 산화 알루미늄, 산화 비스무트, 산화 저마늄, 산화 나이오븀, 산화 실리콘, 산화 타이타늄, 산화 텅스텐, 산화 이트륨, 또는 산화 지르코늄을 첨가하여도 좋다. 이들 절연체에 질화 처리를 실시하여도 좋다. 이 절연체 위에 산화 실리콘, 산화 질화 실리콘, 또는 질화 실리콘의 층을 적층하여도 좋다.

[0284] 또한, 절연체(220, 222, 및 224)는 각각 2층 이상의 적층 구조를 가져도 좋다. 이 경우, 적층은 반드시 같은 재료로 형성될 필요는 없고, 다른 재료로 형성되어도 좋다.

[0285] high-k 재료를 포함하는 절연체(222)를 절연체(220)와 절연체(224) 사이에 제공하기 때문에, 특정한 조건하에서 전자가 절연체(222)에 트랩되고, 문턱 전압이 증대될 수 있다. 이 결과, 절연체(222)가 옴으로 대전되는 경우가 있다.

[0286] 예를 들어, 절연체(220) 및 절연체(224)를 산화 실리콘을 사용하여 형성하고, 절연체(222)를 산화 하프늄, 산화 알루미늄, 또는 산화 탄탈럼 등 전자 트랩 준위가 많은 재료를 사용하여 형성하는 경우, 반도체 장치의 동작 온도 또는 보관 온도보다 높은 온도(예를 들어, 125℃ 이상 450℃ 이하, 대표적으로는 150℃ 이상 300℃ 이하)에서, 도전체(205)의 전위가 소스 전극 또는 드레인 전극의 전위보다 높은 상태를 10밀리초 이상, 대표적으로는 1분 이상 유지한다. 이로써, 트랜지스터(200)의 산화물로부터 도전체(205)로 전자가 이동한다. 이때, 이동하는 전자의 일부가 절연체(222)의 전자 트랩 준위에 의하여 트랩된다.

[0287] 필요한 양의 전자가 절연체(222)의 전자 트랩 준위에 의하여 트랩된 트랜지스터에서는, 문턱 전압이 양의 방향으로 변동된다. 도전체(205)의 전압을 제어함으로써, 트랩된 전자량을 제어할 수 있어, 문턱 전압을 제어할 수 있다. 이 구조를 갖는 트랜지스터(200)는, 게이트 전압이 0V일 때도 비도통 상태(오프 상태라고도 함)에 있는 노멀리 오프 트랜지스터이다.

[0288] 전자를 트랩하기 위한 처리를 트랜지스터의 제작 공정에서 수행하여도 좋다. 예를 들어, 이 처리는 트랜지스터의 소스 도전체 또는 드레인 도전체에 접속되는 도전체의 형성 후, 전(前)공정(웨이퍼 처리) 후, 웨이퍼 다이싱 단계 후, 또는 패키징 후 등, 공장 출하 전의 어느 단계에서 수행하는 것이 바람직하다.

[0289] 절연체(220, 222, 및 224)의 두께를 적절히 조정함으로써, 문턱 전압을 제어할 수 있다. 예를 들어, 절연체(220, 222, 및 224)의 총 두께가 작으면, 도전체(205)로부터 전압이 효율적으로 인가되기 때문에, 트랜지스터의 소비전력이 저감된다. 절연체(220, 222, 및 224)의 총 두께는 65nm 이하, 바람직하게는 20nm 이하이다.

[0290] 그러므로, 오프 상태에서의 누설 전류가 낮은 트랜지스터를 제공할 수 있다. 전기 특성이 안정적인 트랜지스터를 제공할 수 있다. 온 상태 전류가 높은 트랜지스터를 제공할 수 있다. 서브스레시홀드 스윙값이 작은 트랜지스터를 제공할 수 있다. 신뢰성이 높은 트랜지스터를 제공할 수 있다.

[0291] 산화물(230a, 230b, 및 230c)은 각각 In-M-Zn 산화물(M은 Al, Ga, Y, 또는 Sn) 등의 금속 산화물을 사용하여 형성된다. 산화물(230)로서 In-Ga 산화물 또는 In-Zn 산화물을 사용하여도 좋다.

[0292] 본 발명에 따른 산화물(230)에 대하여 이하에서 설명한다.

[0293] 산화물(230)로서 사용하는 산화물은 적어도 인듐 또는 아연을 포함하는 것이 바람직하다. 특히, 인듐 및 아연을 포함하는 것이 바람직하다. 또한, 알루미늄, 갈륨, 이트륨, 또는 주석 등을 포함하는 것이 바람직하다. 또한, 붕소, 실리콘, 타이타늄, 철, 니켈, 저마늄, 지르코늄, 몰리브데넘, 란타넘, 세륨, 네오디뮴, 하프늄, 탄탈럼, 텅스텐, 또는 마그네슘 등에서 선택된 하나 이상의 원소를 포함하여도 좋다.

[0294] 여기서, 산화물이 인듐, 원소 M, 및 아연을 포함하는 경우에 대하여 생각한다. 원소 M은 알루미늄, 갈륨, 이트륨, 또는 주석 등이다. 원소 M으로서 사용할 수 있는 다른 원소에는 붕소, 실리콘, 타이타늄, 철, 니켈, 저마늄, 지르코늄, 몰리브데넘, 란타넘, 세륨, 네오디뮴, 하프늄, 탄탈럼, 텅스텐, 및 마그네슘이 포함된다. 또한, 원소 M으로서, 상술한 원소 중 2개 이상을 조합하여 사용하여도 좋다.

[0295] 먼저, 도 36의 (A) 내지 (C)를 참조하여 본 발명에 따른 산화물에 포함되는 인듐, 원소 M, 및 아연의 원자수비의 바람직한 범위에 대하여 설명한다. 또한, 도 36의 (A) 내지 (C)에는 산소 원자의 비율에 대해서는 도시하지 않았다. 산화물에 포함되는 인듐, 원소 M, 및 아연의 원자수비의 항을 각각 [In], [M], 및 [Zn]으로 나타낸다.

[0296] 도 36의 (A) 내지 (C)에서, 파선은 원자수비 [In]:[M]:[Zn]이 $(1+a):(1-a):1$ ($-1 \leq a \leq 1$)인 라인, 원자수비

$[In]:[M]:[Zn]$ 이 $(1+a):(1-a):2$ 인 라인, 원자수비 $[In]:[M]:[Zn]$ 이 $(1+a):(1-a):3$ 인 라인, 원자수비 $[In]:[M]:[Zn]$ 이 $(1+a):(1-a):4$ 인 라인, 그리고 원자수비 $[In]:[M]:[Zn]$ 이 $(1+a):(1-a):5$ 인 라인을 나타낸다.

[0297] 일점쇄선은 원자수비 $[In]:[M]:[Zn]$ 이 $1:1:\beta$ ($\beta \geq 0$)인 라인, 원자수비 $[In]:[M]:[Zn]$ 이 $1:2:\beta$ 인 라인, 원자수비 $[In]:[M]:[Zn]$ 이 $1:3:\beta$ 인 라인, 원자수비 $[In]:[M]:[Zn]$ 이 $1:4:\beta$ 인 라인, 원자수비 $[In]:[M]:[Zn]$ 이 $2:1:\beta$ 인 라인, 그리고 원자수비 $[In]:[M]:[Zn]$ 이 $5:1:\beta$ 인 라인을 나타낸다.

[0298] 이점쇄선은 원자수비 $[In]:[M]:[Zn]$ 이 $(1+y):2:(1-y)$ ($-1 \leq y \leq 1$)인 라인을 나타낸다. 도 36의 (A) 내지 (C)에서, $0:2:1$ 과 동등하거나 $0:2:1$ 과 가까운 원자수비 $[In]:[M]:[Zn]$ 을 갖는 산화물은 스피넬 결정 구조를 갖기 쉽다.

[0299] 도 36의 (A) 및 (B)는 본 발명의 일 형태의 산화물에 포함되는 인듐, 원소 M , 및 아연의 원자수비의 바람직한 범위의 예를 도시한 것이다.

[0300] 도 37은 원자수비 $[In]:[M]:[Zn]$ 이 $1:1:1$ 인 $InMZnO_4$ 의 결정 구조의 예를 도시한 것이다. 도 37에 도시된 결정 구조는 b 축에 평행한 방향에서 관찰한 $InMZnO_4$ 이다. 또한, 도 37에서 M , Zn , 및 산소를 포함하는 층(이하, 이 층을 " (M, Zn) 층"이라고 함)에서의 금속 원소는 원소 M 또는 아연을 나타낸다. 이 경우, 원소 M 의 비율은 아연의 비율과 같다. 원소 M 및 아연은 서로 치환할 수 있고, 이들의 배열은 불규칙하다.

[0301] 또한, $InMZnO_4$ 는 층상의 결정 구조(층상 구조라고도 함)를 갖고, 도 37에 도시된 바와 같이 원소 M , 아연, 및 산소를 포함하는 (M, Zn) 층 2개 겹쳐 인듐 및 산소를 포함하는 층(이하, In 층이라고 함) 하나를 포함한다.

[0302] 인듐 및 원소 M 은 서로 치환할 수 있다. 따라서, (M, Zn) 층의 원소 M 이 인듐과 치환되면, 상기 층을 (In, M, Zn) 층이라고 할 수도 있다. 이 경우, (In, M, Zn) 층 2개 겹쳐 In 층 하나를 포함하는 층상 구조가 얻어진다.

[0303] 원자수비 $[In]:[M]:[Zn]$ 이 $1:1:2$ 인 산화물은, (M, Zn) 층 3개 겹쳐 In 층 하나를 포함하는 층상 구조를 갖는다. 바꿔 말하면, $[Zn]$ 이 $[In]$ 및 $[M]$ 보다 크면, 산화물이 결정화될 때 In 층에 대한 (M, Zn) 층의 비율이 높아진다.

[0304] 또한, 산화물에서 In 층 하나에 대한 (M, Zn) 층의 개수가 정수(整數)가 아닌 경우, 산화물은 In 층 하나에 대한 (M, Zn) 층의 개수가 정수인 복수 종류의 층상 구조를 가질 수 있다. 예를 들어, $[In]:[M]:[Zn]=1:1:1.5$ 인 경우, 산화물은 (M, Zn) 층 2개 겹쳐 In 층 하나의 층상 구조 및 (M, Zn) 층 3개 겹쳐 In 층 하나의 층상 구조를 가질 수 있다.

[0305] 예를 들어, 산화물을 스핀터링 장치를 사용하여 퇴적하는 경우, 타깃의 원자수비에서 벗어난 원자수비를 갖는 막이 형성된다. 특히, 퇴적 시의 기판 온도에 따라서는 타깃의 $[Zn]$ 보다 막의 $[Zn]$ 이 작아질 수 있다.

[0306] 산화물에는 복수의 상(phase)(예를 들어, 2상 또는 3상)이 존재하는 경우가 있다. 예를 들어, $0:2:1$ 에 가까운 원자수비 $[In]:[M]:[Zn]$ 을 가지면, 스피넬 결정 구조와 층상 결정 구조의 2상이 존재하기 쉽다. 또한, $1:0:0$ 에 가까운 원자수비 $[In]:[M]:[Zn]$ 을 가지면, 비스비아이트(bixbyite) 결정 구조와 층상 결정 구조의 2상이 공존하기 쉽다. 산화물에 복수의 상이 공존하는 경우, 다른 결정 구조들 사이에 결정립계가 형성될 수 있다.

[0307] 또한, 더 높은 비율로 인듐을 포함하는 산화물은 캐리어 이동도(전자 이동도)가 높아질 수 있다. 이는, 인듐, 원소 M , 및 아연을 포함하는 산화물에서는 주로 중금속의 s 궤도가 캐리어 전도에 기여하고 있고, 산화물 내의 인듐의 함유율을 높게 하면, 인듐 원자의 s 궤도의 중첩이 커지므로, 인듐의 함유율이 높은 산화물은 인듐의 함유율이 낮은 산화물보다 캐리어 이동도가 높아지기 때문이다.

[0308] 한편, 산화물 내의 인듐의 함유율 및 아연의 함유율이 낮아지면, 캐리어 이동도가 낮아진다. 따라서, $[In]:[M]:[Zn]=0:1:0$ 및 그 근방의 원자수비(예를 들어, 도 36의 (C)의 영역 C)를 가지면, 절연성이 좋아진다.

[0309] 따라서, 본 발명의 일 형태에서의 산화물은 도 36의 (A)의 영역 A로 나타내어지는 원자수비를 갖는 것이 바람직하다. 상기 원자수비를 가지면, 캐리어 이동도가 높고 결정립계가 적은 층상 구조가 쉽게 얻어진다.

[0310] 도 36의 (B)의 영역 B는 $[In]:[M]:[Zn]=4:2:3$ 내지 $4:2:4.1$ 및 그 근방의 원자수비를 나타낸다. 근방에는 $[In]:[M]:[Zn]=5:3:4$ 의 원자수비가 포함된다. 영역 B로 나타내어지는 원자수비를 갖는 산화물은 특히 결정성이 높고 캐리어 이동도가 높은 우수한 산화물이다.

[0311] 또한, 산화물이 층상 구조를 형성하는 조건은 원자수비에 의하여 일의적으로 결정되지 않는다. 원자수비 간에 층상 구조를 형성하는 데 어려움의 차이가 있다. 같은 원자수비를 갖더라도, 층상 구조가 형성되는지 여부

는 형성 조건에 따른다. 따라서, 도시된 영역은 각각 산화물이 층상 구조를 갖는 원자수비를 나타내고, 영역 A 내지 C의 경계는 명확하지 않다.

[0312] 다음으로, 상기 산화물을 트랜지스터에 사용하는 경우에 대하여 설명한다.

[0313] 또한, 상기 산화물을 트랜지스터에 사용하면, 결정립계에서의 캐리어 산란 등을 저감시킬 수 있어, 전계 효과 이동도가 높은 트랜지스터로 할 수 있다. 또한, 신뢰성이 높은 트랜지스터로 할 수 있다.

[0314] 트랜지스터에는 캐리어 밀도가 낮은 산화물을 사용하는 것이 바람직하다. 예를 들어, 캐리어 밀도가 $8 \times 10^{11} \text{ cm}^{-3}$ 미만, 바람직하게는 $1 \times 10^{11} \text{ cm}^{-3}$ 미만, 더 바람직하게는 $1 \times 10^{10} \text{ cm}^{-3}$ 미만이고 $1 \times 10^{-9} \text{ cm}^{-3}$ 이상인 산화물을 사용한다.

[0315] 고순도 진성 또는 실질적으로 고순도 진성인 산화물은 캐리어 발생원이 적으므로 캐리어 밀도를 낮출 수 있다. 고순도 진성 또는 실질적으로 고순도 진성인 산화물은 결합 준위의 밀도가 낮기 때문에, 트랩 준위의 밀도가 낮아지는 경우가 있다.

[0316] 산화물의 트랩 준위에 의하여 트랩된 전하는 방출되는 데 긴 시간이 걸리고, 고정 전하처럼 작용할 수 있다. 따라서, 트랩 준위의 밀도가 높은 산화물에 채널 영역이 형성되는 트랜지스터는 불안정한 전기 특성을 갖는 경우가 있다.

[0317] 트랜지스터의 안정적인 전기 특성을 얻기 위해서는, 산화물 내의 불순물 농도를 저감시키는 것이 효과적이다. 또한, 산화물 내의 불순물 농도를 저감시키기 위해서는, 산화물에 인접한 막 내의 불순물 농도를 저감시키는 것이 바람직하다. 불순물의 예로서는 수소, 질소, 알칼리 금속, 알칼리 토금속, 철, 니켈, 및 실리콘 등이 들어진다.

[0318] 여기서, 산화물에서의 불순물의 영향에 대하여 설명한다.

[0319] 14족 원소인 실리콘 또는 탄소가 산화물에 포함되면, 산화물에 결합 준위가 형성된다. 따라서, 산화물에서 또는 산화물의 계면 근방에서는, 실리콘 또는 탄소의 농도(SIMS(secondary ion mass spectrometry)에 의하여 측정됨)를 $2 \times 10^{18} \text{ atoms/cm}^3$ 이하, 바람직하게는 $2 \times 10^{17} \text{ atoms/cm}^3$ 이하로 한다.

[0320] 산화물이 알칼리 금속 또는 알칼리 토금속을 포함하면, 결합 준위가 형성되고 캐리어가 생성되는 경우가 있다. 따라서, 알칼리 금속 또는 알칼리 토금속이 포함된 산화물을 포함하는 트랜지스터는 노멀리 온이 되기 쉽다. 따라서, 산화물 내의 알칼리 금속 또는 알칼리 토금속의 농도를 저감시키는 것이 바람직하다. 구체적으로는, SIMS에 의하여 측정되는 알칼리 금속 또는 알칼리 토금속의 농도를 $1 \times 10^{18} \text{ atoms/cm}^3$ 이하, 바람직하게는 $2 \times 10^{16} \text{ atoms/cm}^3$ 이하로 한다.

[0321] 질소가 포함되면, 캐리어로서 기능하는 전자의 생성 및 캐리어 밀도의 증가에 의하여 산화물이 n형화되기 쉽다. 따라서, 반도체가 질소를 포함하는 산화물을 포함하는 트랜지스터는 노멀리 온이 되기 쉽다. 이러한 이유로, 상기 산화물의 질소는 가능한 한 저감되어 있는 것이 바람직하고, SIMS에 의하여 측정되는 산화물의 질소의 농도를 예를 들어, $5 \times 10^{19} \text{ atoms/cm}^3$ 미만, 바람직하게는 $5 \times 10^{18} \text{ atoms/cm}^3$ 이하, 더 바람직하게는 $1 \times 10^{18} \text{ atoms/cm}^3$ 이하, 더욱 바람직하게는 $5 \times 10^{17} \text{ atoms/cm}^3$ 이하로 한다.

[0322] 산화물에 포함되는 수소는 금속 원자와 결합되는 산소와 반응하여 물이 되기 때문에, 산소 결손을 발생시키는 경우가 있다. 산소 결손에 수소가 들어감으로써, 캐리어로서 기능하는 전자가 생성되는 경우가 있다. 또한, 수소의 일부가 금속 원자와 결합되는 산소와 결합됨으로써, 캐리어로서 기능하는 전자가 생성되는 경우가 있다. 따라서, 수소를 포함한 산화물을 포함하는 트랜지스터는 노멀리 온이 되기 쉽다. 따라서, 산화물 내의 수소는 가능한 한 저감되어 있는 것이 바람직하다. 구체적으로는, SIMS에 의하여 측정되는 산화물 내의 수소 농도를 $1 \times 10^{20} \text{ atoms/cm}^3$ 미만, 바람직하게는 $1 \times 10^{19} \text{ atoms/cm}^3$ 미만, 더 바람직하게는 $5 \times 10^{18} \text{ atoms/cm}^3$ 미만, 더욱 바람직하게는 $1 \times 10^{18} \text{ atoms/cm}^3$ 미만으로 한다.

[0323] 불순물 농도가 충분히 저감된 산화물을 트랜지스터의 채널 영역에 사용하면, 전기 특성이 안정적인 트랜지스터로 할 수 있다.

[0324] 다음으로, 산화물이 2층 구조 또는 3층 구조를 갖는 경우에 대하여 설명한다. 산화물(S1), 산화물(S2), 및 산

화물(S3)의 적층 구조 및 적층 구조와 접촉하는 절연체의 밴드도, 산화물(S2 및 S3)의 적층 구조 및 적층 구조와 접촉하는 절연체의 밴드도, 및 산화물(S1 및 S2)의 적층 구조 및 적층 구조와 접촉하는 절연체의 밴드도에 대하여 도 38의 (A) 및 (B)를 참조하여 설명한다.

- [0325] 도 38의 (A)는 절연체 I1, 산화물 S1, 산화물 S2, 산화물 S3, 및 절연체 I2를 포함하는 층상 구조의 두께 방향에서의 밴드도의 예이다. 도 38의 (B)는 절연체 I1, 산화물 S2, 산화물 S3, 및 절연체 I2를 포함하는 층상 구조의 두께 방향에서의 밴드도의 예이다. 도 38의 (C)는 절연체 I1, 산화물 S1, 산화물 S2, 및 절연체 I2를 포함하는 층상 구조의 밴드도의 예이다. 또한, 이해를 쉽게 하기 위하여, 밴드도는 절연체 I1, 산화물 S1, 산화물 S2, 산화물 S3, 및 절연체 I2 각각의 전도대 하단의 에너지 준위(E_c)를 나타낸다.
- [0326] 산화물 S1 및 S3 각각의 전도대 하단의 에너지 준위는 산화물 S2보다 진공 준위에 가깝다. 대표적으로는, 산화물 S2의 전도대 하단과 산화물 S1 및 S3 각각의 전도대 하단의 에너지 준위의 차이가 0.15eV 이상 또는 0.5eV 이상이고, 2eV 이하 또는 1eV 이하인 것이 바람직하다. 즉, 산화물 S2의 전자 친화력은 산화물 S1 및 S3 각각의 전자 친화력보다 높고, 산화물 S1 및 S3 각각의 전자 친화력과 산화물 S2의 전자 친화력 사이의 차이는 0.15eV 이상 또는 0.5eV 이상이고, 2eV 이하 또는 1eV 이하인 것이 바람직하다.
- [0327] 도 38의 (A) 내지 (C)에 나타난 바와 같이, 산화물 S1 내지 S3 각각의 전도대 하단의 에너지 준위는 서서히 변화된다. 바꿔 말하면, 전도대 하단의 에너지 준위는 연속적으로 변화되거나 연속적으로 접속된다. 이러한 밴드도를 얻기 위해서는, 산화물 S1과 S2의 계면, 또는 산화물 S2와 S3의 계면에 형성되는 혼합층의 결합 준위의 밀도를 낮게 하는 것이 바람직하다.
- [0328] 구체적으로는, 산화물 S1 및 S2 또는 산화물 S2 및 S3이 산소에 더하여 같은 원소를 (주성분으로서) 포함하면, 결합 준위의 밀도가 낮은 혼합층을 형성할 수 있다. 예를 들어, 산화물 S2가 In-Ga-Zn 산화물인 경우, 산화물 S1 및 S3 각각으로서 In-Ga-Zn 산화물, Ga-Zn 산화물, 또는 산화 갈륨 등을 사용하는 것이 바람직하다.
- [0329] 이때, 산화물 S2는 주된 캐리어의 경로로서 기능한다. 산화물 S1과 S2의 계면과, 산화물 S2와 S3의 계면에서의 결합 준위의 밀도를 낮게 할 수 있기 때문에, 캐리어 전도에 대한 계면 산란의 영향이 적고, 높은 온 상태 전류를 얻을 수 있다.
- [0330] 트랩 준위에 전자가 트랩되면, 트랩된 전자는 고정 전하처럼 작용하기 때문에, 트랜지스터의 문턱 전압이 양의 방향으로 변동된다. 산화물 S1 및 S3에 의하여 산화물 S2에서 트랩 준위를 떨어지게 할 수 있다. 이 구조에 의하여 트랜지스터의 문턱 전압의 양의 방향으로의 변동을 방지할 수 있다.
- [0331] 산화물 S1 및 S3에는, 산화물 S2보다 도전율이 충분히 낮은 재료를 사용한다. 이 경우, 산화물 S2, 산화물 S1과 S2의 계면, 그리고 산화물 S2와 S3의 계면이 주로 채널 영역으로서 기능한다. 예를 들어, 도 36의 (C)에서, 절연성이 높고, 영역 C로 나타내어지는 원자수비를 갖는 산화물을 산화물 S1 및 S3으로서 각각 사용할 수 있다. 또한, 도 36의 (C)의 영역 C는 $[In]:[M]:[Zn]=0:1:0$ 또는 그 근방의 원자수비를 나타낸다.
- [0332] 영역 A로 나타내어지는 원자수비를 갖는 산화물을 산화물 S2로서 사용하는 경우, 산화물 S1 및 S3 각각으로서는, $[M]/[In]$ 이 1 이상, 바람직하게는 2 이상인 원자수비를 갖는 산화물을 사용하는 것이 특히 바람직하다. 또한, 산화물 S3으로서, 절연성이 충분히 높고 $[M]/([Zn]+[In])$ 이 1 이상인 원자수비를 갖는 산화물을 사용하는 것이 적합하다.
- [0333] 절연체(250)는, 예를 들어 산화 실리콘, 산화 질화 실리콘, 질화 산화 실리콘, 산화 알루미늄, 산화 하프늄, 산화 탄탈럼, 산화 지르코늄, 타이타늄산 지르콘산염(PZT), 타이타늄산 스트론튬($SrTiO_3$), 또는 $(Ba,Sr)TiO_3$ (BST) 등을 포함하는 절연체를 사용한 단층 구조 또는 적층 구조를 가질 수 있다. 예를 들어, 이 절연체에 산화 알루미늄, 산화 비스무트, 산화 저마늄, 산화 나이오븀, 산화 실리콘, 산화 타이타늄, 산화 텅스텐, 산화 이트륨, 또는 산화 지르코늄을 첨가하여도 좋다. 이 절연체에 질화 처리를 실시하여도 좋다. 이 절연체 위에 산화 실리콘, 산화 질화 실리콘, 또는 질화 실리콘의 층을 적층하여도 좋다.
- [0334] 절연체(224)와 같이, 화학량론적 조성을 초과하여 산소를 포함하는 산화 절연체를 사용하여 절연체(250)를 형성하는 것이 바람직하다. 과잉 산소를 포함하는 이러한 절연체를 산화물(230)과 접촉하여 제공하면, 산화물(230)의 산소 결손을 저감시킬 수 있다.
- [0335] 절연체(250)로서는, 산소 또는 수소에 대하여 배리어성을 갖는, 산화 알루미늄, 산화 질화 알루미늄, 산화 갈륨, 산화 질화 갈륨, 산화 이트륨, 산화 질화 이트륨, 산화 하프늄, 산화 질화 하프늄, 또는 질화 실리콘 등으로 형성된 절연막을 사용할 수 있다. 이러한 재료로 형성된 절연체(250)는, 산화물(230)로부터의 산소의 방

출 및 외부로부터 수소 등의 불순물이 들어가는 것을 방지하는 층으로서 기능한다.

- [0336] 또한, 절연체(250)는 절연체(220), 절연체(222), 및 절연체(224)와 비슷한 적층 구조를 가져도 좋다. 전자 트랩 준위에 의하여 필요한 양의 전자가 트랩된 절연체를 절연체(250)가 포함하면, 트랜지스터(200)의 문턱 전압이 양의 방향으로 변동될 수 있다. 이 구조를 갖는 트랜지스터(200)는 게이트 전압이 0V일 때도 비도통 상태(오프 상태라고도 함)인 노멀리 오프 트랜지스터이다.
- [0337] 도 24의 (A) 내지 (C)에 도시된 반도체 장치에서는, 절연체(250)에 더하여, 배리어막을 산화물(230)과 도전체(260) 사이에 제공하여도 좋다. 또는, 산화물(230c)은 배리어성을 가져도 좋다.
- [0338] 예를 들어, 과잉 산소를 포함하는 절연막을 산화물(230)과 접촉하여 제공하고 배리어막으로 둘러싸으로써, 산화물의 조성을 화학량론적 조성으로 거의 같게 하거나, 화학량론적 조성보다 산소를 더 포함하는 과포화 상태로 할 수 있다. 수소 등의 불순물이 산화물(230)로 들어가는 것을 방지할 수도 있다.
- [0339] 도전체(240a 및 240b) 중 한쪽은 소스 전극으로서 기능하고, 다른 쪽은 드레인 전극으로서 기능한다.
- [0340] 알루미늄, 타이타늄, 크로뮴, 니켈, 구리, 이트륨, 지르코늄, 몰리브데넘, 은, 탄탈럼, 및 텅스텐 등의 금속 중 어느 것, 또는 상기 금속 중 어느 것을 주성분으로서 포함하는 합금을 도전체(240a 및 240b) 각각에 사용할 수 있다. 특히, 질화 탄탈럼막 등의 금속 질화물막은, 수소 또는 산소에 대한 배리어성을 갖고 내산화성이 높기 때문에 바람직하다.
- [0341] 도 24의 (A) 내지 (C)에는 단층 구조를 나타내었지만, 2층 이상의 적층 구조를 사용하여도 좋다. 예를 들어, 질화 탄탈럼막과 텅스텐막을 적층하여도 좋다. 또는, 타이타늄막과 알루미늄막을 적층하여도 좋다. 다른 예에는, 알루미늄막을 텅스텐막 위에 적층하는 2층 구조, 구리막을 구리-마그네슘-알루미늄 합금막 위에 적층하는 2층 구조, 구리막을 타이타늄막 위에 적층하는 2층 구조, 및 구리막을 텅스텐막 위에 적층하는 2층 구조가 포함된다.
- [0342] 다른 예에는, 타이타늄막 또는 질화 타이타늄막을 형성하고, 이 타이타늄막 또는 질화 타이타늄막 위에 알루미늄막 또는 구리막을 적층하고, 이 알루미늄막 또는 구리막 위에 타이타늄막 또는 질화 타이타늄막을 형성하는 3층 구조; 및 몰리브데넘막 또는 질화 몰리브데넘막을 형성하고, 이 몰리브데넘막 또는 질화 몰리브데넘막 위에 알루미늄막 또는 구리막을 적층하고, 이 알루미늄막 또는 구리막 위에 몰리브데넘막 또는 질화 몰리브데넘막을 형성하는 3층 구조가 포함된다. 또한, 산화 인듐, 산화 주석, 또는 산화 아연을 포함하는 투명 도전성 재료를 사용하여도 좋다.
- [0343] 게이트 전극으로서 기능하는 도전체(260)는 예를 들어, 알루미늄, 크로뮴, 구리, 탄탈럼, 타이타늄, 몰리브데넘, 및 텅스텐에서 선택된 금속, 이들 금속 중 어느 것을 그 성분으로서 포함하는 합금, 또는 이들 금속 중 어느 것을 조합하여 포함하는 합금 등을 사용하여 형성할 수 있다. 특히, 질화 탄탈럼막 등의 금속 질화물막은, 수소 또는 산소에 대한 배리어성을 갖고 내산화성이 높기 때문에 바람직하다. 또한, 망가니즈 및 지르코늄 중 한쪽 또는 양쪽 모두를 사용하여도 좋다. 또는, 인 등의 불순물 원소가 도핑된 다결정 실리콘으로 대표되는 반도체, 또는 니켈 실리사이드 등의 실리사이드를 사용하여도 좋다. 도 24의 (A) 내지 (C)에는 단층 구조를 나타내었지만, 2층 이상의 적층 구조를 사용하여도 좋다.
- [0344] 예를 들어, 타이타늄막을 알루미늄막 위에 적층한 2층 구조를 채용하여도 좋다. 다른 예에는, 질화 타이타늄막 위에 타이타늄막을 적층하는 2층 구조, 질화 타이타늄막 위에 텅스텐막을 적층하는 2층 구조, 그리고 질화 탄탈럼막 또는 질화 텅스텐막 위에 텅스텐막을 적층하는 2층 구조가 포함된다.
- [0345] 다른 예에는, 타이타늄막을 형성하고, 이 타이타늄막 위에 알루미늄막을 적층하고, 이 알루미늄막 위에 타이타늄막을 형성하는 3층 구조가 포함된다. 또는, 알루미늄과, 타이타늄, 탄탈럼, 텅스텐, 몰리브데넘, 크로뮴, 네오디뮴, 및 스칸듐에서 선택되는 하나 이상의 원소를 포함하는 합금막 또는 질화막을 사용하여도 좋다.
- [0346] 도전체(260)는 인듐 주석 산화물, 산화 텅스텐을 포함하는 인듐 산화물, 산화 텅스텐을 포함하는 인듐 아연 산화물, 산화 타이타늄을 포함하는 인듐 산화물, 산화 타이타늄을 포함하는 인듐 주석 산화물, 인듐 아연 산화물, 또는 산화 실리콘이 첨가된 인듐 주석 산화물 등의 투광성 도전 재료를 사용하여 형성될 수도 있다. 도전체(260)는 상술한 투광성 도전 재료 중 임의의 것 및 상술한 금속 중 임의의 것을 사용한 적층 구조를 가질 수 있다.
- [0347] 다음으로, 트랜지스터(200) 위에 절연체(280) 및 절연체(282)를 제공한다.

- [0348] 절연체(280)는 화학량론적 조성을 초과하여 산소를 포함하는 산화물을 포함하는 것이 바람직하다. 즉, 절연체(280)에는, 화학량론적 조성을 초과하여 산소를 포함하는 영역(이하, 과잉 산소 영역이라고도 함)을 형성하는 것이 바람직하다. 특히, 트랜지스터(200)에 산화물 반도체를 사용하는 경우, 과잉 산소 영역을 포함하는 절연체를 트랜지스터(200) 근방의 층간막 등에 제공함으로써, 트랜지스터(200)의 산소 결손이 저감되어, 신뢰성을 향상시킬 수 있다.
- [0349] 과잉 산소 영역을 포함하는 절연체로서는, 구체적으로 가열에 의하여 산소의 일부가 방출되는 산화물 재료를 사용하는 것이 바람직하다. 가열에 의하여 산소의 일부가 방출되는 산화물은, TDS 분석에 있어서 산소 원자로 환산한 산소의 방출량이 $1.0 \times 10^{18} \text{ atoms/cm}^3$ 이상, 바람직하게는 $3.0 \times 10^{20} \text{ atoms/cm}^3$ 이상인 산화물막이다. 또한, TDS 분석 중의 막의 표면 온도는 바람직하게는 100℃ 이상 700℃ 이하, 또는 100℃ 이상 500℃ 이하이다.
- [0350] 예를 들어, 이러한 재료로서는, 산화 실리콘 또는 산화 질화 실리콘을 포함하는 재료를 사용하는 것이 바람직하다. 또는, 금속 산화물을 사용할 수 있다. 또한, 본 명세서에서, "산화 질화 실리콘"이란 질소보다 높은 비율로 산소를 포함하는 재료를 말하고, "질화 산화 실리콘"이란 산소보다 높은 비율로 질소를 포함하는 재료를 말한다.
- [0351] 트랜지스터(200)를 덮는 절연체(280)는, 그 아래의 거칠기를 덮는 평탄화막으로서 기능하여도 좋다.
- [0352] 절연체(282)는 산소 또는 수소에 대한 배리어성을 갖는 절연막, 예를 들어 산화 알루미늄막 또는 산화 하프늄막을 사용하여 형성되는 것이 바람직하다. 이러한 재료로 형성된 절연체(282)는, 산화물(230)로부터의 산소의 방출 및 외부로부터 수소 등의 불순물이 들어가는 것을 방지하는 층으로서 기능한다.
- [0353] 상술한 구조에 의하여, 온 상태 전류가 높은 산화물 반도체를 포함하는 트랜지스터를 제공할 수 있다. 또는, 오프 상태 전류가 낮은 산화물 반도체를 포함하는 트랜지스터를 제공할 수 있다. 또한, 상술한 구조를 갖는 트랜지스터를 반도체 장치에 사용하면, 반도체 장치의 전기 특성의 변동이 저감될 수 있고, 신뢰성이 향상될 수 있다. 또는, 반도체 장치의 소비전력을 저감시킬 수 있다.
- [0354] <트랜지스터의 구조 2>
- [0355] 도 25의 (A) 내지 (C)는 트랜지스터(200)에 적용할 수 있는 다른 예를 도시한 것이다. 도 25의 (A)는 트랜지스터(200)의 상면을 도시한 것이다. 도면의 명료화를 위하여, 도 25의 (A)에는 일부의 막을 도시하지 않았다. 도 25의 (B)는 도 25의 (A)의 일점쇄선 X1-X2를 따라 취한 단면도이고, 도 25의 (C)는 도 25의 (A)의 일점쇄선 Y1-Y2를 따라 취한 단면도이다.
- [0356] 또한, 도 25의 (A) 내지 (C)에 도시된 트랜지스터(200)에서, 도 24의 (A) 내지 (C)의 트랜지스터(200)의 구성 요소와 같은 기능을 갖는 구성 요소는 같은 부호로 나타내어진다.
- [0357] 도 25의 (A) 내지 (C)에 도시된 구조에서, 도전체(260)는 2층 구조를 갖는다. 예를 들어, 도전체(260a)는 In-Ga-Zn 산화물로 대표되는 산화물을 사용하여 형성될 수 있다. In-Ga-Zn 산화물로 대표되는 산화물 반도체는 질소 또는 수소가 공급됨으로써 캐리어 밀도가 높아진다. 바꿔 말하면, 산화물 반도체는 산화물 도전체(OC: oxide conductor)로서 기능한다. 금속 질화물을 도전체(260b)로서 제공하면, 산화물 반도체는 캐리어 밀도가 높아져, 도전체(260a)는 게이트 전극으로서 기능한다.
- [0358] In-Ga-Zn 산화물로 대표되는 산화물 반도체를 도전체(260a)로서 사용할 수 있다. 도전체(260a)는 인듐 주석 산화물(ITO), 산화 텅스텐을 포함하는 인듐 산화물, 산화 텅스텐을 포함하는 인듐 아연 산화물, 산화 타이타늄을 포함하는 인듐 산화물, 산화 타이타늄을 포함하는 인듐 주석 산화물, 인듐 아연 산화물, 또는 실리콘을 포함하는 인듐 주석 산화물(In-Sn-Si 산화물 또는 ITS0라고도 함) 등의 투광성 도전 재료를 사용하여 형성될 수도 있다.
- [0359] 도전체(260b)에 금속 질화물을 사용하면, 금속 질화물의 구성 원소(특히, 질소)가 도전체(260a)로 확산됨으로써 도전체(260a)의 저항이 저감되고; 도전체(260b)의 퇴적 중의 대미지(예를 들어, 스퍼터링 대미지)에 의하여 저항이 저감되는 효과들 중 어느 것이 나타난다. 또한, 도전체(260b)는 2층 이상의 적층 구조를 가져도 좋다. 예를 들어, 금속 질화물 위에 저저항 금속막을 적층함으로써, 낮은 전압으로 구동되는 트랜지스터를 제공할 수 있다.
- [0360] 또한, 도전체(260a)는 산소 가스를 포함하는 분위기에서 스퍼터링법에 의하여 형성되는 것이 바람직하다. 도전체(260a)가 산소 가스를 포함하는 분위기에서 형성되는 경우, 과잉 산소 영역을 절연체(250)에 형성할 수 있다.

또한, 도전체(260a)를 형성하는 방법은 스퍼터링법에 한정되지 않고, ALD법 등 다른 방법을 사용하여도 좋다.

- [0361] 도 25의 (A) 내지 (C)에 도시된 구조에서는, 도전체(260)를 덮도록 절연체(270)를 제공한다. 산소가 방출되는 산화물 재료를 사용하여 절연체(280)를 형성하는 경우, 절연체(270)는 산소에 대한 배리어성을 갖는 물질을 사용하여 형성된다. 이 구조로 함으로써, 도전체(260a)의 산소 결손이 보전되어, 캐리어 밀도의 저감이 억제되고, 확산된 산소로 인한 도전체(260b)의 산화가 방지된다.
- [0362] 예를 들어, 산화 알루미늄 등의 금속 산화물을 사용하여 절연체(270)를 형성할 수 있다. 절연체(270)는 도전체(260)의 산화가 방지되는 두께로 형성된다.
- [0363] 도면에 나타난 바와 같이, 절연체(220) 및 절연체(222)를 제공하지 않고, 배리어성을 갖는 도전체를 사용하여 도전체(205c)를 제공하는 구조를 채용하여도 좋다. 이 구조로 함으로써, 절연체(224)가 파잉 산소 영역을 포함하더라도, 도전체(205b)가 파잉 산소 영역의 산소와 반응하고 산화물을 생성하는 것을 억제할 수 있다.
- [0364] 또한, 절연체(243a) 및 절연체(243b)를 도전체(240a) 및 도전체(240b) 위에 제공하여도 좋다. 절연체(243a) 및 절연체(243b)는 산소에 대한 배리어성을 갖는 물질을 사용하여 형성된다. 이 구조로 함으로써, 산화물(230c)이 형성되는 경우에 도전체(240a) 및 도전체(240b)가 산화되는 것을 억제할 수 있다. 절연체(280)의 파잉 산소 영역의 산소가 도전체(240a) 및 도전체(240b)와 반응하고 산화되는 것을 방지할 수 있다.
- [0365] 절연체(243a) 및 절연체(243b)는 예를 들어, 금속 산화물을 사용하여 형성할 수 있다. 특히, 산소 또는 수소에 대한 배리어성을 갖는 절연막, 예를 들어 산화 알루미늄막, 산화 하프늄막, 또는 산화 갈륨막을 사용하는 것이 바람직하다. 또는, CVD법에 의하여 퇴적된 질화 실리콘을 사용하여도 좋다.
- [0366] 따라서, 상술한 구조에 의하여, 도전체(240a), 도전체(240b), 도전체(205), 및 도전체(260)를 위한 재료 선택의 폭을 넓힐 수 있다. 예를 들어, 도전체(205b) 및 도전체(260b)를, 내산화성이 낮고 도전성이 높은 재료, 예를 들어 알루미늄을 사용하여 형성할 수 있다. 또한, 예를 들어, 쉽게 형성하거나 가공할 수 있는 도전체를 사용할 수 있다.
- [0367] 또한, 도전체(205) 및 도전체(260)의 산화를 방지할 수 있고, 절연체(224) 및 절연체(280)로부터 방출되는 산소를 산화물(230)로 효율적으로 공급할 수 있다. 또한, 도전성이 높은 도전체를 도전체(205) 및 도전체(260)에 사용함으로써, 소비전력이 낮은 트랜지스터(200)를 제공할 수 있다.
- [0368] <트랜지스터의 구조 3>
- [0369] 도 26의 (A) 내지 (C)는 트랜지스터(200)에 적용할 수 있는 다른 예를 도시한 것이다. 도 26의 (A)는 트랜지스터(200)의 상면을 도시한 것이다. 도면의 명료화를 위하여, 도 26의 (A)에는 일부의 막을 도시하지 않았다. 도 26의 (B)는 도 26의 (A)의 일점쇄선 X1-X2를 따라 취한 단면도이고, 도 26의 (C)는 도 26의 (A)의 일점쇄선 Y1-Y2를 따라 취한 단면도이다.
- [0370] 또한, 도 26의 (A) 내지 (C)에 도시된 트랜지스터(200)에서, 도 24의 (A) 내지 (C)의 트랜지스터(200)의 구성 요소와 같은 기능을 갖는 구성 요소는 같은 부호로 나타내어진다.
- [0371] 도 26의 (A) 내지 (C)에 도시된 구조에서, 도전체(260)는 2층 구조를 갖는다. 2층 구조에서는, 같은 재료를 사용하여 형성된 층을 적층하여도 좋다. 예를 들어, 도전체(260a)를 열CVD법, MOCVD법, 또는 ALD법에 의하여 형성한다. 특히, 도전체(260a)를 ALD법에 의하여 형성하는 것이 바람직하다. ALD법 등을 채용함으로써, 퇴적 시의 절연체(250)에 대한 대미지를 줄일 수 있다. 또한, 도전체(260a)를 ALD법 등에 의하여 형성하면 피복성을 향상시킬 수 있어 바람직하다. 따라서, 신뢰성이 높은 트랜지스터(200)를 제공할 수 있다.
- [0372] 다음으로, 도전체(260b)를 스퍼터링법에 의하여 형성한다. 이때, 절연체(250) 위에 도전체(260a)가 제공되기 때문에, 도전체(260b)의 퇴적 중에 생기는 대미지가 절연체(250)에 영향을 미치는 것을 방지할 수 있다. 스퍼터링법의 퇴적 속도는 ALD법보다 빠르기 때문에, 높은 수율로 생산성을 향상시킬 수 있다.
- [0373] 도 26의 (A) 내지 (C)에 도시된 구조에서는, 도전체(260)를 덮도록 절연체(270)를 제공한다. 산소가 방출되는 산화물 재료를 사용하여 절연체(280)를 형성하는 경우, 절연체(270)는 산소에 대한 배리어성을 갖는 물질을 사용하여 형성된다. 이 구조로 함으로써, 도전체(260a)의 산소 결손이 보전되어, 캐리어 밀도의 저감이 억제되고, 확산된 산소로 인한 도전체(260b)의 산화가 방지된다.
- [0374] 예를 들어, 산화 알루미늄 등의 금속 산화물을 사용하여 절연체(270)를 형성할 수 있다. 절연체(270)는 도전체(260)의 산화가 방지되는 두께로 형성된다.

- [0375] <트랜지스터의 구조 4>
- [0376] 도 27의 (A) 내지 (C)는 트랜지스터(200)에 적용할 수 있는 다른 예를 도시한 것이다. 도 27의 (A)는 트랜지스터(200)의 상면을 도시한 것이다. 도면의 명료화를 위하여, 도 27의 (A)에는 일부의 막을 도시하지 않았다. 도 27의 (B)는 도 27의 (A)의 일점채선 X1-X2를 따라 취한 단면도이고, 도 27의 (C)는 도 27의 (A)의 일점채선 Y1-Y2를 따라 취한 단면도이다.
- [0377] 또한, 도 27의 (A) 내지 (C)에 도시된 트랜지스터(200)에서, 도 24의 (A) 내지 (C)의 트랜지스터(200)의 구성 요소와 같은 기능을 갖는 구성 요소는 같은 부호로 나타내어진다.
- [0378] 도 27의 (A) 내지 (C)에 나타난 구조에서, 게이트 전극으로서 기능하는 도전체(260)는 도전체(260a), 도전체(260b), 및 도전체(260c)를 포함한다. 산화물(230c)은, 산화물(230c)이 산화물(230b)의 측면을 덮기만 하면 절연체(224) 위에서 절단되어도 좋다.
- [0379] 도 27의 (A) 내지 (C)에 도시된 구조에서, 도전체(260)는 3층 구조를 갖는다. 2층 구조에서는, 같은 재료를 사용하여 형성된 층을 적층하여도 좋다. 예를 들어, 도전체(260a)를 열CVD법, MOCVD법, 또는 ALD법에 의하여 형성한다. 특히, 도전체(260a)를 ALD법에 의하여 형성하는 것이 바람직하다. ALD법 등을 채용함으로써, 퇴적 시의 절연체(250)에 대한 대미지를 줄일 수 있다. 또한, ALD법 등을 사용하면 피복성을 향상시킬 수 있어 바람직하다. 따라서, 신뢰성이 높은 트랜지스터(200)를 제공할 수 있다.
- [0380] 다음으로, 도전체(260b)를 스퍼터링법에 의하여 형성한다. 이때, 절연체(250) 위에 도전체(260a)가 제공되기 때문에, 도전체(260b)의 퇴적 중에 생기는 대미지가 절연체(250)에 영향을 미치는 것을 방지할 수 있다. 스퍼터링법의 퇴적 속도는 ALD법보다 빠르기 때문에, 높은 수율로 생산성을 향상시킬 수 있다.
- [0381] 도전체(260b)는 탄탈럼, 텅스텐, 구리, 또는 알루미늄 등 도전성이 높은 재료를 사용하여 형성된다. 도전체(260b) 위에 형성되는 도전체(260c)는 질화 텅스텐 등 내산화성이 높은 도전체를 사용하여 형성되는 것이 바람직하다.
- [0382] 예를 들어, 산소가 방출되는 산화물 재료를 사용하여 절연체(280)를 형성하는 경우, 과잉 산소 영역을 갖는 절연체(280)와 큰 면적에서 접촉하는 도전체(260c)에 내산화성이 높은 도전체를 사용함으로써, 과잉 산소 영역으로부터 방출되는 산소가 도전체(260)에 의하여 흡수되는 것을 억제할 수 있다. 또한, 도전체(260)의 산화를 방지할 수 있고, 절연체(280)로부터 방출되는 산소를 산화물(230)로 효율적으로 공급할 수 있다. 또한, 도전성이 높은 도전체를 도전체(260b)에 사용함으로써, 소비전력이 낮은 트랜지스터(200)를 제공할 수 있다.
- [0383] 도 27의 (C)에 도시된 바와 같이, 산화물(230b)은 트랜지스터(200)의 채널 폭 방향에서 도전체(260)로 덮여 있다. 절연체(224)가 볼록부를 가짐으로써, 산화물(230b)의 측면도 도전체(260)로 덮인다. 예를 들어, 절연체(224)의 볼록부의 형상을 조정함으로써, 절연체(224)와 산화물(230c)이 서로 접촉하는 영역에서 도전체(260)의 저면이 산화물(230b)의 저면보다 기판 가까이에 배치되는 것이 바람직하다. 바꿔 말하면, 트랜지스터(200)는 도전체(260)의 전계에 의하여 산화물(230b)이 전기적으로 둘러싸일 수 있는 구조를 갖는다. 도전체의 전계에 의하여 산화물(230b)이 전기적으로 둘러싸이는 구조를 s-channel(surrounded channel) 구조라고 한다. s-channel 구조를 갖는 트랜지스터(200)에서는, 산화물(230b) 전체(벌크)에 채널을 형성할 수 있다. s-channel 구조에서는, 트랜지스터의 드레인 전류를 크게 할 수 있어, 더 큰 온 상태 전류(트랜지스터가 온일 때 소스와 드레인 사이를 흐르는 전류)를 얻을 수 있다. 또한, 산화물(230b)의 채널 형성 영역 전체를 도전체(260)의 전계에 의하여 공핍화(空乏化)할 수 있다. 따라서, s-channel 트랜지스터의 오프 상태 전류를 더 저감시킬 수 있다. 채널 폭이 짧아지면, 온 상태 전류의 증가 및 오프 상태 전류의 저감 등의 s-channel 구조의 효과를 향상시킬 수 있다.
- [0384] <트랜지스터의 구조 5>
- [0385] 도 28의 (A) 내지 (C)는 트랜지스터(200)에 적용할 수 있는 다른 예를 도시한 것이다. 도 28의 (A)는 트랜지스터(200)의 상면을 도시한 것이다. 도면의 명료화를 위하여, 도 28의 (A)에는 일부의 막을 도시하지 않았다. 도 28의 (B)는 도 28의 (A)의 일점채선 X1-X2를 따라 취한 단면도이고, 도 28의 (C)는 도 28의 (A)의 일점채선 Y1-Y2를 따라 취한 단면도이다.
- [0386] 또한, 도 28의 (A) 내지 (C)에 도시된 트랜지스터(200)에서, 도 24의 (A) 내지 (C)의 트랜지스터(200)의 구성 요소와 같은 기능을 갖는 구성 요소는 같은 부호로 나타내어진다.
- [0387] 도 28의 (A) 내지 (C)에 도시된 구조에서, 소스 및 드레인으로서 기능하는 도전체는 각각 적층 구조를 갖는다.

산화물(230b)과의 밀착성이 높은 도전체를 도전체(240a 및 240b)로서 사용하고, 도전성이 높은 재료를 도전체(241a 및 241b)로서 사용하는 것이 바람직하다. 도전체(240a 및 240b)는 ALD법에 의하여 형성되는 것이 바람직하다. ALD법 등을 사용함으로써 피복성을 향상시킬 수 있다.

[0388] 예를 들어, 인듐을 포함하는 금속 산화물을 산화물(230b)로서 사용하는 경우에는, 질화 타이타늄 등을 도전체(240a 및 240b)로서 사용할 수 있다. 탄탈럼, 텅스텐, 구리, 또는 알루미늄 등 도전성이 높은 재료를 도전체(241a 및 241b)로서 사용하면, 신뢰성이 높고 소비전력이 낮은 트랜지스터(200)를 제공할 수 있다.

[0389] 도 28의 (B) 및 (C)에 도시된 바와 같이, 산화물(230b)은 트랜지스터(200)의 채널 폭 방향에서 도전체(260)로 덮여 있다. 절연체(222)가 불록부를 가짐으로써, 산화물(230b)의 측면도 도전체(260)로 덮인다.

[0390] 여기서, 절연체(222)로서 산화 하프늄 등의 high-k 재료를 사용하면, 절연체(222)의 비유전율이 높기 때문에 절연체(222)의 SiO₂ 환산 막 두께(EOT: equivalent oxide thickness)를 작게 할 수 있다. 따라서, 도전체(205)로부터 산화물(230)로 가해지는 전계의 영향을 저감시키지 않고 절연체(222)의 물리적인 두께에 의하여 도전체(205)와 산화물(230) 사이의 거리를 크게 할 수 있다. 따라서, 절연체(222)의 두께를 변경함으로써, 도전체(205)와 산화물(230) 사이의 거리를 조정할 수 있다.

[0391] 예를 들어, 절연체(224)의 불록부의 형상을 조정함으로써, 절연체(222)와 산화물(230c)이 서로 접촉하는 영역에서 도전체(260)의 저면이 산화물(230b)의 저면보다 기판 가까이에 배치되는 것이 바람직하다. 바꿔 말하면, 트랜지스터(200)는 도전체(260)의 전계에 의하여 산화물(230b)이 전기적으로 둘러싸일 수 있는 구조를 갖는다. 도전체의 전계에 의하여 산화물(230b)이 전기적으로 둘러싸이는 구조를 s-channel(surrounded channel) 구조라고 한다. s-channel 구조를 갖는 트랜지스터(200)에서는, 산화물(230b) 전체(벌크)에 채널을 형성할 수 있다. s-channel 구조에서는, 트랜지스터의 드레인 전류를 크게 할 수 있어, 더 큰 온 상태 전류(트랜지스터가 온일 때 소스와 드레인 사이를 흐르는 전류)를 얻을 수 있다. 또한, 산화물(230b)의 채널 형성 영역 전체를 도전체(260)의 전계에 의하여 공핍화할 수 있다. 따라서, s-channel 트랜지스터의 오프 상태 전류를 더 저감시킬 수 있다. 채널 폭이 좁아지면, 온 상태 전류의 증가 및 오프 상태 전류의 저감 등의 s-channel 구조의 효과를 향상시킬 수 있다.

[0392] <트랜지스터의 구조 6>

[0393] 도 29의 (A) 내지 (C)는 트랜지스터(200)에 적용할 수 있는 다른 예를 도시한 것이다. 도 29의 (A)는 트랜지스터(200)의 상면을 도시한 것이다. 도면의 명료화를 위하여, 도 29의 (A)에는 일부의 막을 도시하지 않았다. 도 29의 (B)는 도 29의 (A)의 일점쇄선 X1-X2를 따라 취한 단면도이고, 도 29의 (C)는 도 29의 (A)의 일점쇄선 Y1-Y2를 따라 취한 단면도이다.

[0394] 또한, 도 29의 (A) 내지 (C)에 도시된 트랜지스터(200)에서, 도 24의 (A) 내지 (C)의 트랜지스터(200)의 구성 요소와 같은 기능을 갖는 구성 요소는 같은 부호로 나타내어진다.

[0395] 도 29의 (A) 내지 (C)에 도시된 트랜지스터(200)에서는, 절연체(280)에 형성된 개구에 산화물(230c), 절연체(250), 및 도전체(260)가 형성되어 있다. 또한, 각 도전체(240a 및 240b)의 한쪽 단부가 절연체(280)에 형성된 개구의 단부와 일치한다. 또한, 각 도전체(240a 및 240b)의 3개의 단부가 각 산화물(230a 및 230b)의 단부의 일부와 일치한다. 따라서, 도전체(240a 및 240b)를 산화물(230) 또는 절연체(280)의 개구와 동시에 형성할 수 있다. 이로써, 마스크 및 단계의 수를 줄일 수 있고, 수율 및 생산성을 향상시킬 수 있다.

[0396] 도전체(240a), 도전체(240b), 및 산화물(230b)은 산화물(230d)을 개재하여, 과잉 산소 영역을 갖는 절연체(280)와 접촉한다. 그러므로, 절연체(280)와, 채널이 형성되는 영역을 포함하는 산화물(230b) 사이에 제공되는 산화물(230d)은, 수소, 물, 및 할로젠 등의 불순물이 절연체(280)로부터 산화물(230b)로 확산되는 것을 방지할 수 있다.

[0397] 도 29의 (A) 내지 (C)에 도시된 트랜지스터(200)는 도전체(240a 및 240b)가 도전체(260)와 거의 중첩하지 않는 구조를 갖기 때문에, 도전체(260)에 가해지는 기생 용량을 저감시킬 수 있다. 따라서, 동작 주파수가 높은 트랜지스터(200)를 제공할 수 있다.

[0398] <트랜지스터의 구조 7>

[0399] 도 30의 (A) 내지 (C)는 트랜지스터(200)에 적용할 수 있는 다른 예를 도시한 것이다. 도 30의 (A)는 트랜지스터(200)의 상면을 도시한 것이다. 도면의 명료화를 위하여, 도 30의 (A)에는 일부의 막을 도시하지 않았다.

도 30의 (B)는 도 30의 (A)의 일점쇄선 X1-X2를 따라 취한 단면도이고, 도 30의 (C)는 도 30의 (A)의 일점쇄선 Y1-Y2를 따라 취한 단면도이다.

- [0400] 또한, 도 30의 (A) 내지 (C)에 도시된 트랜지스터(200)에서, 도 29의 (A) 내지 (C)의 트랜지스터(200)의 구성 요소와 같은 기능을 갖는 구성 요소는 같은 부호로 나타내어진다.
- [0401] 절연체(282) 위에 절연체(285) 및 절연체(286)를 형성한다.
- [0402] 절연체(280), 절연체(282), 및 절연체(285)에 형성된 개구에 산화물(230c), 절연체(250), 및 도전체(260)가 형성되어 있다. 또한, 각 도전체(240a 및 240b)의 한쪽 단부가 절연체(280)에 형성된 개구의 단부와 일치한다. 또한, 각 도전체(240a 및 240b)의 3개의 단부가 각 산화물(230a 및 230b)의 단부의 일부와 일치한다. 따라서, 도전체(240a 및 240b)를 산화물(230a 또는 230b) 또는 절연체(280)의 개구와 동시에 형성할 수 있다. 이로써, 마스크 및 단계의 수를 줄일 수 있고, 수율 및 생산성을 향상시킬 수 있다.
- [0403] 도전체(240a), 도전체(240b), 및 산화물(230b)은 산화물(230d)을 개재하여, 과잉 산소 영역을 갖는 절연체(280)와 접촉한다. 그러므로, 산화물(230d)이 절연체(280)와, 채널이 형성되는 영역을 포함하는 산화물(230b) 사이에 존재하기 때문에, 수소, 물, 및 할로젠 등의 불순물이 절연체(280)로부터 산화물(230b)로 확산되는 것을 방지할 수 있다.
- [0404] 또한, 도 30의 (A) 내지 (C)에 도시된 트랜지스터(200)에는 고저항의 오프셋 영역이 형성되지 않기 때문에, 트랜지스터(200)의 온 상태 전류를 증가시킬 수 있다.
- [0405] <트랜지스터의 구조 8>
- [0406] 도 31의 (A) 내지 (C)는 트랜지스터(200)에 적용할 수 있는 다른 예를 도시한 것이다. 도 31의 (A)는 트랜지스터(200)의 상면을 도시한 것이다. 도면의 명료화를 위하여, 도 31의 (A)에는 일부의 막을 도시하지 않았다. 도 31의 (B)는 도 31의 (A)의 일점쇄선 X1-X2를 따라 취한 단면도이고, 도 31의 (C)는 도 31의 (A)의 일점쇄선 Y1-Y2를 따라 취한 단면도이다.
- [0407] 또한, 도 31의 (A) 내지 (C)에 도시된 트랜지스터(200)에서, 도 30의 (A) 내지 (C)의 트랜지스터(200)의 구성 요소와 같은 기능을 갖는 구성 요소는 같은 부호로 나타내어진다.
- [0408] 도 31의 (A) 내지 (C)에 도시된 트랜지스터(200)는 산화물(230d)을 갖지 않는다. 예를 들어, 내산화성이 높은 도전체를 사용하여 도전체(240a) 및 도전체(240b)를 형성하는 경우에는, 산화물(230d)을 반드시 제공할 필요는 없다. 따라서, 마스크 및 단계의 수를 줄일 수 있고, 수율 및 생산성을 향상시킬 수 있다.
- [0409] 절연체(224)는 산화물(230a) 및 산화물(230b)과 중첩하는 영역에만 제공되어도 좋다. 이 경우, 에칭 스톱퍼로서 절연체(222)를 사용하여 산화물(230a), 산화물(230b), 및 절연체(224)를 가공할 수 있다. 이 결과, 수율 및 생산성을 향상시킬 수 있다.
- [0410] 도 31의 (A) 내지 (C)에 도시된 트랜지스터(200)는 도전체(240a 및 240b)가 도전체(260)와 거의 중첩하지 않는 구조를 갖기 때문에, 도전체(260)에 가해지는 기생 용량을 저감시킬 수 있다. 따라서, 동작 주파수가 높은 트랜지스터(200)를 제공할 수 있다.
- [0411] <트랜지스터의 제작 방법>
- [0412] 도 24의 (A) 내지 (C)에 도시된 트랜지스터의 제작 방법의 예에 대하여 도 32의 (A) 내지 (E), 도 33의 (A) 내지 (D), 도 34의 (A) 내지 (C), 그리고 도 35의 (A) 내지 (C)를 참조하여 이하에서 설명한다.
- [0413] 먼저, 기판을 준비한다(도시되지 않았음). 기판에 대하여 특별한 제한은 없지만, 나중에 수행하는 가열 처리에 견딜 정도로 내열성이 높은 것이 바람직하다. 예를 들어, 바륨붕규산 유리 또는 알루미늄붕규산 유리 등의 유리 기판, 세라믹 기판, 석영 기판, 또는 사파이어 기판을 사용할 수 있다. 또는, 실리콘 또는 탄소화 실리콘 등의 단결정 반도체 기판 또는 다결정 반도체 기판; 실리콘 저마늄, 갈륨 비소, 인듐 비소, 또는 인듐 갈륨 비소의 화합물 반도체 기판; SOI(silicon-on-insulator) 기판; 또는 GOI(germanium-on-insulator) 기판 등을 사용할 수 있다. 또는, 반도체 소자가 제공된 이들 기판 중 임의의 것을 기판으로서 사용하여도 좋다.
- [0414] 또는, 기판으로서 가요성 기판을 사용하여 반도체 장치를 제작하여도 좋다. 가요성 반도체 장치를 제작하기 위해서는, 가요성 기판 위에 트랜지스터를 직접 형성하여도 좋고, 또는 제작 기판 위에 트랜지스터를 형성한 다음, 제작 기판으로부터 분리하고 가요성 기판으로 전치하여도 좋다. 제작 기판으로부터 트랜지스터를 분리하

여 개요성 기판으로 전치하기 위해서는, 제작 기판과, 산화물 반도체를 포함하는 트랜지스터 사이에 분리층을 제공하는 것이 바람직하다.

[0415] 다음으로, 절연체(214) 및 절연체(216)를 형성한다. 그리고, 리소그래피 공정 등에 의하여 절연체(216) 위에 레지스트 마스크(290)를 형성하여 절연체(214 및 216)의 불필요한 부분을 제거한다(도 32의 (A)). 그 후, 레지스트 마스크(290)를 제거하기 때문에, 개구를 형성할 수 있다.

[0416] 여기서, 막의 가공 방법에 대하여 설명한다. 막을 미세하게 가공하기 위해서는, 다양한 미세 가공 기술을 사용할 수 있다. 예를 들어, 리소그래피 공정 등에 의하여 형성된 레지스트 마스크에 대하여 슬리밍(slimming) 처리를 수행하는 방법을 사용할 수 있다. 또는, 리소그래피 공정 등에 의하여 더미 패턴을 형성하고, 더미 패턴에 사이드월을 제공한 다음에 제거하고, 남아 있는 사이드월을 레지스트 마스크로서 사용하여 막을 에칭한다. 높은 종횡비를 달성하기 위해서는, 막의 에칭에 이방성 드라이 에칭을 사용하는 것이 바람직하다. 또는, 무기 막 또는 금속막으로 형성된 하드 마스크를 사용하여도 좋다.

[0417] 레지스트 마스크를 형성하는 데 사용하는 광으로서, i선광(파장 365nm), g선광(파장 436nm), h선광(파장 405nm), 또는 i선, g선, 및 h선이 혼합된 광을 사용할 수 있다. 또는, 자외광, KrF 레이저 광, 또는 ArF 레이저 광 등을 사용할 수 있다. 액침 노광 기술에 의하여 노광을 수행하여도 좋다. 노광을 위한 광으로서 EUV(extreme ultra-violet)광 또는 X선을 사용하여도 좋다. 노광을 위한 광 대신에, 전자 빔을 사용할 수 있다. EUV광, X선, 또는 전자 빔을 사용하면, 매우 미세한 가공을 수행할 수 있으므로 바람직하다. 또한, 전자 빔 등의 빔을 주사하여 노광을 수행하는 경우, 포토마스크는 불필요하다.

[0418] 레지스트 마스크로서 기능하는 레지스트막을 형성하기 전에, 막과 레지스트막의 밀착성을 향상시키는 기능을 갖는 유기 수지막을 형성하여도 좋다. 유기 수지막은 스핀 코팅법 등에 의하여, 그 막 아래의 단차를 덮어 표면을 평탄화하도록 형성될 수 있으므로, 유기 수지막 위의 레지스트 마스크의 두께의 편차를 저감할 수 있다. 특히, 미세 가공의 경우에는, 노광을 위한 광의 반사를 방지하는 막으로서 기능하는 재료를 유기 수지막에 사용하는 것이 바람직하다. 이러한 기능을 갖는 유기 수지막의 예에는 BARC(bottom anti-reflection coating)막이 포함된다. 유기 수지막은 레지스트 마스크의 제거와 동시에 제거되어도 좋고, 레지스트 마스크를 제거한 후에 제거되어도 좋다.

[0419] 다음으로, 절연체(214) 및 절연체(216) 위에 도전체(205A) 및 도전체(205B)를 형성한다. 도전체(205A) 및 도전체(205B)는 예를 들어, 스퍼터링법, 증착법, 또는 CVD법(열CVD법, MOCVD법, 및 PECVD법 등을 포함함)에 의하여 형성될 수 있다. 플라즈마 대미지를 줄이기 위해서는, 열CVD법, MOCVD법, 또는 ALD법을 사용하는 것이 바람직하다(도 32의 (B)).

[0420] 그리고, 도전체(205A 및 205B)의 불필요한 부분을 제거한다. 예를 들어, 에치 백 처리 또는 CMP(chemical mechanical polishing) 처리 등에 의하여, 절연체(216)가 노출될 때까지 도전체(205A)의 일부와 도전체(205B)의 일부를 제거함으로써, 도전체(205)를 형성한다(도 32의 (C)). 이때, 절연체(216)를 스톱퍼층으로서 사용할 수도 있고, 절연체(216)의 두께가 얇아지는 경우가 있다.

[0421] CMP 처리는 가공될 물체의 표면을 화학적 작용과 기계적 작용의 조합에 의하여 평탄화하는 처리이다. 더 구체적으로는, CMP 처리는 연마 스테이지에 연마 천을 부착하고, 가공될 물체와 연마 천 사이에 슬러리(연마제)를 공급하면서 연마 스테이지 및 가공될 물체를 각각 회전 및 요동시키고, 슬러리와 가공될 물체의 표면 사이의 화학 반응과, 가공될 물체와 연마 천 사이의 기계적 연마의 작용에 의하여, 가공될 물체의 표면을 연마하는 처리이다.

[0422] 또한, CMP 처리는 한 번만 수행하여도 좋고, 복수 회 수행하여도 좋다. CMP 처리를 복수 회 수행하는 경우에는, 높은 연마 레이트로 제 1 연마를 수행하고, 낮은 연마 레이트로 마지막 연마를 수행하는 것이 바람직하다. 이러한 식으로, 다른 연마 레이트를 사용하는 연마 처리를 조합하여 사용하여도 좋다.

[0423] 그리고, 절연체(220), 절연체(222), 및 절연체(224)를 형성한다(도 32의 (D)). 또한, 절연체(220) 및 절연체(222)를 반드시 제공할 필요는 없다. 예를 들어, 절연체(224)가 과잉 산소 영역을 갖는 경우, 배리어성을 갖는 도전체를 도전체(205) 위에 형성하여도 좋다. 배리어성을 갖는 도전체는, 도전체(205)가 과잉 산소 영역의 산소와 반응하고 산화물을 생성하는 것을 억제할 수 있다.

[0424] 절연체(220, 222, 및 224)는 각각 절연체(320)를 형성하는 데 사용하는 재료 및 방법과 비슷한 것을 사용하여 형성할 수 있다. 절연체(222)로서는 산화 하프늄 등의 high-k 재료를 사용하는 것이 특히 바람직하다.

- [0425] 절연체(220, 222, 및 224)는 스퍼터링법, CVD(chemical vapor deposition)법(열CVD법, MOCVD(metal organic CVD)법, 및 PECVD(plasma-enhanced CVD)법 등을 포함함), MBE(molecular beam epitaxy)법, ALD(atomic layer deposition)법, 또는 PLD(pulsed laser deposition)법 등을 사용하여 형성할 수 있다. 특히, CVD법, 더 바람직하게는 ALD법 등에 의하여 상기 절연체를 형성하면, 피복성을 더 향상시킬 수 있어 바람직하다. 플라즈마 대미지를 줄이기 위해서는, 열CVD법, MOCVD법, 또는 ALD법을 사용하는 것이 바람직하다. 절연체는, TEOS(tetraethyl orthosilicate) 또는 실레인 등을 산소 또는 아산화 질소 등과 반응시킴으로써 형성한 단차 피복성이 높은 산화 실리콘막을 사용하여 형성될 수도 있다.
- [0426] 또한, 절연체(220, 222, 및 224)는 연속하여 형성되는 것이 바람직하다. 연속하여 형성함으로써, 절연체(220 및 222)의 계면 및 절연체(222 및 224)의 계면에 불순물이 부착되지 않아, 신뢰성이 높은 절연체가 된다.
- [0427] 그리고, 산화물(230a)이 되는 산화물(230A) 및 산화물(230b)이 되는 산화물(230B)을 순차적으로 형성한다. 이 산화물들은 대기에 노출되지 않고 연속하여 형성되는 것이 바람직하다.
- [0428] 그리고, 도전체(240a 및 240b)가 되는 도전막(240A)을 산화물(230A) 위에 형성한다. 도전막(240A)으로서는, 수소 또는 산소에 대한 배리어성을 갖고 내산화성이 높은 재료를 사용하는 것이 바람직하다. 도면에서 도전막(240A)은 단층 구조를 갖지만, 2층 이상의 적층 구조를 가져도 좋다. 그리고, 상술한 방법과 비슷한 방법에 의하여 레지스트 마스크(292)를 형성한다(도 32의 (E)).
- [0429] 레지스트 마스크(292)를 사용하여 도전막(240A)의 불필요한 부분을 에칭에 의하여 제거하여, 섬 형상을 갖는 도전층(240B)을 형성한다(도 33의 (A)). 그 후, 도전층(240B)을 마스크로서 사용하여 산화물(230A 및 230B)의 불필요한 부분을 에칭에 의하여 제거한다.
- [0430] 이때, 절연체(224)도 섬 형상으로 가공되어도 좋다. 예를 들어, 절연체(220, 222, 및 224)의 총 두께가 작은 경우에도, 배리어성을 갖는 절연체(222)를 에칭 스톱퍼막으로서 사용하면, 이들 절연체 아래에 위치하는 배선층의 오버 에칭을 방지할 수 있다. 또한, 절연체(220, 222, 및 224)의 총 두께가 작으면, 도전체(205)로부터 전압이 효율적으로 인가되기 때문에, 소비전력이 낮은 트랜지스터를 얻을 수 있다.
- [0431] 그리고, 레지스트 마스크를 제거한다. 이로써, 섬 형상의 산화물(230a), 섬 형상의 산화물(230b), 및 섬 형상의 도전층(240B)의 적층 구조를 형성할 수 있다(도 33의 (B)).
- [0432] 다음으로, 가열 처리를 수행하는 것이 바람직하다(도 33의 (C)의 화살표는 가열 처리를 나타냄). 가열 처리는 불활성 가스 분위기, 산화성 가스를 10ppm 이상 포함하는 분위기, 또는 감압하에 있어서, 250℃ 이상 400℃ 이하, 바람직하게는 320℃ 이상 380℃ 이하의 온도에서 수행할 수 있다. 또는, 가열 처리는, 불활성 가스 분위기에서 가열 처리를 수행한 다음, 방출된 산소를 보전하기 위하여 산화성 가스를 10ppm 이상 포함하는 분위기에서 다른 가열 처리를 수행하는 식으로 수행하여도 좋다. 가열 처리에 의하여, 산화물(230a 및 230b)의 불순물인 수소를 제거할 수 있다. 또한, 산화물(230a) 아래에 형성된 절연체로부터 산화물(230a 및 230b)에 산소가 공급되어, 산화물 내의 산소 결손이 저감될 수 있다.
- [0433] 다음으로, 상술한 방법과 비슷한 방법에 의하여 섬 형상의 도전층(240B) 위에 레지스트 마스크(294)를 형성한다(도 33의 (D)). 그리고, 도전층(240B)의 불필요한 부분을 에칭에 의하여 제거한 다음, 레지스트 마스크(294)를 제거함으로써, 도전체(240a) 및 도전체(240b)를 형성한다(도 34의 (A)). 이때, 절연체(222) 또는 절연체(224)의 일부를 에칭에 의하여 얇게 하여 s-channel 구조를 얻어도 좋다.
- [0434] 여기서, 가열 처리를 수행하여도 좋다. 가열 처리는 도 33의 (C)를 참조하여 설명한 가열 처리와 비슷한 조건하에서 수행할 수 있다. 가열 처리에 의하여, 산화물(230a 및 230b)의 불순물인 수소를 제거할 수 있다. 또한, 산화물(230a) 아래에 형성된 절연체로부터 산화물(230a 및 230b)에 산소가 공급될 수 있어, 산화물 내의 산소 결손이 저감될 수 있다. 산화성 가스를 사용하여 가열 처리를 수행하는 경우에는, 산화성 가스가 채널이 형성되는 영역과 직접 접촉됨으로써, 채널이 형성되는 영역에 포함되는 산소 결손을 저감시킬 수 있다.
- [0435] 다음으로, 산화물(230c)을 형성한다. 여기서, 가열 처리를 수행하여도 좋다(도 34의 (B)의 화살표는 가열 처리를 나타냄). 가열 처리는 도 34의 (C)를 참조하여 설명한 가열 처리와 비슷한 조건하에서 수행할 수 있다. 가열 처리에 의하여, 산화물(230a 및 230b)의 불순물인 수소를 제거할 수 있다. 또한, 산화물(230a) 아래에 형성된 절연체로부터 산화물(230a 및 230b)에 산소가 공급될 수 있어, 산화물 내의 산소 결손이 저감될 수 있다. 산화성 가스를 사용하여 가열 처리를 수행하는 경우에는, 산화성 가스가 채널이 형성되는 영역과 직접 접촉됨으로써, 채널이 형성되는 영역에 포함되는 산소 결손을 저감시킬 수 있다.

- [0436] 절연체(250), 및 도전체(260)가 되는 도전막(260A)을 순차적으로 형성한다. 도전막(260A)으로서는, 수소 또는 산소에 대한 배리어성을 갖고 내산화성이 높은 재료를 사용하는 것이 바람직하다. 도면에서 도전막(260A)은 단층 구조를 갖지만, 2층 이상의 적층 구조를 가져도 좋다.
- [0437] 예를 들어, 적층된 2층은 같은 재료로 형성되어도 좋다. 제 1 도전막을 예를 들어, 열CVD법, MOCVD법, 또는 ALD법에 의하여 형성한다. 특히, ALD법을 사용하는 것이 바람직하다. ALD법 등을 채용함으로써, 퇴적 시의 절연체(250)에 대한 대미지를 줄일 수 있다. 또한, 제 1 도전체막이 ALD법 등에 의하여 형성되면 피복성을 향상시킬 수 있어 바람직하다. 그러므로, 신뢰성이 높은 트랜지스터(200)를 제공할 수 있다.
- [0438] 다음으로, 제 2 도전막을 스퍼터링법에 의하여 형성한다. 이때, 절연체(250) 위에 제 1 도전막이 제공되기 때문에, 제 2 도전막의 퇴적 중에 생기는 대미지가 절연체(250)에 영향을 미치는 것을 방지할 수 있다. 스퍼터링법의 퇴적 속도는 ALD법보다 빠르기 때문에, 높은 수율로 생산성을 향상시킬 수 있다. 또한, 도전막(260A)의 퇴적에는, 염소를 포함하지 않는 퇴적 가스를 사용하는 것이 바람직하다.
- [0439] 다음으로, 상술한 방법과 비슷한 방법에 의하여 도전막(260A) 위에 레지스트 마스크(296)를 형성한다(도 34의 (C)). 그리고, 도전막(260A)의 불필요한 부분을 에칭에 의하여 제거하여 도전체(260)를 형성한다. 그 후, 레지스트 마스크(296)를 제거한다(도 35의 (A)).
- [0440] 이어서, 도전체(260) 위에 절연체(280)를 형성한다. 절연체(280)는 산화 실리콘막 또는 산화 질화 실리콘막 등 산소를 포함하는 절연체이다. 과잉 산소를 포함하는 절연체로서는, 대량의 산소를 포함하는 산화 실리콘막 또는 산화 질화 실리콘막을, 적절히 설정한 조건하에서 CVD법 또는 스퍼터링법에 의하여 형성할 수 있다. 산화 실리콘막 또는 산화 질화 실리콘막을 형성한 후, 이온 주입법, 이온 도핑법, 또는 플라스마 처리에 의하여 산소를 첨가하여도 좋다.
- [0441] 특히, 산소 플라스마 처리를 수행하는 것이 바람직하다(도 35의 (B)의 화살표는 플라스마 처리를 나타냄). 대표적인 산소 플라스마 처리에서는, 글로 방전 플라스마에 의하여 산소 가스로부터 생성된 라디칼로 산화물 반도체의 표면을 처리한다. 그러나, 플라스마를 생성하는 가스로서는, 산소뿐만 아니라, 산소 gas와 희가스의 혼합 가스를 사용하여도 좋다. 예를 들어, 산화성 가스를 포함하는 분위기 또는 감압하에 있어서, 250℃ 이상 400℃ 이하, 바람직하게는 300℃ 이상 400℃ 이하의 온도에서 산소 플라스마 처리를 수행할 수 있다.
- [0442] 산소 플라스마 처리에 의하여 절연체(280) 및 산화물(230)이 탈수화 또는 탈수소화되고, 절연체(280)에 과잉 산소가 도입된 결과, 과잉 산소 영역을 형성할 수 있다. 또한, 탈수화 또는 탈수소화된 산화물(230)에는 산소 결손이 생성되고 산화물(230)의 저항이 저감된다. 한편, 절연체(280)의 과잉 산소는 산화물(230)의 산소 결손을 보전한다. 따라서, 산소 플라스마 처리에 의하여, 절연체(280)에 과잉 산소 영역이 형성됨과 동시에 불순물로서 기능하는 수소 및 물을 절연체(280)로부터 제거할 수 있다. 그러므로, 트랜지스터(200)의 전기 특성을 향상시킬 수 있고 전기 특성의 변동을 저감시킬 수 있다.
- [0443] 그리고, 절연체(280) 위에 절연체(282)를 형성한다(도 35의 (C)). 절연체(282)는 스퍼터링 장치에 의하여 형성되는 것이 바람직하다. 스퍼터링법을 사용함으로써, 절연체(282) 아래에 위치하는 절연체(280)에 과잉 산소 영역을 쉽게 형성할 수 있다.
- [0444] 스퍼터링법에 의한 퇴적 중에는, 타겟과 기판 사이에 이온 및 스퍼터링된 입자가 존재한다. 예를 들어, 전원이 접속되는 타겟에는 전위 E_0 이 공급된다. 기판에는 접지 전위 등의 전위 E_1 이 공급된다. 또한, 기판은 전기적으로 부유 상태이어도 좋다. 또한, 타겟과 기판 사이에는 전위 E_2 의 영역이 있다. 또한, 전위의 관계는 $E_2 > E_1 > E_0$ 이다.
- [0445] 플라스마 내의 이온이 전위차($E_2 - E_0$)에 의하여 가속되고 타겟과 충돌됨으로써, 스퍼터링된 입자가 타겟으로부터 튀어나온다. 이들의 스퍼터링된 입자가 퇴적 표면에 부착되고 퇴적됨으로써, 막이 형성된다. 일부 이온은 타겟에 의하여 반도되고, 반도 이온으로서, 형성된 막을 통하여, 형성된 막 아래에 위치하는 절연체(280)에 들어갈 수 있다. 플라스마 내의 이온은 전위차($E_2 - E_1$)에 의하여 가속되고 퇴적 표면과 충돌된다. 이때, 일부 이온은 절연체(280) 내부에 도달한다. 이온은 절연체(280)에 들어가기 때문에, 이온이 들어간 영역이 절연체(280)에 형성된다. 즉, 이온이 산소를 포함하는 경우, 절연체(280)에 과잉 산소 영역이 형성된다.
- [0446] 절연체(280)에 과잉 산소를 도입하면 과잉 산소 영역을 형성할 수 있다. 절연체(280)의 과잉 산소는 산화물(230)에 공급되고 산화물(230)의 산소 결손을 보전할 수 있다. 여기서, 도전체(240a 및 240b), 및 절연체(28

0)와 접촉하는 도전체(260) 각각으로서 내산화성이 높은 도전체를 사용하는 경우, 절연체(280)의 과잉 산소는 도전체(260) 및 도전체(240a 및 240b)에 의하여 흡수되지 않고 산화물(230)에 효율적으로 공급될 수 있다. 따라서, 트랜지스터(200)의 전기 특성을 향상시킬 수 있고 전기 특성의 변동을 저감시킬 수 있다.

[0447] 상술한 단계를 거쳐, 본 발명의 일 형태에 따른 트랜지스터(200)를 제작할 수 있다.

[0448] 본 실시형태에서 설명한 구조 및 방법 등은 다른 실시형태에서 설명하는 구조 및 방법 등 중 임의의 것과 적절히 조합할 수 있다.

[0449] (실시형태 4)

[0450] 본 실시형태에서는, 상술한 실시형태에서 설명한 트랜지스터에 포함되는 산화물 반도체에 대하여 도 39의 (A) 내지 (E), 도 40의 (A) 내지 (E), 도 41의 (A) 내지 (D), 도 42의 (A) 및 (B), 도 43, 그리고 도 44를 참조하여 이하에서 설명한다.

[0451] <산화물 반도체의 구조>

[0452] 산화물 반도체의 구조에 대하여 이하에서 설명한다.

[0453] 산화물 반도체는 단결정 산화물 반도체와 비단결정 산화물 반도체로 분류된다. 비단결정 산화물 반도체의 예에는 CAAC-OS(c-axis-aligned crystalline oxide semiconductor), 다결정 산화물 반도체, nc-OS(nanocrystalline oxide semiconductor), a-like OS(amorphous-like oxide semiconductor), 및 비정질 산화물 반도체가 포함된다.

[0454] 또 다른 관점에서는, 산화물 반도체는 비정질 산화물 반도체와 결정성 산화물 반도체로 분류된다. 결정성 산화물 반도체의 예에는 단결정 산화물 반도체, CAAC-OS, 다결정 산화물 반도체, 및 nc-OS가 포함된다.

[0455] 예를 들어, 비정질 구조는 일반적으로, 등방적이고 불균질 구조를 갖지 않거나, 준안정 상태에 있고 원자의 배치가 고정되어 있지 않거나, 결합 각도가 유연하거나, 단거리 질서를 가지면서 장거리 질서를 갖지 않는 등으로 생각되고 있다.

[0456] 이는, 안정된 산화물 반도체를 완전한 비정질(completely amorphous) 산화물 반도체로 간주할 수는 없다는 것을 의미한다. 또한, 등방적이지 않은 산화물 반도체(예를 들어, 미소한 영역에서 주기 구조를 갖는 산화물 반도체)를 완전한 비정질 산화물 반도체로 간주할 수는 없다. 한편, 등방적이지 않은 a-like OS는 공동(void)을 포함하는 불안정한 구조를 갖는다. 불안정하기 때문에, a-like OS는 비정질 산화물 반도체와 비슷한 물성을 갖는다.

[0457] <CAAC-OS>

[0458] 먼저, CAAC-OS에 대하여 설명한다.

[0459] CAAC-OS는 c축 배향된 복수의 결정부(펠릿이라고도 함)를 갖는 산화물 반도체 중 하나이다.

[0460] X선 회절(XRD: X-ray diffraction)에 의한 CAAC-OS의 분석에 대하여 설명한다. 예를 들어, 공간군 R-3m으로 분류되는 InGaZnO₄ 결정을 포함하는 CAAC-OS의 구조를, out-of-plane법에 의하여 분석하면, 도 39의 (A)에 나타낸 바와 같이 회절각(2 θ)이 31° 근방일 때 피크가 나타난다. 이 피크는 InGaZnO₄ 결정의 (009)면에서 유래하는 것으로, CAAC-OS의 결정이 c축 배향을 갖고 c축이 CAAC-OS막이 형성되는 면(형성면이라고도 함) 또는 CAAC-OS막의 상면에 실질적으로 수직인 방향으로 배향되어 있는 것을 가리킨다. 또한, 2 θ 가 31° 근방일 때의 피크에 더하여 2 θ 가 36° 근방일 때에 피크가 나타나는 경우가 있다. 2 θ 가 36° 근방일 때의 피크는 공간군 Fd-3m으로 분류되는 결정 구조에서 유래하기 때문에, 그 피크는 CAAC-OS에 나타나지 않는 것이 바람직하다.

[0461] 한편, 형성면에 평행한 방향으로 CAAC-OS에 X선을 입사시키는 in-plane법에 의한 CAAC-OS의 구조 분석에서는, 2 θ 가 56° 근방일 때 피크가 나타난다. 이 피크는, InGaZnO₄ 결정의 (110)면에서 유래한다. 2 θ 를 56° 근방에 고정하고, 시료면에 대한 법선 벡터를 축(ϕ 축)으로서 사용하여 시료를 회전시켜 분석(ϕ 스캔)을 수행하면, 도 39의 (B)에 나타낸 바와 같이, 피크가 명확히 관찰되지 않는다. 한편, 2 θ 를 56° 근방에 고정하고 단결정 InGaZnO₄에 ϕ 스캔을 수행한 경우, 도 39의 (C)에 나타낸 바와 같이, (110)면과 등가인 결정면에서 유래하는 피크가 6개 관찰된다. 따라서, XRD를 사용한 구조 분석은, CAAC-OS에서 a축 및 b축의 방향이 불규칙하게 배향되는 것을 보여준다.

- [0462] 다음으로, 전자 회절에 의하여 분석한 CAAC-OS에 대하여 설명한다. 예를 들어, InGaZnO₄ 결정을 포함하는 CAAC-OS에, 프로브 직경 300nm의 전자선을 CAAC-OS의 형성면에 평행한 방향으로 입사시키면, 도 39의 (D)에 나타난 회절 패턴(제한 시야 전자 회절 패턴이라고 함)이 얻어질 수 있다. 이 회절 패턴에는 InGaZnO₄ 결정의 (009)면에서 유래하는 스폿이 포함된다. 따라서, 전자 회절에 의해서도, CAAC-OS에 포함되는 펠릿이 c축 배향을 갖고, c축이 CAAC-OS의 형성면 또는 상면에 실질적으로 수직인 방향으로 배향되는 것이 시사된다. 한편, 도 39의 (E)는 같은 시료에, 프로브 직경 300nm의 전자선을 시료면에 수직인 방향으로 입사시키는 식으로 얻은 회절 패턴을 나타낸 것이다. 도 39의 (E)에 나타난 바와 같이 링(ring) 형상의 회절 패턴이 관찰된다. 따라서, 프로브 직경 300nm의 전자선을 사용한 전자 회절에 의해서도, CAAC-OS에 포함되는 펠릿의 a축 및 b축은 규칙적인 배향성을 갖지 않는 것이 시사된다. 도 39의 (E)에서의 제 1 링은, InGaZnO₄ 결정의 (010)면 및 (100)면 등에서 유래하는 것으로 생각된다. 도 39의 (E)에서의 제 2 링은 (110)면 등에서 유래하는 것으로 생각된다.
- [0463] 투과형 전자 현미경(TEM: transmission electron microscope)을 사용하여 얻은 CAAC-OS의 명시야상과 회절 패턴의 복합 분석 이미지(고분해능 TEM 이미지라고도 함)에서는, 복수의 펠릿을 관찰할 수 있다. 그러나, 고분해능 TEM 이미지에서도 펠릿들의 경계, 즉 결정립계는 관찰되지 않는 경우가 있다. 따라서, CAAC-OS에서는 결정립계로 인한 전자 이동도의 저하가 일어나기 어렵다.
- [0464] 도 40의 (A)는 시료면에 실질적으로 평행한 방향으로부터 관찰한 CAAC-OS의 단면의 고분해능 TEM 이미지를 나타낸 것이다. 고분해능 TEM 이미지는, 구면 수차 보정(spherical aberration corrector) 기능을 사용하여 얻는다. 구면 수차 보정 기능을 사용하여 얻은 고분해능 TEM 이미지를, 특히 Cs 보정 고분해능 TEM 이미지라고 한다. Cs 보정 고분해능 TEM 이미지는 예를 들어, JEOL Ltd. 제조의 원자 분해능 분석 전자 현미경 JEM-ARM200F에 의하여 관찰할 수 있다.
- [0465] 도 40의 (A)는 금속 원자가 층상으로 배열되어 있는 펠릿을 나타낸 것이다. 도 40의 (A)는 펠릿의 크기가 1nm 이상 또는 3nm 이상인 것을 증명하고 있다. 따라서, 펠릿을 나노 결정(nc: nanocrystal)이라고 할 수도 있다. 또한, CAAC-OS를, CAC(c-axis-aligned nanocrystals)를 포함하는 산화물 반도체라고 할 수도 있다. 펠릿은 CAAC-OS의 형성면 또는 상면의 요철을 반영하고 있으며, CAAC-OS의 형성면 또는 상면에 평행하다.
- [0466] 도 40의 (B) 및 (C)는 시료면에 실질적으로 수직인 방향으로부터 관찰한 CAAC-OS의 평면의 Cs 보정 고분해능 TEM 이미지를 나타낸 것이다. 도 40의 (D) 및 (E)는 도 40의 (B) 및 (C)를 화상 처리하여 얻은 이미지이다. 화상 처리의 방법은 다음과 같다. 도 40의 (B)의 이미지를 고속 푸리에 변환(FFT: fast Fourier transform)함으로써, FFT 이미지를 얻는다. 그리고, 얻어진 FFT 이미지에 있어서 원점으로부터 2.8nm⁻¹에서 5.0nm⁻¹까지의 범위가 남도록 마스크 처리를 수행한다. 마스크 처리 후, FFT 이미지를 역고속 푸리에 변환(IFFT: inverse fast Fourier transform) 처리하여, 처리한 이미지를 얻는다. 이러한 식으로 얻은 이미지를 FFT 필터링 이미지라고 한다. FFT 필터링 이미지는 Cs 보정 고분해능 TEM 이미지에서 주기 성분을 추출한 것으로, 격자 배열을 나타낸다.
- [0467] 도 40의 (D)에서는, 격자 배열이 흐트러진 부분을 파선으로 나타내었다. 파선으로 둘러싸인 영역이 하나의 펠릿이다. 파선으로 나타낸 부분이 펠릿들의 연결부이다. 파선은 육각형을 이루고 있기 때문에 펠릿이 육각형인 것을 의미한다. 또한, 펠릿의 형상은 반드시 정육각형인 것은 아니고, 비정육각형인 경우가 많다.
- [0468] 도 40의 (E)에서는, 격자 배열이 규칙적인 영역과, 격자 배열이 규칙적인 다른 영역 사이에서 격자 배열의 방향이 변화되는 부분을 점선으로 나타내고, 격자 배열의 방향의 변화를 파선으로 나타내었다. 점선 근방에서도 명확한 결정립계를 관찰할 수 없다. 점선 근방의 격자점을 중심으로 하여 주위의 격자점을 연결하면, 예를 들어 변형된(distorted) 육각형, 오각형, 및/또는 칠각형이 형성될 수 있다. 즉, 격자 배열이 변형되도록 함으로써 결정립계의 형성이 억제된다. 이는, a-b면 방향에서 산소 원자의 배열의 밀도가 낮은 것, 그리고 금속 원소의 치환에 기인하여 원자간 결합 거리가 변화되는 것 등에 의하여 CAAC-OS가 변형을 허용할 수 있기 때문이라고 생각된다.
- [0469] 상술한 바와 같이, CAAC-OS는 c축 배향을 갖고, 그 펠릿들(나노 결정)은 a-b면 방향에서 연결되어 있고, 결정 구조는 변형을 갖는다. 이러한 이유로, CAAC-OS를 CAA(c-axis-aligned a-b-plane-anchored) crystal을 포함하는 산화물 반도체라고 할 수도 있다.
- [0470] CAAC-OS는 결정성이 높은 산화물 반도체이다. 불순물의 침입 또는 결함의 생성 등은 산화물 반도체의 결정성을 저하시킬 수 있다. 이는, CAAC-OS의 불순물 및 결함(예를 들어, 산소 결손)의 양이 적다는 것을 의미한다.

- [0471] 또한, 불순물이란, 수소, 탄소, 실리콘, 또는 전이 금속(transition metal) 원소 등, 산화물 반도체의 주성분 외의 원소를 의미한다. 예를 들어, 산화물 반도체에 포함되는 금속 원소보다 산소에 대한 결합력이 높은 원소(구체적으로는 실리콘 등)는 산화물 반도체로부터 산소를 추출하고, 이에 따라 산화물 반도체의 원자 배열이 흐트러지거나 결정성이 저하된다. 철 또는 니켈 등의 중금속, 아르곤, 또는 이산화탄소 등은, 원자 반경(또는 분자 반경)이 크기 때문에, 산화물 반도체의 원자 배열을 흐트러지게 하고 결정성을 저하시킨다.
- [0472] <nc-OS>
- [0473] 다음으로, nc-OS에 대하여 설명한다.
- [0474] XRD에 의한 nc-OS의 분석에 대하여 설명한다. nc-OS의 구조를 out-of-plane법에 의하여 분석하면, 배향성을 나타내는 피크가 나타나지 않는다. 즉, nc-OS의 결정은 배향성을 갖지 않는다.
- [0475] 예를 들어, InGaZnO₄ 결정을 포함하는 박편화된 nc-OS의 두께가 34nm인 영역에, 프로브 직경 50nm의 전자선을 형성면에 평행한 방향으로 입사시키면, 도 41의 (A)에 나타난 링 형상의 회절 패턴(나노빔 전자 회절 패턴)이 관찰된다. 도 41의 (B)는 같은 시료에 프로브 직경 1nm의 전자선을 입사시켜 얻은 회절 패턴을 나타낸 것이다. 도 41의 (B)에 나타난 바와 같이, 링 형상의 영역 내에 복수의 스폿이 관찰된다. 바꿔 말하면, nc-OS의 질서성은 프로브 직경 50nm의 전자선을 사용하여도 관찰되지 않지만, 프로브 직경 1nm의 전자선을 사용하면 관찰된다.
- [0476] 또한, 두께가 10nm 미만인 영역에, 프로브 직경 1nm의 전자선을 입사시키면, 도 41의 (C)에 나타난 바와 같이, 스폿이 대략 정육각형으로 배치된 전자 회절 패턴이 관찰되는 경우가 있다. 이는, 두께가 10nm 미만인 범위에서, nc-OS가 질서성이 높은 영역, 즉, 결정을 갖는 것을 의미한다. 또한, 결정이 다양한 방향을 향하고 있기 때문에, 일부의 영역에서는 규칙성을 갖는 전자 회절 패턴이 관찰되지 않는다.
- [0477] 도 41의 (D)는 형성면에 실질적으로 평행한 방향으로부터 관찰한 nc-OS의 단면의 Cs 보정 고분해능 TEM 이미지를 나타낸 것이다. 고분해능 TEM 이미지에서, nc-OS는 도 41의 (D)에서 보조선으로 나타난 부분과 같이, 결정부가 관찰되는 영역과 결정부가 명확하게 관찰되지 않는 영역을 갖는다. 대부분의 경우, nc-OS에 포함되는 결정부의 크기는 1nm 이상 10nm 이하, 특히 1nm 이상 3nm 이하이다. 또한, 크기가 10nm보다 크고 100nm 이하인 결정부를 포함하는 산화물 반도체를 미결정 산화물 반도체(microcrystalline oxide semiconductor)라고 하는 경우가 있다. nc-OS의 고분해능 TEM 이미지에서는 예를 들어, 결정립계가 명확하게 관찰되지 않는 경우가 있다. 또한, 나노 결정의 기원은 CAAC-OS의 펠릿과 같을 가능성이 있다. 그러므로, 이하의 설명에서는 nc-OS의 결정부를 펠릿이라고 하는 경우가 있다.
- [0478] 상술한 바와 같이, nc-OS에서, 미소한 영역(예를 들어, 크기 1nm 이상 10nm 이하의 영역, 특히 크기 1nm 이상 3nm 이하의 영역)은 주기적인 원자 배열을 갖는다. nc-OS에서 상이한 펠릿들 간에 결정 배향의 규칙성은 없다. 따라서, 막 전체의 배향에 질서성이 없다. 그러므로, 분석 방법에 따라서는 nc-OS를 a-like OS 또는 비정질 산화물 반도체와 구별할 수 없다.
- [0479] 펠릿들(나노 결정들) 간에 결정 배향의 규칙성이 없기 때문에, nc-OS를 RANC(random aligned nanocrystals)를 포함하는 산화물 반도체 또는 NANC(non-aligned nanocrystals)를 포함하는 산화물 반도체라고 할 수도 있다.
- [0480] nc-OS는 비정질 산화물 반도체에 비하여 규칙성이 높은 산화물 반도체이다. 따라서, nc-OS는 a-like OS 및 비정질 산화물 반도체보다 결합 준위의 밀도가 낮은 경향이 있다. 또한, nc-OS에서 상이한 펠릿들 간에 결정 배향의 규칙성은 없다. 그러므로, nc-OS는 CAAC-OS보다 결합 준위의 밀도가 높다.
- [0481] <a-like OS>
- [0482] a-like OS는 nc-OS와 비정질 산화물 반도체의 중간 구조를 갖는다.
- [0483] 도 42의 (A) 및 (B)는 a-like OS의 고분해능 단면 TEM 이미지이다. 도 42의 (A)는 전자 조사 개시 시의 a-like OS의 고분해능 단면 TEM 이미지이다. 도 42의 (B)는 $4.3 \times 10^8 \text{ e}^-/\text{nm}^2$ 의 전자(e^-) 조사 후의 a-like OS의 고분해능 단면 TEM 이미지이다. 도 42의 (A) 및 (B)는, 전자 조사 개시 시부터 a-like OS에서 세로 방향으로 연장되는 스트라이프 형상의 명(明)영역이 관찰되는 것을 나타내고 있다. 명영역의 형상이 전자 조사 후에 변화되는 것도 알 수 있다. 또한, 명영역은 공동 또는 밀도가 낮은 영역인 것으로 추측된다.
- [0484] a-like OS는 공동을 포함하기 때문에 불안정한 구조를 갖는다. a-like OS가 CAAC-OS 및 nc-OS에 비하여 불안정한 구조를 갖는다는 것을 증명하기 위하여, 전자 조사에 기인한 구조의 변화에 대하여 이하에서 설명한다.

- [0485] 시료로서 a-like OS, nc-OS, 및 CAAC-OS를 준비한다. 각 시료는 In-Ga-Zn 산화물이다.
- [0486] 먼저, 각 시료의 고분해능 단면 TEM 이미지를 얻는다. 고분해능 단면 TEM 이미지는, 모든 시료가 결정부를 갖는 것을 나타낸다.
- [0487] InGaZnO₄ 결정의 단위 격자는, 3개의 In-O층과 6개의 Ga-Zn-O층을 포함하는 9층이 c축 방향으로 적층된 구조를 갖는 것이 알려져 있다. 인접한 층들 사이의 거리는 (009)면의 격자간 거리(d값이라고도 함)와 동등하다. 그 값은 결정 구조 분석으로부터 0.29nm로 계산된다. 따라서, 이하의 설명에서는 격자 줄무늬(lattice fringe) 사이의 거리가 0.28nm 이상 0.30nm 이하인 부분을 InGaZnO₄의 결정부로 간주한다. 각 격자 줄무늬는 InGaZnO₄ 결정의 a-b면에 대응한다.
- [0488] 도 43은 각 시료의 결정부(22지점 내지 30지점)의 평균 크기의 변화를 나타낸 것이다. 또한, 결정부의 크기는 격자 줄무늬의 길이에 상당한다. 도 43은 a-like OS에서의 결정부의 크기가 예를 들어, TEM 이미지 취득 시의 누적 전자 조사량의 증가에 따라 커지는 것을 나타낸다. 도 43에 나타난 바와 같이, TEM 관찰의 시작에서 약 1.2nm인 결정부(초기 핵이라고도 함)는, 누적 전자(e⁻) 조사량이 4.2×10⁸ e⁻/nm²가 될 때에는 약 1.9nm의 크기로 성장한다. 한편, nc-OS 및 CAAC-OS의 결정부의 크기는 전자 조사의 시작부터 누적 전자 조사량이 4.2×10⁸ e⁻/nm²가 될 때까지 보이는 변화가 작다. 도 43에 나타난 바와 같이 nc-OS 및 CAAC-OS의 결정부의 크기는 누적 전자 조사량에 상관없이 각각 약 1.3nm 및 약 1.8nm이다. 전자선 조사 및 TEM 관찰에는 Hitachi H-9000NAR 투과 전자 현미경을 사용한다. 전자선 조사의 조건은 다음과 같다: 가속 전압 300kV; 전류 밀도 6.7×10⁵ e⁻/(nm²·s); 및 조사 영역의 직경 230nm.
- [0489] 이와 같이, a-like OS에서의 결정부의 성장은 전자 조사에 의하여 유발되는 경우가 있다. 한편, nc-OS 및 CAAC-OS에서는 전자 조사에 의하여 결정부의 성장이 거의 유발되지 않는다. 그러므로, a-like OS는 nc-OS 및 CAAC-OS에 비하여 불안정한 구조를 갖는다.
- [0490] a-like OS는 공동을 포함하기 때문에 nc-OS 및 CAAC-OS보다 밀도가 낮다. 구체적으로, a-like OS의 밀도는 같은 조성을 갖는 단결정 산화물 반도체의 밀도의 78.6% 이상 92.3% 미만이다. nc-OS 및 CAAC-OS 각각의 밀도는 같은 조성을 갖는 단결정 산화물 반도체의 밀도의 92.3% 이상 100% 미만이다. 또한, 단결정 산화물 반도체의 밀도의 78% 미만의 밀도를 갖는 산화물 반도체는 퇴적하기 어렵다.
- [0491] 예를 들어, 원자수비 In:Ga:Zn=1:1:1의 산화물 반도체의 경우, 능면체정 구조를 갖는 단결정 InGaZnO₄의 밀도는 6.357g/cm³이다. 따라서, 원자수비 In:Ga:Zn=1:1:1의 산화물 반도체의 경우, a-like OS의 밀도는 5.0g/cm³ 이상 5.9g/cm³ 미만이다. 예를 들어, 원자수비 In:Ga:Zn=1:1:1의 산화물 반도체의 경우, nc-OS 및 CAAC-OS 각각의 밀도는 5.9g/cm³ 이상 6.3g/cm³ 미만이다.
- [0492] 또한, 특정의 조성을 갖는 산화물 반도체가 단결정 구조로 존재하지 않는 경우에는, 조성이 다른 단결정 산화물 반도체들을 적절한 비율로 조합함으로써, 원하는 조성을 갖는 단결정 산화물 반도체의 밀도와 동등한 밀도를 계산할 수 있다. 원하는 조성을 갖는 단결정 산화물 반도체의 밀도는, 조성이 다른 단결정 산화물 반도체들의 조합비에 따라 가중 평균을 사용하여 계산할 수 있다. 또한, 가능한 한 적은 종류의 단결정 산화물 반도체를 사용하여 밀도를 계산하는 것이 바람직하다.
- [0493] 상술한 바와 같이, 산화물 반도체는 다양한 구조와 다양한 특성을 갖는다. 또한, 산화물 반도체는 예를 들어, 비정질 산화물 반도체, a-like OS, nc-OS, 및 CAAC-OS 중 2개 이상의 막을 포함하는 적층막이어도 좋다.
- [0494] <산화물 반도체의 캐리어 밀도>
- [0495] 산화물 반도체의 캐리어 밀도에 대하여 이하에서 설명한다.
- [0496] 산화물 반도체의 캐리어 밀도에 영향을 미치는 인자의 예에는 산화물 반도체 내의 산소 결손(Vo) 및 불순물이 포함된다.
- [0497] 산화물 반도체 내의 산소 결손의 양이 많아지면, 수소가 상기 산소 결손과 결합될 때(이 상태를 VoH라고도 함) 결합 준위의 밀도가 높아진다. 산화물 반도체 내의 불순물의 양이 증가되면 결합 준위의 밀도도 높아진다. 따라서, 산화물 반도체 내의 결합 준위의 밀도를 제어함으로써, 산화물 반도체의 캐리어 밀도를 제어할 수 있다.

- [0498] 채널 영역에 산화물 반도체를 사용한 트랜지스터에 대하여 이하에서 설명한다.
- [0499] 트랜지스터의 문턱 전압의 음의 방향으로의 변동을 억제하거나 트랜지스터의 오프 상태 전류를 저감시키기 위해서는, 산화물 반도체의 캐리어 밀도를 저감시키는 것이 바람직하다. 산화물 반도체의 캐리어 밀도를 저감시키기 위해서는, 산화물 반도체 내의 불순물 농도를 저감시켜 결함 준위의 밀도를 저감시킬 수 있다. 본 명세서 등에서, 불순물 농도가 낮고 결함 준위의 밀도가 낮은 상태를 고순도 진성 또는 실질적으로 고순도 진성 상태라고 한다. 고순도 진성의 산화물 반도체의 캐리어 밀도는 $8 \times 10^{15} \text{ cm}^{-3}$ 미만, 바람직하게는 $1 \times 10^{11} \text{ cm}^{-3}$ 미만, 더 바람직하게는 $1 \times 10^{10} \text{ cm}^{-3}$ 미만이고 $1 \times 10^{-9} \text{ cm}^{-3}$ 이상이다.
- [0500] 한편, 트랜지스터의 온 상태 전류를 향상시키거나 트랜지스터의 전계 효과 이동도를 향상시키기 위해서는, 산화물 반도체의 캐리어 밀도를 높이는 것이 바람직하다. 산화물 반도체의 캐리어 밀도를 높이기 위해서는, 산화물 반도체 내의 불순물 농도 또는 결함 준위의 밀도를 약간 증가시킨다. 또는, 산화물 반도체의 밴드 갭을 좁히는 것이 바람직하다. 예를 들어, 트랜지스터의 I_d-V_g 특성의 양호한 온/오프비가 얻어지는 범위에 있어서 불순물 농도가 약간 높거나 결함 준위의 밀도가 약간 높은 산화물 반도체를 실질적으로 진성으로 간주할 수 있다. 또한, 전자 친화력이 높으므로 밴드 갭이 좁아져 열적으로 여기된 전자(캐리어)의 밀도가 증가된 산화물 반도체를 실질적으로 진성으로 간주할 수 있다. 또한, 전자 친화력이 더 높은 산화물 반도체를 사용한 트랜지스터는 문턱 전압이 더 낮아진다.
- [0501] 캐리어 밀도가 증가된 상술한 산화물 반도체는 어느 정도 n형 도전형질을 갖고 있기 때문에, 이를 "slightly-n" 산화물 반도체라고 할 수 있다.
- [0502] 실질적으로 진성의 산화물 반도체의 캐리어 밀도는 $1 \times 10^5 \text{ cm}^{-3}$ 이상 $1 \times 10^{18} \text{ cm}^{-3}$ 미만이 바람직하고, $1 \times 10^7 \text{ cm}^{-3}$ 이상 $1 \times 10^{17} \text{ cm}^{-3}$ 이하가 더 바람직하고, $1 \times 10^9 \text{ cm}^{-3}$ 이상 $5 \times 10^{16} \text{ cm}^{-3}$ 이하가 더욱 바람직하고, $1 \times 10^{10} \text{ cm}^{-3}$ 이상 $1 \times 10^{16} \text{ cm}^{-3}$ 이하가 더욱더 바람직하고, $1 \times 10^{11} \text{ cm}^{-3}$ 이상 $1 \times 10^{15} \text{ cm}^{-3}$ 이하가 보다 바람직하다.
- [0503] 실질적으로 진성의 산화물 반도체막을 사용하면 트랜지스터의 신뢰성이 향상될 수 있다. 여기서는, 채널 영역에 산화물 반도체막을 사용하는 트랜지스터의 신뢰성이 향상되는 이유를 도 44를 참조하여 설명한다. 도 44는 산화물 반도체막을 채널 영역에 사용한 트랜지스터의 에너지 밴드도이다.
- [0504] 도 44에서, GE, GI, OS, 및 SD는 각각 게이트 전극, 게이트 절연막, 산화물 반도체막, 및 소스/드레인 전극을 말한다. 바꿔 말하면, 도 44는 게이트 전극, 게이트 절연막, 산화물 반도체막, 및 산화물 반도체막과 접촉하는 소스/드레인 전극의 에너지 밴드의 예를 나타낸 것이다.
- [0505] 도 44에서는, 산화 실리콘막 및 In-Ga-Zn 산화물을 각각 게이트 절연막 및 산화물 반도체막으로서 사용한다. 산화 실리콘막에 형성될 수 있는 결함의 전이 레벨(ϵf)은 게이트 절연막의 전도대 하단에서 약 3.1eV 떨어진 위치에 형성되는 것으로 상정된다. 또한, 게이트 전압(V_g)이 30V일 때의 산화물 반도체막과 산화 실리콘막의 계면에서의 산화 실리콘막의 페르미 준위(E_f)는, 게이트 절연막의 전도대 하단에서 약 3.6eV 떨어진 위치에 형성되는 것으로 상정된다. 또한, 산화 실리콘막의 페르미 준위는 게이트 전압에 따라 변화된다. 예를 들어, 게이트 전압이 높아지면, 산화물 반도체막과 산화 실리콘막의 계면에서의 산화 실리콘막의 페르미 준위(E_f)는 낮아진다. 도 44의 백색 동그라미 및 x는 각각 전자(캐리어) 및 산화 실리콘막 내의 결함 준위를 나타낸다.
- [0506] 도 44에 나타낸 바와 같이, 게이트 전압이 인가되는 동안 캐리어의 열 여기가 일어나면, 결함 준위(도면에서 x)에 의하여 캐리어가 트랩되고, 결함 준위의 전하 상태가 양("+")으로부터 중성("0")으로 변화된다. 바꿔 말하면, 산화 실리콘막의 페르미 준위(E_f)에 열 여기 에너지를 가하여 얻은 값이 결함의 전이 레벨(ϵf)보다 커지는 경우, 산화 실리콘막 내의 결함 준위의 전하 상태는 양으로부터 중성으로 변화되기 때문에, 트랜지스터의 문턱 전압이 양의 방향으로 변동된다.
- [0507] 전자 친화력이 상이한 산화물 반도체막을 사용하면, 게이트 절연막과 산화물 반도체막의 계면의 페르미 준위가 변화될 수 있다. 전자 친화력이 더 큰 산화물 반도체막을 사용하면, 게이트 절연막과 산화물 반도체막의 계면 또는 이 계면의 근방에서 게이트 절연막의 전도대 하단이 상대적으로 높아진다. 이 경우, 게이트 절연막에 형성될 수 있는 결함 준위(도 44에서 x)도 상대적으로 높아지기 때문에, 게이트 절연막의 페르미 준위와 산화물 반도체막의 페르미 준위의 에너지 차가 커진다. 이 에너지 차가 커짐으로써, 게이트 절연막에 트랩되는 전하량이 적어진다. 예를 들어, 산화 실리콘막에 형성될 수 있는 결함 준위의 전하 상태의 변화가 작아지기 때문에, GBT(gate bias temperature) 스트레스에 의한 트랜지스터의 문턱 전압의 변화를 줄일 수 있다.

- [0508] 본 실시형태에서 설명한 구조는 다른 실시형태 중 어느 것에서 설명하는 구조와 적절히 조합하여 사용할 수 있다.
- [0509] (실시형태 5)
- [0510] 본 실시형태에서는, 본 발명의 일 형태에 따른 트랜지스터 등을 포함하는 반도체 장치의 회로의 예에 대하여 설명한다.
- [0511] <회로>
- [0512] 본 발명의 일 형태에 따른 트랜지스터 등을 포함하는 반도체 장치의 회로의 예에 대하여 도 45 및 도 46을 참조하여 이하에서 설명한다.
- [0513] <기억 장치 1>
- [0514] 도 45의 반도체 장치는 트랜지스터(3500) 및 배선(3006)을 포함하는 점에서 상술한 실시형태에서 설명한 반도체 장치와 다르다. 이 경우에도, 상술한 실시형태에서 설명한 반도체 장치와 비슷한 식으로 데이터를 기록하고 유지할 수 있다. 상술한 트랜지스터(200)와 비슷한 트랜지스터를 트랜지스터(3500)로서 사용할 수 있다.
- [0515] 배선(3006)은 트랜지스터(3500)의 게이트와 전기적으로 접속되고, 트랜지스터(3500)의 소스 및 드레인 중 한쪽은 트랜지스터(3200)의 드레인과 전기적으로 접속되고, 트랜지스터(3500)의 소스 및 드레인 중 다른 쪽은 배선(3003)과 전기적으로 접속된다.
- [0516] <기억 장치 2>
- [0517] 반도체 장치(기억 장치)의 변형예에 대하여 도 46의 회로도를 참조하여 설명한다.
- [0518] 도 46에 도시된 반도체 장치는 트랜지스터(4100, 4200, 4300, 및 4400) 및 용량 소자(4500 및 4600)를 포함한다. 여기서, 상술한 트랜지스터(300)와 비슷한 트랜지스터를 트랜지스터(4100)로서 사용할 수 있고, 상술한 트랜지스터(200)와 비슷한 트랜지스터를 트랜지스터(4200 내지 4400)로서 사용할 수 있다. 상술한 용량 소자(100)와 비슷한 용량 소자는 용량 소자(4500 및 4600)로서 사용할 수 있다. 도 46에는 도시하지 않았지만, 도 46에서는 복수의 반도체 장치가 매트릭스로 제공된다. 도 46의 반도체 장치는 배선(4001), 배선(4003), 및 배선(4005 내지 4009)에 공급되는 신호 또는 전위에 따라 데이터 전압의 기록 및 판독을 제어할 수 있다.
- [0519] 트랜지스터(4100)의 소스 및 드레인 중 한쪽은 배선(4003)에 접속된다. 트랜지스터(4100)의 소스 및 드레인 중 다른 쪽은 배선(4001)에 접속된다. 도 46에서, 트랜지스터(4100)는 p채널 트랜지스터이지만, 트랜지스터(4100)는 n채널 트랜지스터이어도 좋다.
- [0520] 도 46의 반도체 장치는 2개의 데이터 유지부를 포함한다. 예를 들어, 제 1 데이터 유지부는 노드(FG1)에 접속되는, 트랜지스터(4400)의 소스 및 드레인 중 한쪽과, 용량 소자(4600)의 한쪽 전극과, 트랜지스터(4200)의 소스 및 드레인 중 한쪽 사이에서 전하를 유지한다. 제 2 데이터 유지부는 노드(FG2)에 접속되는, 트랜지스터(4100)의 게이트와, 트랜지스터(4200)의 소스 및 드레인 중 다른 쪽과, 트랜지스터(4300)의 소스 및 드레인 중 한쪽과, 용량 소자(4500)의 한쪽 전극 사이에서 전하를 유지한다.
- [0521] 트랜지스터(4300)의 소스 및 드레인 중 다른 쪽은 배선(4003)에 접속된다. 트랜지스터(4400)의 소스 및 드레인 중 다른 쪽은 배선(4001)에 접속된다. 트랜지스터(4400)의 게이트는 배선(4005)에 접속된다. 트랜지스터(4200)의 게이트는 배선(4006)에 접속된다. 트랜지스터(4300)의 게이트는 배선(4007)에 접속된다. 용량 소자(4600)의 다른 쪽 전극은 배선(4008)에 접속된다. 용량 소자(4500)의 다른 쪽 전극은 배선(4009)에 접속된다.
- [0522] 트랜지스터(4200, 4300, 및 4400)는 각각 데이터 전압의 기록 및 전하의 유지를 제어하는 스위치로서 기능한다. 또한, 트랜지스터(4200, 4300, 및 4400) 각각으로서는, 오프 상태에서 소스와 드레인 사이를 흐르는 전류가 낮은(오프 상태 전류가 낮은) 트랜지스터를 사용하는 것이 바람직하다. 오프 상태 전류가 낮은 트랜지스터의 예로서, 채널 형성 영역에 산화물 반도체를 포함하는 트랜지스터(OS 트랜지스터)를 사용하는 것이 바람직하다. OS 트랜지스터는 오프 상태 전류가 낮고, 예를 들어, 실리콘을 포함하는 트랜지스터와 중첩하여 제작할 수 있다. 도 46에서, 트랜지스터(4200, 4300, 및 4400)는 n채널 트랜지스터이지만, 트랜지스터(4200, 4300, 및 4400)는 p채널 트랜지스터이어도 좋다.
- [0523] 트랜지스터(4200), 트랜지스터(4300), 및 트랜지스터(4400)가 산화물 반도체를 포함하는 트랜지스터이어도, 트랜지스터(4200) 및 트랜지스터(4300)를 트랜지스터(4400)가 제공되는 층과 다른 층에 제공하는 것이

바람직하다. 바꿔 말하면, 도 46의 반도체 장치에서는, 트랜지스터(4100), 트랜지스터(4200), 트랜지스터(4300), 및 트랜지스터(4400)가 적층되어 있는 것이 바람직하다. 즉, 트랜지스터를 집적함으로써, 회로 면적을 축소할 수 있어, 반도체 장치의 크기를 작게 할 수 있다.

[0524] 다음으로, 도 46에 도시된 반도체 장치에 대한 데이터의 기록 동작에 대하여 설명한다.

[0525] 먼저, 노드(FG1)에 접속되는 데이터 유지부에 대한 데이터 전압의 기록 동작(이하, 기록 동작 1이라고 함)에 대하여 설명한다. 이하의 설명에서는, 노드(FG1)에 접속되는 데이터 유지부에 기록되는 데이터 전압을 V_{D1} 로 하고, 트랜지스터(4100)의 문턱 전압을 V_{th} 로 한다.

[0526] 기록 동작 1에서는, 배선(4003)의 전위를 V_{D1} 로 하고, 배선(4001)의 전위를 접지 전위로 한 후에 배선(4001)을 전기적으로 부유 상태로 한다. 배선(4005 및 4006)을 하이 레벨로 한다. 배선(4007 내지 4009)을 로 레벨로 한다. 그러면, 전기적으로 부유 상태인 노드(FG2)의 전위가 증가되기 때문에, 트랜지스터(4100)에 전류가 흐른다. 전류가 흐르기 때문에, 배선(4001)의 전위가 증가된다. 트랜지스터(4400 및 4200)가 온이 된다. 따라서, 배선(4001)의 전위가 증가될수록, 노드(FG1 및 FG2)의 전위가 증가된다. 노드(FG2)의 전위가 증가되고, 트랜지스터(4100)의 게이트와 소스 사이의 전압(V_{gs})이 트랜지스터(4100)의 문턱 전압 V_{th} 에 도달하면, 트랜지스터(4100)를 흐르는 전류가 저하된다. 따라서, 배선(4001)과 노드(FG1 및 FG2)의 전위의 증가가 정지되어, 노드(FG1 및 FG2)의 전위는 V_{D1} 이 V_{th} 만큼 저하된 " $V_{D1}-V_{th}$ "에서 고정된다.

[0527] 트랜지스터(4100)에 전류가 흐르면, 배선(4003)에 공급된 V_{D1} 은 배선(4001)에 공급되기 때문에, 노드(FG1 및 FG2)의 전위가 증가된다. 전위의 증가에 따라 노드(FG2)의 전위가 " $V_{D1}-V_{th}$ "가 되면, 트랜지스터(4100)의 V_{gs} 는 V_{th} 가 되기 때문에, 전류의 흐름이 정지된다.

[0528] 다음으로, 노드(FG2)에 접속되는 데이터 유지부에 대한 데이터 전압의 기록 동작(이하, 기록 동작 2라고 함)에 대하여 설명한다. 이하의 설명에서, 노드(FG2)에 접속되는 데이터 유지부에 기록되는 데이터 전압을 V_{D2} 로 한다.

[0529] 기록 동작 2에서는, 배선(4001)의 전위를 V_{D2} 로 하고, 배선(4003)의 전위를 접지 전위로 한 후에 배선(4003)을 전기적으로 부유 상태로 한다. 배선(4007)을 하이 레벨로 한다. 배선(4005, 4006, 4008, 및 4009)을 로 레벨로 한다. 트랜지스터(4300)를 온 상태로 하여 배선(4003)을 로 레벨로 한다. 따라서, 노드(FG2)의 전위가 로 레벨까지 저하되어, 트랜지스터(4100)에 전류가 흐른다. 전류가 흐름으로써, 배선(4003)의 전위가 증가된다. 트랜지스터(4300)가 온이 된다. 따라서, 배선(4003)의 전위가 증가될수록, 노드(FG2)의 전위가 증가된다. 노드(FG2)의 전위가 증가되고 트랜지스터(4100)의 V_{gs} 가 트랜지스터(4100)의 V_{th} 가 되면, 트랜지스터(4100)를 흐르는 전류가 저하된다. 따라서, 배선(4003) 및 노드(FG2)의 전위의 증가가 정지되어, 노드(FG2)의 전위는 V_{D2} 가 V_{th} 만큼 저하된 " $V_{D2}-V_{th}$ "에서 고정된다.

[0530] 바꿔 말하면, 트랜지스터(4100)에 전류가 흐르면, 배선(4001)에 공급된 V_{D2} 는 배선(4003)에 공급되기 때문에, 노드(FG2)의 전위가 증가된다. 전위의 증가에 따라 노드(FG2)의 전위가 " $V_{D2}-V_{th}$ "가 되면, 트랜지스터(4100)의 V_{gs} 는 V_{th} 가 되기 때문에, 전류의 흐름이 정지된다. 이때, 트랜지스터(4200 및 4400)는 오프이고, 노드(FG1)의 전위는 기록 동작 1에서 기록된 " $V_{D1}-V_{th}$ "에서 유지된다.

[0531] 도 46에 도시된 반도체 장치에서는, 복수의 데이터 유지부에 데이터 전압을 기록한 후, 배선(4009)을 하이 레벨로 하여, 노드(FG1 및 FG2)의 전위를 증가시킨다. 그리고, 트랜지스터를 오프로 하여 전하의 이동을 정지하기 때문에, 기록된 데이터 전압이 유지된다.

[0532] 상술한 노드(FG1 및 FG2)에 대한 데이터 전압의 기록 동작에 의하여, 복수의 데이터 유지부에서 데이터 전압을 유지할 수 있다. " $V_{D1}-V_{th}$ " 및 " $V_{D2}-V_{th}$ "를 기록되는 전위로서 사용하는 예를 설명하였지만, 이들은 다차 데이터에 대응하는 데이터 전압이다. 따라서, 데이터 유지부가 각각 4비트의 데이터를 유지하는 경우, 16값의 " $V_{D1}-V_{th}$ "와 16값의 " $V_{D2}-V_{th}$ "를 얻을 수 있다.

[0533] 다음으로, 도 46에 도시된 반도체 장치로부터의 데이터 판독 동작에 대하여 설명한다.

- [0534] 먼저, 노드(FG2)에 접속되는 데이터 유지부에 대한 데이터 전압의 판독 동작(이하, 판독 동작 1이라고 함)에 대하여 설명한다.
- [0535] 판독 동작 1에서는, 프리차지 후에 전기적으로 부유 상태로 한 배선(4003)을 방전시킨다. 배선(4005 내지 4008)을 로 레벨로 한다. 배선(4009)을 로 레벨로 하면, 전기적으로 부유 상태인 노드(FG2)의 전위가 " $V_{D2}-V_{th}$ "가 된다. 노드(FG2)의 전위가 저하되어, 트랜지스터(4100)에 전류가 흐른다. 전류가 흐름으로써, 전기적으로 부유 상태인 배선(4003)의 전위가 저하된다. 배선(4003)의 전위가 저하될수록, 트랜지스터(4100)의 V_{gs} 가 저하된다. 트랜지스터(4100)의 V_{gs} 가 트랜지스터(4100)의 V_{th} 가 되면, 트랜지스터(4100)를 흐르는 전류가 저하된다. 바꿔 말하면, 배선(4003)의 전위는 노드(FG2)의 전위 " $V_{D2}-V_{th}$ "보다 V_{th} 만큼 큰 " V_{D2} "가 된다. 배선(4003)의 전위는 노드(FG2)에 접속되는 데이터 유지부의 데이터 전압에 대응한다. 판독된 아날로그값의 데이터 전압에 A/D 변환을 실시하여, 노드(FG2)에 접속되는 데이터 유지부의 데이터를 얻는다.
- [0536] 바꿔 말하면, 프리차지 후의 배선(4003)을 부유 상태로 하고, 배선(4009)의 전위를 하이 레벨로부터 로 레벨로 바꿈으로써, 트랜지스터(4100)에 전류가 흐른다. 전류가 흐르면, 부유 상태인 배선(4003)의 전위가 저하되어 " V_{D2} "가 된다. 트랜지스터(4100)에서, 노드(FG2)의 " $V_{D2}-V_{th}$ "와 배선(4003)의 " V_{D2} " 사이의 V_{gs} 는 V_{th} 가 되기 때문에, 전류가 정지된다. 그리고, 배선(4003)에는 기록 동작 2에서 기록된 " V_{D2} "가 판독된다.
- [0537] 노드(FG2)에 접속되는 데이터 유지부의 데이터를 얻은 후, 트랜지스터(4300)를 온으로 하여 노드(FG2)의 " $V_{D2}-V_{th}$ "를 방전시킨다.
- [0538] 그리고, 노드(FG1)에 유지되는 전하를 노드(FG1)와 노드(FG2) 사이에서 분배하고, 노드(FG1)에 접속되는 데이터 유지부의 데이터 전압을 노드(FG2)에 접속되는 데이터 유지부에 옮긴다. 배선(4001 및 4003)을 로 레벨로 한다. 배선(4006)을 하이 레벨로 한다. 배선(4005) 및 배선(4007 내지 4009)을 로 레벨로 한다. 트랜지스터(4200)를 온으로 하면, 노드(FG1)의 전하가 노드(FG1)와 노드(FG2) 사이에서 분배된다.
- [0539] 여기서, 전하 분배 후의 전위는 기록된 전위 " $V_{D1}-V_{th}$ "로부터 저하된다. 따라서, 용량 소자(4600)의 용량을 용량 소자(4500)의 용량보다 크게 하는 것이 바람직하다. 또는, 노드(FG1)에 기록되는 전위 " $V_{D1}-V_{th}$ "를 같은 데이터에 상당하는 전위 " $V_{D2}-V_{th}$ "보다 크게 하는 것이 바람직하다. 상술한 바와 같이, 용량의 비율을 바꾸고 기록되는 전위를 미리 크게 함으로써, 전하 분배 후의 전위의 저하를 억제할 수 있다. 전하 분배로 인한 전위의 변동에 대해서는 이하에서 설명한다.
- [0540] 다음으로, 노드(FG1)에 접속되는 데이터 유지부에 대한 데이터 전압의 판독 동작(이하, 판독 동작 2라고 함)에 대하여 설명한다.
- [0541] 판독 동작 2에서는, 프리차지 후에 전기적으로 부유 상태로 한 배선(4003)을 방전시킨다. 배선(4005 내지 4008)을 로 레벨로 한다. 배선(4009)은 프리차지 시에 하이 레벨로 한 다음, 로 레벨로 한다. 배선(4009)을 로 레벨로 하면, 전기적으로 부유 상태인 노드(FG2)의 전위가 " $V_{D1}-V_{th}$ "가 된다. 노드(FG2)의 전위가 저하되어, 트랜지스터(4100)에 전류가 흐른다. 전류가 흐르면, 전기적으로 부유 상태인 배선(4003)의 전위가 저하된다. 배선(4003)의 전위가 저하될수록, 트랜지스터(4100)의 V_{gs} 가 저하된다. 트랜지스터의 V_{gs} 가 트랜지스터(4100)의 V_{th} 가 되면, 트랜지스터(4100)를 흐르는 전류가 저하된다. 바꿔 말하면, 배선(4003)의 전위는 노드(FG2)의 전위 " $V_{D1}-V_{th}$ "보다 V_{th} 만큼 큰 " V_{D1} "이 된다. 배선(4003)의 전위는 노드(FG1)에 접속되는 데이터 유지부의 데이터 전압에 대응한다. 판독된 아날로그값의 데이터 전압에 A/D 변환을 실시하여, 노드(FG1)에 접속되는 데이터 유지부의 데이터를 얻는다. 상술한 것이 노드(FG1)에 접속되는 데이터 유지부의 데이터 전압 판독 동작이다.
- [0542] 바꿔 말하면, 프리차지 후의 배선(4003)을 부유 상태로 하고, 배선(4009)의 전위를 하이 레벨로부터 로 레벨로 바꿈으로써, 트랜지스터(4100)에 전류가 흐른다. 전류가 흐르면, 부유 상태인 배선(4003)의 전위가 저하되어 " V_{D1} "이 된다. 트랜지스터(4100)에서, 노드(FG2)의 " $V_{D1}-V_{th}$ "와 배선(4003)의 " V_{D1} " 사이의 V_{gs} 는 V_{th} 가 되기 때문에, 전류가 정지된다. 그리고, 배선(4003)에는 기록 동작 1에서 기록된 " V_{D1} "이 판독된다.
- [0543] 상술한 노드(FG1 및 FG2)로부터의 데이터 전압의 판독 동작에서는, 복수의 데이터 유지부로부터 데이터 전압을 판독할 수 있다. 예를 들어, 노드(FG1) 및 노드(FG2) 각각에 4비트(16값)의 데이터를 유지함으로써, 총 8비트

(256값)의 데이터를 유지할 수 있다. 도 46에 도시된 구조에서는, 제 1 층 내지 제 3 층(4021 내지 4023)이 제공되어 있지만, 층을 추가함으로써, 반도체 장치의 면적을 증대시키지 않고 축적 용량을 증가시킬 수 있다.

[0544] 판독되는 전위는, 기록된 데이터 전압보다 V_{th} 만큼 큰 전압으로서 판독될 수 있다. 따라서, 기록 동작에서 기록한 " $V_{D1}-V_{th}$ "의 V_{th} 및 " $V_{D2}-V_{th}$ "의 V_{th} 를 판독 시에 상쇄할 수 있다. 이 결과, 메모리 셀당 기억 용량을 향상시킬 수 있고 판독되는 데이터를 정확한 데이터와 가깝게 할 수 있기 때문에, 데이터의 신뢰성이 우수해진다.

[0545] 본 실시형태에서 설명한 구조는 다른 실시형태 중 어느 것에서 설명하는 구조와 적절히 조합하여 사용할 수 있다.

[0546] (실시형태 6)

[0547] 본 실시형태에서는, 상술한 실시형태에서 설명한 OS 트랜지스터를 사용할 수 있는 회로 구성예에 대하여 도 47의 (A) 내지 (C), 도 48의 (A) 내지 (C), 도 49의 (A) 및 (B), 그리고 도 50의 (A) 및 (B)를 참조하여 설명한다.

[0548] 도 47의 (A)는 인버터의 회로도이다. 인버터(800)는 입력 단자 IN에 공급하는 신호의 논리를 반전한 신호를 출력 단자 OUT에 출력한다. 인버터(800)는 복수의 OS 트랜지스터를 포함한다. 신호 S_{BG} 는 OS 트랜지스터의 전기 특성을 전환할 수 있다.

[0549] 도 47의 (B)는 인버터(800)의 예를 도시한 것이다. 인버터(800)는 OS 트랜지스터(810) 및 OS 트랜지스터(820)를 포함한다. 인버터(800)는 n채널 트랜지스터만을 사용하여 형성될 수 있기 때문에, CMOS(complementary metal oxide semiconductor)를 사용하여 형성되는 인버터(즉, CMOS 인버터)보다 낮은 비용으로 인버터(800)를 형성할 수 있다.

[0550] 또한, OS 트랜지스터를 포함하는 인버터(800)는 Si 트랜지스터를 포함하는 CMOS 회로 위에 제공될 수 있다. 인버터(800)는 CMOS 회로와 중첩되도록 제공될 수 있기 때문에, 인버터(800)에는 추가적인 면적이 필요하지 않아, 회로 면적의 증대를 억제할 수 있다.

[0551] OS 트랜지스터(810 및 820)는 각각 프론트 게이트로서 기능하는 제 1 게이트, 백 게이트로서 기능하는 제 2 게이트, 소스 및 드레인 중 한쪽으로서 기능하는 제 1 단자, 및 소스 및 드레인 중 다른 쪽으로서 기능하는 제 2 단자를 포함한다.

[0552] OS 트랜지스터(810)의 제 1 게이트는 제 2 단자에 접속된다. OS 트랜지스터(810)의 제 2 게이트는 신호 S_{BG} 를 공급하는 배선에 접속된다. OS 트랜지스터(810)의 제 1 단자는 전압 VDD를 공급하는 배선에 접속된다. OS 트랜지스터(810)의 제 2 단자는 출력 단자 OUT에 접속된다.

[0553] OS 트랜지스터(820)의 제 1 게이트는 입력 단자 IN에 접속된다. OS 트랜지스터(820)의 제 2 게이트는 입력 단자 IN에 접속된다. OS 트랜지스터(820)의 제 1 단자는 출력 단자 OUT에 접속된다. OS 트랜지스터(820)의 제 2 단자는 전압 VSS를 공급하는 배선에 접속된다.

[0554] 도 47의 (C)는 인버터(800)의 동작을 도시한 타이밍 차트이다. 도 47의 (C)의 타이밍 차트에는 입력 단자 IN의 신호 파형, 출력 단자 OUT의 신호 파형, 신호 S_{BG} 의 신호 파형, 및 OS 트랜지스터(810)(FET(810))의 문턱 전압의 변화를 도시하였다.

[0555] 신호 S_{BG} 를 OS 트랜지스터(810)의 제 2 게이트에 공급하여 OS 트랜지스터(810)의 문턱 전압을 제어할 수 있다.

[0556] 신호 S_{BG} 는 문턱 전압을 음의 방향으로 변동시키기 위한 전압 V_{BG-A} 및 문턱 전압을 양의 방향으로 변동시키기 위한 전압 V_{BG-B} 를 포함한다. 제 2 게이트에 전압 V_{BG-A} 를 인가할 때 OS 트랜지스터(810)의 문턱 전압을 문턱 전압 V_{TH-A} 가 되도록 음의 방향으로 변동시킬 수 있다. 제 2 게이트에 전압 V_{BG-B} 를 인가할 때 OS 트랜지스터(810)의 문턱 전압을 문턱 전압 V_{TH-B} 가 되도록 양의 방향으로 변동시킬 수 있다.

[0557] 상술한 설명을 가시화하기 위하여, 도 48의 (A)에는, 트랜지스터의 전기 특성의 지표 중 하나인 V_g-I_d 커브를 나타내었다.

[0558] 제 2 게이트에 전압 V_{BG-A} 등 높은 전압을 인가할 때, OS 트랜지스터(810)의 전기 특성을 도 48의 (A)의 파선

(840)으로 나타낸 커브와 일치하도록 변동시킬 수 있다. 제 2 게이트에 전압 V_{BG-B} 등 낮은 전압을 인가할 때, OS 트랜지스터(810)의 전기 특성을 도 48의 (A)의 실선(841)으로 나타낸 커브와 일치하도록 변동시킬 수 있다. 도 48의 (A)에 나타낸 바와 같이, 전압 V_{BG-A} 와 전압 V_{BG-B} 사이에서 신호 S_{BG} 를 전환함으로써, OS 트랜지스터(810)의 문턱 전압을 음의 방향 또는 양의 방향으로 변동시킬 수 있다.

[0559] 문턱 전압을 문턱 전압 V_{TH-B} 로 양의 방향으로 변동시킴으로써 OS 트랜지스터(810)에 전류가 흐르기 어렵게 할 수 있다. 도 48의 (B)는 이 상태를 가시화한 것이다. 도 48의 (B)에 도시된 바와 같이, OS 트랜지스터(810)를 흐르는 전류 I_B 를 매우 낮게 할 수 있다. 따라서, 입력 단자 IN에 공급되는 신호가 하이 레벨이고 OS 트랜지스터(820)가 온(ON)일 때, 출력 단자 OUT의 전압을 급격히 하강시킬 수 있다.

[0560] 도 48의 (B)에 도시된 바와 같이, OS 트랜지스터(810)를 전류가 흐르기 어려운 상태를 얻을 수 있기 때문에, 도 47의 (C)의 타이밍 차트에서 출력 단자의 신호 파형(831)을 가파르게 할 수 있다. 전압 VDD를 공급하는 배선과 전압 VSS를 공급하는 배선 사이의 관통 전류(shoot-through current)를 적게 할 수 있어, 저소비전력 동작으로 이어진다.

[0561] 문턱 전압을 문턱 전압 V_{TH-A} 로 음의 방향으로 변동시킴으로써 OS 트랜지스터(810)에 전류가 흐르기 쉽게 할 수 있다. 도 48의 (C)는 이 상태를 가시화한 것이다. 도 48의 (C)에 도시한 바와 같이, 이때 흐르는 전류 I_A 를 적어도 전류 I_B 보다 크게 할 수 있다. 따라서, 입력 단자 IN에 공급되는 신호가 로 레벨이고 OS 트랜지스터(820)가 오프(OFF)일 때, 출력 단자 OUT의 전압을 급격히 상승시킬 수 있다.

[0562] 도 48의 (C)에 도시된 바와 같이, OS 트랜지스터(810)를 전류가 흐르기 어려운 상태를 얻을 수 있기 때문에, 도 47의 (C)의 타이밍 차트에서 출력 단자의 신호 파형(832)을 가파르게 할 수 있다.

[0563] 또한, OS 트랜지스터(810)의 문턱 전압은 OS 트랜지스터(820)의 상태가 전환되기 전, 즉 시간 T1 또는 시간 T2 전에 신호 S_{BG} 에 의하여 제어되는 것이 바람직하다. 예를 들어, 도 47의 (C)에서와 같이, 입력 단자 IN에 공급되는 신호의 레벨이 하이 레벨로 전환되는 시간 T1 전에, 문턱 전압 V_{TH-A} 로부터 문턱 전압 V_{TH-B} 로 OS 트랜지스터(810)의 문턱 전압을 전환하는 것이 바람직하다. 또한, 도 47의 (C)에서와 같이, 입력 단자 IN에 공급되는 신호의 레벨이 로 레벨로 전환되는 시간 T2 전에, 문턱 전압 V_{TH-B} 로부터 문턱 전압 V_{TH-A} 로 OS 트랜지스터(810)의 문턱 전압을 전환하는 것이 바람직하다.

[0564] 도 47의 (C)의 타이밍 차트는 입력 단자 IN에 공급되는 신호에 따라 신호 S_{BG} 의 레벨을 전환하는 구조를 도시한 것이지만, 예를 들어, 문턱 전압을 제어하기 위한 전압을, 부유 상태에 있는 OS 트랜지스터(810)의 제 2 게이트에 의하여 유지시키는 다른 구조를 채용하여도 좋다. 도 49의 (A)는 이러한 회로 구성예를 도시한 것이다.

[0565] 도 49의 (A)의 회로 구성은 OS 트랜지스터(850)를 추가한 것을 제외하면 도 47의 (B)와 같다. OS 트랜지스터(850)의 제 1 단자는 OS 트랜지스터(810)의 제 2 게이트와 접속된다. OS 트랜지스터(850)의 제 2 단자는 전압 V_{BG-B} (또는 전압 V_{BG-A})를 공급하는 배선과 접속된다. OS 트랜지스터(850)의 제 1 게이트는 신호 S_F 를 공급하는 배선과 접속된다. OS 트랜지스터(850)의 제 2 게이트는 전압 V_{BG-B} (또는 전압 V_{BG-A})를 공급하는 배선과 접속된다.

[0566] 도 49의 (A)의 회로 구성을 갖는 동작에 대하여 도 49의 (B)의 타이밍 차트를 참조하여 설명한다.

[0567] OS 트랜지스터(810)의 문턱 전압을 제어하기 위한 전압은, 입력 단자 IN에 공급되는 신호의 레벨이 하이 레벨로 전환되는 시간 T3 전에, OS 트랜지스터(810)의 제 2 게이트에 공급된다. 신호 S_F 를 하이 레벨로 하고 OS 트랜지스터(850)를 온으로 하여, 문턱 전압을 제어하기 위한 전압 V_{BG-B} 를 노드(N_{BG})에 공급한다.

[0568] 노드(N_{BG})의 전압이 V_{BG-B} 가 된 후에 OS 트랜지스터(850)를 오프로 한다. OS 트랜지스터(850)의 오프 상태 전류는 매우 낮기 때문에, OS 트랜지스터(850)를 계속 오프로 하고 노드(N_{BG})를 부유 상태와 매우 가까운 상태로 하면서, 노드(N_{BG})에 의하여 유지된 전압 V_{BG-B} 를 유지할 수 있다. 따라서, OS 트랜지스터(850)의 제 2 게이트에 전압 V_{BG-B} 를 공급하는 횟수를 줄일 수 있고, 이에 따라 전압 V_{BG-B} 를 재기록하는 데 소비되는 전력을 저감시킬 수 있다.

- [0569] 도 47의 (B) 및 도 49의 (A)는 각각 외부로부터의 제어에 의하여 OS 트랜지스터(810)의 제 2 게이트에 전압을 공급하는 경우를 도시한 것이지만, 예를 들어, 문턱 전압을 제어하기 위한 전압을, 입력 단자 IN에 공급되는 신호에 기초하여 생성하고 OS 트랜지스터(810)의 제 2 게이트에 공급하는 다른 구조를 채용하여도 좋다. 도 50의 (A)는 이러한 회로 구성예를 도시한 것이다.
- [0570] 도 50의 (A)의 회로 구성은, 입력 단자 IN과 OS 트랜지스터(810)의 제 2 게이트 사이에 CMOS 인버터(860)를 제 공한 것을 제외하면, 도 47의 (B)와 같다. CMOS 인버터(860)의 입력 단자는 입력 단자 IN과 접속된다. CMOS 인버터(860)의 출력 단자는 OS 트랜지스터(810)의 제 2 게이트에 접속된다.
- [0571] 도 50의 (A)의 회로 구성을 갖는 동작에 대하여 도 50의 (B)의 타이밍 차트를 참조하여 설명한다. 도 50의 (B)의 타이밍 차트는 입력 단자 IN의 신호 파형, 출력 단자 OUT의 신호 파형, CMOS 인버터(860)의 출력 파형 IN_B, 및 OS 트랜지스터(810)(FET(810))의 문턱 전압의 변화를 도시한 것이다.
- [0572] 입력 단자 IN에 공급되는 신호의 논리가 반전된 신호에 상당하는 출력 파형 IN_B는 OS 트랜지스터(810)의 문턱 전압을 제어하는 신호로서 사용될 수 있다. 따라서, OS 트랜지스터(810)의 문턱 전압은 도 47의 (A) 내지 (C)를 참조하여 설명한 바와 같이 제어될 수 있다. 예를 들어, 도 50의 (B)의 시각 T4에는 입력 단자 IN에 공급되는 신호가 하이 레벨이 되고 OS 트랜지스터(820)가 온이 된다. 이때, 출력 파형 IN_B는 로 레벨이 된다. 따라서, OS 트랜지스터(810)에 전류가 흐르기 어렵게 할 수 있어, 출력 단자 OUT의 전압을 급격히 하강시킬 수 있다.
- [0573] 또한, 도 50의 (B)의 시각 T5에는 입력 단자 IN에 공급되는 신호가 로 레벨이 되고 OS 트랜지스터(820)가 오프가 된다. 이때, 출력 파형 IN_B는 하이 레벨이 된다. 따라서, OS 트랜지스터(810)에 전류가 흐르기 쉽게 할 수 있어, 출력 단자 OUT의 전압을 급격히 상승시킬 수 있다.
- [0574] 상술한 바와 같이, 본 실시형태의 OS 트랜지스터를 포함하는 인버터의 구성에서는, 입력 단자 IN에 공급되는 신호의 논리에 따라 백 게이트의 전압이 전환된다. 이러한 구성에서는, OS 트랜지스터의 문턱 전압을 제어할 수 있다. 입력 단자 IN에 공급되는 신호에 의하여 OS 트랜지스터의 문턱 전압을 제어함으로써 출력 단자 OUT의 전압을 급격히 변화시킬 수 있다. 또한, 전원 전압을 공급하는 배선들 사이의 관통 전류를 저감시킬 수 있다. 따라서, 소비전력을 저감시킬 수 있다.
- [0575] 본 실시형태에서 설명한 구조는 다른 실시형태 중 어느 것에서 설명하는 구조와 적절히 조합하여 사용할 수 있다.
- [0576] (실시형태 7)
- [0577] 본 실시형태에서는, 상술한 실시형태에서 설명한 OS 트랜지스터를 포함한 복수의 회로를 포함하는 반도체 장치의 예에 대하여 도 51의 (A) 내지 (E), 도 52의 (A) 및 (B), 도 53의 (A) 및 (B), 도 54의 (A) 내지 (C), 도 55의 (A) 및 (B), 도 56의 (A) 내지 (C), 그리고 도 57의 (A) 및 (B)를 참조하여 설명한다.
- [0578] 도 51의 (A)는 반도체 장치(900)의 블록도이다. 반도체 장치(900)는 전원 회로(901), 회로(902), 전압 생성 회로(903), 회로(904), 전압 생성 회로(905), 및 회로(906)를 포함한다.
- [0579] 전원 회로(901)는 기준으로서 사용되는 전압 V_{ORG} 를 생성하는 회로이다. 전압 V_{ORG} 는 반드시 단일의 전압일 필요는 없고 복수의 전압일 수 있다. 전압 V_{ORG} 는 반도체 장치(900)의 외부로부터 공급되는 전압 V_0 를 바탕으로 생성될 수 있다. 반도체 장치(900)는 외부로부터 공급되는 단일의 전원 전압을 바탕으로 전압 V_{ORG} 를 생성할 수 있다. 그러므로, 반도체 장치(900)는 외부로부터 복수의 전원 전압을 공급받지 않고 동작할 수 있다.
- [0580] 회로(902, 904, 및 906)는 상이한 전원 전압으로 동작한다. 예를 들어, 회로(902)의 전원 전압은 전압 V_{ORG} 및 전압 $V_{SS}(V_{ORG} > V_{SS})$ 를 바탕으로 인가되는 전압이다. 예를 들어, 회로(904)의 전원 전압은 전압 V_{POG} 및 전압 $V_{SS}(V_{POG} > V_{ORG})$ 를 바탕으로 인가되는 전압이다. 예를 들어 회로(906)의 전원 전압은 전압 V_{ORG} , 전압 V_{SS} , 및 전압 $V_{NEG}(V_{ORG} > V_{SS} > V_{NEG})$ 를 바탕으로 인가되는 전압이다. 전압 V_{SS} 가 접지 전위(GND)와 동등하면, 전원 회로(901)에서 생성하는 전압의 종류를 줄일 수 있다.
- [0581] 전압 생성 회로(903)는 전압 V_{POG} 를 생성하는 회로이다. 전압 생성 회로(903)는 전원 회로(901)로부터 공급되는 전압 V_{ORG} 를 바탕으로 전압 V_{POG} 를 생성할 수 있다. 그러므로, 회로(904)를 포함하는 반도체 장치(900)는 외부로

부터 공급되는 단일의 전원 전압을 바탕으로 동작할 수 있다.

[0582] 전압 생성 회로(905)는 전압 V_{NEG} 를 생성하는 회로이다. 전압 생성 회로(905)는 전원 회로(901)로부터 공급되는 전압 V_{ORG} 를 바탕으로 전압 V_{NEG} 를 생성할 수 있다. 그러므로, 회로(906)를 포함하는 반도체 장치(900)는 외부로부터 공급되는 단일의 전원 전압을 바탕으로 동작할 수 있다.

[0583] 도 51의 (B)는 전압 V_{POG} 로 동작하는 회로(904)의 예를 도시한 것이고, 도 51의 (C)는 회로(904)를 동작시키기 위한 신호의 파형의 예를 도시한 것이다.

[0584] 도 51의 (B)는 트랜지스터(911)를 도시한 것이다. 트랜지스터(911)의 게이트에 공급되는 신호는 예를 들어, 전압 V_{POG} 및 전압 V_{SS} 를 바탕으로 생성된다. 이 신호는 트랜지스터(911)를 온으로 할 때 전압 V_{POG} 를 바탕으로, 그리고 트랜지스터(911)를 오프로 할 때 전압 V_{SS} 를 바탕으로 생성된다. 도 51의 (C)에 나타난 바와 같이 전압 V_{POG} 는 전압 V_{ORG} 보다 크다. 그러므로, 트랜지스터(911)의 소스(S)와 드레인(D) 사이의 도전 상태를 더 확실하게 얻을 수 있다. 이 결과, 회로(904)의 오동작의 빈도를 줄일 수 있다.

[0585] 도 51의 (D)는 전압 V_{NEG} 로 동작하는 회로(906)의 예를 도시한 것이고, 도 51의 (E)는 회로(906)를 동작시키기 위한 신호의 파형의 예를 도시한 것이다.

[0586] 도 51의 (D)는 백 게이트를 갖는 트랜지스터(912)를 도시한 것이다. 트랜지스터(912)의 게이트에 공급되는 신호는 예를 들어, 전압 V_{ORG} 및 전압 V_{SS} 를 바탕으로 생성된다. 이 신호는 트랜지스터(911)를 온으로 할 때 전압 V_{ORG} 를 바탕으로, 그리고 트랜지스터(912)를 오프로 할 때 전압 V_{SS} 를 바탕으로 생성된다. 트랜지스터(912)의 백 게이트에 공급되는 신호는 전압 V_{NEG} 를 바탕으로 생성된다. 도 51의 (E)에 나타난 바와 같이, 전압 V_{NEG} 는 전압 $V_{SS}(GND)$ 보다 낮다. 그러므로, 트랜지스터(912)의 문턱 전압이 양의 방향으로 변동되도록 제어할 수 있다. 따라서, 트랜지스터(912)를 더 확실하게 오프로 할 수 있고, 소스(S)와 드레인(D) 사이를 흐르는 전류를 저감시킬 수 있다. 이 결과, 회로(906)의 오동작의 빈도를 줄일 수 있고, 그 소비전력을 저감시킬 수 있다.

[0587] 전압 V_{NEG} 를 트랜지스터(912)의 백 게이트에 직접 공급하여도 좋다. 또는, 전압 V_{ORG} 및 전압 V_{NEG} 를 바탕으로 트랜지스터(912)의 게이트에 공급되는 신호를 생성하고, 생성한 신호를 트랜지스터(912)의 백 게이트에 공급하여도 좋다.

[0588] 도 52의 (A) 및 (B)는 도 51의 (D) 및 (E)의 변형예를 도시한 것이다.

[0589] 도 52의 (A)에 도시된 회로도에서는 제어 회로(921)에 의하여 도통 상태가 제어될 수 있는 트랜지스터(922)가 전압 생성 회로(905)와 회로(906) 사이에 제공되어 있다. 트랜지스터(922)는 n채널 OS 트랜지스터이다. 제어 회로(921)로부터 출력되는 제어 신호 S_{BG} 는 트랜지스터(922)의 도통 상태를 제어하기 위한 신호이다. 회로(906)에 포함되는 트랜지스터(912A 및 912B)는 트랜지스터(922)와 같은 OS 트랜지스터이다.

[0590] 도 52의 (B)의 타이밍 차트는 제어 신호 S_{BG} 의 전위 및 노드(N_{BG})의 전위의 변화를 나타낸 것이다. 노드(N_{BG})의 전위는 트랜지스터(912A 및 912B)의 백 게이트의 전위 상태를 나타낸다. 제어 신호 S_{BG} 가 하이 레벨일 때 트랜지스터(922)가 온이 되고, 노드(N_{BG})의 전압이 전압 V_{NEG} 가 된다. 그리고, 제어 신호 S_{BG} 가 로 레벨일 때 노드(N_{BG})가 전기적으로 부유 상태가 된다. 트랜지스터(922)는 OS 트랜지스터이기 때문에 오프 상태 전류가 낮다. 그러므로, 노드(N_{BG})가 전기적으로 부유 상태가 되더라도, 공급된 전압 V_{NEG} 를 유지할 수 있다.

[0591] 도 53의 (A)는 상술한 전압 생성 회로(903)에 적용 가능한 회로 구성예를 도시한 것이다. 도 53의 (A)에 도시한 전압 생성 회로(903)는 다이오드 D1 내지 D5, 용량 소자 C1 내지 C5, 및 인버터 INV를 포함하는 5단의 차지 펌프이다. 클럭 신호 CLK는 용량 소자 C1 내지 C5에 직접 또는 인버터 INV를 통하여 공급된다. 인버터 INV의 전원 전압이 전압 V_{ORG} 및 전압 V_{SS} 를 바탕으로 인가되는 전압일 때, 클럭 신호 CLK를 인가함으로써, 전압 V_{ORG} 의 5배의 양의 전압으로 승압된 전압 V_{POG} 를 얻을 수 있다. 또한, 다이오드 D1 내지 D5의 순방향 전압은 0V이다. 차지 펌프의 단수를 변경하면 원하는 전압 V_{POG} 를 얻을 수 있다.

[0592] 도 53의 (B)는 상술한 전압 생성 회로(905)에 적용 가능한 회로 구성예를 도시한 것이다. 도 53의 (B)에 도시

한 전압 생성 회로(905)는 다이오드 D1 내지 D5, 용량 소자 C1 내지 C5, 및 인버터 INV를 포함하는 4단의 차지 펌프이다. 클럭 신호 CLK는 용량 소자 C1 내지 C5에 직접 또는 인버터 INV를 통하여 공급된다. 인버터 INV의 전원 전압이 전압 V_{ORG} 및 전압 V_{SS} 를 바탕으로 인가되는 전압일 때, 클럭 신호 CLK를 인가함으로써, GND(즉, 전압 V_{SS})로부터 전압 V_{ORG} 의 4배의 음의 전압으로 강압된 전압 V_{NEG} 를 얻을 수 있다. 또한, 다이오드 D1 내지 D5의 순방향 전압은 0V이다. 차지 펌프의 단수를 변경하면 원하는 전압 V_{NEG} 를 얻을 수 있다.

[0593] 전압 생성 회로(903)의 회로 구성은 도 53의 (A)에 도시된 회로도(903)의 구성에 한정되지 않는다. 전압 생성 회로(903)의 변형예를 도 54의 (A) 내지 (C) 및 도 55의 (A) 및 (B)에 나타내었다.

[0594] 도 54의 (A)에 도시된 전압 생성 회로(903A)는 트랜지스터 M1 내지 M10, 용량 소자 C11 내지 C14, 및 인버터 INV1을 포함한다. 클럭 신호 CLK는 트랜지스터 M1 내지 M10의 게이트에 직접 또는 인버터 INV1을 통하여 공급된다. 클럭 신호 CLK를 인가함으로써, 전압 V_{ORG} 의 4배의 양의 전압으로 승압된 전압 V_{POG} 를 얻을 수 있다. 단수를 변경하면 원하는 전압 V_{POG} 를 얻을 수 있다. 도 54의 (A)의 전압 생성 회로(903A)에서는, 트랜지스터 M1 내지 M10이 OS 트랜지스터이면 각 트랜지스터 M1 내지 M10의 오프 상태 전류를 낮게 할 수 있고 용량 소자 C11 내지 C14에 유지된 전하의 누설을 억제할 수 있다. 그러므로, 전압 V_{ORG} 로부터 전압 V_{POG} 로 효율적으로 승압할 수 있다.

[0595] 도 54의 (B)에 도시된 전압 생성 회로(903B)는 트랜지스터 M11 내지 M14, 용량 소자 C15 및 C16, 및 인버터 INV2를 포함한다. 클럭 신호 CLK는 트랜지스터 M11 내지 M14의 게이트에 직접 또는 인버터 INV2를 통하여 공급된다. 클럭 신호 CLK를 인가함으로써, 전압 V_{ORG} 의 2배의 양의 전압으로 승압된 전압 V_{POG} 를 얻을 수 있다. 도 54의 (B)의 전압 생성 회로(903B)에서는, 트랜지스터 M11 내지 M14가 OS 트랜지스터이면 각 트랜지스터 M11 내지 M14의 오프 상태 전류를 낮게 할 수 있고 용량 소자 C15 및 C16에 유지된 전하의 누설을 억제할 수 있다. 그러므로, 전압 V_{ORG} 로부터 전압 V_{POG} 로 효율적으로 승압할 수 있다.

[0596] 도 54의 (C)의 전압 생성 회로(903C)는 인덕터 I11, 트랜지스터 M15, 다이오드 D6, 및 용량 소자 C17을 포함한다. 트랜지스터 M15의 도통 상태는 제어 신호 EN에 의하여 제어된다. 전압 V_{ORG} 를 승압함으로써 얻어지는 전압 V_{POG} 를 제어 신호 EN에 의하여 얻을 수 있다. 도 54의 (C)의 전압 생성 회로(903C)는 인덕터 I11을 사용하여 승압하기 때문에, 효율적으로 승압할 수 있다.

[0597] 도 55의 (A)의 전압 생성 회로(903D)는 도 53의 (A)의 전압 생성 회로(903)의 다이오드 D1 내지 D5를 다이오드 접속된 트랜지스터 M16 내지 M20으로 치환한 구성을 갖는다. 도 55의 (A)의 전압 생성 회로(903D)에서는, 트랜지스터 M16 내지 M20이 OS 트랜지스터이면 각 트랜지스터 M16 내지 M20의 오프 상태 전류를 낮게 할 수 있고 용량 소자 C1 내지 C5에 유지된 전하의 누설을 억제할 수 있다. 그러므로, 전압 V_{ORG} 로부터 전압 V_{POG} 로 효율적으로 승압할 수 있다.

[0598] 도 55의 (B)의 전압 생성 회로(903E)는 도 55의 (A)의 전압 생성 회로(903D)의 트랜지스터 M16 내지 M20을 백 게이트를 갖는 트랜지스터 M21 내지 M25로 치환한 구성을 갖는다. 도 55의 (B)의 전압 생성 회로(903E)에서는, 백 게이트에 게이트와 같은 전압을 공급할 수 있기 때문에, 트랜지스터를 통하여 흐르는 전류를 증가시킬 수 있다. 그러므로, 전압 V_{ORG} 로부터 전압 V_{POG} 로 효율적으로 승압할 수 있다.

[0599] 또한, 전압 생성 회로(903)의 변형예는 도 53의 (B)의 전압 생성 회로(905)에 적용될 수도 있다. 이 경우의 회로도(905)의 구성을 도 56의 (A) 내지 (C), 그리고 도 57의 (A) 및 (B)에 도시하였다. 도 56의 (A)에 도시된 전압 생성 회로(905A)에서는, 클럭 신호 CLK를 인가함으로써, 전압 V_{SS} 로부터 전압 V_{ORG} 의 3배의 음의 전압으로 강압된 전압 V_{NEG} 를 얻을 수 있다. 도 56의 (B)에 도시된 전압 생성 회로(905B)에서는, 클럭 신호 CLK를 인가함으로써, 전압 V_{SS} 로부터 전압 V_{ORG} 의 2배의 음의 전압으로 강압된 전압 V_{NEG} 를 얻을 수 있다.

[0600] 도 56의 (A) 내지 (C) 및 도 57의 (A) 및 (B)에 도시된 전압 생성 회로(905A 내지 905E)는, 도 54의 (A) 내지 (C) 및 도 55의 (A) 및 (B)에 도시된 전압 생성 회로(903A 내지 903E)의 배선에 인가되는 전압 또는 소자의 배치를 변경함으로써 형성되는 구성을 갖는다. 도 56의 (A) 내지 (C) 및 도 57의 (A) 및 (B)에 도시된 전압 생성 회로(905A 내지 905E)에서는, 전압 생성 회로(903A 내지 903E)에서와 같이, 전압 V_{SS} 로부터 전압 V_{NEG} 로 효율적으로 강압할 수 있다.

- [0601] 상술한 바와 같이, 본 실시형태의 구조들 중 어느 것에서는, 반도체 장치에 포함되는 회로에 필요한 전압을 내부에서 생성할 수 있다. 그러므로, 반도체 장치에서는, 외부로부터 공급되는 전원 전압의 종류를 줄일 수 있다.
- [0602] 본 실시형태에서 설명한 구조는 다른 실시형태 중 어느 것에서 설명하는 구조와 적절히 조합하여 사용할 수 있다.
- [0603] (실시형태 8)
- [0604] 본 실시형태에서는, 본 발명의 일 형태에 따른 트랜지스터 및 상술한 기억 장치 등의 반도체 장치를 포함하는 CPU의 예에 대하여 설명한다.
- [0605] <CPU의 구성>
- [0606] 도 58에 나타난 반도체 장치(400)는 CPU 코어(401), 파워 매니지먼트 유닛(421), 및 주변 회로(422)를 포함한다. 파워 매니지먼트 유닛(421)은 파워 컨트롤러(402) 및 파워 스위치(403)를 포함한다. 주변 회로(422)는 캐시 메모리를 포함하는 캐시(404), 버스 인터페이스(BUS I/F)(405), 및 디버그 인터페이스(Debug I/F)(406)를 포함한다. CPU 코어(401)는 데이터 버스(423), 제어 유닛(407), PC(프로그램 카운터)(408), 파이프라인 레지스터(409), 파이프라인 레지스터(410), ALU(arithmetic logic unit)(411), 및 레지스터 파일(412)을 포함한다. 데이터는 데이터 버스(423)를 통하여 CPU 코어(401)와, 캐시(404) 등의 주변 회로(422) 간에서 전송된다.
- [0607] 반도체 장치(셀)는 파워 컨트롤러(402) 및 제어 유닛(407)으로 대표되는 많은 논리 회로, 특히, 스탠더드 셀을 사용하여 구성할 수 있는 모든 논리 회로에 사용될 수 있다. 따라서, 반도체 장치(400)를 작게 할 수 있다. 반도체 장치(400)의 소비전력을 저감시킬 수 있다. 반도체 장치(400)의 동작 속도를 더 빠르게 할 수 있다. 반도체 장치(400)의 전원 전압의 변동을 더 적게 할 수 있다.
- [0608] p채널 Si 트랜지스터, 및 산화물 반도체(바람직하게는 In, Ga, 및 Zn을 포함하는 산화물)를 채널 형성 영역에 포함하는 상술한 실시형태에서 설명한 트랜지스터를 반도체 장치(셀)에 사용하고 이 반도체 장치(셀)를 반도체 장치(400)에 사용하면, 반도체 장치(400)를 작게 할 수 있다. 반도체 장치(400)의 소비전력을 저감시킬 수 있다. 반도체 장치(400)의 동작 속도를 더 빠르게 할 수 있다. 특히, Si 트랜지스터를 p채널만으로 하면, 제작 비용을 삭감할 수 있다.
- [0609] 제어 유닛(407)은 PC(408), 파이프라인 레지스터(409), 파이프라인 레지스터(410), ALU(411), 레지스터 파일(412), 캐시(404), 버스 인터페이스(405), 디버그 인터페이스(406), 및 파워 컨트롤러(402)의 동작을 총합적으로 제어하여, 입력된 애플리케이션 등의 프로그램에 포함되는 명령을 디코딩하고 실행하는 기능을 갖는다.
- [0610] ALU(411)는 사칙 연산 및 논리 연산 등 각종 연산 처리를 수행하는 기능을 갖는다.
- [0611] 캐시(404)는, 자주 사용하는 데이터를 일시적으로 저장하는 기능을 갖는다. PC(408)는, 다음에 실행될 명령의 어드레스를 저장하는 기능을 갖는 레지스터이다. 또한, 도 58에는 나타나지 않았지만, 캐시(404)에는 캐시 메모리의 동작을 제어하는 캐시 컨트롤러가 제공된다.
- [0612] 파이프라인 레지스터(409)는 명령 데이터를 일시적으로 저장하는 기능을 갖는다.
- [0613] 레지스터 파일(412)은 범용 레지스터를 포함하는 복수의 레지스터를 포함하고, 메인 메모리로부터 판독되는 데이터, 또는 ALU(411)에서의 연산 처리의 결과로서 얻어진 데이터 등을 저장할 수 있다.
- [0614] 파이프라인 레지스터(410)는 ALU(411)의 연산 처리에 사용되는 데이터, 또는 ALU(411)의 연산 처리의 결과로서 얻어진 데이터 등을 일시적으로 저장하는 기능을 갖는다.
- [0615] 버스 인터페이스(405)는, 반도체 장치(400)와 반도체 장치(400) 외부의 각종 장치 간의 데이터의 경로의 기능을 갖는다. 디버그 인터페이스(406)는 디버그를 제어하는 명령을 반도체 장치(400)에 입력하기 위한 신호의 경로의 기능을 갖는다.
- [0616] 파워 스위치(403)는 반도체 장치(400)에 포함되는, 파워 컨트롤러(402) 외의 각종 회로에 대한 전원 전압의 공급을 제어하는 기능을 갖는다. 상기 각종 회로는 상이한 몇 가지 파워 도메인에 속한다. 파워 스위치(403)는 같은 파워 도메인의 각종 회로에 전원 전압을 공급할지 여부를 제어한다. 또한, 파워 컨트롤러(402)는 파워 스위치(403)의 동작을 제어하는 기능을 갖는다.

- [0617] 상술한 구조를 갖는 반도체 장치(400)는 파워 게이팅을 수행할 수 있다. 파워 게이팅 동작의 절차의 예에 대하여 설명한다.
- [0618] 먼저, CPU 코어(401)에 의하여, 전원 전압의 공급을 정지하는 타이밍을 파워 컨트롤러(402)의 레지스터에 설정한다. 그리고, CPU 코어(401)로부터 파워 컨트롤러(402)에 파워 게이팅을 시작하는 명령을 보낸다. 그리고, 반도체 장치(400)에 포함되는 각종 레지스터 및 캐시(404)가 데이터의 저장을 시작한다. 다음으로, 파워 스위치(403)에 의하여, 반도체 장치(400)에 포함되는 파워 컨트롤러(402) 외의 각종 회로에 대한 전원 전압의 공급을 정지한다. 그리고, 인터럽트 신호를 파워 컨트롤러(402)에 입력함으로써, 반도체 장치(400)에 포함되는 각종 회로에 대한 전원 전압의 공급이 시작된다. 또한, 인터럽트 신호의 입력에 상관없이 전원 전압의 공급을 시작하는 타이밍을 결정하기 위하여 사용되도록 파워 컨트롤러(402)에 카운터를 제공하여도 좋다. 다음으로, 각종 레지스터 및 캐시(404)가 데이터의 복귀를 시작한다. 그리고, 명령의 실행이 제어 유닛(407)에서 재개된다.
- [0619] 이러한 파워 게이팅은 프로세서 전체 또는 프로세서를 형성하는 하나 또는 복수의 논리 회로에서 수행할 수 있다. 또한, 짧은 시간에도 전원 공급을 정지할 수 있다. 이 결과, 공간 또는 시간의 면에서 미세하게 소비전력을 저감시킬 수 있다.
- [0620] 파워 게이팅을 수행할 때, CPU 코어(401) 또는 주변 회로(422)에 의하여 유지되는 데이터를 짧은 시간에 리스토어(restore)하는 것이 바람직하다. 이 경우, 전원이 짧은 시간에 온 또는 오프가 되고, 전력 절약 효과가 현저해진다.
- [0621] CPU 코어(401) 또는 주변 회로(422)에 의하여 유지되는 데이터를 짧은 시간에 리스토어하기 위해서는, 플립플롭 회로 자체에 데이터를 리스토어하는 것이 바람직하다(백업 처리가 가능한 플립플롭 회로라고 함). 또한, 데이터를 SRAM 셀 자체에 리스토어하는 것이 바람직하다(백업 처리가 가능한 SRAM 셀이라고 함). 백업 처리가 가능한 플립플롭 회로 및 SRAM 셀은, 산화물 반도체(바람직하게는 In, Ga, 및 Zn을 포함하는 산화물)를 채널 형성 영역에 포함한 트랜지스터를 포함하는 것이 바람직하다. 이 결과, 트랜지스터의 오프 상태 전류가 낮기 때문에, 백업 처리가 가능한 플립플롭 회로 및 SRAM 셀은 전원 공급 없이 오랫동안 데이터를 유지할 수 있다. 트랜지스터의 스위칭 속도가 빠른 경우, 백업 처리가 가능한 플립플롭 회로 및 SRAM 셀은 데이터를 짧은 시간에 리스토어하고 복귀(return)할 수 있는 경우가 있다.
- [0622] 백업 처리가 가능한 플립플롭 회로의 예에 대하여 도 59를 참조하여 설명한다.
- [0623] 도 59에 나타난 반도체 장치(500)는 백업 처리가 가능한 플립플롭 회로의 예이다. 반도체 장치(500)는 제 1 기억 회로(501), 제 2 기억 회로(502), 제 3 기억 회로(503), 및 판독 회로(504)를 포함한다. 전원 전압으로서, 전위 V1과 전위 V2 사이의 전위차가 반도체 장치(500)에 공급된다. 전위 V1 및 전위 V2 중 한쪽은 하이 레벨이고, 다른 쪽은 로 레벨이다. 전위 V1이 로 레벨이고 전위 V2가 하이 레벨일 때의 반도체 장치(500)의 구조예를 이하에서 설명한다.
- [0624] 제 1 기억 회로(501)는 반도체 장치(500)에 전원 전압이 공급되는 기간에, 데이터를 포함하는 신호 D가 입력되면 상기 데이터를 유지하는 기능을 갖는다. 또한, 제 1 기억 회로(501)는 반도체 장치(500)에 전원 전압이 공급되는 기간에, 유지되는 상기 데이터를 포함하는 신호 Q를 출력한다. 한편, 제 1 기억 회로(501)는 반도체 장치(500)에 전원 전압이 공급되지 않는 기간에 데이터를 유지할 수 없다. 즉, 제 1 기억 회로(501)를 휘발성 기억 회로라고 할 수 있다.
- [0625] 제 2 기억 회로(502)는 제 1 기억 회로(501)에 유지되는 데이터를 판독하여 저장(또는 리스토어)하는 기능을 갖는다. 제 3 기억 회로(503)는 제 2 기억 회로(502)에 유지되는 데이터를 판독하여 저장(또는 리스토어)하는 기능을 갖는다. 판독 회로(504)는 제 2 기억 회로(502) 또는 제 3 기억 회로(503)에 유지되는 데이터를 판독하여 제 1 기억 회로(501)에 저장(또는 복귀)하는 기능을 갖는다.
- [0626] 특히, 제 3 기억 회로(503)는 반도체 장치(500)에 전원 전압이 공급되지 않는 기간에도, 제 2 기억 회로(502)에 유지되는 데이터를 판독하여 저장(또는 리스토어)하는 기능을 갖는다.
- [0627] 도 59에 나타난 바와 같이, 제 2 기억 회로(502)는 트랜지스터(512) 및 용량 소자(519)를 포함한다. 제 3 기억 회로(503)는 트랜지스터(513), 트랜지스터(515), 및 용량 소자(520)를 포함한다. 판독 회로(504)는 트랜지스터(510), 트랜지스터(518), 트랜지스터(509), 및 트랜지스터(517)를 포함한다.
- [0628] 트랜지스터(512)는 제 1 기억 회로(501)에 유지되는 데이터에 따라 용량 소자(519)를 충방전하는 기능을 갖는다. 트랜지스터(512)는 제 1 기억 회로(501)에 유지되는 데이터에 따라 용량 소자(519)를 고속으로 충방전

할 수 있는 것이 바람직하다. 구체적으로는, 트랜지스터(512)는 결정성 실리콘(바람직하게는 다결정 실리콘, 더 바람직하게는 단결정 실리콘)을 채널 형성 영역에 포함하는 것이 바람직하다.

- [0629] 트랜지스터(513)의 도통 상태 또는 비도통 상태는 용량 소자(519)에 유지되는 전하에 따라 결정된다. 트랜지스터(515)는 트랜지스터(513)가 도통 상태일 때 배선(544)의 전위에 따라 용량 소자(520)를 충방전하는 기능을 갖는다. 트랜지스터(515)의 오프 상태 전류는 매우 낮은 것이 바람직하다. 구체적으로는, 트랜지스터(515)는 산화물 반도체(바람직하게는 In, Ga, 및 Zn을 포함하는 산화물)를 채널 형성 영역에 포함하는 것이 바람직하다.
- [0630] 소자들 사이의 구체적인 접속 관계에 대하여 설명한다. 트랜지스터(512)의 소스 및 드레인 중 한쪽은 제 1 기억 회로(501)에 접속된다. 트랜지스터(512)의 소스 및 드레인 중 다른 쪽은 용량 소자(519)의 한쪽 전극, 트랜지스터(513)의 게이트, 및 트랜지스터(518)의 게이트에 접속된다. 용량 소자(519)의 다른 쪽 전극은 배선(542)에 접속된다. 트랜지스터(513)의 소스 및 드레인 중 한쪽은 배선(544)과 접속된다. 트랜지스터(513)의 소스 및 드레인 중 다른 쪽은 트랜지스터(515)의 소스 및 드레인 중 한쪽에 접속된다. 트랜지스터(515)의 소스 및 드레인 중 다른 쪽은 용량 소자(520)의 한쪽 전극 및 트랜지스터(510)의 게이트에 접속된다. 용량 소자(520)의 다른 쪽 전극은 배선(543)에 접속된다. 트랜지스터(510)의 소스 및 드레인 중 한쪽은 배선(541)에 접속된다. 트랜지스터(510)의 소스 및 드레인 중 다른 쪽은 트랜지스터(518)의 소스 및 드레인 중 한쪽에 접속된다. 트랜지스터(518)의 소스 및 드레인 중 다른 쪽은 트랜지스터(509)의 소스 및 드레인 중 한쪽에 접속된다. 트랜지스터(509)의 소스 및 드레인 중 다른 쪽은 트랜지스터(517)의 소스 및 드레인 중 한쪽 및 제 1 기억 회로(501)에 접속된다. 트랜지스터(517)의 소스 및 드레인 중 다른 쪽은 배선(540)에 접속된다. 도 59에서 트랜지스터(509)의 게이트는 트랜지스터(517)의 게이트에 접속하지만, 트랜지스터(517)의 게이트에 반드시 접속될 필요는 없다.
- [0631] 상술한 실시형태에서 예로서 설명한 트랜지스터는 트랜지스터(515)에 적용될 수 있다. 트랜지스터(515)의 오프 상태 전류는 낮기 때문에, 반도체 장치(500)는 전원 공급 없이 데이터를 오랫동안 유지할 수 있다. 트랜지스터(515)의 양호한 스위칭 특성에 의하여, 반도체 장치(500)는 고속의 백업 및 리커버리를 수행할 수 있다.
- [0632] 본 실시형태에서 설명한 구조는 다른 실시형태 중 어느 것에서 설명하는 구조와 적절히 조합하여 사용할 수 있다.
- [0633] (실시형태 9)
- [0634] 본 실시형태에서는, 본 발명의 일 형태에 따른 트랜지스터 등을 포함하는 촬상 장치의 예에 대하여 설명한다.
- [0635] <촬상 장치>
- [0636] 본 발명의 일 형태에 따른 촬상 장치에 대하여 이하에서 설명한다.
- [0637] 도 60의 (A)는 본 발명의 일 형태에 따른 촬상 장치(2200)의 예를 도시한 평면도이다. 촬상 장치(2200)는 화소부(2210), 및 화소부(2210)를 구동시키기 위한 주변 회로(주변 회로(2260), 주변 회로(2270), 주변 회로(2280), 및 주변 회로(2290))를 포함한다. 화소부(2210)는 p 행 q 열(p 및 q 는 각각 2 이상의 정수)의 매트릭스로 배치된 복수의 화소(2211)를 포함한다. 주변 회로(2260), 주변 회로(2270), 주변 회로(2280), 및 주변 회로(2290)는 각각 복수의 화소(2211)에 접속되고, 복수의 화소(2211)를 구동시키기 위한 신호가 공급된다. 본 명세서 등에서 "주변 회로" 또는 "구동 회로"는 주변 회로들(2260, 2270, 2280, 및 2290) 모두를 가리키는 경우가 있다. 예를 들어, 주변 회로(2260)는 주변 회로의 일부로 간주할 수 있다.
- [0638] 촬상 장치(2200)는 광원(2291)을 포함하는 것이 바람직하다. 광원(2291)은 검출광(P1)을 방출할 수 있다.
- [0639] 주변 회로는 논리 회로, 스위치, 버퍼, 증폭 회로, 및 변환 회로 중 적어도 하나를 포함한다. 주변 회로는 화소부(2210)가 형성되는 기판 위에 형성되어도 좋다. IC칩 등의 반도체 장치가 주변 회로의 일부 또는 전체로서 사용되어도 좋다. 또한, 주변 회로로서는, 주변 회로들(2260, 2270, 2280, 및 2290) 중 하나 이상을 생략하여도 좋다.
- [0640] 도 60의 (B)에 도시된 바와 같이, 촬상 장치(2200)에 포함되는 화소부(2210)에서, 화소(2211)를 기울여서 제공하여도 좋다. 화소(2211)를 기울여서 배치함으로써, 행 방향 및 열 방향에서 화소들 사이의 간격(피치)을 짧게 할 수 있다. 이에 따라, 촬상 장치(2200)에 의하여 촬상되는 화상의 품질을 개선할 수 있다.
- [0641] <화소의 구성예 1>
- [0642] 촬상 장치(2200)에 포함되는 화소(2211)를 복수의 부화소(2212)로 형성하고, 각 부화소(2212)를 특정한 파장 대

역의 광을 투과시키는 필터(컬러 필터)와 조합함으로써, 컬러 화상 표시를 실현하기 위한 데이터를 얻을 수 있다.

- [0643] 도 61의 (A)는 컬러 화상을 얻는 화소(2211)의 예를 나타낸 상면도이다. 도 61의 (A)에 도시된 화소(2211)는 적색(R)의 파장 대역의 광을 투과시키는 컬러 필터가 제공된 부화소(2212)(부화소(2212R)라고도 함), 녹색(G)의 파장 대역의 광을 투과시키는 컬러 필터가 제공된 부화소(2212)(부화소(2212G)라고도 함), 및 청색(B)의 파장 대역의 광을 투과시키는 컬러 필터가 제공된 부화소(2212)(부화소(2212B)라고도 함)를 포함한다. 부화소(2212)는 포토센서로서 기능할 수 있다.
- [0644] 부화소(2212)(부화소(2212R), 부화소(2212G), 및 부화소(2212B))는 배선(2231), 배선(2247), 배선(2248), 배선(2249), 및 배선(2250)과 전기적으로 접속된다. 또한, 부화소(2212R), 부화소(2212G), 및 부화소(2212B)는 각각 독립적으로 제공되는 배선들(2253)에 접속된다. 본 명세서 등에서는 예를 들어, n 행째 화소(2211)에 접속된 배선(2248) 및 배선(2249)을 배선(2248[n]) 및 배선(2249[n])이라고 한다. 예를 들어, m 열째 화소(2211)에 접속된 배선(2253)을 배선(2253[m])이라고 한다. 또한, 도 61의 (A)에서 m 열째 화소(2211)의 부화소(2212R), 부화소(2212G), 및 부화소(2212B)에 접속된 배선(2253)을 배선(2253[m]R), 배선(2253[m]G), 및 배선(2253[m]B)이라고 한다. 부화소(2212)는 상술한 배선을 통하여 주변 회로와 전기적으로 접속된다.
- [0645] 촬상 장치(2200)는, 부화소(2212)가 스위치를 통하여, 부화소(2212)와 같은 파장 대역의 광을 투과시키는 컬러 필터가 제공된 인접한 화소(2211)의 부화소(2212)와 전기적으로 접속되는 구조를 갖는다. 도 61의 (B)는 부화소들(2212)의 접속예를 나타낸 것으로, n (n 은 1 이상 p 이하의 정수)행 m (m 은 1 이상 q 이하의 정수)열에 배치된 화소(2211)의 부화소(2212)와, ($n+1$)행 m 열에 배치된 인접한 화소(2211)의 부화소(2212)의 접속예를 나타내고 있다. 도 61의 (B)에서, n 행 m 열에 배치된 부화소(2212R)와, ($n+1$)행 m 열에 배치된 부화소(2212R)는 스위치(2201)를 통하여 서로 접속되어 있다. n 행 m 열에 배치된 부화소(2212G)와, ($n+1$)행 m 열에 배치된 부화소(2212G)는 스위치(2202)를 통하여 서로 접속되어 있다. n 행 m 열에 배치된 부화소(2212B)와, ($n+1$)행 m 열에 배치된 부화소(2212B)는 스위치(2203)를 통하여 서로 접속되어 있다.
- [0646] 부화소(2212)에 사용하는 컬러 필터는 적색(R), 녹색(G), 및 청색(B)의 컬러 필터에 한정되지 않고, 시안(C), 황색(Y), 및 마젠타(M)의 광을 투과시키는 컬러 필터를 사용하여도 좋다. 하나의 화소(2211)에 3개의 다른 파장 대역의 광을 검지하는 부화소들(2212)을 제공함으로써, 풀 컬러의 화상을 얻을 수 있다.
- [0647] 적색(R), 녹색(G), 및 청색(B)의 광을 투과시키는 컬러 필터가 제공된 부화소들(2212)에 더하여, 황색(Y)의 광을 투과시키는 컬러 필터가 제공된 부화소(2212)를 포함하는 화소(2211)를 제공하여도 좋다. 시안(C), 황색(Y), 및 마젠타(M)의 광을 투과시키는 컬러 필터가 제공된 부화소들(2212)에 더하여, 청색(B)의 광을 투과시키는 컬러 필터가 제공된 부화소(2212)를 포함하는 화소(2211)를 제공하여도 좋다. 하나의 화소(2211)에 4개의 다른 파장 대역의 광을 검지하는 부화소들(2212)을 제공하면, 얻어지는 화상의 색 재현성이 높아질 수 있다.
- [0648] 예를 들어, 도 61의 (A)에서 적색의 파장 대역의 광을 검지하는 부화소(2212), 녹색의 파장 대역의 광을 검지하는 부화소(2212), 및 청색의 파장 대역의 광을 검지하는 부화소(2212)에 관하여, 그 화소수의 비율(또는 수광 면적의 비율)은 1:1:1이 아니어도 좋다. 예를 들어, 화소수의 비율(수광 면적의 비율)을 적색:녹색:청색=1:2:1로 하는 Bayer 배열을 채용하여도 좋다. 또는, 적색 대 녹색 대 청색의 화소수의 비율(수광 면적의 비율)을 1:6:1로 하여도 좋다.
- [0649] 화소(2211)에 제공하는 부화소(2212)의 개수는 하나이어도 좋지만, 2개 이상의 부화소를 제공하는 것이 바람직하다. 예를 들어, 같은 파장 대역의 광을 검지하는 2개 이상의 부화소(2212)를 제공하면 중복성(redundancy)이 높아지고, 촬상 장치(2200)의 신뢰성을 높일 수 있다.
- [0650] 적외광을 투과시키고 가시광을 흡수 또는 반사하는 IR(infrared) 필터를 필터로서 사용하면, 적외광을 검지하는 촬상 장치(2200)를 구현할 수 있다.
- [0651] 또한, ND(neutral density) 필터(감광 필터)를 사용하면, 광전 변환 소자(수광 소자)에 대량의 광이 들어갈 때에 일어나는 출력 포화를 방지할 수 있다. 감광 성능이 상이한 ND 필터들을 조합함으로써, 촬상 장치의 다이내믹 레인지를 크게 할 수 있다.
- [0652] 상술한 필터 외에, 화소(2211)에 렌즈를 제공하여도 좋다. 도 62의 (A) 및 (B)의 단면도를 참조하여 화소(2211), 필터(2254), 및 렌즈(2255)의 배치예를 설명한다. 렌즈(2255)에 의하여, 광전 변환 소자는 입사광을 효율적으로 수광할 수 있다. 구체적으로는, 도 62의 (A)에 도시된 바와 같이, 광(2256)이 화소(2211)에 제공된 렌즈(2255), 필터(2254)(필터(2254R), 필터(2254G), 및 필터(2254B)), 및 화소 회로(2230) 등을 통하여 광전

변환 소자(2220)에 들어간다.

- [0653] 그러나, 일점쇄선으로 둘러싸인 영역으로 나타낸 바와 같이, 화살표로 나타낸 광(2256)의 일부는 배선(2257)의 일부에 의하여 차단될 수 있다. 그러므로, 도 62의 (B)에 도시된 바와 같이 광전 변환 소자(2220) 측에 렌즈(2255) 및 필터(2254)를 제공함으로써 광전 변환 소자(2220)가 광(2256)을 효율적으로 수광할 수 있는 구조로 하는 것이 바람직하다. 광(2256)이 광전 변환 소자(2220) 측으로부터 광전 변환 소자(2220)에 들어가면, 감도가 높은 촬상 장치(2200)를 제공할 수 있다.
- [0654] 도 62의 (A) 및 (B)에 도시된 광전 변환 소자(2220)로서 p-n 접합 또는 p-i-n 접합이 형성된 광전 변환 소자를 사용하여도 좋다.
- [0655] 방사선을 흡수하고 전하를 발생시키는 기능을 갖는 물질을 사용하여 광전 변환 소자(2220)를 형성하여도 좋다. 방사선을 흡수하고 전하를 발생시키는 기능을 갖는 물질의 예에는 셀레늄, 아이오딘화 납, 아이오딘화 수은, 비소화 갈륨, 텔루륨화 카드뮴, 및 카드뮴 아연 합금이 포함된다.
- [0656] 예를 들어, 광전 변환 소자(2220)에 셀레늄을 사용하면, 광전 변환 소자(2220)는 가시광, 자외광, 적외광, X선, 및 감마선 등 넓은 파장 대역에서 광 흡수 계수를 가질 수 있다.
- [0657] 촬상 장치(2200)에 포함되는 하나의 화소(2211)는 도 61의 (A) 및 (B)에 도시된 부화소(2212)에 더하여, 제 1 필터를 갖는 부화소(2212)를 포함하여도 좋다.
- [0658] <화소의 구성예 2>
- [0659] 실리콘을 포함한 트랜지스터 및 산화물 반도체를 포함한 트랜지스터를 포함하는 화소의 예에 대하여 이하에서 설명한다. 상술한 실시형태에서 설명한 트랜지스터 중 어느 것과 비슷한 트랜지스터를 각 트랜지스터로서 사용할 수 있다.
- [0660] 도 63은 촬상 장치에 포함되는 소자의 단면도이다. 도 63에 도시된 촬상 장치는 실리콘 기판(2300) 위의 실리콘을 포함하는 트랜지스터(2351), 트랜지스터(2351) 위에 적층된, 산화물 반도체를 포함하는 트랜지스터(2352 및 2353), 및 실리콘 기판(2300)에 제공된 포토다이오드(2360)를 포함한다. 트랜지스터들 및 포토다이오드(2360)는 각종 플러그(2370) 및 배선(2371)과 전기적으로 접속된다. 또한, 포토다이오드(2360)의 애노드(2361)는 저저항 영역(2363)을 통하여 플러그(2370)와 전기적으로 접속되어 있다.
- [0661] 촬상 장치는 실리콘 기판(2300)에 제공된 트랜지스터(2351) 및 실리콘 기판(2300)에 제공된 포토다이오드(2360)를 포함하는 층(2310), 층(2310)과 접촉되며 배선(2371)을 포함하는 층(2320), 층(2320)과 접촉되며 트랜지스터(2352 및 2353)를 포함하는 층(2330), 및 층(2330)과 접촉되며 배선(2372) 및 배선(2373)을 포함하는 층(2340)을 포함한다.
- [0662] 도 63의 단면도의 예에서는 실리콘 기판(2300)에서 트랜지스터(2351)가 형성되는 면과는 반대 측에 포토다이오드(2360)의 수광면이 제공되어 있다. 이 구조에 의하여, 트랜지스터 및 배선의 영향을 받지 않고 광 경로를 확보할 수 있다. 그러므로, 개구율이 높은 화소를 형성할 수 있다. 또한, 포토다이오드(2360)의 수광면을 트랜지스터(2351)가 형성되는 면과 같게 할 수 있다.
- [0663] 산화물 반도체를 포함하는 트랜지스터만을 사용하여 화소를 형성하는 경우, 층(2310)은 산화물 반도체를 포함하는 트랜지스터를 포함하여도 좋다. 또는, 층(2310)을 생략하여도 좋고, 화소가 산화물 반도체를 포함하는 트랜지스터만을 포함하여도 좋다.
- [0664] 또한, 실리콘 기판(2300)은 SOI 기판이어도 좋다. 또한, 실리콘 기판(2300)은 저마늄, 실리콘 저마늄, 탄소화 실리콘, 비소화 갈륨, 비소화 알루미늄 갈륨, 인화 인듐, 질화 갈륨, 또는 유기 반도체로 만들어진 기판으로 대체할 수 있다.
- [0665] 여기서, 트랜지스터(2351) 및 포토다이오드(2360)를 포함하는 층(2310)과, 트랜지스터(2352 및 2353)를 포함하는 층(2330) 사이에는 절연체(2380)가 제공된다. 다만, 절연체(2380)의 위치에 한정은 없다. 절연체(2380) 아래에 절연체(2379)가 제공되고, 절연체(2380) 위에 절연체(2381)가 제공된다.
- [0666] 절연체(2379 및 2381)에 형성된 개구에 도전체(2390a 내지 2390e)가 제공되어 있다. 도전체(2390a, 2390b, 및 2390e)는 플러그 및 배선으로서 기능한다. 도전체(2390c)는 트랜지스터(2353)의 백 게이트로서 기능한다. 도전체(2390d)는 트랜지스터(2352)의 백 게이트로서 기능한다.

- [0667] 트랜지스터(2351)의 채널 형성 영역 근방에 제공되는 절연체 내의 수소는, 실리콘의 탭글링 본드를 중단시키고, 이에 따라 트랜지스터(2351)의 신뢰성을 향상시킬 수 있다. 한편, 트랜지스터(2352) 및 트랜지스터(2353) 등의 근방에 제공되는 절연체 내의 수소는, 산화물 반도체에 캐리어를 생성시키는 요인 중 하나가 된다. 그러므로, 이 수소는 트랜지스터(2352) 및 트랜지스터(2353) 등의 신뢰성의 저하를 초래할 수 있다. 이러한 이유로, 실리콘계 반도체를 포함하는 트랜지스터 위에 산화물 반도체를 포함하는 트랜지스터를 제공하는 경우, 이 트랜지스터들 사이에 수소를 차단하는 기능을 갖는 절연체(2380)를 제공하는 것이 바람직하다. 절연체(2380) 아래의 층에 수소를 가두면 트랜지스터(2351)의 신뢰성을 향상시킬 수 있다. 또한, 절연체(2380) 아래의 층으로부터 절연체(2380) 위의 층으로 수소가 확산되는 것을 방지할 수 있기 때문에, 트랜지스터(2352) 및 트랜지스터(2353) 등의 신뢰성을 높일 수 있다. 도전체(2390a, 2390b, 및 2390e)는, 절연체(2380)에 형성된 바이어 홀을 통하여 위에 제공되는 층으로 수소가 확산되는 것을 방지할 수 있기 때문에, 트랜지스터(2352 및 2353) 등의 신뢰성이 향상된다.
- [0668] 도 63의 단면도에서는, 층(2310)의 포토다이오드(2360)와 층(2330)의 트랜지스터가 서로 중첩되도록 형성할 수 있다. 이로써, 화소의 집적도를 높일 수 있다. 바꿔 말하면, 촬상 장치의 해상도를 높일 수 있다.
- [0669] 촬상 장치의 일부 또는 전체는 구부러져도 좋다. 촬상 장치를 구부리면 상면(像面)의 만곡 및 비점수차를 저감시킬 수 있다. 따라서, 촬상 장치와 조합하여 사용하는 렌즈 등의 광학 설계를 용이하게 할 수 있다. 예를 들어, 수차 보정에 사용하는 렌즈의 개수를 줄일 수 있기 때문에, 촬상 장치를 사용한 전자 기기 등의 소형화 또는 경량화를 실현할 수 있다. 또한, 촬상되는 화상의 품질을 향상시킬 수 있다.
- [0670] 본 실시형태에서 설명한 구조는 다른 실시형태 중 어느 것에서 설명하는 구조와 적절히 조합하여 사용할 수 있다.
- [0671] (실시형태 10)
- [0672] 본 실시형태에서는, 본 발명의 일 형태에 따른 반도체 웨이퍼, 칩, 및 전자 부품에 대하여 설명한다.
- [0673] <반도체 웨이퍼 및 칩>
- [0674] 도 64의 (A)는 다이싱 처리 전의 기판(711)을 도시한 상면도이다. 기판(711)으로서는, 예를 들어, 반도체 기판("반도체 웨이퍼"라고도 함)을 사용할 수 있다. 기판(711) 위에는 복수의 회로 영역(712)이 제공되어 있다. 본 발명의 일 형태에 따른 반도체 장치, CPU, RF 태그, 또는 이미지 센서 등을 회로 영역(712)에 제공할 수 있다.
- [0675] 복수의 회로 영역(712)은 각각 분리 영역(713)으로 둘러싸여 있다. 분리 영역(713)과 중첩되는 위치에 분리선("다이싱 라인"이라고도 함)(714)을 설정한다. 기판(711)은, 분리선(714)을 따라 회로 영역(712)을 포함하는 칩(715)으로 절단될 수 있다. 도 64의 (B)는 칩(715)의 확대도이다.
- [0676] 분리 영역(713)에 도전층 또는 반도체층을 제공하여도 좋다. 분리 영역(713)에 도전층 또는 반도체층을 제공함으로써, 다이싱 단계에서 발생할 수 있는 ESD가 완화되어, 다이싱 단계의 수율 저하가 방지된다. 일반적으로는, 예를 들어 기판의 냉각, 잘라낸 부스러기의 제거, 및 대전 방지를 위하여, 탄산 가스 등의 용해에 의하여 비저항이 저감된 순수를 절삭 부분에 흘리면서 다이싱 단계를 수행한다. 분리 영역(713)에 도전층 또는 반도체층을 제공함으로써 순수의 사용량을 줄일 수 있다. 따라서, 반도체 장치의 제작 비용을 삭감할 수 있다. 따라서, 향상된 생산성으로 반도체 장치를 제작할 수 있다.
- [0677] 분리 영역(713)에 제공하는 반도체층에는, 밴드 갭이 2.5eV 이상 4.2eV 이하, 바람직하게는 2.7eV 이상 3.5eV 이하의 재료를 사용하는 것이 바람직하다. 이러한 재료를 사용하면, 축적된 전하를 천천히 방출시킬 수 있기 때문에, ESD로 인한 전하의 빠른 이동을 억제할 수 있고 정전 파괴가 일어나기 어려워진다.
- [0678] <전자 부품>
- [0679] 도 65의 (A) 및 (B)는 칩(715)을 사용하여 전자 부품을 제작하는 예를 나타낸 것이다. 또한, 전자 부품은 반도체 패키지 또는 IC 패키지라고도 한다. 이 전자 부품은 단자 추출 방향 및 단자의 형상에 따라 복수의 규격 및 명칭을 갖는다.
- [0680] 전자 부품은, 상술한 실시형태에서 설명한 반도체 장치가 조립 공정(후(後)공정)에서 상기 반도체 장치 외의 부품과 조합될 때 완성된다.
- [0681] 후공정에 대하여 도 65의 (A)의 흐름도를 참조하여 설명한다. 상술한 실시형태에서 설명한 반도체 장치를 포함

하는 소자 기관이 전공정에서 완성된 후, 상기 소자 기관의 이면(반도체 장치 등이 형성되지 않는 면)을 연삭하는 이면 연삭 단계를 수행한다(단계 S721). 소자 기관을 연삭에 의하여 얇게 하면, 소자 기관의 휨 등이 저감되어, 전자 부품의 크기를 작게 할 수 있다.

[0682] 다음으로, 다이싱 단계에서 소자 기관을 복수의 칩(칩(715))으로 분리한다(단계 S722). 그리고, 분리한 칩을 따로 픽업하여 다이 본딩 단계에서 리드 프레임에 접합한다(단계 S723). 다이 본딩 단계에서 칩과 리드 프레임을 접합하기 위해서는, 수지 접합 또는 TAB(tape-automated bonding) 등의 방법을 제품에 따라 적절히 선택한다. 또한, 리드 프레임 대신에 인터포저 기관에 칩을 접합하여도 좋다.

[0683] 다음으로, 리드 프레임의 리드와, 칩 상의 전극을 금속 와이어를 통하여 전기적으로 접속하는 와이어 본딩 단계를 수행한다(단계 S724). 금속 와이어로서는 은선 또는 금선을 사용할 수 있다. 와이어 본딩으로서는 볼 본딩(ball bonding) 또는 웨지 본딩(wedge bonding)을 사용할 수 있다.

[0684] 와이어 본딩된 칩에, 에폭시 수지 등으로 칩을 밀봉하는 몰딩 단계를 수행한다(단계 S725). 몰딩 단계를 거치면, 전자 부품의 내부가 수지로 충전되어, 칩에 내장된 회로부 및 칩을 리드와 접속하는 와이어를 외부의 기계적인 힘으로부터 보호할 수 있고, 수분 또는 먼지로 인한 특성의 열화(신뢰성 저하)를 저감시킬 수 있다.

[0685] 이어서, 리드 프레임의 리드를 리드 도금 단계에서 도금한다(단계 S726). 이 도금 처리에 의하여, 리드의 녹이 방지되고, 나중의 단계에서 인쇄 회로 기관에 칩을 탑재할 때의 납땜이 용이해진다. 그리고, 형성 단계에서 리드를 절단 및 가공한다(단계 S727).

[0686] 다음으로, 패키지의 표면에 인쇄(마킹) 단계를 수행한다(단계 S728). 예를 들어, 외부 형상이 좋을지 여부 및 오동작의 유무를 확인하는 검사 단계(단계 S729) 후, 전자 부품이 완성된다.

[0687] 도 65의 (B)는 완성된 전자 부품의 사시 모식도이다. 도 65의 (B)는 전자 부품의 예로서, QFP(quad flat package)를 도시한 사시 모식도이다. 도 65의 (B)의 전자 부품(750)은 리드(755) 및 반도체 장치(753)를 포함한다. 반도체 장치(753)로서는, 상술한 실시형태에서 설명한 반도체 장치 등을 사용할 수 있다.

[0688] 도 65의 (B)의 전자 부품(750)은 예를 들어, 인쇄 회로 기관(752)에 실장된다. 복수의 전자 부품(750)은 조합되고 인쇄 회로 기관(752) 위에서 서로 전기적으로 접속되기 때문에, 전자 부품이 실장된 기관(회로 기관(754))이 완성된다. 완성된 회로 기관(754)은 전자 기기 등에 제공된다.

[0689] 본 실시형태에서 설명한 구조는 다른 실시형태 중 어느 것에서 설명하는 구조와 적절히 조합하여 사용할 수 있다.

[0690] (실시형태 11)

[0691] 본 실시형태에서는, 본 발명의 일 형태에 따른 트랜지스터 등을 포함하는 전자 기기에 대하여 설명한다.

[0692] <전자 기기>

[0693] 본 발명의 일 형태에 따른 반도체 장치는 표시 장치, 퍼스널 컴퓨터, 또는 기록 매체가 제공된 화상 재생 장치(대표적으로는, DVD(digital versatile disc) 등의 기록 매체의 내용을 재생하고, 재생되는 화상을 표시하기 위한 디스플레이를 갖는 장치)에 사용될 수 있다. 본 발명의 일 형태에 따른 반도체 장치를 갖출 수 있는 전자 기기의 다른 예로서는 휴대 전화, 휴대용 게임기를 포함하는 게임기, 휴대 데이터 단말, 전자 서적 단말, 비디오 카메라 및 디지털 스틸 카메라 등의 카메라, 고글형 디스플레이(헤드 마운티드 디스플레이), 내비게이션 시스템, 음향 재생 장치(예를 들어, 카 오디오 유닛 및 디지털 오디오 플레이어), 복사기, 팩시밀리, 프린터, 프린터 복합기, 현금 자동 입출금기(ATM), 및 자동 판매기가 있다. 도 66의 (A) 내지 (F)는 이들 전자 기기의 구체적인 예를 도시한 것이다.

[0694] 도 66의 (A)는 하우징(1901), 하우징(1902), 표시부(1903), 표시부(1904), 마이크로폰(1905), 스피커(1906), 조작 키(1907), 및 스타일러스(1908) 등을 포함하는 휴대용 게임기를 도시한 것이다. 도 66의 (A)의 휴대용 게임기는 2개의 표시부(1903 및 1904)를 갖고 있지만, 휴대용 게임기에 포함되는 표시부의 개수는 이에 한정되지 않는다.

[0695] 도 66의 (B)는 제 1 하우징(1911), 제 2 하우징(1912), 제 1 표시부(1913), 제 2 표시부(1914), 연결부(1915), 및 조작 키(1916) 등을 포함하는 휴대 데이터 단말을 도시한 것이다. 제 1 표시부(1913)는 제 1 하우징(1911)에 제공되고, 제 2 표시부(1914)는 제 2 하우징(1912)에 제공되어 있다. 제 1 하우징(1911)과 제 2 하우징(1912)은 연결부(1915)로 서로 연결되어 있고, 제 1 하우징(1911)과 제 2 하우징(1912) 사이의 각도는 연결부

(1915)로 바꿀 수 있다. 제 1 표시부(1913) 상의 화상을, 연결부(1915)에서의 제 1 하우징(1911)과 제 2 하우징(1912) 사이의 각도에 따라 전환하여도 좋다. 제 1 표시부(1913) 및 제 2 표시부(1914) 중 적어도 한쪽으로 서, 위치 입력 기능을 갖는 표시 장치를 사용하여도 좋다. 또한, 위치 입력 기능은 표시 장치에 터치 패널을 제공함으로써 부가할 수 있다. 또는, 위치 입력 기능은 포토센서라고 불리는 광전 변환 소자를 표시 장치의 화소부에 제공함으로써 부가할 수 있다.

[0696] 도 66의 (C)는 하우징(1921), 표시부(1922), 키보드(1923), 및 포인팅 디바이스(1924) 등을 포함하는 노트북형 퍼스널 컴퓨터를 도시한 것이다.

[0697] 도 66의 (D)는 하우징(1931), 냉장실용 도어(1932), 및 냉동실용 도어(1933) 등을 포함하는 전기 냉장 냉동고를 도시한 것이다.

[0698] 도 66의 (E)는 제 1 하우징(1941), 제 2 하우징(1942), 표시부(1943), 조작 키(1944), 렌즈(1945), 및 연결부(1946) 등을 포함하는 비디오 카메라를 도시한 것이다. 조작 키(1944) 및 렌즈(1945)는 제 1 하우징(1941)에 제공되고, 표시부(1943)는 제 2 하우징(1942)에 제공되어 있다. 제 1 하우징(1941)과 제 2 하우징(1942)은 연결부(1946)로 서로 접속되고, 제 1 하우징(1941)과 제 2 하우징(1942) 사이의 각도는 연결부(1946)로 바꿀 수 있다. 표시부(1943)에 표시되는 화상을, 연결부(1946)에서의 제 1 하우징(1941)과 제 2 하우징(1942) 사이의 각도에 따라 전환하여도 좋다.

[0699] 도 66의 (F)는 차체(1951), 차륜(1952), 대시보드(1953), 및 라이트(1954) 등을 포함하는 자동차를 도시한 것이다.

[0700] 본 실시형태에서는, 본 발명의 일 형태에 대하여 설명하였다. 다만, 본 발명의 일 형태는 상술한 예에 한정되지 않는다. 즉, 본 실시형태 등에서는 다양한 발명의 형태가 기재되어 있고, 본 발명의 일 형태는 특정한 형태에 한정되지 않는다. 예를 들어, 본 발명의 일 형태로서 트랜지스터의 채널 형성 영역, 및 소스 및 드레인 영역 등이 산화물 반도체를 포함하는 예에 대하여 설명하였지만, 본 발명의 일 형태는 이 예에 한정되지 않는다. 또는, 상황 또는 조건에 따라서는, 본 발명의 일 형태에 따른 다양한 트랜지스터, 트랜지스터의 채널 형성 영역, 또는 트랜지스터의 소스 영역 또는 드레인 영역 등에 다양한 반도체가 포함되어도 좋다. 상황 또는 조건에 따라서는, 실리콘, 저마늄, 실리콘 저마늄, 탄소화 실리콘, 갈륨 비소, 알루미늄 갈륨 비소, 인듐 인, 질화 갈륨, 및 유기 반도체 등 중 적어도 하나는 본 발명의 일 형태에 따른 다양한 트랜지스터, 트랜지스터의 채널 형성 영역, 또는 트랜지스터의 소스 영역 또는 드레인 영역 등에 포함되어도 좋다. 또는, 예를 들어, 상황 또는 조건에 따라서는, 산화물 반도체는 본 발명의 일 형태에 따른 다양한 트랜지스터, 트랜지스터의 채널 형성 영역, 또는 트랜지스터의 소스 영역 또는 드레인 영역 등에 반드시 포함될 필요는 없다.

[0701] 본 실시형태에서 설명한 구조는 다른 실시형태 중 어느 것에서 설명하는 구조와 적절히 조합하여 사용할 수 있다.

부호의 설명

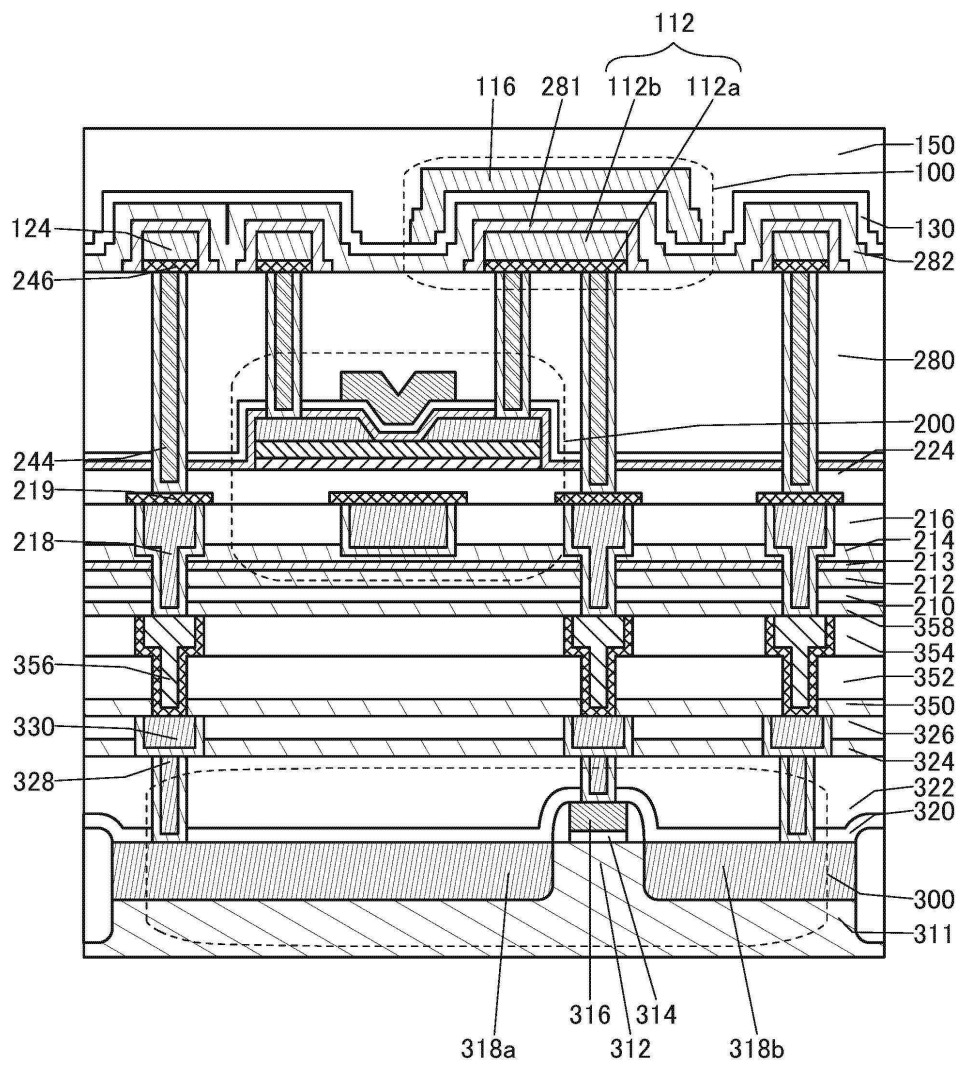
[0702] 100: 용량 소자, 101: 용량 소자, 102: 용량 소자, 112: 도전체, 112a: 도전체, 112b: 도전체, 116: 도전체, 124: 도전체, 124a: 도전체, 124A: 도전체, 124b: 도전체, 124d: 도전체, 130: 절연체, 132: 절연체, 134: 절연체, 150: 절연체, 200: 트랜지스터, 201: 트랜지스터, 202: 트랜지스터, 205: 도전체, 205a: 도전체, 205A: 도전체, 205b: 도전체, 205B: 도전체, 205c: 도전체, 210: 절연체, 212: 절연체, 213: 절연체, 214: 절연체, 216: 절연체, 218: 도전체, 218a: 도전체, 218b: 도전체, 218c: 도전체, 219: 도전체, 219a: 도전체, 219b: 도전체, 219c: 도전체, 220: 절연체, 222: 절연체, 224: 절연체, 230: 산화물, 230a: 산화물, 230A: 산화물, 230b: 산화물, 230B: 산화물, 230c: 산화물, 230d: 산화물, 240a: 도전체, 240A: 도전막, 240b: 도전체, 240B: 도전층, 241a: 도전체, 241b: 도전체, 243a: 절연체, 243b: 절연체, 244: 도전체, 244a: 도전체, 244A: 도전막, 244b: 도전체, 244B: 도전막, 244c: 도전체, 244d: 도전체, 244e: 도전체, 246: 도전체, 246a: 도전체, 246A: 도전체, 246b: 도전체, 246d: 도전체, 250: 절연체, 260: 도전체, 260a: 도전체, 260A: 도전막, 260b: 도전체, 260c: 도전체, 270: 절연체, 271: 배리어층, 279: 절연체, 280: 절연체, 281: 배리어층, 281a: 배리어층, 281A: 배리어막, 281b: 배리어층, 281c: 배리어층, 281d: 배리어층, 282: 절연체, 284: 절연체, 285: 절연체, 286: 절연체, 290: 레지스트 마스크, 292: 레지스트 마스크, 294: 레지스트 마스크, 296: 레지스트 마스크, 300: 트랜지스터, 301: 트랜지스터, 302: 트랜지스터, 311: 기관, 312: 반도체 영역, 314: 절연체, 316: 도전체, 318a: 저저항 영역, 318b: 저저항 영역, 320: 절연체, 322: 절연체, 324: 절연체, 326: 절연체, 328: 도전체, 328a: 도전체, 328b: 도전체, 328c: 도전체, 330: 도전체, 330a: 도전체, 330b: 도전체, 330c:

도전체, 350: 절연체, 352: 절연체, 354: 절연체, 356: 도전체, 356a: 도전체, 356b: 도전체, 356c: 도전체, 358: 절연체, 400: 반도체 장치, 401: CPU 코어, 402: 파워 컨트롤러, 403: 파워 스위치, 404: 캐시, 405: 버스 인터페이스(BUS I/F), 406: 디버그 인터페이스, 407: 제어 유닛, 408: PC(프로그램 카운터), 409: 파이프라인 레지스터, 410: 파이프라인 레지스터, 411: ALU, 412: 레지스터 파일, 421: 파워 매니지먼트 유닛, 422: 주변 회로, 423: 데이터 버스, 500: 반도체 장치, 501: 기억 회로, 502: 기억 회로, 503: 기억 회로, 504: 회로, 509: 트랜지스터, 510: 트랜지스터, 512: 트랜지스터, 513: 트랜지스터, 515: 트랜지스터, 517: 트랜지스터, 518: 트랜지스터, 519: 용량 소자, 520: 용량 소자, 540: 배선, 541: 배선, 542: 배선, 543: 배선, 544: 배선, 711: 기관, 712: 회로 영역, 713: 분리 영역, 714: 분리선, 715: 칩, 750: 전자 부품, 752: 인쇄 회로 기관, 753: 반도체 장치, 754: 회로 기관, 755: 리드, 800: 인버터, 810: OS 트랜지스터, 820: OS 트랜지스터, 831: 신호 파형, 832: 신호 파형, 840: 파선, 841: 실선, 850: OS 트랜지스터, 860: CMOS 인버터, 900: 반도체 장치, 901: 전원 회로, 902: 회로, 903: 전압 생성 회로, 903A: 전압 생성 회로, 903B: 전압 생성 회로, 903C: 전압 생성 회로, 903D: 전압 생성 회로, 903E: 전압 생성 회로, 904: 회로, 905: 전압 생성 회로, 905A: 전압 생성 회로, 905E: 전압 생성 회로, 906: 회로, 911: 트랜지스터, 912: 트랜지스터, 912A: 트랜지스터, 912B: 트랜지스터, 921: 제어 회로, 922: 트랜지스터, 1901: 하우징, 1902: 하우징, 1903: 표시부, 1904: 표시부, 1905: 마이크로폰, 1906: 스피커, 1907: 조작 키, 1908: 스타일러스, 1911: 하우징, 1912: 하우징, 1913: 표시부, 1914: 표시부, 1915: 접속부, 1916: 조작 키, 1921: 하우징, 1922: 표시부, 1923: 키보드, 1924: 포인팅 디바이스, 1931: 하우징, 1932: 냉장실용 도어, 1933: 냉동실용 도어, 1941: 하우징, 1942: 하우징, 1943: 표시부, 1944: 조작 키, 1945: 렌즈, 1946: 연결부, 1951: 차체, 1952: 차륜, 1953: 대시보드, 1954: 라이트, 2200: 촬상 장치, 2201: 스위치, 2202: 스위치, 2203: 스위치, 2210: 화소부, 2211: 화소, 2212: 부화소, 2212B: 부화소, 2212G: 부화소, 2212R: 부화소, 2220: 광전 변환 소자, 2230: 화소 회로, 2231: 배선, 2247: 배선, 2248: 배선, 2249: 배선, 2250: 배선, 2253: 배선, 2254: 필터, 2254B: 필터, 2254G: 필터, 2254R: 필터, 2255: 렌즈, 2256: 라이트, 2257: 배선, 2260: 주변 회로, 2270: 주변 회로, 2280: 주변 회로, 2290: 주변 회로, 2291: 광원, 2300: 실리콘 기관, 2310: 층, 2320: 층, 2330: 층, 2340: 층, 2351: 트랜지스터, 2352: 트랜지스터, 2353: 트랜지스터, 2360: 포토다이오드, 2361: 애노드, 2363: 저저항 영역, 2370: 플러그, 2371: 배선, 2372: 배선, 2373: 배선, 2379: 절연체, 2380: 절연체, 2381: 절연체, 2390a: 도전체, 2390b: 도전체, 2390c: 도전체, 2390d: 도전체, 2390e: 도전체, 3001: 배선, 3002: 배선, 3003: 배선, 3004: 배선, 3005: 배선, 3006: 배선, 3200: 트랜지스터, 3500: 트랜지스터, 4001: 배선, 4003: 배선, 4005: 배선, 4006: 배선, 4007: 배선, 4008: 배선, 4009: 배선, 4021: 층, 4023: 층, 4100: 트랜지스터, 4200: 트랜지스터, 4300: 트랜지스터, 4400: 트랜지스터, 4500: 용량 소자, 4600: 용량 소자.

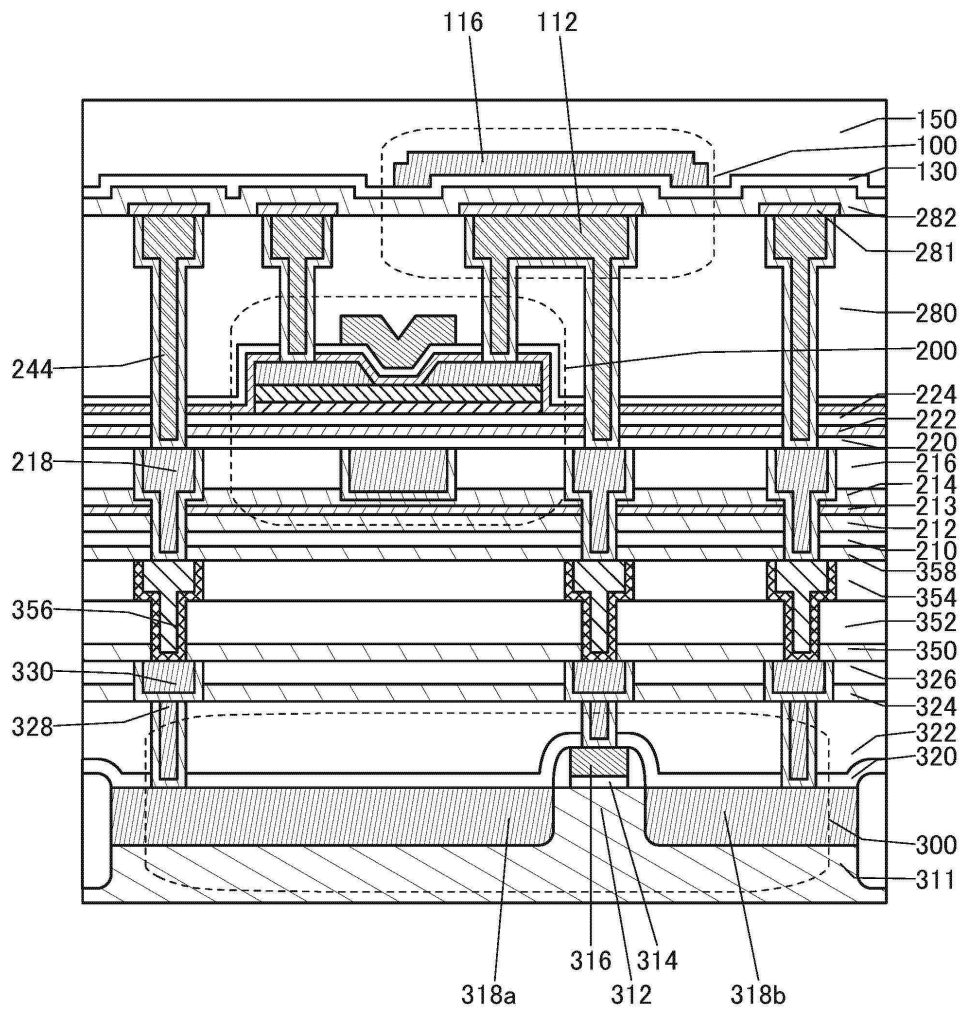
본 출원은 2016년 2월 12일에 일본 특허청에 출원된 일련 번호 2016-024794의 일본 특허 출원에 기초하고, 본 명세서에 그 전문이 참조로 통합된다.

도면

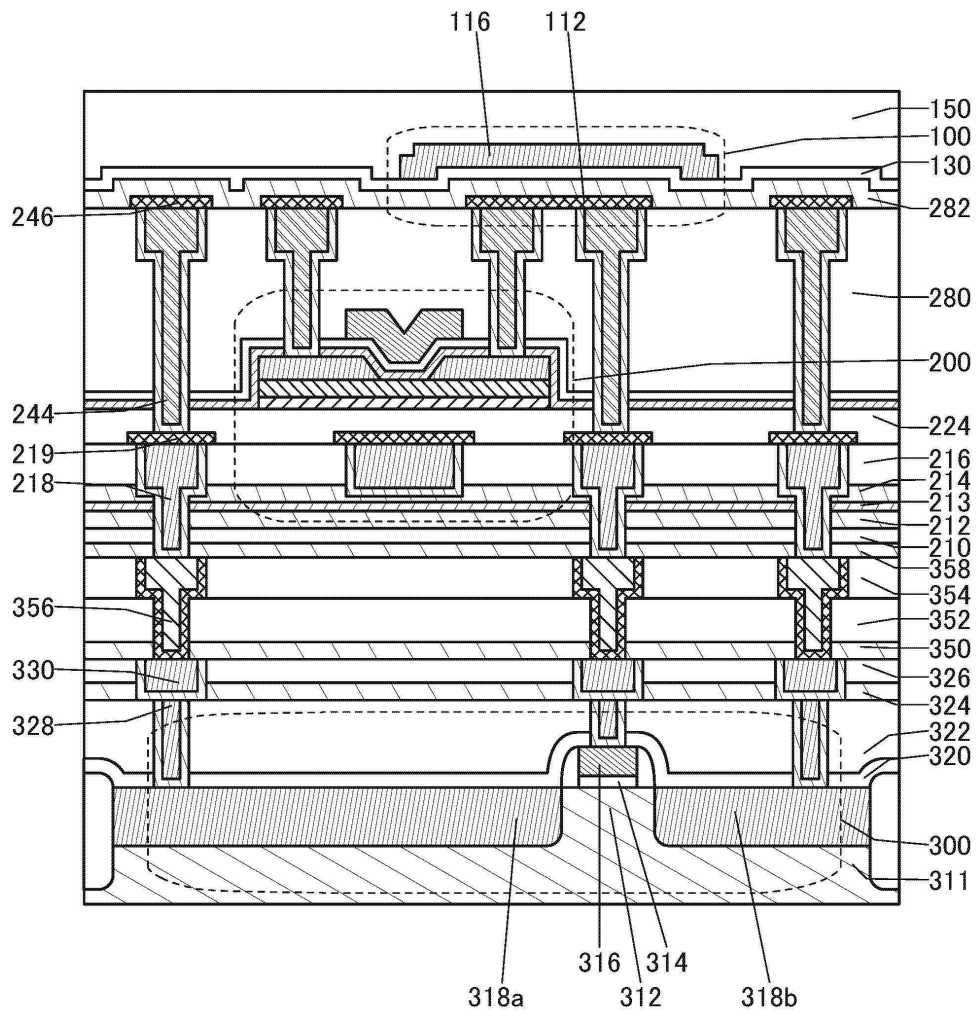
도면1



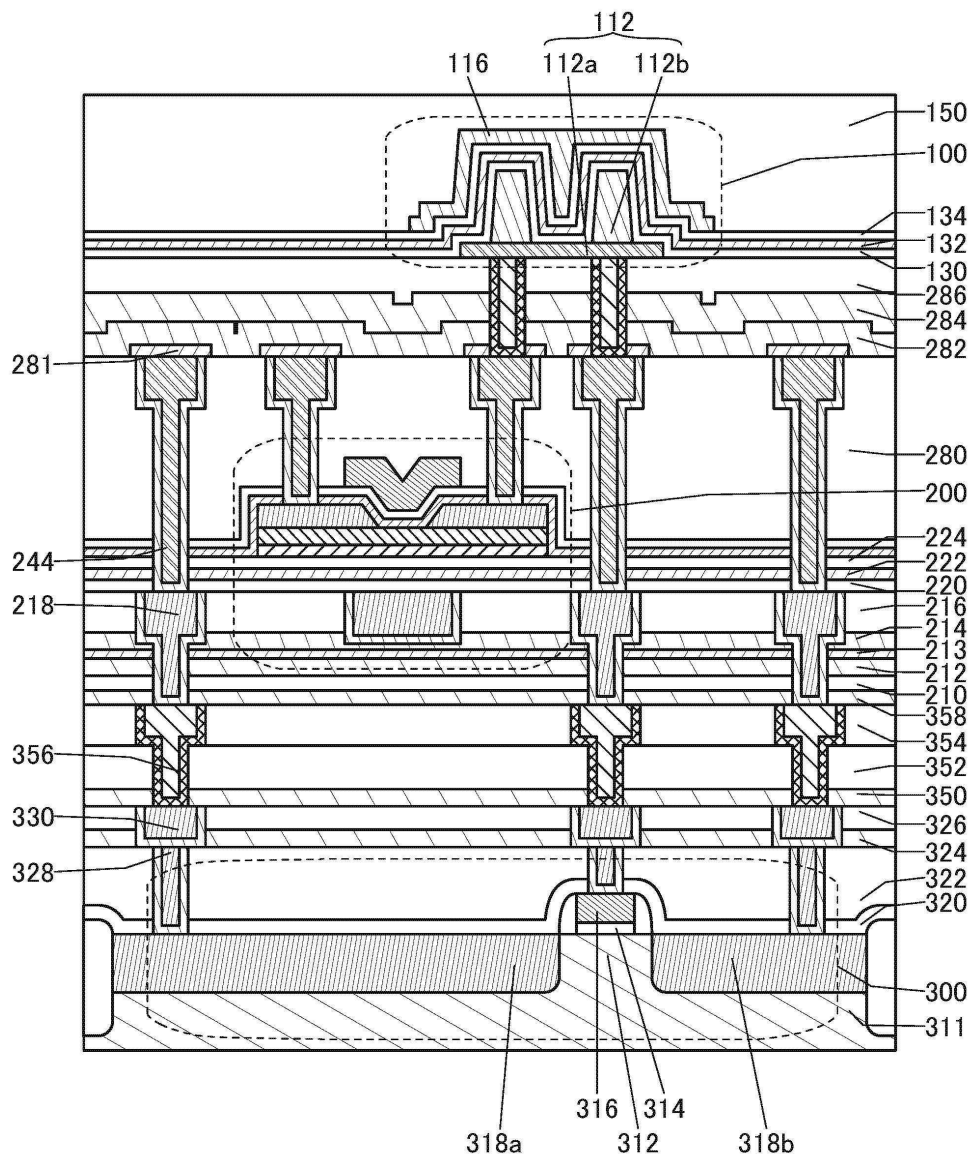
도면2



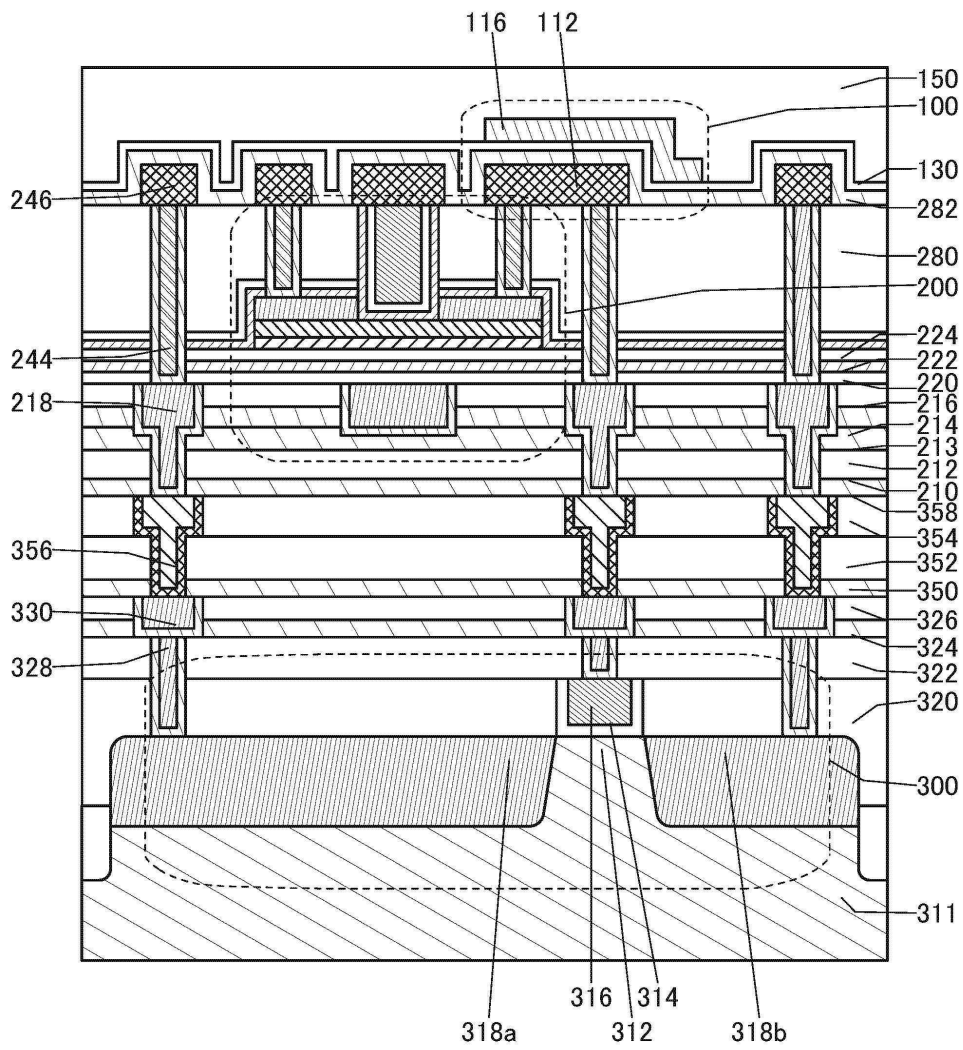
도면3



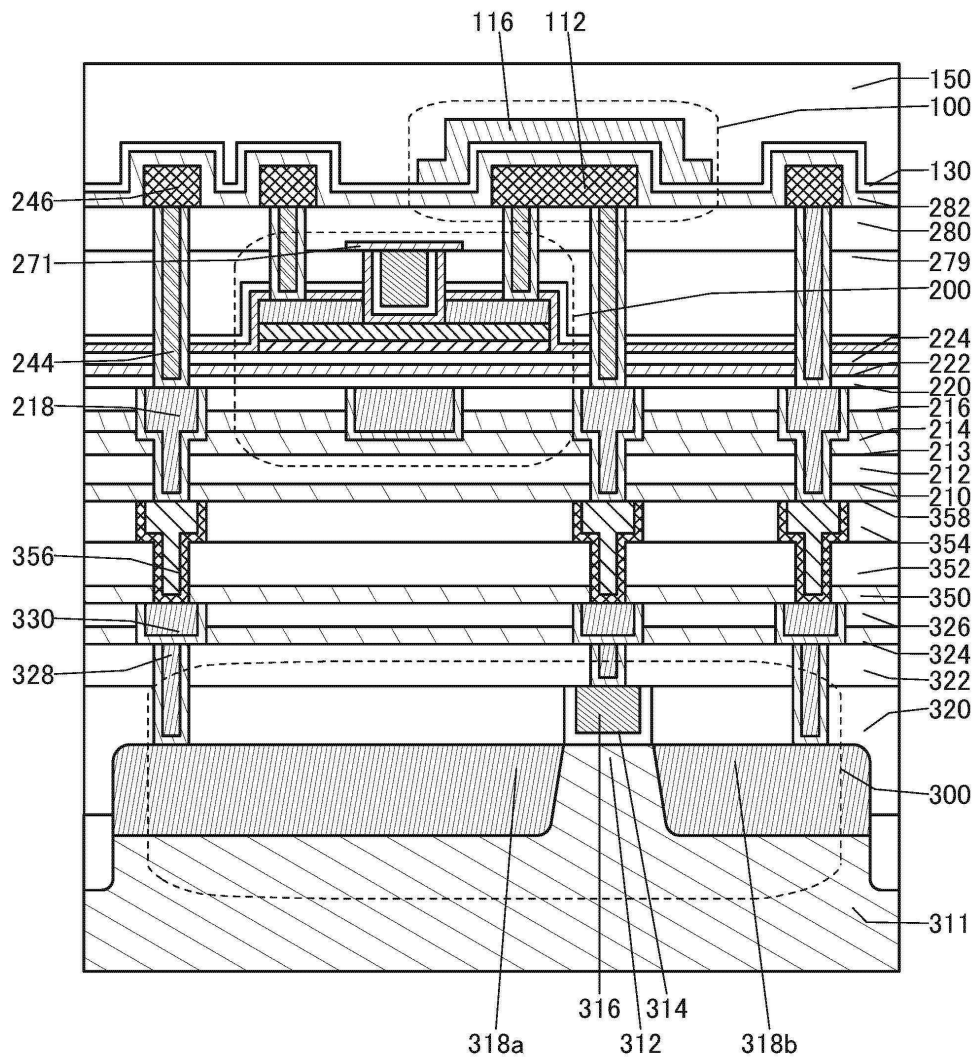
도면4



도면5

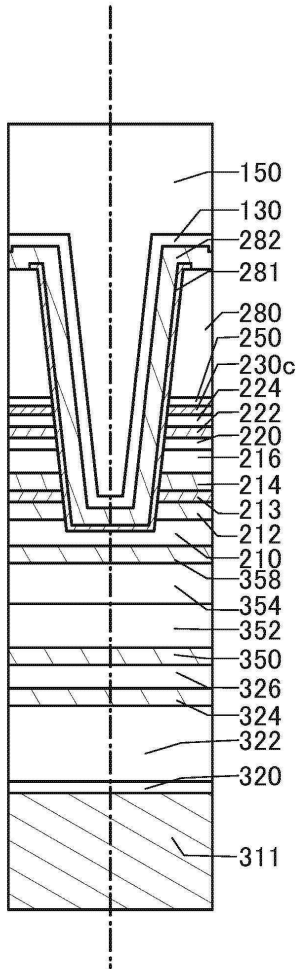


도면6

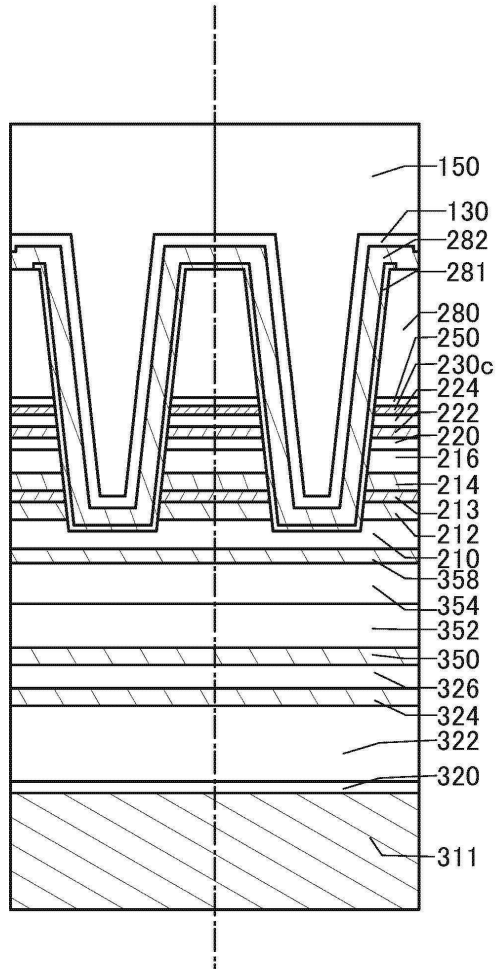


도면7

(A)

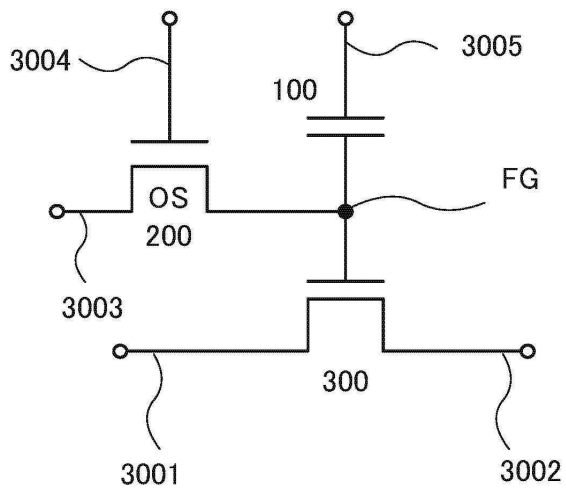


(B)

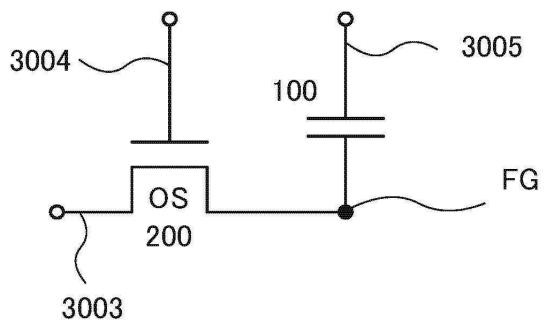


도면8

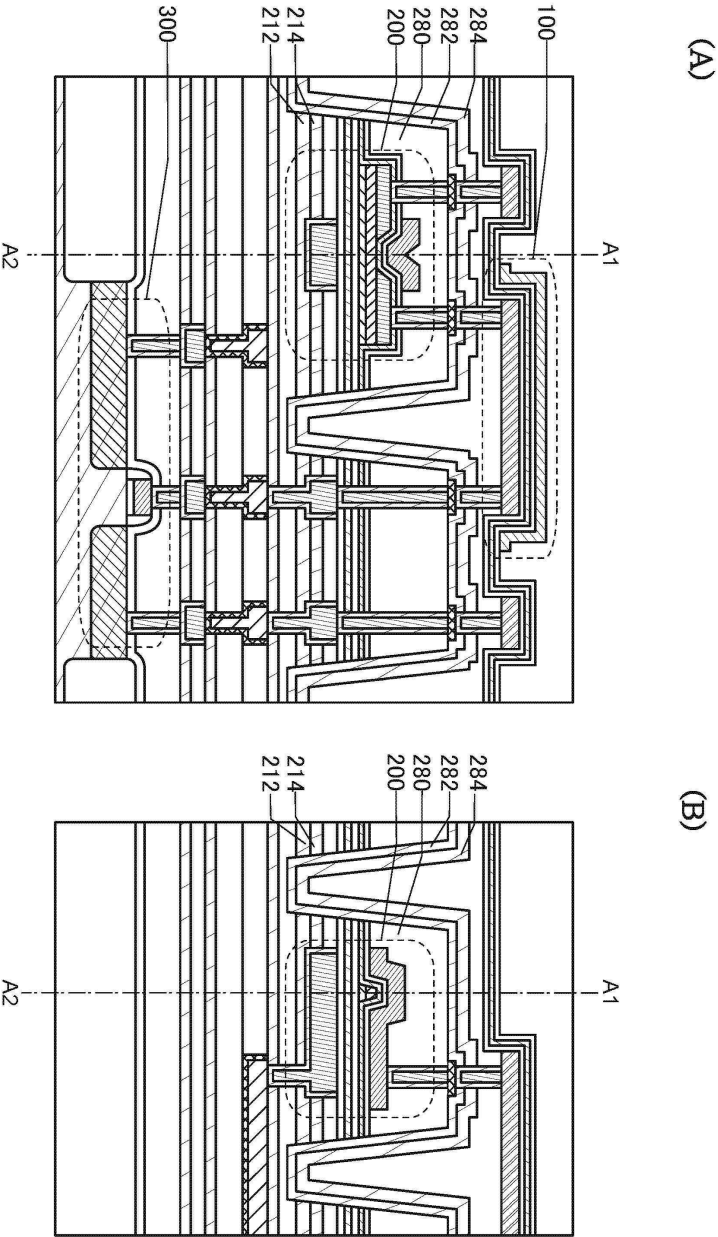
(A)



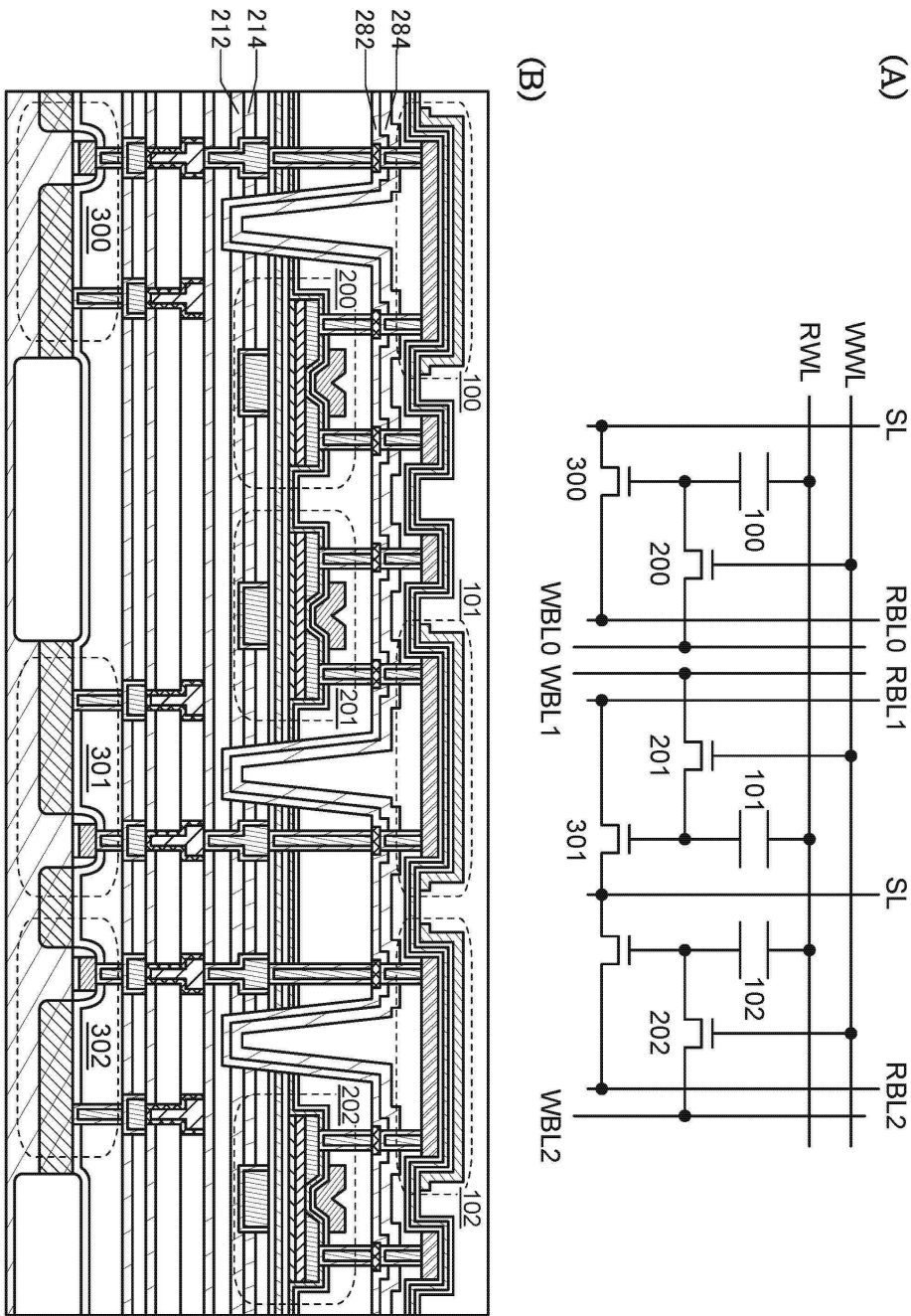
(B)



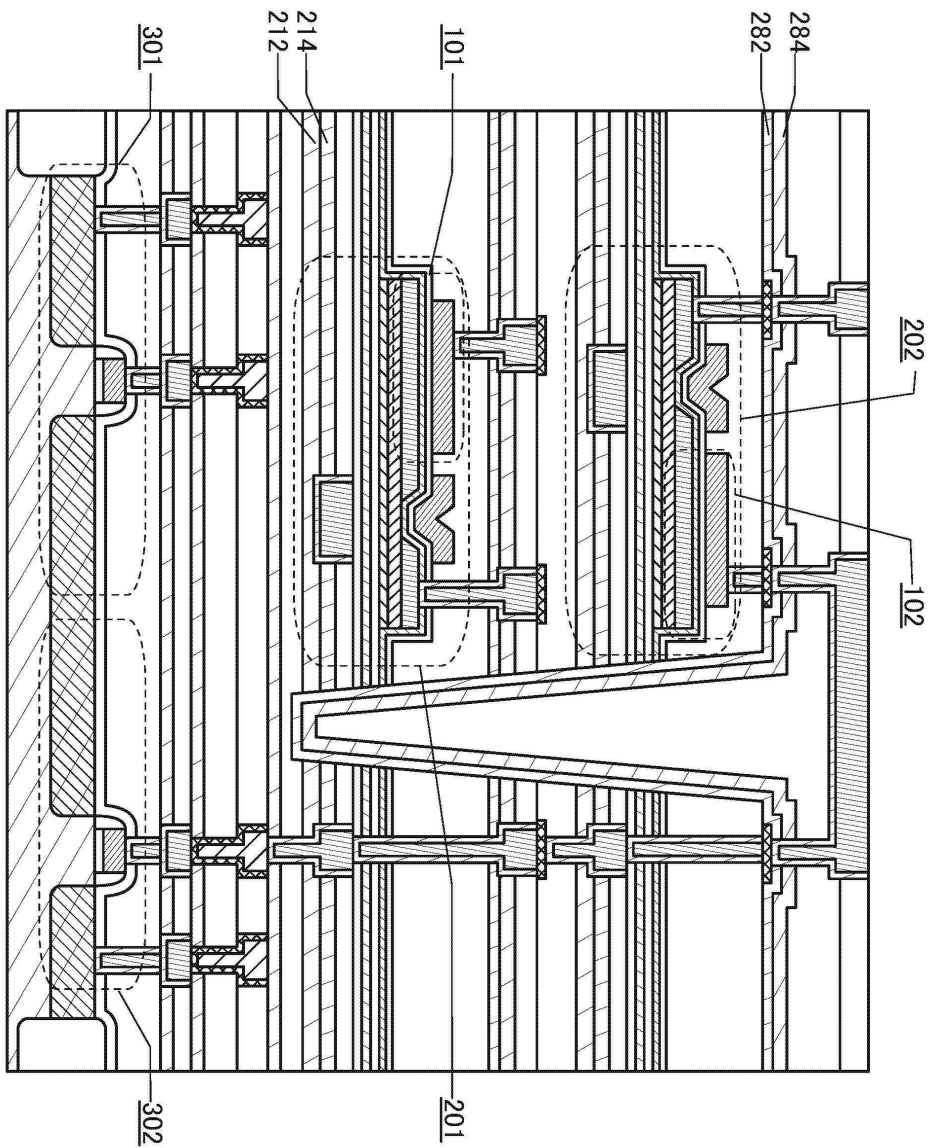
도면9



도면10

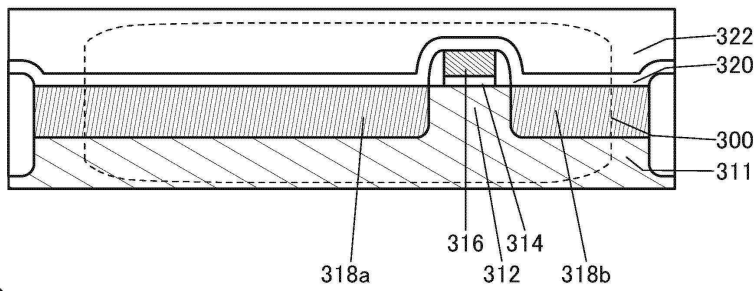


도면11

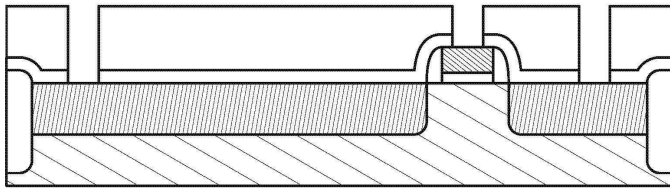


도면12

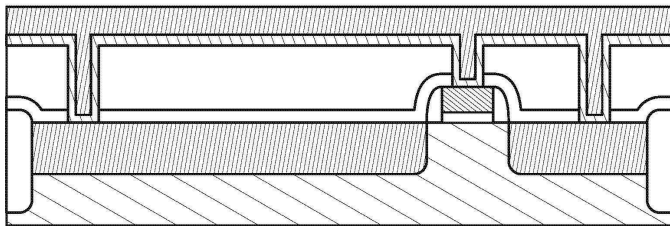
(A)



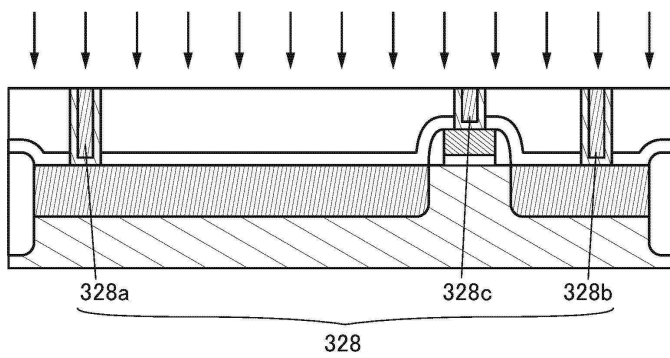
(B)



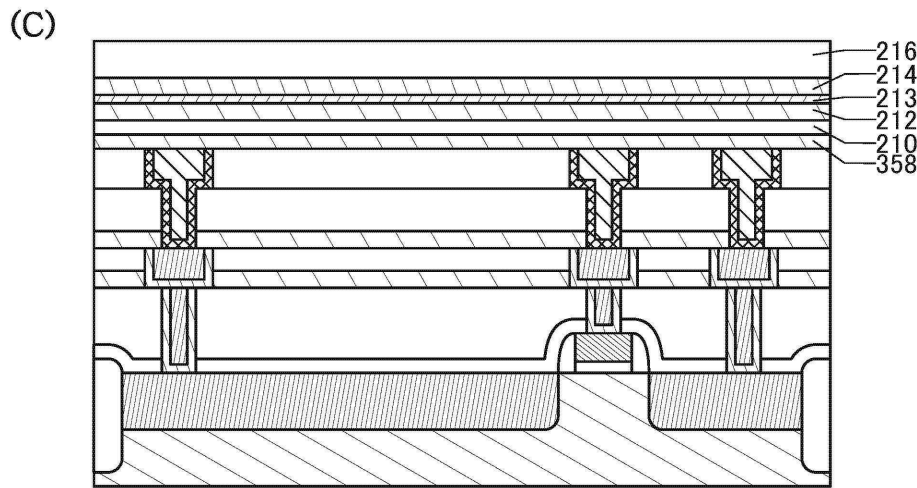
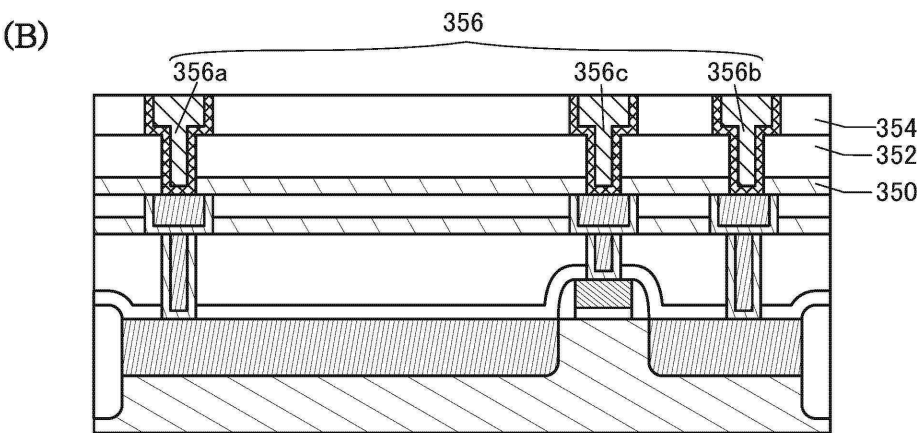
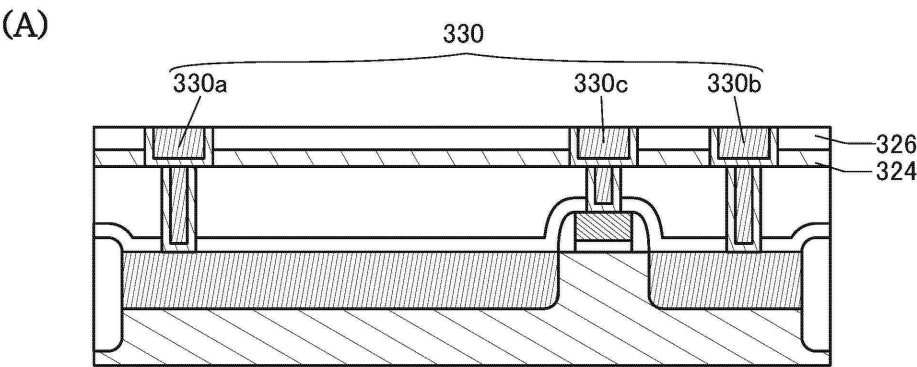
(C)



(D)

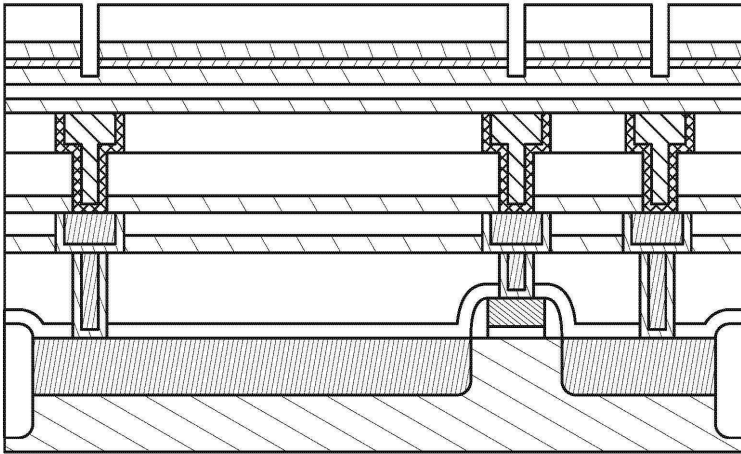


도면13

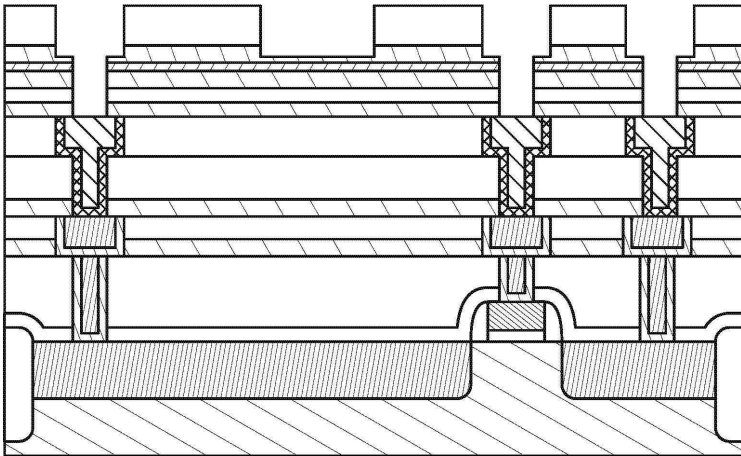


도면14

(A)

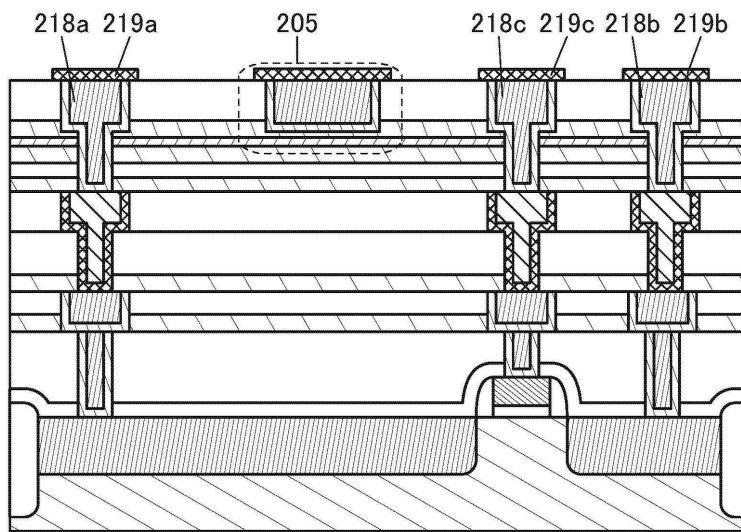


(B)

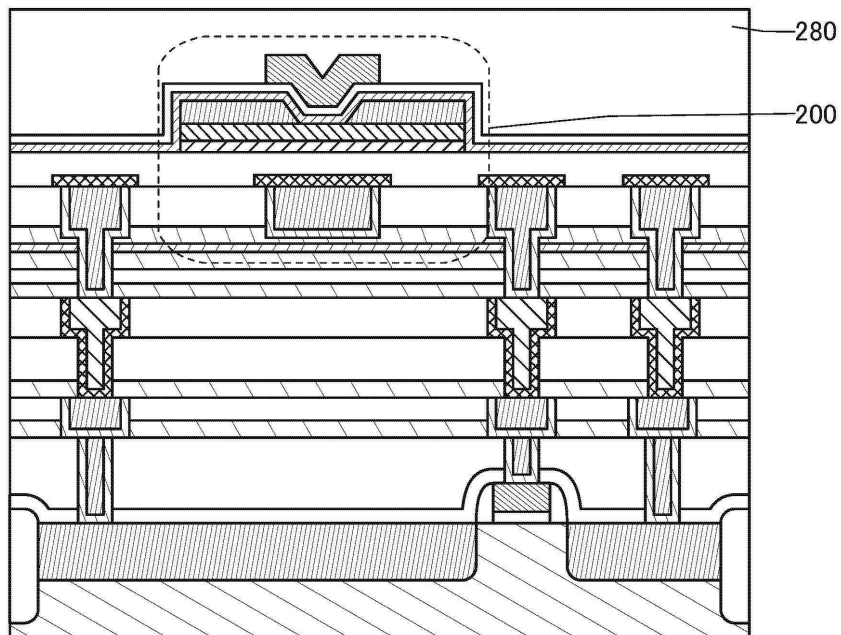


도면15

(A)

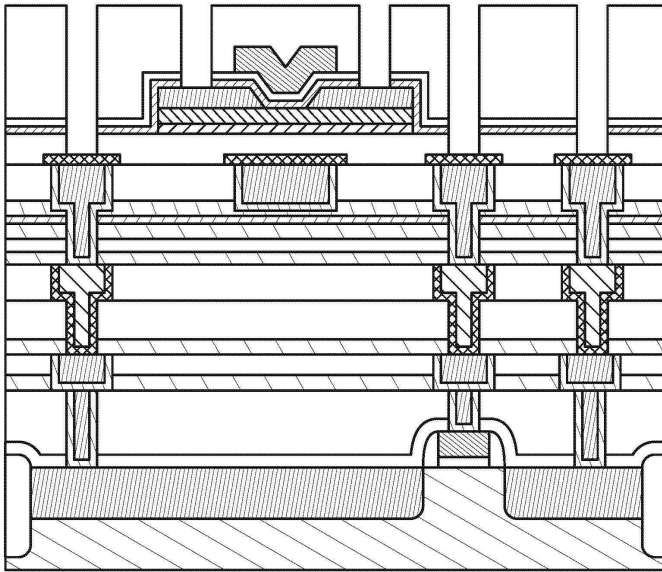


(B)

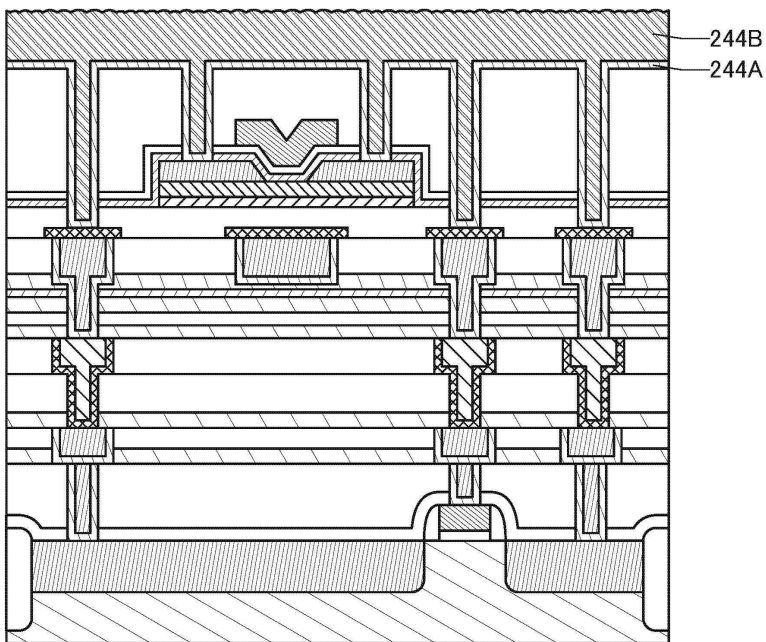


도면16

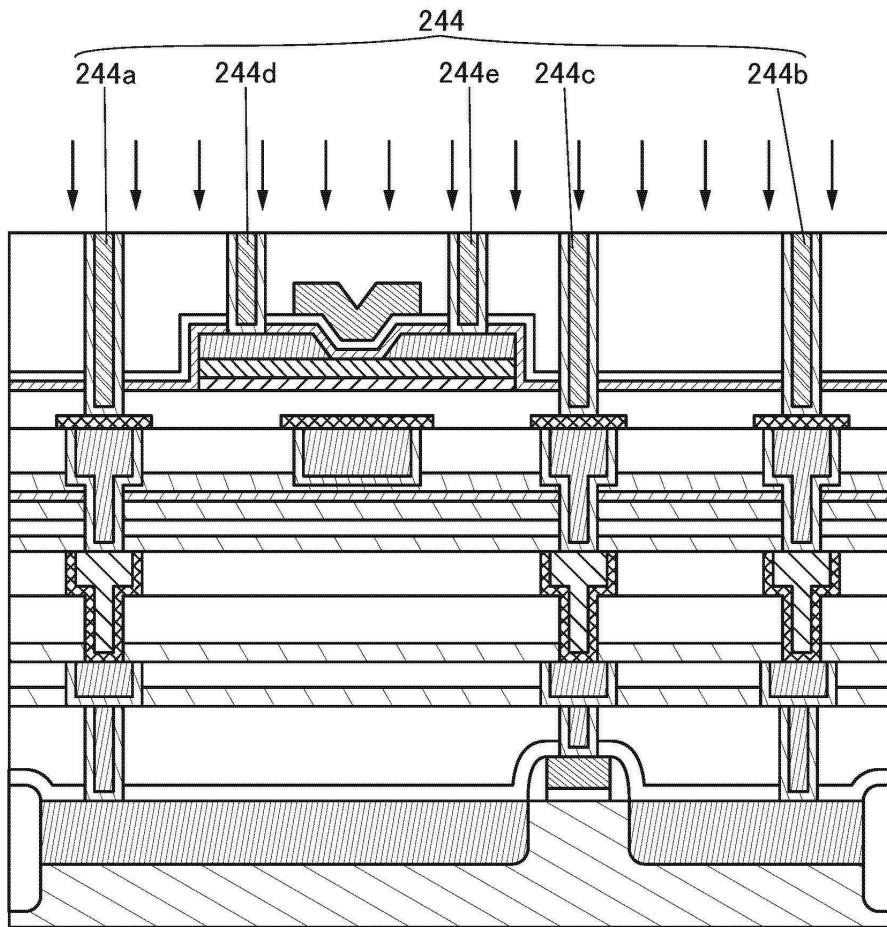
(A)



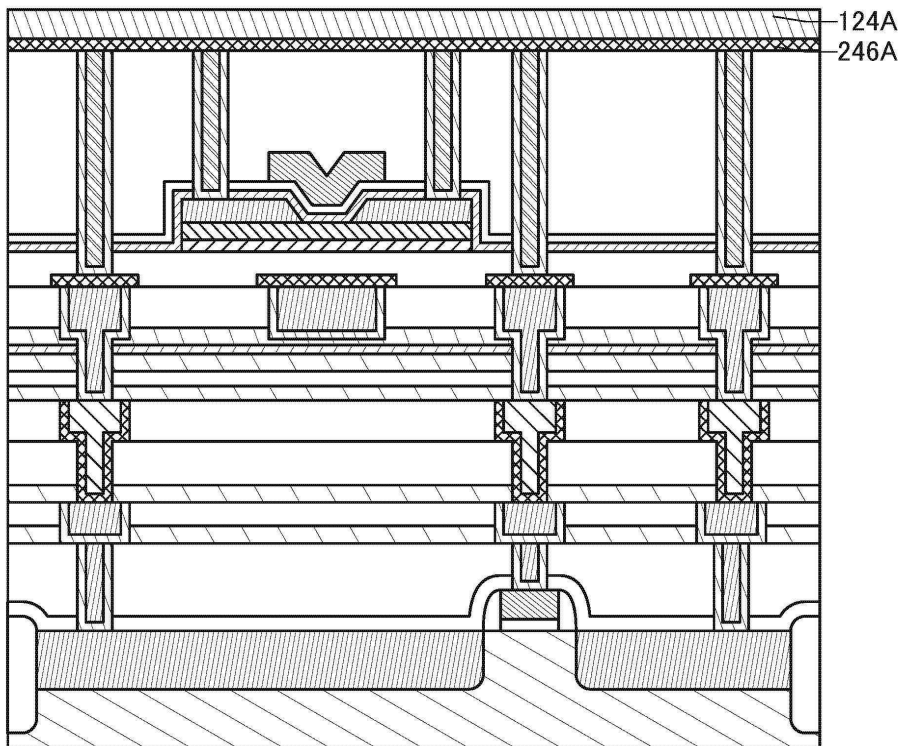
(B)



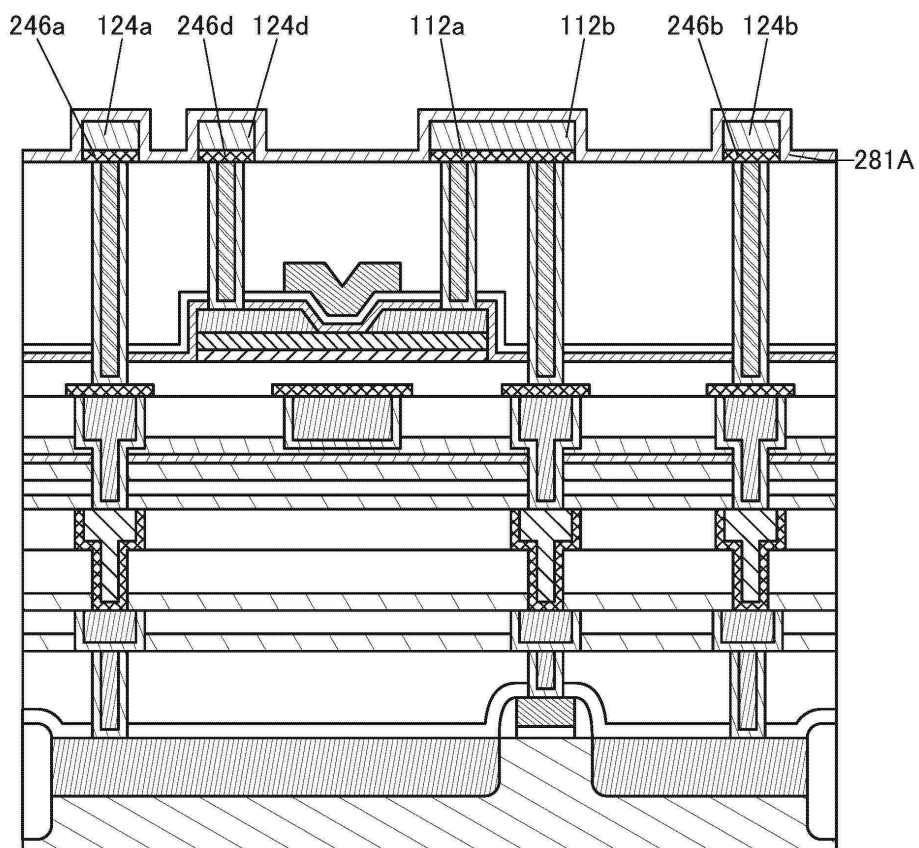
도면17



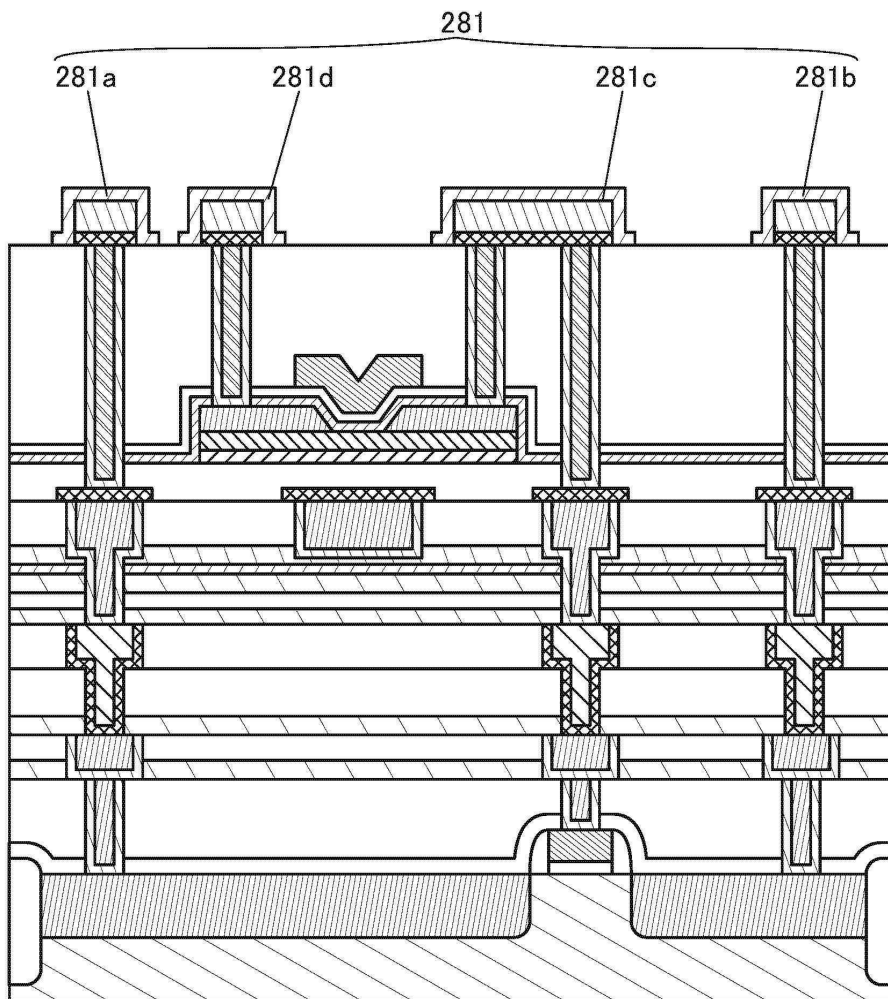
도면18



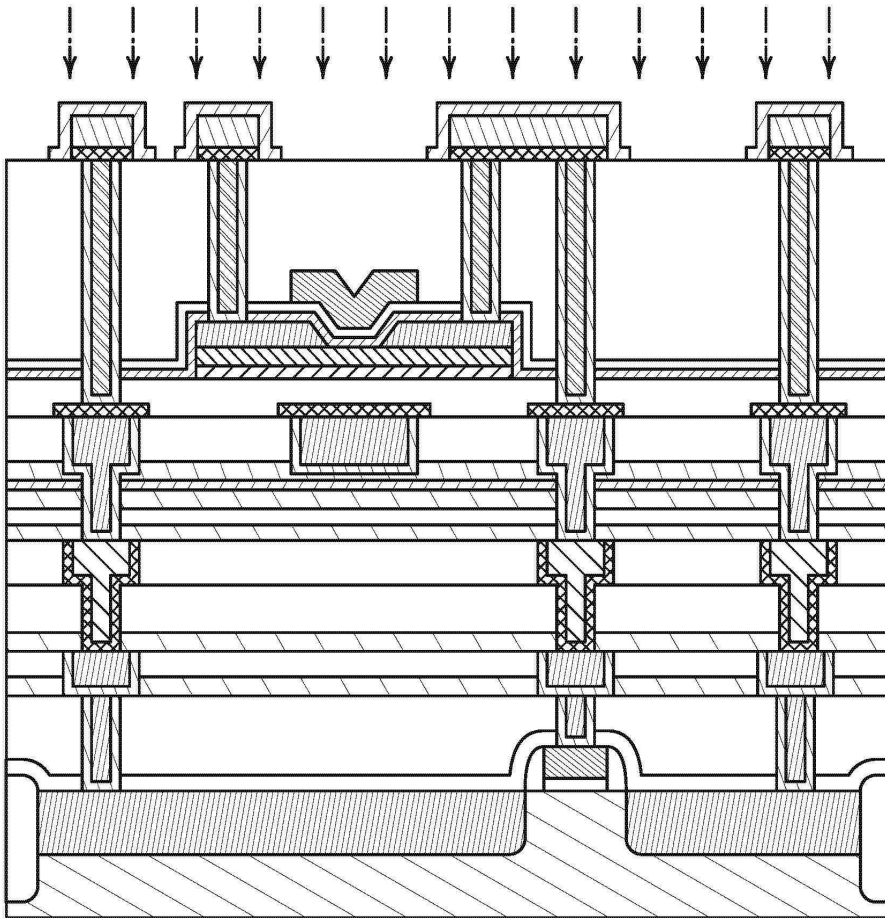
도면19



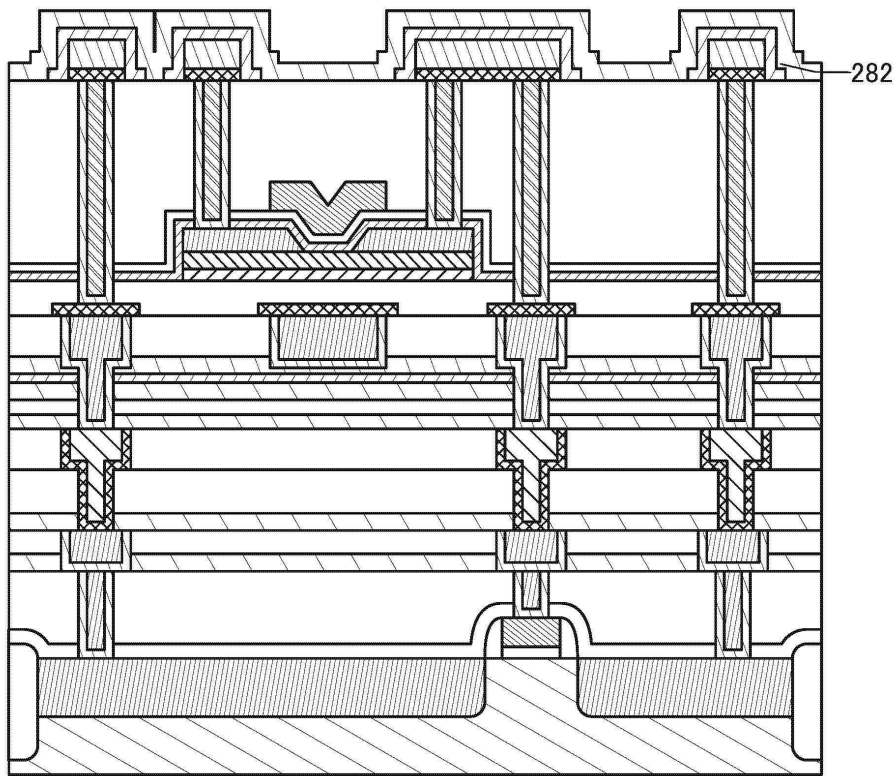
도면20



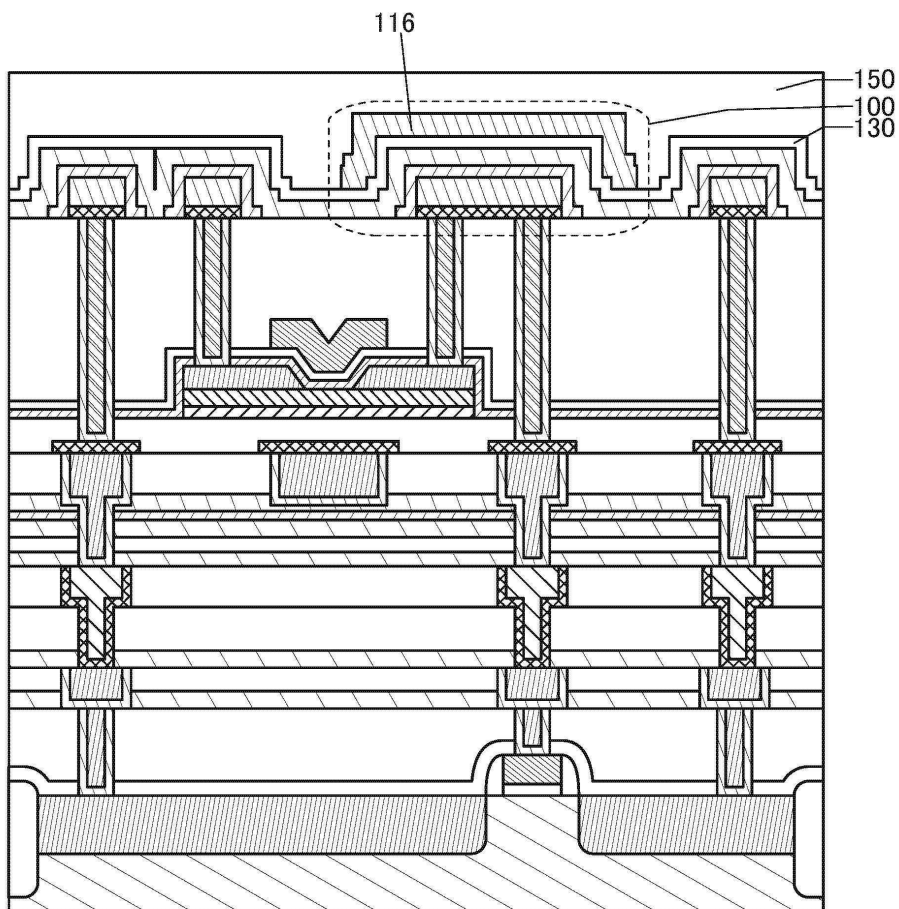
도면21



도면22



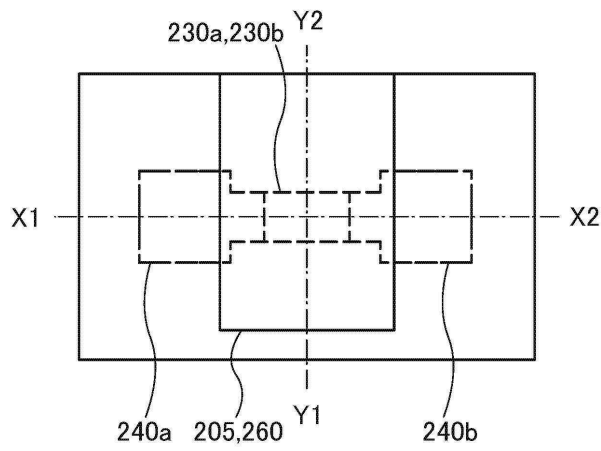
도면23



도면24

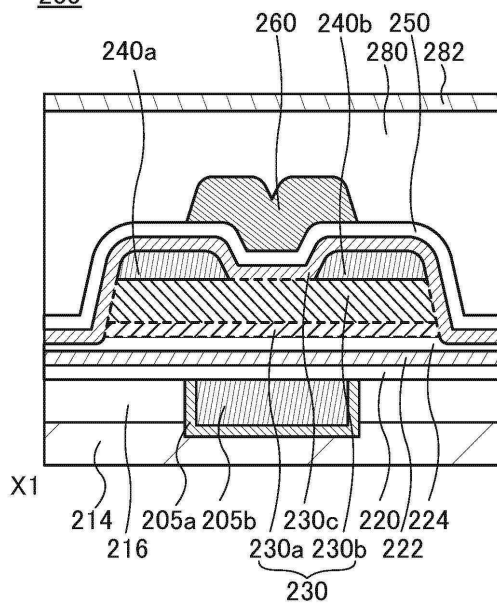
(A)

200



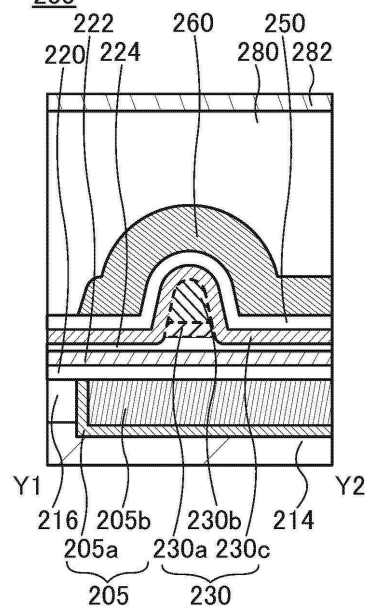
(B)

200



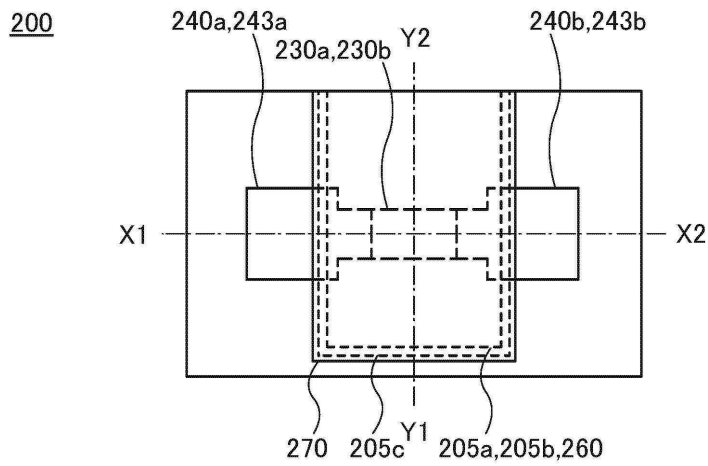
(C)

200

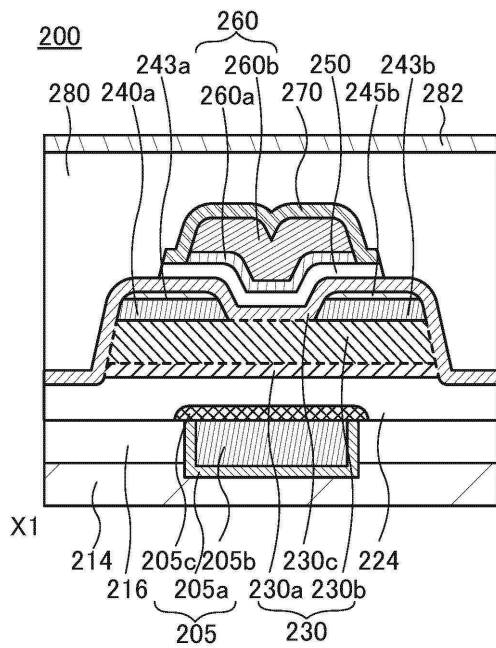


도면25

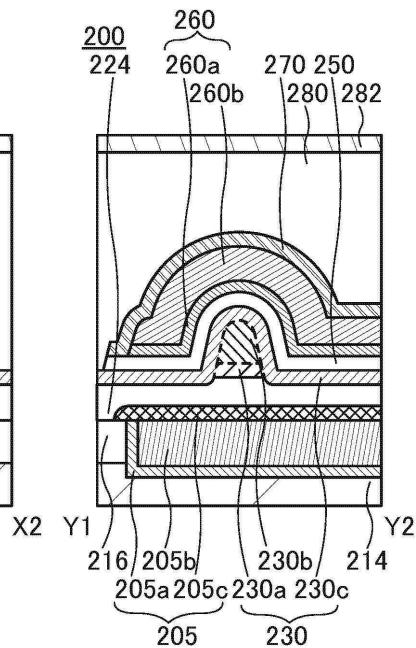
(A)



(B)



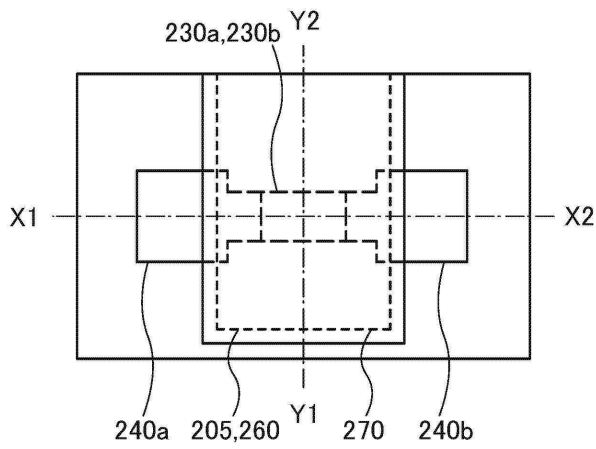
(C)



도면26

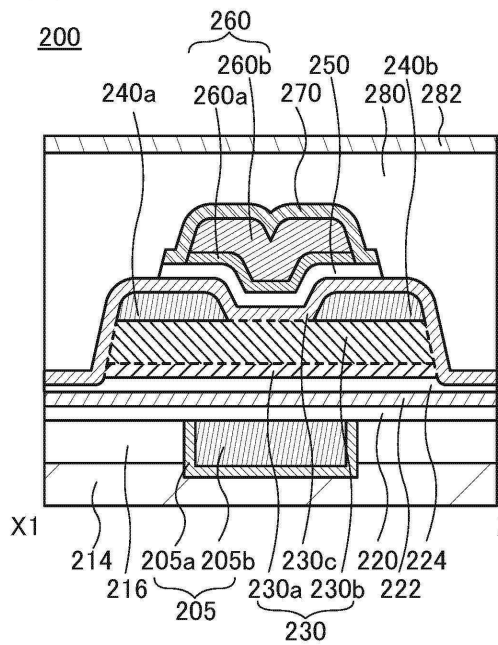
(A)

200



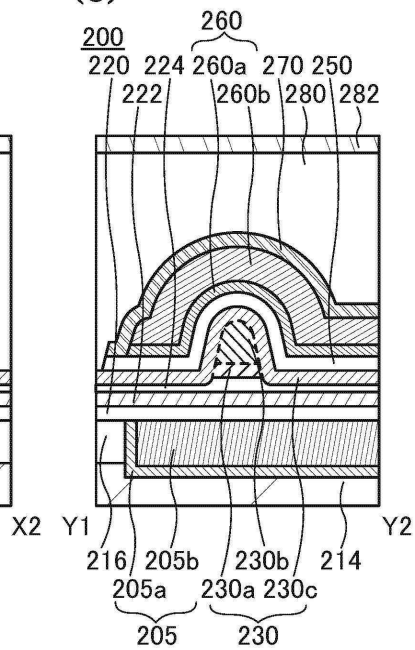
(B)

200



(C)

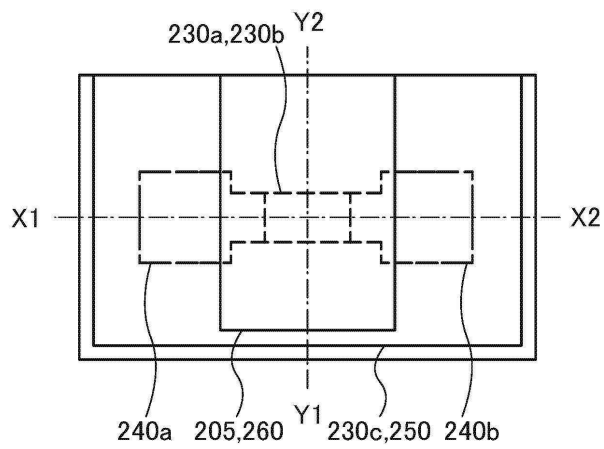
200



도면27

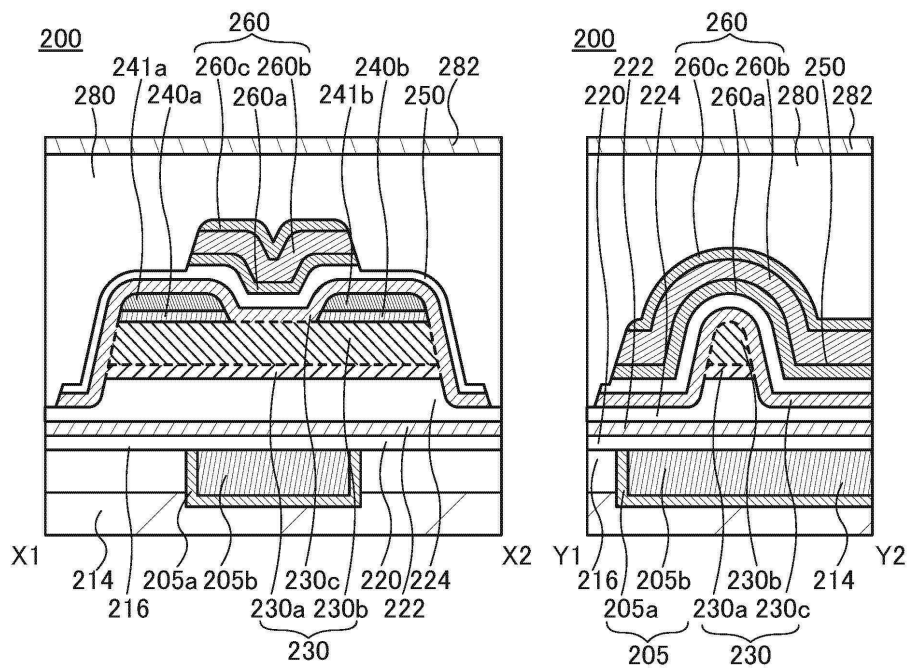
(A)

200



(B)

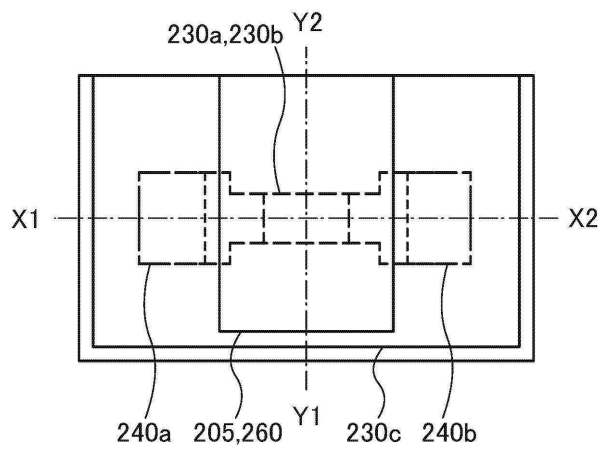
(C)



도면28

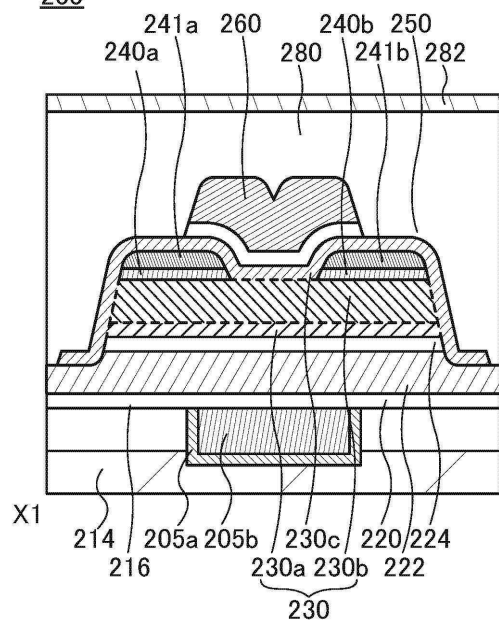
(A)

200



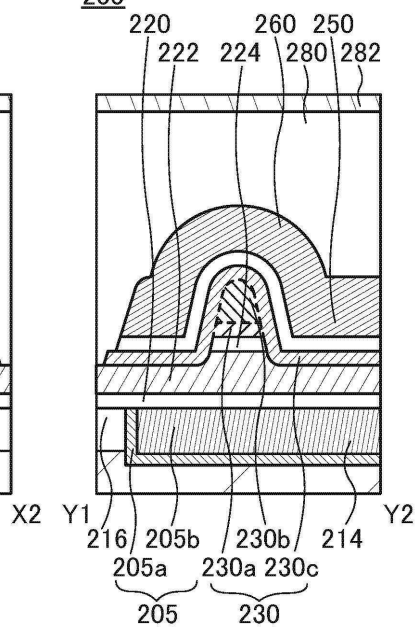
(B)

200



(C)

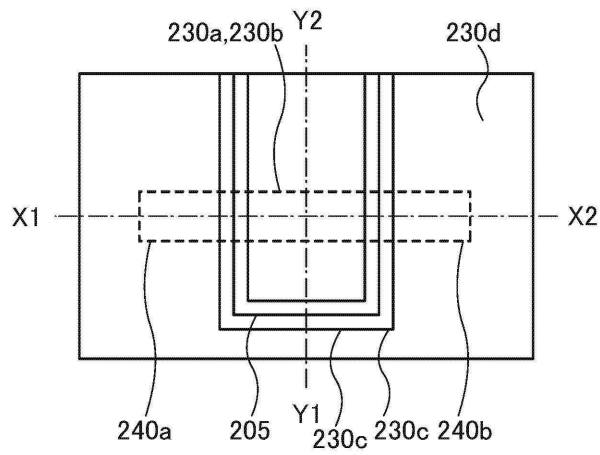
200



도면29

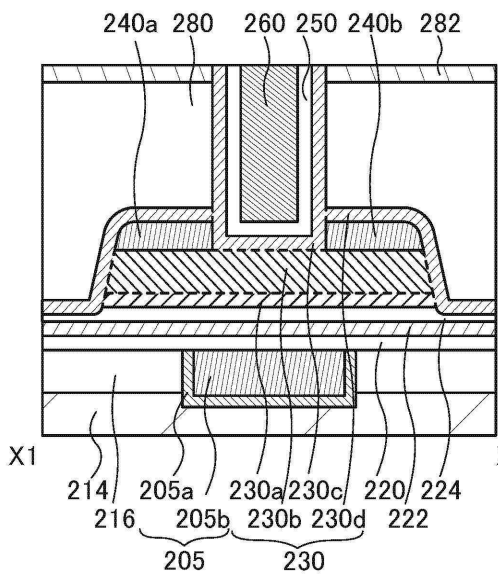
(A)

200



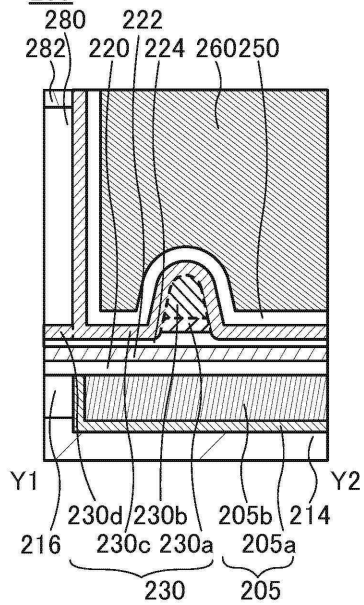
(B)

200



(C)

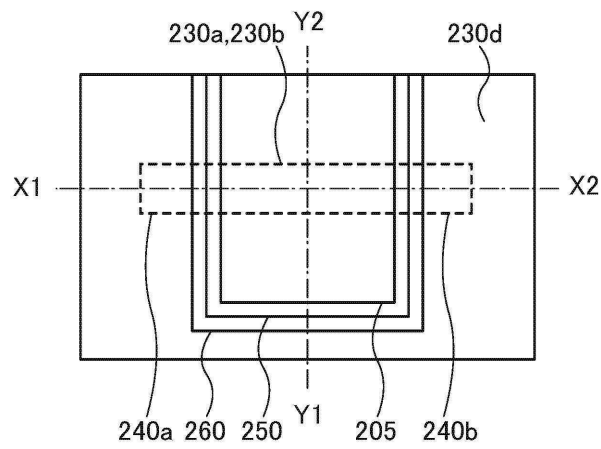
200



도면30

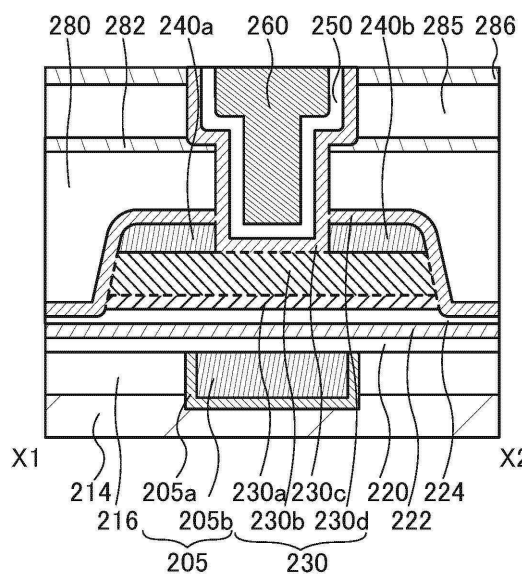
(A)

200



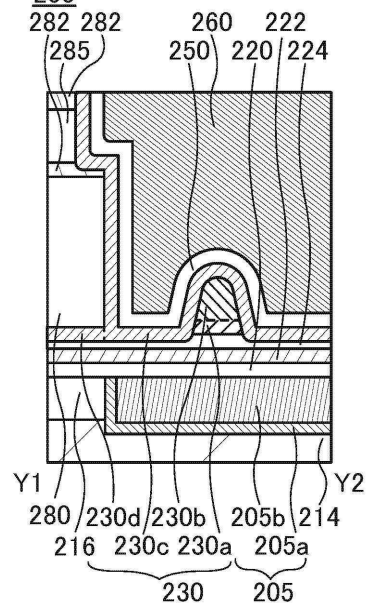
(B)

200



(C)

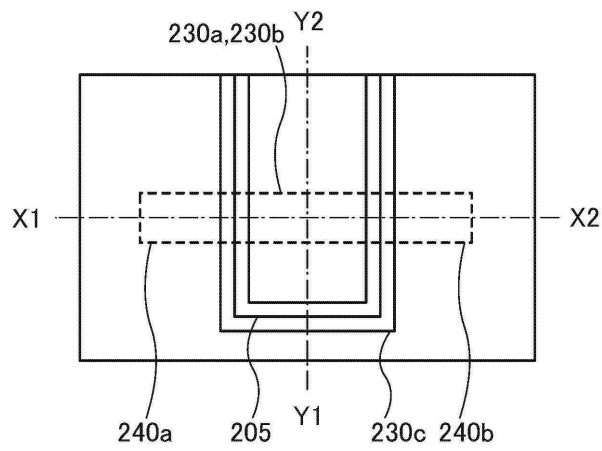
200



도면31

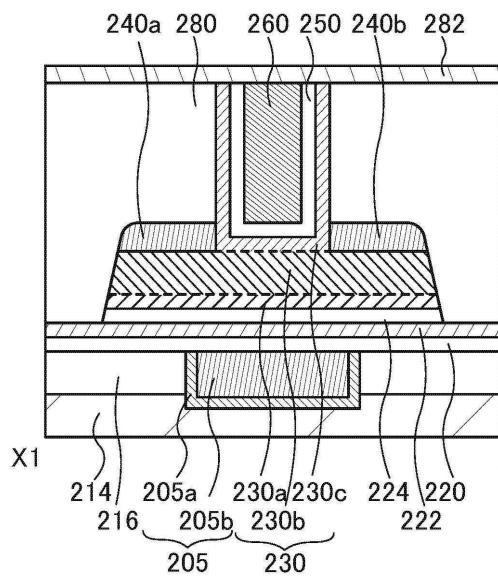
(A)

200



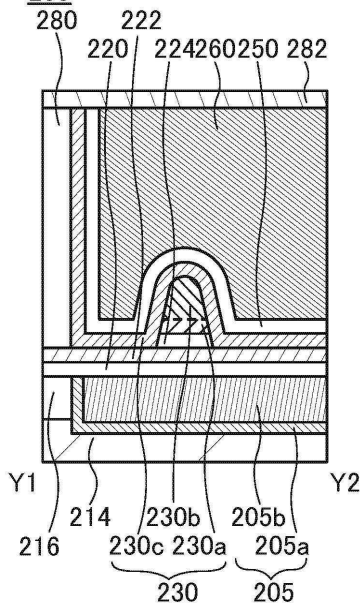
(B)

200



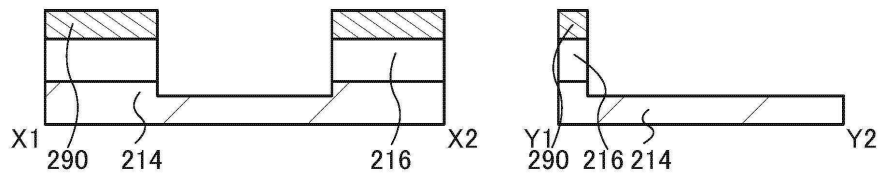
(C)

200

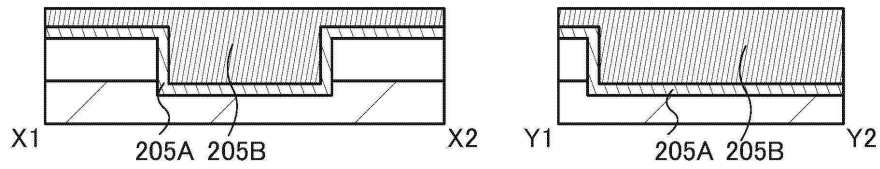


도면32

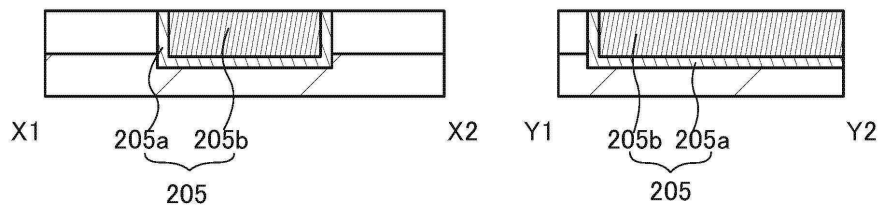
(A)



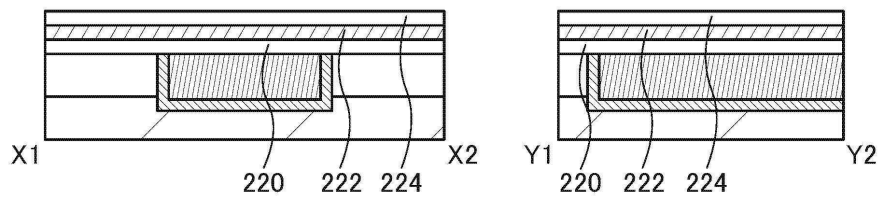
(B)



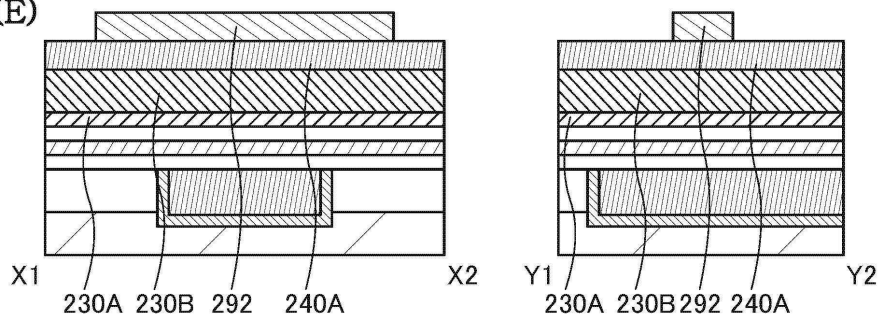
(C)



(D)

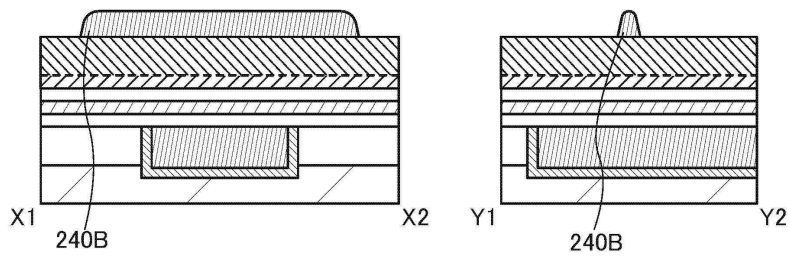


(E)

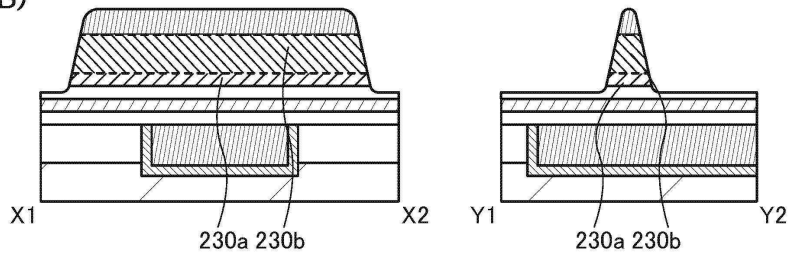


도면33

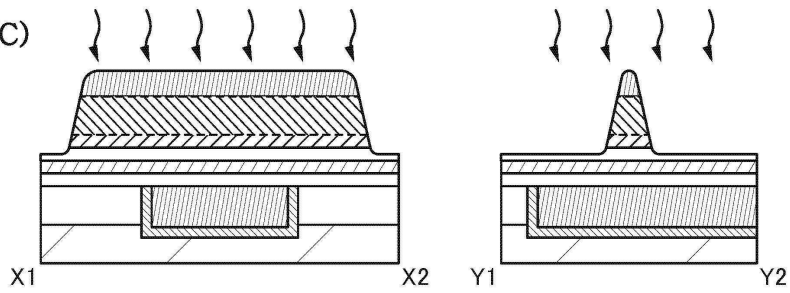
(A)



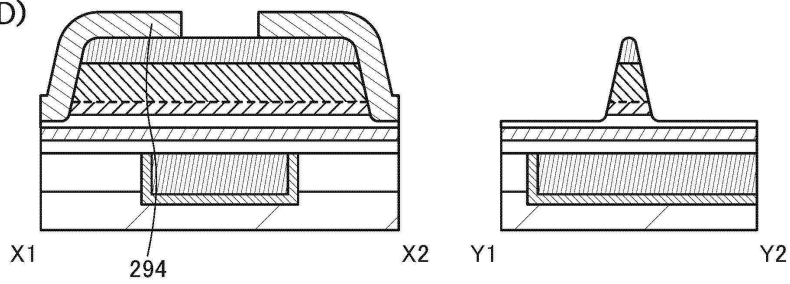
(B)



(C)

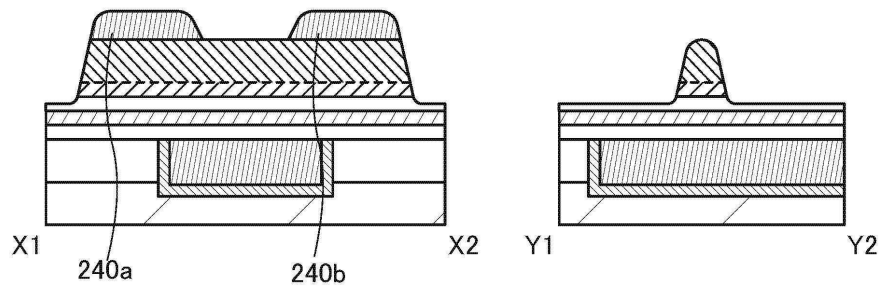


(D)

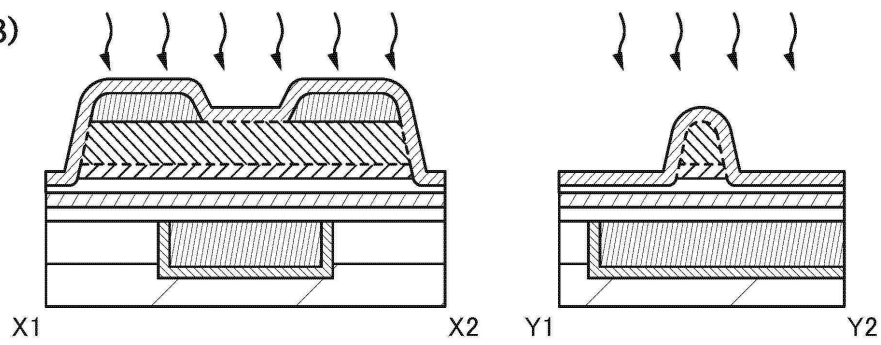


도면34

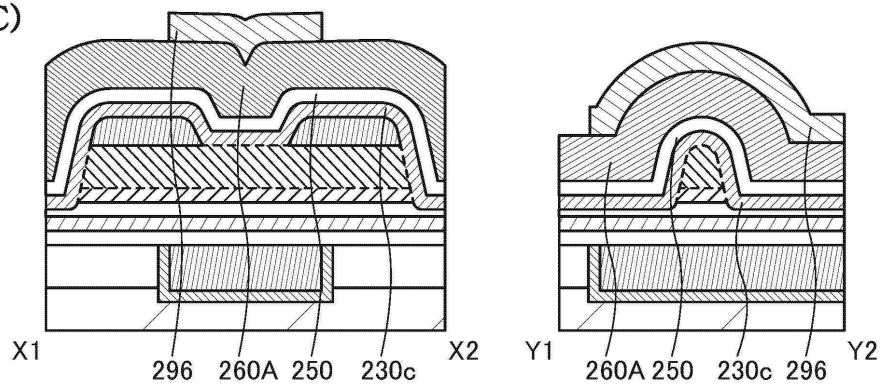
(A)



(B)

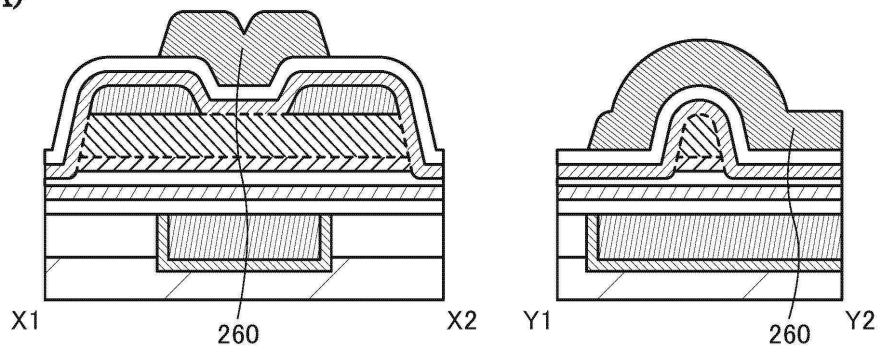


(C)

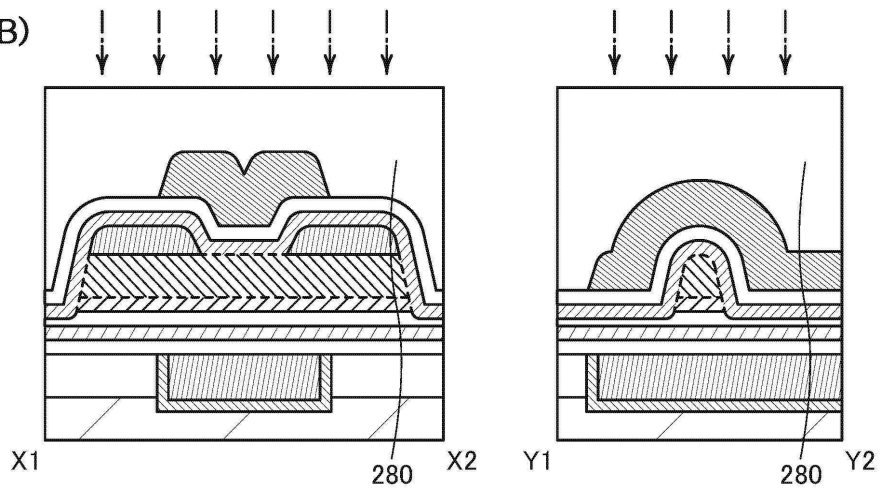


도면35

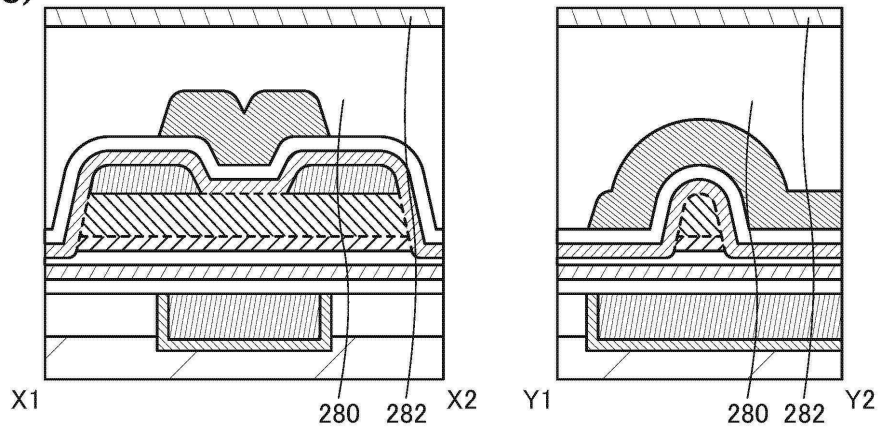
(A)



(B)

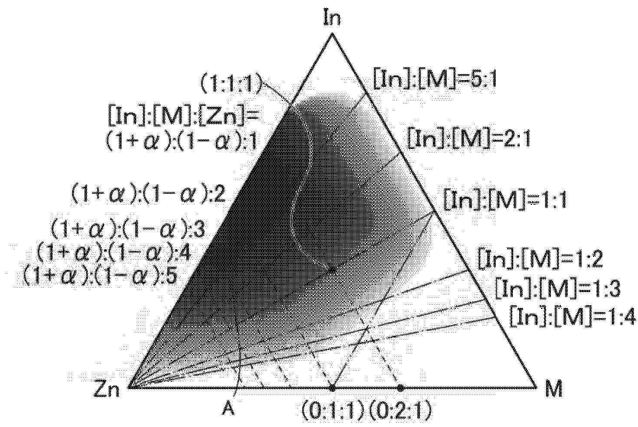


(C)

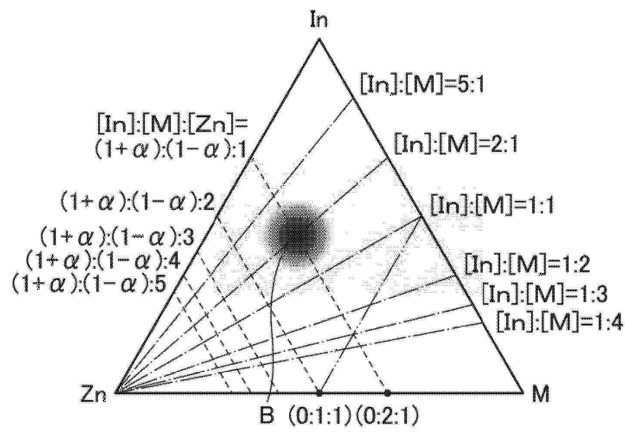


도면36

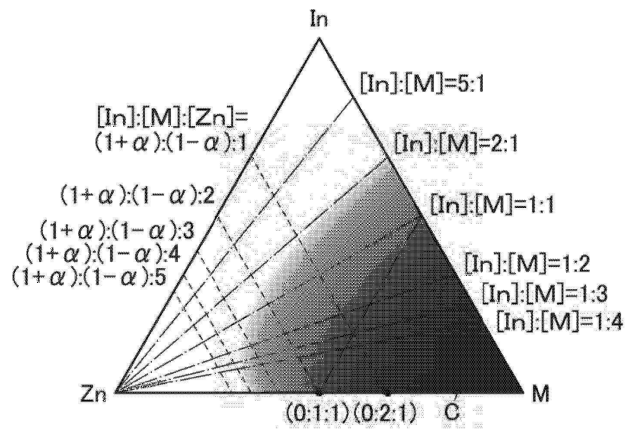
(A)



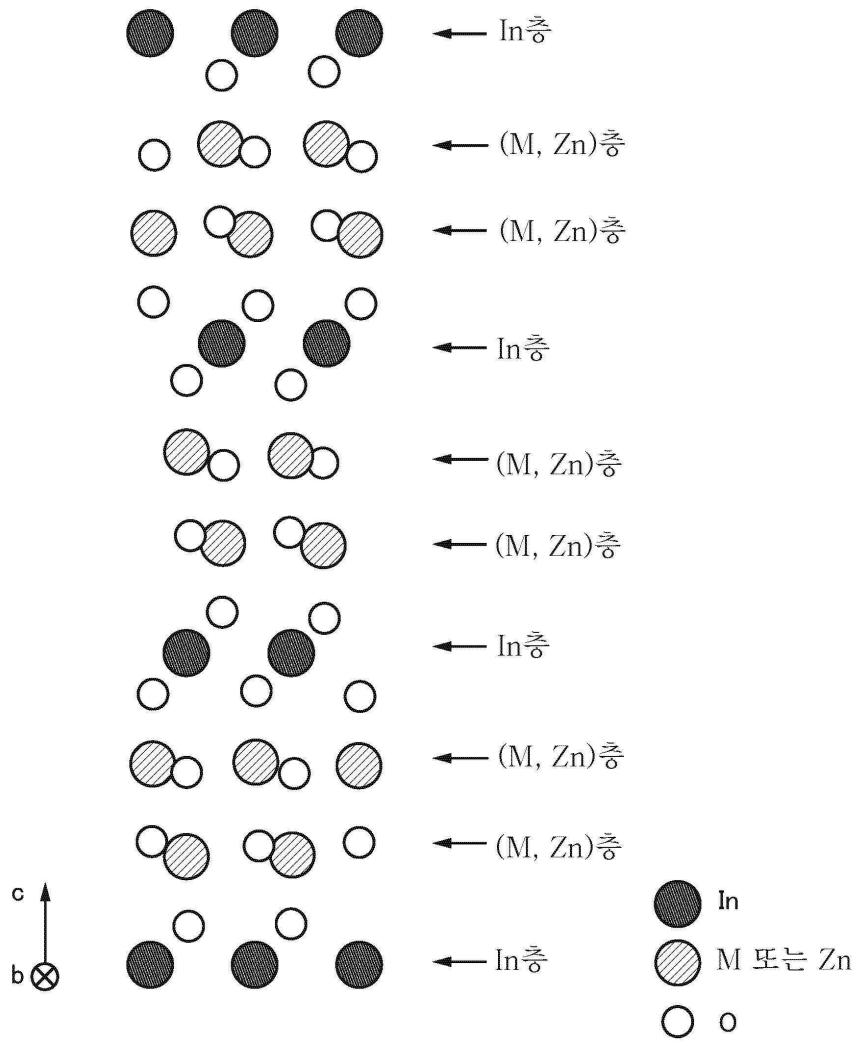
(B)



(C)

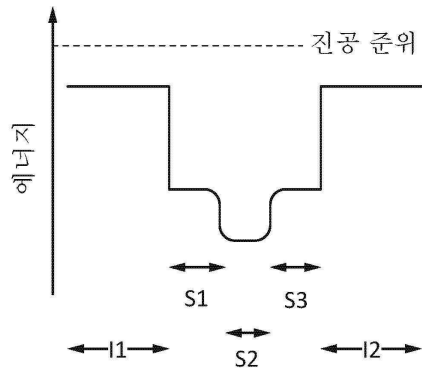


도면37

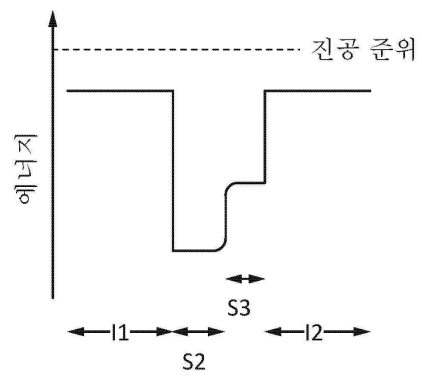


도면38

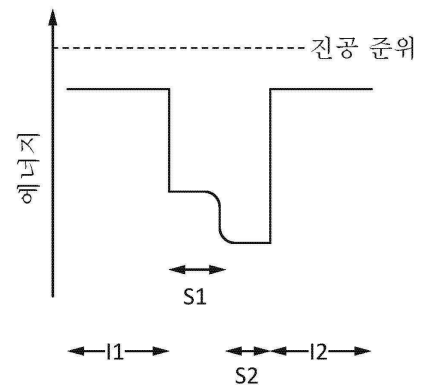
(A)



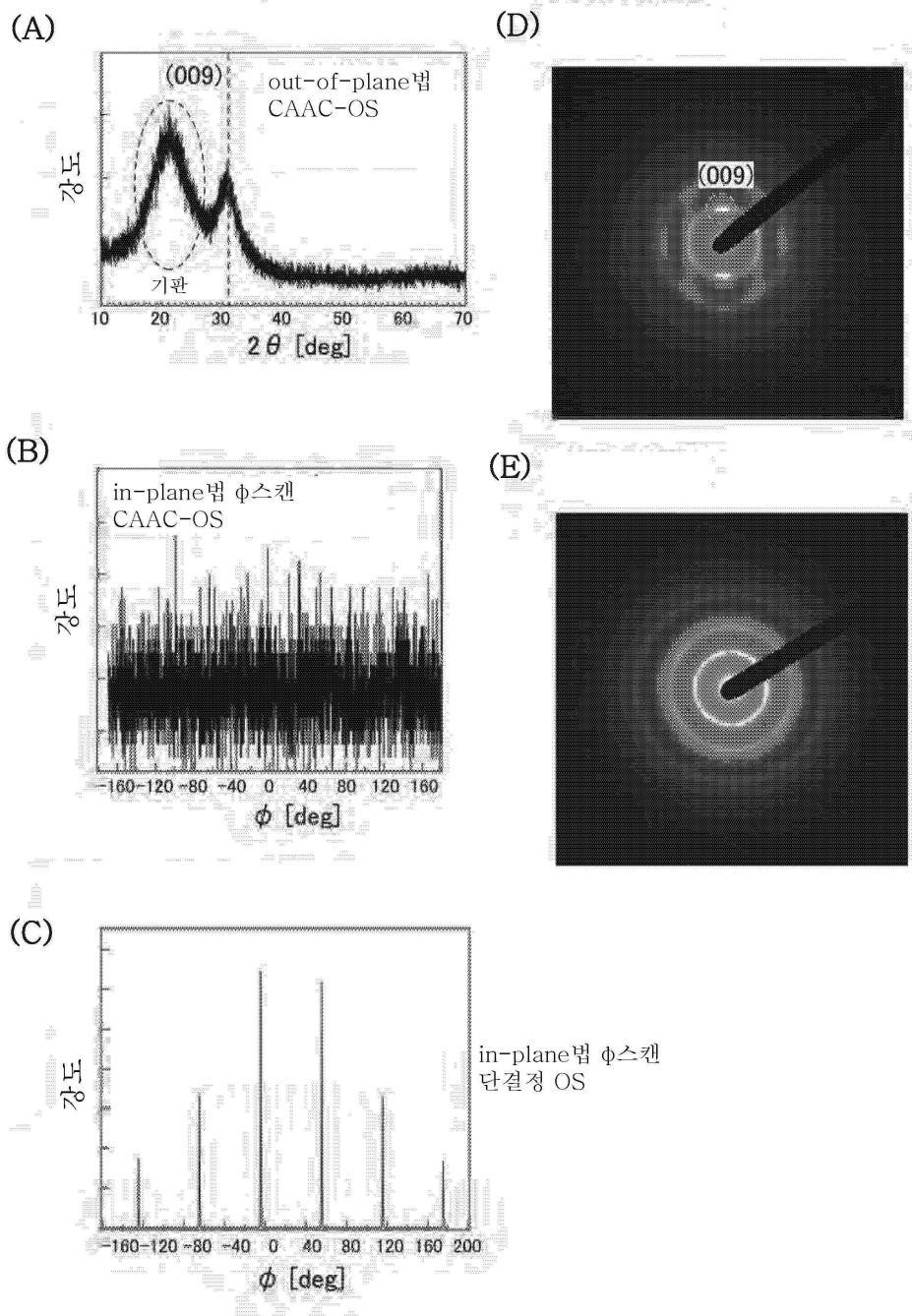
(B)



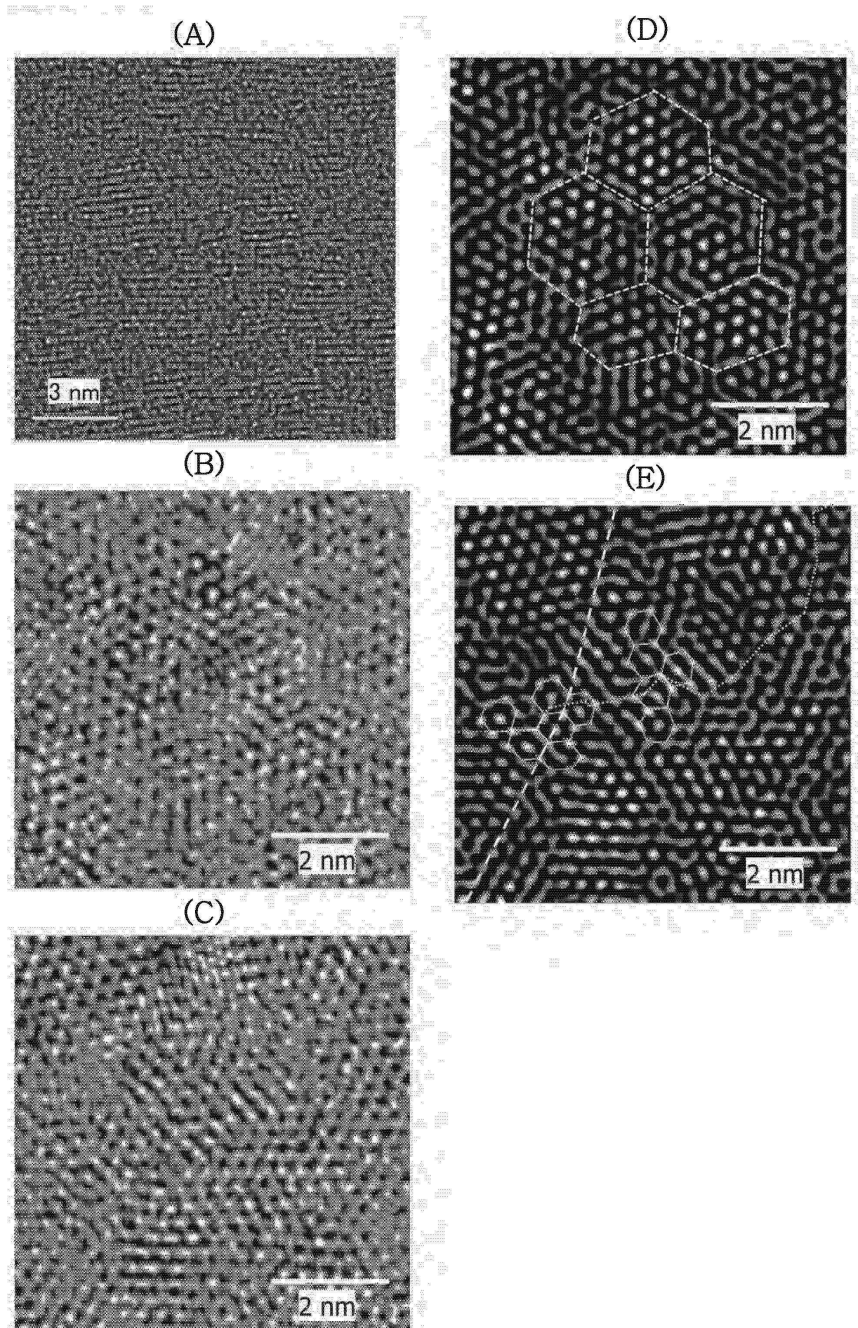
(C)



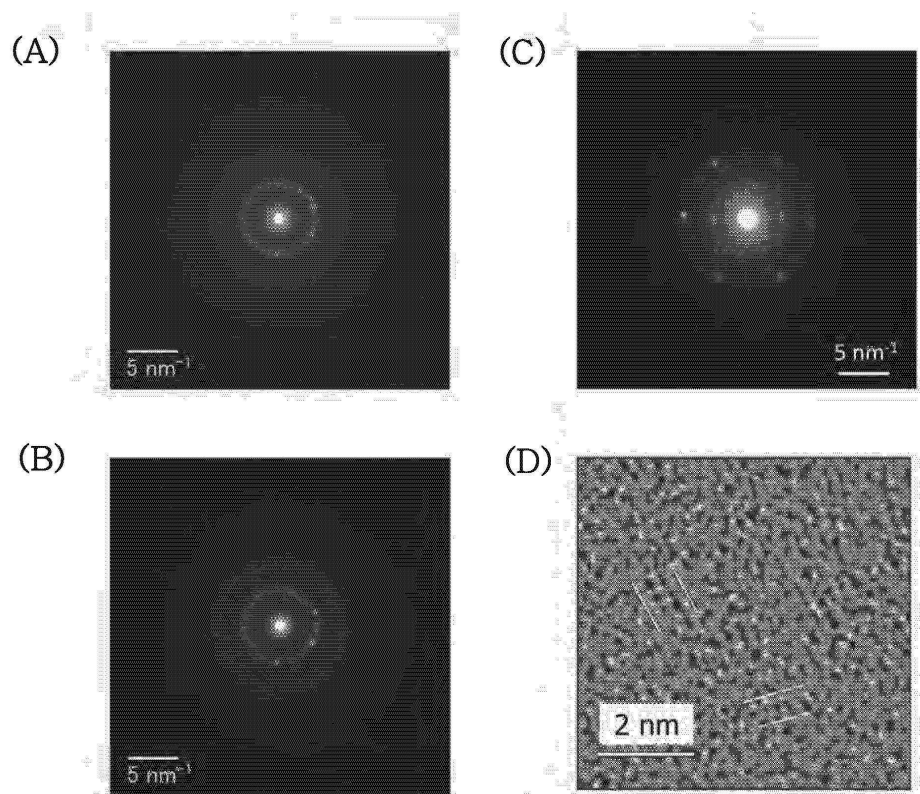
도면39



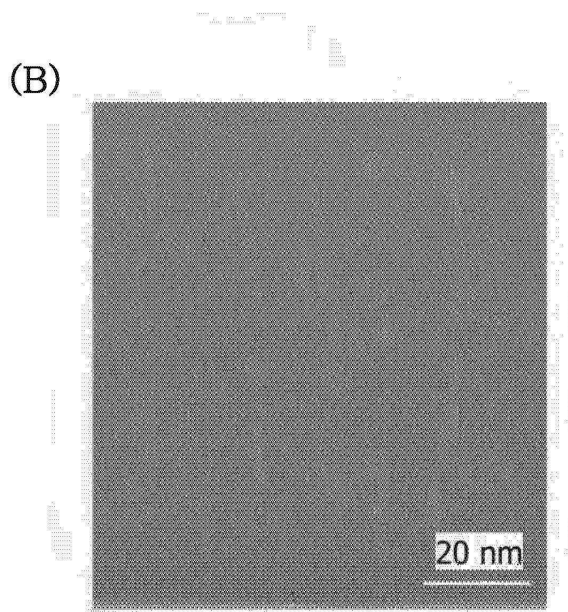
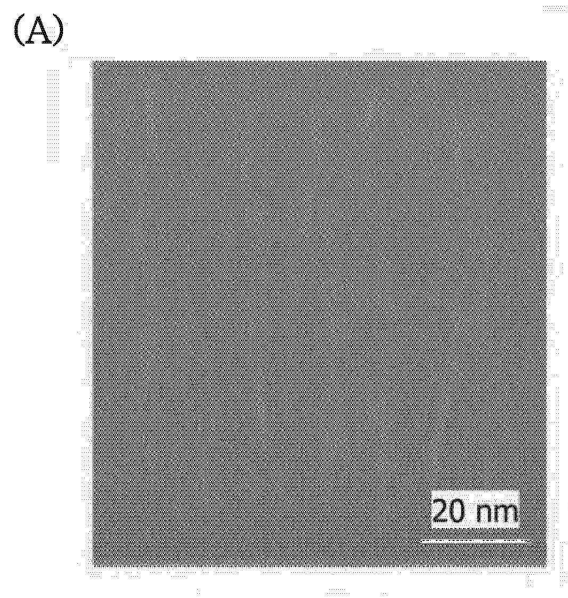
도면40



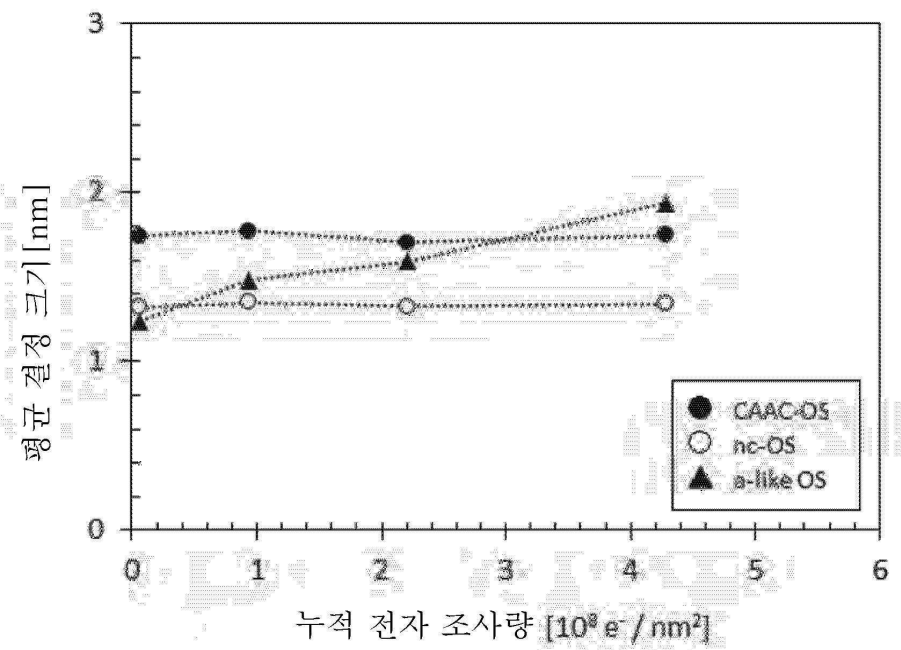
도면41



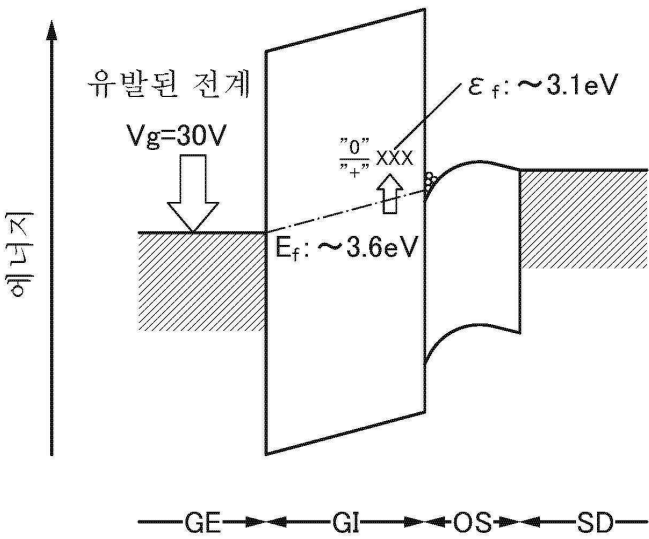
도면42



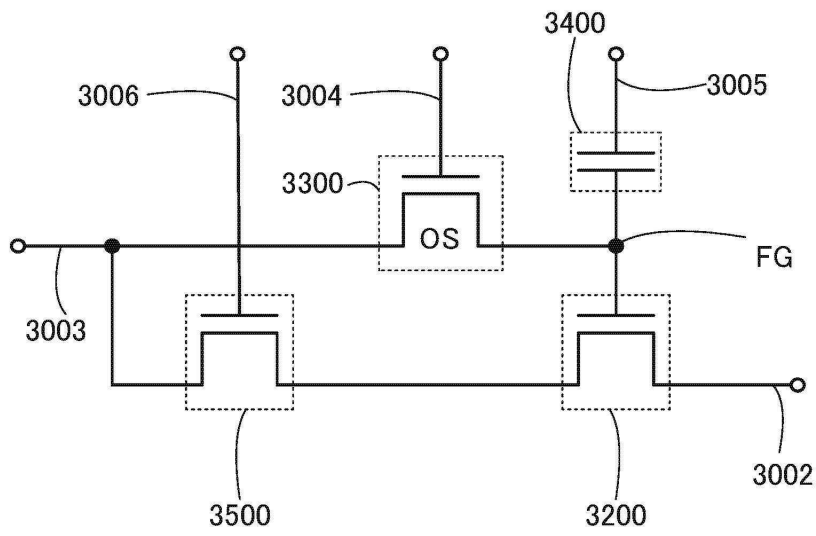
도면43



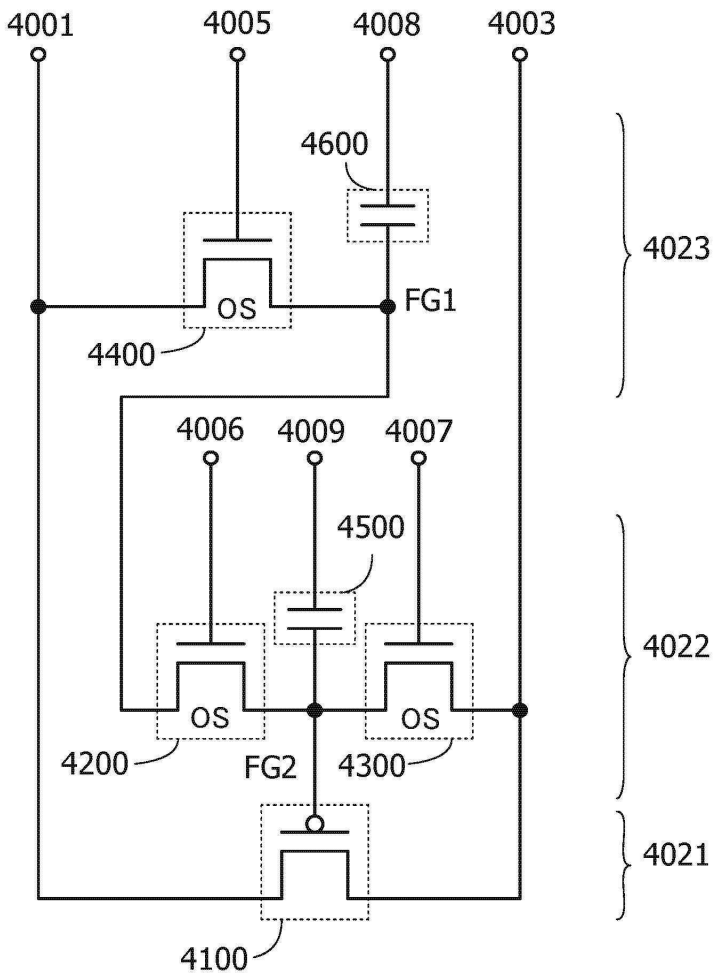
도면44



도면45

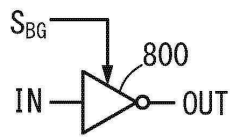


도면46

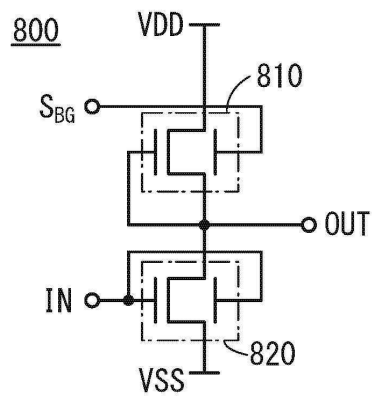


도면47

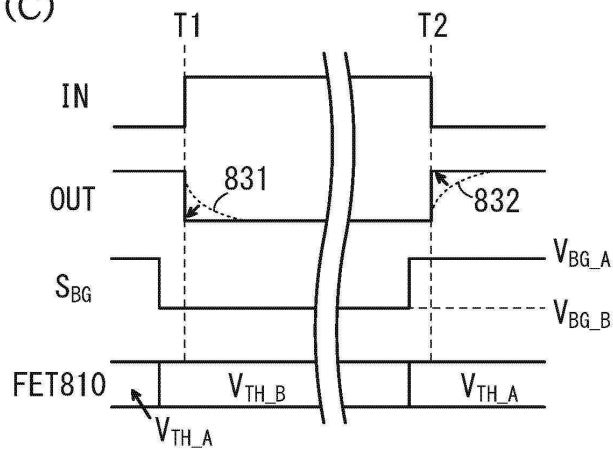
(A)



(B)

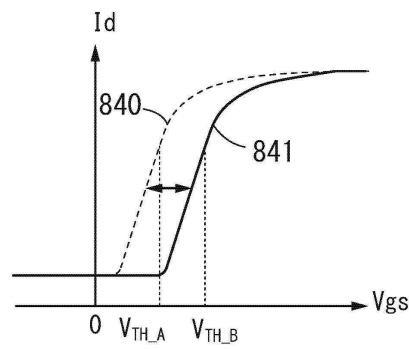


(C)

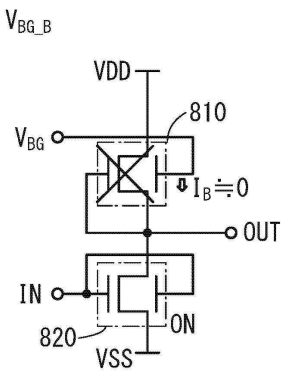


도면48

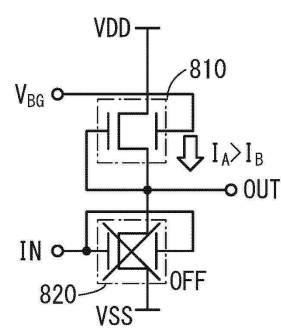
(A)



(B)

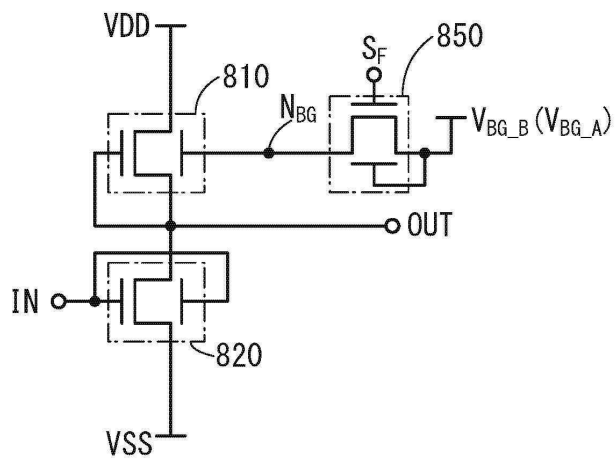


(C) V_{BG_A}

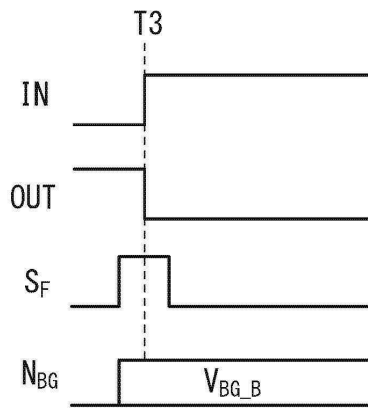


도면49

(A)

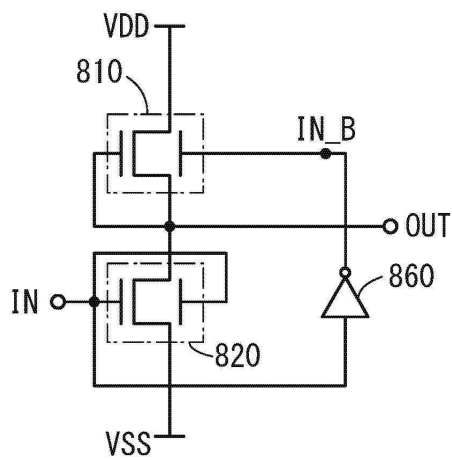


(B)

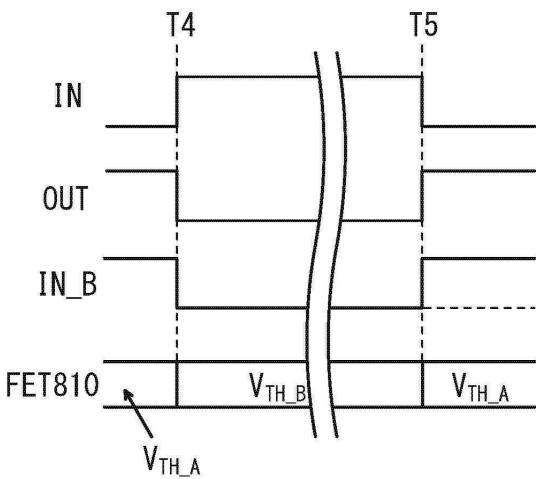


도면50

(A)

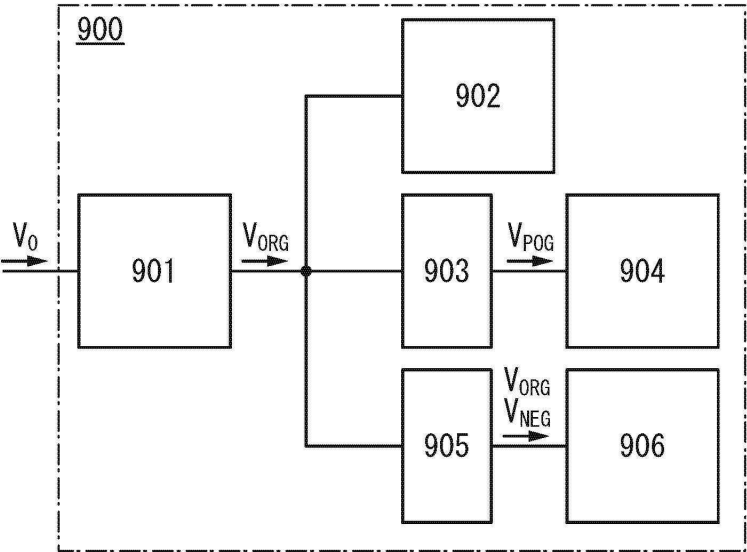


(B)

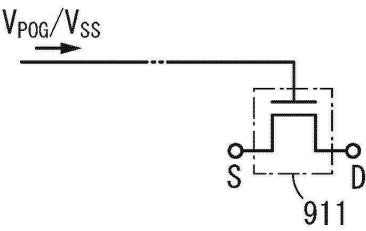


도면51

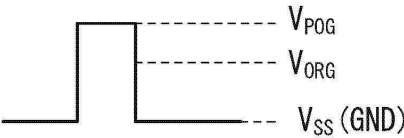
(A)



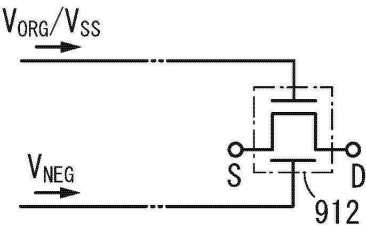
(B)



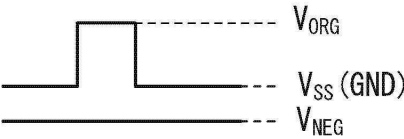
(C)



(D)

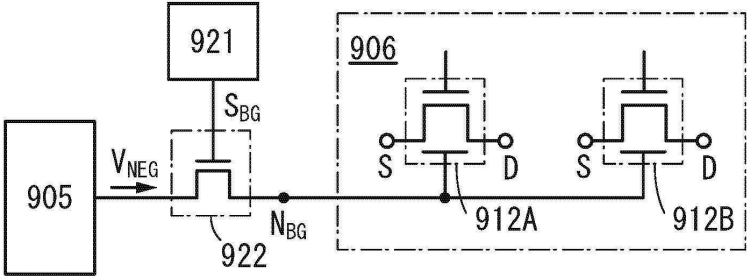


(E)

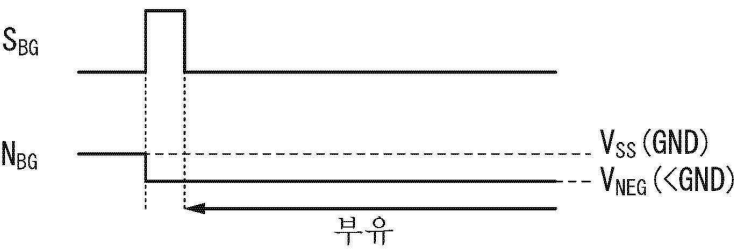


도면52

(A)



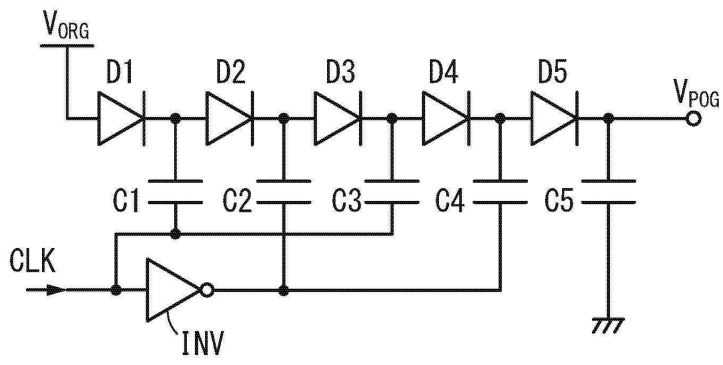
(B)



도면53

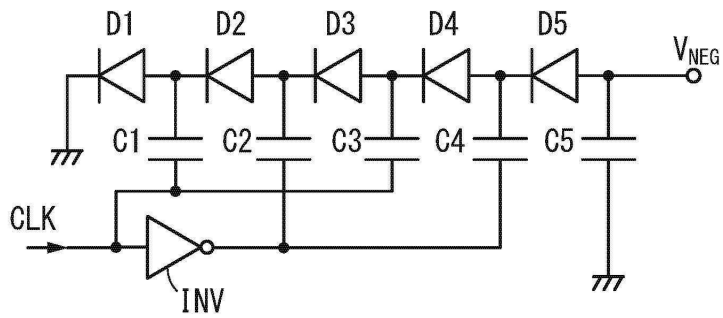
(A)

903



(B)

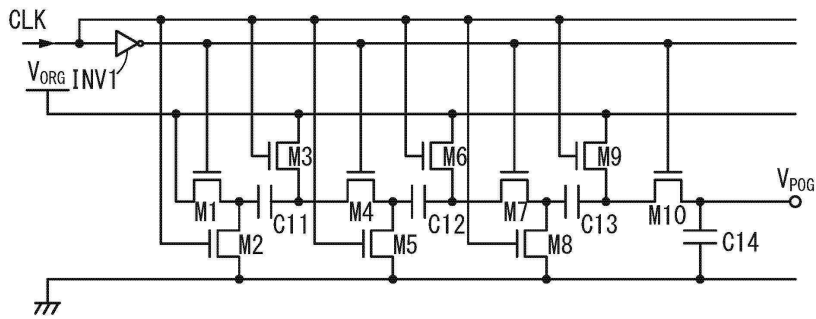
905



도면54

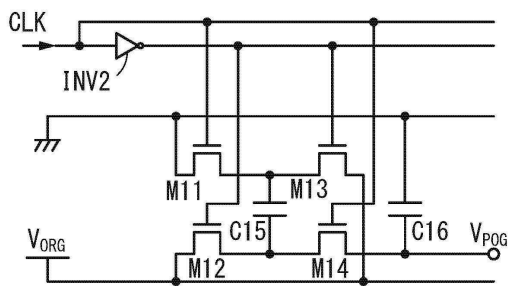
(A)

903A



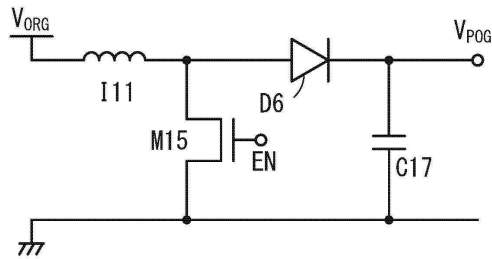
(B)

903B



(C)

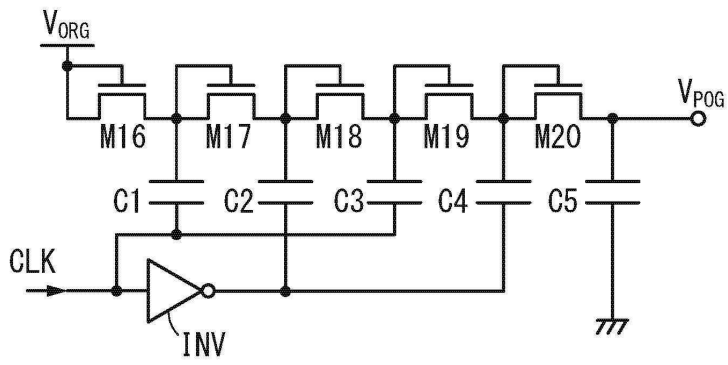
903C



도면55

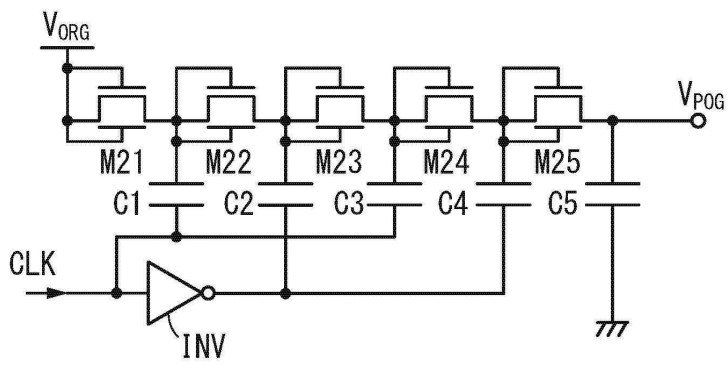
(A)

903D



(B)

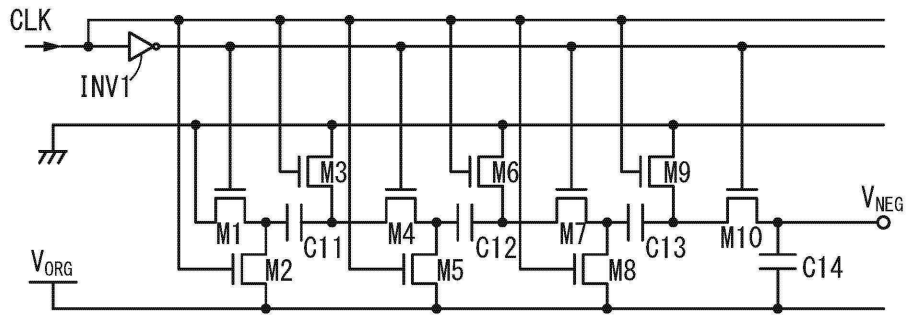
903E



도면56

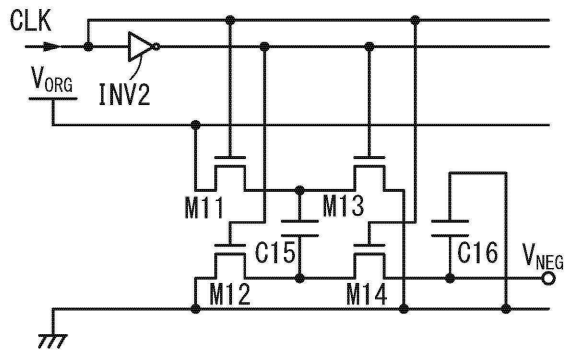
(A)

905A



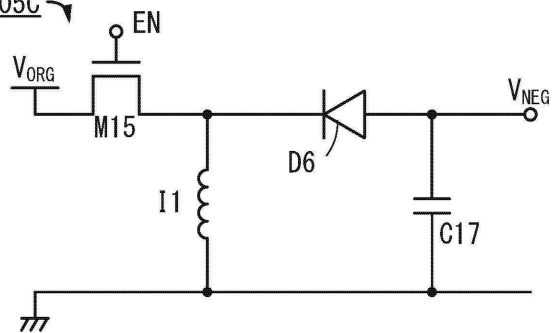
(B)

905B



(C)

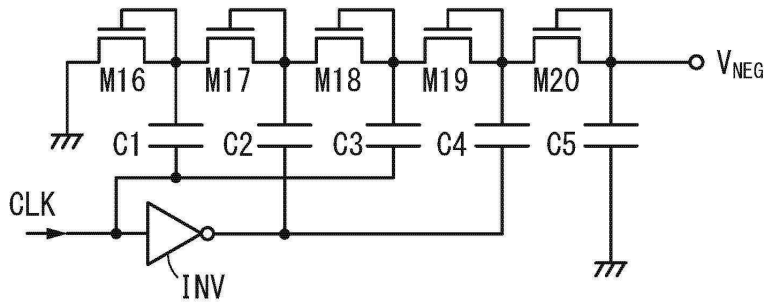
905C



도면57

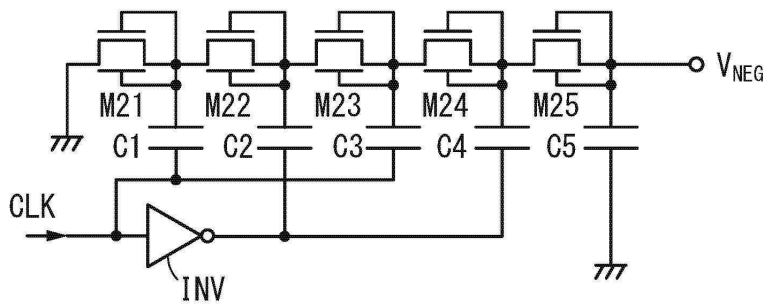
(A)

905D



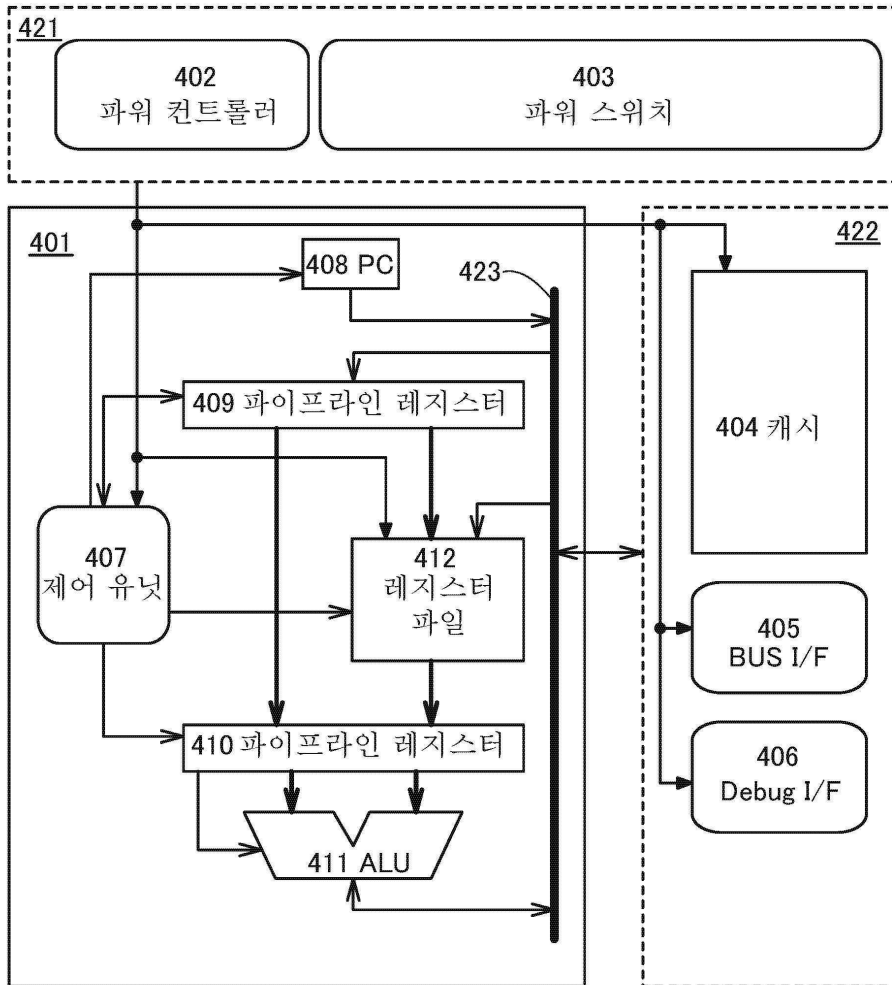
(B)

905E

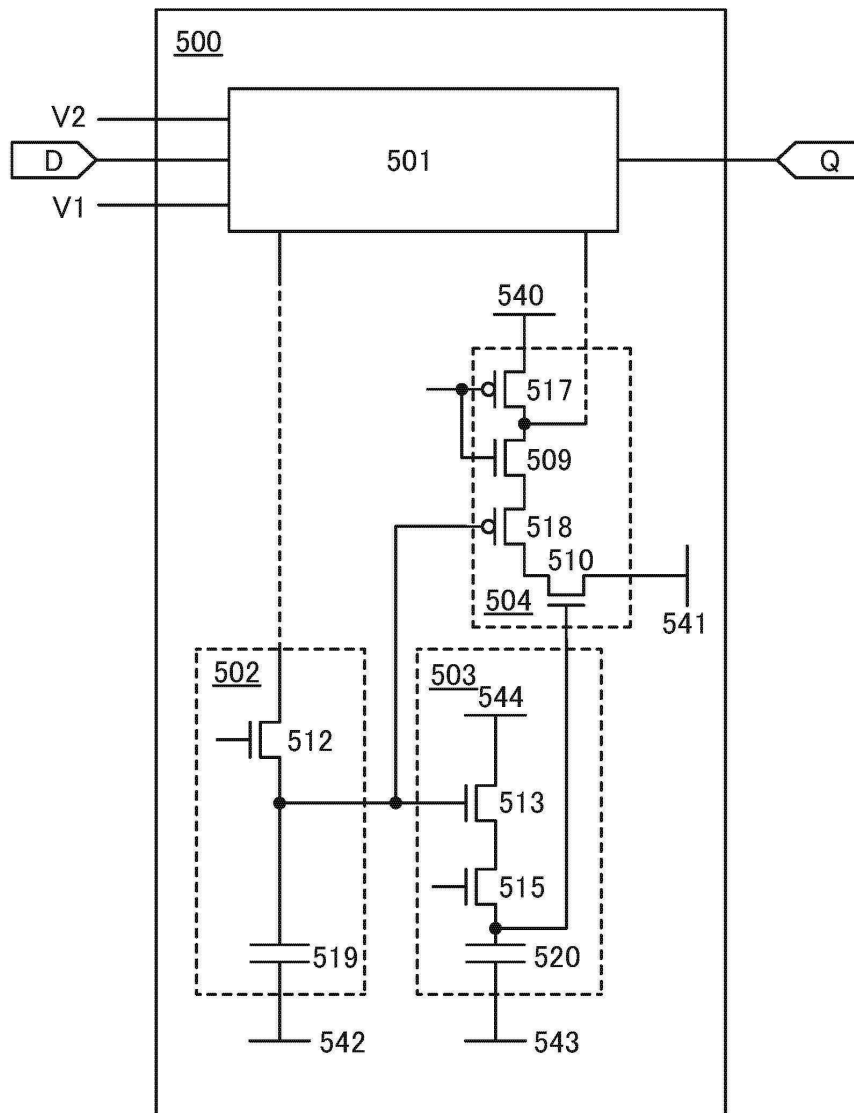


도면58

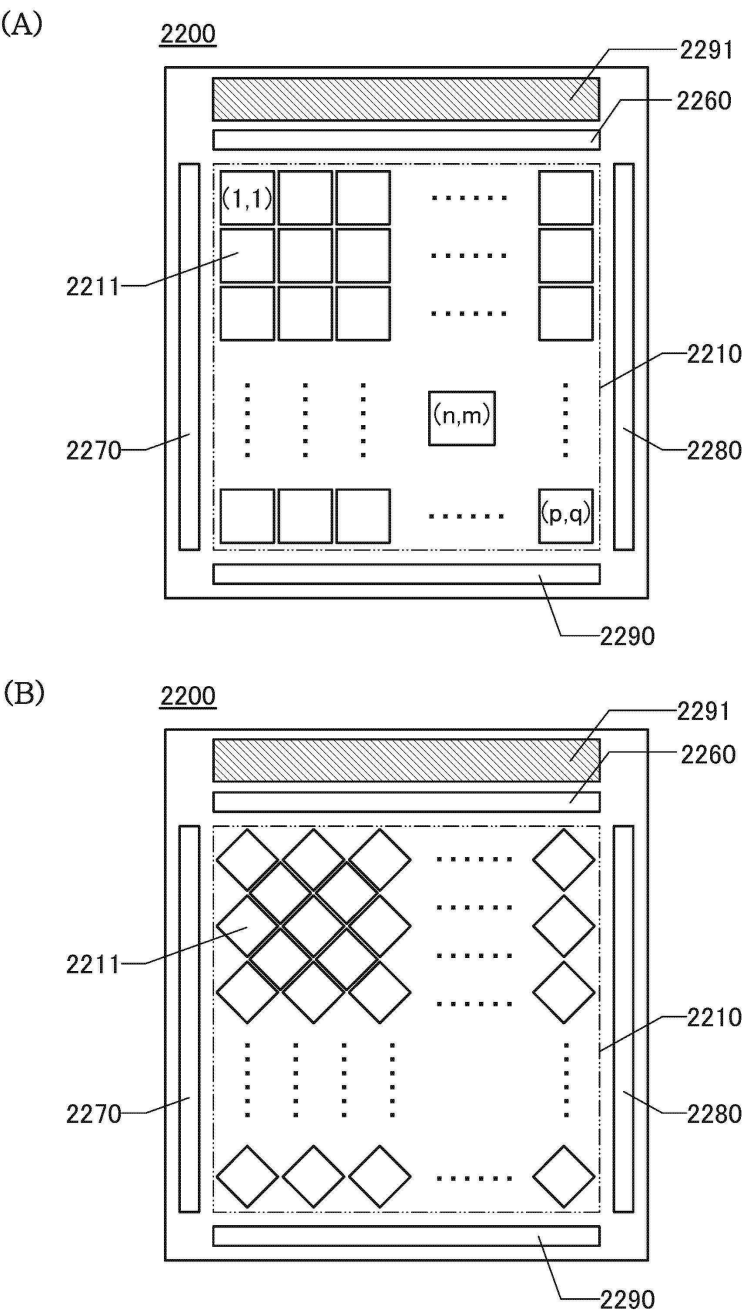
400



도면59

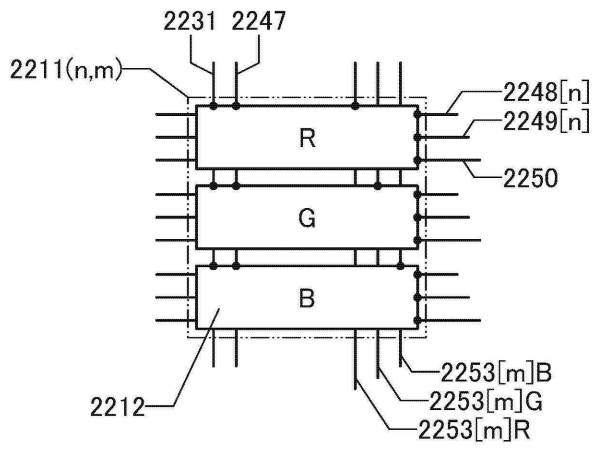


도면60

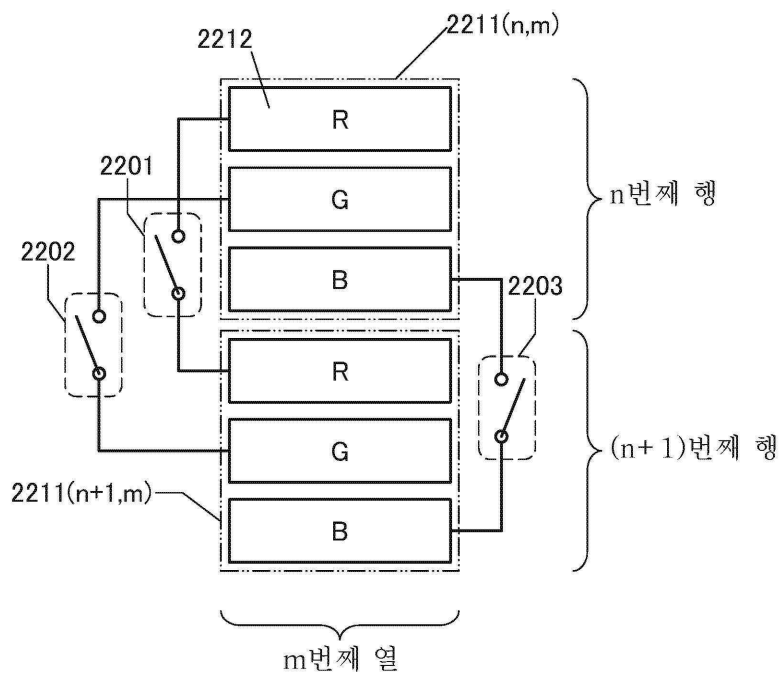


도면61

(A)

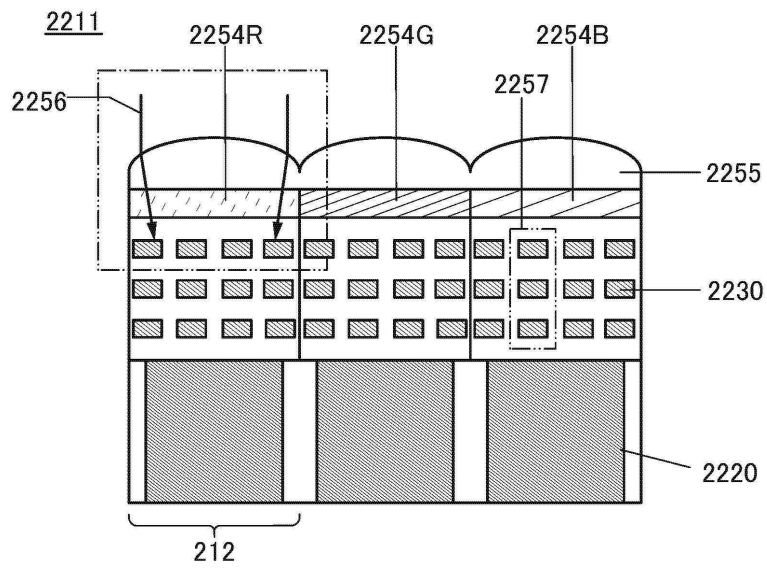


(B)

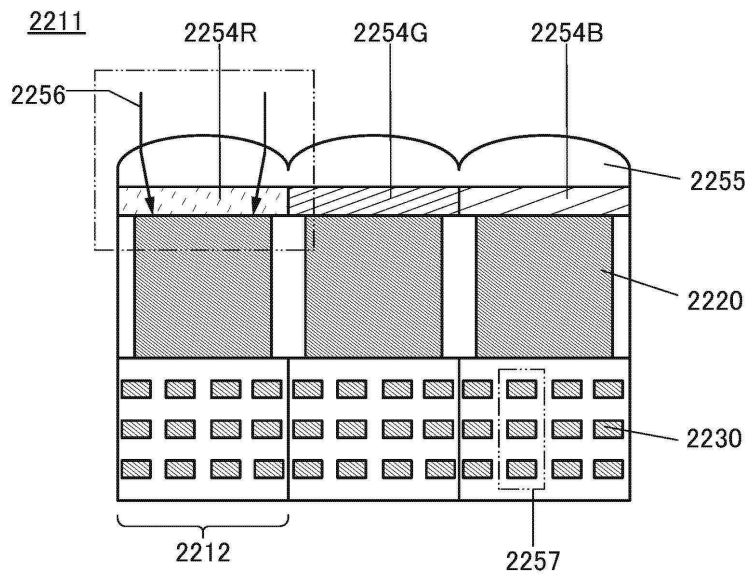


도면62

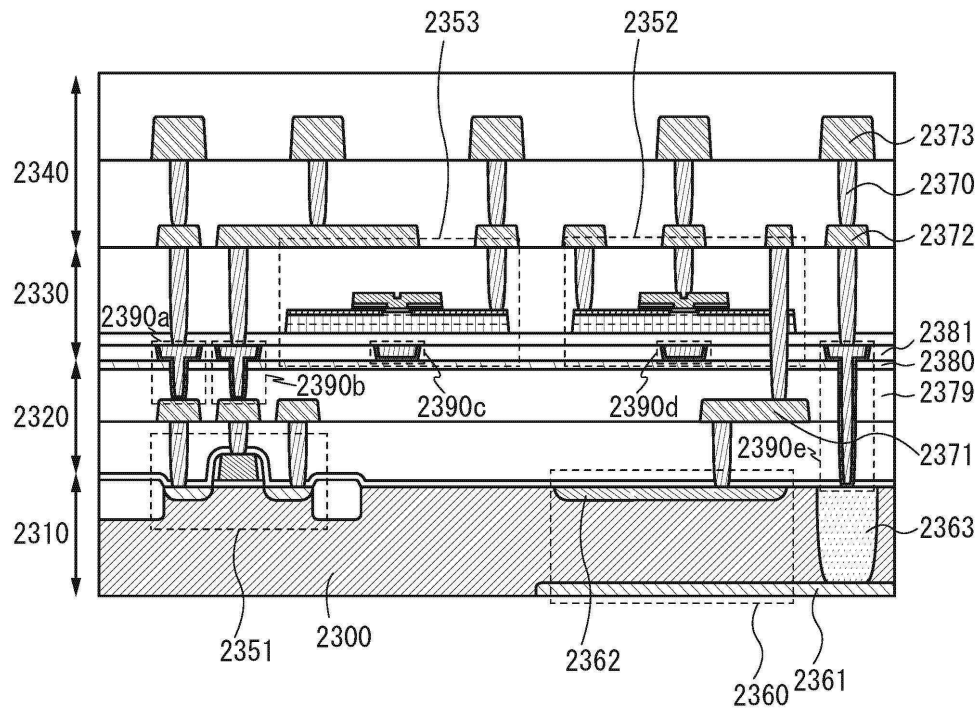
(A)



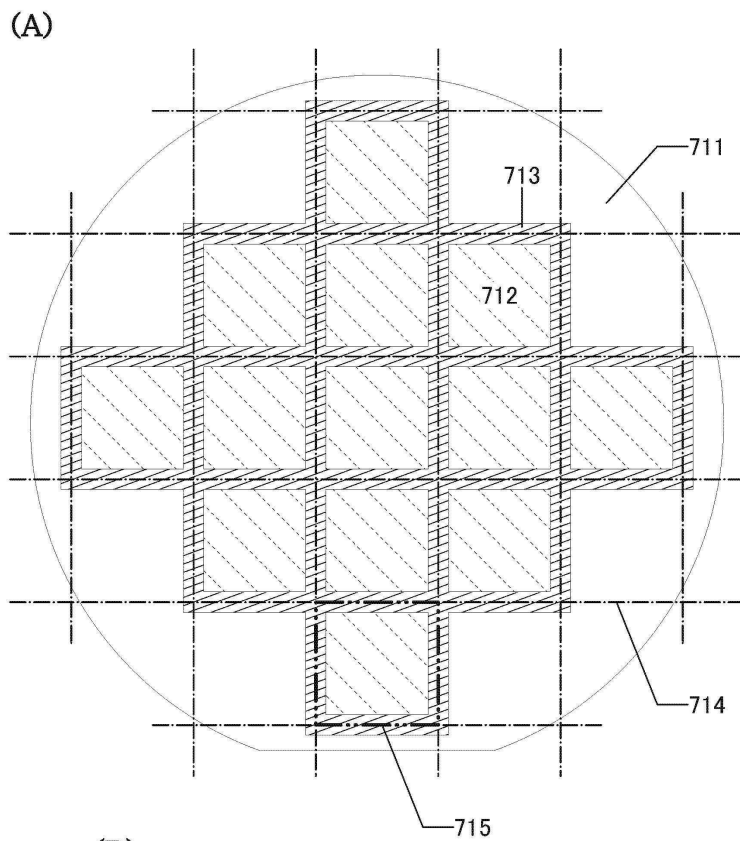
(B)



도면63

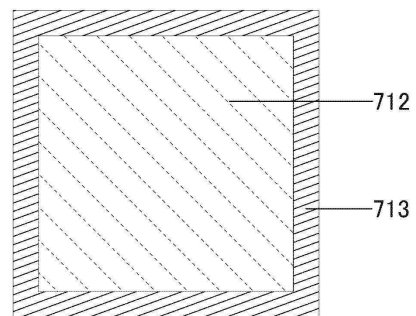


도면64



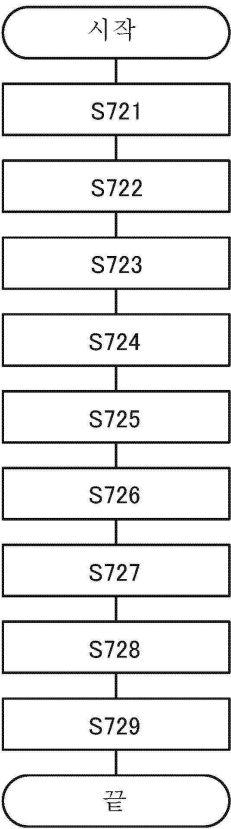
(B)

715

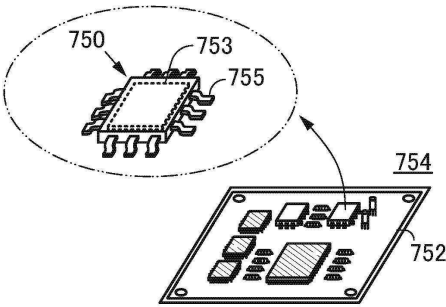


도면65

(A)



(B)



도면66

