

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2008-42380

(P2008-42380A)

(43) 公開日 平成20年2月21日(2008.2.21)

(51) Int. Cl.		F I		テーマコード (参考)	
H03M	1/08	(2006.01)	H03M	1/08	5 J O 2 2
H03M	1/16	(2006.01)	H03M	1/16	A
H03M	1/38	(2006.01)	H03M	1/38	
H03M	1/36	(2006.01)	H03M	1/36	

審査請求 未請求 請求項の数 6 O L (全 26 頁)

(21) 出願番号	特願2006-211907 (P2006-211907)	(71) 出願人	000005821
(22) 出願日	平成18年8月3日 (2006.8.3)		松下電器産業株式会社
			大阪府門真市大字門真1006番地
		(74) 代理人	100077931
			弁理士 前田 弘
		(74) 代理人	100110939
			弁理士 竹内 宏
		(74) 代理人	100110940
			弁理士 嶋田 高久
		(74) 代理人	100113262
			弁理士 竹内 祐二
		(74) 代理人	100115059
			弁理士 今江 克実
		(74) 代理人	100115691
			弁理士 藤田 篤史

最終頁に続く

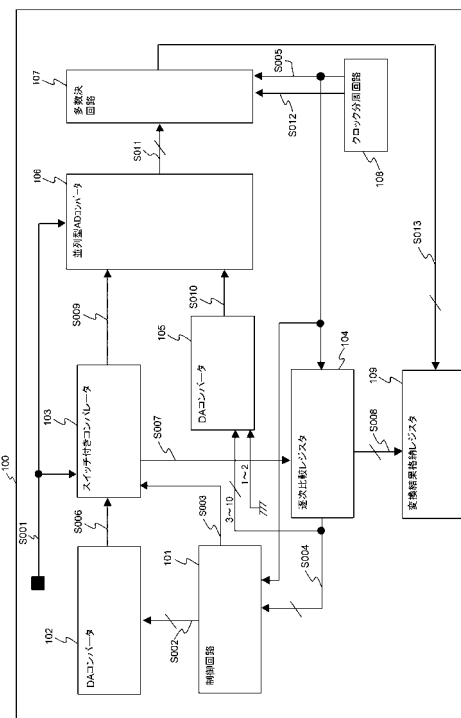
(54) 【発明の名称】 アナログ・デジタル変換器

(57) 【要約】

【課題】 A / D 変換器の内部でノイズが発生した場合にも、精度を損なうことなく A / D 変換が可能な A / D 変換器を提供する。

【解決手段】 制御回路 101、DA コンバータ 102、スイッチ付きコンパレータ 103、逐次比較レジスタ 104、及び DA コンバータ 105 によって、アナログ入力信号 S001 を上位ビットと下位ビットに分けたうちの上位ビット部分を出力する上位ビット用 A/D 変換部を構成し、また下位ビット用に並列型 A/D コンバータ 106 を設ける。そして、多数決回路 107 によって、並列型 A/D コンバータ 106 の出力 (A/D 変換結果) を複数回サンプリングして、多数決により、下位ビットにおける各ビットの値を決定して出力する。

【選択図】 図 1



【特許請求の範囲】

【請求項 1】

アナログ入力信号に対応したデジタル信号を出力するアナログ・デジタル変換器であって、

前記アナログ入力信号を A/D 変換して、前記デジタル信号を上位ビットと下位ビットに分けたうちの上位ビット部分を出力する上位ビット用 A/D 変換部と、

前記アナログ入力信号を A/D 変換して、前記下位ビット部分を出力する下位ビット用 A/D 変換部と、

前記下位ビット用 A/D 変換部による A/D 変換結果を複数回サンプリングして、多数決により、前記下位ビットにおける各ビットの値を決定して出力する多数決回路と、

10

を備えたことを特徴とするアナログ・デジタル変換器。

【請求項 2】

請求項 1 のアナログ・デジタル変換器であって、

全てが 1 である下位ビットを前記上位ビットに付加して生成した参照電圧生成用デジタルデータに応じて、抵抗値が可変する可変抵抗回路をさらに備え、

前記可変抵抗回路は、前記参照電圧生成用デジタルデータを D/A 変換して得た電圧を抵抗分圧して出力し、

前記下位ビット用 A/D 変換部は、前記可変抵抗回路が抵抗分圧した電圧を、参照電圧として使用するように構成されていることを特徴とするアナログ・デジタル変換器。

20

【請求項 3】

請求項 1 のアナログ・デジタル変換器であって、

前記下位ビット用 A/D 変換部は、前記下位ビットのビット長を可変できるように構成されていることを特徴とするアナログ・デジタル変換器。

【請求項 4】

請求項 1 のアナログ・デジタル変換器であって、

前記多数決回路は、前記サンプリング回数を可変できるように構成されていることを特徴とするアナログ・デジタル変換器。

【請求項 5】

請求項 4 のアナログ・デジタル変換器であって、

前記多数決回路は、ノイズの周期に応じて、前記サンプリング回数を可変するように構成されていることを特徴とするアナログ・デジタル変換器。

30

【請求項 6】

請求項 4 のアナログ・デジタル変換器であって、

多数決時にサンプリングされた “1” 及び “0” の頻度を求め、前記頻度に応じて、前記多数決回路におけるサンプリング回数を制御するサンプリング数決定回路をさらに備えたことを特徴とするアナログ・デジタル変換器。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、アナログ信号に対応したデジタル信号を出力するアナログ・デジタル変換器に関するものである。

40

【背景技術】

【0002】

アナログ・デジタル変換器（以下、A/D 変換器とも記す）では、アナログ信号をデジタル信号に変換する際に、外的要因（ノイズ）によって精度を損なう場合がある。これに対しては、例えば、アナログ信号に重畳している交流成分の周期の 1/2 の周期分の時間間隔でアナログデータ信号を偶数回読み込んで加算するようにすることによって、入力されたアナログ信号のノイズの影響を除去するようにしたものがある（例えば特許文献 1 を参照）。

【特許文献 1】特開平 9 - 55658 号公報

50

【発明の開示】

【発明が解決しようとする課題】

【0003】

しかしながら、上記のA/D変換器によるノイズ除去は、入力されたアナログ信号に重畳しているノイズに対しては有効ではあるが、A/D変換器の内部でノイズが発生した場合には、有効ではない。

【0004】

本発明は上記の問題に着目してなされたものであり、A/D変換器の内部でノイズが発生した場合にも、精度を損なうことなくA/D変換が可能なA/D変換器を提供することを目的としている。

10

【課題を解決するための手段】

【0005】

前記の課題を解決するため、本発明の一態様は、

アナログ入力信号に対応したデジタル信号を出力するアナログ・デジタル変換器であって、

前記アナログ入力信号をAD変換して、前記デジタル信号を上位ビットと下位ビットに分けたうちの上位ビット部分を出力する上位ビット用AD変換部と、

前記アナログ入力信号をAD変換して、前記下位ビット部分を出力する下位ビット用AD変換部と、

前記下位ビット用AD変換部によるAD変換結果を複数回サンプリングして、多数決により、前記下位ビットにおける各ビットの値を決定して出力する多数決回路と、

20

を備えたことを特徴とする。

【0006】

これにより、A/D変換出力の下位ビットが、多数決により決定される。それゆえ、A/D変換器の内部でノイズが発生した場合でも、精度を損なうことなくA/D変換を行なうことが可能になる。

【発明の効果】

【0007】

本発明によれば、ノイズの影響を受けやすい下位ビットの出力を、多数決により決定するので、A/D変換器の内部でノイズが発生した場合でも、精度を損なうことなくA/D変換を行なうことが可能になる。

30

【発明を実施するための最良の形態】

【0008】

以下、本発明の実施形態について図面を参照しながら説明する。なお、以下の各実施形態の説明において、一度説明した構成要素と同様の機能を有する構成要素については、同一の符号を付して説明を省略する。

【0009】

《発明の実施形態1》

図1は、本発明の実施形態1に係るアナログ・デジタル変換器100の構成を示すブロック図である。アナログ・デジタル変換器100は、入力されたアナログ入力信号S001をAD変換して、アナログ入力信号S001に対応したデジタル信号を出力する装置である。アナログ・デジタル変換器100は、図1に示すように、制御回路101、DAコンバータ102、スイッチ付きコンパレータ103、逐次比較レジスタ104、DAコンバータ105、並列型ADコンバータ106、多数決回路107、クロック分周回路108、及び変換結果格納レジスタ109を備えている。

40

【0010】

これらのうち、制御回路101、DAコンバータ102、スイッチ付きコンパレータ103、及び逐次比較レジスタ104によって構成された回路は、逐次比較型ADコンバータ（後述）として第1の動作モードと、並列型ADコンバータ106の参照電圧の生成するためのデジタルデータ（参照電圧用データ）を出力する第2の動作モードとがある。

50

この動作モードは、所定の周期で切り替わる。

【 0 0 1 1 】

以下、各構成要素について説明する。

【 0 0 1 2 】

(制御回路 1 0 1)

制御回路 1 0 1 は、上記の 2 つの動作モードに応じて、スイッチ付きコンパレータ 1 0 3 等の動作を制御するようになっている。具体的には、第 1 の動作モードと、第 2 の動作モードとで、値が異なるデジタル制御信号 S 0 0 2 を生成して D A コンバータ 1 0 2 に出力する。また、所定の周期（後述）で、論理値が “ 1 ” になるデジタル制御信号 S 0 0 3 を、スイッチ付きコンパレータ 1 0 3 に出力する。なお、デジタル制御信号 S 0 0 2 は、デジタル制御信号 S 0 0 3 に応じて、下位ビットの値が切り替わる。本実施形態では、デジタル制御信号 S 0 0 3 の論理値が “ 0 ” の場合には、デジタル制御信号 S 0 0 2 は、逐次比較レジスタ 1 0 4 が出力した信号（デジタル信号 S 0 0 4 ）であり、デジタル制御信号 S 0 0 3 の論理値が “ 1 ” の場合には、デジタル信号 S 0 0 4 の下位の 2 ビットを、両方とも 1 に置き換えた信号である。

10

【 0 0 1 3 】

制御回路 1 0 1 は、例えば、図 2 のように構成することができる。図 2 の例では、制御回路 1 0 1 は、変換回数ダウンカウンタ 1 0 1 a と、N O R 回路 1 0 1 b と、セクタ 1 0 1 c ~ 1 0 1 d とを備えている。

【 0 0 1 4 】

20

変換回数ダウンカウンタ 1 0 1 a は、クロック信号 S 0 0 5 の立ち上がり変化タイミングでダウンカウントを行なう 4 ビットのダウンカウンタである。変換回数ダウンカウンタ 1 0 1 a の初期値は “ 0 1 1 0 ” である。すなわち、変換回数ダウンカウンタ 1 0 1 a は、6 から 0 までのダウンカウントを行い、4 ビットのカウント結果を出力する。

【 0 0 1 5 】

N O R 回路 1 0 1 b は、変換回数ダウンカウンタ 1 0 1 a のカウント結果（4 ビット）が入力された N O R 回路である。N O R 回路 1 0 1 b の出力（デジタル制御信号 S 0 0 3 ）は、変換回数ダウンカウンタ 1 0 1 a から “ 0 ” が出力される周期で “ 1 ” になる。

【 0 0 1 6 】

セクタ 1 0 1 c は、N O R 回路 1 0 1 b の出力に応じて、“ 1 ” 及びデジタル信号 S 0 0 4 の最下位 1 ビットの何れかを選択して出力するセクタである。具体的には、N O R 回路 1 0 1 b の出力が “ 1 ” の場合に、“ 1 ” を出力し、N O R 回路 1 0 1 b の出力が “ 0 ” の場合に、デジタル信号 S 0 0 4 の最下位 1 ビットを出力する。また、セクタ 1 0 1 d は、N O R 回路 1 0 1 b の出力に応じて、“ 1 ” 及びデジタル信号 S 0 0 4 の最下位から 2 ビット目の何れかを選択して出力するセクタである。セクタ 1 0 1 d は、N O R 回路 1 0 1 b の出力が “ 1 ” の場合に、“ 1 ” を出力し、N O R 回路 1 0 1 b の出力が “ 0 ” の場合に、デジタル信号 S 0 0 4 の最下位から 2 ビット目を出力する。

30

【 0 0 1 7 】

(D A コンバータ 1 0 2)

D A コンバータ 1 0 2 は、デジタル制御信号 S 0 0 2 をアナログ信号に変換して出力するようになっている。

40

【 0 0 1 8 】

(スイッチ付きコンパレータ 1 0 3)

スイッチ付きコンパレータ 1 0 3 は、D A コンバータ 1 0 2 の出力（D A 出力電圧 S 0 0 6 ）を並列型 A D コンバータ 1 0 6 に出力するか、アナログ入力信号 S 0 0 1 と D A 出力電圧 S 0 0 6 との比較結果（コンパレータ出力 S 0 0 7 ）を逐次比較レジスタ 1 0 4 に出力するかを、デジタル制御信号 S 0 0 3 に応じて切り替えるようになっている。

【 0 0 1 9 】

スイッチ付きコンパレータ 1 0 3 は、例えば、図 3 のように構成することができる。図 3 の例では、スイッチ付きコンパレータ 1 0 3 は、アナログスイッチ 1 0 3 a と、アナロ

50

グスイッチ 103b と、NOT 回路 103c と、コンパレータ 103d とを備えている。これらのうち、アナログスイッチ 103a と、アナログスイッチ 103b と、NOT 回路 103c とによってスイッチ回路が構成されている。このスイッチ回路によって、デジタル制御信号 S003 が“1”の場合に、DA 出力電圧 S006 がアナログスイッチ 103a を介して並列型 AD コンバータ 106 に入力され、デジタル制御信号 S003 が“0”の場合に、DA 出力電圧 S006 がアナログスイッチ 103b を介してコンパレータ 103d の反転入力端子(-)に入力される。

【0020】

このコンパレータ 103d の非反転入力端子(+)には、アナログ入力信号 S001 が入力されており、DA 出力電圧 S006 とアナログ入力信号 S001 との電圧比較の結果(コンパレータ出力 S007)を出力するようになっている。詳しくは、コンパレータ 103d は、アナログ入力信号 S001 の電圧が DA 出力電圧 S006 よりも高い場合に、“1”のコンパレータ出力 S007 を出力し、アナログ入力信号 S001 の電圧が DA 出力電圧 S006 以下の場合に“0”のコンパレータ出力 S007 を出力する。

10

【0021】

(逐次比較レジスタ 104)

逐次比較レジスタ 104 は、クロック信号 S005 に同期して動作し、コンパレータ出力 S007 に応じて、出力(デジタル信号 S004)の値を変化させるようになっている。逐次比較レジスタ 104 は、具体的には、コンパレータ出力 S007 が“1”の場合(アナログ入力信号 S001 の電圧が DA 出力電圧 S006 よりも高い場合)には、デジタル信号 S004 を現状よりも大きな値に変化させ、コンパレータ出力 S007 が“0”の場合(アナログ入力信号 S001 の電圧が DA 出力電圧 S006 以下の場合)には、デジタル信号 S004 を現状よりも小さな値に変化させる。また、逐次比較レジスタ 104 は、デジタル信号 S004 の上位ビット取り出して、変換結果格納レジスタ 109 に出力するようになっている。本実施形態では、デジタル信号 S004 は 10 ビットの信号であり、変換結果格納レジスタ 109 にはデジタル信号 S004 の上位 8 ビット分(上位ビット信号 S008)を出力する。

20

【0022】

上記の制御回路 101、DA コンバータ 102、スイッチ付きコンパレータ 103、及び逐次比較レジスタ 104 を合わせて、上位ビット用 AD 変換部と呼ぶことにする。

30

【0023】

(DA コンバータ 105)

DA コンバータ 105 は、入力されたデジタル信号をアナログ信号に変換して出力するようになっている。本実施形態では、DA コンバータ 105 に入力されるデジタル信号は、1 ~ 2 ビットには、何れも“0”が入力され、3 ~ 10 ビットにはデジタル信号 S004 の上位の 8 ビットが入力されている。

【0024】

(並列型 AD コンバータ 106 : 下位ビット用 AD 変換部)

並列型 AD コンバータ 106 は、スイッチ付きコンパレータ 103 の出力(第 1 の参照電圧 S009)と、DA コンバータ 105 の出力(第 2 の参照電圧 S010)とを基準電圧として用いてアナログ入力信号 S001 をデジタル信号(本実施形態では、2 ビットのデジタル信号)に変換(AD 変換)するようになっている。

40

【0025】

(多数決回路 107)

多数決回路 107 は、並列型 AD コンバータ 106 の出力(デジタル信号 S011)を所定回数読み込んで、ビット毎に多数決を行なって、そのビットの出力を“0”か“1”に決定し、変換結果格納レジスタ 109 に出力するようになっている。

【0026】

多数決回路 107 は、例えば、図 4 のように構成することができる。多数決回路 107 は、図 4 の例では、1 ビット単位で多数決を行なって、そのビットの出力を“0”か“1

50

”に決定する単ビット多数決回路1010を2組備えている。一方の単ビット多数決回路1010には、デジタル信号S011の1ビット目が入力され、他方の単ビット多数決回路1010には、デジタル信号S011の2ビット目が入力されている。

【0027】

単ビット多数決回路1010は、加算回路1011、8ビットレジスタ1012、ビット選択回路1013、及びフリップフロップ1014を備えている。

【0028】

加算回路1011は、クロック信号S012の立ち上がり変化タイミングで、デジタル信号S011の値(1ビット分)と、8ビットレジスタ1012に格納されている値とを加算し、結果を8ビットレジスタ1012に格納するようになっている。

10

【0029】

8ビットレジスタ1012は、クロック信号S012に同期して動作する8ビットのレジスタである。

【0030】

ビット選択回路1013は、クロック信号S005の立ち上がり変化タイミングで、8ビットレジスタ1012の3ビット目のデータを、フリップフロップ1014に格納するようになっている。

【0031】

フリップフロップ1014は、クロック信号S005立ち上がり変化タイミングで、ビット選択回路1013の出力を保持するようになっている。

20

【0032】

(クロック分周回路108)

クロック分周回路108は、クロック信号S012とクロック信号S005とを生成して出力するようになっている。本実施形態では、加算回路1011で7回の加算が行われた後に、フリップフロップ1014の出力が保持されるように、クロック信号S012とクロック信号S005との周波数の比が設定されている。

【0033】

すなわち、この周波数の設定により、単ビット多数決回路1010は、7回の読み込み(サンプリング)を行なったうちの、4回以上が“1”である場合に、“1”を出力する。

30

【0034】

(変換結果格納レジスタ109)

変換結果格納レジスタ109は、上位ビット信号S008と、多数決回路107の出力(下位ビット信号S013)とを格納するようになっている。変換結果格納レジスタ109は、10ビットのレジスタであり、上位の8ビットに上位ビット信号S008が格納され、下位の2ビットに下位ビット信号S013が格納される。

【0035】

(アナログ・デジタル変換器100の動作)

制御回路101の変換回数ダウンカウンタ101aがカウントダウンを開始し、カウント値が1以上の間は、デジタル制御信号S003の論理値は“0”である。

40

【0036】

デジタル制御信号S003の論理値が“0”の間は、制御回路101は、デジタル制御信号S002として、デジタル信号S004をDAコンバータ102に出力する。それにより、DAコンバータ102は、DA出力電圧S006として、デジタル信号S004(デジタル制御信号S002)をDA変換した信号をスイッチ付きコンパレータ103に出力する。

【0037】

スイッチ付きコンパレータ103では、アナログスイッチ103bがオンになり、コンパレータ103dにDA出力電圧S006が入力される。コンパレータ103dは、アナログ入力信号S001とDA出力電圧S006とを比較し、コンパレータ出力S007を

50

逐次比較レジスタ104に出力する。それにより、逐次比較レジスタ104は、コンパレータ出力S007が“1”の場合には、デジタル信号S004を現状よりも大きな値に変化させ、コンパレータ出力S007が“0”の場合には、デジタル信号S004を現状よりも小さな値に変化させる。さらに、逐次比較レジスタ104は、デジタル信号S004の上位8ビットを変換結果格納レジスタ109に出力する。

【0038】

デジタル制御信号S003の論理値が“0”の間に、制御回路101、DAコンバータ102、スイッチ付きコンパレータ103、及び逐次比較レジスタ104が、クロック信号S005に同期して、上記のように動作すると、アナログ入力信号S001をAD変換した結果のうちの上位の8ビット分が変換結果格納レジスタ109に格納される。すなわち、デジタル制御信号S003の論理値が“0”の間は、制御回路101、DAコンバータ102、スイッチ付きコンパレータ103、及び逐次比較レジスタ104によって構成された回路は、逐次比較型ADコンバータとして動作する。

【0039】

変換回数ダウンカウンタ101aのカウント値が“0000”になると、デジタル制御信号S003の論理値は“1”になる。デジタル制御信号S003の論理値が“1”になると、制御回路101は、デジタル制御信号S002として、デジタル信号S004の下位の2ビットのそれぞれを1に置き換えた信号をDAコンバータ102に出力する。そして、DAコンバータ102は、その信号をDA変換してスイッチ付きコンパレータ103に出力する。

【0040】

スイッチ付きコンパレータ103では、アナログスイッチ103aがオンになり、第1の参照電圧S009としてDA出力電圧S006が並列型ADコンバータ106に入力される。また、DAコンバータ105には、下位の1～2ビットの両方に“0”が入力され、3～10ビットにデジタル信号S004の上位の8ビットが入力される。DAコンバータ105は、これをDA変換し、第2の参照電圧S010として、並列型ADコンバータ106に出力する。

【0041】

並列型ADコンバータ106は、第1の参照電圧S009と第2の参照電圧S010とを基準にしてアナログ入力信号S001をAD変換し、変換結果を多数決回路107に出力する。第1の参照電圧S009は、アナログ入力信号S001をAD変換した信号の下位2ビットを何れも1にし、それをDA変換した信号である。また、第2の参照電圧S010は、アナログ入力信号S001をAD変換した信号の下位2ビットを何れも0にし、それをDA変換した信号である。したがって、デジタル信号S011は、アナログ入力信号S001をAD変換した信号の下位2ビット分に相当する。

【0042】

多数決回路107は、クロック信号S012に同期して、並列型ADコンバータ106の出力を7回読み込んで、ビット毎に多数決を行なって、そのビットの出力を“0”か“1”に決定し、変換結果格納レジスタ109に出力する。これにより、逐次比較レジスタ104が出力した上位8ビットと合わせて、変換結果格納レジスタ109には、アナログ入力信号S001をAD変換した10ビット分のデータが格納される。

【0043】

上記のように、本実施形態では、アナログ入力信号S001をAD変換したデータのうちの低位2ビットは、アナログ入力信号S001が複数回AD変換され、それらの結果が多数決されて求められる。すなわち、ノイズの影響を受けやすい低位ビットの信頼性を多数決により向上することが可能になる。しかも、ノイズがアナログ・デジタル変換器100の内部で発生した場合であっても、その影響を低減することが可能になる。

【0044】

《発明の実施形態2》

図5は、本発明の実施形態2に係るアナログ・デジタル変換器200の構成を示すブ

10

20

30

40

50

ロック図である。図 5 に示すように、アナログ・デジタル変換器 200 は、アナログ・デジタル変換器 100 の D/A コンバータ 105 を、図 6 に示す可変抵抗回路 201 に置き換えたものである。

【0045】

可変抵抗回路 201 は、デジタル制御信号 S002 に基づき、第 1 の参照電圧 S009 の抵抗分圧を行い第 2 の参照電圧 S010 を生成する回路である。具体的には、可変抵抗回路 201 は、図 6 に示すように、デコーダ 2010、9 個のアナログスイッチ 2020 (2020-1、2020-3~2020-10)、抵抗回路 2030~2039、10 個のアナログスイッチ 2040、及び NOT 回路 2050 を備えている。

【0046】

デコーダ 2010 は、NOT 回路 2050 の出力信号 (後述するように 10 ビットの信号) に応じて、各アナログスイッチ 2020 に制御信号を出力して、オンオフを制御するようになっている。詳しくは、デコーダ 2010 は、NOT 回路 2050 の出力信号において値が “1” のビットのうち最も上位のビットがビット n である場合に、アナログスイッチ 2020-n (n=1、3・・・10) に “1” の制御信号を出力する。

【0047】

アナログスイッチ 2020 は、入力された制御信号が “1” の場合にオンになるスイッチである。

【0048】

抵抗回路 2030~2039 は、互いに抵抗値が異なる抵抗回路であり、直列に接続されている。本実施形態では、抵抗回路 2030~2039 の抵抗値は、それぞれ、1Ω、2Ω、4Ω、8Ω、16Ω、32Ω、64Ω、128Ω、256Ω、512Ω である。図 6 では、それぞれの抵抗値に応じて、“r1” (1Ω の抵抗回路) のように、表記してある。また、各抵抗回路には、アナログスイッチ 2020 が 1 つずつ接続されている。

【0049】

抵抗回路 2030 は、1Ω の抵抗 1 個で構成され、抵抗回路 2030 と GND 間にアナログスイッチ 2020-1 が接続されている。抵抗回路 2031 は、2Ω の抵抗 1 個で構成されている。抵抗回路 2032 は、3Ω の抵抗素子と 1Ω の抵抗素子の直列で構成され、抵抗素子間にアナログスイッチ 2020-3 が接続されている。抵抗回路 2033 は、3Ω の抵抗素子と 5Ω の抵抗素子の直列で構成され、抵抗素子間にアナログスイッチ 2020-4 の一端が接続されている。抵抗回路 2034 は、3Ω の抵抗素子と 13Ω の抵抗素子の直列で構成され、抵抗素子間にアナログスイッチ 2020-5 の一端が接続されている。抵抗回路 2035 は、3Ω の抵抗素子と 29Ω の抵抗素子の直列で構成され、抵抗素子間にアナログスイッチ 2020-6 の一端が接続されている。抵抗回路 2036 は、3Ω の抵抗素子と 61Ω の抵抗素子の直列で構成され、抵抗素子間にアナログスイッチ 2020-7 の一端が接続されている。抵抗回路 2037 は、3Ω の抵抗素子と 125Ω の抵抗素子の直列で構成され、抵抗素子間にアナログスイッチ 2020-8 の一端が接続されている。抵抗回路 2038 は、3Ω の抵抗素子と 253Ω の抵抗素子の直列で構成され、抵抗素子間にアナログスイッチ 2020-9 の一端が接続されている。抵抗回路 2039 は、3Ω の抵抗素子と 509Ω の抵抗素子の直列で構成され、抵抗素子間にアナログスイッチ 2020-10 の一端が接続されている。

【0050】

それぞれのアナログスイッチ 2020 の他端側 (抵抗素子と接続されていない側の端子) は、1 つにまとめられ、第 2 の参照電圧 S010 を出力するようになっている。

【0051】

アナログスイッチ 2040 は、入力された制御信号が “1” の場合にオンになるスイッチである。それぞれのアナログスイッチ 2040 には、デジタル制御信号 S002 の論理を反転した信号の 1 ビットずつが入力されて、オンオフが制御されている。

【0052】

各抵抗回路の両端には、各抵抗回路を迂回するように、アナログスイッチ 2040 が 1

10

20

30

40

50

つずつ接続されている。

【 0 0 5 3 】

N O T 回路 2 0 5 0 は、ディジタル制御信号 S 0 0 2 の論理を反転させた信号 (1 0 ビット) を出力するようになっている。

【 0 0 5 4 】

上記の構成により、可変抵抗回路 2 0 1 は、第 1 の参照電圧 S 0 0 9 よりも一定電圧低い電圧の第 2 の参照電圧 S 0 1 0 を生成する。したがって、可変抵抗回路 2 0 1 が出力する第 2 の参照電圧 S 0 1 0 もアナログ入力信号 S 0 0 1 を A D 変換する際の基準電圧として用いることができる。しかも、可変抵抗回路 2 0 1 は、実施形態 1 の D A コンバータ 1 0 5 よりも回路規模を小さくすることが可能である。

10

【 0 0 5 5 】

《 発明の実施形態 3 》

実施形態 3 では、多数決を行なう下位ビットのビット長を、1 ビットから 3 ビットまでの任意のビット数に可変できるアナログ・ディジタル変換器の例を説明する。

【 0 0 5 6 】

図 7 は、本発明の実施形態 3 に係るアナログ・ディジタル変換器 3 0 0 の構成を示すブロック図である。図 7 に示すように、アナログ・ディジタル変換器 3 0 0 は、アナログ・ディジタル変換器 2 0 0 の制御回路 1 0 1 を制御回路 3 0 1 に置き換え、可変抵抗回路 2 0 1 を可変抵抗回路 3 0 2 に置き換え、並列型 A D コンバータ 1 0 6 を並列型 A D コンバータ 3 0 3 に置き換え、さらに多数決回路 1 0 7 を多数決回路 3 0 4 に置き換えて構成されている。

20

【 0 0 5 7 】

(制御回路 3 0 1 の構成)

制御回路 3 0 1 は、スイッチ付きコンパレータ 1 0 3 の動作の制御と、D A コンバータ 1 0 2 に入力するディジタル制御信号 S 0 0 2 の生成とを行なうとともに、可変抵抗回路 3 0 2、並列型 A D コンバータ 3 0 3、及び多数決回路 3 0 4 を制御する制御信号 S 0 1 4 の生成を行なうようになっている。制御回路 3 0 1 は、例えば、図 8 のように構成できる。図 8 の例では、制御回路 3 0 1 は、変換ビット設定レジスタ 3 0 1 a、変換回数ダウンカウンタ 3 0 1 b、変換ビット制御信号生成回路 3 0 1 c、N O R 回路 3 0 1 d、A N D 回路 3 0 1 e ~ 3 0 1 f、及びセクタ 3 0 1 g ~ 3 0 1 h を備えている。

30

【 0 0 5 8 】

変換ビット設定レジスタ 3 0 1 a は、4 ビットのレジスタであり、変換回数ダウンカウンタ 3 0 1 b と変換ビット制御信号生成回路 3 0 1 c とから参照される。本実施形態では、変換ビット設定レジスタ 3 0 1 a には、“ 0 1 0 1 ”、“ 0 1 1 1 ”、“ 1 0 0 0 ”の何れかの値がロードされる。

【 0 0 5 9 】

変換回数ダウンカウンタ 3 0 1 b は、クロック信号 S 0 0 5 の立ち上がり変化タイミングでダウンカウントを行なう 4 ビットのダウンカウンタである。詳しくは、変換回数ダウンカウンタ 3 0 1 b は、変換ビット設定レジスタ 3 0 1 a に格納されている値を読み込んで、読み込んだ値から 0 までのダウンカウントを行い、4 ビットのカウンタ結果を出力する。

40

【 0 0 6 0 】

変換ビット制御信号生成回路 3 0 1 c は、変換ビット設定レジスタ 3 0 1 a に格納されている値に応じた値の制御信号 S 0 1 4 を出力するようになっている。具体的には、変換ビット制御信号生成回路 3 0 1 c は、変換ビット設定レジスタ 3 0 1 a の値が“ 0 1 0 1 ”の場合に、“ 1 1 ”の制御信号 S 0 1 4 を出力し、“ 0 1 1 1 ”の場合に、“ 0 1 ”の制御信号 S 0 1 4 を出力し、“ 1 0 0 0 ”の場合に、“ 0 0 ”の制御信号 S 0 1 4 を出力する。

【 0 0 6 1 】

N O R 回路 3 0 1 d は、変換回数ダウンカウンタ 3 0 1 b のカウンタ結果 (4 ビット)

50

が入力されたNOR回路である。NOR回路301dの出力は、デジタル制御信号S003として出力されている。これにより、変換回数ダウンカウンタ301bの出力が“0000”以外のときに、デジタル制御信号S003は“0”になる。

【0062】

AND回路301eとAND回路301fは、何れもデジタル制御信号S003と制御信号S014とが入力されたAND回路である。

【0063】

セクタ301gは、AND回路301fの出力に応じて、“1”及びデジタル信号S004の最下位から3ビット目のうちの何れかを選択して出力するセクタである。具体的には、AND回路301fの出力が“1”の場合に、“1”を出力し、AND回路301fの出力が“0”の場合に、デジタル信号S004の最下位から3ビット目を出力する。

10

【0064】

また、セクタ301hは、AND回路301eの出力に応じて、“1”及びデジタル信号S004の最下位から2ビット目のうちの何れかを選択して出力するセクタである。具体的には、AND回路301eの出力が“1”の場合に、“1”を出力し、AND回路301eの出力が“0”の場合に、デジタル信号S004の最下位から2ビット目を出力する。

【0065】

(可変抵抗回路302の構成)

20

可変抵抗回路302は、デジタル制御信号S002と制御信号S014とに基づき、第1の参照電圧S009の抵抗分圧を行い第2の参照電圧S010を生成する回路である。具体的には、可変抵抗回路302は、図9に示すように、デコーダ3010、10個のアナログスイッチ3020(3020-1~3020-10)、抵抗回路3030~3039、及び10個のアナログスイッチ3040を備えている。

【0066】

デコーダ3010は、NOT回路3050の出力信号(後述するように10ビットの信号)に応じて、各アナログスイッチ3020に制御信号を出力してオンオフを制御するようになっている。詳しくは、デコーダ3010は、NOT回路3050の出力信号において値が“1”のビットのうち最も上位のビットがビットnである場合に、アナログスイッチ3020-n($n=1\cdots 10$)に“1”の制御信号を出力する。

30

【0067】

アナログスイッチ3020は、デコーダ3010が出力した制御信号に“1”の場合にオンになるスイッチである。各アナログスイッチ3020の一端側は、1つにまとめられ、第2の参照電圧S010を出力するようになっている。

【0068】

抵抗回路3030~3039は、抵抗値の異なる抵抗回路が直列に接続された回路である。それぞれの抵抗値は、1Ω、2Ω、4Ω、8Ω、16Ω、32Ω、64Ω、128Ω、256Ω、512Ωである。また、各抵抗回路には、デコーダ3010が1つずつ対応させられている。詳しくは、抵抗回路3030は、1Ωの抵抗1個で構成され、抵抗回路3030とGND間にアナログスイッチ3020-1が接続されている。抵抗回路3031は、1Ωの抵抗素子と1Ωの抵抗素子の直列で構成され、各抵抗素子間に信号線が接続されている。抵抗回路3032は、1Ωの抵抗素子と2Ωの抵抗素子と1Ωの抵抗素子の直列で構成され、各抵抗素子間に信号線が接続されている。抵抗回路3033は、1Ωの抵抗素子と2Ωの抵抗素子と4Ωの抵抗素子と1Ωの抵抗素子の直列で構成され、各抵抗素子間に信号線が接続されている。抵抗回路3034は、1Ωの抵抗素子と2Ωの抵抗素子と4Ωの抵抗素子と9Ωの抵抗素子の直列で構成され、各抵抗素子間に信号線が接続されている。抵抗回路3035は、1Ωの抵抗素子と2Ωの抵抗素子と4Ωの抵抗素子と25Ωの抵抗素子の直列で構成され、各抵抗素子間に信号線が接続されている。抵抗回路3036は、1Ωの抵抗素子と2Ωの抵抗素子と4Ωの抵抗素子と57Ωの抵抗素子の直列

40

50

で構成され、各抵抗素子間に信号線が接続されている。抵抗回路3037は、1Ωの抵抗素子と2Ωの抵抗素子と4Ωの抵抗素子と121Ωの抵抗素子の直列で構成され、各抵抗素子間に信号線が接続されている。抵抗回路3038は、1Ωの抵抗素子と2Ωの抵抗素子と4Ωの抵抗素子と249Ωの抵抗素子の直列で構成され、各抵抗素子間に信号線が接続されている。抵抗回路3039は、1Ωの抵抗素子と2Ωの抵抗素子と4Ωの抵抗素子と505Ωの抵抗素子の直列で構成され、各抵抗素子間に信号線が接続されている。

【0069】

各抵抗回路内の抵抗素子間に接続された各信号線は、制御信号S014に基づき、何れか1つが選択される。具体的には、抵抗回路3033～3039は、制御信号S014が“00”の場合に、1Ωの抵抗素子と2Ωの抵抗素子間に接続された信号線が選択される。制御信号S014が“01”の場合に、2Ωの抵抗素子と4Ωの抵抗素子間に接続された信号線が選択される。制御信号S014が“11”の場合に、4Ωの抵抗素子と残りの抵抗素子間に接続された信号線が選択される。抵抗回路3031は、制御信号S014が“00”の場合に、1Ωの抵抗素子と1Ωの抵抗素子間に接続された信号線が選択される。抵抗回路3032は、制御信号S014が“00”の場合に、1Ωの抵抗素子と2Ωの抵抗素子間に接続された信号線が選択される。制御信号S014が“01”の場合に、2Ωの抵抗素子と残りの抵抗素子間に接続された信号線が選択される。

【0070】

アナログスイッチ3040は、入力された制御信号が“1”の場合にオンになるスイッチである。それぞれのアナログスイッチ3040には、デジタル制御信号S002の論理を反転した信号の1ビットずつが入力されて、オンオフが制御されている。

【0071】

各抵抗回路の両端には、各抵抗回路を迂回するように、アナログスイッチ3040が1つずつ接続されている。

【0072】

NOT回路3050は、デジタル制御信号S002の論理を反転させた信号(10ビット)を出力するようになっている。

【0073】

(並列型ADコンバータ303の構成)

並列型ADコンバータ303は、アナログ入力信号S001を、1ビット、2ビット、及び3ビットの何れかのビット数のデジタル信号(デジタル信号S011)に変換するようになっている。

【0074】

並列型ADコンバータ303は、具体的には、図10に示すように構成できる。図10の例では、並列型ADコンバータ303は、抵抗素子3100～3106、アナログスイッチ3107～3110、8個のオペアンプ型コンパレータ3113、及びエンコーダ3114を備えている。

【0075】

抵抗素子3100～3106は、図10に示すように、アナログスイッチ3107とアナログスイッチ3108を介して直列に接続されている。これらのうち、抵抗素子3100の一端には、第1の参照電圧S009が入力され、抵抗素子3106の一端には、第2の参照電圧S010が入力されている。

【0076】

アナログスイッチ3107～3108は、NOT回路(NOT回路3111・3112)を介した制御信号S014によって、オンオフが制御されるスイッチである。また、アナログスイッチ3109～3110は、制御信号S014によって、オンオフが制御されるスイッチである。これらのうち、アナログスイッチ3109は、一端に第2の参照電圧S010が入力され、他端が抵抗素子3100とアナログスイッチ3107との接続点に接続されている。また、アナログスイッチ3110は、一端に第2の参照電圧S010が入力され、他端が抵抗素子3102とアナログスイッチ3108との接続点に接続されて

いる。

【 0 0 7 7 】

オペアンプ型コンパレータ 3 1 1 3 は、非反転入力端子 (+) に入力された信号のレベルが、反転入力端子 (-) に入力された信号のレベルを超えると論理値が “ 1 ” の信号を出力し、それ以外の場合に論理値が “ 0 ” の信号を出力するようになっている。具体的には、オペアンプ型コンパレータ 3 1 1 3 は、図 1 0 に示すように、反転入力端子 (-) が、各抵抗素子同士の接続点、または抵抗素子とアナログスイッチとの接続点に接続され、非反転入力端子 (+) に、アナログ入力信号 S 0 0 1 が入力されている。

【 0 0 7 8 】

エンコーダ 3 1 1 4 は、各オペアンプ型コンパレータ 3 1 1 3 が出力した信号をエンコードして、1ビット、2ビット、または3ビットのデジタル信号 S 0 1 1 に変換するようになっている。

10

【 0 0 7 9 】

上記の並列型 A D コンバータ 3 0 3 では、制御信号 S 0 1 4 が “ 0 0 ” の場合には、アナログスイッチ 3 1 0 7 ~ 3 1 0 8 がオン、アナログスイッチ 3 1 0 9 ~ 3 1 1 0 がオフになる。したがって、第 1 の参照電圧 S 0 0 9 と第 2 の参照電圧 S 0 1 0 が抵抗分圧されて 8 種の電圧が発生する。この場合のエンコーダ 3 1 1 4 の出力は、3ビットである。

【 0 0 8 0 】

また、制御信号 S 0 1 4 が “ 0 1 ” の場合には、アナログスイッチ 3 1 0 7 とアナログスイッチ 3 1 1 0 がオン、アナログスイッチ 3 1 0 8 ~ 3 1 0 9 がオフになる。したがって、第 1 の参照電圧 S 0 0 9 と第 2 の参照電圧 S 0 1 0 が抵抗分圧されて 4 種の電圧が発生する。この場合のエンコーダ 3 1 1 4 の出力は、2ビットである。

20

【 0 0 8 1 】

また、制御信号 S 0 1 4 が “ 1 1 ” の場合には、アナログスイッチ 3 1 0 9 とアナログスイッチ 3 1 1 0 がオン、アナログスイッチ 3 1 0 7 とアナログスイッチ 3 1 0 8 がオフになる。したがって、第 1 の参照電圧 S 0 0 9 と第 2 の参照電圧 S 0 1 0 が抵抗分圧されて 2 種の電圧が発生する。この場合のエンコーダ 3 1 1 4 の出力は、1ビットである。

【 0 0 8 2 】

(多数決回路 3 0 4 の構成)

多数決回路 3 0 4 は、並列型 A D コンバータ 3 0 3 の出力 (デジタル信号 S 0 1 1) を所定回数読み込んで、ビット毎に多数決を行なって、そのビットの出力を “ 0 ” か “ 1 ” に決定し、制御信号 S 0 1 4 に応じたビット数の出力 (下位ビット信号 S 0 1 3) を、変換結果格納レジスタ 1 0 9 に出力するようになっている。

30

【 0 0 8 3 】

多数決回路 3 0 4 は、例えば図 1 1 に示すように構成できる。図 1 1 に示す例では、多数決回路 3 0 4 は、3組の単ビット多数決回路 1 0 1 0 (単ビット多数決回路 1 0 1 0 - 1 ~ 1 0 1 0 - 3) を備えている。本実施形態では、デジタル信号 S 0 1 1 の下位から 1 ビット目が単ビット多数決回路 1 0 1 0 - 1 に入力され、2 ビット目が単ビット多数決回路 1 0 1 0 - 2 に入力され、3 ビット目が単ビット多数決回路 1 0 1 0 - 3 に入力されている。

40

【 0 0 8 4 】

各単ビット多数決回路では、加算回路 1 0 1 1 とフリップフロップ 1 0 1 4 は、何れも、制御信号 S 0 1 4 で制御されたスイッチ回路 3 2 0 0 を介してクロック信号が入力されている。

【 0 0 8 5 】

したがって、制御信号 S 0 1 4 が “ 0 0 ” の場合は、単ビット多数決回路 1 0 1 0 - 1 にはクロック信号 S 0 1 2 とクロック信号 S 0 0 5 とが供給され動作するが、単ビット多数決回路 1 0 1 0 - 2 と単ビット多数決回路 1 0 1 0 - 3 とには、クロック信号 S 0 1 2 とクロック信号 S 0 0 5 とが供給されず動作しない。

【 0 0 8 6 】

50

また、制御信号 S 0 1 4 が “ 0 1 ” の場合は、単ビット多数決回路 1 0 1 0 - 1 と単ビット多数決回路 1 0 1 0 - 2 とには、クロック信号 S 0 1 2 とクロック信号 S 0 0 5 とが供給され動作するが、単ビット多数決回路 1 0 1 0 - 3 にはクロック信号 S 0 1 2 とクロック信号 S 0 0 5 とが供給されず動作しない。

【 0 0 8 7 】

また、制御信号 S 0 1 4 が “ 1 1 ” の場合は、単ビット多数決回路 1 0 1 0 - 1、単ビット多数決回路 1 0 1 0 - 2、及び単ビット多数決回路 1 0 1 0 - 3 にクロック信号 S 0 1 2 とクロック信号 S 0 0 5 とが供給され動作する。

【 0 0 8 8 】

すなわち、多数決回路 3 0 4 の出力は、制御信号 S 0 1 4 が “ 0 0 ” のときに 3 ビット、制御信号 S 0 1 4 が “ 0 1 ” のときに 2 ビット、制御信号 S 0 1 4 が “ 1 1 ” のときに 1 ビットである。

【 0 0 8 9 】

以上のように、本実施形態では、変換ビット設定レジスタ 3 0 1 a に設定する値に応じて、多数決を行なう下位ビットのビット長を、1 ビットから 3 ビットまでの任意のビット数に可変できる。したがって、例えば、ノイズの大きさに応じて、多数決を行なうビット数を選択すれば、消費電力の低減が可能になる。

【 0 0 9 0 】

《 発明の実施形態 4 》

実施形態 4 では、多数決時のサンプリング回数を可変できるアナログ・ディジタル変換器の例を説明する。

【 0 0 9 1 】

図 1 2 は、本発明の実施形態 4 に係るアナログ・ディジタル変換器 4 0 0 の構成を示すブロック図である。図 1 2 に示すように、アナログ・ディジタル変換器 4 0 0 は、アナログ・ディジタル変換器 3 0 0 にクロック選択レジスタ 4 0 1 を追加し、クロック分周回路 1 0 8 をクロック分周回路 4 0 2 に置き換え、多数決回路 3 0 4 を多数決回路 4 0 3 に置き換えて構成されている。

【 0 0 9 2 】

クロック選択レジスタ 4 0 1 は、多数決のサンプル回数を示す情報（サンプリング回数情報 S 0 1 5）、クロック信号 S 0 1 2 の周波数を示す情報（周波数情報 S 0 1 6）、及びクロック信号 S 0 0 5 の周波数を示す情報（周波数情報 S 0 1 7）が格納されるレジスタである。

【 0 0 9 3 】

クロック分周回路 4 0 2 は、周波数情報 S 0 1 6 に応じた周波数のクロック信号 S 0 1 2 と、周波数情報 S 0 1 7 に応じた周波数のクロック信号 S 0 0 5 とを生成して出力するようになっている。

【 0 0 9 4 】

多数決回路 4 0 3 は、サンプリング回数情報 S 0 1 5 に応じた回数のサンプリングによって多数決を行なって、その結果を出力するようになっている。多数決回路 4 0 3 は、例えば、図 1 3 のように構成することができる。図 1 3 の例では、多数決回路 4 0 3 は、多数決回路 3 0 4 の単ビット多数決回路 1 0 1 0 を、単ビット多数決回路 4 0 1 0 に置き換えて構成されている。単ビット多数決回路 4 0 1 0 は、単ビット多数決回路 1 0 1 0 のビット選択回路 1 0 1 3 を、ビット選択回路 4 0 1 1 に置き換えて構成したものである。

【 0 0 9 5 】

ビット選択回路 4 0 1 1 は、クロック信号 S 0 0 5 の立ち上がり変化タイミングで、8 ビットレジスタ 1 0 1 2 の所定ビットのデータを、フリップフロップ 1 0 1 4 に出力するようになっている。この場合、ビット選択回路 4 0 1 1 は、サンプリング回数情報 S 0 1 5 に応じて、8 ビットレジスタ 1 0 1 2 の何れのビットのデータを格納するかを決定する。なお、多数決回路 3 0 4 からは、各 8 ビットレジスタ 1 0 1 2 の値が、加算値 S 0 1 8 ~ S 0 1 9 として出力されているが本実施形態では、これらの信号は使用していない。

10

20

30

40

50

【 0 0 9 6 】

以上のように、本実施形態では、クロック選択レジスタ 4 0 1 に設定する値に応じて、多数決時のサンプリング回数を可変できる。したがって、例えば、ノイズの種類に応じて、多数決を行なう回数を選択すれば、消費電力の低減が可能になる。

【 0 0 9 7 】

《 発明の実施形態 5 》

実施形態 5 では、多数決結果が安定するように、多数決時のサンプリング回数を自動的に変更することが可能なアナログ・デジタル変換器の例を説明する。

【 0 0 9 8 】

図 1 4 は、本発明の実施形態 5 に係るアナログ・デジタル変換器 5 0 0 の構成を示すブロック図である。図 1 4 に示すように、アナログ・デジタル変換器 4 0 0 のクロック選択レジスタ 4 0 1 を最適クロック選択回路 5 0 1 に置き換えて構成されている。

10

【 0 0 9 9 】

最適クロック選択回路 5 0 1 は、多数決において、多数側の割合が所定以上となるように、クロック信号 S 0 1 2、及びクロック信号 S 0 0 5 の周波数（すなわち、多数決時のサンプリング回数）を決定するようになっている。最適クロック選択回路 5 0 1 は、例えば、図 1 5 のように構成することができる。

【 0 1 0 0 】

図 1 5 において、セクタ 5 0 1 0 とセクタ 5 0 1 1 とは、加算値 S 0 1 8 が入力され、サンプリング回数情報 S 0 1 5 に応じて、加算値 S 0 1 8 の連続する 2 ビットを選択するようになっている。具体的には、サンプリング回数情報 S 0 1 5 が “ 0 0 ” のときは、セクタ 5 0 1 0 によって加算値 S 0 1 8 の 2 ビット目が選択され、セクタ 5 0 1 1 によって、加算値 S 0 1 8 の 3 ビット目が選択される。また、サンプリング回数情報 S 0 1 5 が “ 0 1 ” のときは、セクタ 5 0 1 0 によって加算値 S 0 1 8 の 3 ビット目が選択され、セクタ 5 0 1 1 によって、加算値 S 0 1 8 の 4 ビット目が選択される。

20

【 0 1 0 1 】

同様に、セクタ 5 0 1 2 とセクタ 5 0 1 3 とは、加算値 S 0 1 9 が入力され、サンプリング回数情報 S 0 1 5 に応じて、加算値 S 0 1 9 の連続する 2 ビットを選択するようになっている。また、セクタ 5 0 1 4 とセクタ 5 0 1 5 とは、加算値 S 0 2 0 が入力され、サンプリング回数情報 S 0 1 5 に応じて、加算値 S 0 2 0 の連続する 2 ビットを選択するようになっている。

30

【 0 1 0 2 】

セクタ 5 0 1 0 ~ 5 0 1 5 には、図 1 5 に示すように、E X N O R 回路 5 0 2 1 ~ 5 0 2 3、N A N D 回路 5 0 2 4、フリップフロップ 5 0 2 5 が接続されている。これにより、フリップフロップ 5 0 2 5 は、全ての E X N O R 回路において、2 つの入力が同じ値のときに、“ 1 ” を出力し、それ以外の場合に “ 0 ” を出力する。ここで、フリップフロップ 5 0 2 5 の出力を制御信号 S 0 2 1 と呼ぶことにする。

【 0 1 0 3 】

O R 回路 5 0 2 6 は、一方の入力に制御信号 S 0 2 1 が入力され、他方の入力に比較回路 5 0 3 2 の出力が入力されている。また、O R 回路 5 0 2 7 は、一方の入力に制御信号 S 0 2 1 が入力され、他方の入力にクロック信号 S 0 1 2 が入力されている。

40

【 0 1 0 4 】

レジスタ 5 0 3 0 は、カウンタ 5 0 3 4 の出力を格納するレジスタである。レジスタ 5 0 3 0 に格納された値は、周波数情報 S 0 1 6 としてクロック分周回路 4 0 2 に使用される。

【 0 1 0 5 】

レジスタ 5 0 3 1 は、カウンタ 5 0 3 5 の出力を格納するレジスタである。レジスタ 5 0 3 1 に格納された値は、周波数情報 S 0 1 7 としてクロック分周回路 4 0 2 によって使用される。

【 0 1 0 6 】

50

なお、本実施形態では、クロック分周回路 4 0 2 は、周波数情報 S 0 1 6 が 1 減ぜられるごとにクロック信号 S 0 1 2 の周波数が 2 倍になり、周波数情報 S 0 1 7 が 1 減ぜられるごとに、クロック信号 S 0 0 5 の周波数が 2 倍になるように構成されているものとする。

【 0 1 0 7 】

比較回路 5 0 3 2 は、レジスタ 5 0 3 0 に格納されている値と、レジスタ 5 0 3 1 に格納されている値とを比較し、(レジスタ 5 0 3 0 の値) < (レジスタ 5 0 3 1 の値)であった場合に“ 1 ”を出力するようになっている。

【 0 1 0 8 】

減算回路 5 0 3 3 は、レジスタ 5 0 3 0 の値とレジスタ 5 0 3 1 の値の減算を行い、演算結果をサンプリング回数情報 S 0 1 5 として出力するようになっている。

【 0 1 0 9 】

カウンタ 5 0 3 4 とカウンタ 5 0 3 5 とは、2 ビットのダウンカウンタである。

【 0 1 1 0 】

カウンタ 5 0 3 4 は、制御信号 S 0 2 1 が“ 0 ”であるときは、比較回路 5 0 3 2 の出力の立ち上がり変化タイミングで、“ 1 1 ”から“ 0 0 ”までダウンカウントする。

【 0 1 1 1 】

カウンタ 5 0 3 5 は、制御信号 S 0 2 1 が“ 0 ”であるときは、クロック信号 S 0 1 2 の立ち上がり変化タイミングで“ 1 1 ”からダウンカウントしてカウント値を出力し、カウント値が“ 0 0 ”になると、カウント値を“ 1 1 ”に戻す。

【 0 1 1 2 】

また、制御信号 S 0 2 1 が“ 1 ”であるときは、カウンタ 5 0 3 4 とカウンタ 5 0 3 5 とは、カウントを停止する。それによりレジスタ 5 0 3 1 の値が確定する。

【 0 1 1 3 】

次に、アナログ・ディジタル変換器 5 0 0 の動作を最適クロック選択回路 5 0 1 の動作を中心に、制御信号 S 0 1 4 が“ 0 0 ”の場合を例に説明する。制御信号 S 0 1 4 が“ 0 0 ”の場合には、最下位のビットのみの多数決が行なわれる。

【 0 1 1 4 】

図 1 6 は、制御信号 S 0 1 4 が“ 0 0 ”の場合におけるクロック信号 S 0 1 2 等の波形を示す図である。ここで、レジスタ 5 0 3 0 の初期値は“ 1 1 ”、レジスタ 5 0 3 1 の初期値は“ 1 1 ”である。また、この場合のクロック信号 S 0 0 5 とクロック信号 S 0 1 2 の周期の比は、8 対 1 であるものとする。なお、制御信号 S 0 1 4 が“ 0 0 ”の場合には、セクタ 5 0 1 2 ~ 5 0 1 5 は、常に“ 0 ”を出力し、E X N O R 回路 5 0 2 2 ~ 5 0 2 3 の出力が常に“ 1 ”になる。

【 0 1 1 5 】

上記の初期状態では、減算回路 5 0 3 3 が出力するサンプリング回数情報 S 0 1 5 は、“ 0 ”である。そのため、セクタ 5 0 1 0 とセクタ 5 0 1 1 とは、それぞれ加算値 S 0 1 8 の 2 ビット目、及び 3 ビット目を出力する。なお、サンプリング回数情報 S 0 1 5 が“ 0 ”の場合の多数決回路 4 0 3 における多数決時のサンプリング回数は、8 回であるものとする。

【 0 1 1 6 】

図 1 6 の例では、クロック信号 S 0 1 2 の 8 回目の立ち上がり変化時には、加算値 S 0 1 8 の 2 ビット目が“ 0 ”、3 ビット目が“ 1 ”である。この場合、制御信号 S 0 2 1 は“ 0 ”である。この場合、比較回路 5 0 3 2 の出力は、“ 0 ”なので、カウンタ 5 0 3 4 は、ダウンカウントを行なわない。一方、カウンタ 5 0 3 5 は、ダウンカウントを行い、レジスタ 5 0 3 1 の値が“ 1 0 ”になる。

【 0 1 1 7 】

レジスタ 5 0 3 1 の値が変化すると、クロック信号 S 0 1 2 の周波数が 2 倍に変更される。それにより、クロック信号 S 0 0 5 とクロック信号 S 0 1 2 の周期は、1 6 対 1 となる。また、減算回路 5 0 3 3 が出力するサンプリング回数情報 S 0 1 5 は、“ 0 ”から“

10

20

30

40

50

1”になり、サンプリング回数に変更される。本実施形態では、サンプリング回数が16回に変更されたものとする。

【0118】

この状態で、例えば、クロック信号S012の16回目の立ち上がり変化で、加算値S018の3ビット目が“1”、4ビット目が“1”になると、制御信号S021は“1”になる。そのため、カウンタ5035は、カウントを停止し、レジスタ5031の値が“10”に値が確定する。また、カウンタ5034は、カウントを行っていないので、レジスタ5030の値が“11”に確定する。上記のクロック設定により、16回のサンプリングのうち、多数側が占める回数が12以上になる。

【0119】

例えば、ノイズが周期性を有する場合に、ノイズの周期に合致してサンプリングして多数決を行なうと、サンプリング回数をいくら多くしても、“0”と判定した回数と、“1”と判定した回数との差が大きくならない場合がある。この場合は、多数決結果の信頼性があまり大きくないと考えられる。しかしながら、本実施形態では、上記のように、多数側の割合が所定以上となるようにクロックの周波数を制御して、安定した多数決結果を得ることが可能になる。

【0120】

《発明の実施形態6》

実施形態6では、多数決時の最適なサンプリング回数（正確なA/D変換結果を得るのに十分な回数）を自動的に設定することが可能なアナログ・デジタル変換器の例を説明する。

【0121】

図17は、本発明の実施形態6に係るアナログ・デジタル変換器600の構成を示すブロック図である。図17に示すように、アナログ・デジタル変換器600は、アナログ・デジタル変換器500に外部メモリ601を追加するとともに、最適クロック選択回路501をサンプリング数決定回路602に置き換えて構成されている。アナログ・デジタル変換器600は、最適なサンプリング回数を決定する評価モードと、評価モードで決定したサンプリング回数で、実際にA/D変換を行なう製品モードとの2つの使用モードがある。以下、新たに設けられたアナログ・デジタル変換器600の各構成要素について説明する。

【0122】

外部メモリ601は、サンプリング数決定回路602が出力したデータ（後述）を記憶するようになっている。

【0123】

サンプリング数決定回路602は、クロック信号S012の周波数とクロック信号S005の周波数（すなわち、多数決時の最適なサンプリング回数）を決定するようになっている。サンプリング数決定回路602は、例えば、図18のように構成することができる。サンプリング数決定回路602は、図18に示す例では、A/D変換回数カウンタ6000、使用モードセクタ6010、多数決情報外部メモリ転送回路6020、頻度情報生成回路6030、最多発生頻度セクタ6040、及び周波数情報生成回路6050を備えている。

【0124】

（A/D変換回数カウンタ6000）

A/D変換回数カウンタ6000は、クロック信号S012を受けて、A/D変換回数をカウントするようになっている。ここでのA/D変換回数とは、最終的なA/D変換の結果が出力された回数を言う。

【0125】

（使用モードセクタ6010）

使用モードセクタ6010は、使用モードに応じ、外部メモリ601やクロック分周回路402とのデータのやり取りを制御するようになっている。具体的に、使用モードセ

10

20

30

40

50

レクタ6010は、セクタ6011とセクタ6012とを備えている。セクタ6011とセクタ6012とは、使用モード選択信号S022（後述）によって制御されている。また、セクタ6011には、多数決情報S023が入力されている。多数決情報S023は、多数決回路403における多数決決定の基となる0/1のデータ群である。例えば、多数決のために7回のサンプリングが行なわれるのであれば、デジタル信号S011の所定のbitに対応するサンプリング7回分のデータである。本実施形態では、多数決情報S023は、8ビットである。また、使用モード選択信号S022は、アナログ・デジタル変換器600の使用モードが評価モードであるか、製品モードであるかを示す信号である。

【0126】

10

使用モード選択信号S022が評価モードであることを示している場合は、使用モードセクタ6010は、多数決情報S023を多数決情報外部メモリ転送回路6020に出力し、使用モード選択信号S022が、製品モードであることを示している場合は、後述するように外部メモリ601に記憶されている周波数情報S016及び周波数情報S017を読み出して、クロック分周回路402に出力する。

【0127】

（多数決情報外部メモリ転送回路6020）

多数決情報外部メモリ転送回路6020は、デジタル信号S011をビットシフトし、ビットシフトして得たデータと多数決情報S023との論理和を取ることによって、一つのデータ（変換結果・多数決情報S024）を生成する。さらに、多数決情報外部メモリ転送回路6020は、A/D変換回数カウンタ6000のカウント値をアドレス情報として、変換結果・多数決情報S024を外部メモリ601に格納する。なお、本実施形態では、変換結果・多数決情報S024は、9ビットである。

20

【0128】

（頻度情報生成回路6030）

頻度情報生成回路6030は、加算回路6031と頻度数レジスタ6032とをそれぞれ2組備えている。一方の加算回路6031は、外部メモリ601に格納されているデータを読み出し、一回のA/D変換ごとに、“1”と決定されたビットについて、多数決時に、多数決回路403がそのビットを“1”としてサンプリングした回数（すなわち“1”データの頻度）を求めるようになっている。また、他方の加算回路6031は、“0”と決定されたビットについて、多数決時に、多数決回路403がそのビットを“0”としてサンプリングした回数（すなわち“0”データの頻度）を求めるようになっている。

30

【0129】

頻度数レジスタ6032は、対応する加算回路6031の出力を、記憶するようになっている。

【0130】

（最多発生頻度セクタ6040）

最多発生頻度セクタ6040は、頻度情報生成回路6030が求めたデータの頻度のうちで、最大のものを求めるようになっている。具体的に、最多発生頻度セクタ6040は、最大値比較器6041を2組と、セクタ6042を備えている。

40

【0131】

最大値比較器6041は、頻度数レジスタ6032に記憶されているデータ頻度なかから最大のものを求めるようになっている。

【0132】

セクタ6042は、デジタル信号S011に応じて、2組の最大値比較器6041のうちの一方を選択して出力するようになっている。ここで、セクタ6042の出力を最多発生頻度と呼ぶことにする。

【0133】

（周波数情報生成回路6050）

周波数情報生成回路6050は、データ“1”についての最多発生頻度と、データ“0

50

” についての最多発生頻度とに基づいて、多数決時に最低限必要なサンプリング回数を求めるとともに、その回数に対応した、周波数情報 S 0 1 6 と周波数情報 S 0 1 7 とを生成して、外部メモリ 6 0 1 に出力するようになっている。

【 0 1 3 4 】

(アナログ・ディジタル変換器 6 0 0 の動作)

上記のアナログ・ディジタル変換器 6 0 0 では、使用モード選択信号 S 0 2 2 が評価モードの場合は、使用モードセクタ 6 0 1 0 によって、多数決情報 S 0 2 3 が多数決情報外部メモリ転送回路 6 0 2 0 に入力される。それにより、多数決情報外部メモリ転送回路 6 0 2 0 は、変換結果・多数決情報 S 0 2 4 を生成して外部メモリ 6 0 1 に記憶する。そして、外部メモリ 6 0 1 に記憶されている変換結果・多数決情報 S 0 2 4 に基づいて、頻度情報生成回路 6 0 3 0 が A / D 変換毎のデータの頻度を求め、最多発生頻度セクタ 6 0 4 0 がそれらのデータ頻度のなかから最多発生頻度を求める。その最多発生頻度に基づいて、周波数情報生成回路 6 0 5 0 が、周波数情報 S 0 1 6 と周波数情報 S 0 1 7 とを生成して、外部メモリ 6 0 1 に出力する。

10

【 0 1 3 5 】

使用モード選択信号 S 0 2 2 が製品モードの場合は、使用モードセクタ 6 0 1 0 が外部メモリ 6 0 1 に記憶されている周波数情報 S 0 1 6 と周波数情報 S 0 1 7 とを読み出して、クロック分周回路 4 0 2 に出力する。これにより、多数決回路 4 0 3 における多数決時のサンプリング回数が決定される。

【 0 1 3 6 】

20

上記のように、本実施形態は、評価モード時に、データ頻度を統計的に求めて、最適な多数決時のサンプリング回数を決定する。それゆえ、多数決のために無駄なサンプリングが行なわれることがなく、他の実施形態と比べ、A / D 変換速度の向上が可能になる。

【 0 1 3 7 】

なお、上記の各実施形態では、上位ビットの A / D 変換に逐次比較型 A D コンバータを用い、下位ビットの A / D 変換に並列型コンバータを用いているが、これらは例示であり、A / D コンバータの形式は、上記の例には限定されない。

【産業上の利用可能性】

【 0 1 3 8 】

本発明に係るアナログ・ディジタル変換器は、ノイズの影響を受けやすい下位ビットの出力を、多数決により決定するので、A / D 変換器の内部でノイズが発生した場合でも、精度を損なうことなく A / D 変換を行なうことが可能になるという効果を有し、アナログ信号に対応したディジタル信号を出力するアナログ・ディジタル変換器等として有用である。

30

【図面の簡単な説明】

【 0 1 3 9 】

【図 1】本発明の実施形態 1 に係るアナログ・ディジタル変換器の構成を示すブロック図である。

【図 2】制御回路 1 0 1 の構成例を示すブロック図である。

【図 3】スイッチ付きコンパレータ 1 0 3 の構成例を示すブロック図である。

40

【図 4】多数決回路 1 0 7 の構成例を示すブロック図である。

【図 5】本発明の実施形態 2 に係るアナログ・ディジタル変換器の構成を示すブロック図である。

【図 6】可変抵抗回路 2 0 1 の構成例を示すブロック図である。

【図 7】本発明の実施形態 3 に係るアナログ・ディジタル変換器の構成を示すブロック図である。

【図 8】制御回路 3 0 1 の構成例を示すブロック図である。

【図 9】可変抵抗回路 3 0 2 の構成例を示すブロック図である。

【図 1 0】並列型 A D コンバータ 3 0 3 の構成例を示すブロック図である。

【図 1 1】多数決回路 3 0 4 の構成例を示すブロック図である。

50

【図 1 2】本発明の実施形態 4 に係るアナログ・デジタル変換器の構成を示すブロック図である。

【図 1 3】多数決回路 4 0 3 の構成例を示すブロック図である。

【図 1 4】本発明の実施形態 5 に係るアナログ・デジタル変換器の構成を示すブロック図である。

【図 1 5】最適クロック選択回路 5 0 1 の構成例を示すブロック図である。

【図 1 6】制御信号 S 0 1 4 が “ 0 0 ” の場合におけるクロック信号 S 0 1 2 等の波形を示す図である。

【図 1 7】本発明の実施形態 5 に係るアナログ・デジタル変換器の構成を示すブロック図である。

10

【図 1 8】サンプリング数決定回路 6 0 2 の構成例を示すブロック図である。

【符号の説明】

【 0 1 4 0 】

1 0 0	アナログ・デジタル変換器
1 0 1	制御回路
1 0 1 a	変換回数ダウンカウンタ
1 0 1 b	N O R 回路
1 0 1 c	セレクタ
1 0 1 d	セレクタ
1 0 2	D A コンバータ
1 0 3	スイッチ付きコンパレータ
1 0 3 a	アナログスイッチ
1 0 3 b	アナログスイッチ
1 0 3 c	N O T 回路
1 0 3 d	コンパレータ
1 0 4	逐次比較レジスタ
1 0 5	D A コンバータ
1 0 6	並列型 A D コンバータ
1 0 7	多数決回路
1 0 8	クロック分周回路
1 0 9	変換結果格納レジスタ
2 0 0	アナログ・デジタル変換器
2 0 1	可変抵抗回路
3 0 0	アナログ・デジタル変換器
3 0 1	制御回路
3 0 1 a	変換ビット設定レジスタ
3 0 1 b	変換回数ダウンカウンタ
3 0 1 c	変換ビット制御信号生成回路
3 0 1 d	N O R 回路
3 0 1 e ~ 3 0 1 f	A N D 回路
3 0 1 g ~ 3 0 1 h	セレクタ
3 0 2	可変抵抗回路
3 0 3	並列型 A D コンバータ
3 0 4	多数決回路
4 0 0	アナログ・デジタル変換器
4 0 1	クロック選択レジスタ
4 0 2	クロック分周回路
4 0 3	多数決回路
5 0 0	アナログ・デジタル変換器
5 0 1	最適クロック選択回路

20

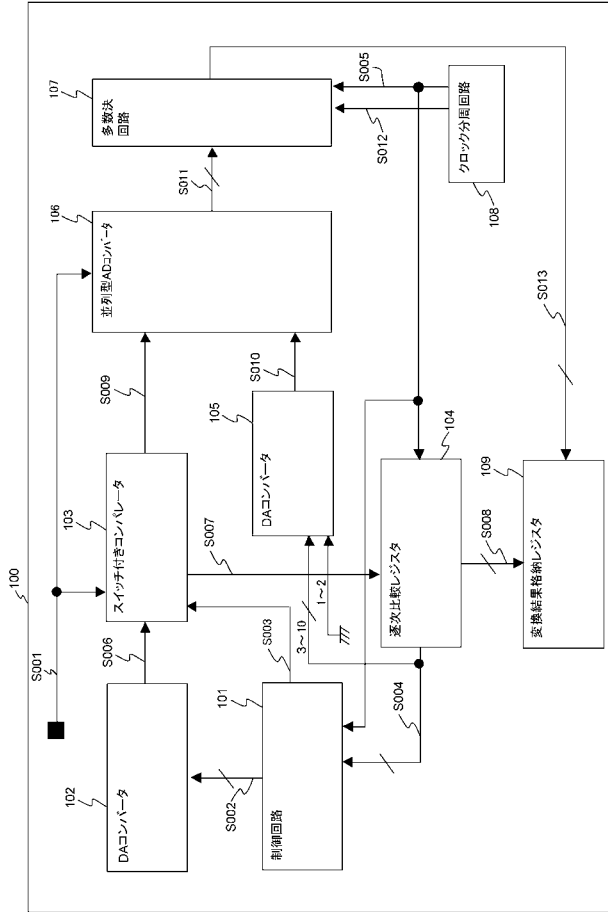
30

40

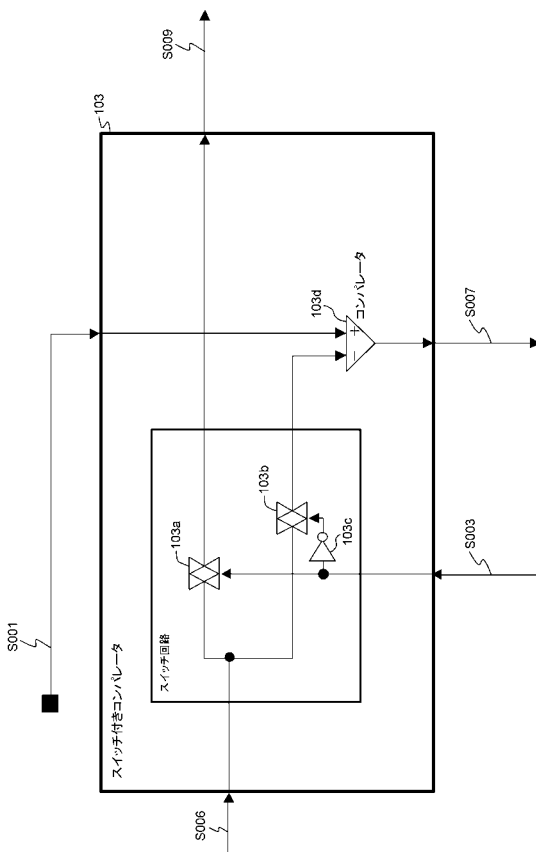
50

6 0 0	アナログ・デジタル変換器	
6 0 1	外部メモリ	
6 0 2	サンプリング数決定回路	
1 0 1 0	単ビット多数決回路	
1 0 1 1	加算回路	
1 0 1 2	レジスタ	
1 0 1 3	ビット選択回路	
1 0 1 4	フリップフロップ	
2 0 1 0	デコーダ	
2 0 2 0	アナログスイッチ	10
2 0 3 0 ~ 2 0 3 9	抵抗回路	
2 0 4 0	アナログスイッチ	
2 0 5 0	NOT回路	
3 0 1 0	デコーダ	
3 0 2 0	アナログスイッチ	
3 0 3 0 ~ 3 0 3 9	抵抗回路	
3 0 4 0	アナログスイッチ	
3 0 5 0	NOT回路	
3 1 0 0 ~ 3 1 0 6	抵抗素子	
3 1 0 7 ~ 3 1 1 0	アナログスイッチ	20
3 1 1 1・3 1 1 2	NOT回路	
3 1 1 3	オペアンプ型コンパレータ	
3 1 1 4	エンコーダ	
3 2 0 0	スイッチ回路	
4 0 1 0	多数決回路	
4 0 1 1	ビット選択回路	
5 0 1 0 ~ 5 0 1 5	セクタ	
5 0 2 1 ~ 5 0 2 3	EXNOR回路	
5 0 2 4	NAND回路	
5 0 2 5	フリップフロップ	30
5 0 2 6 ~ 5 0 2 7	OR回路	
5 0 3 0	レジスタ	
5 0 3 1	レジスタ	
5 0 3 2	比較回路	
5 0 3 3	減算回路	
5 0 3 4 ~ 5 0 3 5	カウンタ	
6 0 0 0	A/D変換回数カウンタ	
6 0 1 0	使用モードセクタ	
6 0 1 1 ~ 6 0 1 2	セクタ	
6 0 2 0	多数決情報外部メモリ転送回路	40
6 0 3 0	頻度情報生成回路	
6 0 3 1	加算回路	
6 0 3 2	頻度数レジスタ	
6 0 4 0	最多発生頻度セクタ	
6 0 4 1	最大値比較器	
6 0 4 2	セクタ	
6 0 5 0	周波数情報生成回路	

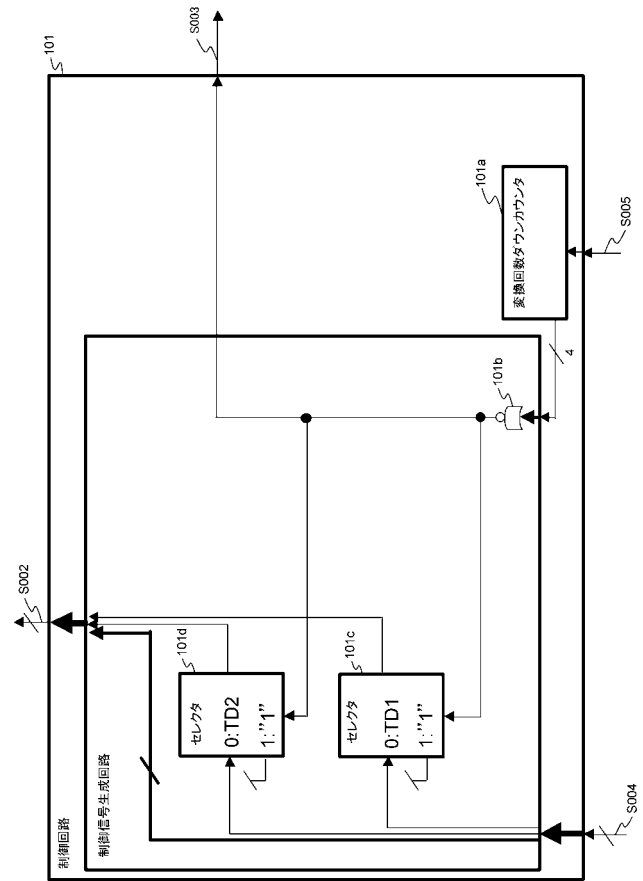
【図 1】



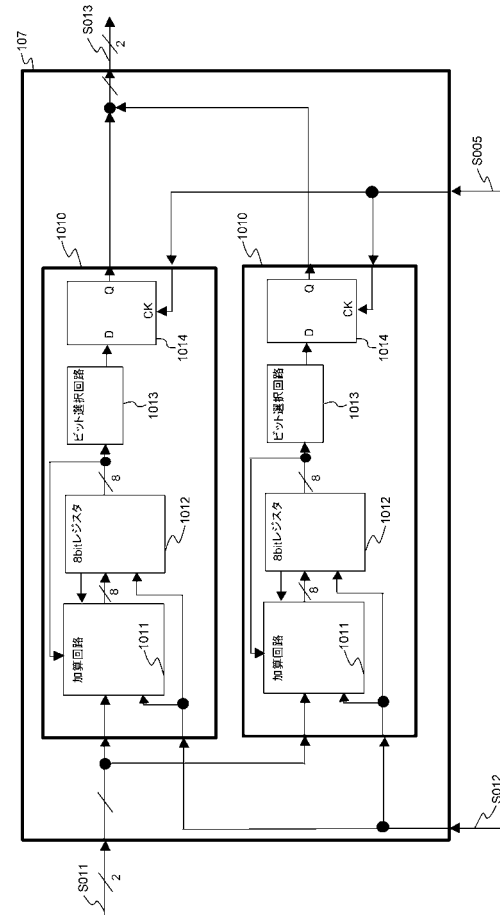
【図 3】



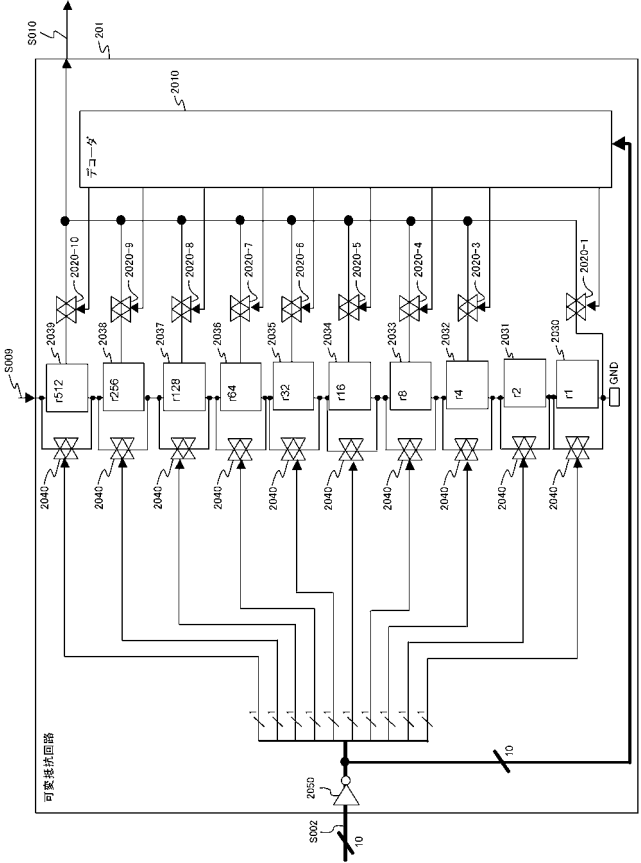
【図 2】



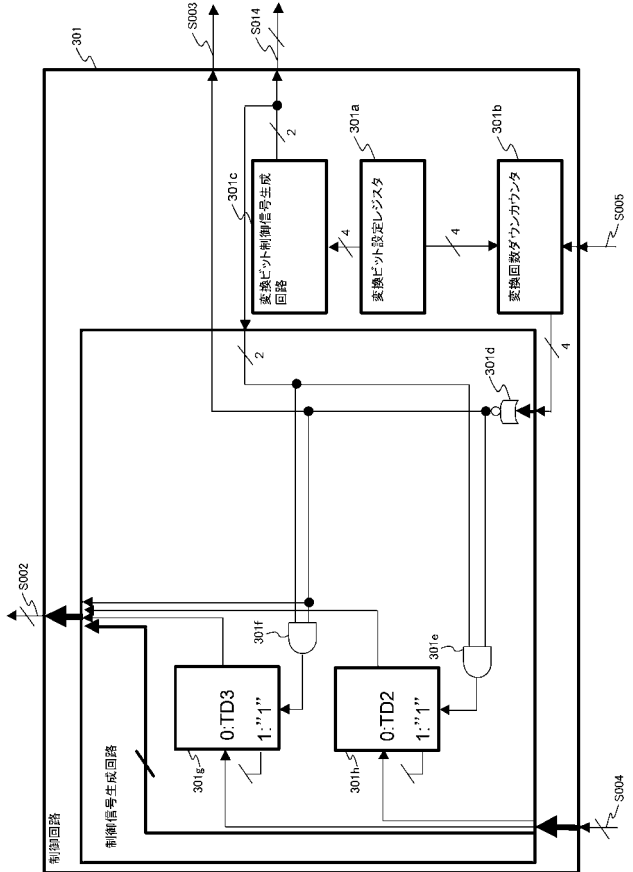
【図 4】



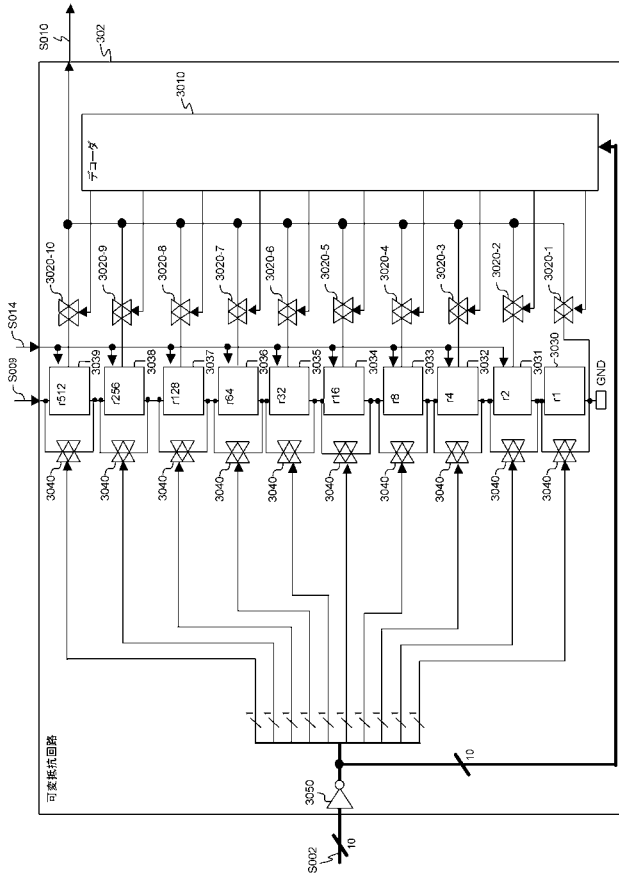
【 図 6 】



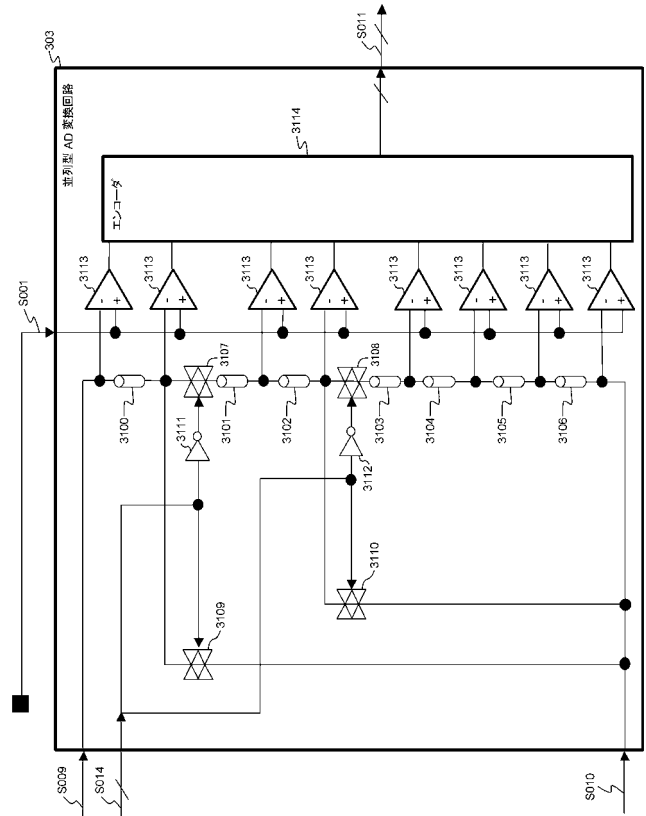
【 図 8 】



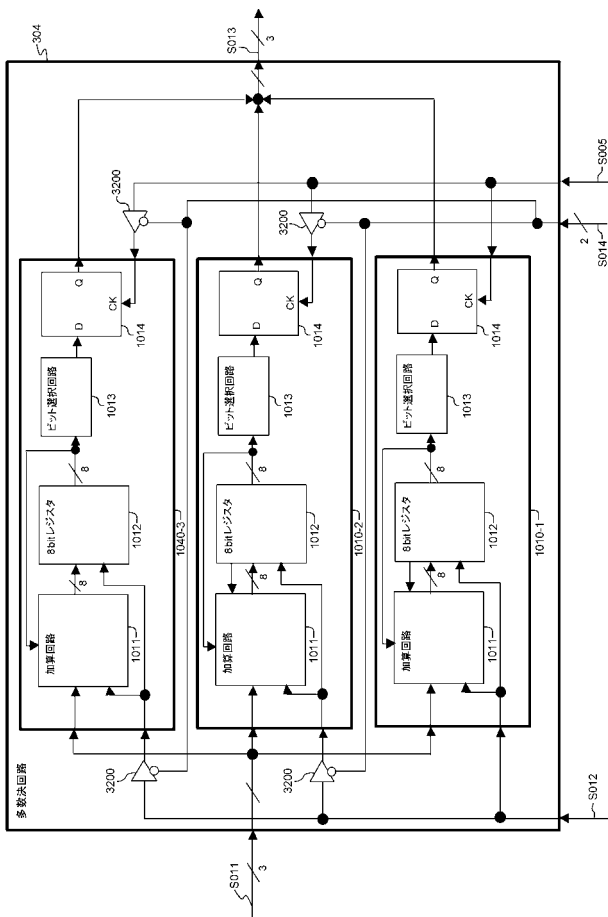
【図 9】



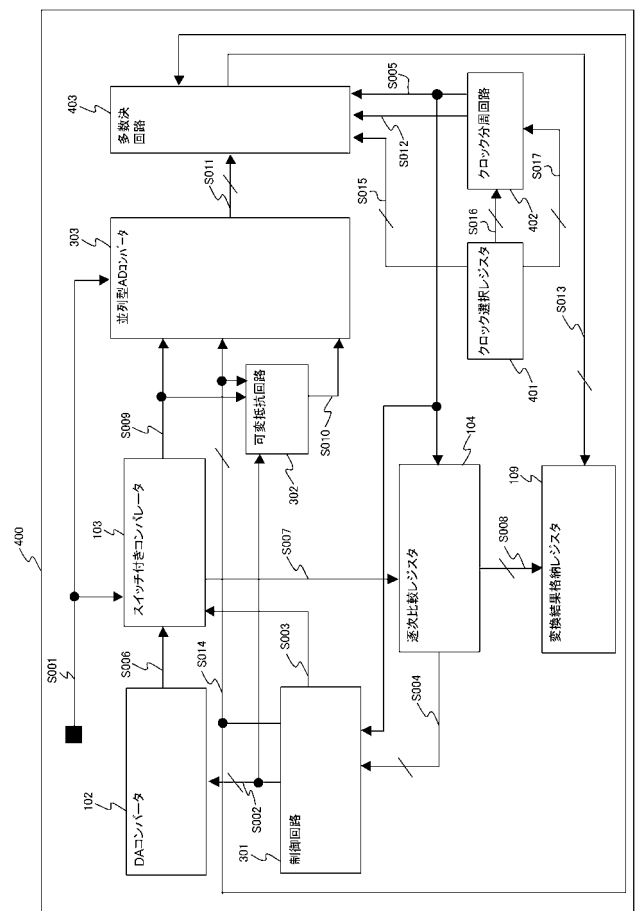
【図 10】



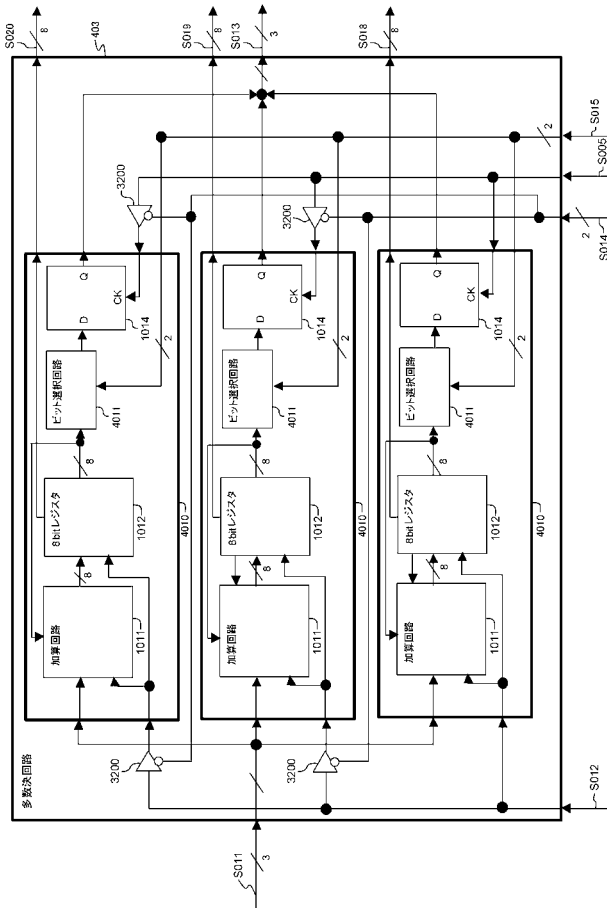
【図 11】



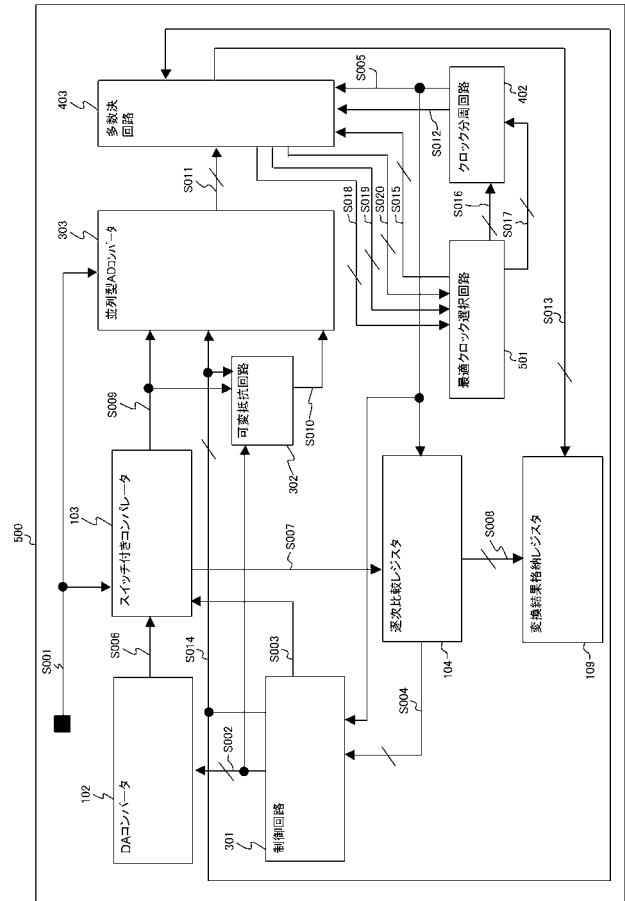
【図 12】



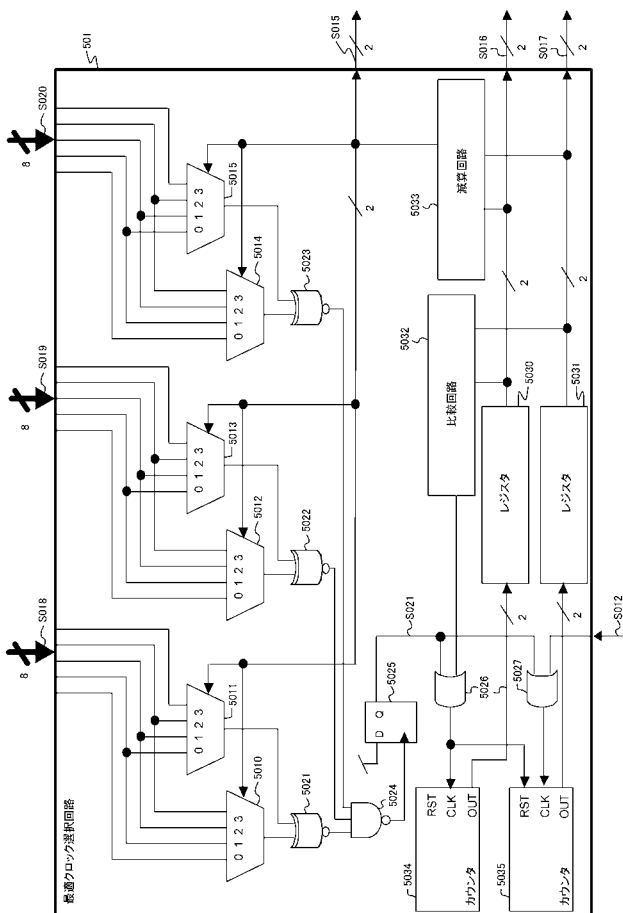
【 図 1 3 】



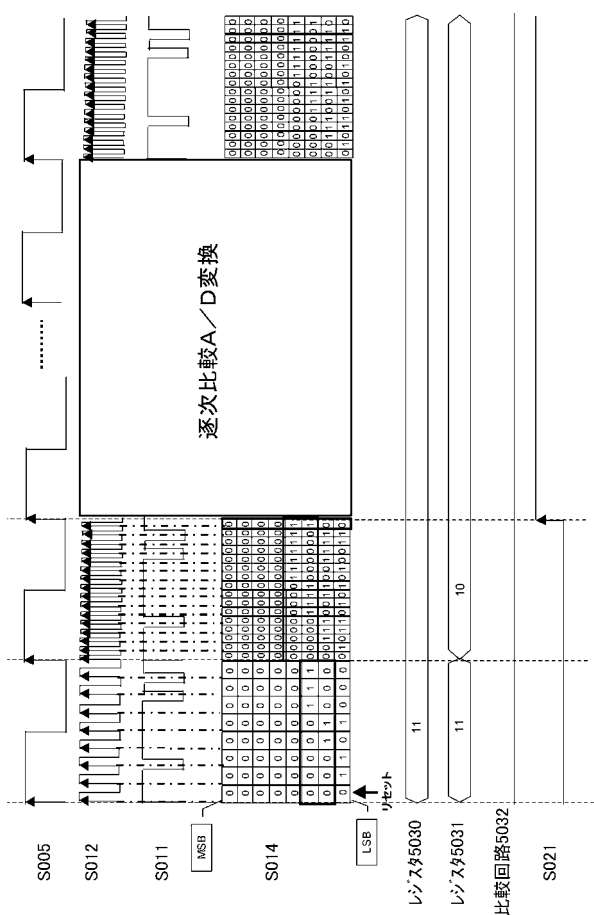
【 図 1 4 】



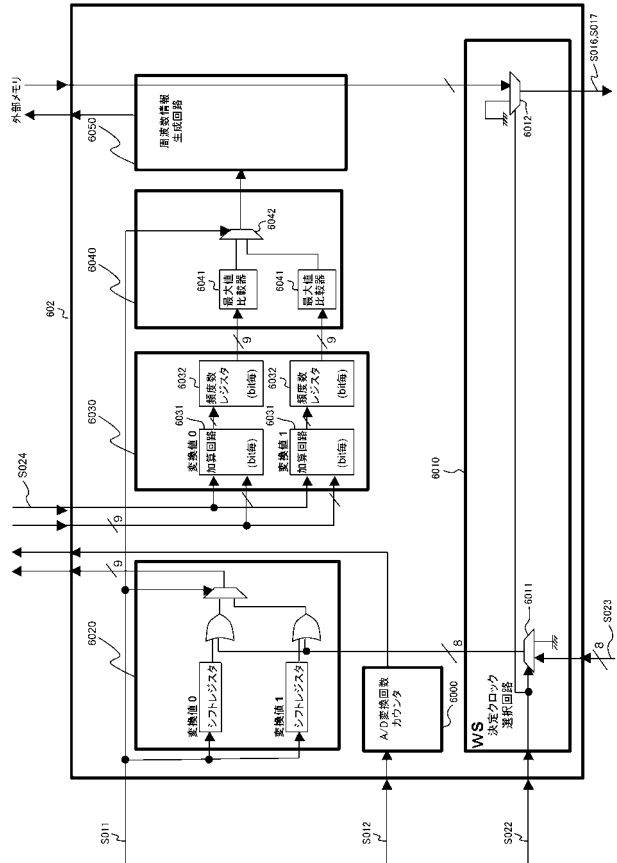
【 図 1 5 】



【 図 1 6 】



【 図 1 8 】



フロントページの続き

(74)代理人 100117581

弁理士 二宮 克也

(74)代理人 100117710

弁理士 原田 智雄

(74)代理人 100121728

弁理士 井関 勝守

(74)代理人 100124671

弁理士 関 啓

(74)代理人 100131060

弁理士 杉浦 靖也

(72)発明者 河本 昭

大阪府門真市大字門真 1 0 0 6 番地 パナソニック半導体システムテクノ株式会社内

(72)発明者 嶋田 翔

大阪府門真市大字門真 1 0 0 6 番地 パナソニック半導体システムテクノ株式会社内

Fターム(参考) 5J022 AA02 AA06 AA14 AB01 BA02 CA10 CE08 CF07