

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2012-152606

(P2012-152606A)

(43) 公開日 平成24年8月16日(2012.8.16)

(51) Int.Cl.
A61N 1/36 (2006.01)F I
A61N 1/36テーマコード (参考)
4C053

審査請求 有 請求項の数 16 O L (全 20 頁)

(21) 出願番号 特願2012-115921 (P2012-115921)
(22) 出願日 平成24年5月21日 (2012.5.21)
(62) 分割の表示 特願2010-514892 (P2010-514892)
の分割
原出願日 平成20年4月2日 (2008.4.2)
(31) 優先権主張番号 11/767,636
(32) 優先日 平成19年6月25日 (2007.6.25)
(33) 優先権主張国 米国 (US)

(71) 出願人 507213592
ボストン サイエントフィック ニュー
ロモデュレイション コーポレイション
アメリカ合衆国 カリフォルニア州 91
355 ヴァレンシア ライ キャニオン
ループ 25155
(74) 代理人 100082005
弁理士 熊倉 禎男
(74) 代理人 100088694
弁理士 弟子丸 健
(74) 代理人 100103609
弁理士 井野 砂里
(74) 代理人 100095898
弁理士 松下 満

最終頁に続く

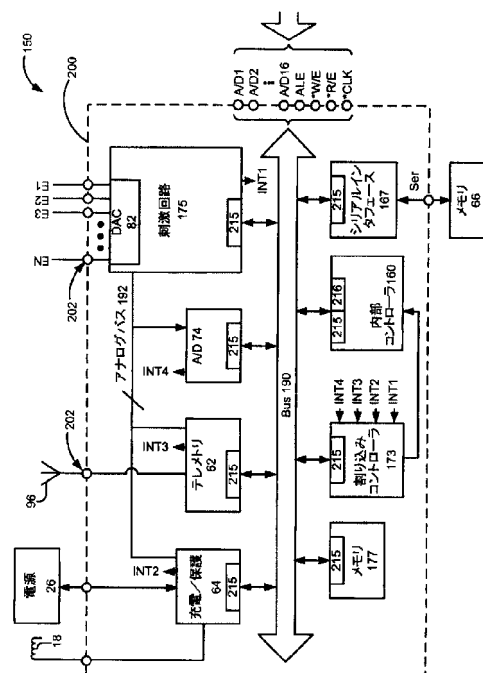
(54) 【発明の名称】 植え込み型刺激器具

(57) 【要約】

【課題】 植え込み型医療器具における相互接続性などの問題の解決策を提供する。

【解決手段】 植え込み型刺激器具は、複数の機能ブロックを有する集積回路を備える。前記機能ブロックは、1つ以上のアナログ-デジタル変換器、植え込み型刺激器具の外部に位置する装置と通信する遠隔測定回路、植え込み型刺激器具の電池を充電する電池充電回路を有する。機能ブロックは、刺激回路を有し、組織刺激電極が刺激回路に結合される。機能ブロックは、前記機能ブロックによって発生された割り込みを受け入れる割り込みコントローラを有する。植え込み型刺激器具は、機能ブロックの各々に直接結合されたバスを備える。機能ブロックはバスプロトコルを経て互いに通信し、前記割り込みはバスで通信しない。

【選択図】 図4



【特許請求の範囲】

【請求項 1】

植え込み型刺激器具であって、
複数の機能ブロックを有する集積回路を備え、
前記機能ブロックは、

1つ以上の (i) アナログ - デジタル変換器、(ii) 植え込み型刺激器具の外部に位置する装置と通信するように構成された遠隔測定回路、または、(iii) 植え込み型刺激器具の電池を充電するように構成された電池充電回路を有しており、

前記機能ブロックは、さらに、植え込み型刺激器具の刺激回路を有し、

少なくとも1つの組織刺激電極が、前記刺激回路に結合されており、

前記機能ブロックは、さらに、前記1つ以上の機能ブロックによって発生された割り込みを受け入れるように構成された割り込みコントローラを有し、

前記植え込み型刺激器具は、さらに、前記機能ブロックの各々に直接結合されたバスを備え、

前記機能ブロックは、バスプロトコルを経て互いに通信するようになっており、

前記割り込みは、前記バスで通信しないようになっている、
ことを特徴とする器具。

【請求項 2】

前記機能ブロックのうちの1つは、さらに、マスターコントローラを含み、他の全ての機能ブロックは、前記マスターコントローラのスレーブであることを特徴とする、請求項 1 に記載の器具。

【請求項 3】

前記アナログ - デジタル変換器は、前記バスの外部に位置する前記機能ブロックのうちの少なくとも幾つかから複数のアナログ信号を受け取ることを特徴とする、請求項 1 に記載の器具。

【請求項 4】

前記集積回路は、外部端子を有し、前記バスが前記集積回路の外部に位置する少なくとも1つの装置と通信することができるように、前記バスは、少なくとも1つの外部端子と直接結合されることを特徴とする、請求項 1 に記載の器具。

【請求項 5】

前記集積回路の外部に位置する前記装置は、メモリ回路を含むことを特徴とする、請求項 4 に記載の器具。

【請求項 6】

前記集積回路の外部に位置する前記装置は、コントローラを含むことを特徴とする、請求項 4 に記載の器具。

【請求項 7】

植え込み型刺激器具であって、
複数の機能ブロックを備え、
前記機能ブロックは、

1つ以上の (i) アナログ - デジタル変換器、(ii) 植え込み型刺激器具の外部に位置する装置と通信するように構成された遠隔測定回路、または、(iii) 植え込み型刺激器具の電池を充電するように構成された電池充電回路を有しており、

前記機能ブロックは、さらに、植え込み型刺激器具の刺激回路を有し、

少なくとも1つの組織刺激電極が、前記刺激回路に結合されており、

前記機能ブロックは、さらに、前記1つ以上の機能ブロックによって発生された割り込みを受け入れるように構成された割り込みコントローラを有し、

前記植え込み型刺激器具は、さらに、前記機能ブロックの各々に直接結合されたバスを備え、

前記バスの通信は、バスプロトコルを介して制御されるようになっており、

前記割り込みは、前記バスで通信しないようになっている、

ことを特徴とする器具。

【請求項 8】

前記機能ブロックのうちの 1 つは、さらに、マスターコントローラを含み、他の全ての機能ブロックは、前記マスターコントローラのスレーブであることを特徴とする、請求項 7 に記載の器具。

【請求項 9】

前記アナログ - デジタル変換器は、前記バスの外部に位置する前記機能ブロックのうちの少なくとも幾つかから複数のアナログ信号を受け取ることを特徴とする、請求項 7 に記載の器具。

【請求項 10】

前記複数の機能ブロック及び前記バスは、単一の集積回路上に集積され、前記集積回路は、外部端子を有し、前記バスが前記集積回路の外部に位置する少なくとも 1 つの装置と通信することができるように、前記バスは、複数の外部端子と直接結合されることを特徴とする、請求項 7 に記載の器具。

【請求項 11】

前記集積回路の外部に位置する前記装置は、メモリ回路を含むことを特徴とする、請求項 10 に記載の器具。

【請求項 12】

前記集積回路の外部に位置する前記装置は、コントローラを含むことを特徴とする、請求項 10 に記載の器具。

【請求項 13】

植え込み型刺激器具であって、
複数の機能ブロックを有する集積回路を備え、
前記機能ブロックは、

1 つ以上の (i) アナログ - デジタル変換器、(ii) 植え込み型刺激器具の外部に位置する装置と通信するように構成された遠隔測定回路、または、(iii) 植え込み型刺激器具の電池を充電するように構成された電池充電回路を有しており、

前記機能ブロックは、さらに、植え込み型刺激器具の刺激回路を有し、

少なくとも 1 つの組織刺激電極が、前記刺激回路に結合されており、

前記植え込み型刺激器具は、さらに、

前記集積回路の外部に位置する少なくとも 1 つの装置と、

前記機能ブロックの各々に直接結合され、かつ、前記集積回路の外部に位置する前記装置に直接結合されたバスを備え、

前記集積回路の外部に位置する前記装置と前記機能ブロックは、プロトコルに従って前記バスと通信するようになっていて、

前記割り込みは、前記バスで通信しないようになっている、
ことを特徴とする器具。

【請求項 14】

前記機能ブロックのうちの 1 つは、マスターコントローラを含み、他の全ての機能ブロックは、前記マスターコントローラのスレーブであることを特徴とする、請求項 13 に記載の器具。

【請求項 15】

前記アナログ - デジタル変換器は、前記バスの外部に位置する前記機能ブロックのうちの少なくとも幾つかから複数のアナログ信号を受け取ることを特徴とする、請求項 13 に記載の器具。

【請求項 16】

前記集積回路は、外部端子を有し、前記バスが前記集積回路の外部に位置する少なくとも 1 つの装置と通信することができるように、前記バスを構成する前記複数の信号の各々は、複数の外部端子と直接結合されることを特徴とする、請求項 13 に記載の器具。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、一般に、植え込み型刺激器具に関する。

【0002】

〔関連出願の説明〕

本出願は、2007年6月25日に出願された米国特許出願第11/767,636号の優先権主張出願に関連するものであり、この米国特許出願を参照により引用し、その記載内容全体を本明細書の一部とする。

【背景技術】

【0003】

植え込み型刺激器具は、種々の生物学的障害の治療のために電気刺激を発生させて、かかる電気刺激を身体神経及び組織に送り出す器具、例えば、心不整脈を治療するためのペースメーカ、心細動の治療のための除細動器、聴覚消失の治療のための蝸牛刺激器、視覚消失の治療のための網膜刺激器、調和体肢運動を生じさせるための筋肉刺激器、慢性疼痛の治療のための脊髄刺激器、運動性及び心理学的障害の治療のための大脳皮質及び深部脳刺激器、及び尿失禁、睡眠時無呼吸、肩関節亜脱臼等の治療のための他の神経刺激器である。本発明は、かかる全ての用途に利用できる。ただし、以下の説明は、全体として、例えば、米国特許第6,516,227号（「第227号特許」という場合がある）明細書に開示されている脊髄刺激（SCS）システム内への本発明の利用に焦点を当てている。なお、この米国特許を参照により引用し、その開示内容全体を本明細書の一部とする。

【0004】

脊髄刺激は、或る特定の割合の患者の疼痛を緩和するための広く受け入れられた臨床的方法である。図1A及び図1Bに示されているように、SCSシステムは、典型的には、植え込み型パルス発生器（IPG）100を有し、このIPGは、例えばチタンで作られた生体適合性ケース30を有する。ケース30は、通常、IPGが機能するのに必要な回路及び電源又は電池を保持している。IPG100は、1本又は2本以上の電極リード（2つのかかるリード102,104が示されている）を介して電極106に結合されており、その結果、電極106は、電極アレイ110を形成するようになっている。電極106は、可撓性本体108で支持され、この可撓性本体は又、各電極に結合された個々の信号線112,114を収容している。信号線112,114は、インタフェース115によりIPG100に接続されており、このインタフェースは、リード102,104（又は図示していないリード延長部）をIPG100に取り外し可能に接続することができる任意の適当な装置であって良い。

【0005】

インタフェース115は、例えば、リード102,104に設けられたコネクタ119a,119bと対応関係をなして結合するよう構成されたリードコネクタ38a,38bを含む電気機械的コネクタ装置から成るのが良い。図示の実施形態では、リード102にE₁～E₈と表示された8つの電極が存在し、リード104にはE₉～E₁₆と表示された8つの電極が設けられているが、リード及び電極の数は特定用途向けであり、従って様々な場合がある。電極アレイ110は、典型的には、脊髄の硬膜に沿って植え込まれ、IPG100は、電極106を通して脊柱内の神経線維に送り出される電気パルスが発生させる。次に、IPG100それ自体が典型的には患者の臀部内で幾分遠くのところに植え込まれる。

【0006】

図2に示されているように、IPG100は、典型的には、プリント回路板（PCB）16を、このPCB16に取り付けられた種々の電子部品20、例えば、マイクロプロセッサ、集積回路及びキャパシタと一緒に含む電子基板組立体14を有する。最終的には、電子回路は、治療機能、例えば神経刺激を行う。フィードスルー（貫通接続）組立体24が、種々の電極信号を電子基板組立体14からリードコネクタ38a,38bに送り、これらリードコネクタは、リード102,104に結合されている（図1A及び図1B参照

）。IPG100は、ヘッダコネクタ36を更に有し、このヘッダコネクタは、とりわけ、リードコネクタ38a, 38bを収容している。IPG100は、ヘッダコネクタ36内に設けられていて、外部装置、例えば手持ち型又は臨床医用プログラマ（図示せず）に対してデータの送受を行うためのテレメトリ（遠隔計測）アンテナ又はコイル96（図1A）を更に有するのが良い。上述したように、IPG100は、通常、電源26、通常充電式電池26を更に有する。電源26は、外部充電器12によって経皮的に再充電可能である。具体的に説明すると、外部充電器12は、充電セッション中アクティブな状態にあるとき、その充電コイル17に通電し、充電コイル17は、IPG100内の充電コイル18中に電流を誘起させる。この誘起電流は、整流され、最終的には、患者の肉25を通して電源26を充電するために用いられる。

10

【0007】

典型的なIPG及びIPGシステムの構造及び機能に関するそれ以上の細部は、2005年12月14日に出願された米国特許出願第11／305, 898号明細書に開示されており、この米国特許出願を参照により引用し、その開示内容を本明細書の一部とする。

【0008】

IPG100の内部に設けられた回路のための伝統的なアーキテクチャ50が図3に示されている。当業者であれば理解されるように、図3は、この開示により提供される要点を理解するのに十分に比較的高いレベルでIPG100の回路を示している。アーキテクチャ50は、IPG100内で種々の電気機能を実行する基本的な回路ブロックを有している。例えば、テレメトリ回路62がコイル96に結合されており、このテレメトリ回路は、データを外部コントローラ（図示せず）に対して送受するよう動作する。充電・電池保護回路64が同様に、充電コイル18に結合され、この充電・電池保護回路は、電源26と回路の残部との間に介在している。これら回路62, 64の両方は、マイクロコントローラ60に結合され、このマイクロコントローラは、注目できるように、アーキテクチャ50の設計の中心である。電源投入時にマイクロコントローラ60により必要とされるプログラム及びデータは、シリアルインタフェース67によりマイクロコントローラ60に結合されたメモリ66、好ましくはシリアル不揮発性メモリに記憶されている。

20

【0009】

予測可能な刺激療法を提供する際に関与する回路は、ディジタル集積回路（IC）70及びアナログIC80によって提供される。一用途では、ディジタルIC70は、刺激制御ロジック、例えば刺激パルス列に特定のタイミングを提供するようIPGのタイミングチャンネルにより用いられる種々のタイマを備えている。アナログIC80は、シリアルリンクを介してディジタルIC70からデータを受け取り、かかるデータは、ディジタル-アナログ変換器（DAC）82によりアナログ信号に変換され、このディジタル-アナログ変換器は、最終的には、電極（E1...EN）に刺激をもたらす。加うるに、アナログIC80上に且つ充電ブロック64及びテレメトリブロック62内に生じ又はモニタされる種々のアナログ電圧、例えば種々の基準電圧、刺激コンプライアンス電圧等をマイクロコントローラ60に知らせるためにアナログ-ディジタル（A/D）変換器74が用いられる。マイクロコントローラ60と一体のものとして示されているが、A/D変換器74は又、マイクロコントローラ60の外部に位置するディスクリート部品であっても良い。

30

40

【0010】

一実施形態では、マイクロコントローラ60、ディジタルIC70及びアナログIC80は、各々がIPGのプリント回路板16（図1参照）上の部品20のうちの1つから成るディスクリートICを構成する。アーキテクチャ50に含まれる他の機能ブロックは、他の部品20から成る場合があり、これら他の部品は、一体ではなく、少なくとも一部がディスクリート部品で形成される場合がある。

【0011】

アーキテクチャ50の機能ブロックを簡単に説明したが、注目されるべきこととして、これらブロックの詳細な動作を理解することは本発明にとって重要ではない。（読者は、

50

機能ブロックの各々の一般的な知識を知りたい場合には、上記において引用した米国特許出願第 11 / 305, 898 号明細書を参照するのが良い)。これとは異なり、理解すべき重要なことは、機能ブロックを相互に連結する仕方である。当業者であれば理解されるように、アーキテクチャ 50 の作用の中心はマイクロコントローラ 60 であり、このマイクロコントローラは、最終的には、あらゆる指令を他のブロックから受け取ったり、これらを他のブロックに送ったりする。さらに、注目できることとして、ブロック相互間の種々の相互連結は、形式及び複雑さが様々であり、連結方式の中には、性質上シリアルなものがあったり、単一のデータラインを有し、又は、データデジタルバスを有するものもある。さらに、ブロックのうちの幾つかは、他のブロックとの直接的接続関係を欠いており、それ故、中間ブロックにより互いに通信する必要がある。例えば、マイクロコントローラ 60 は、少なくとも一部が、デジタル IC 70 を介してアナログ IC 80 と通信する必要がある。

10

【先行技術文献】

【特許文献】

【0012】

【特許文献 1】米国特許第 6, 516, 227 号明細書

【特許文献 2】米国特許出願第 11 / 305, 898 号明細書

【発明の概要】

【発明が解決しようとする課題】

【0013】

20

かかる相互接続性により、IPG 100 の出費及びその複雑さが増大する。さらに、かかる相互接続性は又、所望の変更及び（又は）新 IPG 改訂に合わせて特定のアーキテクチャを改造することを困難にする。例えば、機能ブロックのうちの 1 つを変更するには、他の機能ブロックにこれに対応した相当な変更が必要な場合があり、アップグレード又は改訂がコスト高になる。

【0014】

加うるに、IPG 100 内のスペースは制限されている。というのは、IPG は、好ましくは、インプラントを患者にとって可能な限り影響がないようにするようできるだけ小形である。この点に関し、図 3 のアーキテクチャ 50 は、マイクロコントローラ 60 のために用いられる別個の IC、デジタル IC 70 及びアナログ IC 80（場合によっては、他の部品）が必要なので一段と問題である。多くの部品を設けることにより、一般に、回路の信頼性がマイナスの影響を受けると共に電力消費量、一般に電力が制限される IPG にとって大きな懸念が増大する。

30

【0015】

本発明は、改良型 IPG アーキテクチャにより植え込み型医療器具の分野において、この問題に対する解決策を提供する。

【0016】

植え込み型医療器具、例えば植え込み型パルス発生器（IPG）の改良型アーキテクチャが開示される。一実施形態では、IPG のための機能ブロックが単一の集積回路（IC）に組み込まれる。機能ブロックの各々は、通信プロトコルにより制御される集中化バスを経て互いに通信すると共に必要ならば他のオフチップ（off-chip）装置と通信する。各回路ブロックは、バスと通信すると共に通信プロトコルに準拠するために、そのプロトコルに準拠したバスインタフェース回路を有する。各ブロックは、プロトコルに準拠しているので、任意所与のブロックを、他のブロックの設計に悪影響を及ぼさずに、容易に改造し又はアップグレードすることができ、それにより IPG 回路のデバッキング及びアップグレーディングが容易になる。さらに、集中化バスを集積回路から外すことができるので、主要 IPG 用 IC の主要な再設計を必要とすることなく、余分な回路をオフチップ状態で容易に追加して IPG を改造し又は機能を IPG に追加することができる。

40

【図面の簡単な説明】

【0017】

50

【図 1 A】植え込み型パルス発生器（ I P G ）及び電極アレイを先行技術に従って I P G に結合する仕方を示す図である。

【図 1 B】植え込み型パルス発生器（ I P G ）及び電極アレイを先行技術に従って I P G に結合する仕方を示す図である。

【図 2】 I P G を先行技術の外部充電器との関連で示す図である。

【図 3】先行技術による I P G 内の回路のアーキテクチャを示す図である。

【図 4】通信プロトコルに従って種々の機能ブロックで動作する集中化バスを備えた I P G の改良型アーキテクチャを示す図である。

【図 5】図 4 の集中化バス上の種々の信号を示すと共にバス上で用いられる通信プロトコルを示す図である。

10

【図 6】図 4 の集中化バスと通信する各機能ブロックによって用いられるバスインタフェース回路の基本構造を示す図である。

【図 7】図 4 の改良型アーキテクチャが図 4 のアーキテクチャに従って組み込まれた I P G 用 I C の外部の追加のメモリ又はコントローラリソースをどのように容易に提供するかを示す図である。

【図 8】外部コントローラと図 4 のアーキテクチャに従って組み込まれた I P G 用 I C の内部に位置するコントローラとの間の制御を分担するのに有用な種々のレジスタを示す図である。

【図 9】図 8 の外部コントローラと内部コントローラとの間の制御を分担するのに有用な回路を示す図である。

20

【図 10】図 9 の回路の動作を説明する流れ図である。

【発明を実施するための形態】

【0018】

図 4 は、改良型 I P G アーキテクチャ 150 の一例を示している。図 3 との比較によれば、図 4 の機能ブロックの大部分が図 3 の回路ブロックに対応しており、かくして、新規のアーキテクチャ 150 において同様な機能を実行することが示されている。しかしながら、改良型アーキテクチャ 150 内の機能ブロックの全ては、顕著な差として、集中化バス 190 に結合されている。本開示に示されている実施形態では、集中化バス 190 は、パラレルに動作する複数の多重化アドレス及びデータラインを有するパラレルバスである。しかしながら、これは厳密に言えば必要条件ではなく、その代わりに、バス 190 は、シリアルバスから成っていても良い。

30

【0019】

好ましい実施形態では、図示の機能ブロックの各々は、単一の集積回路（ I C ） 200 内に組み込まれている。図示のような I P G 用 I C 200 は、アナログ信号とデジタル信号の両方を含んでいるので、 I C 200 は、混合モードチップから成る。しかしながら、厳密に言えば、アーキテクチャ 150 を図示のように単一の I C 200 上に実現することは必要条件ではない。さらに、理解されるべきこととして、 I P G 100 内の或る特定の他の回路部品（例えば、データコイル 96、充電コイル 18、電源 26 及び外部メモリ 66 等）は、論理的に I C 200 の外部に位置する場合がある。よく言われるように、 I P G 内のできる限り多い機能ブロックを I C 200 上に統合することが依然として好ましい。というのは、このことは、歩留まりを増大させ、信頼性を高め、 I P G 内の電子回路のスペースを減少させ、 I P G 100 内の回路の電力消費量を減少させたりその他のことをしたりするからである。

40

【0020】

改良型 I P G アーキテクチャ 150 内の種々の機能ブロックの各々は、バスインタフェース回路 215 を介して集中化バス 190 と通信するが、これについては、後で詳細に説明する。好ましくは、機能ブロック相互間の他の全てのバスを利用しない通信は、最小限に保たれるが、幾つかのかかる通信は、有益である。例えば、図示のように、種々の割り込み（ I N T 1, I N T 2, . . . ）は、割り込みコントローラ 173 と直接通信し、それにより、集中化バス 190 を介するプロトコルを利用した通信に伴って生じる潜在的な

50

遅延無く、種々の割り込みの発生を即座に認識できる。例えば、INT 2は、電源 26 が危険レベルまで充電されたかどうかを割り込みコントローラ 173 に知らせることができ、その結果、IC 200 の動作を必要ならば一時的に停止させる場合がある。別のオフバス通信では、アナログバス 192 が種々のアナログ信号を A/D ブロック 74 に送るために利用され、A/D ブロックでは、かかる電圧をディジタル化することができ、そして必要に応じて集中化バス 190 を介して他の機能ブロックに利用可能にすることができる。

【0021】

機能ブロックの各々の動作原理を理解することは開示する改良型 IPG アーキテクチャ 150 にとって重要ではないが、図 4 から注目すべきこととして、先行技術のディジタル IC 70 及びアナログ IC 80 (図 3) は、混合モード刺激回路ブロック 175 の状態に効果的に統合されており、これらの両方は、電極の各々 Ex のところで見える刺激パルスのタイミング、大きさ及び極性を設定する。

【0022】

先行技術 (図 3) のアーキテクチャ 50 との別の重要な相違点として、集中化マイクロコントローラ 60 (図 3) に代えて、内部コントローラ 160 が用いられていることに注目されたい。集中化バス 190 のパラレル化性状が与えられている場合、IC 200 内の制御は、1 つのソースへの集中度が低く、その代わり、制御は、本質的には、コントローラ 160 と種々の機能ブロックとの間で分割され、コントローラ 160 は、「マスター」として働く。具体的に説明すると、各機能ブロックは、セットアップ及び状態レジスタ (図示せず) を有する。コントローラ 160 は、初期化の際、セットアップレジスタへの書き込みを行って各機能ブロックをコンフィグすると共にイネーブルにする。次に、状態レジスタは、各機能ブロックによって設定され、状態及び他の結果について問い合わせるためにコントローラ 160 によって読み取られる。マスターコントローラ 160 により課されるかかる制御とは別に、コントローラ 160 の外部に位置する機能ブロックの多くは、単純な状態機械を用いてこれらの動作を管理することができ、これら状態機械は、セットアップレジスタによりイネーブルにされると共に変更される。内部コントローラ 160 は、マスターとして働くので、内部コントローラ 160 のバスインタフェース回路 215 は、幾分ユニークであり、例えば、通信プロトコルによって用いられる制御信号 (例えば、ALT、W/E 及び R/E) のためのドライバ回路 216 を有し、このドライバ回路は、IC 200 内の他の機能ブロックのバスインタフェース回路 215 には欠けている。

【0023】

図 4 で理解できるように、IC 200 は、例えば、電源 26 を接続し、コイル 18, 96 を接続し、外部メモリ 66 を接続し、刺激電極を接続するのに必要な幾つかの外部端子 202 (例えば、ピン、ハンダバンプ等) を有する。好ましい実施形態では、他の外部端子 202 は、集中化バス 190 を構成する種々の信号にとって専用であり、それにより、この集中化バスは、IC 200 の外部に位置する他の装置と通信することができ、これについては以下に詳細に説明する。

【0024】

バス 190 を構成する種々の信号が図 5 に見え、この図 5 は、バス上で通信可能な考えられる 1 つのプロトコルを更に開示している。図示のように、集中化バス 190 は、同期化のためのクロック信号 (CLK)、時分割多重化アドレス及びデータ信号 (A/Dx)、アドレスバッチイネーブル信号 (ALE)、アクティブロー (active-low)、書き込みイネーブル信号 (*W/E) 及びアクティブロー読み取りイネーブル信号 (*R/E) から成っている。集中化バス 90 は、16 のアドレス/データ信号を有するのが良いが、当然のことながら、この数は、システム要件に応じて変わるのが良い。

【0025】

当業者には理解されるように、例えば図 4 の IC 200 を含む IPG システムにおける通信は、他のコンピュータ化システムと比較して比較的動作速度が遅い場合がある。これにより、集中化バス 190 上で用いられるプロトコルの要件が緩和され、比較的単純且つ比較的低速なプロトコルを用いることができる。例えば、クロック信号 CLK に関する周

10

20

30

40

50

波数は、32 kHz～1 MHzであるのが良い。かかる周波数は、一般に、コンピュータ化プロトコルにとっては遅いが、典型的には数十マイクロ秒～ミリ秒のオーダーで刺激パルスを提供するIPGの動作と比較すると、適当に速い。

【0026】

図示されているように、プロトコルは、アドレスの次にそのアドレスに関する関連データが続く等するかなり単純なデータ前アドレス (address-before-data) 方式を用いている。アドレスとデータの識別を助けるため、アドレスラッチイネーブル信号 (ALE) は、アドレスの発行の際にのみアクティブであり、それにより、アドレスをクロック信号の立ち上がり端の際にラッチすることができる。特定のアドレスに対応したデータが書き込まれるか読み取られるかは、書き込み及び読み取りイネーブル信号 (*W/E、*R/E) のアサート (真) で決まる。当然のことながら、このプロトコルは、例示に過ぎず、他のプロトコル及びフォーマットを集中化バス190上での通信のために使用できる。

10

【0027】

図5のプロトコルの性状は、集中化バス190に結合された全ての機能ブロックをアドレスと呼ぶなければならない、恐らくは、或る範囲のアドレスと呼ぶなければならないことを意味している。例えば、コンプライアンス電圧のための値を保持するデータレジスタのためのアドレス (A/Dブロック74において) は、ADDR [3401] であり、バンドギャップ基準電圧のためのアドレスは、ADDR [3402] であり、電極E6によって提供されるべき刺激の大きさのためのアドレス (刺激回路ブロック175において) は、ADDR [7655] であり、他方、そのパルスの持続時間は、ADDR [7656] で記憶されるのが良く、その他同様である。

20

【0028】

関連アドレスを認識する際に種々の機能ブロックを助けるため且つ集中化バス190のプロトコルに従って機能する各ブロックの能力を保証するため、各ブロックは、図6に示されているバスインタフェース回路215を有している。当業者であればバスインタフェース回路215の動作原理を良く理解しており、したがって、これを一般的なレベルで説明する。上述したように、1つ又は2つ以上のアドレス、例えば図6の単純な例では、ADDR [1]～[5] は、各機能ブロックと関連している場合がある。かかるアドレスが種々のブロックのところで受け取られると、各ブロックは、これらアドレスを復号して突き合わせ (マッチ) を判定し、即ち、このアドレスがそのブロックを示すアドレスのうちの1つに対応しているかどうかを判定する。もしそうであれば、データが問題のアドレスに書き込まれ又はこれから読み取られるかどうかに応じて、バスドライバ (読み取りの場合) 又はバスレシーバ (書き込みの場合) は、イネーブルにされ、次にデータがブロックのデータレジスタに書き込まれ又はこれから読み取られる。このプロトコルに準拠するため、ブロック内の実際の機能回路 (図6には示されていない) は、当業者には理解されるように、データレジスタンスと適切にインタフェースをとる必要がある。

30

【0029】

バスインタフェース回路215により、各機能ブロックがバス190について確立されたプロトコルを用いて通信することができる状態では、種々の機能ブロックに変更を加えて回路の誤差を修正すると共に (或いは) 次世代IPGで使用可能にIC200をアップグレードすることは、今や、比較的簡単なことになる。これは、ブロックの回路の各々を変更でき、この場合、かかる変更が関連のブロックの他の変化を必要とし又は他のブロックの動作を動揺させるという心配が無いからである。機能ブロックを別個独立に設計し、パラレルに検証することができ、それにより、設計プロセス中における時間及び労力を節約することができる。

40

【0030】

改良型アーキテクチャ150のもう1つの利点は、IC200の外部に位置するIPG100を容易に改造し又は機能をこれに追加することができるということにある。例えば、将来における改良では、IPGは、もしそうでない場合にオンチップメモリ177又はオフチップメモリ66 (図4参照) で記憶できるデータよりもより多くのデータを記憶す

50

ることが必要な場合がある。かかる場合、集中化バスアーキテクチャ 150 が IC 200 内で用いられている場合、バス 190 を図 7 に示されているように IC 200 の外部に延長することができ、そしてメモリ 300（好ましくは、不揮発性メモリ）を追加することができる。これは、非常に有利であり、その理由は、これにより、IC 200 及び（又は）その機能ブロックのうちの幾つかを再設計する必要なく、IPG 回路をアップグレードすることができるからである。

【0031】

開示したアーキテクチャ 150 がどのようにシステム統合のためになるかを示す別の例では、システムの容量を第 1 の IC 200 と同様に構成された別の IC 200' の追加によって効果的に 2 倍にすることができる。これにより、IC 200, 200' が収納された IPG 100 は、32 個の刺激電極、即ち、IC の両方から各々 16 個ずつの刺激電極を提供することができる。換言すると、IPG の容量を複数の刺激 IC を互いに単純に「デイジィチェイニング (daisy chaining)」することにより増大させることができる。かかる実施形態では、IC 200 又は IC 200' のうちの一方の内部コントローラ 160 をイナクティブな状態にしてコントローラ 160 が 1 つしかシステムのマスターコントローラとして働かないようにすることが有益な場合がある。変形例として、IPG システムは、IC 200, 200' の両方のコントローラ 160 を利用しても良い。ただし、これには、潜在的なコンフリクト、即ち、図 8～図 10 を参照して以下に説明する課題を解決するための 2 つのコントローラ相互間におけるアービトレーションが必要である。

【0032】

また、バス 190 により IC 200 の外部に他の装置を追加することができる。例えば、アーキテクチャ 150 の使用によりイネーブルにされる 1 つの特に関心のある用途は、少なくとも或る程度の系統的制御を IC 200 の外部に配置することができるということにある。例えば、図 7 では、外部マイクロコントローラ 240 が IC 200 内に位置する内部コントローラ 160 に取って代わり又はこれを補うために用いられる（外部マイクロコントローラ 240 は、上述の要点である追加の IC 200' の内部コントローラ 160 から成っていても良い）。この場合も又、外部コントローラにより IPG を制御できるということは、IC 200 又は種々の機能ブロックに変更を加えないで IPG のためのプログラミングを変更できるということを意味している。

【0033】

しかしながら、外部マイクロコントローラ 240 により追加の制御を提供するためには、2 つの制御機構相互間にコンフリクトが無いようにするために内部コントローラ 160 と外部マイクロコントローラ 240 との間に追加の通信手段が必要な場合がある。図 8～図 10 は、内部コントローラ 160 と外部マイクロコントローラ 240 がコンフリクト無く IC 200 の制御をどのように分担することができるかを記載している。

【0034】

外部制御の可能性の認識に当たり、内部コントローラ 160 は、図 8 及び図 9 に示されているように追加の機能を備えている。素早くプレビューすることにより、この追加の機能は、バス 190 上に出された特定の指令が内部コントローラ 160 によって取り扱われるべきか外部マイクロコントローラ 240 によって取り扱われるべきかどうかを認識するよう設計されている。どちらの装置 160 又は 240 が最終的に問題になっている指令を処理するかは、コントローラ選択ビット (CSB) によって設定される。CSB = 0 である場合、内部コントローラ 160 が問題の指令を実行し、CSB = 1 であれば、外部マイクロコントローラ 240 がその指令を実行する。図 7 及び図 9 で理解できるように、CSB は、全体として集中化バス 190 の範囲の外部に位置するディスクリット通信信号を構成することができ、このディスクリット通信信号は、その離散的な性格により、2 つのコントローラ 160, 240 相互間の迅速且つ安全なアービトレーション方法として好ましい具体化例であることが可能である。他の具体化例では、コントローラ選択ビットは、バス 190 のプロトコルを用いてバス 190 を介して送られるデータを構成することができる

。かかる具体化例では、CSBデータは、バス190により内部コントローラ160と外部マイクロコントローラ240との間で受け渡しされる制御「送信許可証（トークン）」と見なすことができる。コントローラ相互間におけるかかる純粹にバスを利用するアービトレーション方法は、容易に具体化される。しかしながら、バスを利用しないディスクリート信号方式を用いて2つのコントローラ160、240相互間の制御の受け渡しを説明することが容易なので、この方式は、以下に説明されると共に図示されている。

【0035】

図示のように、内部コントローラ160は、図8に詳細に示された2つのレジスタ、即ち、指令レジスタ220及び指令オーナレジスタ230を備えた状態で設計されている。指令レジスタ220は、多くのコントローラの標準的な特徴であり、単純に、IPGが実行することができる種々の指令の二値表示から成る。図示の例では、指令レジスタ220は、長さが8ビットなので、IPG100は、256（ 2^8 ）の互いに異なる指令を処理することができる。指令オーナレジスタ230は、関連の指令（この例では、256）が存在するので同数のビットで構成され、レジスタ内の各ビットは、特定の指令が内部コントローラ160によって取り扱われるべきであるか外部マイクロコントローラ240によって取り扱われるべきであるかどうかを示している。図示のように、指令オーナレジスタ230内の特定のビットが“0”である場合、対応の指令は、内部コントローラ160によって実行されることになり、“1”であれば、外部マイクロコントローラ240が、その指令を実行することになる。単純な例では、256ビット指令オーナレジスタ230が、“1010000...0001”を読み取った場合、指令256、254、1（CMD256、CMD254、CMD1）は、外部マイクロコントローラ240によって実行され、他の全ての指令は、内部コントローラ160によって実行される。

【0036】

コントローラ選択ビット（CSB）245を送出するための指令レジスタ220及び指令オーナレジスタ230の使用法が図9に示されている。指令が指令レジスタ220によっていったん受け取られると、指令は復号されて（例えば、多重分離されて）その指令番号（CMD256～CMD1）が理解される。次に、指令番号を用いて適当な指令オーナビットを指令オーナレジスタ230から取り出す。このビットをコントローラ選択ビット（CSB）245として設定してどのコントローラ（160、240）が指令を上述したように取り扱うべきであるかどうかを指示する。

【0037】

このプロセスについて図10を参照して詳細に説明する。起動時、指令オーナレジスタ230にメモリ（内部メモリ177、シリアル外部メモリ66等）からデフォルト値をロードする。通常、指令オーナレジスタ230内の種々の指令オーナビットのデフォルト値は、全て“0”であり、このことは、少なくとも最初の全ての指令が内部コントローラ160によって実行されるべきことを示している。しかる後、動作中の或る時点で、指令レジスタ220にそのアドレス（ADDR[CMD]）で指令をロードする。指令を上述したように復号し（多重分離し）、対応の指令オーナビットをコントローラ選択ビット（CSB）245として送出的。また、CSB245を図9に示されているようにそのアドレス（ADDR[CER]）（これは、単一ビットから成るのが良い）でコントローライネーブルレジスタ250に記憶させる。また、CSB245を外部マイクロコントローラ240に送る。

【0038】

CSB245が送出的されると、今や、コントローラ160又は240のうちのどちらが問題の指令を実行するかどうか分かり、かくして、それに応じて種々の措置を取る。CSB=“0”であって内部コントローラ160が示されている場合、そのコントローラ160がその指令を実行することを除き、達成されることが必要なことは殆ど無い。デフォルトとして、外部マイクロコントローラ240が内部コントローラ160による指令の実行とコンフリクトしないようにするため、外部コントローラ240に書き込まれたアービトレーション論理246は、CSB=0であることを検出すると、外部コントローラのバ

スドライバ242をディスエーブルにする（無効にする）。これとは対照的に、記憶されたコントローライネーブルレジスタビット250（アクティブラー信号）により内部コントローラバスドライバ212をイネーブルにする（有効にする）。内部コントローラ160がその指令を実行した後、システムは、次の指令を待ち、上述の方法が繰り返され、以下同様である。

【0039】

しかしながらCSB＝“1”であり、外部マイクロコントローラ240が示されている場合、制御を一時的に外部マイクロコントローラ240にシフトすることができる余分のステップを実行する。具体的に説明すると、外部マイクロコントローラ内のアービトレーション論理246は、CSB＝“1”であることの検出時に、これが制御中であることを認識し、そのバスドライバ242をイネーブルにする。これとは対照的に、内部コントローラバスドライバ212をディスエーブルにする。加うるに、CSB＝“1”であることを認識すると、アービトレーション論理246は、バス190を介して指令レジスタ220のアドレス（ADDR [CMD]）からの読み取りを要求することによりそのレジスタ220に記憶されている指令（即ち、その指令）を取り出す。外部マイクロコントローラ240は、その指令をいったん受け取ると、その指令を実行する。

【0040】

その指令が外部マイクロコントローラ240によって実行されると、図10に示されている残りのステップを次の指令の受け取りに先立つ内部コントローラ160への制御の戻しに差し向ける。指令の実行後、アービトレーション論理246は、今や、“0”をコントローライネーブルレジスタ250に書き込み、このコントローライネーブルレジスタは、バス190によりそのアドレスADDR [CER]でアクセス可能である。これにより、もう一度、内部コントローラ160のためのバスドライバ212がイネーブルになる。コントローライネーブルレジスタ250の上書きと同時に、アービトレーション論理246により、外部コントローラ240のためのバスドライバ242がディスエーブルになる。これにより、システムは内部コントローラ160がデフォルトによって制御を引き受けるその初期状態に復元し、その時点において、システムは、その次の指令を待ち、上述の方法が繰り返され、その他同様である。

【0041】

図10の流れは、内部及び外部コントローラ160、240が改良型集中化バスアーキテクチャ150に従ってコンフリクト無しに一緒に動作することができるようにするまさに一手法である。しかしながら、当業者であれば認識されるように、この同じ目的を達成する他の流れ及び他の回路が可能であり、従って、図示の内容は、単なる一例として理解されるべきである。

【0042】

本発明の特定の実施形態を図示すると共に説明したが、上述の説明は、本発明をこれら実施形態に限定するものではないことは理解されるべきである。当業者にとっては明らかなように、本発明の精神及び範囲から逸脱することなく種々の変更及び改造を実施できる。かくして、本発明は、特許請求の範囲に記載された本発明の精神及び範囲に属する変形例、改造例及び均等例を含むものである。

【0043】

本発明に関する上記の教示を考慮に入れるならば、本発明の種々の変更が可能であることは明白である。本発明は、特許請求の範囲において特定したものとは異なる態様で実施することも可能である。

【0044】

本発明に関連する好ましい態様として、例えば、以下のものをあげることができる。

〔態様1〕

植え込み型刺激器具であって、

各々が前記植え込み型医療器具内で少なくとも1つの機能を実行する複数の機能ブロックを備えた集積回路を有し、少なくとも1つの他の機能ブロックは、前記植え込み型刺激

10

20

30

40

50

器具のための刺激回路を有し、少なくとも 1 つの組織刺激電極が、前記刺激回路に結合されており、

前記機能ブロックの各々と通信状態にあるバスを有し、前記機能ブロックは、バスプロトコルを経て互いに通信する、器具。

〔態様 2〕

前記機能ブロックのうちの 1 つは、マスターコントローラから成り、他の全ての機能ブロックは、前記マスターコントローラのスレーブである、上記態様 1 に記載の器具。

〔態様 3〕

前記機能ブロックのうちの 1 つは、アナログ - デジタル変換器から成り、前記アナログ - デジタル変換器は、前記バスの外部に位置する前記機能ブロックのうちの少なくとも 10
も幾つかから複数のアナログ信号を受け取る、上記態様 1 に記載の器具。

〔態様 4〕

前記集積回路は、外部端子を有し、前記バスは、前記バスが前記集積回路の外部に位置する少なくとも 1 つの装置と通信することができるよう少なくとも 1 つの外部端子と通信する、上記態様 1 に記載の器具。

〔態様 5〕

前記装置は、メモリ回路から成る、上記態様 4 に記載の器具。

〔態様 6〕

前記装置は、コントローラから成る、上記態様 4 に記載の器具。

〔態様 7〕

前記機能ブロックのうちの少なくとも幾つかは、他の機能ブロックに割り込みをかけ、前記割り込みは、前記バス上を移動することはない、上記態様 1 に記載の器具。

【0045】

〔態様 8〕

植え込み型刺激器具であって、

各々が前記植え込み型医療器具内で少なくとも 1 つの機能を実行する複数の機能ブロックを有し、少なくとも 1 つの他の機能ブロックは、前記植え込み型刺激器具のための刺激回路を有し、少なくとも 1 つの組織刺激電極が、前記刺激回路に結合されており、

前記機能ブロックの各々と通信状態にあるパラレルバスを有し、前記機能ブロックは、バスプロトコルを経て互いに通信する、器具。

〔態様 9〕

前記機能ブロックのうちの 1 つは、マスターコントローラから成り、他の全ての機能ブロックは、前記マスターコントローラのスレーブである、上記態様 8 に記載の器具。

〔態様 10〕

前記機能ブロックのうちの 1 つは、アナログ - デジタル変換器から成り、前記アナログ - デジタル変換器は、前記バスの外部に位置する前記機能ブロックのうちの少なくとも 10
も幾つかから複数のアナログ信号を受け取る、上記態様 8 に記載の器具。

〔態様 11〕

前記複数の機能ブロック及び前記バスは、単一の集積回路上に集積され、前記集積回路は、外部端子を有し、前記バスは、前記バスが前記集積回路の外部に位置する少なくとも 1 つの装置と通信することができるよう少なくとも 1 つの外部端子と通信する、上記態様 8 に記載の器具。

〔態様 12〕

前記装置は、メモリ回路から成る、請求項 11 に記載の器具。

〔態様 13〕

前記装置は、コントローラから成る、請求項 11 に記載の器具。

〔態様 14〕

前記機能ブロックのうちの少なくとも幾つかは、他の機能ブロックに割り込みをかけ、前記割り込みは、前記バス上を移動することはない、上記態様 8 に記載の器具。

【0046】

10

20

30

40

50

〔態様 15〕

植え込み型刺激器具であって、

各々が前記植え込み型医療器具内で少なくとも 1 つの機能を実行する複数の機能ブロックを有し、少なくとも 1 つの他の機能ブロックは、前記植え込み型刺激器具のための刺激回路を有し、少なくとも 1 つの組織刺激電極が、前記刺激回路に結合されており、

前記機能ブロックの各々と通信状態にあるパラレルバスを有し、

各機能ブロックと前記バスとの間に介在して設けられたバスインタフェース回路を有し、前記バスインタフェース回路により、各ブロックは、プロトコルに従って前記バスを経て他の機能ブロックと通信することができる、器具。

〔態様 16〕

前記機能ブロックのうちの 1 つは、マスターコントローラから成り、他の全ての機能ブロックは、前記マスターコントローラのスレーブである、上記態様 15 に記載の器具。

〔態様 17〕

前記機能ブロックのうちの 1 つは、アナログ - デジタル変換器から成り、前記アナログ - デジタル変換器は、前記バスの外部に位置する前記機能ブロックのうちの少なくとも幾つかから複数のアナログ信号を受け取る、上記態様 15 に記載の器具。

〔態様 18〕

前記複数の機能ブロック、前記バス、及び前記バスインタフェース回路は、単一の集積回路上に集積されている、上記態様 15 に記載の器具。

〔態様 19〕

前記集積回路は、外部端子を有し、前記バスは、前記バスが前記集積回路の外部に位置する少なくとも 1 つの装置と通信することができるよう少なくとも 1 つの外部端子と通信する、上記態様 18 に記載の器具。

〔態様 20〕

前記装置は、メモリ回路から成る、上記態様 19 に記載の器具。

〔態様 21〕

前記装置は、コントローラから成る、上記態様 19 に記載の器具。

〔態様 22〕

前記機能ブロックのうちの少なくとも幾つかは、他の機能ブロックに割り込みをかけ、前記割り込みは、前記バス上を移動することはない、上記態様 15 に記載の器具。

【0047】

〔態様 23〕

植え込み型刺激器具であって、

各々が前記植え込み型医療器具内で少なくとも 1 つの機能を実行する複数の機能ブロックを備えた集積回路を有し、少なくとも 1 つの他の機能ブロックは、前記植え込み型刺激器具のための刺激回路を有し、少なくとも 1 つの組織刺激電極が、前記刺激回路に結合されており、

前記集積回路の外部に位置する少なくとも 1 つの装置を有し、

前記機能ブロックの各々及び前記外部装置と通信状態にあるバスを有し、前記外部装置及び前記機能ブロックは、プロトコルに従って前記バスと通信する、器具。

〔態様 24〕

前記機能ブロックのうちの 1 つは、マスターコントローラから成り、他の全ての機能ブロックは、前記マスターコントローラのスレーブである、上記態様 23 に記載の器具。

〔態様 25〕

前記機能ブロックのうちの 1 つは、アナログ - デジタル変換器から成り、前記アナログ - デジタル変換器は、前記バスの外部で複数のアナログ信号を受け取る、上記態様 23 に記載の器具。

〔態様 26〕

前記集積回路は、外部端子を有し、前記バス中の各信号は、前記バスが前記集積回路の外部に位置する少なくとも 1 つの装置と通信することができるよう外部端子と通信する、

10

20

30

40

50

上記態様 2 3 に記載の器具。

【0048】

〔態様 2 7〕

植え込み型医療器具であって、

各々が前記植え込み型医療器具内で少なくとも 1 つの機能を実行する複数の機能ブロックを有し、少なくとも 2 つのブロックは、他の機能ブロックのための第 1 のコントローラを有し、

前記機能ブロックのうちの少なくとも幾つかを制御することができる第 2 のコントローラを有し、

前記機能ブロックの各々及び前記第 2 のコントローラと通信状態にあるバスを有し、

前記第 1 のコントローラと前記第 2 のコントローラは、他の機能ブロックの制御を分担する、器具。

〔態様 2 8〕

前記植え込み型医療器具は、植え込み型刺激器である、上記態様 2 7 に記載の器具。

〔態様 2 9〕

前記他の機能ブロックのうちの少なくとも 1 つは、電気刺激を患者の組織に送り出す少なくとも 1 つの電極に結合された刺激回路から成る、上記態様 2 8 に記載の器具。

〔態様 3 0〕

前記第 1 のコントローラを含む前記機能ブロックは、集積回路中に集積され、前記第 2 のコントローラは、前記集積回路の外部に位置する、上記態様 2 7 に記載の器具。

【0049】

〔態様 3 1〕

植え込み型医療器具であって、

各々が前記植え込み型医療器具内で少なくとも 1 つの機能を実行する複数の機能ブロックを備えた集積回路を有し、少なくとも 1 つのブロックは、前記集積回路内の他の機能ブロックのための内部コントローラから成り、

前記集積回路の外部に位置する外部コントローラ装置を有し、

前記機能ブロックの各々及び前記外部コントローラと通信状態にあるバスを有し、

前記バス上の少なくとも 1 つの第 1 の指令は、前記内部コントローラにより実行可能であり、前記バス上の少なくとも 1 つの第 2 の指令は、前記外部コントローラによって実行可能である、器具。

〔態様 3 2〕

前記植え込み型医療器具は、植え込み型刺激器である、上記態様 3 1 に記載の器具。

〔態様 3 3〕

前記他の機能ブロックのうちの少なくとも 1 つは、電気刺激を患者の組織に送り出す少なくとも 1 つの電極に結合された刺激回路から成る、上記態様 3 2 に記載の器具。

〔態様 3 4〕

前記内部コントローラは、出された指令が前記内部コントローラにより実行可能な第 1 の指令を含むか前記外部コントローラによって実行可能な第 2 の指令を含むかを判定する回路を有する、上記態様 3 1 に記載の器具。

〔態様 3 5〕

前記回路は、前記出された指令を第 1 の指令か第 2 の指令かのいずれかとして指定するビットのレジスタを有する、上記態様 3 4 に記載の器具。

〔態様 3 6〕

前記回路は、コントローラ選択ビットを、前記外部コントローラ中のアービトレーション回路に送出する、上記態様 3 5 に記載の器具。

【0050】

〔態様 3 7〕

植え込み型刺激器具を作動させる方法であって、

機能ブロックをバスに結合するステップを有し、前記機能ブロックのうちの 1 つは、第

10

20

30

40

50

1のコントローラから成り、少なくとも1つの他の機能ブロックは、前記植え込み型刺激器具のための刺激回路から成り、少なくとも1つの組織刺激電極が、電気刺激回路に結合され、

第2のコントローラを前記バスに結合するステップを有し、

指令を前記バス上に送出するステップを有し、

前記指令が前記第1のコントローラによって実行されるべきであるか前記第2のコントローラによって実行されるべきであるかを判定し、前記指令をそれに応じて実行するステップを有する、方法。

〔態様38〕

前記機能ブロックは、集積回路上に集積され、前記第2のコントローラは、前記集積回路の外部に位置する、上記態様37に記載の方法。

〔態様39〕

前記判定ステップは、前記指令を復号し、前記第1のコントローラ中の関連のオーナビットに問い合わせることにより前記第1のコントローラによって実施される、上記態様37に記載の方法。

〔態様40〕

前記指令が前記第2のコントローラによって実行される場合、信号を前記第2のコントローラに送るステップを更に有し、前記第2のコントローラは、前記第1のコントローラから前記指令を取り出して前記取り出した指令を実行する、上記態様39に記載の方法。

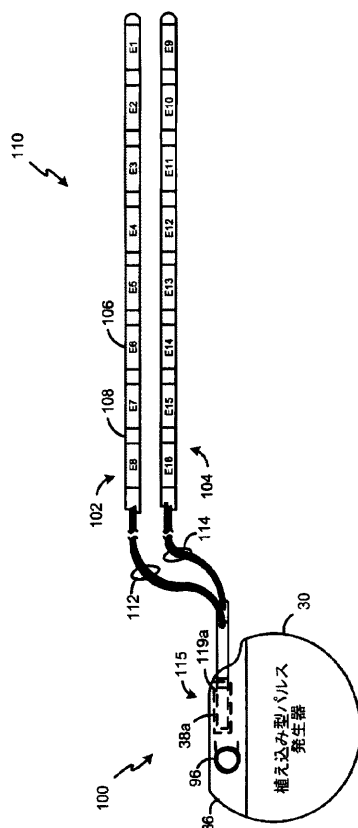
〔態様41〕

前記第2のコントローラによる前記取り出した指令の実行後、制御を前記第1のコントローラに戻すステップを更に有する、上記態様40に記載の方法。

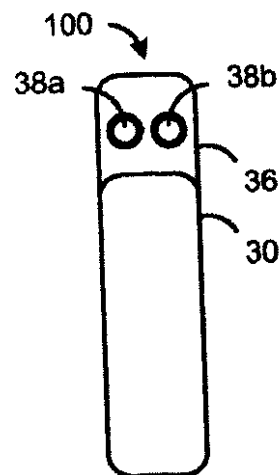
10

20

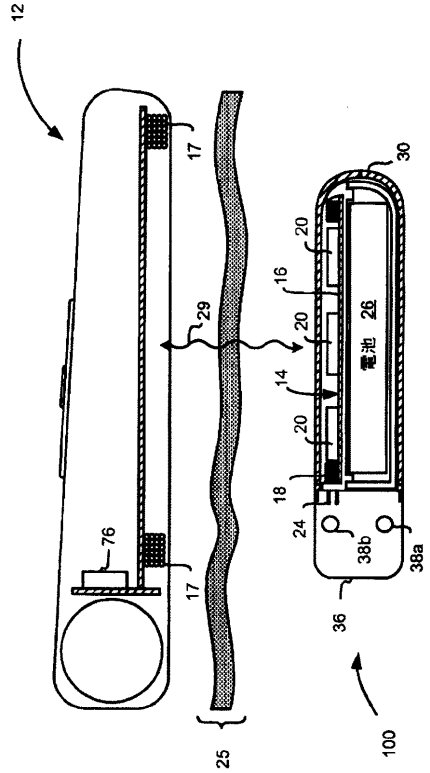
【図1A】



【図1B】

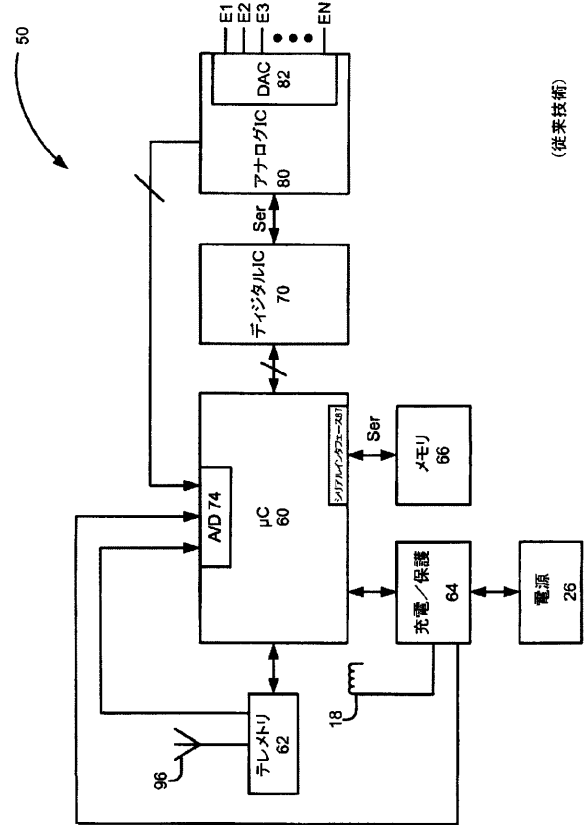


【図 2】



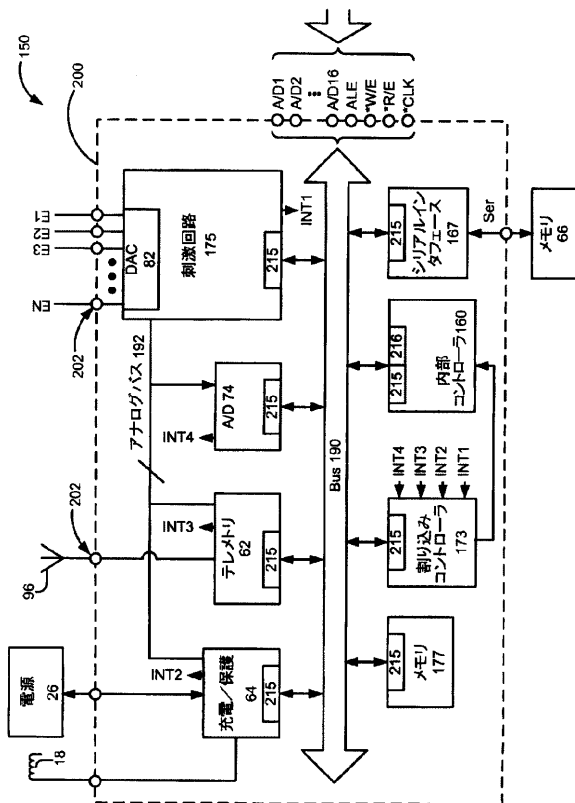
【図 3】

(従来技術)

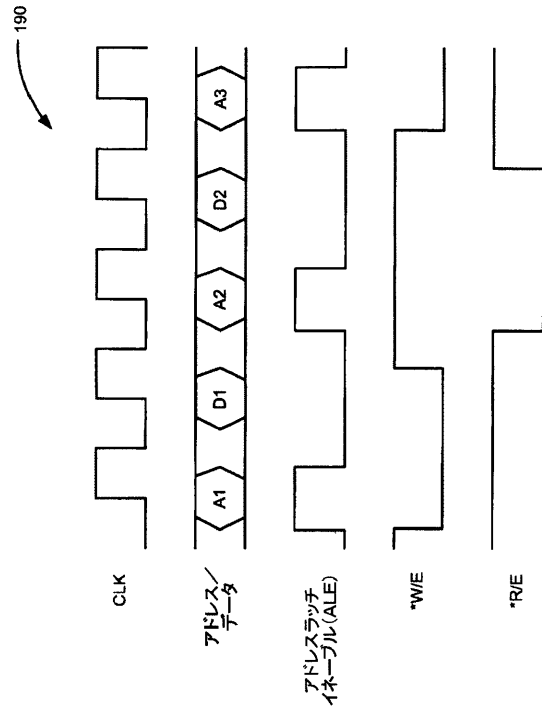


(従来技術)

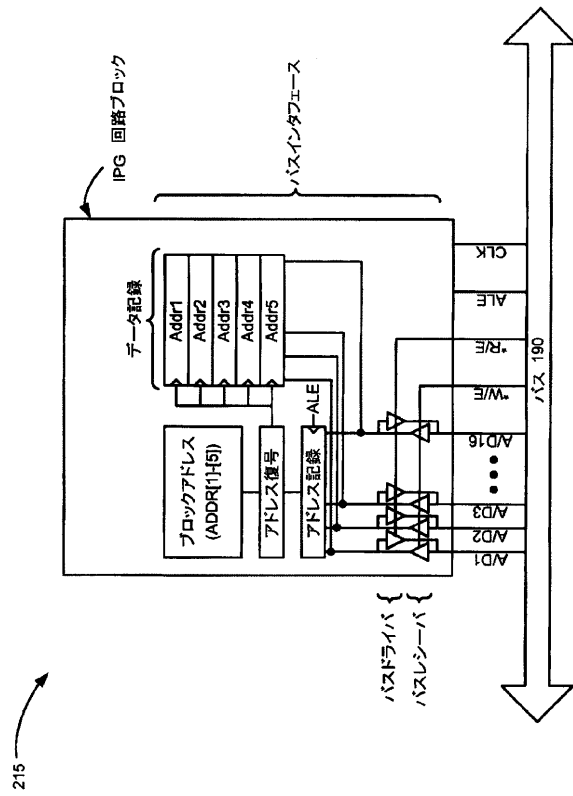
【図 4】



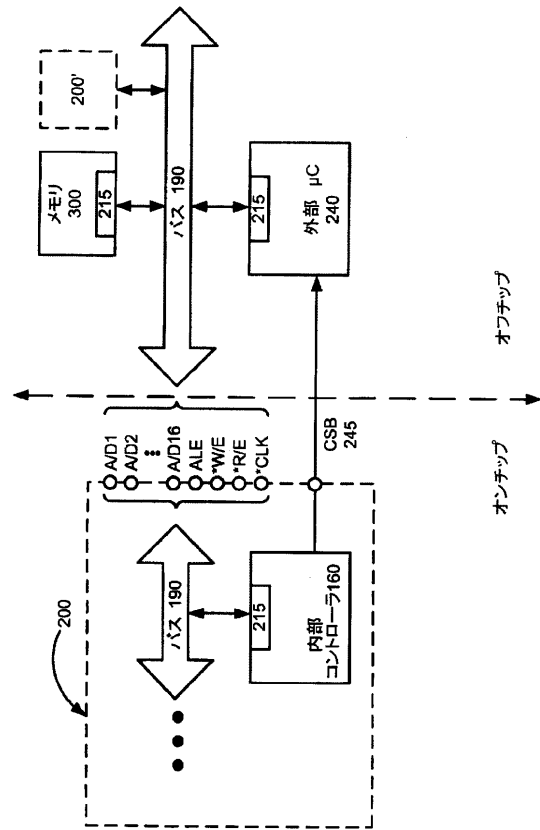
【図 5】



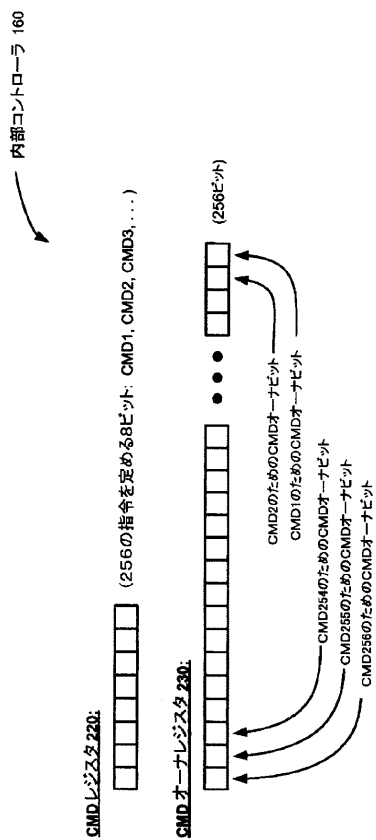
【図 6】



【図 7】

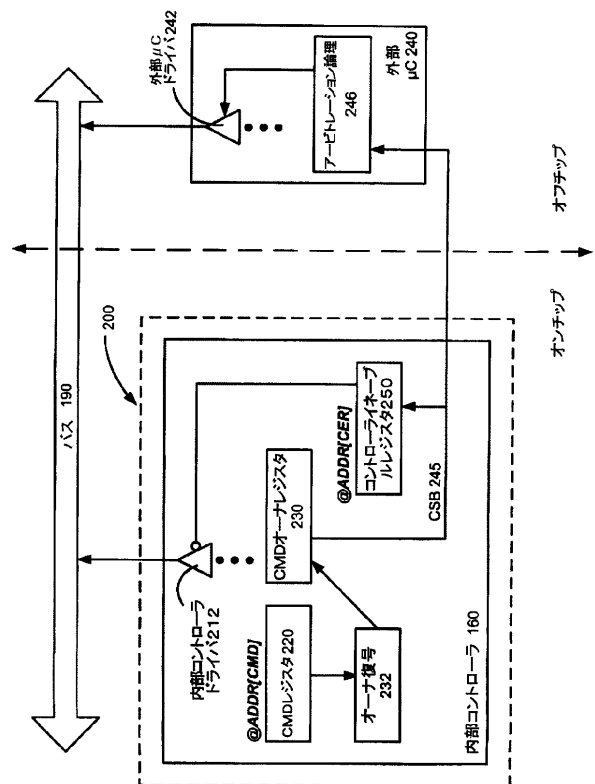


【図 8】



CMDオーナーナビットX="0"の場合、CMDXは内部コントローラ210によって実行される
CMDオーナーナビットX="1"の場合、CMDXは外部μC240によって実行される

【図 9】



```

graph TD
    Start([ブートアップ: CMD オナー  
レジスタ230にメモリからデ  
フォルト値をロードする]) --> LoadCMD[CMDレジスタ220にロードする]
    LoadCMD --> ReadCMD[CMDを復号する]
    ReadCMD --> SetCSB[関連の指令オナービットを  
CSBとして設定する]
    SetCSB --> WriteReg[CSBをコントローラインープル  
レジスタ250に記憶させる]
    WriteReg --> SendCSB[CSBを外部μCに送る  
240]
    SendCSB --> Decision{CSB=  
'0' '1'}
    Decision -- '0' --> Execute1[内部コントローラ  
160がCMDを  
実行する]
    Decision -- '1' --> Execute2[内部コントローラドライ  
バ212をディス  
エーブルにする]
    Execute1 --> NextCMD[次のCMD]
    NextCMD --> LoadCMD
    Execute2 --> Enable212[外部コントローラドライ  
バ242をイネーブルにする]
    Enable212 --> Execute240[外部μC240が  
ADDR(CMD)から  
CMDを読み取る]
    Execute240 --> Execute240a[外部μC240が  
CMDを実行する]
    Execute240a --> Execute240b[外部μC240がAD  
DR(CER)で"0"を  
コントローラインープル  
レジスタ250に  
書き込み直す]
    Execute240b --> Enable212
    Enable212 --> Enable242[外部コントローラドライバ  
をディスエーブルにする  
242]

```

フロントページの続き

(74)代理人 100098475

弁理士 倉澤 伊知郎

(72)発明者 グリフィス ポール ジェイ

アメリカ合衆国 カリフォルニア州 93021 ムーアパーク シダーグレン コート 448
1

(72)発明者 パラモン ジョーディ

アメリカ合衆国 カリフォルニア州 91354 ヴァレンシア コブルストーン コート 27
631

(72)発明者 マルンフェルト ゴラン エス

スウェーデン エスー23638 ホルヴィケン ボルテンステルンスヴァーゲン 31デー

(72)発明者 アガシアン ダニエル

アメリカ合衆国 カリフォルニア州 90027 ロサンゼルス プロスペクト アベニュー 4
555

(72)発明者 ニンマガッダ キラン

アメリカ合衆国 カリフォルニア州 91355 ヴァレンシア マクビーン パークウェイ 2
6127 ユニット 38

(72)発明者 フェルドマン エマニュエル

アメリカ合衆国 カリフォルニア州 93063 シミ ヴァリー ナットウッド サークル 5
785

(72)発明者 シ ジェス ダブリュー

アメリカ合衆国 カリフォルニア州 91306 ウィネットカ コザクロフト アベニュー 72
11 #2

Fターム(参考) 4C053 JJ01 JJ27 JJ40