(19) Deutsches Patent- und Markenamt

(10) **DE 10 2017 213 144 B4** 2021.05.12

(12) # Patentschrift

(21) Aktenzeichen: **10 2017 213 144.6**
(22) Anmeldetag: **31.07.2017**
(43) Offenlegungstag: **12.04.2018**
(45) Veröffentlichungstag der Patenterteilung: **12.05.2021**

(51) Int Cl.: ***H01L 23/62*** (2006.01)
H01L 25/16 (2006.01)
H03F 1/52 (2006.01)

Innerhalb von neun Monaten nach Veröffentlichung der Patenterteilung kann nach § 59 Patentgesetz gegen das Patent Einspruch erhoben werden. Der Einspruch ist schriftlich zu erklären und zu begründen. Innerhalb der Einspruchsfrist ist eine Einspruchsgebühr in Höhe von 200 Euro zu entrichten (§ 6 Patentkostengesetz in Verbindung mit der Anlage zu § 2 Abs. 1 Patentkostengesetz).

(30) Unionspriorität:
2016-198125 06.10.2016 JP

(73) Patentinhaber:
Mitsubishi Electric Corporation, Tokyo, JP

(74) Vertreter:
Hoefer & Partner Patentanwälte mbB, 81543 München, DE

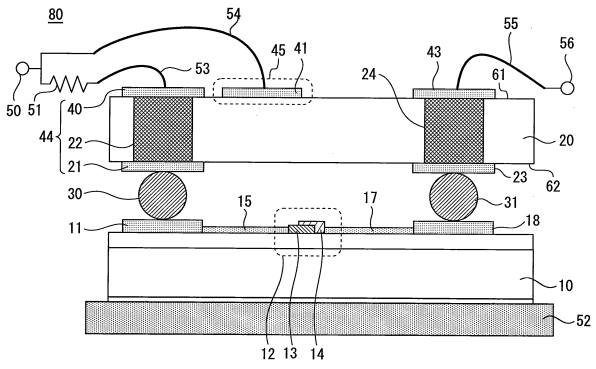
(72) Erfinder:
Watanabe, Shinsuke, Tokyo, JP; Nishizawa, Koichiro, Tokyo, JP

(56) Ermittelter Stand der Technik:

US	**2011 / 0 018 631**	**A1**
US	**2015 / 0 380 393**	**A1**

(54) Bezeichnung: **HALBLEITERVORRICHTUNG**

(57) Hauptanspruch: Halbleitervorrichtung (80, 280, 380, 480, 580, 680, 780), aufweisend:
- ein erstes Substrat (10),
- einen im ersten Substrat (10) angeordneten Transistor (12),
- ein Gate-Pad (11), welches auf der Oberseite des ersten Substrats (10) angeordnet und mit einer Gate-Elektrode (13) des Transistors (12) verbunden ist,
- einen Kontaktierhügel (30), welcher auf dem Gate-Pad (11) angeordnet ist,
- ein zweites Substrat (20, 120, 320, 520, 720) welches oberhalb des ersten Substrats (10) angeordnet ist und eine erste Fläche (61) und eine zweite Fläche (62) besitzt, wobei Letztere sich auf der gegenüberliegenden Seite der ersten Fläche (61) befindet,
- eine erste Elektrode (44, 444, 744), welche von der ersten Fläche (61) zur zweiten Fläche (62) verläuft und mit dem Kontaktierhügel (30) der zweiten Fläche (62) verbunden ist,
- einen Widerstand (51), welcher mit einem Ende auf der Seite der ersten Fläche (61) mit der ersten Elektrode (44, 444, 744) und mit dem anderen Ende mit einer Eingangsklemme (50) verbunden ist, und
- eine zweite Elektrode (45, 345, 645), welche in unmittelbarer Nähe zur ersten Elektrode (44, 444, 744) auf der ersten Fläche (61) angeordnet und so mit der Eingangsklemme (50) verbunden ist, dass der Widerstand (51) nicht zwischengeschaltet ist,
wobei:
- die erste Elektrode (44, 444, 744) und die zweite Elektrode (45, 345, 645) durch das Basismaterial des zweiten Substrats (20, 120, 320, 520, 720) getrennt sind und
- ein Gate-Leckstrom, welcher von ...



Beschreibung

[0001] Die vorliegende Erfindung betrifft eine Halbleitervorrichtung umfassend einen Feldeffekttransistor welcher Hochfrequenzsignale verstärkt.

Stand der Technik

[0002] In einem Hochfrequenz-FET (Feldeffekt Transistor), welcher auf einem Verbindungshalbleiter basiert, können eine Gate-Elektrode und eine Eingangsklemme mittels eines Widerstands verbunden sein. Dieser Widerstand wird zur Unterdrückung von Oszillation und zur Anpassung der Gate-Spannung, welche an den FET angelegt wird, eingesetzt. Bei einem Temperaturanstieg des FET können Gate-Leckströme entstehen. Sobald der Gate-Leckstrom durch den Widerstand fließt, der mit der Gate-Elektrode verbunden ist, wird die an den FET angelegte Gate-Spannung aufgrund des Spannungseinbruchs ansteigen. Dadurch wird ein zum FET fließender Drain-Strom zunehmen und zu einer weiteren Erwärmung des FET führen. Dies wiederum verursacht einen zusätzlichen Anstieg des Gate-Leckstroms. Durch diese Abfolge von Ereignissen kann der FET beschädigt werden.

[0003] Im Hinblick darauf wird in JP H11- 297 941 A eine Halbleitervorrichtung mit einer Bias-Schaltung offenbart, die ein NIN-Element umfasst. Das NIN-Element ist parallel zu einem Widerstand geschaltet, der zwischen einer Spannungsquelle, welche die Gate-Vorspannung liefert, und einem Gate angeschlossen ist. Das NIN-Element ist so aufgebaut, dass ein semiisolierender Halbleiter zwischen zwei n-leitenden Kontaktschichten eingefasst ist. Der Widerstandswert des NIN-Elements nimmt mit steigender Temperatur ab. Aus diesem Grund nimmt der Widerstandswert der Bias-Schaltung ab, sobald die Temperatur erhöht wird. Dadurch wird ein Anstieg des Gate-Potentials verhindert, auch wenn sich der Gate-Leckstrom erhöht. Somit wird die Temperaturerhöhung des FET gehemmt.

[0004] In der Halbleitervorrichtung, welche in JP H11- 297 941 A offenbart ist, werden der FET und das NIN-Element in ein Substrat eingebracht. Dabei kann eine möglichst dichte Anordnung des FET und des NIN-Elements nur eingeschränkt möglich sein. Deshalb kann es problematisch sein, die Temperatur des NIN-Elements zu erhöhen, selbst wenn der FET hohe Temperaturen erreicht. Folglich kann die Erhöhung des Gate-Potentials nicht ausreichend unterdrückt werden. Ferner erlaubt der Einsatz eines Verbindungshalbleiters mit einer breiteren Bandlücke als die von Silicium als Substrat die Erstellung eines FET, der für den Hochleistungsbetrieb geeignet ist. Auf der anderen Seite kann es schwierig sein, den Widerstand im NIN-Element zu verringern, wenn dieses auf einem Verbindungshalbleiter basiert, selbst wenn die Temperatur des FET ansteigt. Dementsprechend kann eine Unterdrückung des Gate-Potentialanstiegs nicht ausreichend sichergestellt werden.

[0005] Darüber hinaus vergrößert sich der Bereich des Substrats durch die Ausbildung des NIN-Elements. Dies erhöht die Herstellungskosten. Um eine ausreichende Leistung des FET zu erzielen wird bevorzugt eine Anpassungsschaltung in der Nähe des FET angeordnet. Jedoch kann die Anordnung des NIN-Elements im Nahbereich des FET dazu führen, dass eine Anordnung der Anpassungsschaltung ebenfalls im Nahbereich des FET nicht mehr möglich ist. Dadurch kann die Leistung des FET eingeschränkt werden.

[0006] Die US 2015 / 0 380 393 A1 offenbart eine Halbleitervorrichtung, bei welcher passive Elemente, die an einer Leiterplatte befestigt sind, leichter positioniert werden können. Ausgebildet sind isolierte Substrate, welche jeweils eine isolierte Platine und eine auf der Hauptoberfläche der isolierten Platine angeordnete Leiterplatte aufweisen, Halbleiterchips, welche jeweils eine Elektrode auf einer Oberfläche aufweisen und deren Rückseite an der Leiterplatte befestigt ist, wobei die Leiterplatte, eine Metallschicht aufweist und den isolierten Substraten zugewandt ist, leitende Pfosten, wobei ein Ende eines jeden Pfostens elektrisch und mechanisch mit einer Elektrode verbunden ist und das andere Ende elektrisch und mechanisch mit der Metallschicht verbunden ist, passive Elemente, welche an der Leiterplatte befestigt sind, die Pfosten, die an der Leiterplatte befestigt sind, und die passiven Elemente zu positionieren.

[0007] Die US 2011 / 0 018 631 A1 beschreibt eine Halbleitervorrichtung, welche ein erstes aktives Element, ein zweites aktives Element, das parallel mit dem ersten aktiven Element verbunden ist, und eine erste Stabilisierungsschaltung aufweist, welche zwischen einem Gate des ersten aktiven Elements und einem Gate des zweiten aktiven Elements verbunden und mit konfiguriert ist eine Parallelschaltung eines Gate-Bypass-Widerstands, eines Gate-Bypass-Kondensators und eines Gate-Bypass-Induktors, wobei die erste Stabilisierungsschaltung eine Resonanzfrequenz aufweist, welche einer Resonanzfrequenz im ungeraden Modus entspricht.

[0008] Es ist eine Aufgabe der vorliegenden Erfindung, die oben beschriebenen Probleme zu lösen und es ist ein Gegenstand der vorliegenden Erfindung eine Halbleitervorrichtung zu definieren, die einen vergrößerten Bereich in einem Substrat vermeidet.

[0009] Die der Erfindung zu Grunde liegende Aufgabe wird bei einer Halbleitervorrichtung erfindungsgemäß mit den Merkmalen des unabhängigen Patent-

anspruchs 1 gelöst vorteilhafte Weiterbildungen sind Gegenstand der jeweiligen abhängigen Ansprüche.

[0010] Die Merkmale und Vorteile der vorliegenden Erfindung können wie folgt zusammengefasst werden:

Gemäß der vorliegenden Erfindung umfasst eine Halbleitervorrichtung ein erstes Substrat, einen Transistor, der im ersten Substrat angeordnet ist, ein Gate-Pad (auch „Gate-Kontaktfläche“), welches auf der Oberseite des ersten Substrats angeordnet und mit einer Gate-Elektrode des Transistors verbunden ist, einen Kontaktierhügel, der auf dem Gate-Pad angeordnet ist, ein zweites Substrat, welches oberhalb des ersten Substrats angeordnet ist und eine erste Fläche und eine zweite Fläche besitzt, welche der ersten Fläche gegenüberliegt, eine erste Elektrode, die von der ersten Fläche zur zweiten Fläche verläuft, und mit dem Kontaktierhügel auf der Seite der zweiten Fläche verbunden ist, einen Widerstand, der mit einem Ende mit der ersten Elektrode auf der Seite der ersten Fläche und mit dem anderen Ende mit einer Eingangsklemme verbunden ist, und eine zweite Elektrode, die angrenzend an die erste Elektrode auf der ersten Fläche angeordnet und so mit der Eingangsklemme verbunden ist, dass der Widerstand nicht dazwischengeschaltet ist, wobei die erste Elektrode und die zweite Elektrode durch das Basismaterial des zweiten Substrats getrennt sind und einen Gate-Leckstrom der von der Drain-Elektrode des Transistors zur Gate-Elektrode fließt und weiter von der ersten Elektrode über das Basismaterial des zweiten Substrats und die zweite Elektrode zur Eingangsklemme fließt.

[0011] Sonstige und zusätzliche Gegenstände, Merkmale und Vorteile der Erfindung ergeben sich ausführlicher aus nachfolgender Beschreibung.

Figurenliste

Fig. 1 ein Querschnitt einer Halbleitervorrichtung gemäß einer ersten Ausführungsform.

Fig. 2 eine Draufsicht eines erstes Substrats gemäß einer ersten Ausführungsform.

Fig. 3 ein Querschnitt einer Halbleitervorrichtung eines Vergleichsbeispiels.

Fig. 4 ein Diagramm, welches die Leitfähigkeit von Silicium in Abhängigkeit der Temperatur aufzeigt.

Fig. 5 eine Draufsicht eines zweiten Substrats gemäß einer ersten Modifikation der ersten Ausführungsform.

Fig. 6 eine Ansicht von unten auf das zweite Substrat gemäß der ersten Modifikation der ersten Ausführungsform.

Fig. 7 ein Querschnitt einer Halbleitervorrichtung gemäß einer zweiten Modifikation der ersten Ausführungsform.

Fig. 8 ein Querschnitt einer Halbleitervorrichtung eines Vergleichsbeispiels.

Fig. 9 ein Querschnitt einer Halbleitervorrichtung gemäß einer zweiten Ausführungsform.

Fig. 10 ein Querschnitt einer Halbleitervorrichtung gemäß einer dritten Ausführungsform.

Fig. 11 ein Querschnitt einer Halbleitervorrichtung gemäß einer vierten Ausführungsform.

Fig. 12 ein Querschnitt einer Halbleitervorrichtung gemäß einer ersten Modifikation der vierten Ausführungsform.

Fig. 13 ein Querschnitt einer Halbleitervorrichtung gemäß einer zweiten Modifikation der vierten Ausführungsform.

Ausführungsformen der Erfindung

[0012] Im Folgenden werden Ausführungsformen der vorliegenden Erfindung einer Halbleitervorrichtung mit Bezug zu den beiliegenden Zeichnungen beschrieben. Identische oder zugehörige Bestandteile werden durch dieselben Bezugszeichen gekennzeichnet, wobei auf eine wiederholte Beschreibung in einigen Fällen verzichtet wird.

Erste Ausführungsform

[0013] **Fig. 1** stellt einen Querschnitt einer Halbleitervorrichtung gemäß einer ersten Ausführungsform dar. Eine Halbleitervorrichtung **80** gemäß der vorliegenden Ausführungsform umfasst ein erstes Substrat **10**. Im ersten Substrat **10** ist ein Transistor **12** angeordnet. In der vorliegenden Ausführungsform ist der Transistor **12** als Hochfrequenz-FET ausgestaltet. Das erste Substrat **10** besteht aus einem Verbindungs-halbleiter. Als Materialien für das erste Substrat **10** können Verbindungshalbleiter wie Galliumarsenid, Galliumnitrid und Indiumphosphid eingesetzt werden.

[0014] Auf der Oberseite des ersten Substrats **10** wird ein Gate-Pad **11** bereitgestellt. Das Gate-Pad **11** ist mittels einer Verdrahtung **15** mit der Gate-Elektrode **13** des Transistors **12** verbunden. Weiterhin ist auf der Oberseite des ersten Substrats **10** ein Drain-Pad **18** angeordnet. Das Drain-Pad **18** ist mittels einer Verdrahtung **17** mit der Drain-Elektrode **14** des Transistors **12** verbunden. Auf der Unterseite des ersten Substrats ist eine Massekontaktfläche **52** angeordnet. An die Massekontaktfläche **52** wird ein Massepotential angelegt.

[0015] Ein Kontaktierhügel **30** ist am Gate-Pad **11** angeordnet. Des Weiteren ist ein Kontaktierhügel **31** am Drain-Pad **18** angeordnet. Für die Kontaktierhügel **30**, **31** können Materialien wie Gold, Kupfer oder Lötzinn eingesetzt werden. Die für die Kontaktierhügel **30**, **31** eingesetzten Materialien sind dabei nicht auf die oben genannten beschränkt.

[0016] Ein zweites Substrat **20** wird oberhalb des ersten Substrats **10** angeordnet Das zweite Substrat **20** besitzt eine erste Fläche **61** und eine zweite Fläche **62**, welche sich auf der gegenüberliegenden Seite der ersten Fläche **61** befindet. Das zweite Substrat **20** besteht aus Silicium mit einem spezifischen Widerstand von 100 Ωcm oder mehr. Für das zweite Substrat **20** wird intrinsisches Silicium für Hochfrequenz-Substrate eingesetzt. Das zweite Substrat **20** wird über die Kontaktierhügel **30**, **31** angebunden, so dass dessen zweite Fläche **62** der Oberfläche des ersten Substrats **10** gegenüberliegt. Das zweite Substrat **20** wird über die Kontaktierhügel **30**, **31** oberhalb des ersten Substrats **10** angeordnet.

[0017] Im zweiten Substrat **20** wird eine erste Elektrode **44** ausgebildet. Die erste Elektrode **44** verläuft von der ersten Fläche **61** zur zweiten Fläche **62**. Zusätzlich wird die erste Elektrode **44** mit dem Kontaktierhügel **30** der zweiten Fläche **62** verbunden. Die erste Elektrode **44** umfasst ein erstes Pad **21** auf der zweiten Fläche **62**. Das erste Pad **21** ist mit dem Kontaktierhügel **30** verbunden. Weiterhin umfasst die erste Elektrode **44** ein erstes Bonding-Pad (auch „Bondinsel“) 40 auf der ersten Fläche **61**. Das erste Bonding-Pad **40** dient der Kontaktierung von Bonddrähten. Das erste Pad **21** und das erste Bonding-Pad **40** sind mittels einer ersten Durchkontaktierung **22** leitend miteinander verbunden, welche von der ersten Fläche **61** bis zur zweiten Fläche **62** verläuft.

[0018] Die Halbleitervorrichtung **80** umfasst einen Widerstand **51**. Der Widerstand **51** ist mit einem Ende auf der Seite der ersten Fläche **61** mit der ersten Elektrode **44** verbunden. Das eine Ende des Widerstands **51** ist mittels einer Verdrahtung **53** mit dem ersten Bonding-Pad **40** verbunden. Das andere Ende des Widerstands **51** ist mit einer Eingangsklemme **50** verbunden. Das Einspeisen von Hochfrequenzsignalen und das Anlegen einer Gate-Spannung wird über die Eingangsklemme **50** durchgeführt. Der Widerstand **51** erlaubt die Unterdrückung von Oszillation und die Anpassung der an den Transistor **12** angelegten Gate-Spannung.

[0019] Im zweiten Substrat **20** ist eine zweite Elektrode **45** ausgebildet. In der vorliegenden Ausführungsform ist die zweite Elektrode **45** in Form eines zweites Bonding-Pads **41** auf der ersten Fläche **61** ausgeführt. Die zweite Elektrode **45** ist angrenzend an die erste Elektrode **44** angeordnet. Die zweite Elektrode **45** ist mittels einer Verdrahtung **54** an die Eingangsklemme **50** angebunden. Die zweite Elektrode **45** ist dabei so an die Eingangsklemme **50** angeschlossen, dass der Widerstand **51** nicht zwischengeschaltet ist.

[0020] In der vorliegenden Ausführungsform ist die zweite Elektrode **45** in Form des zweiten Bonding-Pads **41** ausgeführt, welches auf der ersten Fläche **61** angeordnet ist. Die Ausgestaltung der zweiten Elektrode **45** ist dabei nicht auf diese Form beschränkt. Es ist lediglich erforderlich, dass die zweite Elektrode **45** auf der ersten Fläche **61** angeordnet und auf der Seite der ersten Fläche **61** mit der Eingangsklemme **50** verbunden ist. Die zweite Elektrode **45** ist nicht mit den anderen Pads und dem Transistor **12** verbunden. Die zweite Elektrode **45** und die erste Elektrode **44** sind durch das Basismaterial des zweiten Substrats **20** getrennt. Die zweite Elektrode **45** befindet sich in einem potentialfreien Zustand (auch „floating state“).

[0021] Das zweite Substrat **20** umfasst ein drittes Pad **23** auf der zweiten Fläche **62**. Das dritte Pad **23** ist mit dem Kontaktierhügel **31** verbunden. Weiterhin umfasst das zweite Substrat **20** ein drittes Bonding-Pad **43** auf der ersten Fläche **61**. Das dritte Pad **23** und das dritte Bonding-Pad **43** sind mittels einer dritten Durchkontaktierung **24** verbunden, welche von der ersten Fläche **61** zur zweiten Fläche **62** verläuft. Das dritte Bonding-Pad **43** ist mittels einer Verdrahtung **55** mit einer Ausgangsklemme **56** verbunden.

[0022] **Fig. 2** stellt eine Draufsicht auf ein erstes Substrat gemäß der ersten Ausführungsform dar. Die Drain-Elektroden **14** und Source-Elektroden **16** sind auf der Oberseite des ersten Substrats **10** wechselweise angeordnet. Die Drain-Elektrode **14** und die Source-Elektrode **16** besitzen in der Draufsicht eine rechteckige Form. Die Gate-Elektrode **13** ist zwischen der Drain-Elektrode **14** und der Source-Elektrode **16** angeordnet. Das Gate-Pad **11** und das Source-Pad **19** sind an einem Ende eines Bereichs angeordnet, in welchem sich die Gate-Elektrode13, die Drain-Elektrode **14** und die Source-Elektrode **16** befinden. Das Drain-Pad **18** ist am anderen Ende des Bereichs angeordnet, in welchem sich die Gate-Elektrode13, die Drain-Elektrode **14** und die Source-Elektrode **16** befinden.

[0023] **Fig. 3** ist ein Querschnitt eines Vergleichsbeispiels einer Halbleitervorrichtung. Eine Halbleitervorrichtung 81 gemäß dem Vergleichsbeispiel umfasst das erste Substrat **10**. Der Aufbau des ersten Substrats **10** ist ähnlich wie in der Halbleitervorrichtung **80**. Die Halbleitervorrichtung 81 umfasst aber nicht das zweite Substrat **20**. Ein Ende des Widerstands **51** ist mittels Verdrahtung **53** mit dem Gate-Pad **11** verbunden. Das andere Ende des Widerstands **51** ist mit der Eingangsklemme **50** verbunden. Das Drain-Pad **18** ist mittels der Verdrahtung **55** mit der Ausgangsklemme **56** verbunden.

[0024] Sobald die Gate-Spannung an den Transistor **12** angelegt wird, um den Drain-Strom zu steuern, wird im Transistor **12** Wärme erzeugt. Im Allgemeinen gilt für einen auf einem Verbindungshalbleiter basierendem FET, dass ein Temperaturanstieg des FET bis zu einem bestimmten Wert oder darüber hinaus zu einem Gate-Leckstrom führt, welcher von der Drain-Elektrode **14** zur Gate-Elektrode **13** fließt. Dieser Gate-Leckstrom fließt durch das Gate-Pad **11** über den Widerstand **51** zur Eingangsklemme **50**. Wenn der Gate-Leckstrom durch den Widerstand **51** fließt wird die Gate-Spannung, die am Transistor **12** anliegt aufgrund des Spannungsabfalls erhöht. Dadurch nimmt der Drain-Strom, der zum Transistor **12** fließt zu. Aus diesem Grund wird sich der Transistor **12** weiter erwärmen. Dies führt wiederum zu einer weiteren Erhöhung des Gate-Leckstroms. Durch diese Abfolge von Ereignissen kann der Transistor **12** beschädigt werden.

[0025] In Bezug darauf wird die Funktionsweise der Halbleitervorrichtung **80** gemäß der vorliegenden Ausführungsform beschrieben. Wenn sich die Temperatur des Transistors **12** auf Raumtemperaturniveau befindet, besitzt der Transistor eine hohe Verstärkung. Ein FET mit einer hohen Verstärkung kann zur Oszillation neigen. In der vorliegenden Ausführung kann die Oszillation durch den Widerstand **51** unterdrückt werden, welcher mit der Eingangsklemme **50** verbunden ist. Zusätzlich besitzt Silicium, welches das Basismaterial für das zweite Substrat **20** ist, bei Raumtemperatur eine geringe Leitfähigkeit. Aus diesem Grund fließt zwischen der ersten Elektrode **44** und der zweiten Elektrode **45** kein Strom.

[0026] Wenn die Gate-Spannung und die Hochleistungs-Hochfrequenzsignale an die Eingangsklemme **50** angelegt werden, wird die Temperatur des Transistors **12** erhöht. Sobald der Transistor **12** den hohen Temperaturbereich erreicht, nimmt seine Verstärkung ab. Dadurch wird die Wahrscheinlichkeit, dass es zur Oszillation kommt, verringert. Unterdessen treten Gate-Leckströme auf, sobald der Transistor **12** hohe Temperaturen erreicht. Der Gate-Leckstrom fließt von der Drain-Elektrode **14** zur Gate-Elektrode **13** und von dort weiter über das Gate-Pad **11** und den Kontaktierhügel **30** zur Elektrode **44**.

[0027] Dabei wird Wärme, die im ersten Substrat **10** erzeugt wird über die Luft zwischen dem ersten und zweiten Substrat **10**, **20** und über die Kontaktierhügel **30**, **31** in das zweite Substrat übertragen. Infolgedessen erhöht sich die Temperatur des zweiten Substrats **20**. Bei einem Anstieg der Temperatur des zweiten Substrats werden Eigenleitungsträger im Silicium freigesetzt. Dadurch wird die Leitfähigkeit des zweiten Substrats **20** erhöht. Dies führt zur Ausbildung eines Strompfades zwischen der ersten und zweiten Elektrode **44**, **45**, da sich die zweite Elektrode **45** in der unmittelbaren Umgebung der ersten Elektrode **44** befindet.

[0028] An dieser Stelle wird der Gate-Leckstrom, der von der Drain-Elektrode **14** zur Gate-Elektrode **13** fließt, von der ersten Elektrode **44** durch das Basismaterial des zweiten Substrats und die zweite Elektrode **45** zur Eingangsklemme **50** fließen. Der Gate-Leckstrom fließt extern von der Eingangsklemme **50** über die zweite Elektrode **45**. Deshalb nimmt der Gate-Leckstrom, welcher in den Widerstand **51** fließt ab, wodurch der Spannungseinbruch durch den Widerstand **51** verhindert wird. Aus diesem Grund wird der Anstieg der Gate-Spannung unterdrückt, wodurch gleichzeitig eine weitere Wärmeentwicklung des Transistors **12** verhindert wird. Dadurch kann eine Beschädigung der Halbleitervorrichtung **80** durch Wärmeentwicklung vermieden werden.

[0029] Bevorzugt besitzt der Strompfad zwischen der ersten und zweiten Elektrode **44**, **45** einen geringen Widerstand. Aus diesem Grund ist die zweite Elektrode **45** in unmittelbarer Nähe der ersten Elektrode **44** angeordnet. Die Entfernung zwischen der ersten und zweiten Elektrode **44**, **45** beträgt bevorzugt 100 µm oder weniger.

[0030] Des Weiteren wird Wärme, die im ersten Substrat **10** erzeugt wird über die Luft zwischen dem ersten und zweiten Substrat **10**, **20** und über die Kontaktierhügel **30**, **31** in das zweite Substrat **20** übertragen. Da Luft Wärme jedoch schlecht leitet, wird die Temperatur des zweiten Substrats **20** nicht so hoch ansteigen wie die Temperatur des Transistors **12**. Die Höhe der Kontaktierhügel **30**, **31** liegt aber im Allgemeinen zwischen einigen wenigen µm und einigen zehn µm, wodurch das erste Substrat **10** und das zweite Substrat **20** nahe beieinander liegen können. Somit kann die Temperatur des zweiten Substrats **20** stark genug ansteigen, um die Leitfähigkeit des zweiten Substrats **20** zu erhöhen.

[0031] Die Temperatur des zweiten Substrats **20** bei einer Wärmeerzeugung durch den Transistor **12** wurde mittels Thermalanalyse unter Einsatz der Finite Elemente Methode berechnet. Für die Thermalanalyse wurde der Abstand zwischen dem ersten und zweiten Substrat **10**, **20** auf 10 µm festgelegt. Weiterhin wurde die Temperatur des Transistors **12** bei einem fließenden Gate-Leckstrom auf 190 Grad Celsius festgelegt. Zu diesem Zeitpunkt ergab das Ergebnis der Berechnung, dass das zweite Substrat **20** eine Temperatur von 140 Grad Celsius oder mehr erreicht.

[0032] **Fig. 4** zeigt ein Diagramm, welches die Leitfähigkeit von Silicium in Abhängigkeit der Temperatur aufzeigt. Silicium besitzt bei Raumtemperatur keine Leitfähigkeit. Silicium erzeugt aber rasch eine hohe Anzahl an Eigenleitungsträgern sobald seine Tempe-

ratur 130 Grad Celsius überschreitet. Dies resultiert in einer Zunahme seiner Leitfähigkeit. Gemäß der Thermalanalyse erreicht das zweite Substrat **20** 140 Grad Celsius, sobald der Transistor **12** Wärme produziert. Somit erhöht sich die Anzahl der Eigenleitungsträger im zweiten Substrat **20** schnell, sobald der Transistor **12** Wärme produziert. Dies resultiert in einer Erhöhung der Leitfähigkeit des zweiten Substrats **20** und führt zur Ausbildung eines Strompfades zwischen der ersten Elektrode **44** und der zweiten Elektrode **45**. So kann der Gate-Leckstrom durch das Silicium zur zweiten Elektrode **45** fließen.

[0033] In der vorliegenden Ausführungsform ist das zweite Substrat **20** mittels der Kontaktierhügel **30**, **31** unmittelbar oberhalb des Transistors **12** angeordnet, welcher eine Wärmequelle darstellt. Die Höhe der Kontaktierhügel **30**, **31** kann verändert werden. Dies erlaubt eine Anpassung des Abstandes zwischen dem ersten Substrat **10** und dem zweiten Substrat **20**. Daraus ergibt sich die Möglichkeit, die Temperatur des zweiten Substrats **20** zu steuern. Falls eine Erhöhung der Leitfähigkeit des zweiten Substrats **20** erwünscht ist, wird das zweite Substrat **20** näher an das erste Substrat **10** herangeführt. Dies erleichtert den Wärmetransport vom ersten Substrat **10** zum zweiten Substrat **20**. Somit wird die Temperatur des zweiten Substrats **20** erhöht, was wiederum zu einer Erhöhung seiner Leitfähigkeit führt.

[0034] Darüber hinaus kann die Ausbildung des Strompfades zur zweiten Elektrode **45** bei Bedarf auch bei niedrigen Temperaturen des ersten Substrats **10** erreicht werden, indem der Abstand zwischen dem ersten und zweiten Substrat **10**, **20** verringert wird. Dies erleichtert den Wärmetransport vom ersten Substrat **10**, so dass die Temperatur des zweiten Substrats **20** problemlos 130 Grad oder mehr erreicht. Folglich kann der Strompfad zur zweiten Elektrode **45** auch bei niedrigen Temperaturen des ersten Substrats **10** ausgebildet werden, wenn der Abstand zwischen dem ersten und zweiten Substrat **10**, **20** kleiner wird. Auf diese Weise kann eine Erhöhung der Gate-Spannung sogar dann unterdrückt werden, wenn ein FET, der als Transistor **12** eingesetzt werden soll, die Eigenschaft besitzt, bereits bei niedrigeren Temperaturen als bei normalen FETs Gate-Leckströme zu produzieren.

[0035] Des Weiteren kann der Widerstandswert zwischen der ersten und zweiten Elektrode **44**, **45** angepasst werden, indem der Abstand zwischen der ersten und zweiten Elektrode **44**, **45** variiert wird. Indem die erste und zweite Elektrode **44**, **45** dicht beieinander angeordnet werden, kann der Strom zwischen der ersten und zweiten Elektrode **44**, **45** leicht fließen. Weiterhin wurde die zweite Elektrode **45** in der vorliegenden Ausführungsform zwischen der ersten Elektrode **44** und dem dritten Bonding-Pad **43** angeordnet. Die relative Anordnung zwischen der ersten und zweiten Elektrode **44**, **45** kann dabei auch anderweitig ausfallen.

[0036] In der vorliegenden Ausführungsform können die relative Anordnung zwischen der ersten und zweiten Elektrode **44**, **45** und der Abstand zwischen dem ersten und zweiten Substrat **10**, **20** angepasst werden. Dies erlaubt eine Anpassung der zu erzeugenden Halbleitervorrichtung **80** an die Eigenschaften des Transistors **12**, wie beispielsweise die Temperaturen, bei denen der Gate-Leckstrom zu fließen beginnt.

[0037] Eine weitere Anpassungsmöglichkeit für die Halbleitervorrichtung **80**, die eingerichtet ist an Eigenschaften des Transistors **12** angepasst zu werden, ist die Veränderung des Materials für das zweite Substrats **20**. In der vorliegenden Ausführungsform besitzt das zweite Substrat **20** bei Raumtemperatur einen spezifischen Widerstand von 100 Ωcm oder mehr. Dadurch kann ein Stromfluss durch die zweite Elektrode **45** bei Raumtemperatur verhindert werden. Für den Fall, dass ein niedriger spezifischen Widerstand bei Raumtemperatur kein Problem darstellt, kann auch Silicium mit einem spezifischen Widerstand von unter 100 Ωcm eingesetzt werden. Im Gegensatz dazu kann ein Halbleiter mit einer breiten Bandlücke als Material für das zweite Substrat **20** eingesetzt werden, wenn ein hoher spezifischer Widerstand auch bei hohen Temperaturen erforderlich ist.

[0038] Um einen Temperaturanstieg des Transistors **12** zu unterbinden ist auch eine Methode denkbar, bei der ein Thermistor parallel zum Widerstand **51** am ersten Substrat **10** angeordnet wird. Jedoch wird bei dieser Methode aufgrund der Ausbildung des Thermistors ein Bereich des ersten Substrats **10** vergrößert.

[0039] Dies wird dahingehend berücksichtigt, dass die Halbleitervorrichtung **80** der vorliegenden Ausführungsform einen Temperaturanstieg des Transistors **12** verhindert, indem ein zweites Substrats **20** oberhalb des ersten Substrats **10** angeordnet wird. Die Kontaktierhügel **30**, **31**, die das erste und zweite Substrat **10**, **20** verbinden, werden jeweils auf dem Gate-Pad **11** und dem Drain-Pad **18** angeordnet. Das Gate-Pad **11** und das Drain-Pad **18** sind als Pads für die Kontaktierung von Bonddrähten ausgestaltet. Das Gate-Pad **11** und das Drain-Pad **18** sind Pads, die im Allgemeinen auf einem Substrat zur Verfügung gestellt werden.

[0040] Aus diesem Grund müssen in der vorliegenden Ausführungsform keine neuen Elemente in das erste Substrat **10** eingebracht werden, um den Temperaturanstieg des Transistors **12** zu unterdrücken. Deshalb muss auch der Bereich des ersten Substrats **10** nicht erweitert werden. Somit kann die Vergrößerung des Bereichs des ersten Substrats **10** vermieden

werden. So ist insbesondere der Einsatz eines Verbindungshalbleitersubstrats für Hochleistungs-FETs häufig teuer im Vergleich zu einem Siliciumsubstrat, weshalb die Herstellungskosten reduziert werden können, wenn die Bereichsvergrößerung des ersten Substrats **10**, welches aus einem Verbindungshalbleiter besteht, vermieden werden kann.

[0041] Fig. 5 stellt eine Draufsicht eines zweiten Substrats gemäß einer ersten Modifikation der ersten Ausführungsform dar. **Fig. 6** stellt eine Ansicht von unten auf das zweite Substrat gemäß der ersten Modifikation der ersten Ausführungsform dar. In der ersten Modifikation der vorliegenden Ausführungsform kann dem zweiten Substrat **120** eine andere Funktion als die Unterdrückung einer Wärmeentwicklung zukommen. So kann beispielsweise ein weiterer Schaltkreis, wie eine Anpassungsschaltung auf dem zweiten Substrat **120** angeordnet werden.

[0042] Gemäß der ersten Modifikation ist das Bonding-Pad **40** auf der ersten Fläche **61** des zweiten Substrats **120** angeordnet. Ein viertes Pad **125** ist auf der zweiten Fläche **62** angeordnet. Das erste Bonding-Pad **40** und das vierte Pad **125** sind mittels einer ersten Durchkontaktierung **122** verbunden. Dabei ist die Position der ersten Durchkontaktierung **122** aus Übersichtsgründen durch gestrichelte Linien in den **Fig. 5** und **Fig. 6** dargestellt. Darüber hinaus weicht die Anordnung des ersten, zweiten und dritten Bonding-Pads **40**, **41**, **43** gemäß der ersten Modifikation im zweiten Substrat **120** gegenüber der Anordnung im zweiten Substrat **20** ab.

[0043] Gemäß der ersten Modifikation ist im zweiten Substrat **120** eine Anpassungsschaltung **126** auf der zweiten Fläche **62** angeordnet. Die Anpassungsschaltung **126** wird zwischen dem vierten Pad **125** und dem ersten Pad **121** angeschlossen. Die Anpassungsschaltung **126** ist eine Mäanderspule. Die Anpassungsschaltung **126** kann statt als Mäanderspule auch anderweitig ausgestaltet sein.

[0044] Generell gilt, dass die Anpassungsschaltung bevorzugt in der unmittelbaren Nähe des FET angeordnet sein sollte, um einen Hochleistungs-FET realisieren zu können. Andererseits muss auch das zweite Substrat **120** in der Nähe des Transistors **12** angeordnet werden, um die Temperatur des wärmeproduzierenden Transistors **12** erfassen zu können.

[0045] In der vorliegenden Ausführungsform ist die Anpassungsschaltung **126** im zweiten Substrat **120** angeordnet. Dies erlaubt eine dichte Anbringung des zweiten Substrats **120** am Transistor **12** zusammen mit der Anpassungsschaltung **126**. Somit können beide Effekte - eine höhere Leistung des FET und eine Vermeidung von Schäden durch Wärmeentwicklung - erreicht werden. Darüber hinaus muss die Anpassungsschaltung **126** durch ihre Anordnung im zweiten Substrat **120** nicht im ersten Substrat **10** angeordnet werden. Somit kann kann der Bereich des ersten Substrats **10** verkleinert werden. Aus diesem Grund ist eine höhere Integration bei der FET-Realisierung möglich. Die Ausgestaltung einer Schaltung im zweiten Substrat **120** ist dabei nicht beschränkt auf die Anpassungsschaltung **126**.

[0046] Fig. 7 ist ein Querschnitt einer Halbleitervorrichtung gemäß einer zweiten Modifikation der ersten Ausführungsform. In einer Halbleitervorrichtung **280** gemäß der zweiten Modifikation sind das erste und zweite Substrat **10**, **20** mit einem Harz **260** versiegelt. Die übrigen Strukturen sind ähnlich ausgebildet wie bei der Halbleitervorrichtung **80**. Durch das Versiegeln des ersten und zweiten Substrats **10**, **20** mit Harz **260** kann die Halbleitervorrichtung **280** gegen Stoßeinwirkung und hohe Umgebungsfeuchtigkeit geschützt werden. Das Harz **260** ist ein Epoxidharz.

[0047] Fig. 8 ist ein Querschnitt einer Halbleitervorrichtung eines Vergleichsbeispiels. In einer Halbleitervorrichtung **281** gemäß dem Vergleichsbeispiel ist das erste Substrat **10** mit Harz **261** versiegelt. Die übrigen Strukturen sind ähnlich ausgebildet wie im Vergleichsbeispiel der Halbleitervorrichtung 81. In der Halbleitervorrichtung **281** des Vergleichsbeispiels kommt der Transistor **12** bei einer Versiegelung des ersten Substrats **10** in Kontakt mit dem Harz **261**. Dies kann zu einer reduzierten Leistung des Transistors **12** führen.

[0048] In Anbetracht dessen sind in der Halbleitervorrichtung **280** gemäß der zweiten Modifikation die Kontaktierhügel **30**, **31** auf dem ersten Substrat **10** angeordnet. Das zweite Substrat **20** wird wiederum auf den Kontaktierhügeln **30**, **31** angeordnet. Dadurch wird ein Hohlraum in der Umgebung des Transistors **12** erzeugt. Somit kann das zweite Substrat **20** als Abdeckung für das erste Substrat **10** eingesetzt werden. Dies erlaubt eine Versiegelung der Halbleitervorrichtung **280** ohne dabei die Leistung des Transistors **12** zu reduzieren.

[0049] Diese Modifikationen können in geeigneter Weise auf die Ausführungsformen von Halbleitervorrichtungen unten angewendet werden. Dabei werden vorwiegend die Unterschiede zwischen der ersten Ausführungsform und den Ausführungsformen unten erläutert, da sie viele Übereinstimmungen mit der ersten Ausführungsform besitzen.

Zweite Ausführungsform

[0050] Fig. 9 ist ein Querschnitt einer Halbleitervorrichtung gemäß einer zweiten Ausführungsform. In einer Halbleitervorrichtung **380** gemäß der vorliegenden Ausführungsform ist die Struktur einer zweiten Elektrode **345** eine andere, als die in der Halbleiter-

vorrichtung **80**. Die sonstigen Strukturen sind identisch zur ersten Ausführungsform. Die zweite Elektrode **345** verläuft von der ersten Fläche **61** zur zweiten Fläche **62** des Substrats **320**. Die zweite Elektrode **345** umfasst das zweite Bonding-Pad **41** auf der ersten Fläche **61**. Weiter umfasst die zweite Elektrode **345** ein zweites Pad 342 auf der zweiten Fläche **62**. Das zweite Bonding-Pad **41** und das zweite Pad 342 sind mittels einer zweiten Durchkontaktierung verbunden. Die zweite Elektrode **345** und die erste Elektrode **44** sind durch das Basismaterial des zweiten Substrats **320** getrennt.

[0051] Das Basismaterial des zweiten Substrats **320** ist dasselbe wie das des zweiten Substrats **20**. Sobald das zweite Substrat **320** hohe Temperaturen erreicht, erhöht sich die Leitfähigkeit des zweiten Substrats **320**, wodurch der Gate-Leckstrom zur zweiten Elektrode **345** fließt. Für den Widerstandswert zwischen der ersten und zweiten Elektrode **44**, **345** gilt, je größer die Querschnittsfläche des Strompfades ist, desto kleiner wird der Widerstandswert. In der vorliegenden Ausführungsform fließt der Gate-Leckstrom zwischen der ersten Durchkontaktierung **22** und der zweiten Durchkontaktierung 327. Somit ist die Querschnittsfläche des Strompfades im Vergleich zur ersten Ausführungsform erhöht. Daher kann der Widerstandswert zwischen der ersten und zweiten Elektrode **44**, **345** stärker verringert werden als in der ersten Ausführungsform. Aus diesem Grund kann der Gate-Leckstrom problemlos in Richtung der zweiten Elektrode **345** fließen. Folglich kann dadurch die Effektivität der Unterdrückung der Wärmeentwicklung des Transistor **12** verbessert werden.

Dritte Ausführungsform

[0052] **Fig. 10** ist ein Querschnitt einer Halbleitervorrichtung gemäß einer dritten Ausführungsform. In einer Halbleitervorrichtung **480** gemäß der vorliegenden Ausführungsform weicht die Struktur einer ersten Elektrode **444** von der in der Halbleitervorrichtung **80** ab. Die sonstigen Strukturen sind identisch zur ersten Ausführungsform. Die erste Elektrode **444** umfasst ein erstes Pad **421**, welches mit dem Konktaktierhügel **30** verbunden und auf der zweiten Fläche **62** angeordnet ist. Das erste Pad **421** erstreckt sich gerade bis unter das zweite Bonding-Pad **41**. Das erste Pad **421** ist so angeordnet, dass es in der Draufsicht das zweite Bonding-Pad **41** überlagert.

[0053] In der ersten und zweiten Ausführungsform fließt der Gate-Leckstrom zwischen der ersten Elektrode **44** und den zweiten Elektroden **45**, **345** vorwiegend parallel zur ersten Fläche **61**. Im Gegensatz dazu fliest der Gate-Leckstrom in der vorliegenden Ausführungsform von der zweiten Fläche **62** in Richtung der ersten Fläche **61**. Indem der Überlappungsbereich des ersten Pads 412 und des zweiten Bonding-Pads **41** in der Draufsicht vergrößert wird, kann die Querschnittsfläche des Strompfades erhöht werden. Somit kann der Widerstandswert des Strompfades des Gate-Leckstroms von der ersten Elektrode **444** zur zweiten Elektrode **45** verringert werden.

Vierte Ausführungsform

[0054] **Fig. 11** ist ein Querschnitt einer Halbleitervorrichtung gemäß einer vierten Ausführungsform. In einer Halbleitervorrichtung **580** gemäß der vorliegenden Ausführungsform unterscheidet sich die Form des zweiten Substrats **520** von der der dritten Ausführungsform. Eine erste Vertiefung 528 ist im zweiten Substrat **520** ausgebildet. Die zweite Elektrode **45** ist auf der unteren Oberfläche der ersten Vertiefung 528 angeordnet. Die sonstigen Formen entsprechen denen der dritten Ausführungsform. Die erste Vertiefung 528 wird mittels Ätzung in die erste Fläche **61** des zweiten Substrats **520** eingebracht.

[0055] Gemäß der vorliegenden Ausführungsform besitzt das zweite Substrat **520** an der Stelle, an der das zweite Bonding-Pad **41** angeordnet ist, einen Bereich, der dünner ist als seine Umgebung. Dadurch wird die Entfernung zwischen dem ersten Pad **421** und dem zweiten Bonding-Pad **41** im Vergleich zur dritten Ausführungsform verringert. Folglich wird dadurch der Widerstandswert des Strompfades des Gate-Leckstroms von der ersten Elektrode **444** zur zweiten Elektrode **45** weiter verringert.

[0056] **Fig. 12** ist ein Querschnitt einer Halbleitervorrichtung gemäß einer ersten Modifikation der vierten Ausführungsform. In einer Halbleitervorrichtung **680** gemäß der ersten Modifikation unterscheidet sich die Form der zweiten Elektrode **645** von der der Halbleitervorrichtung **580**. Die zweite Elektrode **645** umfasst ein zweites Bonding-Pad **641**. Das zweite Bonding-Pad **641** ist in die erste Vertiefung 528 eingebettet.

[0057] Im zweiten Substrat **520** ist dort, wo die erste Vertiefung 528 ausgebildet ist, ein Bereich, der dünner ist als seine Umgebung. Durch das Ausfüllen der ersten Vertiefung 528 mit dem zweiten Bonding-Pad **641** kann das zweite Substrat **520** verstärkt werden. Die Halbleitervorrichtung **580** erfordert außerdem eine Kontaktierung der Drahtbonde am zweiten Bonding-Pad **41** innerhalb der ersten Vertiefung 528. Im Gegensatz dazu wird in der Halbleitervorrichtung **680** gemäß der ersten Modifikation die erste Vertiefung 528 durch das zweite Bonding-Pad **641** aufgefüllt. Aufgrund dieser Tatsache kann die Kontaktierung der Drahtbonde außerhalb der ersten Vertiefung 528 durchgeführt werden. Dadurch wird die Anbringung des Bonddrahtes vereinfacht.

[0058] **Fig. 13** ist ein Querschnitt einer Halbleitervorrichtung gemäß einer zweiten Modifikation der vierten Ausführungsform. In einer Halbleitervorrichtung **780** gemäß der zweiten Modifikation wird eine zweite Ver-

tiefung 729 in der zweiten Fläche **62** des zweiten Substrats **720** ausgebildet. Die zweite Vertiefung 729 ist direkt unterhalb des zweiten Bonding-Pads **41** angeordnet. Weiterhin umfasst die erste Elektrode **744** ein erstes Pad 721 auf der zweiten Fläche **62**. Das erste Pad 721 ist mit dem Kontaktierhügel **30** verbunden. Außerdem ist das erste Pad 721 in die zweite Vertiefung 729 eingebettet. Wie bei der zweiten Modifikation gezeigt wurde, kann die zweite Vertiefung 729 auf der zweiten Fläche **62** angeordnet und durch das erste Pad 721 aufgefüllt werden. Folglich kann in der zweiten Modifikation ein ähnlicher Effekt erzielt werden wie bei der ersten Modifikation. Weiterhin können sowohl die erste, als auch die zweite Vertiefung 528, 729 ausgebildet sein. Darüber hinaus können die in den einzelnen Ausführungsformen beschriebenen technischen Merkmale in geeigneter Weise kombiniert werden.

[0059] In der Halbleitervorrichtung der vorliegenden Erfindung ist das zweite Substrat mittels des Kontaktierhügels mit dem Gate-Pad verbunden. Sobald der Transistor Wärme produziert verringert sich der Widerstandswert des Basismaterials des zweiten Substrats. An diesem Punkt beginnt der Gate-Leckstrom, der von der Drain-Elektrode zur Gate-Elektrode des Transistors fließt, von der ersten Elektrode zur zweiten Elektrode durch das Basismaterial des zweiten Substrats zu fließen. Somit lässt sich der Spannungseinbruch, der dadurch verursacht wird, dass der Gate-Leckstrom zum ersten Widerstand fliest, unterdrücken. Somit wird die Wärmeproduktion des FET gehemmt. Außerdem muss das Element zur Hemmung des Gate-Leckstroms nicht im ersten Substrat angeordnet werden. Dies vermeidet eine Vergrößerung des Bereichs im ersten Substrat.

Bezugszeichenliste

10	Substrat
11	Transistor
12	Gate-Pad
13	Gate-Elektrode
14	Drain-Elektrode
15	Verdrahtung
16	Source-Elektrode
17	Verdrahtung
18	Drain-Pad
19	Source-Pad
20	Substrat
21	Pad
22	Durchkontaktierung
23	Pad
24	Durchkontaktierung
30	Kontaktierhügel
31	Kontaktierhügel
40	Pad
41	Bonding-Pad
43	Bonding-Pad
44	Elektrode
45	Elektrode
50	Eingangsklemme
51	Widerstand
52	Massekontaktfläche
53	Verdrahtung
54	Verdrahtung
55	Verdrahtung
56	Ausgangsklemme
61	Fläche des Substrats
62	Fläche des Substrats
80	Halbleitervorrichtung
120	Substrat
121	Pad
122	Durchkontaktierung
125	Pad
126	Anpassungsschaltung
260	Harz
261	Harz
280	Halbleitervorrichtung
281	Halbleitervorrichtung
320	Substrat
380	Halbleitervorrichtung
345	Elektrode
421	Pad
444	Elektrode
480	Halbleitervorrichtung
520	Substrat
580	Halbleitervorrichtung
641	Bonding-Pad
645	Elektrode
680	Halbleitervorrichtung

720 Substrat

744 Elektrode

780 Halbleitervorrichtung

Patentansprüche

1. Halbleitervorrichtung (80, 280, 380, 480, 580, 680, 780), aufweisend:
- ein erstes Substrat (10),
- einen im ersten Substrat (10) angeordneten Transistor (12),
- ein Gate-Pad (11), welches auf der Oberseite des ersten Substrats (10) angeordnet und mit einer Gate-Elektrode (13) des Transistors (12) verbunden ist,
- einen Kontaktierhügel (30), welcher auf dem Gate-Pad (11) angeordnet ist,
- ein zweites Substrat (20, 120, 320, 520, 720) welches oberhalb des ersten Substrats (10) angeordnet ist und eine erste Fläche (61) und eine zweite Fläche (62) besitzt, wobei Letztere sich auf der gegenüberliegenden Seite der ersten Fläche (61) befindet,
- eine erste Elektrode (44, 444, 744), welche von der ersten Fläche (61) zur zweiten Fläche (62) verläuft und mit dem Kontaktierhügel (30) der zweiten Fläche (62) verbunden ist,
- einen Widerstand (51), welcher mit einem Ende auf der Seite der ersten Fläche (61) mit der ersten Elektrode (44, 444, 744) und mit dem anderen Ende mit einer Eingangsklemme (50) verbunden ist, und
- eine zweite Elektrode (45, 345, 645), welche in unmittelbarer Nähe zur ersten Elektrode (44, 444, 744) auf der ersten Fläche (61) angeordnet und so mit der Eingangsklemme (50) verbunden ist, dass der Widerstand (51) nicht zwischengeschaltet ist,
wobei:
- die erste Elektrode (44, 444, 744) und die zweite Elektrode (45, 345, 645) durch das Basismaterial des zweiten Substrats (20, 120, 320, 520, 720) getrennt sind und
- ein Gate-Leckstrom, welcher von einer Drain-Elektrode (14) des Transistors (12) zur Gate-Elektrode (13) fließt, von der ersten Elektrode (44, 444, 744) zur Eingangsklemme (50) durch das Basismaterial des zweiten Substrats (20, 120, 320, 520, 720) und der zweiten Elektrode (45, 345, 645) fließt.

2. Halbleitervorrichtung (80, 280, 380, 480, 580, 680, 780) nach Anspruch 1, wobei der Abstand zwischen der ersten Elektrode (44, 444, 744) und der zweiten Elektrode (45, 345, 645) 100 µm oder weniger beträgt.

3. Halbleitervorrichtung (80, 280, 380, 480, 580, 680, 780) nach Anspruch 1 oder 2, wobei die zweite Elektrode (45, 345, 645) in Form eines zweiten Bonding-Pads (41, 641) auf der ersten Fläche (61) ausgeführt ist.

4. Halbleitervorrichtung (80, 280, 380, 480, 580, 680, 780) nach Anspruch 1 oder 2, wobei die zweite Elektrode (45, 345, 645) von der ersten Fläche (61) bis zur zweiten Fläche (62) verläuft.

5. Halbleitervorrichtung (80, 280, 380, 480, 580, 680, 780) nach Anspruch 3 umfassend, ein erstes Pad (21, 121, 421, 721), welches mit dem Kontaktierhügel (30) verbunden und auf der zweiten Fläche (62) angeordnet ist, wobei sich das erste Pad (21, 121, 421, 721) gerade bis unter das zweite Bonding-Pad erstreckt (41, 641).

6. Halbleitervorrichtung (80, 280, 380, 480, 580, 680, 780) nach Anspruch 5, wobei ein Bereich um das zweite Bonding-Pad (41, 641) innerhalb des zweiten Substrats (20, 120, 320, 520, 720) dünner ist als seine Umgebung.

7. Halbleitervorrichtung (80, 280, 380, 480, 580, 680, 780) nach Anspruch 6, wobei eine erste Vertiefung (528) in der ersten Fläche (61) ausgebildet und das zweite Bonding-Pad (41, 641) in die erste Vertiefung (528) eingebettet ist.

8. Halbleitervorrichtung (80, 280, 380, 480, 580, 680, 780) nach Anspruch 6 oder 7, wobei eine zweite Vertiefung (729) in der zweiten Fläche (62) direkt unterhalb des zweiten Bonding-Pads ausgebildet (41, 641) und das erste Pad (21, 121, 421, 721) in die zweite Vertiefung (729) eingebettet ist.

9. Halbleitervorrichtung (80, 280, 380, 480, 580, 680, 780) nach einem der Ansprüche 1-8, wobei das Basismaterial des zweiten Substrats (20, 120, 320, 520, 720) aus Silicium mit einem spezifischen Widerstand von 100 Ωcm oder mehr besteht.

10. Halbleitervorrichtung (80, 280, 380, 480, 580, 680, 780) nach einem der Ansprüche 1-9, wobei eine Anpassungsschaltung (126) im zweiten Substrat (20, 120, 320, 520, 720) angeordnet ist.

11. Die Halbleitervorrichtung (80, 280, 380, 480, 580, 680, 780) nach einem der Ansprüche 1-10, wobei des erste Substrat (10) und das zweite Substrat (20, 120, 320, 520, 720) mit Harz (260) versiegelt sind.

12. Halbleitervorrichtung (80, 280, 380, 480, 580, 680, 780) nach einem der Ansprüche 1-11, wobei das erste Substrat (10) aus einem Verbindungshalbleiter besteht.

Es folgen 11 Seiten Zeichnungen

Anhängende Zeichnungen

FIG.1

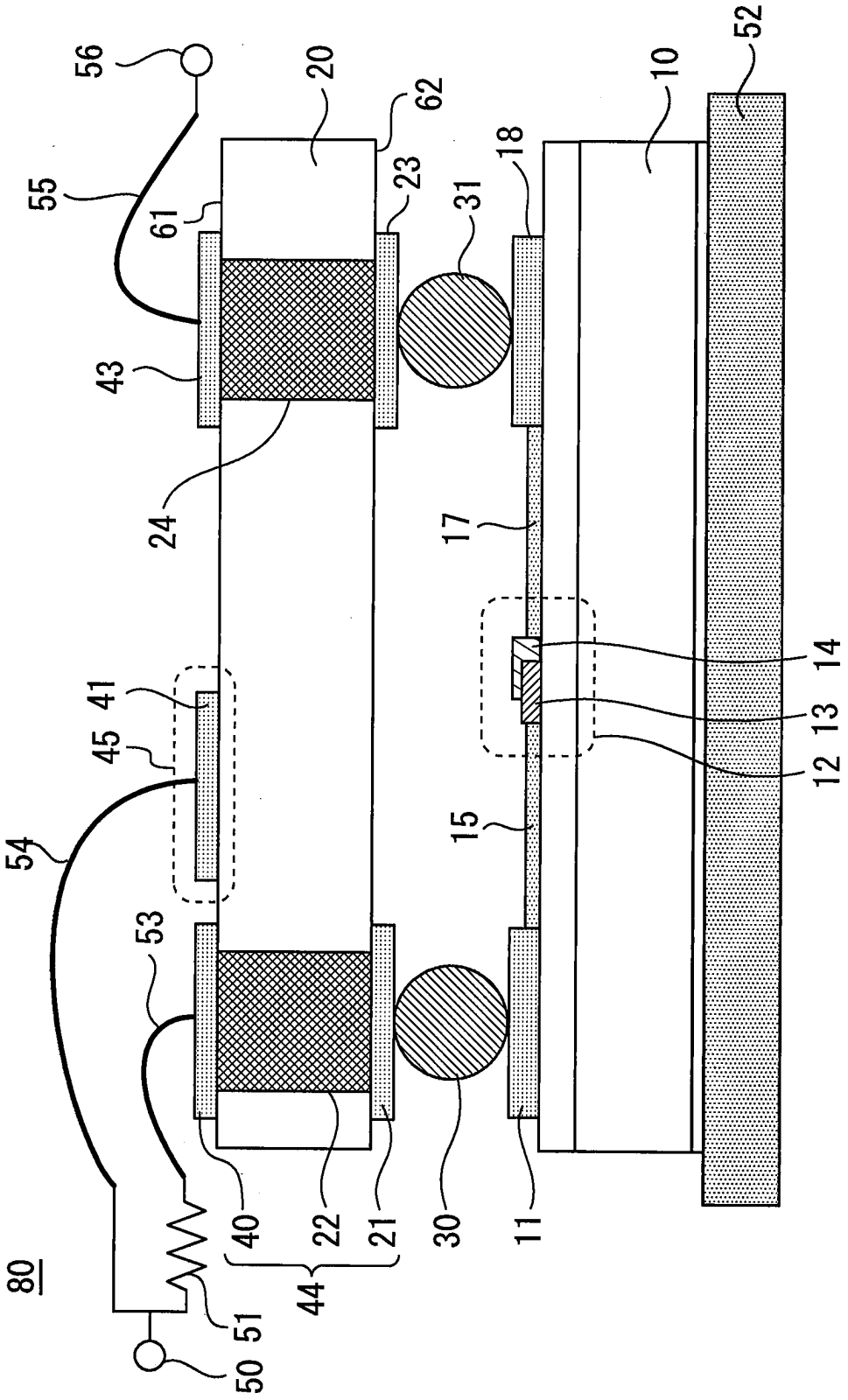


FIG.2

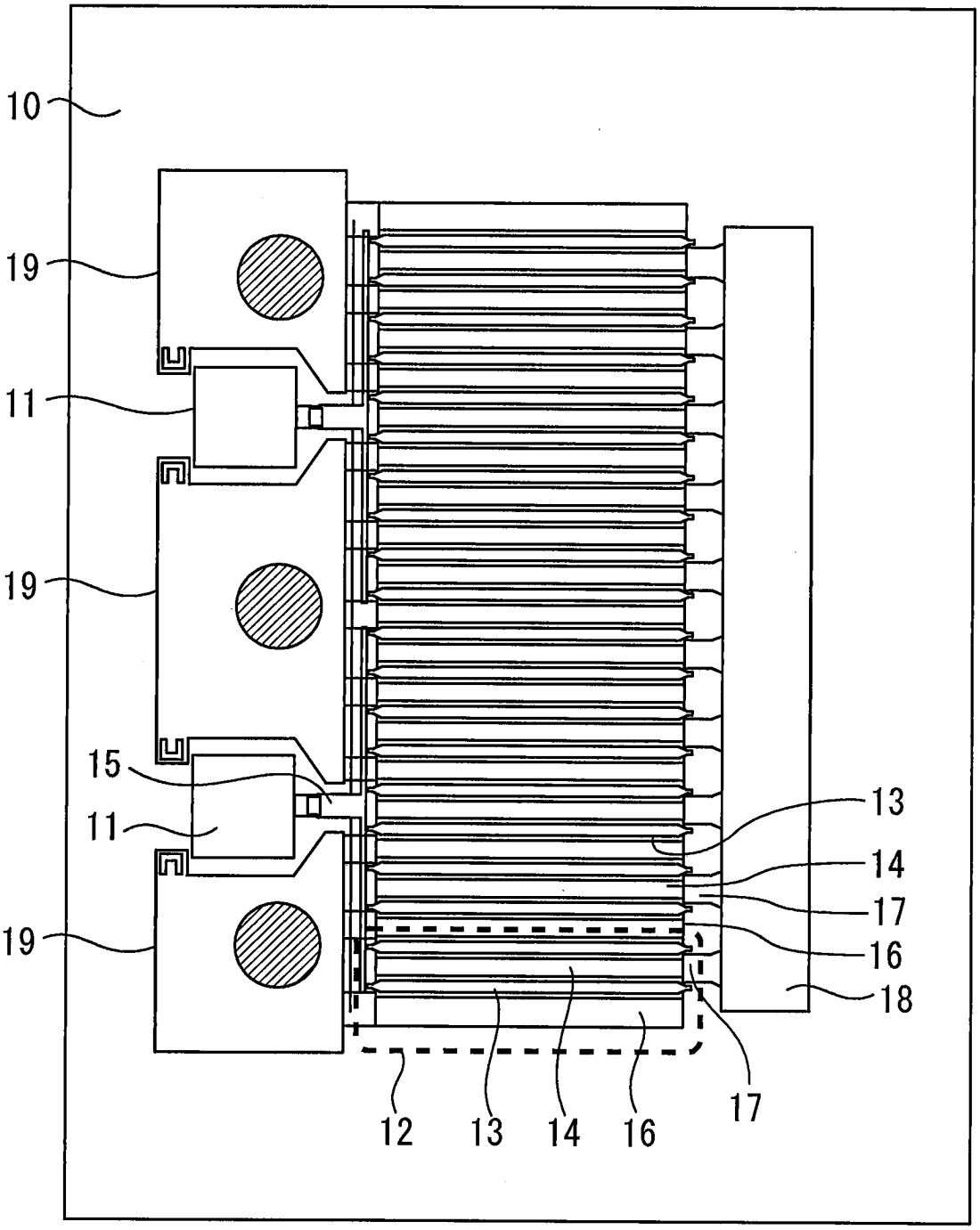


FIG.3

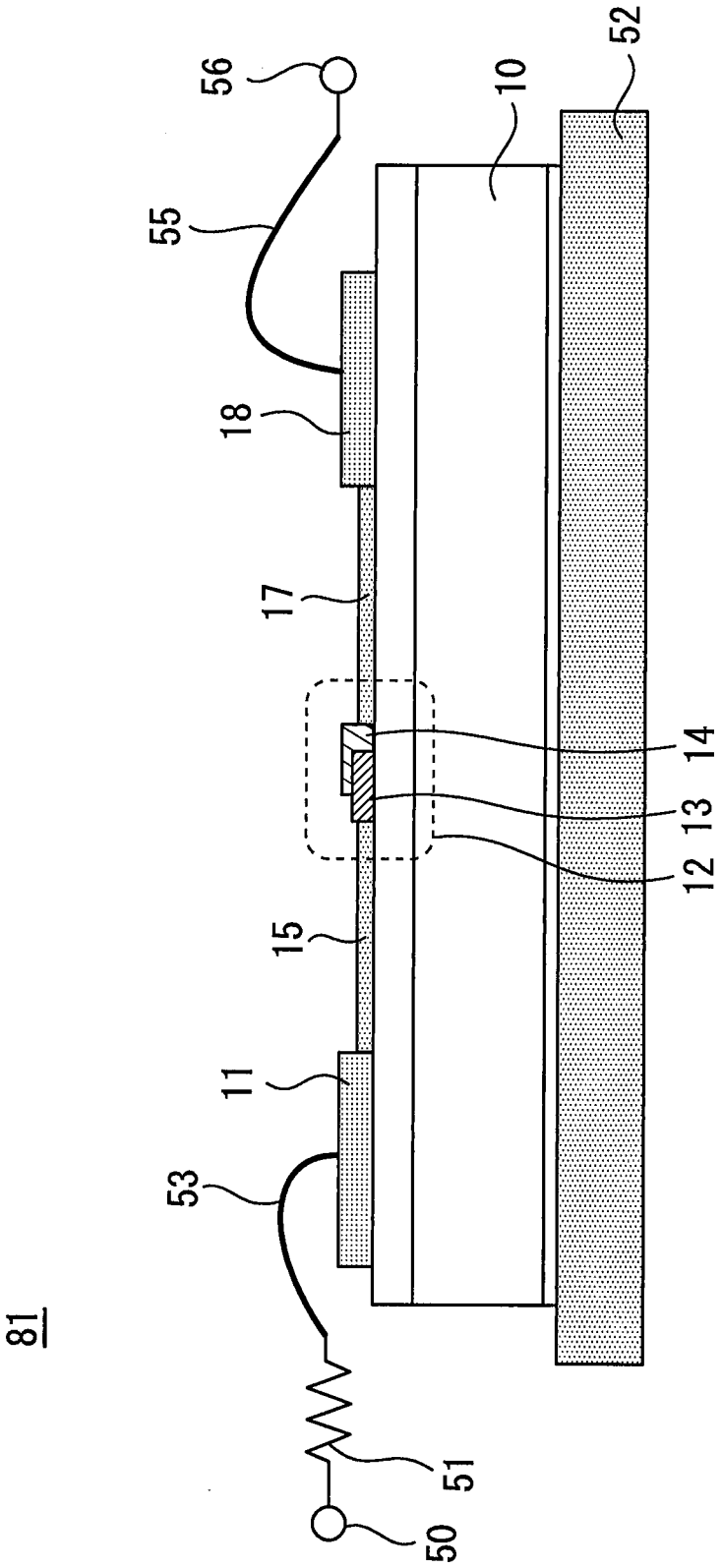


FIG.4

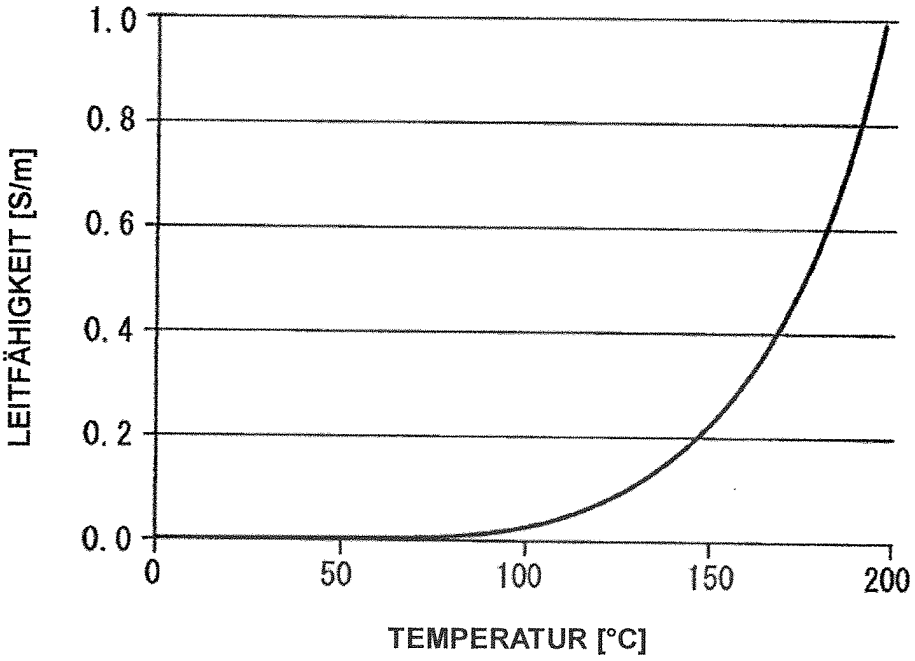

1.0
0.8
0.6
0.4
0.2
0.0
LEITFÄHIGKEIT [S/m]
0
50
100
150
200
TEMPERATUR [°C]

FIG.5

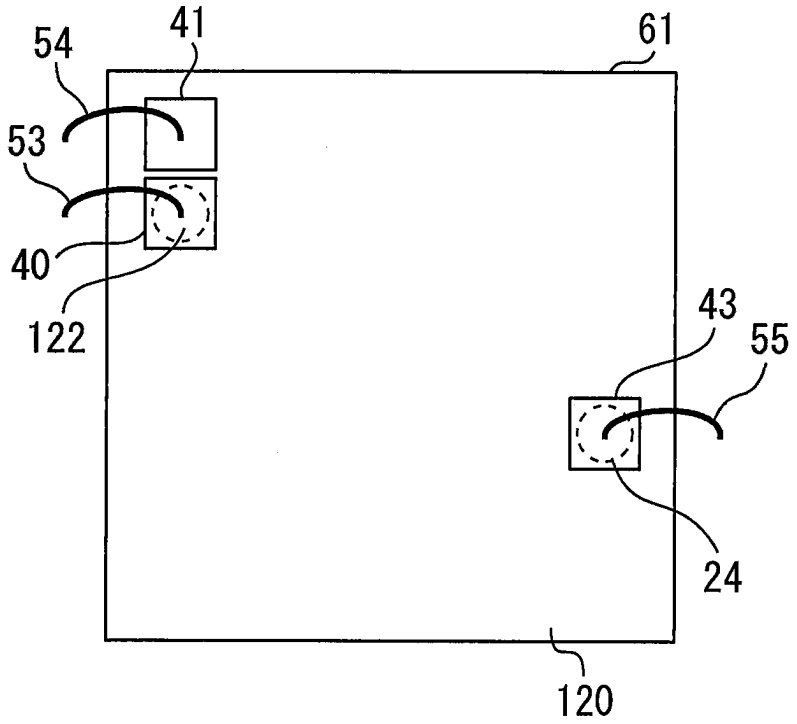


FIG.6

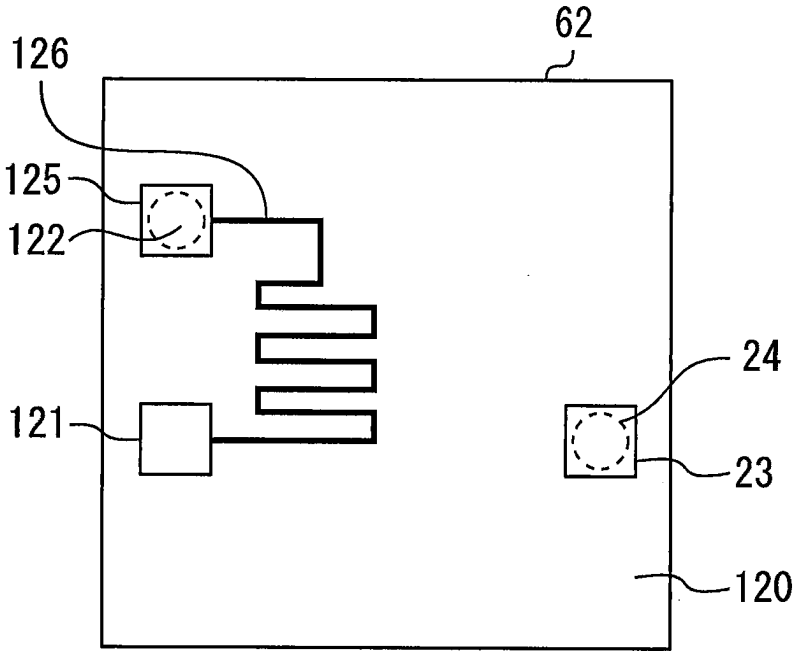


FIG.7

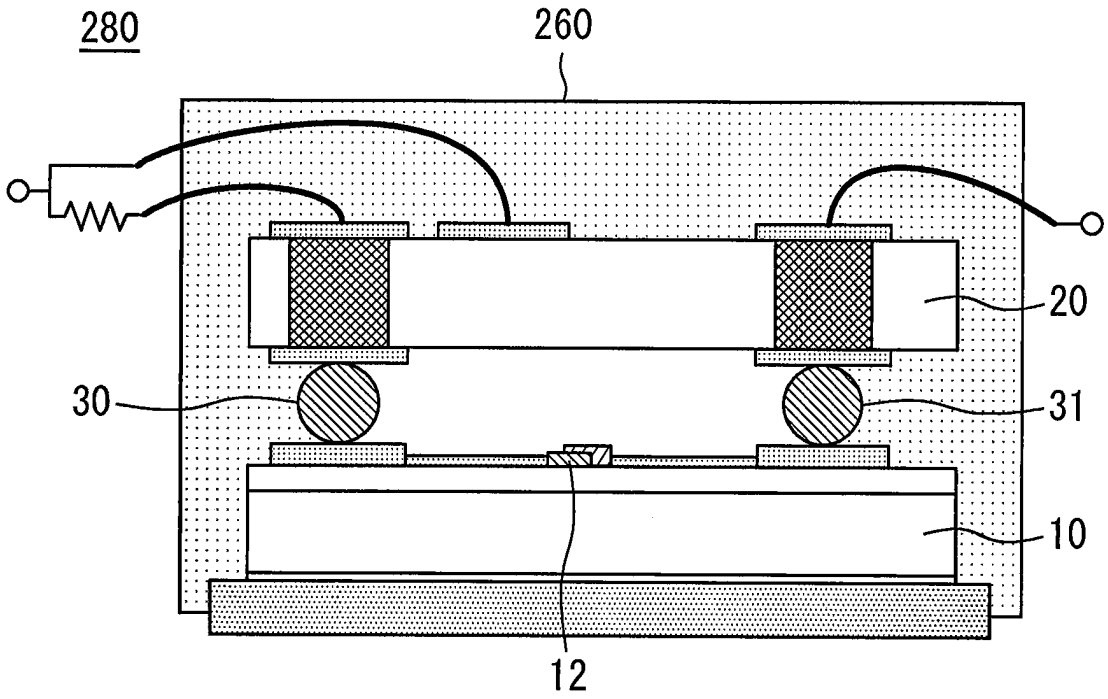


FIG.8

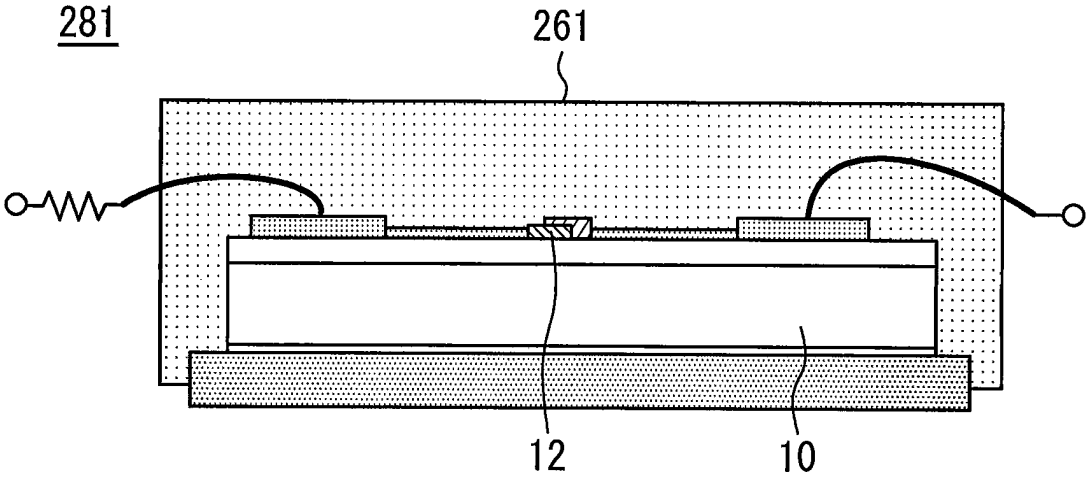


FIG.9

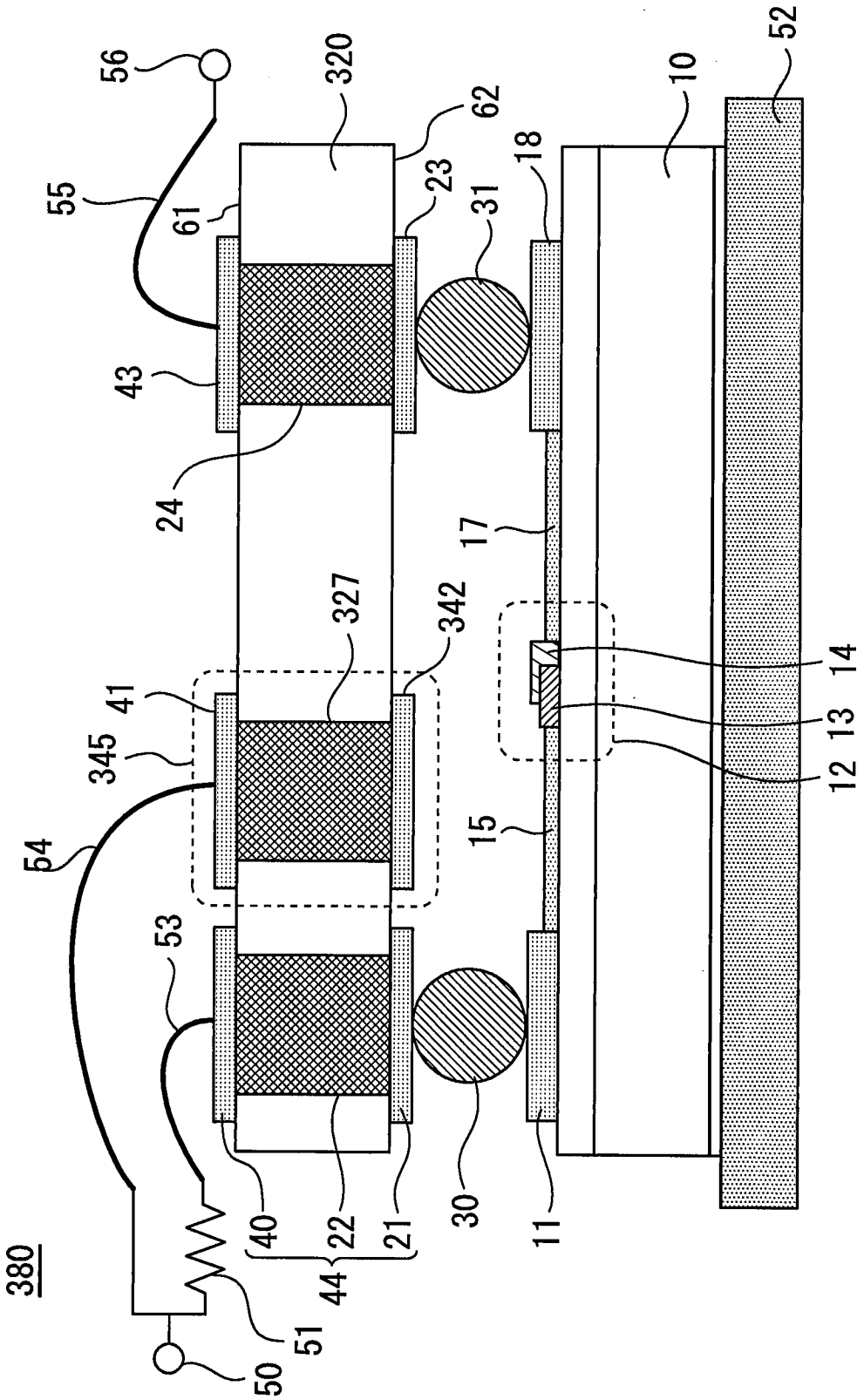

380
50
51
44
40
22
21
30
11
15
53
54
345
41
327
342
17
24
43
61
55
56
320
62
23
31
18
10
52
14
13
12

FIG.10

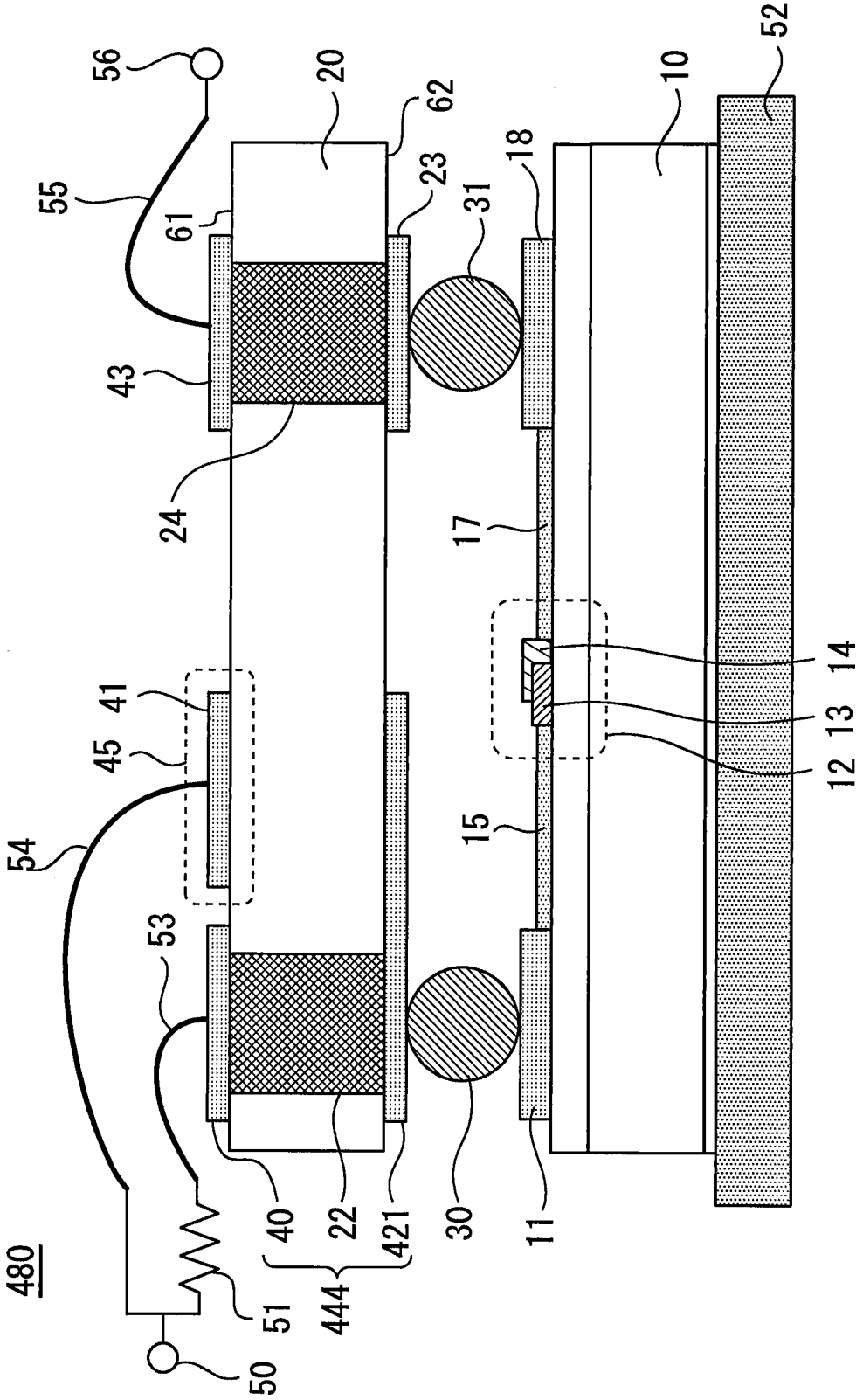

480
56
55
61
20
62
23
31
18
10
52
43
24
17
14
13
12
41
45
54
15
53
40
22
421
30
11
51
444
50

FIG.11

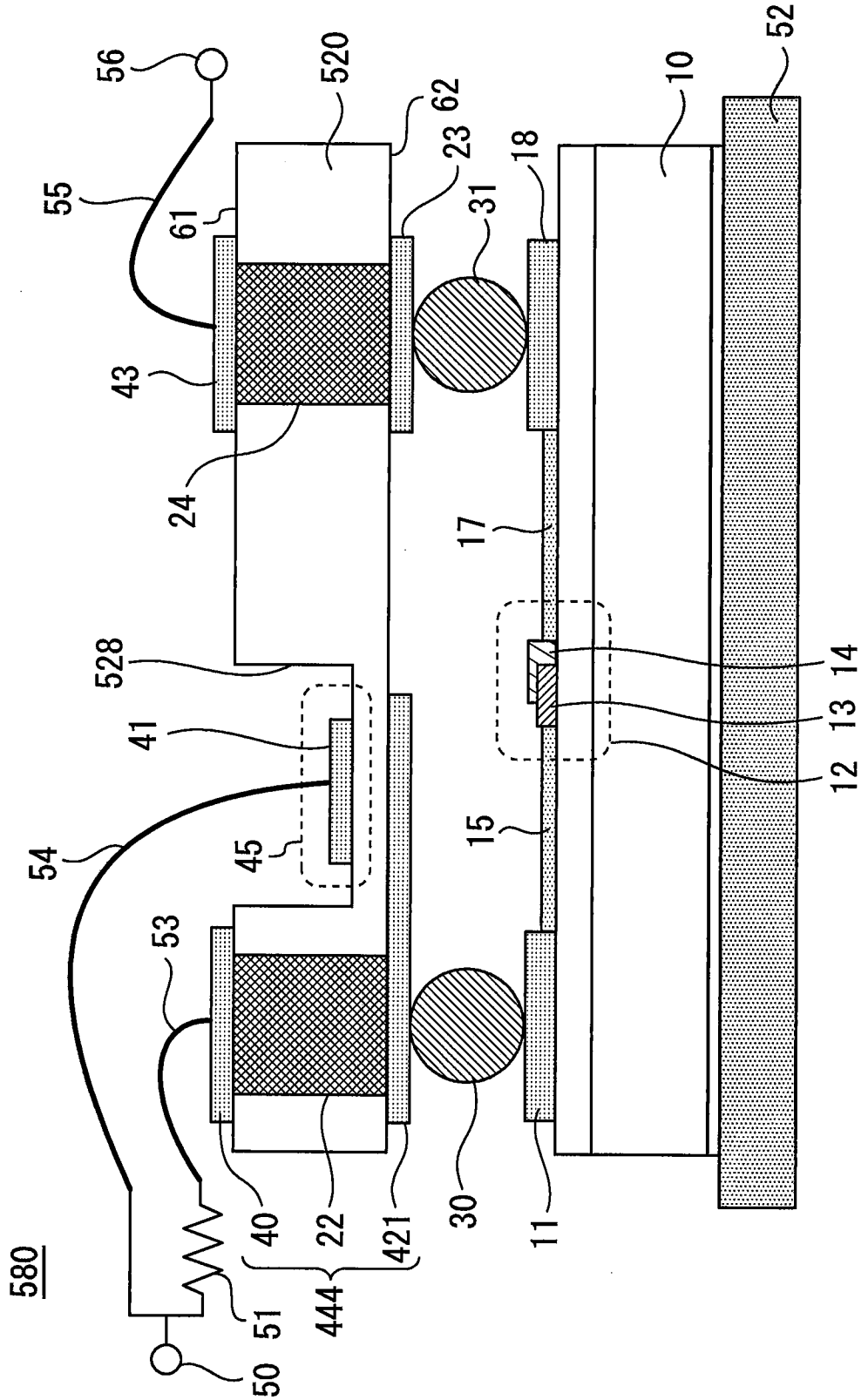

580
56
55
520
62
23
61
31
18
10
52
43
24
17
528
41
14
13
12
54
45
15
53
40
22
421
30
11
444
51
50

FIG.12

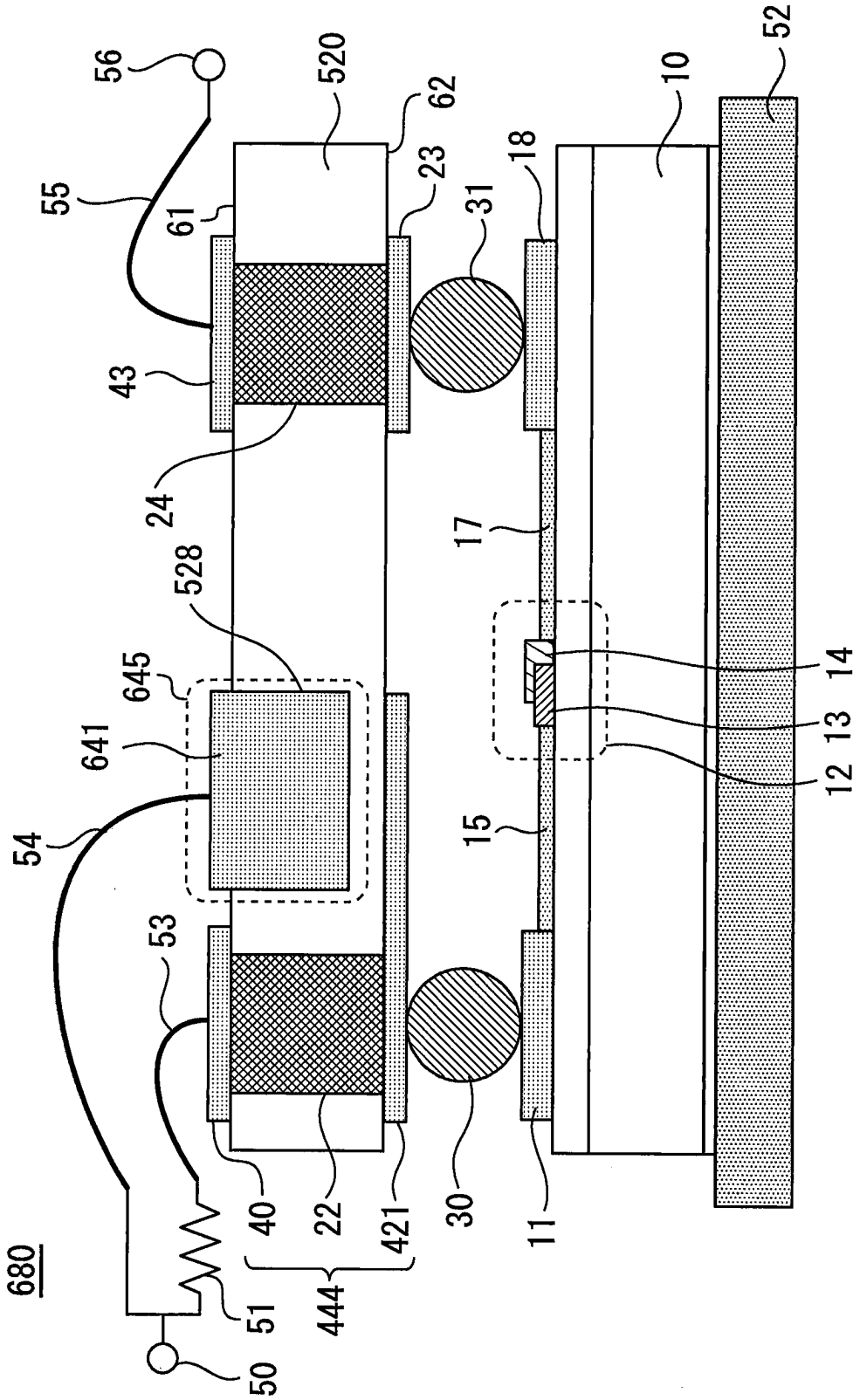
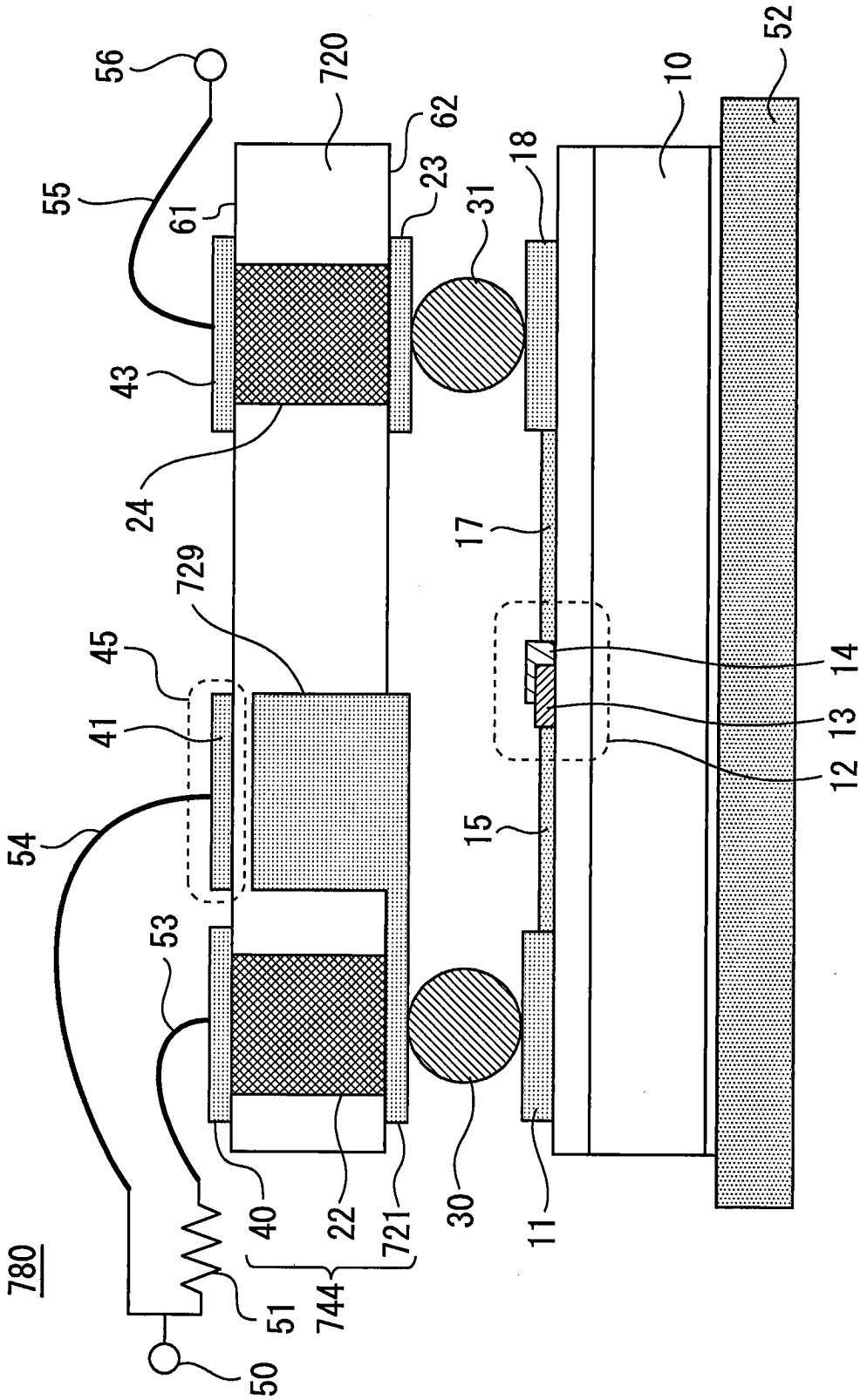

1
56
520
62
10
52
55
61
23
18
31
43
24
17
528
645
641
14
13
12
54
15
53
680
40
22
421
30
11
51
444
50

FIG.13



Das Dokument wurde durch die Firma Jouve erstellt.