

(19)日本国特許庁(JP)

(12)公開特許公報(A)

(11)公開番号

特開2024-159160

(P2024-159160A)

(43)公開日 令和6年11月8日(2024.11.8)

(51)国際特許分類	F I	テーマコード(参考)
H 0 3 F 3/26 (2006.01)	H 0 3 F 3/26	5 H 7 4 0
H 0 4 L 25/02 (2006.01)	H 0 4 L 25/02 3 0 3 B	5 J 0 5 5
H 0 4 L 25/03 (2006.01)	H 0 4 L 25/02 V	5 J 0 5 6
H 0 3 K 17/691 (2006.01)	H 0 4 L 25/03 Z	5 J 5 0 0
H 0 3 K 19/0175(2006.01)	H 0 3 K 17/691	5 K 0 2 9
審査請求 未請求 請求項の数 4 O L (全18頁) 最終頁に続く		

(21)出願番号 特願2023-74978(P2023-74978)

(22)出願日 令和5年4月28日(2023.4.28)

(71)出願人 000144393

株式会社三社電機製作所  
大阪府大阪市東淀川区西淡路3丁目1番  
56号

(74)代理人 100206184

弁理士 幅 敦司

(74)代理人 100114834

弁理士 幅 慶司

(72)発明者 深井 真志

大阪市東淀川区西淡路3-1-56  
株式会社三社電機製作所内

(72)発明者 西村 直樹

大阪市東淀川区西淡路3-1-56  
株式会社三社電機製作所内

Fターム(参考) 5H740 BA12 BB05 BC01 BC02

最終頁に続く

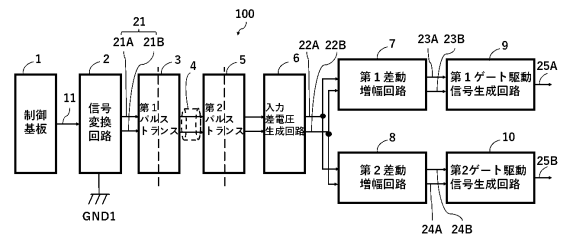
(54)【発明の名称】 ゲートドライブ回路

(57)【要約】

【課題】出力側及び入力側に重畳した共通モードノイズを除去する。

【解決手段】ゲートドライブ回路100は、ゲート制御信号11を、ポジティブ信号21Aとネガティブ信号21Bとからなる差動信号21に変換する信号変換回路2と、それぞれ中性点を有する一次巻線及び二次巻線を有し、一次巻線の中性点が第1グラウンドの電位とされるときに一次巻線の両端にポジティブ信号21A及びネガティブ信号21Bがそれぞれ入力される第1パルストランス3と、第1パルストランス3の二次巻線の両端電圧に基づいて一対の抵抗素子の両端に一対の入力差電圧22A, 22Bを生成する入力差電圧生成回路6と、一対の入力差電圧22A, 22Bを差動増幅して一対の出力差電圧23A, 23Bを出力する差動増幅回路7と、一対の出力差電圧23A, 23Bに基づいて、ゲート駆動信号25Aを生成するゲート駆動信号生成回路9と、を備える。

【選択図】図2A



## 【特許請求の範囲】

## 【請求項 1】

第 1 グランドの電位を基準電位として動作し、シングルエンド信号であるゲート制御信号を、互いの信号レベル差が前記ゲート制御信号に対応するポジティブ信号及びネガティブ信号とからなる差動信号に変換する信号変換回路と、

互いに電氣的に絶縁され且つそれぞれ中性点を有する一次巻線及び二次巻線を有し、前記一次巻線の前記中性点が前記第 1 グランドの電位とされるとともに前記一次巻線の両端に前記差動信号のポジティブ信号及びネガティブ信号がそれぞれ入力される第 1 パルストランスと、

互いに直列に接続された一对の抵抗素子を有し、当該一对の抵抗素子の両端及び接続点が、直接電氣的に又は伝送ケーブル及び第 2 パルストランスを介して、前記第 1 パルストランスの前記二次巻線の両端及び前記中性点にそれぞれ接続され、前記一对の抵抗素子の両端に前記接続点の電位を基準とする一对の入力差電圧を生成する入力差電圧生成回路と、

前記入力差電圧生成回路に電氣的に接続され、前記一对の入力差電圧を差動増幅して一对の出力差電圧を出力する差動増幅回路と、

前記差動増幅回路に電氣的に接続され、前記一对の出力差電圧に基づいて、所定電位を基準とするシングルエンド信号であるゲート駆動信号を生成し、当該ゲート駆動信号を、第 2 グランドの電位を基準として動作するスイッチング素子に出力するゲート駆動信号生成回路と、を備える、ゲートドライブ回路。

## 【請求項 2】

前記第 2 パルストランスは、互いに電氣的に絶縁され且つそれぞれ中性点を有する一次巻線及び二次巻線を有し、前記一次巻線の両端及び中性点が前記伝送ケーブルを介してそれぞれ前記第 1 パルストランスの前記二次巻線の両端及び前記中性点に電氣的に接続され、

前記入力差電圧生成回路は、前記一对の抵抗素子の両端及び前記接続点が、前記第 2 パルストランスの前記二次巻線の両端及び前記中性点にそれぞれ接続されている、請求項 1 に記載のゲートドライブ回路。

## 【請求項 3】

2 つの前記スイッチング素子が、互いにプッシュプル接続された第 1 スwitching素子及び第 2 スwitching素子を構成しており、

前記差動増幅回路として、第 1 差動増幅回路及び第 2 差動増幅回路を備え、

前記ゲート駆動信号生成回路として、第 1 及び第 2 ゲート駆動信号生成回路を備え、

前記第 1 差動増幅回路は、前記入力差電圧生成回路に電氣的に接続され、前記一对の入力差電圧を差動増幅して、高電位的一对の第 1 出力差電圧を出力する回路であり、

前記第 2 差動増幅回路は、前記入力差電圧生成回路に電氣的に接続され、前記一对の入力差電圧を差動増幅して、前記一对の第 1 出力差電圧より低い低電位的一对の第 2 出力差電圧を出力する回路であり、

前記第 1 ゲート駆動信号生成回路は、前記第 1 差動増幅回路に電氣的に接続され、前記一对の第 1 出力差電圧に基づいて、正電位を基準とする前記ゲート駆動信号である第 1 ゲート駆動信号を生成し、当該第 1 ゲート駆動信号を前記第 1 スwitching素子に出力する回路であり、

前記第 2 ゲート駆動信号生成回路は、前記第 2 差動増幅回路に電氣的に接続され、前記一对の第 2 出力差電圧に基づいて、負電位を基準とする前記ゲート駆動信号である第 2 ゲート駆動信号を生成し、当該第 2 ゲート駆動信号を前記第 2 スwitching素子に出力する回路である、請求項 1 又は 2 に記載のゲートドライブ回路。

## 【請求項 4】

前記ゲート駆動信号生成回路は、前記一对の出力差電圧が入力され且つ所定電位を基準とするシングルエンド信号を出力するフリップフロップを含み、当該シングルエンド信号を前記ゲート駆動信号として出力する回路である、請求項 1 乃至 3 に記載のゲートドライブ

10

20

30

40

50

ブ回路。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、ゲートドライブ回路に関する。

【背景技術】

【0002】

従来、フローティング状態で動作するスイッチング素子を駆動するゲート駆動回路において、入力側と出力側とを絶縁することが知られている。そのような場合、スイッチング素子のスイッチング等に起因して、コモンモードノイズが発生する場合がある。このコモンモードノイズ対策として種々の提案がなされている。例えば、特許文献1のゲート駆動回路では、パルストランスによって入力側と出力側とが絶縁され、入力側が第1の接地電位点に接地されるとともに出力側が第2の接地電位点に接地される。そして、パルストランスの一次巻線に一次側ゲート駆動信号が入力され、パルストランスの二次側の出力が比較器によって差動増幅されて、二次側ゲート駆動信号として出力される。さらに、パルストランスの一次巻線と二次巻線との間に、第2の接地電位点に接地された静電シールド板が配置される。

10

【先行技術文献】

【特許文献】

【0003】

20

【特許文献1】特開2013-074079公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

特許文献1のゲート駆動回路は、出力側に重畳したコモンモードノイズを除去することができるが、入力側に重畳したコモンモードノイズを除去することができない。

【0005】

本発明はこのような課題を解決するためになされたもので、出力側及び入力側に重畳したコモンモードノイズを除去することが可能なゲートドライブ回路を提供することを目的としている。

30

【課題を解決するための手段】

【0006】

上記目的を達成するために、本開示のある形態( aspect )に係るゲートドライブ回路は、第1グラウンドの電位を基準電位として動作し、シングルエンド信号であるゲート制御信号を、互いの信号レベル差が前記ゲート制御信号に対応するポジティブ信号及びネガティブ信号とからなる差動信号に変換する信号変換回路と、互いに電氣的に絶縁され且つそれぞれ中性点を有する一次巻線及び二次巻線を有し、前記一次巻線の前記中性点が前記第1グラウンドの電位とされるとともに前記一次巻線の両端に前記差動信号のポジティブ信号及びネガティブ信号がそれぞれ入力される第1パルストランスと、互いに直列に接続された一对の抵抗素子を有し、当該一对の抵抗素子の両端及び接続点が、直接電氣的に又は伝送ケーブル及び第2パルストランスを介して、前記第1パルストランスの前記二次巻線の両端及び前記中性点にそれぞれ接続され、前記一对の抵抗素子の両端に前記接続点の電位を基準とする一对の入力差電圧を生成する入力差電圧生成回路と、前記入力差電圧生成回路に電氣的に接続され、前記一对の入力差電圧を差動増幅して一对の出力差電圧を出力する差動増幅回路と、前記差動増幅回路に電氣的に接続され、前記一对の出力差電圧に基づいて、所定電位を基準とするシングルエンド信号であるゲート駆動信号を生成し、当該ゲート駆動信号を、第2グラウンドの電位を基準として動作するスイッチング素子に出力するゲート駆動信号生成回路と、を備える。

40

【発明の効果】

【0007】

50

本発明は、出力側及び入力側に重畳したコモンモードノイズを除去することが可能なゲートドライブ回路を提供できるという効果を奏する。

【図面の簡単な説明】

【0008】

【図1】図1は、本開示のゲートドライブ回路が用いられるプッシュプル増幅回路の構成を示す回路図である。

【図2A】図2Aは、図1のゲートドライブ回路の第1構成例を示すブロック図である。

【図2B】図2Bは、図1のゲートドライブ回路の第2構成例を示すブロック図である。

【図3】図3は、図2Aのゲートドライブ回路の第1構成例の具体的な回路構成の一例を示す回路図である。

【図4A】図4Aは、コモンモードノイズが重畳した差動信号の波形を示す波形図である。

【図4B】図4Bは、図4Aの差動信号によって第1パルストランスに誘起された差動信号の波形を示す波形図である。

【図4C】図4Cは、図4Bの第1パルストランスに誘起された差動信号に由来する信号から入力差電圧生成回路によって生成された入力差電圧の波形を示す波形図である。

【図5】図5は、図3のプッシュプル増幅回路を用いたスイッチング電源装置の動作を示す回路図である。

【図6】図6は、図5のスイッチングモジュールが発生するスイッチングノイズを示す模式図である。

【発明を実施するための形態】

【0009】

本開示のある形態 (aspect) に係るゲートドライブ回路は、第1グラウンドの電位を基準電位として動作し、シングルエンド信号であるゲート制御信号を、互いの信号レベル差が前記ゲート制御信号に対応するポジティブ信号及びネガティブ信号とからなる差動信号に変換する信号変換回路と、互いに電氣的に絶縁され且つそれぞれ中性点を有する一次巻線及び二次巻線を有し、前記一次巻線の前記中性点が前記第1グラウンドの電位とされるときとも前記一次巻線の両端に前記差動信号のポジティブ信号及びネガティブ信号がそれぞれ入力される第1パルストランスと、互いに直列に接続された一对の抵抗素子を有し、当該一对の抵抗素子の両端及び接続点が、直接電氣的に又は伝送ケーブル及び第2パルストランスを介して、前記第1パルストランスの前記二次巻線の両端及び前記中性点にそれぞれ接続され、前記一对の抵抗素子の両端に前記接続点の電位を基準とする一对の入力差電圧を生成する入力差電圧生成回路と、前記入力差電圧生成回路に電氣的に接続され、前記一对の入力差電圧を差動増幅して一对の出力差電圧を出力する差動増幅回路と、前記差動増幅回路に電氣的に接続され、前記一对の出力差電圧に基づいて、所定電位を基準とするシングルエンド信号であるゲート駆動信号を生成し、当該ゲート駆動信号を、第2グラウンドの電位を基準として動作するスイッチング素子に出力するゲート駆動信号生成回路と、を備える。

【0010】

この構成によれば、ゲートドライブ回路の入力側と出力側とが第1パルストランスによって互いに絶縁され、第1グラウンドの電位を基準とする入力側に対し、出力側がスイッチング素子に繋がっていて第2グラウンドの電位を基準とするフローティング状態になる。この状態において、シングルエンド信号であるゲート制御信号が信号変換回路によって、互いの信号レベル差がゲート制御信号に対応するポジティブ信号及びネガティブ信号とからなる差動信号に変換され、且つ、第1パルストランスの1次巻線の中性点が第1グラウンドの電位とされるときとも一次巻線の両端に当該差動信号が入力される。これにより、ポジティブ信号及びネガティブ信号は、同じトランスの巻線にその両端電圧として誘起される、それぞれ2倍の振幅を有し且つ互いに逆位相 (正負が逆) の一对のシングルエンド電圧信号に変換される。従って、入力側において、これらのポジティブ信号及びネガティブ信号にそれぞれコモンモードノイズが重畳した場合、ポジティブ信号のコモンモードノイズ

10

20

30

40

50

とネガティブ信号のコモンモードノイズとは互いに正負（プラスマイナス）が逆になるので、第1パルストランスにおいて相殺されて除去される。

【0011】

また、出力側においては、入力差電圧生成回路の一对の抵抗素子の両端及び接続点が、直接電氣的に又は伝送ケーブル及び第2パルストランスを介して、第1パルストランスの二次巻線の両端及び中性点にそれぞれ接続されていて、当該一对の抵抗素子の両端に前記接続点の電位を基準とする一对の入力差電圧が成され、この一对の入力差電圧が差動増幅回路によって差動増幅される。従って、出力側において、第1パルストランスの二次巻線の両端に直接又は間接に接続された一对の配線にコモンモードノイズが重畳した場合、当該一对の配線のコモンモードノイズは、入力差電圧生成回路により生成される一对の入力差電圧において互いに正負が逆になり、差動増幅回路によって除去される。また、入力差電圧生成回路の一对の抵抗素子に第1パルストランスの負荷電流が流れるので、差動信号の伝送経路のインピーダンスが低くなり、コモンモードノイズの除去能力が向上する。

10

【0012】

その結果、出力側及び入力側に重畳したコモンモードノイズを除去することが可能なゲートドライブ回路を提供できる。

【0013】

前記第2パルストランスは、互いに電氣的に絶縁され且つそれぞれ中性点を有する一次巻線及び二次巻線を有し、前記一次巻線の両端及び中性点が前記伝送ケーブルを介してそれぞれ前記第1パルストランスの前記二次巻線の両端及び前記中性点に電氣的に接続され、前記入力差電圧生成回路は、前記一对の抵抗素子の両端及び前記接続点が、前記第2パルストランスの前記二次巻線の両端及び前記中性点にそれぞれ接続されていてもよい。

20

【0014】

この構成によれば、第1パルストランスの二次巻線及び伝送ケーブルにコモンモードノイズが重畳した場合、第1パルストランスと同様に、第2パルストランスによって当該コモンモードノイズを除去することができる。その結果、伝送ケーブルを長くすることによって、ゲート制御信号を生成する制御装置をスイッチング素子から離して配置することができ、制御装置を構成するコンピュータを、スイッチング素子のスイッチング動作によって発生するノイズから好適に保護することができる。

【0015】

2つの前記スイッチング素子が、互いにプッシュプル接続された第1スイッチング素子及び第2スイッチング素子を構成しており、前記差動増幅回路として、第1差動増幅回路及び第2差動増幅回路を備え、前記ゲート駆動信号生成回路として、第1及び第2ゲート駆動信号生成回路を備え、前記第1差動増幅回路は、前記入力差電圧生成回路に電氣的に接続され、前記一对の入力差電圧を差動増幅して、高電位の一对の第1出力差電圧を出力する回路であり、前記第2差動増幅回路は、前記入力差電圧生成回路に電氣的に接続され、前記一对の入力差電圧を差動増幅して、前記一对の第1出力差電圧より低い低電位の一对の第2出力差電圧を出力する回路であり、前記第1ゲート駆動信号生成回路は、前記第1差動増幅回路に電氣的に接続され、前記一对の第1出力差電圧に基づいて、正電位を基準とする前記ゲート駆動信号である第1ゲート駆動信号を生成し、当該第1ゲート駆動信号を前記第1スイッチング素子に出力する回路であり、前記第2ゲート駆動信号生成回路は、前記第2差動増幅回路に電氣的に接続され、前記一对の第2出力差電圧に基づいて、負電位を基準とする前記ゲート駆動信号である第2ゲート駆動信号を生成し、当該第2ゲート駆動信号を前記第2スイッチング素子に出力する回路であつてもよい。

30

40

【0016】

この構成によれば、互いにプッシュプル接続された第1スイッチング素子及び第2スイッチング素子を、出力側及び入力側に重畳したコモンモードノイズを除去しながら駆動することができる。

【0017】

前記ゲート駆動信号生成回路は、前記一对の出力差電圧が入力され且つ所定電位を基準

50

とするシングルエンド信号を出力するフリップフロップを含み、当該シングルエンド信号を前記ゲート駆動信号として出力する回路であってもよい。

【 0 0 1 8 】

この構成によれば、フリップフロップによって、所定電位を基準とするシングルエンド信号であるゲート駆動信号を生成できる。また、差動増幅回路の一对の出力差電圧の波形を整形することができ、それによって、さらに、コモンモードノイズを除去することができる。

【 0 0 1 9 】

以下、本開示の具体的な実施形態を、図面を参照しながら説明する。なお、以下では全ての図面を通じて同一又は相当する要素には同一の参照符号を付して、その重複する説明を省略する。また、以下の図は、本開示を説明するための図であるので、本開示に無関係な要素が省略される場合、誇張等のために寸法が正確でない場合、簡略化される場合、複数の図において互いに対応する要素の形態が一致しない場合等がある。また、本開示は、以下の実施形態に限定されない。

【 0 0 2 0 】

(実施形態)

最初に本開示のゲートドライブ回路の使用環境を説明する。

【 0 0 2 1 】

[使用環境]

図 1 は、本開示のゲートドライブ回路 1 0 0 が用いられるプッシュプル増幅回路 5 0 0 の構成を示す回路図である。図 1 を参照すると、プッシュプル増幅回路 5 0 0 は、プッシュプル接続された一对のスイッチング素子 6 0 と、ゲートドライブ回路 1 0 0 と、を含む。一对のスイッチング素子 6 0 は、例えば P M O S F E T で構成されるハイサイドの第 1 スwitchング素子 6 1 と、例えば N M O S F E T で構成されるローサイドの第 2 スwitchング素子 6 2 とが正電源 V D D と第 2 グランド G N D 2 との間に直列に接続されて構成されており、それらの接続点から出力が取り出される。ゲートドライブ回路 1 0 0 は、入力側と出力側とが絶縁されていて、入力側が第 1 グランド G N D 1 に接続され、且つ、出力側が一对のスイッチング素子 6 0 に電氣的に接続されている。従って、出力側は入力側の第 1 グランド G N D 1 に対し、フローティング状態となっている。ゲートドライブ回路 1 0 0 は、制御基板 1 から入力されるゲート制御信号 1 1 からゲート駆動信号を生成し、当該ゲート駆動信号によって、一对のスイッチング素子 6 0 を駆動する。次に、ゲートドライブ回路 1 0 0 の構成を説明する。

【 0 0 2 2 】

[ゲートドライブ回路 1 0 0 の構成]

まず、ゲートドライブ回路 1 0 0 の構成の概要を説明する。ゲートドライブ回路 1 0 0 は第 1 乃至第 3 構成例を含む。

【 0 0 2 3 】

{概要}

図 2 A は、図 1 のゲートドライブ回路 1 0 0 の第 1 構成例を示すブロック図である。

【 0 0 2 4 】

まず、第 1 構成例を説明する。第 1 構成例は、伝送ケーブル 4 及び第 2 パルストランスを備える場合のゲートドライブ回路 1 0 0 の構成例である。図 2 A を参照すると、ゲートドライブ回路 1 0 0 は、信号変換回路 2 と、第 1 パルストランス 3 と、伝送ケーブル 4 と、第 2 パルストランス 5 と、入力差電圧生成回路 6 と、第 1 差動増幅回路 7 と、第 2 差動増幅回路 8 と、第 1 ゲート駆動信号生成回路 9 と、第 2 ゲート駆動信号生成回路 1 0 とを含む。

【 0 0 2 5 】

信号変換回路 2 は、第 1 グランド G N D 1 の電位を基準電位として動作し、制御基板 1 からのシングルエンド信号であるゲート制御信号 1 1 を、互いの信号レベル差がゲート制御信号 1 1 に対応するポジティブ信号 2 1 A とネガティブ信号 2 1 B とからなる差動信号

10

20

30

40

50

2 1 に変換する。

【 0 0 2 6 】

第 1 パルストランス 3 は、この差動信号 2 1 を、伝送ケーブル 4 及び第 2 パルストランス 5 を介して、入力差電圧生成回路 6 に伝送する。これにより、ゲートドライブ回路 1 0 0 の入力側と出力側とが第 1 パルストランス 3 及び第 2 パルストランス 5 によって絶縁される。

【 0 0 2 7 】

入力差電圧生成回路 6 は、この伝送された差動信号 2 1 に基づいて一对の入力差電圧 2 2 A , 2 2 B を生成する。第 1 差動増幅回路 7 は、この一对の入力差電圧 2 2 A , 2 2 B を差動増幅して高電位的一对の第 1 出力差電圧 2 3 A , 2 3 B を出力する。第 1 ゲート駆動信号生成回路 9 は、この一对の第 1 出力差電圧 2 3 A , 2 3 B に基づいて所定の正電位を基準とする第 1 ゲート駆動信号 2 5 A を生成し、当該第 1 ゲート駆動信号 2 5 A を第 1 スwitching 素子 6 1 ( 図 1 参照 ) に出力する。一方、第 2 差動増幅回路 8 は、この一对の入力差電圧 2 2 A , 2 2 B を差動増幅して、一对の第 1 出力差電圧 2 3 A , 2 3 B より低電位的一对の第 2 出力差電圧 2 4 A , 2 4 B を出力する。第 2 ゲート駆動信号生成回路 1 0 は、この一对の第 2 出力差電圧 2 4 A , 2 4 B に基づいて所定の負電位を基準とする第 2 ゲート駆動信号 2 5 B を生成し、当該第 2 ゲート駆動信号 2 5 B を第 2 スwitching 素子 6 2 ( 図 1 参照 ) に出力する。

【 0 0 2 8 】

このような第 1 構成例は、コモンモードノイズの発生源から制御基板 ( 制御装置 ) 1 を構成するコンピュータをできるだけ遠ざけて保護したい場合に適用される。

【 0 0 2 9 】

次に、第 2 構成例を説明する。図 2 B は、図 1 のゲートドライブ回路 1 0 0 の第 2 構成例を示すブロック図である。図 2 B を参照すると、第 2 構成例では、伝送ケーブル 4 及び第 2 パルストランス 5 が省略されている。従って、第 2 構成例では、ゲートドライブ回路 1 0 0 の入力側と出力側とは、第 1 パルストランス 3 によって絶縁されている。また、入力差電圧生成回路 6 は、第 1 パルストランス 3 の二次巻線に出力された差動信号 2 1 に基づいて一对の入力差電圧 2 2 A , 2 2 B を生成する。これ以外の構成は第 1 構成例と同じであるので、その説明を省略する。このような第 2 構成例は、コモンモードノイズの発生源から制御基板 1 を遠ざける必要がない場合に適用される。

【 0 0 3 0 】

次に、第 3 構成例を説明する。第 3 構成例では、ゲートドライブ回路 1 0 0 は 1 組のみの差動増幅回路及びゲート駆動信号生成回路 ( 例えば、第 1 差動増幅回路 7 及び第 1 ゲート駆動信号生成回路 9 又は第 2 差動増幅回路 8 及び第 2 ゲート駆動信号生成回路 1 0 ) を備える。これ以外の構成は、第 1 構成例又は第 2 構成例と同じであるので、その説明を省略する。このような第 3 構成例は、単独の Switching 素子 ( 例えば図 1 の第 1 スwitching 素子 6 1 又は第 2 スwitching 素子 6 2 ) を駆動する場合に適用される。

【 0 0 3 1 】

次に、図 2 A の第 1 構成例のゲートドライブ回路 1 0 0 の詳細な構成及び動作を説明する。なお、第 2 構成例及び第 3 構成例は、第 1 構成例の要素が省略されているだけであるので、それらの詳細な構成及び動作の説明を省略する。

【 0 0 3 2 】

{ 詳細な構成 }

図 3 は、図 2 A のゲートドライブ回路 1 0 0 の第 1 構成例の具体的な回路構成の一例を示す回路図である。

【 0 0 3 3 】

図 3 を参照すると、図 3 に示された回路は、図 2 A のゲートドライブ回路 1 0 0 と図 1 のプッシュプル接続された一对の Switching 素子 6 0 とを含んでいて、プッシュプル増幅回路 5 0 0 として構成されている。

【 0 0 3 4 】

10

20

30

40

50

信号変換回路 2 は、ロジック回路 3 1 と、ポジティブ信号生成回路 3 2 と、ネガティブ信号生成回路 3 3 と、を含む。

【 0 0 3 5 】

ロジック回路 3 1 は、論理回路を用いて、制御基板 1 からのゲート制御信号 1 1 からその同位相信号 1 2 A 及び逆位相信号 1 2 B を生成する。

【 0 0 3 6 】

ポジティブ信号生成回路 3 2 は、プッシュプル接続された一对のトランジスタ Q 1 , Q 2 が、それぞれ、抵抗素子 R 3 , R 4 を介して、5 V の正電源及び第 1 グラウンド G N D 1 に接続されて構成されている。なお、一对のトランジスタ Q 1 , Q 2 に逆方向を向いたダイオードが並列に接続されている。トランジスタ Q 1 及びトランジスタ Q 2 は、例えば、P M O S F E T 及び N M O S F E T で構成されていて、それらのゲートにロジック回路 3 1 からの同位相信号 1 2 A が抵抗素子 R 1 を介して入力される。これにより、ポジティブ信号生成回路 3 2 は、トランジスタ Q 1 とトランジスタ Q 2 との接続点から、同位相信号 1 2 A を増幅したポジティブ信号を出力する。

10

【 0 0 3 7 】

ネガティブ信号生成回路 3 3 は、プッシュプル接続された一对のトランジスタ Q 3 , Q 4 が、それぞれ、抵抗素子 R 5 , R 6 を介して、5 V の正電源及び第 1 グラウンド G N D 1 に接続されて構成されている。一对のトランジスタ Q 3 , Q 4 には逆方向を向いたダイオードが並列に接続されている。トランジスタ Q 3 及びトランジスタ Q 4 は、例えば、P M O S F E T 及び N M O S F E T で構成されていて、それらのゲートにロジック回路 3 1 からの逆位相信号 1 2 B が抵抗素子 R 2 を介して入力される。これにより、ネガティブ信号生成回路 3 3 は、トランジスタ Q 3 とトランジスタ Q 4 との接続点から、逆位相信号 1 2 B を増幅したネガティブ信号 2 1 B を出力する。

20

【 0 0 3 8 】

第 1 パルス変圧器 3 は、互いに電氣的に絶縁され且つそれぞれ中性点 M P 1 , M P 2 を有する一次巻線及び二次巻線を有する。一次巻線の中性点 M P 1 は第 1 グラウンド G N D 1 に接続されている。一次巻線の第 1 端 E P 1 は、ポジティブ信号生成回路 3 2 のトランジスタ Q 1 とトランジスタ Q 2 との接続点に接続されていて、第 1 端 E P 1 にポジティブ信号 2 1 A が入力される。一次巻線の第 2 端 E P 2 は、ネガティブ信号生成回路 3 3 のトランジスタ Q 3 とトランジスタ Q 4 との接続点に接続されていて、第 2 端 E P 2 にネガティブ信号 2 1 B が入力される。

30

【 0 0 3 9 】

第 2 パルス変圧器 5 は、互いに電氣的に絶縁され且つそれぞれ中性点 M P 3 , M P 4 を有する一次巻線及び二次巻線を有する。一次巻線の第 1 端 E P 5 、第 2 端 E P 6 、及び中性点 M P 3 が、伝送ケーブル 4 を介して、それぞれ、第 1 パルス変圧器 3 の二次巻線の第 1 端 E P 3 、第 2 端 E P 4 、及び中性点 M P 2 に接続されている。

【 0 0 4 0 】

入力差電圧生成回路 6 は、互いに直列に接続された一对の抵抗素子 R 9 , R 1 0 を有する。一对の抵抗素子 R 9 , R 1 0 は、互いに等しい適宜な抵抗値を有する。なお、一对の抵抗素子 R 9 , R 1 0 の抵抗値は、コモンモードノイズを完全に相殺する観点から互いに等しいことが好ましい。しかし、一对の抵抗素子 R 9 , R 1 0 の抵抗値は、互いに等しくなくてもよい。この場合においても、コモンモードノイズを、不完全ではあるが、低減できる。一对の抵抗素子 R 9 , R 1 0 の高電位側の端、低電位側の端、及び互いの接続点 N 1 は、それぞれ、第 2 パルス変圧器 5 の二次巻線の第 1 端 E P 7 、第 2 端 E P 8 、及び中性点 M P 4 に接続されている。これにより、一对の抵抗素子 R 9 , R 1 0 の両端に接続点 N 1 の電位を基準とする一对の入力差電圧 2 2 A , 2 2 B を生成する。

40

【 0 0 4 1 】

第 1 差動増幅回路 7 は、増幅素子として、一对のトランジスタ Q 5 , Q 6 を含む。一方のトランジスタ Q 5 は、トランジスタ Q 7 及び抵抗素子 R 1 9 を介して正電源 V C C に接続されるとともに共通の抵抗素子 R 2 1 を介して負電源 V E E に接続されている。他方の

50

トランジスタQ6は、トランジスタQ8及び抵抗素子R20を介して正電源VCCに接続されるとともに共通の抵抗素子R21を介して負電源VEEに接続されている。一对のトランジスタQ5, Q6は、例えば、npn形バイポーラトランジスタで構成されている。トランジスタQ5のベースは、ベース抵抗素子R17を介して、一对の抵抗素子R9, R10の高電位側の端に接続されていて、トランジスタQ5のベースに入力差電圧22A(高電位側差電圧)が入力される。トランジスタQ6のベースは、ベース抵抗素子R18を介して、一对の抵抗素子R9, R10の低電位側の端に接続されていて、トランジスタQ6のベースに入力差電圧22B(低電位側差電圧)が入力される。

**【0042】**

また、ゲートドライブ回路100には、正電源VCCと負電源VEEとの間の電圧を抵抗分圧する回路が形成されている。この回路では、正電源VCCと負電源VEEとの間に、例えば、4つの抵抗素子R11~R14が直列に接続されていて、抵抗素子R11と抵抗素子R14とが互いに等しい抵抗値を有するとともに抵抗素子R12と抵抗素子R13とが互いに等しい抵抗値を有する。これにより、抵抗素子R12と抵抗素子R13との接続点N2が正電源VCCと負電源VEEとの中間の電位を有しており、この接続点N2が入力差電圧生成回路6の接続点N1に接続されている。これにより、接続点N1の電位が正電源VCC及び負電源VEEによって固定されるが、この構成は省略されてもよい。

**【0043】**

トランジスタQ7, Q8のベースは、抵抗素子R11と抵抗素子R12との接続点に接続されていて、トランジスタQ7, Q8が所定の高抵抗値を有するように、これらの抵抗素子R11, R12の抵抗値が適宜選択されている。

**【0044】**

以上の構成により、第1差動増幅回路7は、一对の入力差電圧22A, 22Bを差動増幅して、接続点N3及び接続点N4に、それぞれ、一对の第1出力差電圧23A, 23Bを出力する。

**【0045】**

第2差動増幅回路8は、増幅素子として、一对のトランジスタQ9, Q10を含む。一方のトランジスタQ9は、共通の抵抗素子R22を介して正電源VCCに接続されるとともにトランジスタQ11及び抵抗素子R23を介して負電源VEEに接続されている。他方のトランジスタQ10は、共通の抵抗素子R22を介して正電源VCCに接続されるとともにトランジスタQ12及び抵抗素子R24を介して負電源VEEに接続されている。一对のトランジスタQ9, Q10は、例えば、pnp形バイポーラトランジスタで構成されている。トランジスタQ9のベースは、ベース抵抗素子R16を介して、一对の抵抗素子R9, R10の高電位側の端に接続されていて、トランジスタQ9のベースに入力差電圧22A(高電位側差電圧)が入力される。トランジスタQ10のベースは、ベース抵抗素子R15を介して、一对の抵抗素子R9, R10の低電位側の端に接続されていて、トランジスタQ9のベースに入力差電圧22B(低電位側差電圧)が入力される。

**【0046】**

トランジスタQ11, Q12のベースは、抵抗素子R13と抵抗素子R14との接続点に接続されていて、トランジスタQ11, Q12が所定の高抵抗値を有するように、これらの抵抗素子R13, R14の抵抗値が適宜選択されている。

**【0047】**

以上の構成により、第2差動増幅回路8は、一对の入力差電圧22A, 22Bを差動増幅して、接続点N5及び接続点N6に、それぞれ、一对の第2出力差電圧24A, 24Bを出力する。

**【0048】**

第1ゲート駆動信号生成回路9は、矩形波の波形整形回路で構成される。この波形整形回路として、例えば、論理回路であるRSフリップフロップが用いられる。このRSフリップフロップは、所定の高電位を基準として動作する。このRSフリップフロップでは、例えば、セット入力端子が抵抗素子R25を介して接続点N3に接続され、リセット入力

10

20

30

40

50

端子が抵抗素子 R 2 6 を介して接続点 N 4 に接続され、且つ、セット出力端子が第 1 スイッチング素子 6 1 のゲートに接続されている。セット入力端子及びリセット入力端子には、互いに逆位相のシングルエンド信号からなる一对の第 1 出力差電圧 2 3 A , 2 3 B が入力されるので、セット出力端子には、第 1 出力差電圧 2 3 A と同位相のシングルエンド信号が出力される。第 1 ゲート駆動信号生成回路 9 は、このシングルエンド信号を第 1 ゲート駆動信号 2 5 A として、第 1 スイッチング素子 6 1 に出力する。

【 0 0 4 9 】

第 2 ゲート駆動信号生成回路 1 0 は、矩形波の波形整形回路で構成される。この波形整形回路として、例えば、論理回路である R S フリップフロップが用いられる。この R S フリップフロップは、所定の低電位を基準として動作する。この R S フリップフロップでは、例えば、セット入力端子が抵抗素子 R 2 8 を介して接続点 N 5 に接続され、リセット入力端子が抵抗素子 R 2 7 を介して接続点 N 6 に接続され、且つ、セット出力端子が第 2 スイッチング素子 6 2 のゲートに接続されている。セット入力端子及びリセット入力端子には、互いに逆位相のシングルエンド信号からなる一对の第 2 出力差電圧 2 4 A , 2 4 B が入力されるので、セット出力端子には、第 2 出力差電圧 2 4 A と同位相のシングルエンド信号が出力される。第 2 ゲート駆動信号生成回路 1 0 は、このシングルエンド信号を第 2 ゲート駆動信号 2 5 B として、第 2 スイッチング素子 6 2 に出力する。

【 0 0 5 0 】

なお、上記波形整形回路として、他の矩形波整形回路を用いてもよい。

【 0 0 5 1 】

[ ゲートドライブ回路 1 0 0 の動作 ]

次に、以上のように構成されたゲートドライブ回路 1 0 0 の動作を、図 3 及び図 4 A 乃至図 4 C を参照しながら説明する。図 4 A は、コモンモードノイズが重畳した差動信号 2 1 の波形を示す波形図である。図 4 A の上段の波形図は、ポジティブ信号 2 1 A の波形を示し、図 4 A の下段の波形図は、ネガティブ信号 2 1 B の波形を示す。図 4 B は、図 4 A の差動信号 2 1 によって第 1 パルストランス 3 に誘起された差動信号 2 1 の波形を示す波形図である。図 4 C は、図 4 B の第 1 パルストランス 3 に誘起された差動信号 2 1 に由来する信号から入力差電圧生成回路 6 によって生成された入力差電圧 2 2 A , 2 2 B の波形を示す波形図である。

【 0 0 5 2 】

図 3 を参照すると、ロジック回路 3 1 が、制御基板 1 からのゲート制御信号 1 1 から同位相信号 1 2 A 及び逆位相信号 1 2 B を生成する。ポジティブ信号生成回路 3 2 は、同位相信号 1 2 A を増幅したポジティブ信号 2 1 A を出力する。ネガティブ信号生成回路 3 3 は、逆位相信号 1 2 B を増幅したネガティブ信号 2 1 B を出力する。ポジティブ信号 2 1 A 及びネガティブ信号 2 1 B は、それぞれ、第 1 パルストランス 3 の一次巻線の第 1 端 E P 1 及び第 2 端 E P 2 に入力される。

【 0 0 5 3 】

図 4 A を参照すると、ポジティブ信号 2 1 A 及びネガティブ信号 2 1 B は、ここでは、共に、正電圧 ( 5 V ) のハイレベルと零電圧 ( 第 1 グランド G N D 1 の電位 0 V ) のローレベルとの二値を取るシングルエンド信号であり、互いに逆の位相を有する。時刻 t 0 において、一次巻線の第 1 端 E P 1 及び第 2 端 E P 2 に、それぞれ、ポジティブ信号 2 1 A 及びネガティブ信号 2 1 B が入力される。

【 0 0 5 4 】

ポジティブ信号 2 1 A 及びネガティブ信号 2 1 B の最初の半サイクルでは、時刻 t 0 になると、第 1 パルストランスの一次巻線において、第 1 端 E P 1 にポジティブ信号 2 1 A の正電圧が印加され、第 2 端 E P 2 にネガティブ信号 2 1 B の零電圧が印加されるので、第 1 端 E P 1 から中性点 M P 1 に向かって励磁電流が流れる。図 4 B を参照すると、これにより、第 1 パルストランス 3 の一次巻線に第 2 端 E P 2 から第 1 端 E P 1 に向かう電圧が誘起される。この場合、一次巻線の中性点 M P 1 の電位が 0 V であるので、第 1 端 E P 1 の電圧 V 1 は正電圧となる。一方、第 2 端 E P 2 は、この時刻 t 0 において、抵抗素子

10

20

30

40

50

R 8 を介して第 1 グラウンド G N D 1 と接続されているので、第 2 端 E P 2 の電圧 V 2 は負電圧となり、中性点 M P 1 から第 2 端 E P 2 に向けて電流が流れる。また、この時、上記励磁電流により、第 1 パルストランス 3 の二次巻線及び第 2 パルストランス 5 の一次巻線及び二次巻線には、第 1 パルストランス 3 及び第 2 パルストランス 5 の巻数比に応じた電圧が誘起される。

#### 【 0 0 5 5 】

ポジティブ信号 2 1 A 及びネガティブ信号 2 1 B の次の半サイクルでは、時刻 t 1 になると、上記と逆に、第 1 パルストランス 3 の一次巻線において、第 1 端 E P 1 にポジティブ信号 2 1 A の零電圧が印加され、第 2 端 E P 2 にネガティブ信号 2 1 B の正電圧が印加されるので、第 2 端 E P 2 から中性点 M P 1 に向かって励磁電流が流れる。これにより、第 1 パルストランス 3 の一次巻線に第 1 端 E P 1 から第 2 端 E P 2 に向かう電圧が誘起される。この場合、一次巻線の中性点 M P 1 の電位が 0 V であるので、第 2 端 E P 2 の電圧 V 2 は正電圧となる。一方、第 1 端 E P 1 は、この時刻 t 1 において、抵抗素子 R 7 を介して第 1 グラウンド G N D 1 と接続されているので、第 1 端 E P 1 の電圧 V 1 は負電圧となり、中性点 M P 1 から第 1 端 E P 1 に向けて電流が流れる。また、この時、上記励磁電流により、第 1 パルストランス 3 の二次巻線及び第 2 パルストランス 5 の一次巻線及び二次巻線には、第 1 パルストランス 3 及び第 2 パルストランス 5 の巻数比に応じた電圧が誘起される。以降 ( t 2 、 t 3 、 ・ ・ ・ ) 、上記の 1 サイクルが繰り返される。

10

#### 【 0 0 5 6 】

このようにして、ポジティブ信号 2 1 A 及びネガティブ信号 2 1 B は、第 1 パルストランス 3 で、それぞれ、2 倍の振幅を有する電圧 V 1 及び電圧 V 2 を有し、互いに逆位相 ( 正負が逆 ) の一対のシングルエンド電圧信号に変換され、伝送ケーブル 4 を介して、第 2 パルストランス 5 の二次巻線に伝送される。

20

#### 【 0 0 5 7 】

ここで、ゲートドライブ回路 1 0 0 の入力側におけるコモンモードノイズの除去作用を説明する。図 4 A を参照すると、例えば、時刻 t 0 と時刻 t 1 との間において、コモンモードノイズが、それぞれ、ポジティブ信号 2 1 A 及びネガティブ信号 2 1 B に重畳したと仮定する。図 3 を参照すると、ポジティブ信号 2 1 A に重畳したコモンモードノイズは、第 1 パルストランス 3 の一次巻線の第 1 端 E P 1 と中性点 M P 1 との間に励磁電流を流し、ネガティブ信号 2 1 B に重畳したコモンモードノイズは、第 1 パルストランス 3 の一次巻線の第 2 端 E P 2 と中性点 M P 1 との間に励磁電流を流す。しかし、図 4 B に示すように、双方の励磁電流は互いに逆方向の電流であるため、一次巻線には互いに正負が逆の電圧が誘起され、両者は互いに相殺される。このようにして、ポジティブ信号 2 1 A 及びネガティブ信号 2 1 B に重畳したコモンモードノイズは、第 1 パルストランス 3 でポジティブ信号 2 1 A 及びネガティブ信号 2 1 B から変換された一対のシングルエンド電圧信号から除去される。なお、伝送ケーブル 4 に重畳したコモンモードノイズも、第 2 パルストランス 5 において、上記と同様の作用によって、一対のシングルエンド電圧信号から除去される。

30

#### 【 0 0 5 8 】

図 3 を参照すると、入力差電圧生成回路 6 において、第 2 パルストランス 5 の二次巻線に伝送され一対のシングルエンド電圧信号から以下のようにして、入力差電圧 2 2 A 及び 2 2 B が生成される。図 4 C を参照すると、抵抗素子 R 9 の高電位側の端には、図 4 B の電圧 V 1 に対応するシングルエンド電圧信号が現れるが、このシングルエンド電圧信号は、接続点 N 2 を基準にすると、その振幅の中間の電圧がローレベルの零電圧になるので、図 4 C の上段に示すような波形を有するシングルエンド電圧信号になる。一方、抵抗素子 R 1 0 の低電位側の端には、図 4 B の電圧 V 2 に対応するシングルエンド電圧信号が現れるが、このシングルエンド電圧信号は、接続点 N 2 を基準にすると、その振幅の中間の電圧がローレベルの零電圧になるので、図 4 C の下段に示すような波形を有するシングルエンド電圧信号になる。従って、一対の入力差電圧 2 2 A , 2 2 B は、それぞれ、図 4 A のポジティブ信号 2 1 A 及びネガティブ信号 2 1 B に対応する波形を有する。

40

50

## 【 0 0 5 9 】

また、入力差電圧生成回路 6 では、一对の抵抗素子 R 9 , R 1 0 が、第 2 パルストランス 5 の負荷電流を流すので、第 1 パルストランス 3 にもこれに対応する負荷電流が流れる。図 3 には、ポジティブ信号 2 1 A がハイレベルである場合における差動信号 2 1 の伝送経路の電流が示されている。これにより、第 1 パルストランス 3 及び第 2 パルストランス 5 のインピーダンスが低くなって、第 1 パルストランス 3、伝送ケーブル 4、及び第 2 パルストランス 5 を含む差動信号 2 1 の伝送経路に大きい電流を流すことができるので、ゲートドライブ回路 1 0 0 の入力側におけるコモンモードノイズの除去能力を向上させることができる。

## 【 0 0 6 0 】

図 3 を参照すると、第 2 パルストランス 5 の二次巻線から第 1 及び第 2 差動増幅回路 7 , 8 に至る一对の配線にコモンモードノイズが重畳した場合、当該一对の配線のコモンモードノイズは、入力差電圧生成回路 6 により生成される一对の入力差電圧 2 2 A , 2 2 B において互いに正負が逆になる。第 1 及び第 2 差動増幅回路 7 , 8 は、この一对の入力差電圧 2 2 A , 2 2 B を差動増幅するので、それにより、当該重畳したコモンモードノイズが除去される。

## 【 0 0 6 1 】

また、第 2 パルストランス 5 の二次巻線から第 1 及び第 2 差動増幅回路 7 , 8 に至る配線の態様に起因して、第 1 及び第 2 差動増幅回路 7 , 8 に一对の入力差電圧 2 2 A , 2 2 B がそれぞれ入力されるタイミングが互いにわずかにずれる場合があり、第 1 及び第 2 差動増幅回路 7 , 8 が高速動作する場合には、そのタイミングのわずかなずれによって、コモンモードノイズが完全に除去されない場合がある。しかしながら、第 1 及び第 2 ゲート駆動信号生成回路 9 , 1 0 が波形整形回路で構成されているので、第 1 及び第 2 差動増幅回路 7 , 8 からそれぞれ出力される一对の第 1 出力差電圧 2 3 A , 2 3 B 及び一对の第 2 出力差電圧 2 4 A , 2 4 B の波形が整形され、それによって、当該一对の第 1 出力差電圧 2 3 A , 2 3 B 及び一对の第 2 出力差電圧 2 4 A , 2 4 B からコモンモードノイズの残存成分が除去される。特に、波形整形回路がフリップフロップであると、コモンモードノイズが前段の回路中でノーマルモードに変換されたノイズが、好適に除去される。このようにして、ゲートドライブ回路 1 0 0 の出力側においてコモンモードノイズが除去される。

## 【 0 0 6 2 】

## [ 基板への実装 ]

図 3 を参照すると、プッシュプル増幅回路 5 0 0 では、信号変換回路 2 及び第 1 パルストランス 3 が第 1 基板 8 1 に実装されており、第 2 パルストランス 5、入力差電圧生成回路 6、第 1 差動増幅回路 7、第 2 差動増幅回路 8、第 1 ゲート駆動信号生成回路 9、第 2 ゲート駆動信号生成回路 1 0、及び一对のスイッチング素子 6 0 が第 2 基板 8 2 に実装されている。そして、第 1 基板 8 1 の第 1 パルストランス 3 の二次巻線と第 2 基板 8 2 の第 2 パルストランス 5 の一次巻線とが伝送ケーブル 4 によって接続されている。

## 【 0 0 6 3 】

従って、第 2 基板 8 2 を、例えば、一对のスイッチング素子 6 0 によって駆動されるスイッチングモジュール 8 0 0 ( 図 5 参照 ) の近傍に配置し、伝送ケーブル 4 を延ばして、第 1 基板 8 1 をスイッチングモジュール 8 0 0 から遠ざけて制御基板 1 の近傍に配置することによって、制御基板 1 を構成するコンピュータを、スイッチングモジュール 8 0 0 のスイッチング動作によって発生するコモンモードノイズから好適に保護することができる。

## 【 0 0 6 4 】

## [ スwitching電源装置への適用 ]

図 5 は、図 3 のプッシュプル増幅回路 5 0 0 を用いたスイッチング電源装置 1 0 0 0 の動作を示す回路図である。図 3 においては、図を見やすくするために、細部の要素の参照符号が省略されている。

## 【 0 0 6 5 】

図5を参照すると、スイッチング電源装置1000は、スイッチングモジュール800と第1及び第2プッシュプル増幅回路500A, 500Bとを含む。スイッチングモジュール800は、ハイサイドスイッチング素子SWHとローサイドスイッチング素子SWLとを含む。ハイサイドスイッチング素子SWH及びローサイドスイッチング素子SWLは、例えば、IGBTで構成されている。また、ハイサイドスイッチング素子SWH及びローサイドスイッチング素子SWLには、それぞれ、逆方向ダイオードが並列に接続されている。

#### 【0066】

第1プッシュプル増幅回路500Aは、第1ゲートドライブ回路100A及び第1の一对のスイッチング素子60Aを含む。第2プッシュプル増幅回路500Bは、第2ゲートドライブ回路100B及び第2の一对のスイッチング素子60Bを含む。

10

#### 【0067】

ハイサイドスイッチング素子SWHは、第1プッシュプル増幅回路500Aの第1の一对のスイッチング素子60Aと接続されていて、そのゲートに当該第1の一对のスイッチング素子60Aの出力が入力される。ローサイドスイッチング素子SWLは、第2プッシュプル増幅回路500Bの第2の一对のスイッチング素子60Bと接続されていて、そのゲートに当該第2の一对のスイッチング素子60Bの出力が入力される。また、制御基板1、並びに第1及び第2ゲートドライブ回路100A, 100Bの信号変換回路2が接地される。また、第1の一对のスイッチング素子60Aがフレームグランドに接続され、第2の一对のスイッチング素子60Bがシグナルグランドに接続される。

20

#### 【0068】

このように構成されたスイッチング電源装置1000では、制御基板1からハイサイドゲート制御信号11Aが第1ゲートドライブ回路100Aのロジック回路31に入力される。すると、第1ゲートドライブ回路100Aで第1及び第2ゲート駆動信号が生成され、それによって第1の一对のスイッチング素子60Aからハイサイドゲート駆動信号26Aがハイサイドスイッチング素子SWHのゲートに出力される。一方、制御基板1からローサイドゲート制御信号11Bが第2ゲートドライブ回路100Bのロジック回路31に入力される。すると、第2ゲートドライブ回路100Bで第1及び第2ゲート駆動信号が生成され、それによって第2の一对のスイッチング素子60Bからローサイドゲート駆動信号26Bがローサイドスイッチング素子SWLのゲートに出力される。ここで、ハイ

30

サイドゲート制御信号11Aとローサイドゲート制御信号11Bとは、図5に示すように、互いに位相がずれている。

#### 【0069】

これにより、ハイサイドスイッチング素子SWH及びローサイドスイッチング素子SWLが互いに異なるタイミングでオンオフ動作し、ハイサイドスイッチング素子SWHとローサイドスイッチング素子SWLとの接続点Noutからスイッチングモジュール800の制御電力が出力される。

#### 【0070】

ところで、ハイサイドスイッチング素子SWH及びローサイドスイッチング素子SWLがそれぞれオンオフすることによって、接続点Noutの電圧(電位)Vmが変動する。この接続点Noutの電圧Vmの変動により、図6に示すようなスイッチングノイズが発生する。図6は、図5のスイッチングモジュール800が発生するスイッチングノイズを示す模式図である。図6において、Vm1は、ハイサイドスイッチング素子SWHがオフしている場合にローサイドスイッチング素子SWLがオンする際の接続点Noutの電圧変動を示し、Vm2は、ハイサイドスイッチング素子SWHがオンしている場合にローサイドスイッチング素子SWLがオフする際の接続点Noutの電圧変動を示す。電圧変動Vm1と電圧変動Vm2とは異なるタイミングで発生するが、図6には、便宜上、同じタイミングで発生するように示されている。なお、図6は、実際に得られた電圧の波形画像をトレースして作成されたので、その波形は正確ではない。

40

#### 【0071】

50

図 6 に示すような接続点 N o u t の電圧  $V_m$  ( $V_{m1}$ ,  $V_{m2}$ ) の変動が発生すると、接続点 N o u t からスイッチングノイズが輻射（放射）される。そして、このスイッチングノイズがコモンモードノイズとして、第 1 及び第 2 ゲートドライブ回路 1 0 0 A, 1 0 0 B の配線に重畳する。しかし、第 1 及び第 2 ゲートドライブ回路 1 0 0 A, 1 0 0 B の配線に重畳したコモンモードノイズは、上述のように、除去される。

【 0 0 7 2 】

以上に説明したように、本開示のゲートドライブ回路 1 0 0 によれば、出力側及び入力側に重畳したコモンモードノイズを除去することができる。また、制御基板 1 を構成するコンピュータを、スイッチングモジュール 8 0 0 のスイッチング動作によって発生するコモンモードノイズから好適に保護することができる。

10

【 0 0 7 3 】

上記説明から、当業者にとっては、多くの改良や他の実施形態が明らかである。従って、上記説明は、例示としてのみ解釈されるべきである。

【産業上の利用可能性】

【 0 0 7 4 】

本発明のゲートドライブ回路は、出力側及び入力側に重畳したコモンモードノイズを除去することが可能なゲートドライブ回路として有用である。

【符号の説明】

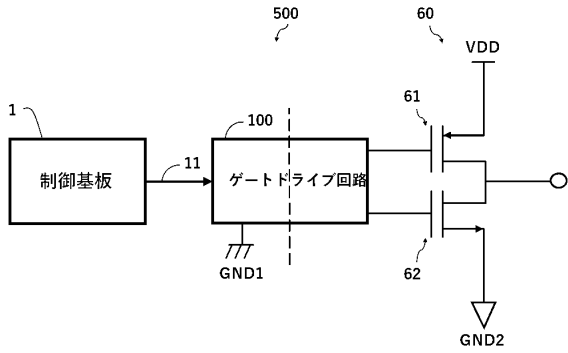
【 0 0 7 5 】

- |              |                 |    |
|--------------|-----------------|----|
| 1            | 制御基板            | 20 |
| 2            | 信号変換回路          |    |
| 3            | 第 1 パルストランス     |    |
| 4            | 伝送ケーブル          |    |
| 5            | 第 2 パルストランス     |    |
| 6            | 入力差電圧生成回路       |    |
| 7            | 第 1 差動増幅回路      |    |
| 8            | 第 2 差動増幅回路      |    |
| 9            | 第 1 ゲート駆動信号生成回路 |    |
| 1 0          | 第 2 ゲート駆動信号生成回路 |    |
| 1 1          | ゲート制御信号         | 30 |
| 1 2 A        | 同位相信号           |    |
| 1 2 B        | 逆位相信号           |    |
| 2 1          | 差動信号            |    |
| 2 1 A        | ポジティブ信号         |    |
| 2 1 B        | ネガティブ信号         |    |
| 2 2 A, 2 2 B | 入力差電圧           |    |
| 2 3 A, 2 3 B | 第 1 出力差電圧       |    |
| 2 4 A, 2 4 B | 第 2 出力差電圧       |    |
| 2 5 A        | 第 1 ゲート駆動信号     |    |
| 2 5 B        | 第 2 ゲート駆動信号     | 40 |
| 2 6 A        | ハイサイドゲート駆動信号    |    |
| 2 6 B        | ローサイドゲート駆動信号    |    |
| 3 1          | ロジック回路          |    |
| 3 2          | ポジティブ信号生成回路     |    |
| 3 3          | ネガティブ信号生成回路     |    |
| 6 0          | 一対のスイッチング素子     |    |
| 6 1          | 第 1 スwitching素子 |    |
| 6 2          | 第 2 スwitching素子 |    |
| 8 1          | 第 1 基板          |    |
| 8 2          | 第 2 基板          | 50 |

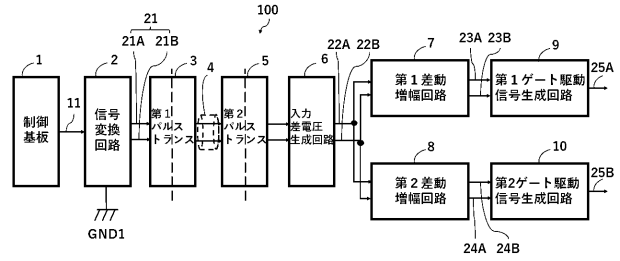
- 1 0 0 ゲートドライブ回路
- 5 0 0 プッシュプル増幅回路
- 8 0 0 スwitchングモジュール
- 1 0 0 0 スwitchング電源装置
- GND 1 第1グラウンド
- GND 2 第2グラウンド

【図面】

【図1】



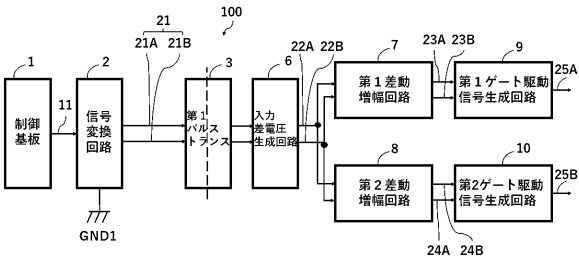
【図2A】



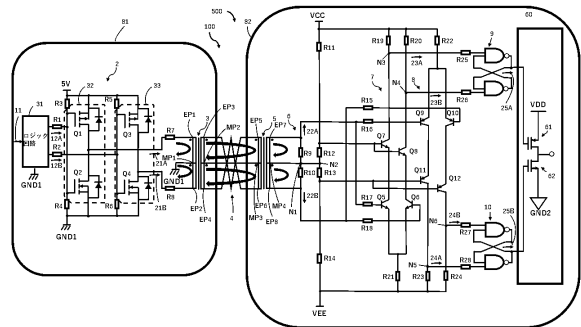
10

20

【図2B】



【図3】

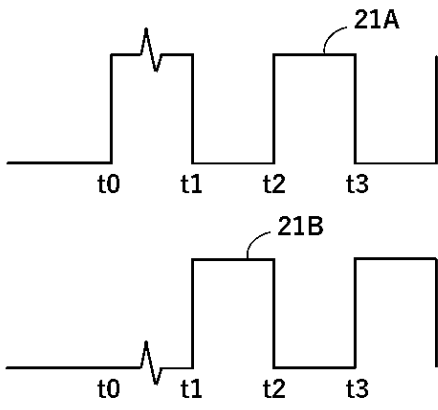


30

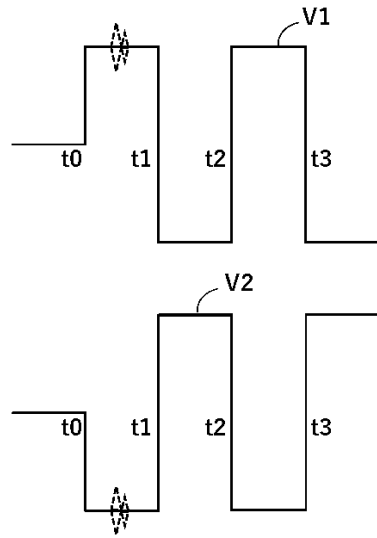
40

50

【 図 4 A 】

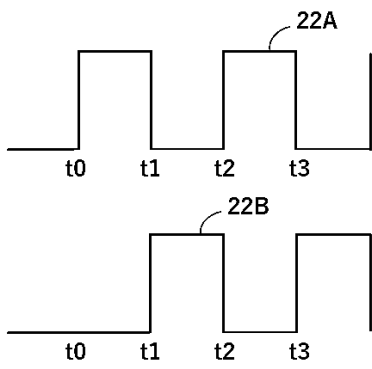


【 図 4 B 】

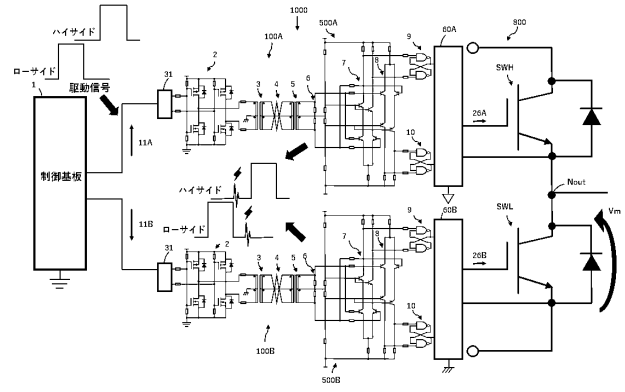


10

【 図 4 C 】



【 図 5 】



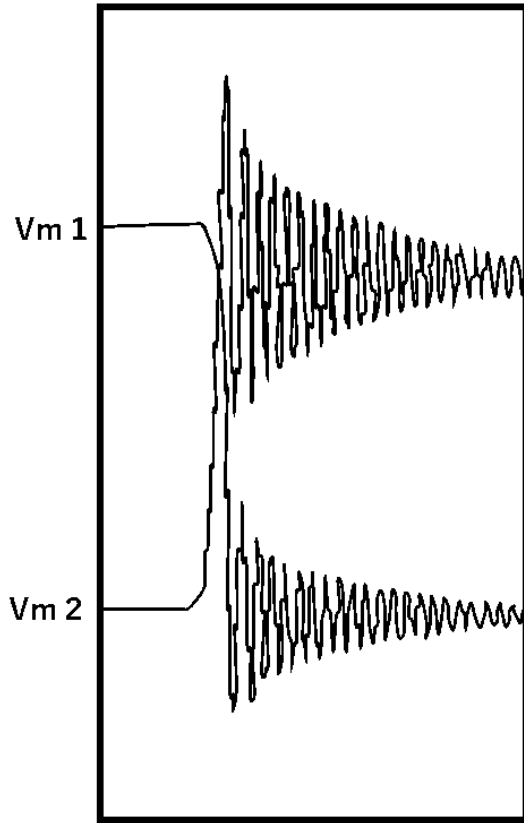
20

30

40

50

【 図 6 】



10

20

30

40

50

---

フロントページの続き

(51)国際特許分類

**H 0 2 M 1/08 (2006.01)**

F I

H 0 3 K 19/0175 2 8 0

H 0 2 M 1/08 A

テーマコード (参考)

Fターム (参考)

JA01 JB01 KK03

5J055 AX23 BX16 CX24 DX09 DX13 DX14 DX22 EY01 EY07 EY17  
EY21 EZ25 GX01 GX02 GX04

5J056 AA05 BB21 DD53 FF08 KK01

5J500 AA01 AA15 AA49 AC53 AF07 AF08 AF16 AH02 AH17 AH25  
AH37 AK02 AK36 AK59 AK66 AQ04 AS16 AT01 WU09

5K029 AA04 DD24 JJ03