

## (12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织  
国际局

(43) 国际公布日  
2017年8月3日 (03.08.2017)



(10) 国际公布号  
**WO 2017/128463 A1**

- (51) 国际专利分类号:  
*H03M 1/76* (2006.01) *G09G 3/36* (2006.01)
- (21) 国际申请号: PCT/CN2016/074521
- (22) 国际申请日: 2016年2月25日 (25.02.2016)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:  
201610057139.9 2016年1月27日 (27.01.2016) CN
- (71) 申请人: 深圳市华星光电技术有限公司 (SHENZHEN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.) [CN/CN]; 中国广东省深圳市光明新区塘明大道9-2号, Guangdong 518132 (CN)。
- (72) 发明人: 郭东胜 (GUO, Dongsheng); 中国广东省深圳市光明新区塘明大道9-2号, Guangdong 518132 (CN)。 王明良 (WANG, Mingliang); 中国广东省深圳市光明新区塘明大道9-2号, Guangdong 518132 (CN)。

(74) 代理人: 广州三环专利代理有限公司 (GUANGZHOU SCIHEAD PATENT AGENT CO., LTD); 中国广东省广州市越秀区先烈中路80号汇华商贸大厦1508室, Guangdong 510070 (CN)。

(81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。

(84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

(54) Title: DIGITAL-TO-ANALOG CONVERSION MODULE, DATA DRIVING CIRCUIT AND LIQUID CRYSTAL DISPLAY

(54) 发明名称: 一种数模转换模块、数据驱动电路及液晶显示器

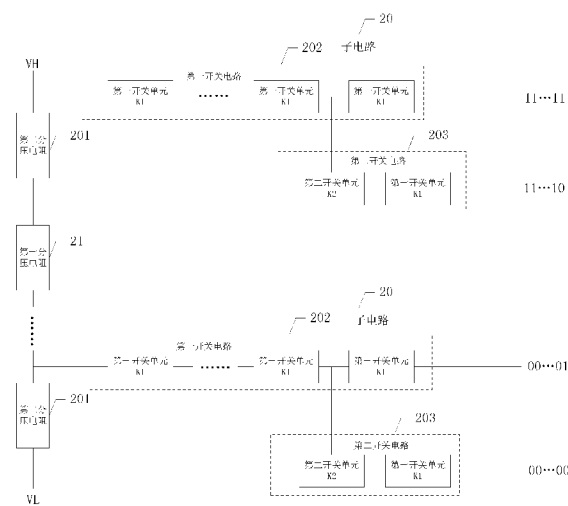


图 2

- 20 Sub-circuit  
201 Second voltage dividing resistor  
202 First switch circuit  
203 Second switch circuit  
21 First voltage dividing resistor  
K1 First switch unit  
K2 Second switch unit

(57) Abstract: Provided are a digital-to-analog conversion (DAC) module, a data driving circuit and a liquid crystal display. The digital-to-analog conversion module may comprise  $2^{N-1}$  sub-circuits (20) and  $2^{N-1}-1$  first voltage dividing resistors (21) that is used for connecting the  $2^{N-1}$  sub-circuits (20), each sub-circuit (20) comprising a second voltage dividing resistor (201), a first switch circuit (202) and a second switch circuit (203), the first switch circuit (202) and the second switch circuit (203) being respectively connected to either end of the second voltage dividing resistor (201); the first switch circuit (202) comprises N first switch units (K1) connected in series, and the second switch circuit (203) comprises one second switch unit (K2) and at least one first switch unit (K1) connected in series; according to a preset order, the control end of the second switch unit (K2) is connected to a connection node of the N-1th and the Nth first switch units (K1) of the first switch circuit (202); and the output end of the second switch unit (K2) is connected to the at least one first switch unit (K1). This technique can reduce the number of switch tubes in the DAC module, thereby saving the circuit cost and the board occupation area.

(57) 摘要:

[见续页]

WO 2017/128463 A1



---

**本国际公布:**

— 包括国际检索报告(条约第 21 条(3))。

---

提供一种数模转换模块、数据驱动电路及液晶显示器。该数模转换模块可包括  $2^{N-1}$  个子电路 (20) 和用于连接  $2^{N-1}$  个子电路 (20) 的  $2^{N-1}-1$  个第一分压电阻 (21)，每个子电路 (20) 包括第二分压电阻 (201)、第一开关电路 (202) 和第二开关电路 (203)，其中：第一开关电路 (202) 和第二开关电路 (203) 分别连接在第二分压电阻 (201) 的两端；第一开关电路 (202) 包括串联的 N 个第一开关单元 (K1)，第二开关电路 (203) 包括串联的一个第二开关单元 (K2) 和至少一个第一开关单元 (K1)；按照预设顺序，第二开关单元 (K2) 的控制端连接第一开关电路 (202) 的第 N-1 个和第 N 个第一开关单元 (K1) 的连接节点；第二开关单元 (K2) 的输出端连接至少一个第一开关单元 (K1)。该技术可减少 DAC 模块中开关管的数量，进而节约电路成本和占板面积。

## 一种数模转换模块、数据驱动电路及液晶显示器

本发明要求 2016 年 1 月 27 日递交的发明名称为“一种数模转换模块、数据驱动电路及液晶显示器”的申请号 201610057139.9 的在先申请优先权，

5 上述在先申请的内容以引入的方式并入本文本中。

### 技术领域

本发明涉及显示技术领域，尤其涉及一种数模转换模块、数据驱动电路及液晶显示器。

10

### 背景技术

目前市场上应用较多的一种平板显示器是液晶显示器 (Liquid Crystal Display, LCD)，液晶显示器包括液晶面板和数字驱动电路，由数字驱动电路输出模拟电压来驱动液晶面板进行显示。其中数字驱动电路包括数模转换模

15

块，由数模转换模块实现将输入的数字信号转换成模拟电压的功能。

在现有技术中，液晶显示器的数模转换 (Digital Analog Converter, 简称: DAC) 模块由多个分压电阻、多个门电路和多个开关管组成。以 3bit 数字驱动数据为例，图 1 是 3bit DAC 模块中 1 条通道的电路图。如图 1 所示，每条通道包括  $2^3-1$  个分压电阻和  $2^3$  条开关电路，每条开关电路包括 3 个开关管和

20

0 至 3 个非门电路，共有  $2^3*3$  个开关管。每次输入一组数字信号有且只有 1 条开关电路导通，输出的模拟电压即为导通的开关电路的分压电压。然而实际使用中，液晶显示器的数字驱动数据至少为 8bit 的数字信号，则 DAC 模块的每条通道需要至少  $2^8*8=2048$  个开关管，则常用的 960 通道的 DAC 模块中需要  $960*2048=1966080$  个开关管。由此可见，现有技术中液晶显示器的 DAC

25

模块中开关管的数量非常庞大，不仅硬件成本较高，而且还占用较大的芯片面积。

### 发明内容

本发明实施例提供一种数模转换模块、数据驱动电路及液晶显示器，可减少 DAC 模块中开关管的数量，进而节约电路成本和占板面积。

30

本发明实施例第一方面提供了一种 DAC 模块，可包括  $2^{N-1}$  个子电路和用于连接所述  $2^{N-1}$  个子电路的  $2^{N-1}-1$  个第一分压电阻，每个所述子电路包括第二分压电阻、第一开关电路和第二开关电路，其中：

5 所述第一开关电路和所述第二开关电路分别连接在所述第二分压电阻的两端，对于所述第一开关电路或所述第二开关电路，与所述第二分压电阻连接的一端为输入端，另一端为输出端；

所述第一开关电路包括串联的  $N$  个第一开关单元，所述第二开关电路包括串联的一个第二开关单元和至少一个第一开关单元；

10 按照预设顺序，所述第二开关单元的控制端连接所述第一开关电路的第  $N-1$  个和第  $N$  个第一开关单元的连接节点；所述第二开关单元的输出端连接所述至少一个第一开关单元；

其中所述预设顺序为从输入端到输出端的顺序， $N \geq 3$  并且  $N$  为整数。

在一些可行的实施方式中，所述第二开关电路包括一个第二开关单元和两个第一开关单元，其中：

15 所述第二开关单元的输入端接地，所述第二开关单元的输出端连接所述两个第一开关单元中的一个第一开关单元的控制端；

所述一个第一开关单元的输入端连接所述第二分压电阻的一端，所述一个第一开关单元的输出端连接所述两个第一开关单元中另一个第一开关单元的输入端；

20 所述另一个第一开关单元的输出端为所述第二开关电路的输出端。

在一些可行的实施方式中，所述第二开关电路包括一个第二开关单元和一个第一开关单元，其中：

25 所述第二开关单元的输入端连接所述第二分压电阻的一端，所述第二开关单元的输出端连接所述一个第一开关单元的输入端，所述一个第一开关单元的输出端为所述第二开关电路的输出端。

在一些可行的实施方式中，按照所述预设顺序，当所述第一开关电路的前  $N-1$  个第一开关单元都导通时，所述第一开关电路的第  $N$  个第一开关单元和所述第二开关电路之中有且仅有一个导通。

在一些可行的实施方式中，

30 所述第一开关电路的  $N$  个第一开关单元中， $M$  个第一开关单元包括串联

的非门电路和第一开关管，N-M 个第一开关单元包括第一开关管，其中 M 为整数并且  $0 \leq M \leq N$ ；

所述 DAC 模块中各个所述第一开关电路的非门电路的排列各不相同。

在一些可行的实施方式中，所述第二开关单元包括第二开关管。

5 在一些可行的实施方式中，按照所述预设顺序，所述第一开关电路的前 N-1 个第一开关单元的控制端分别用于接入 N 位数字驱动数据的前 N-1 位数据；所述第一开关电路的第 N 个第一开关单元的控制端和所述第二开关电路的最后一个第一开关单元的控制端用于接入所述 N 位数字驱动数据的第 N 位数据。

10 在一些可行的实施方式中，所述第一开关管为 P 沟道 MOS 管，所述第二开关管为 N 沟道 MOS 管。

本发明实施例第二方面提供了一种数据驱动电路，可包括数据逻辑控制模块、至少一个如第一方面或第一方面的任一项可行的实施方式所述的数模转换 DAC 模块以及功率放大模块。

15 本发明实施例第三方面提供了一种液晶显示器，可包括如第二方面所述的数据驱动电路和液晶面板。

本发明实施例中，DAC 模块包括  $2^{N-1}$  个子电路和用于连接所述  $2^{N-1}$  个子电路的  $2^{N-1}-1$  个第一分压电阻，每个所述子电路包括第二分压电阻、第一开关电路和第二开关电路，第一开关电路包括串联的 N 个第一开关单元，所述第二开关电路包括串联的一个第二开关单元和至少一个第一开关单元，通过第一开关电路中的第一开关单元来控制第二开关电路中第二开关单元的通断，可减少 DAC 模块中开关管的数量，进而节约电路成本和占板面积。

## 附图说明

25 为了更清楚地说明本发明实施例或现有技术中的技术方案，下面将对实施例或现有技术描述中所需要使用的附图作简单地介绍，显而易见地，下面描述中的附图是本发明的一些实施例，对于本领域普通技术人员来讲，在不付出创造性劳动性的前提下，还可以根据这些附图获得其他的附图。

图 1 是现有技术中 3bitDAC 模块的电路图；

30 图 2 是本发明的一个实施例提供的 DAC 模块的结构示意图；

图 3 是本发明的一个实施例提供的 DAC 模块的电路图;

图 4 是本发明的另一个实施例提供的 DAC 模块的电路图;

图 5 是本发明的一个实施例提供的驱动电路的结构示意图;

图 6 是本发明的一个实施例提供的液晶显示器的结构示意图。

5

### 具体实施方式

下面将结合本发明实施例中的附图,对本发明实施例中的技术方案进行清楚、完整地描述,显然,所描述的实施例是本发明一部分实施例,而不是全部的实施例。基于本发明中的实施例,本领域普通技术人员在没有作出创造性劳动前提下所获得的所有其他实施例,都属于本发明保护的范围。

10 本发明实施例提供一种数模转换模块、数据驱动电路及液晶显示器,可减少 DAC 模块中开关管的数量,进而节约电路成本和占板面积。下面将结合附图对本发明的实施例进行详细说明。

参见图 2,为本发明的一个实施例提供的 DAC 模块的结构示意图。如图 2 所示,所述 DAC 模块可包括  $2^{N-1}$  个子电路 20 和用于连接所述  $2^{N-1}$  个子电路的  $2^{N-1}-1$  个第一分压电阻 21,每个所述子电路包括第二分压电阻 201、第一开关电路 202 和第二开关电路 203,其中:

20 所述第一开关电路 202 和所述第二开关电路 203 分别连接在所述第二分压电阻 201 的两端,对于所述第一开关电路 202 或所述第二开关电路 203,与所述第二分压电阻 201 连接的一端为输入端,另一端为输出端;所述第一开关电路 202 包括串联的 N 个第一开关单元 K1,所述第二开关电路包括串联的一个第二开关单元 K2 和至少一个第一开关单元 K1;按照预设顺序,所述第二开关单元 K2 的控制端连接所述第一开关电路 202 的第 N-1 个和第 N 个第一开关单元 K1 的连接节点;所述第二开关单元 203 的输出端连接所述至少一个第一开关单元 K1;其中所述预设顺序为从输入端到输出端的顺序,  $N \geq 3$  并且 N 为整数。

具体实施中,第一分压电阻和第二分压电阻的阻值可以相同。 $2^{N-1}$  个第一分压电阻和  $2^{N-1}-1$  个第二分压电阻可形成一个由  $2^N-1$  个电阻组成的电阻串,该电阻串的两端分别接入高位电压 VH 和低位电压 VL。

30 具体实施中,该 DAC 模块可将 N 位数字驱动数据转换成模拟电压。优选

的,  $N$  可以大于或等于 8。其中, 每条第一开关电路的前  $N-1$  个第一开关单元的控制端分别接入  $N$  位数字驱动数据的前  $N-1$  位数据; 每条第一开关电路的第  $N$  个第一开关单元的控制端以及每条第二开关电路的第一开关单元的控制端则接入所述  $N$  位数字驱动数据的第  $N$  位数据。具体地, 第一开关电路中的

5 第一开关单元的通断可由所接入的数据控制, 例如, 当一个第一开关单元接入的数据为 1 时, 该第一开关单元关断, 当接入的数据为 0 时, 该第一开关单元导通。具体地, 第二开关电路的通断由第一开关电路和第二开关电路所接入的数据共同决定。例如, 当第一开关电路的前  $N-1$  个第一开关单元均导通时, 第一开关的第  $N-1$  个第一开关单元输出的电平使第二开关电路的第二开关单元

10 导通, 若第二开关电路中最后一个第一开关单元接入的数据使该最后一个第一开关单元导通, 则整条第二开关电路导通。

具体实施中, DAC 模块的  $2^{N-1}$  条第一开关电路和  $2^{N-1}$  条第二开关电路中, 每次有且仅有一条电路导通, 可通过在第一开关电路中设置 0 至  $N$  个非门电路或者在第二开关电路中设置 0 至 1 个非门电路, 并使不同第一开关电路中非

15 门电路的排列各不相同来实现。具体地, 对于每个子电路, 第一开关电路和第二开关电路不能同时导通, 因此若第一开关电路的最后一个第一开关单元中包括非门电路, 则第二开关电路的最后一个第一开关单元不包括非门电路, 反之若第一开关电路的最后一个第一开关单元不包括非门电路, 则第二开关电路的最后一个第一开关单元包括非门电路。

20 作为一种可行的实施方式, 每个开关单元中可包括一个开关管, 则每条第一开关电路包括  $N$  个开关管, 每条第二开关电路包括至少 2 个开关管, 该 DAC 模块可至少包括  $(N+2) * 2^{N-1}$  个开关管, 当  $N \geq 3$  时, 该 DAC 模块所包含的开关管数量小于现有技术中 DAC 模块的开关管数量。

本发明实施例中, DAC 模块包括  $2^{N-1}$  个子电路和用于连接所述  $2^{N-1}$  个子

25 电路的  $2^{N-1}-1$  个第一分压电阻, 每个所述子电路包括第二分压电阻、第一开关电路和第二开关电路, 第一开关电路包括串联的  $N$  个第一开关单元, 所述第二开关电路包括串联的一个第二开关单元和至少一个第一开关单元, 通过第一开关电路中的第一开关单元来控制第二开关电路中第二开关单元的通断, 可减少 DAC 模块中开关管的数量, 进而节约电路成本和占板面积。

30 参见图 3, 为本发明的一个实施例提供的 DAC 模块的电路图。如图 3 所

示,该 DAC 模块可包括  $2^{N-1}$  个子电路 30 和用于连接所述  $2^{N-1}$  个子电路的  $2^{N-1}-1$  个第一分压电阻 31, 每个所述子电路包括第二分压电阻 301、第一开关电路 302 和第二开关电路 303, 其中:

所述第一开关电路 302 和所述第二开关电路 303 分别连接在所述第二分压电阻 301 的两端, 对于所述第一开关电路 302 或所述第二开关电路 303, 与  
5 所述第二分压电阻 301 连接的一端为输入端, 另一端为输出端; 所述第一开关电路 302 包括串联的 N 个第一开关单元 K1, 所述第二开关电路包括串联的一个第二开关单元 K2 和两个第一开关单元 K1; 按照预设顺序, 所述第二开关单元 K2 的控制端连接所述第一开关电路 302 的第 N-1 个和第 N 个第一开关单元  
10 K1 的连接节点; 所述两个第一开关单元 K1 串接在所述第二开关单元 K2 的输出端和所述第二开关电路 303 的输出端之间, 其中与所述第二开关单元 K2 连接的第一开关单元 K1 的输入端连接第二分压电阻 301 的一端。

具体实施中, 该 DAC 模块可将 N 位数字驱动数据转换成模拟电压。优选的, N 可以大于或等于 8。其中, 每条第一开关电路的前 N-1 个第一开关单元  
15 的控制端分别接入 N 位数字驱动数据的前 N-1 位数据; 每条第一开关电路的第 N 个第一开关单元的控制端以及每条第二开关电路的第一开关单元的控制端则接入所述 N 位数字驱动数据的第 N 位数据。具体地, 第一开关电路中的第一开关单元的通断可由所接入的数据控制, 例如, 当一个第一开关单元接入的数据为 1 时, 该第一开关单元关断, 当接入的数据为 0 时, 该第一开关单元  
20 导通。具体地, 第二开关电路的通断由第一开关电路和第二开关电路所接入的数据共同决定。例如, 当第一开关电路的前 N-1 个第一开关单元均导通时, 第一开关的第 N-1 个第一开关单元输出的电平使第二开关电路的第二开关单元导通, 若第二开关电路中最后一个第一开关单元接入的数据使该最后一个第一开关单元导通, 则整条第二开关电路导通。

25 在一些可行的实施方式中, 所述第一开关电路 301 的 N 个第一开关单元 K1 中, 有 M 个第一开关单元 K1 可包括串联的非门电路和第一开关管, 另外 N-M 个第一开关单元 K1 可包括第一开关管, 其中 M 为整数并且  $0 \leq M \leq N$ 。第二开关电路 303 的至少一个第一开关单元 301 可包括 0 或 1 个非门电路, 第二开关单元 K2 可包括第二开关管。通过在第一开关电路中设置 0 至 N 个非门  
30 电路或者在第二开关电路中设置 0 至 1 个非门电路, 并使不同第一开关电路中



非门电路的排列各不相同,可使得 DAC 模块的  $2^{N-1}$  条第一开关电路和  $2^{N-1}$  条第二开关电路中,每次有且仅有一条电路导通。

具体地,对于每个子电路 30,第一开关电路 302 和第二开关电路 303 不能同时导通,因此若第一开关电路 302 的最后一个第一开关单元 K1 中包括非门电路,则第二开关电路 302 的最后一个第一开关单元 K1 不包括非门电路,反之若第一开关电路 302 的最后一个第一开关单元 K1 不包括非门电路,则第二开关电路 303 的最后一个第一开关单元 K1 包括非门电路。

在一些可行的实施方式中,第一开关管可以为 P 沟道 MOS 管,第二开关管可以为 N 沟道 MOS 管。则每个子电路的具体连接方式可以为:第二开关管的栅极连接第一开关电路 302 中第 N-1 个第一开关管的漏极(或源极)以及第 N 个第一开关管的源极(或漏极),第二开关管的源极(或漏极)接地,第二开关管的漏极(或源极)连接第二开关电路 303 中的第一个第一开关管的栅极。该第一个第一开关管的源极(或漏极)接地,漏极(或源极)连接第二个第一开关管的源极(或漏极)。该第二个第一开关管的栅极接入 N 位数字驱动数据的第 N 位数据,漏极(或源极)则作为第二开关单元的输出端。具体实施中,当 N 位数字驱动数据的前 N-1 位数据使第一开关电路的前 N-1 个第一开关管均导通时,第一开关电路的第 N-1 个第一开关管的漏极(或源极)输出高电平,使第二开关管导通,由于第二开关管的漏极(或源极)接地,使第二开关电路中的第一个第一开关管的栅极置于低电平,因此该第一个第一开关管也导通。而第一开关电路中的最后一个第一开关单元和第二开关电路中的最后一个第一开关单元中,有且仅有一个包括非门电路,因此上述 N 位数字驱动数据的第 N 位数据可以使第一开关电路中的最后一个第一开关单元和第二开关电路中的最后一个第一开关单元择一导通,输出相应的模拟电压。

在本发明实施例中,每个开关单元中可包括一个开关管,则每条第一开关电路包括 N 个开关管,每条第二开关电路包括 3 个开关管,该 DAC 模块仅需要  $(N+3) \times 2^{N-1}$  个开关管,当  $N \geq 3$  时,该 DAC 模块所包含的开关管数量小于现有技术中 DAC 模块的开关管数量。

在一些可行的实施方式中,第一分压电阻 31 和第二分压电阻 301 的阻值可以相同。其中  $2^{N-1}$  个第一分压电阻和  $2^{N-1}-1$  个第二分压电阻可形成一个由  $2^N-1$  个电阻组成的电阻串,该电阻串的两端分别接入高位电压  $V_H$  和低位电压

VL。

本发明实施例中，DAC 模块包括  $2^{N-1}$  个子电路和用于连接所述  $2^{N-1}$  个子电路的  $2^{N-1}-1$  个第一分压电阻，每个所述子电路包括第二分压电阻、第一开关电路和第二开关电路，第一开关电路包括串联的  $N$  个第一开关单元，所述第二开关电路包括串联的一个第二开关单元和两个第一开关单元，通过第一开关电路中的前  $N-1$  个第一开关单元来控制第二开关电路中第二开关单元和第一个第一开关单元的通断，可减少 DAC 模块中开关管的数量，进而节约电路成本和占板面积。

参见图 4，为本发明的另一个实施例提供的 DAC 模块的电路图。如图 4 所示，该 DAC 模块可包括  $2^{N-1}$  个子电路 4040 和用于连接所述  $2^{N-1}$  个子电路的  $2^{N-1}-1$  个第一分压电阻 41，每个所述子电路包括第二分压电阻 401、第一开关电路 402 和第二开关电路 403，其中：

所述第一开关电路 402 和所述第二开关电路 403 分别连接在所述第二分压电阻 401 的两端，对于所述第一开关电路 402 或所述第二开关电路 403，与所述第二分压电阻 401 连接的一端为输入端，另一端为输出端；所述第一开关电路 402 包括串联的  $N$  个第一开关单元  $K1$ ，所述第二开关电路包括串联的一个第二开关单元  $K2$  和一个第一开关单元  $K1$ ；按照预设顺序，所述第二开关单元  $K2$  的控制端连接所述第一开关电路 402 的第  $N-1$  个和第  $N$  个第一开关单元  $K1$  的连接节点；所述第二开关单元  $K2$  的输入端连接第二分压电阻 401 的一端，所述第二开关单元  $K2$  的输出端连接所述一个第一开关单元  $K1$  的输入端，所述一个第一开关单元  $K1$  的输出端为所述第二开关电路 303 的输出端。

具体实施中，该 DAC 模块可将  $N$  位数字驱动数据转换成模拟电压。优选的， $N$  可以大于或等于 8。其中，每条第一开关电路的前  $N-1$  个第一开关单元的控制端分别接入  $N$  位数字驱动数据的前  $N-1$  位数据；每条第一开关电路的第  $N$  个第一开关单元的控制端以及每条第二开关电路的第一开关单元的控制端则接入所述  $N$  位数字驱动数据的第  $N$  位数据。具体地，第一开关电路中的第一开关单元的通断可由所接入的数据控制，例如，当一个第一开关单元接入的数据为 1 时，该第一开关单元关断，当接入的数据为 0 时，该第一开关单元导通。具体地，第二开关电路的通断由第一开关电路和第二开关电路所接入的数据共同决定。例如，当第一开关电路的前  $N-1$  个第一开关单元均导通时，第

一开关的第  $N-1$  个第一开关单元输出的电平使第二开关电路的第二开关单元导通, 若第二开关电路中的第一开关单元接入的数据使其导通, 则整条第二开关电路导通。

在一些可行的实施方式中, 所述第一开关电路 401 的  $N$  个第一开关单元  
5 K1 中, 有  $M$  个第一开关单元 K1 可包括串联的非门电路和第一开关管, 另外  $N-M$  个第一开关单元 K1 可包括第一开关管, 其中  $M$  为整数并且  $0 \leq M \leq N$ 。第二开关电路 403 的一个第一开关单元 401 可包括 0 或 1 个非门电路, 第二开关单元 K2 可包括第二开关管。通过在第一开关电路中设置 0 至  $N$  个非门电路或者在第二开关电路中设置 0 至 1 个非门电路, 并使不同第一开关电路中非门  
10 电路的排列各不相同, 可使得 DAC 模块的  $2^{N-1}$  条第一开关电路和  $2^{N-1}$  条第二开关电路中, 每次有且仅有一条电路导通。

具体地, 对于每个子电路 40, 第一开关电路 402 和第二开关电路 403 不能同时导通, 因此若第一开关电路 402 的最后一个第一开关单元 K1 中包括非门电路, 则第二开关电路 402 的第一开关单元 K1 不包括非门电路, 反之若  
15 第一开关电路 402 的最后一个第一开关单元 K1 不包括非门电路, 则第二开关电路 403 的第一开关单元 K1 包括非门电路。

在一些可行的实施方式中, 第一开关管可以为 P 沟道 MOS 管, 第二开关管可以为 N 沟道 MOS 管。则每个子电路的具体连接方式可以为: 第二开关管的栅极连接第一开关电路 402 中第  $N-1$  个第一开关管的漏极 (或源极) 以及第  
20  $N$  个第一开关管的源极 (或漏极), 第二开关管的源极 (或漏极) 连接第二分压电阻 401 的一端, 第二开关管的漏极 (或源极) 连接第二开关电路 403 中的第一开关管的源极 (或漏极), 第二开关电路 403 中的第一开关管的栅极接入  $N$  位数字驱动数据的第  $N$  位数据, 漏极 (或源极) 则作为第二开关单元的输出端。具体实施中, 当  $N$  位数字驱动数据的前  $N-1$  位数据使第一开关电路的  
25 前  $N-1$  个第一开关管均导通时, 第一开关电路的第  $N-1$  个第一开关管的漏极 (或源极) 输出高电平, 使第二开关管导通。而第一开关电路中的最后一个第一开关单元和第二开关电路中的第一开关单元中, 有且仅有一个包括非门电路, 因此上述  $N$  位数字驱动数据的第  $N$  位数据可以使第一开关电路中的最后一个第一开关单元和第二开关电路中的第一开关单元择一导通, 输出相应的模拟电  
30 压。由于第二开关管的漏极 (或源极) 连接第二分压电阻 401 的一端, 若第二

开关电路中的第一开关单元导通,则该第二开关电路输出的模拟电压即为第二分压电阻 401 的一端的电压。

在本发明实施例中,每个开关单元中可包括一个开关管,则每条第一开关电路包括  $N$  个开关管,每条第二开关电路包括 2 个开关管,该 DAC 模块仅需要  $(N+2) \times 2^{N-1}$  个开关管,当  $N \geq 3$  时,该 DAC 模块所包含的开关管数量小于现有技术中 DAC 模块的开关管数量。

在一些可行的实施方式中,第一分压电阻 41 和第二分压电阻 401 的阻值可以相同。其中  $2^{N-1}$  个第一分压电阻和  $2^{N-1}-1$  个第二分压电阻可形成一个由  $2^N-1$  个电阻组成的电阻串,该电阻串的两端分别接入高位电压  $V_H$  和低位电压  $V_L$ 。

本发明实施例中,DAC 模块包括  $2^{N-1}$  个子电路和用于连接所述  $2^{N-1}$  个子电路的  $2^{N-1}-1$  个第一分压电阻,每个所述子电路包括第二分压电阻、第一开关电路和第二开关电路,第一开关电路包括串联的  $N$  个第一开关单元,所述第二开关电路包括串联的一个第二开关单元和一个第一开关单元,通过第一开关电路中的前  $N-1$  个第一开关单元来控制第二开关电路中第二开关单元的通断,可减少 DAC 模块中开关管的数量,进而节约电路成本和占板面积。

参见图 5,为本发明的一个实施例提供的数据驱动电路的结构示意图。如图 5 所示,该数据驱动电路可包括数据逻辑控制模块 501、至少一个 DAC 模块 502 以及至少一个功率放大模块 503。

在一些可行的实施方式中,数据逻辑控制模块 501 可用于控制显示数据的接收和存储,该显示数据为  $N$  位的数字驱动数据。DAC 模块 502 可用于根据接收到的  $N$  位数字驱动数据输出相应的模拟电压。功率放大模块 503 则将 DAC 模块 502 输出的模拟电压进行功率放大,用以驱动液晶面板进行显示。

具体实施中,数据驱动电路包括多个输出通道,每个输出通道需配置一 DAC 模块,因此该至少一个 DAC 模块 502 的数量可以与该数据驱动电路的输出通道数量一致。例如,若该数据驱动电路为 960 通道,则该数据驱动电路中

共有 960 个上述 DAC 模块。

具体实施中,该至少一个 DAC 模块 502 的实现方式可参考图 2 至图 4 所示实施例中 DAC 模块的相关描述,在此不赘述。

根据图 2 至图 4 的描述可知,该数据驱动电路可减少的 DAC 模块中开关

管的数量，进而节约电路成本和占板面积。

参见图 6，为本发明的一个实施例提供的液晶显示器的结构示意图。如图 6 所示，该液晶显示器可包括数据驱动电路 601 和液晶面板 602。

具体实施中，数据驱动电路 601 可用于驱动液晶面板 602 进行显示。其中  
5 数据驱动电路 601 的实现方式可参考图 5 所示实施例中数据驱动电路的相关描述，在此不赘述。

根据图 5 的描述可知，该数据驱动电路可减少的 DAC 模块中开关管的数量，进而节约电路成本和占板面积。

以上所述的实施方式，并不构成对该技术方案保护范围的限定。任何在上  
10 述实施方式的精神和原则之内所作的修改、等同替换和改进等，均应包含在该技术方案的保护范围之内。

## 权利要求

1、一种数模转换 DAC 模块，其中，所述 DAC 模块包括  $2^{N-1}$  个子电路和用于连接所述  $2^{N-1}$  个子电路的  $2^{N-1}-1$  个第一分压电阻，每个所述子电路包括第二分压电阻、第一开关电路和第二开关电路，其中：

所述第一开关电路和所述第二开关电路分别连接在所述第二分压电阻的两端，对于所述第一开关电路或所述第二开关电路，与所述第二分压电阻连接的一端为输入端，另一端为输出端；

所述第一开关电路包括串联的  $N$  个第一开关单元，所述第二开关电路包括串联的一个第二开关单元和至少一个第一开关单元；

按照预设顺序，所述第二开关单元的控制端连接所述第一开关电路的第  $N-1$  个和第  $N$  个第一开关单元的连接节点；所述第二开关单元的输出端连接所述至少一个第一开关单元；

其中所述预设顺序为从输入端到输出端的顺序， $N \geq 3$  并且  $N$  为整数。

2、根据权利要求 1 所述的 DAC 模块，其中，所述第二开关电路包括一个第二开关单元和两个第一开关单元，其中：

所述第二开关单元的输入端接地，所述第二开关单元的输出端连接所述两个第一开关单元中的一个第一开关单元的控制端；

所述一个第一开关单元的输入端连接所述第二分压电阻的一端，所述一个第一开关单元的输出端连接所述两个第一开关单元中另一个第一开关单元的输入端；

所述另一个第一开关单元的输出端为所述第二开关电路的输出端。

3、根据权利要求 1 所述的 DAC 模块，其中，所述第二开关电路包括一个第二开关单元和一个第一开关单元，其中：

所述第二开关单元的输入端连接所述第二分压电阻的一端，所述第二开关单元的输出端连接所述一个第一开关单元的输入端，所述一个第一开关单元的输出端为所述第二开关电路的输出端。

4、根据权利要求 1 所述的 DAC 模块，其中，按照所述预设顺序，当所述第一开关电路的前  $N-1$  个第一开关单元都导通时，所述第一开关电路的第  $N$  个第一开关单元和所述第二开关电路之中有且仅有一个导通。

5 5、根据权利要求 1 所述的 DAC 模块，其中，

所述第一开关电路的  $N$  个第一开关单元中， $M$  个第一开关单元包括串联的非门电路和第一开关管， $N-M$  个第一开关单元包括第一开关管，其中  $M$  为整数并且  $0 \leq M \leq N$ ；

所述 DAC 模块中各个所述第一开关电路的非门电路的排列各不相同。

10

6、根据权利要求 5 所述的 DAC 模块，其中，所述第二开关单元包括第二开关管。

7、根据权利要求 1 所述的 DAC 模块，其中，按照所述预设顺序，所述第一开关电路的前  $N-1$  个第一开关单元的控制端分别用于接入  $N$  位数字驱动数据的前  $N-1$  位数据；所述第一开关电路的第  $N$  个第一开关单元的控制端和所述第二开关电路的最后一个第一开关单元的控制端用于接入所述  $N$  位数字驱动数据的第  $N$  位数据。

20 8、根据权利要求 6 所述的 DAC 模块，其中，所述第一开关管为 P 沟道 MOS 管，所述第二开关管为 N 沟道 MOS 管。

9、一种数据驱动电路，其中，所述数据驱动电路包括数据逻辑控制模块、至少一个数模转换 DAC 模块以及功率放大模块，所述 DAC 模块包括  $2^{N-1}$  个子电路和用于连接所述  $2^{N-1}$  个子电路的  $2^{N-1}-1$  个第一分压电阻，每个所述子电路包括第二分压电阻、第一开关电路和第二开关电路，其中：

25 所述第一开关电路和所述第二开关电路分别连接在所述第二分压电阻的两端，对于所述第一开关电路或所述第二开关电路，与所述第二分压电阻连接的一端为输入端，另一端为输出端；

30 所述第一开关电路包括串联的  $N$  个第一开关单元，所述第二开关电路包

括串联的一个第二开关单元和至少一个第一开关单元;

按照预设顺序, 所述第二开关单元的控制端连接所述第一开关电路的第  $N-1$  个和第  $N$  个第一开关单元的连接节点; 所述第二开关单元的输出端连接所述至少一个第一开关单元;

5 其中所述预设顺序为从输入端到输出端的顺序,  $N \geq 3$  并且  $N$  为整数。

10、根据权利要求 9 所述的数据驱动电路, 其中, 所述第二开关电路包括一个第二开关单元和两个第一开关单元, 其中:

10 所述第二开关单元的输入端接地, 所述第二开关单元的输出端连接所述两个第一开关单元中的一个第一开关单元的控制端;

所述一个第一开关单元的输入端连接所述第二分压电阻的一端, 所述一个第一开关单元的输出端连接所述两个第一开关单元中另一个第一开关单元的输入端;

所述另一个第一开关单元的输出端为所述第二开关电路的输出端。

15

11、根据权利要求 9 所述的数据驱动电路, 其中, 所述第二开关电路包括一个第二开关单元和一个第一开关单元, 其中:

20 所述第二开关单元的输入端连接所述第二分压电阻的一端, 所述第二开关单元的输出端连接所述一个第一开关单元的输入端, 所述一个第一开关单元的输出端为所述第二开关电路的输出端。

12、根据权利要求 9 所述的数据驱动电路, 其中, 按照所述预设顺序, 当所述第一开关电路的前  $N-1$  个第一开关单元都导通时, 所述第一开关电路的第  $N$  个第一开关单元和所述第二开关电路之中有且仅有一个导通。

25

13、根据权利要求 9 所述的数据驱动电路, 其中,

所述第一开关电路的  $N$  个第一开关单元中,  $M$  个第一开关单元包括串联的非门电路和第一开关管,  $N-M$  个第一开关单元包括第一开关管, 其中  $M$  为整数并且  $0 \leq M \leq N$ ;

30 所述 DAC 模块中各个所述第一开关电路的非门电路的排列各不相同。



14、根据权利要求 13 所述的数据驱动电路，其中，所述第二开关单元包括第二开关管。

15、根据权利要求 9 所述的数据驱动电路，其中，按照所述预设顺序，所述  
5 所述第一开关电路的前  $N-1$  个第一开关单元的控制端分别用于接入  $N$  位数字驱动数据的前  $N-1$  位数据；所述第一开关电路的第  $N$  个第一开关单元的控制端和所述第二开关电路的最后一个第一开关单元的控制端用于接入所述  $N$  位数字驱动数据的第  $N$  位数据。

10 16、根据权利要求 14 所述的数据驱动电路，其中，所述第一开关管为 P 沟道 MOS 管，所述第二开关管为 N 沟道 MOS 管。

17、一种液晶显示器，其中，所述液晶显示器包括数据驱动电路和液晶面  
15 板，所述数据驱动电路包括数据逻辑控制模块、至少一个数模转换 DAC 模块以及功率放大模块，所述 DAC 模块包括  $2^{N-1}$  个子电路和用于连接所述  $2^{N-1}$  个子电路的  $2^{N-1}-1$  个第一分压电阻，每个所述子电路包括第二分压电阻、第一开关电路和第二开关电路，其中：

所述第一开关电路和所述第二开关电路分别连接在所述第二分压电阻的  
20 两端，对于所述第一开关电路或所述第二开关电路，与所述第二分压电阻连接的一端为输入端，另一端为输出端；

所述第一开关电路包括串联的  $N$  个第一开关单元，所述第二开关电路包括串联的一个第二开关单元和至少一个第一开关单元；

按照预设顺序，所述第二开关单元的控制端连接所述第一开关电路的第  
25  $N-1$  个和第  $N$  个第一开关单元的连接节点；所述第二开关单元的输出端连接所述至少一个第一开关单元；

其中所述预设顺序为从输入端到输出端的顺序， $N \geq 3$  并且  $N$  为整数。

18、根据权利要求 17 所述的液晶显示器，其中，所述第二开关电路包括  
一个第二开关单元和两个第一开关单元，其中：

30 所述第二开关单元的输入端接地，所述第二开关单元的输出端连接所述两

个第一开关单元中的一个第一开关单元的控制端;

所述一个第一开关单元的输入端连接所述第二分压电阻的一端, 所述一个第一开关单元的输出端连接所述两个第一开关单元中另一个第一开关单元的输入端;

5 所述另一个第一开关单元的输出端为所述第二开关电路的输出端。

19、根据权利要求 17 所述的液晶显示器, 其中, 所述第二开关电路包括一个第二开关单元和一个第一开关单元, 其中:

10 所述第二开关单元的输入端连接所述第二分压电阻的一端, 所述第二开关单元的输出端连接所述一个第一开关单元的输入端, 所述一个第一开关单元的输出端为所述第二开关电路的输出端。

20、根据权利要求 17 所述的液晶显示器, 其中, 按照所述预设顺序, 当所述第一开关电路的前  $N-1$  个第一开关单元都导通时, 所述第一开关电路的第  
15  $N$  个第一开关单元和所述第二开关电路之中有且仅有一个导通。

3bit DAC

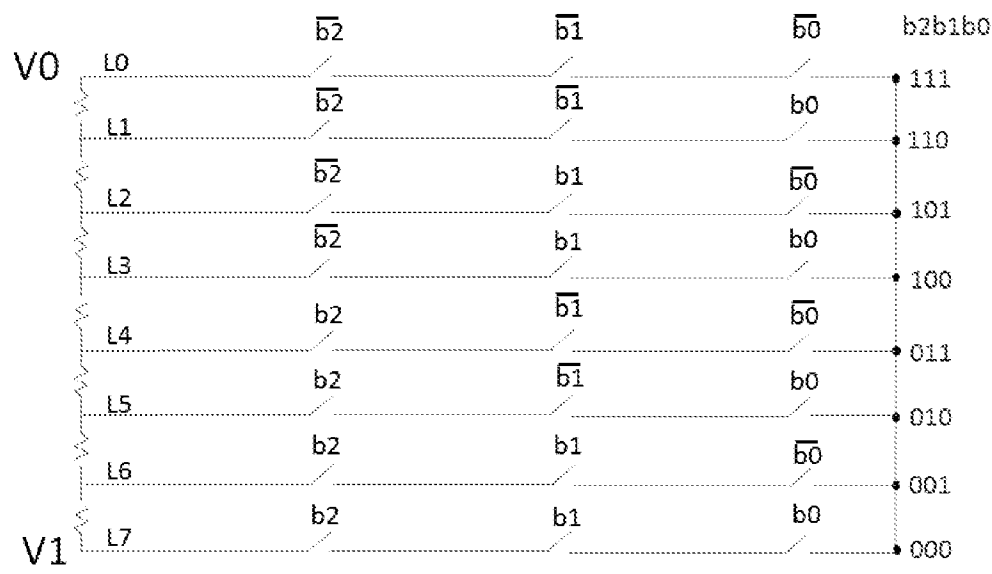


图 1

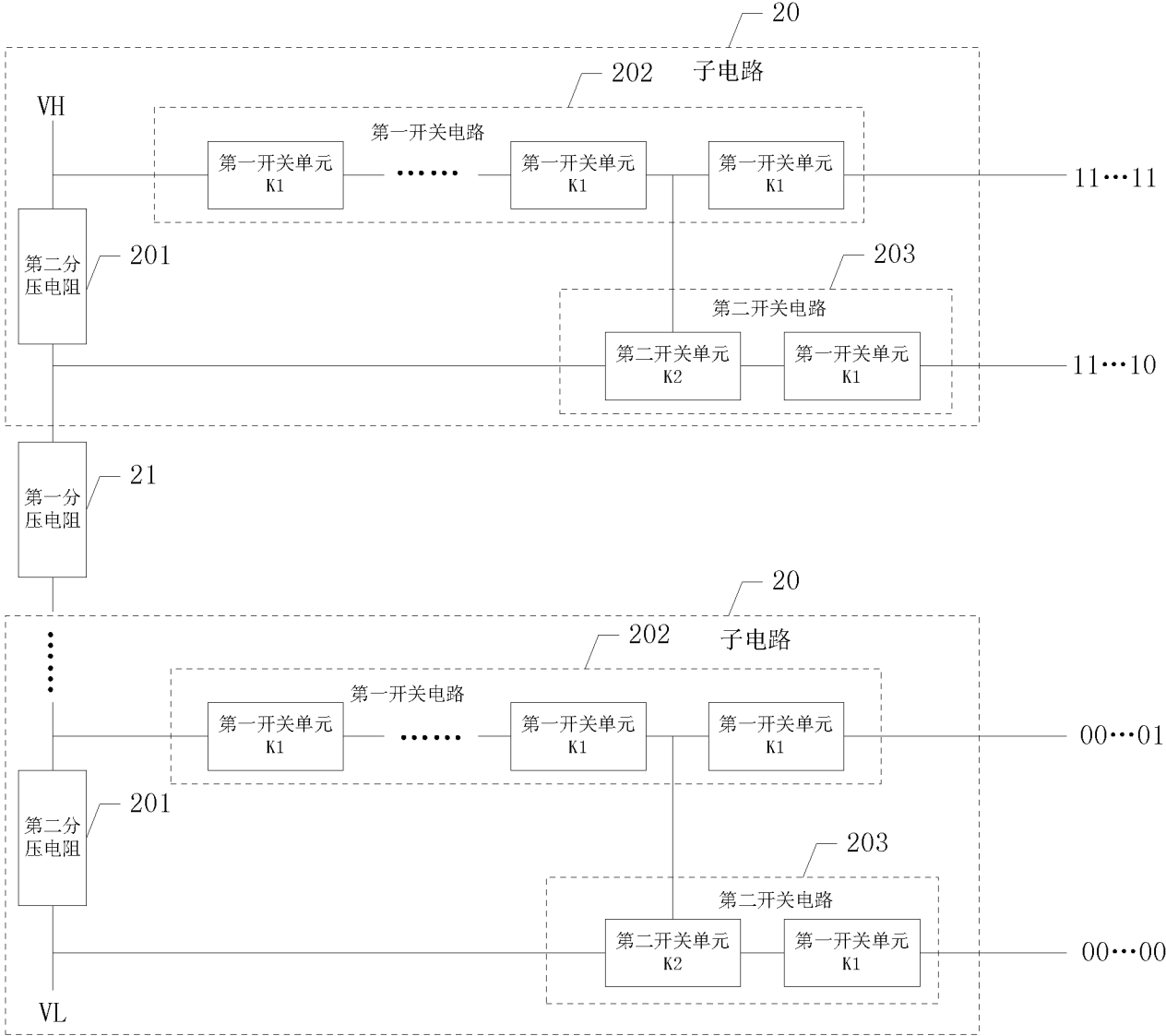


图 2

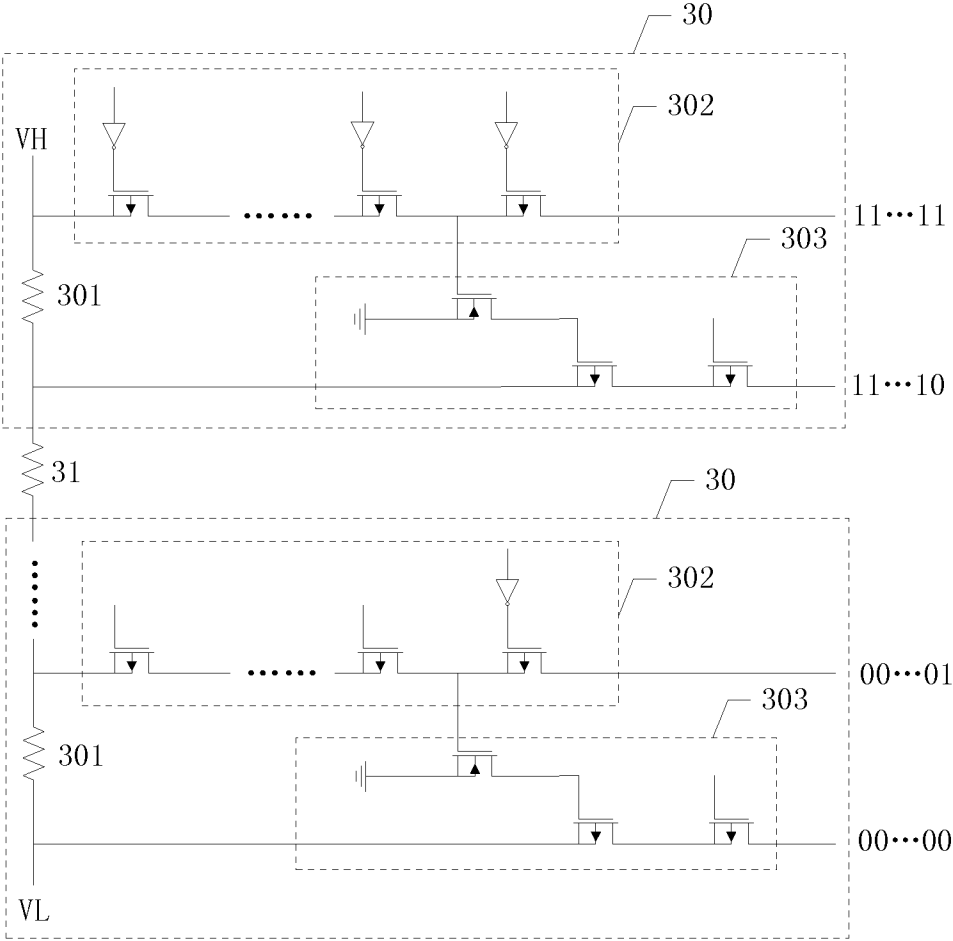


图 3

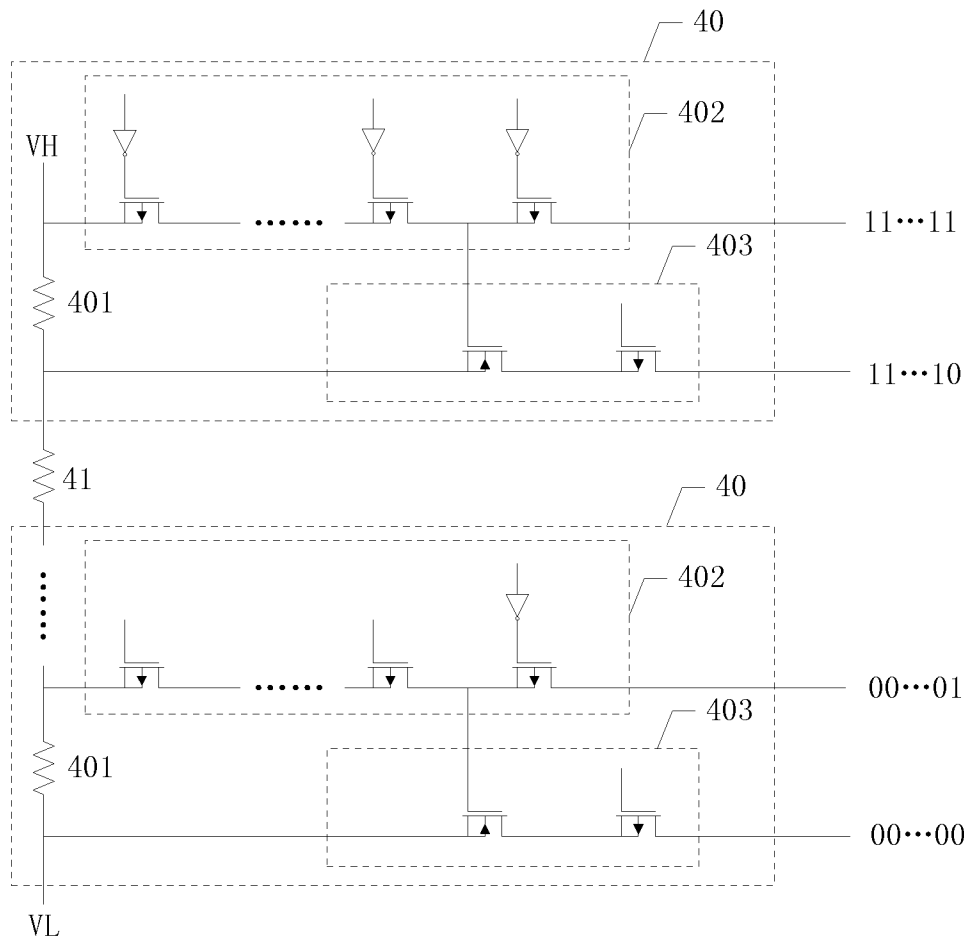


图 4

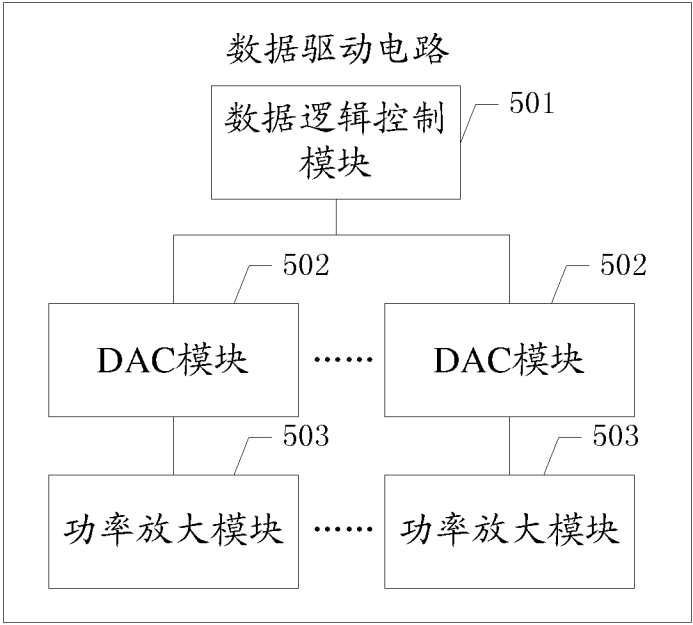


图 5

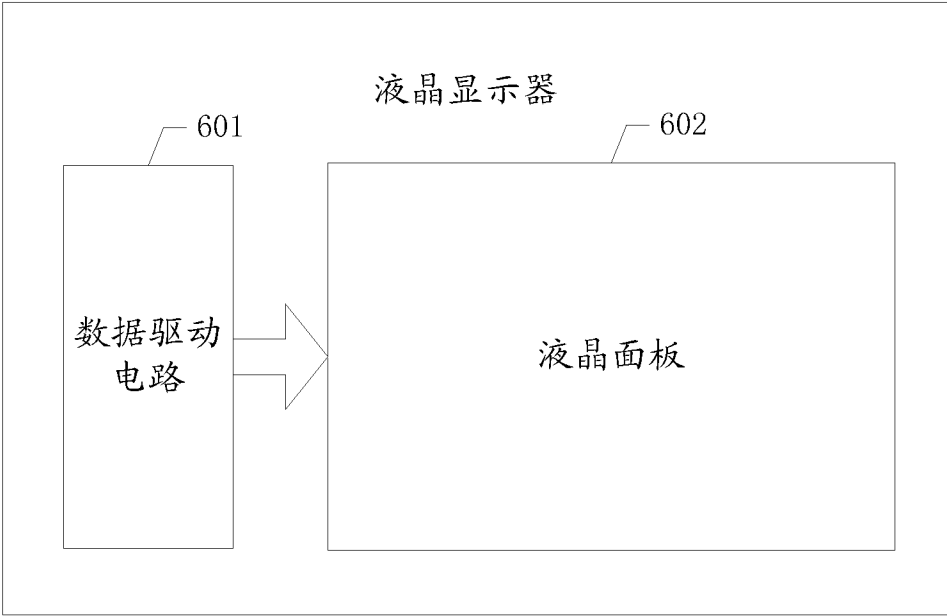


图 6

# INTERNATIONAL SEARCH REPORT

International application No.

**PCT/CN2016/074521**

## A. CLASSIFICATION OF SUBJECT MATTER

H03M 1/76 (2006.01) i; G09G 3/36 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H03M, G09G

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNABS, CNTXT, DWPI, SIPOABS: digital-to-analogue, number, display, switch, DA

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

| Category* | Citation of document, with indication, where appropriate, of the relevant passages                                                     | Relevant to claim No. |
|-----------|----------------------------------------------------------------------------------------------------------------------------------------|-----------------------|
| A         | CN 103354451 A (AU OPTRONICS (SUZHOU) CORP. et al.), 16 October 2013 (16.10.2013), description, paragraphs [0030]-[0046], and figure 6 | 1-20                  |
| A         | CN 104143985 A (SHENZHEN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.), 12 November 2014 (12.11.2014), the whole document           | 1-20                  |
| A         | CN 101174837 A (NEC ELECTRONICS CORP.), 07 May 2008 (07.05.2008), the whole document                                                   | 1-20                  |
| A         | US 2005171991 A1 (ZEBEDEE), 04 August 2005 (04.08.2005), the whole document                                                            | 1-20                  |
| A         | CN 101393728 A (TOPPOLY OPTOELECTRONICS CORP.), 25 March 2009 (25.03.2009), the whole document                                         | 1-20                  |

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

|                                                                                                                                                                         |                                                                                                                                                                                                                                                  |
|-------------------------------------------------------------------------------------------------------------------------------------------------------------------------|--------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| * Special categories of cited documents:                                                                                                                                |                                                                                                                                                                                                                                                  |
| “A” document defining the general state of the art which is not considered to be of particular relevance                                                                | “T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention                                              |
| “E” earlier application or patent but published on or after the international filing date                                                                               | “X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone                                                                     |
| “L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) | “Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art |
| “O” document referring to an oral disclosure, use, exhibition or other means                                                                                            |                                                                                                                                                                                                                                                  |
| “P” document published prior to the international filing date but later than the priority date claimed                                                                  | “&” document member of the same patent family                                                                                                                                                                                                    |

|                                                                                                                                                                                                                    |                                                                                            |
|--------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|--------------------------------------------------------------------------------------------|
| Date of the actual completion of the international search<br>24 October 2016 (24.10.2016)                                                                                                                          | Date of mailing of the international search report<br><b>01 November 2016 (01.11.2016)</b> |
| Name and mailing address of the ISA/CN:<br>State Intellectual Property Office of the P. R. China<br>No. 6, Xitucheng Road, Jimenqiao<br>Haidian District, Beijing 100088, China<br>Facsimile No.: (86-10) 62019451 | Authorized officer<br><b>SHANG, Ji'nan</b><br>Telephone No.: (86-10) <b>62411019</b>       |



**INTERNATIONAL SEARCH REPORT**  
Information on patent family members

International application No.

**PCT/CN2016/074521**

| Patent Documents referred<br>in the Report | Publication Date | Patent Family    | Publication Date  |
|--------------------------------------------|------------------|------------------|-------------------|
| CN 103354451 A                             | 16 October 2013  | CN 103354451 B   | 08 June 2016      |
| CN 104143985 A                             | 12 November 2014 | WO 2016011678 A1 | 28 January 2016   |
|                                            |                  | US 2016253939 A1 | 01 September 2016 |
| CN 101174837 A                             | 07 May 2008      | US 2008211703 A1 | 04 September 2008 |
|                                            |                  | US 2009273618 A1 | 05 November 2009  |
|                                            |                  | CN 101174837 B   | 23 November 2011  |
|                                            |                  | JP 4401378 B2    | 20 January 2010   |
|                                            |                  | CN 102045069 B   | 25 September 2013 |
|                                            |                  | JP 2008118375 A  | 22 May 2008       |
|                                            |                  | US 7576674 B2    | 18 August 2009    |
|                                            |                  | US 7994956 B2    | 09 August 2011    |
|                                            |                  | CN 102045069 A   | 04 May 2011       |
| US 2005171991 A1                           | 04 August 2005   | JP 4420345 B2    | 24 February 2010  |
|                                            |                  | US 7061418 B2    | 13 June 2006      |
|                                            |                  | KR 20050071378 A | 07 July 2005      |
|                                            |                  | GB 2409777 A     | 06 July 2005      |
|                                            |                  | JP 2005204306 A  | 28 July 2005      |
|                                            |                  | TW 200537405 A   | 16 November 2005  |
|                                            |                  | KR 100711674 B1  | 02 May 2007       |
|                                            |                  | CN 100483948 C   | 29 April 2009     |
|                                            |                  | TW I261794 B     | 11 September 2006 |
|                                            |                  | GB 0400040 D0    | 04 February 2004  |
|                                            |                  | CN 1658512 A     | 24 August 2005    |
| CN 101393728 A                             | 25 March 2009    | CN 101393728 B   | 18 July 2012      |

# 国际检索报告

国际申请号

PCT/CN2016/074521

## A. 主题的分类

H03M 1/76(2006.01)i ; G09G 3/36(2006.01)i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

## B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

H03M, G09G

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

CNABS, CNTXT, DWPI, SIPOABS:显示, 数模, 开关, 数量, display, switch, DA

## C. 相关文件

| 类型* | 引用文件, 必要时, 指明相关段落                                                                  | 相关的权利要求 |
|-----|------------------------------------------------------------------------------------|---------|
| A   | CN 103354451 A (友达光电苏州有限公司 等) 2013年 10月 16日 (2013-10-16)<br>说明书第[0030]-[0046]段, 图6 | 1-20    |
| A   | CN 104143985 A (深圳市华星光电技术有限公司) 2014年 11月 12日 (2014-11-12)<br>全文                    | 1-20    |
| A   | CN 101174837 A (恩益禧电子股份有限公司) 2008年 5月 7日 (2008-05-07)<br>全文                        | 1-20    |
| A   | US 2005171991 A1 (ZEBEDEE) 2005年 8月 4日 (2005-08-04)<br>全文                          | 1-20    |
| A   | CN 101393728 A (统宝光电股份有限公司) 2009年 3月 25日 (2009-03-25)<br>全文                        | 1-20    |

☐ 其余文件在C栏的续页中列出。

☒ 见同族专利附件。

\* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

2016年 10月 24日

国际检索报告邮寄日期

2016年 11月 1日

ISA/CN的名称和邮寄地址

中华人民共和国国家知识产权局(ISA/CN)  
中国北京市海淀区蓟门桥西土城路6号 100088

传真号 (86-10)62019451

授权官员

商纪楠

电话号码 (86-10)62411019

国际检索报告  
关于同族专利的信息

国际申请号

PCT/CN2016/074521

| 检索报告引用的专利文件 |            |    | 公布日<br>(年/月/日) | 同族专利 |             |    | 公布日<br>(年/月/日) |
|-------------|------------|----|----------------|------|-------------|----|----------------|
| CN          | 103354451  | A  | 2013年 10月 16日  | CN   | 103354451   | B  | 2016年 6月 8日    |
| CN          | 104143985  | A  | 2014年 11月 12日  | WO   | 2016011678  | A1 | 2016年 1月 28日   |
|             |            |    |                | US   | 2016253939  | A1 | 2016年 9月 1日    |
| CN          | 101174837  | A  | 2008年 5月 7日    | US   | 2008211703  | A1 | 2008年 9月 4日    |
|             |            |    |                | US   | 2009273618  | A1 | 2009年 11月 5日   |
|             |            |    |                | CN   | 101174837   | B  | 2011年 11月 23日  |
|             |            |    |                | JP   | 4401378     | B2 | 2010年 1月 20日   |
|             |            |    |                | CN   | 102045069   | B  | 2013年 9月 25日   |
|             |            |    |                | JP   | 2008118375  | A  | 2008年 5月 22日   |
|             |            |    |                | US   | 7576674     | B2 | 2009年 8月 18日   |
|             |            |    |                | US   | 7994956     | B2 | 2011年 8月 9日    |
|             |            |    |                | CN   | 102045069   | A  | 2011年 5月 4日    |
| US          | 2005171991 | A1 | 2005年 8月 4日    | JP   | 4420345     | B2 | 2010年 2月 24日   |
|             |            |    |                | US   | 7061418     | B2 | 2006年 6月 13日   |
|             |            |    |                | KR   | 20050071378 | A  | 2005年 7月 7日    |
|             |            |    |                | GB   | 2409777     | A  | 2005年 7月 6日    |
|             |            |    |                | JP   | 2005204306  | A  | 2005年 7月 28日   |
|             |            |    |                | TW   | 200537405   | A  | 2005年 11月 16日  |
|             |            |    |                | KR   | 100711674   | B1 | 2007年 5月 2日    |
|             |            |    |                | CN   | 100483948   | C  | 2009年 4月 29日   |
|             |            |    |                | TW   | I261794     | B  | 2006年 9月 11日   |
|             |            |    |                | GB   | 0400040     | D0 | 2004年 2月 4日    |
|             |            |    |                | CN   | 1658512     | A  | 2005年 8月 24日   |
| CN          | 101393728  | A  | 2009年 3月 25日   | CN   | 101393728   | B  | 2012年 7月 18日   |