

【公報種別】特許法第 17 条の 2 の規定による補正の掲載  
 【部門区分】第 6 部門第 2 区分  
 【発行日】平成 19 年 10 月 11 日 (2007.10.11)

【公開番号】特開 2007-219557 (P2007-219557A)  
 【公開日】平成 19 年 8 月 30 日 (2007.8.30)  
 【年通号数】公開・登録公報 2007-033  
 【出願番号】特願 2007-144707 (P2007-144707)  
 【国際特許分類】

**G 0 2 F 1/1368 (2006.01)**

**G 0 2 F 1/1335 (2006.01)**

【F I】

G 0 2 F 1/1368

G 0 2 F 1/1335 5 0 5

G 0 2 F 1/1335 5 0 0

【手続補正書】

【提出日】平成 19 年 7 月 23 日 (2007.7.23)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

複数のゲートラインとデータラインとによって画素領域を定義する液晶表示装置の製造方法において、

第 1 基板上に薄膜トランジスタ及び前記薄膜トランジスタのドレイン電極と前記データラインとを接続する接続パターンを形成するステップと、

前記ドレイン電極と接続される画素電極を形成するステップと、

前記画素領域を除外した領域にブラックマトリックスパターンを形成するステップと、

前記画素電極上にカラーフィルター層を形成するステップと

前記第 1 基板と対向する第 2 基板との間に液晶層を形成するステップとからなることを特徴とする液晶表示装置の製造方法。

【請求項 2】

前記薄膜トランジスタ及び接続パターンを形成するステップは、

前記第 1 基板上にゲート電極及びゲートラインを形成するステップと、

前記ゲート電極を含めた全面にゲート絶縁膜、a - s i 層、n + 層及び金属層を積層するステップと、

前記金属層と n + 層を一括的にパターンニングするステップと、

前記パターンニングされた金属層を選択的に除去してソース及びドレイン電極を形成するステップと、

前記ソース電極とドレイン電極との間の n + 層とパッド領域のゲート絶縁膜を除去するステップとを有することを特徴とする請求項 1 に記載の液晶表示装置の製造方法。

【請求項 3】

前記金属層と n + 層を同時に食刻する時、前記データラインと前記ドレイン電極を迂回して接続する接続パターンを形成することを特徴とする請求項 2 に記載の液晶表示装置の製造方法。

【請求項 4】

前記カラーフィルター層を形成するステップは、前記データラインに電圧を印加した状態

で前記画素電極上にカラー顔料を電着させるステップを有することを特徴とする請求項 1 に記載の液晶表示装置の製造方法。

【請求項 5】

前記カラーフィルター層を形成した後、パッド領域のブラックマトリックスパターンを除去するステップと、

前記ブラックマトリックスパターン及びカラーフィルター層上にバインダを形成するステップと、を更に有することを特徴とする請求項 4 に記載の液晶表示装置の製造方法。

【請求項 6】

前記ブラックマトリックスパターンを形成する際に、前記接続パターンが露出されるようにパターニングすることを特徴とする請求項 1 に記載の液晶表示装置の製造方法。

【請求項 7】

前記接続パターンは前記カラーフィルター層を形成した後、除去されることを特徴とする請求項 6 に記載の液晶表示装置の製造方法。

【請求項 8】

前記薄膜トランジスタ及び接続パターンを形成するステップは、

第 1 基板上にゲート電極及びゲートラインを形成するステップと、

前記ゲート電極を含めた全面にゲート絶縁膜、 $a-Si$  層、 $n+$  層、金属層を積層するステップと、

前記金属層、 $n+$  層及び  $a-Si$  層を一括的にパターニングするステップと、

前記パターニングされた金属層を選択的に除去してソース及びドレイン電極を形成するステップと、

前記ソース電極とドレイン電極との間の  $n+$  層及びパッド領域のゲート絶縁膜を除去するステップとを有することを特徴とする請求項 1 に記載の液晶表示装置の製造方法。

【請求項 9】

前記金属層、 $n+$  層及び  $a-Si$  層を一括的に食刻する時、前記接続パターンを形成することを特徴とする請求項 8 に記載の液晶表示装置の製造方法。