



Erfindungspatent für die Schweiz und Liechtenstein

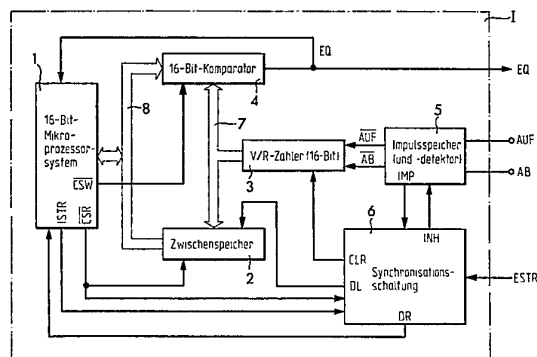
Schweizerisch-lichtensteinischer Patentschutzvertrag vom 22. Dezember 1978

⑫ PATENTSCHRIFT A5

- | | | | | |
|----|----------------------------------|------------|----|---|
| ②① | Gesuchsnummer: | 1605/82 | ⑦③ | Inhaber:
Maag-Zahnräder & -Maschinen
Aktiengesellschaft, Zürich |
| ②② | Anmeldungsdatum: | 15.03.1982 | | |
| ②④ | Patent erteilt: | 15.04.1986 | | |
| ④⑤ | Patentschrift
veröffentlicht: | 15.04.1986 | ⑦② | Erfinder:
Rhyner, Hans-Ulrich, Dübendorf |

⑤4 Wegerfassungsanordnung eines mehrachsigen Messsystems.

(57) Die Wegerfassungsanordnung, die insbesondere für eine Zahnradschleif- oder -prüfmaschine bestimmt ist, enthält neben der üblichen Vorstufe aus einem V/R-Zähler (3), der die Messimpulse aufnimmt, einem Zwischenspeicher (2) für das Festhalten des Zählerstands in jedem Zeitpunkt und einem Komparator (4) zur Erkennung vorbestimmter Positionswerte in einem Messvorgang, zum Vermeiden des Überlaufs des Zählers bei grösseren Verfahrenswegen und hoher Auflösung einen Impulsspeicher (5) und eine Synchronisationsschaltung (6), die ermöglichen, den Zähler (3) in einem beliebigen Zeitpunkt zu löschen, ohne dass ein Impuls verloren geht. Das ermöglicht, in dem Wegerfassungssystem ein übliches 8- oder 16-Bit-Mikroprozessorsystem (1) und Schaltungsbausteine desselben Bitformats zu verwenden, wodurch die bei grösseren Verfahrenswegen und hoher Auflösung sonst unumgängliche Verwendung des wesentlich mehr hardwaremässigen Platz- und Schaltungsaufwand erfordernden 32-Bit-Formats vermieden wird.



PATENTANSPRÜCHE

1. Wegerfassungsanordnung eines mehrachsigen Messsystems, insbesondere einer Zahnradschleif- oder -prüfmaschine, mit einem Hauptrechner, der vorberechnete Stützpunkte auf einer Führungsachse gespeichert enthält, mit einem Komparator, der jeweils beim Überfahren eines Stützpunktes ein Messauslösesignal zur Erfassung der dann vorhandenen Istposition eines Messschlittens in wenigstens einer anderen Achse liefert, und mit einem Zähler, dessen der Position entsprechender Zählwert im Zeitpunkt des Auftretens des Messauslöseimpulses in einem Zwischenspeicher abgespeichert wird, dadurch gekennzeichnet, dass für den Kanal (I) einer Messsystemachse

– der Ausgang des Zählers (3) über einen Zählerbus (7) mit dem Komparator (4) und dem Zwischenspeicher (2) verbunden ist,

– der Zwischenspeicher (2) mit einem einen Mikroprozessorsystem (1) verbunden ist, das seinerseits mit dem Komparator (4) verbunden ist,

– eine Synchronisationsschaltung (6) vorgesehen ist, die mit Steuerausgängen (ISTR, CSR) des Mikroprozessorsystems (1) verbunden ist und selbst Steuerausgänge (CLR, DL, DR) aufweist, die mit dem Zähler (3), dem Zwischenspeicher (2) bzw. dem Mikroprozessorsystem (1) verbunden sind, um jeweils vor dem Zählerüberlauf den Eingang des Zählers (3) zu blockieren, den Inhalt des den Zählerinhalt enthaltenden Zwischenspeichers (2) in das Mikroprozessorsystem (1) zu übertragen, den Zähler (3) zu löschen und wieder zu aktivieren, bis der Zählwert des Zählers (3) vor dem Erreichen des Stützpunktes nicht mehr den Zählerüberlaufwert erreicht und der Komparator (4), der aus dem Mikroprozessorsystem (1) den innerhalb seiner Bitkapazität liegenden restlichen Stützpunktwert empfangen hat, bei dessen Übereinstimmung mit dem letzten Zählwert das Messauslösesignal (EQ) abgibt, und

– der Ausgang des Komparators (4) mit dem Kanaleingang der anderen Achse(n) verbunden ist.

2. Anordnung nach Anspruch 1, dadurch gekennzeichnet, dass zwischen dem Zähler (3) und dem Eingang der Wegerfassungsanordnung ein Impulsspeicher und -detektor (5) angeordnet ist, der über einen weiteren Steuerausgang (INH) der Synchronisationsschaltung (6) im Löschozeitpunkt des Zählers (3) aktivierbar ist, die über einen Steuerausgang (IMP) des Impulsspeichers und -detektors (5) bei jedem Auftreten eines Messimpulses aktivierbar ist.

3. Anordnung nach Anspruch 1 oder 2 für ein dreiaxsiges Messsystem, dadurch gekennzeichnet, dass der Hauptrechner (H) über einen Systembus mit der Wegerfassungsanordnung (I', I'', I''') jedes Kanals verbunden ist, von denen die der vom Hauptrechner als Führungsachse (Y) ausgewählten Achse entsprechende Wegerfassungsanordnung (I'') über ihren Messauslösesignalausgang (EQ) mit den Auftastsignaleingängen (ESTR) der den beiden anderen Achsen (X, Z) entsprechenden Wegerfassungsanordnungen (I', I''') und mit einem Eingang des Hauptrechners (H) verbunden ist.

Die Erfindung betrifft eine Wegerfassungsanordnung der im Oberbegriff des Patentanspruchs 1 angegebenen Art.

Solche Wegerfassungsanordnungen werden verwendet, um beispielsweise auf Zahnradschleif- oder -prüfmaschinen in mehreren Achsen zu messen und zu positionieren. Üblicherweise wird eine Achse (in Fig. 1 die Y-Achse) als Führungsachse gewählt. Für eine bestimmte Messaufgabe wer-

den zuerst Sollpunkte, sogenannte Stützpunkte, in der Führungsachse berechnet. Wenn dann mit einem Messschlitten, an dem bei einer Zahnradprüfmaschine ein Taster befestigt ist, in dieser Achse verfahren wird, so sollen jeweils im Augenblick des Überfahrens der Stützpunkte die Positionen in den anderen Achsen gemessen werden. Beim Durchfahren der Stützpunkte werden die zugehörigen gemessenen Werte in den anderen Achsen erfasst und ebenfalls gespeichert. Aus dem Vergleich der Werte der Stützpunkte mit den gemessenen Werten ergeben sich dann die entsprechenden Abweichungswerte, beispielsweise bezüglich eines theoretischen Evolventenprofils. Der Messzeitpunkt, d.h. der Zeitpunkt, in welchem ein Stützpunkt überquert wird, wird jeweils durch den Komparator ermittelt, der dann mit Hilfe eines Messauslösesignals die Messung in den anderen Achsen auslöst.

Bei solchen Wegerfassungsanordnungen werden inkrementale Massstäbe mit hohen Auflösungen benutzt, wie beispielsweise 1 Impuls pro μm . Wenn der Rechner und der Zähler im 16-Bit-Format organisiert sind, so kann eine Informationsmenge von maximal $2^{16} \approx 64\,000$ Impulse dargestellt werden. Bei einer Auflösung von $1\,\mu\text{m}$ ergibt das aber einen darstellbaren Verfahrensweg von etwa 64 mm, weil sonst der Zähler überlaufen würde. Würde man grössere Verfahrensstrecken verarbeiten, so würde nichts anderes übrig bleiben, als den Zähler so gross zu wählen, wie es dem maximalen Verfahrensweg entspricht. Bei Verfahrenswegen in der Grössenordnung von 2 bis 3 m wäre das nicht mehr zu akzeptablen Kosten realisierbar. Darüber hinaus werden heute immer höhere Auflösungen verlangt, die in Verbindung mit längeren Verfahrenswegen die Probleme noch vergrössern. Bei Zahnradschleif- und -prüfmaschinen wird heute beispielsweise mit Auflösungen von 0,5 und $0,1\,\mu\text{m}$ gearbeitet, wodurch sich der darstellbare Verfahrensweg noch weiter reduziert. Bei dem vorgenannten Beispiel kann bei Erhöhung der Auflösung von $1\,\mu\text{m}$ auf $0,5\,\mu\text{m}$ nur noch ein Verfahrensweg von 32 mm dargestellt werden. Aus diesem Grund besteht der Zwang, bei der Hardware auf ein sehr grosses Bitformat zu gehen, beispielsweise auf 32 Bit, mit dem dann einige Meter Verfahrensweg ohne weiteres dargestellt werden können, weil 2^{32} Impulse verarbeitet werden können. Eine Hardware-Lösung im 32 Bit-Format bestehend aus Zähler, Komparator und Zwischenspeicher (Latch), würde in bezug auf Genauigkeit und Verzögerungszeit kaum Probleme bereiten. Hingegen würde der Aufwand in bezug auf Platz und Bauelemente zu gross werden. Wesentlich vorteilhafter wäre deshalb, eine Möglichkeit zu schaffen, mit der die heute üblichen Mikroprozessoren, die gewöhnlich im 8- oder 16-Bit-Format organisiert sind, einen Teil der Aufgabe übernehmen könnten.

Ferner ist es heute üblich, die Positionsfehlerberechnung durch einen Rechner auszuführen. Dabei werden Rechner und Wegerfassungsanordnung auf verschiedenen Karten untergebracht, die dann durch entsprechende Busse untereinander verbunden werden. Das ist nachteilig, weil jeder zusätzliche Bus einen besonderen Aufwand mit sich bringt (bezüglich der Bustreiber, der Bussicherheit, usw.). Es wäre deshalb hinsichtlich des Platzbedarfes und des Schaltungsaufwands wesentlich vorteilhafter, wenn die gesamte Anordnung für einen Kanal auf einer Karte untergebracht werden könnte. Durch den autonomen Aufbau würde auch eine entsprechende Steigerung der Verarbeitungsgeschwindigkeit ermöglicht, weil eine Reduktion der Datenmenge für den gemeinsamen Bus erreicht wird und die Synchronisationsaufgabe minimal wird.

Schliesslich ergibt sich beim Erkennen von Stützpunktwerten bei solchen Wegerfassungsanordnungen ein weiteres Problem dadurch, dass bei sehr hohen Auflösungen das Auftreten von irgendwelchen Zeitverzögerungen unbedingt ver-

mieden werden muss, damit kein Impuls verloren geht, da das zu Messfehlern führen würde. Die hohe Auflösung führt in Verbindung mit einer hohen Verfahrensgeschwindigkeit zu Eingangsfrequenzen an der Wegerfassungsanordnung im MHz-Bereich. Für derart hohe Impulsfrequenzen gibt es bislang keinen herkömmlichen Mikroprozessorrechner, der schnell genug wäre, um den oben erwähnten Vergleich zwischen den Stützpunktwerten und den Messwerten auszuführen, ohne dass bei dem Vergleich Fehler auftreten. Aus diesem Grund kann bislang ein Mikroprozessorrechner auch lediglich als Speicher und nicht als Komparator benutzt werden. Nur eine Erhöhung der Verarbeitungsgeschwindigkeit in dem Mikroprozessorsystem könnte daher dieses Problem beheben.

Aufgabe der Erfindung ist es, eine Wegerfassungsanordnung der eingangs genannten Art so auszubilden, dass sie auch bei höchster Messwertauflösung kompakter aufgebaut ist, autonom arbeitet und den Möglichkeiten der üblichen Mikroprozessortechnik angepasst ist.

Diese Aufgabe wird durch die im Kennzeichen des Patentanspruchs 1 angegebenen Merkmale gelöst.

Diese Lösung basiert auf dem Gedanken, den Hardwareaufwand für ein durch hohe Auflösung und grosse Verfahrenswege sonst erforderliches 32-Bit-Wegerfassungssystem durch Verwendung eines üblichen Mikroprozessorsystems zu vermeiden, ohne dass Eigenschaften, wie eine hohe Impulzfrequenz und eine genaue Wegerfassung, verloren gehen. Ermöglicht wird das durch die Erkenntnis, dass bei einem solchen Wegerfassungssystem die zeitkritischen Vorgänge vorwiegend im Bereich der niederwertigen Bits auftreten und deshalb die Aufgaben der höherwertigen Bits durch ein Mikroprozessorsystem übernommen werden können. Die den niederwertigen Bits entsprechenden schnellen Vorgänge werden durch eine erfindungsgemäss ausgebildete Vorstufe aus dem Zähler, dem Komparator und dem Zwischenspeicher, ergänzt durch die Synchronisationsschaltung, erfasst. Ein dem Bit-Format der Komponenten der Wegerfassungsanordnung entsprechendes Bit-Fenster wird durch das Mikroprozessorsystem so über den Gesamtbereich verschoben, dass jeweils in dem Bit-Fenster vor dem Erreichen eines Stützpunktes, in welchem eine Messung ausgelöst wird, die Zählkapazität des Zählers nicht überschritten wird. Ermöglicht wird das gemäss der Erfindung dadurch, dass der Zählerstand des Zählers während der Bewegung in der Führungsschse in dem Zwischenspeicher abgespeichert und anschliessend der Zähler gelöscht wird, ohne dass ein Messimpuls verloren geht. Der effektive Positionswert setzt sich dann immer aus einem nachgeführten Speicherwert und dem jeweils zuletzt noch vor dem Erreichen des Stützpunktes in dem Zähler vorhandenen Zählwert zusammen. Das Überlaufen des Zählers wird vermieden, weil dieser in einem beliebigen Zeitpunkt vor dem Erreichen seines Überlaufzählwertes immer wieder gelöscht wird, ohne dass ein Impuls verloren geht. Ermöglicht wird das durch den Zwischenspeicher und die Synchronisationsschaltung, die die zeitkritischen Abläufe in der Vorstufe steuert.

Zur besseren Verdeutlichung des Vorteils, dass ein übliches Mikroprozessorsystem in der Wegerfassungsanordnung nach der Erfindung benutzt werden kann, sei ein solches mit 16-Bit-Format angenommen. Weiter sei angenommen, dass in einem Stützpunkt zu messen ist, dessen Wert 158 000 Impulsen entspricht und der in dem Mikroprozessorsystem gespeichert ist. Der Zähler empfängt über den Impulseingang der Anordnung Messimpulse und zählt diese. Vor dem Überlaufpunkt, der bei einem 16-Bit-Zähler bei 64 000 Impulsen liegen kann, wird der Zähler durch das Mikroprozessorsystem über die Synchronisationsschaltung gestoppt und anschliessend gelöscht. Der Inhalt des Zwischenspeichers,

der diesen Zählwert ebenfalls enthält, wird in das Mikroprozessorsystem übernommen. Da die Differenz zwischen 64 000 und 158 000 noch grösser ist, als es der maximalen Kapazität eines 16-Bit-Komparators entspricht, wird der Komparator noch nicht aktiviert. Vielmehr wird der Zähler wieder aktiviert, dieser zählt 64 000 Impulse und übergibt sie an das Mikroprozessorsystem, das nun 128 000 Impulse enthält. Das Mikroprozessorsystem, das auch den Stützpunkt gespeichert hat, gibt nun die restliche Differenz von 30 000 Impulsen an den Komparator ab und veranlasst diesen, von nun an den Zählerstand des Zählers zu überprüfen. Sobald der Zählerstand des Zählers 30 000 Impulse erreicht, gibt der Komparator das Messauslösesignal ab, mit dem in anderen Kanälen der Messvorgang ausgelöst wird. Die Wegerfassungsanordnung arbeitet in diesem Fall mit einem 16-Bit-Fenster, das so lange über den Verfahrensweg verschoben wird, bis ein Zählerstand auftreten wird, der im Bereich der Kapazität des Hardware-Zählers und des Hardware-Komparators liegt.

Die Wegerfassungsanordnung benötigt aufgrund der Verwendung des über den Verfahrensbereich verschiebbaren Bit-Fensters so wenig Platz, dass sie als kompakte Einheit (inkl. Mikroprozessorsystem) pro Messkanal auf einer einzigen Karte untergebracht werden kann. Die Wegerfassungsanordnung nach der Erfindung ist darüber hinaus autonom, weil sie sämtliche Funktionseinheiten auf derselben Karte enthält und somit die Verarbeitungsgeschwindigkeit mindernde Busverbindungen mit auf anderen Karten untergebrachten Funktionseinheiten desselben Messkanals entfallen.

Bei Anwendungen der Wegerfassungsanordnung nach der Erfindung, bei denen nur bestimmte Stützpunktwerte erkannt werden müssen, berechnet das Mikroprozessorsystem die Differenz zwischen dem jeweiligen Positionswert und dem Zählwert, und, wenn die Differenz im Bereich der Kapazität der Vorstufe (z. B. 8 oder 16 Bit) liegt, wird die Differenz in den Komparator geladen. Bei äquidistanten Messpunkten (die im Bereich des Komparators liegen) muss der Komparator nur einmal geladen werden, da der Zähler bei jedem Messpunkt wieder gelöscht wird.

In der Ausgestaltung der Erfindung nach Anspruch 2 kann der Zähler in einem beliebigen Zeitpunkt gelöscht werden, ohne dass ein Impuls verloren geht. Dafür ist dem Zähler der Impulsspeicher und -detektor vorgeschaltet, der im Löschozeitpunkt des Zählers durch ein Blockiersignal aus der Synchronisationsschaltung aktiviert wird, das ausserdem die Eingänge des Zählers unterbricht. Durch ein Löschozeitpunkt aus der Synchronisationsschaltung wird dann der Zähler gelöscht. Der Impulsspeicher und -detektor wird nur aktiviert, wenn der Zähler gelöscht werden soll, während sonst Impulse einfach durch ihn hindurchlaufen. Wenn ein Messimpuls während der Aktivierungszeit des Impulsspeichers und -detektors auftritt, so gibt dieser ein Impuls-erkannt-Signal an die Synchronisationsschaltung ab, die ihn in einem Ereignisspeicher vorübergehend speichert und dann über eine Datenladen-Verbindung den Zwischenspeicher veranlasst, den erkannten Impuls, der auch im Zähler vorhanden ist, zu übernehmen, allerdings erst dann, wenn der zuvor im Zwischenspeicher vorhandene Wert vom Mikroprozessorsystem übernommen worden ist. Alle Impulsereignisse, die in der Löschozeitphase eintreten, werden auf diese Weise von dem Zähler registriert.

In der Ausgestaltung der Erfindung nach Anspruch 3 steuert bei einem dreiachsigen Messsystem die der als Führungsschse gewählten Achse entsprechende Wegerfassungsanordnung die beiden anderen, den gleichen Aufbau aufweisenden Wegerfassungsanordnungen. Dieser einfache Aufbau

der Steuerung lässt sich entsprechend auf eine beliebige Anzahl von Messsystemachsen erweitern.

Ein Ausführungsbeispiel der Erfindung wird im folgenden unter Bezugnahme auf die Zeichnungen näher beschrieben. Es zeigt

Fig. 1 ein dreiaxsiges Messsystem, in welchem jeder Kanal für eine Achse aus einer Wegerfassungsanordnung nach der Erfindung besteht,

Fig. 2 ein Blockschaltbild der Wegerfassungsanordnung nach der Erfindung,

Fig. 3 ein Blockschaltbild eines Impulsspeichers und -detektors,

Fig. 4 ein Blockschaltbild einer Synchronisationsschaltung und

Fig. 5 ein Impulsdiagramm zur Erläuterung der Arbeitsweise des Impulsspeichers und -detektors.

Fig. 1 zeigt ein Blockschaltbild eines dreiaxigen Messsystems, beispielsweise einer Zahnradschleif- oder -prüfmaschine, in welchem jeder Kanal für eine Achse aus einer Wegerfassungsanordnung der im folgenden näher beschriebenen Art besteht. Ein Hauptrechner H ist über einen Systembus mit den Wegerfassungsanordnungen I', I'' I''', der Kanäle für die X-, die Y- bzw. die Z-Achse verbunden. Jede der drei Wegerfassungsanordnungen hat einen Messauslösesignalausgang und einen Eingang für ein von aussen kommendes Auftastsignal. In dem in Fig. 1 dargestellten Beispiel hat der Hauptrechner H, wie eingangs bereits kurz dargelegt, die Y-Achse als Führungssachse gewählt. Er enthält deshalb für eine bestimmte Messaufgabe mehrere Stützpunkte S₁, S₂, S₃ in der Y-Achse (wie in Fig. 1 symbolisch dargestellt). Als Führungssachse wird die Achse gewählt, auf der die Stützpunkte weit auseinander liegen, d.h. bei der am ehesten mit einem Überlauf des Zählers zu rechnen ist. Die dieser Achse entsprechende Wegerfassungsanordnung I'' führt dann die ihr nachgeordneten beiden anderen Wegerfassungsanordnungen I', I'''. Der Messauslösesignalausgang EQ (equal) der Wegerfassungsanordnung I'' ist mit einem Eingang des Hauptrechners und mit einem Eingang für ein von aussen kommendes Auftastsignal ESTR (extern strobe) jeder anderen Wegerfassungsanordnung I', I''' verbunden. Der erste Stützpunkt S₁ wird vom Hauptrechner H in die Wegerfassungsanordnung I'' eingegeben (wie in Fig. 1 symbolisch dargestellt), und der Messvorgang kann beginnen. Beim Verfahren eines Messschlittens (nicht dargestellt, in der Führungssachse wird dann beim Überfahren des Stützpunkts S₁ von der Wegerfassungsanordnung I'' des Kanals für die Y-Achse (Führungssachse) ein Messauslösesignal EQ an die beiden übrigen Wegerfassungsanordnungen I', I''' abgegeben, um in diesen den Messvorgang für die X- bzw. Z-Achse auszulösen, und gleichzeitig wird durch dieses Signal dem Hauptrechner H gemeldet, dass der erste Stützpunkt abgearbeitet ist. Der Hauptrechner gibt dann den nächsten Stützpunkt S₂ in die Wegerfassungsanordnung I'' ein, und der Messvorgang wird wie zuvor ausgeführt. Für die Wegerfassungsanordnungen I' und I''' bildet das Messauslösesignal EQ das externe, d.h. von aussen kommende Auftastsignal ESTR, mit welchem deren im folgenden noch ausführlich beschriebene Synchronisationsschaltung angesteuert wird.

In Fig. 2 ist die Wegerfassungsanordnung insgesamt mit I bezeichnet und, lediglich beispielshalber, auf 16 Bit organisiert dargestellt. Die Anordnung I empfängt über mit den Signalen AUF bzw. AB bezeichnete Eingangsklemmen als Eingangssignale Messimpulse aus einem nicht dargestellten Messsystem. Wenn dessen Messschlitten in der Führungssachse in einer Richtung verfahren wird, werden durch einen inkrementalen Massstab des Messsystems in einer Achsenrichtung AUF-Messimpulse und in der anderen Achsenrichtung AB-Messimpulse geliefert, d.h. die Wegerfassungs-

anordnung I wird mit vorzeichenrichtigen Messimpulsen versorgt. Die beiden Eingänge sind mit einem Impulsspeicher und -detektor 5 (im folgenden der Einfachheit halber als Impulsspeicher bezeichnet) verbunden, dessen Ausgänge AUF und AB mit den Eingängen eines 16-Bit-Vor-/Rückwärtszählers 3 verbunden sind. Der Zähler 3 ist über einen Zählerbus 7 mit einem 16-Bit-Komparator 4 und einem Zwischenspeicher 2 verbunden. Der Zwischenspeicher 2 ist über einen Mikroprozessorbus 8 mit einem 16-Bit-Mikroprozessorsystem 1 verbunden. Das Mikroprozessorsystem 1 kann über den Mikroprozessorbuss 8 mit dem Komparator 4 in Verbindung treten, weshalb der in das Mikroprozessorsystem 1 hineinführende Teil des Mikroprozessorbusses als bidirektionaler Bus dargestellt ist.

Die Wegerfassungsanordnung I enthält darüber hinaus verschiedene Steuerverbindungen, deren Funktion im folgenden im Zusammenhang mit der Beschreibung der Arbeitsweise der Wegerfassungsanordnung angegeben ist.

Die Mess- oder Wegimpulse, die im Falle einer Zahnradschleif- oder -prüfmaschine von einem Positionsmesstaster geliefert werden, werden vorzeichenrichtig in den Impulsspeicher 5, d.h. in dessen einen oder anderen Eingang eingegeben. Solange der Zähler 3 nur zählt, durchlaufen die Messimpulse den Impulsspeicher 5, als ob dieser nicht vorhanden wäre. Erst wenn der Zähler 3 gelöscht wird, wird der Impulsspeicher 5 aktiviert, was weiter unten ausführlich beschrieben ist. Die durch den Impulsspeicher 5 hindurchgehenden Impulse werden in dem Zähler 3 gezählt. Das jeweilige Zählergebnis wird in dem Zwischenspeicher 2 fortwährend gespeichert und gleichzeitig in dem Komparator 4 mit Stützpunkten verglichen, die vor dem Beginn des Messvorganges in dem Mikroprozessorsystem 1 gespeichert worden sind. Das Mikroprozessorsystem 1 liefert den dem ersten Stützpunkt entsprechenden Sollwert an den Komparator 4, der ihn mit dem in der Führungssachse gemessenen Istwert vergleicht, welcher über die Eingänge AUF oder AB in die Wegerfassungsanordnung eingegeben wird. Wenn Soll- und Istwert übereinstimmen, d.h., wenn in der Führungssachse der Stützpunkt durch den den Taster tragenden Messschlitten überfahren wird, gibt der Komparator 4 ein Messauslösesignal EQ ab, das in den Kanälen I' und I''' (Fig. 1) als externes Auftastsignal ESTR die Messung in der X- bzw. Z-Achse auslöst, d.h. in dem betreffenden Kanal die dort ebenfalls vorhandene Synchronisationsschaltung ansteuert, die ihrerseits den Zwischenspeicher ansteuert, damit dessen Speicherinhalt in das Mikroprozessorsystem übernommen wird. Dieser Speicherinhalt ist dann der gesuchte Messwert, der in der Führungssachse dem Stützpunkt S₁ (Fig. 1) entspricht. In dem vorliegenden Fall würde die Wegerfassungsanordnung auf die beschriebene Weise richtig arbeiten, vorausgesetzt, dass die Auflösung und der Verfahrensweg klein genug sind, damit die Zählerkapazität von ca. 64 000 nicht überschritten wird. Um das auszuschliessen, ist gemäss der Erfindung die Vorstufe, die im wesentlichen aus dem Vor-/Rückwärtszähler 3, dem Zwischenspeicher 2 und dem Komparator 4 besteht, so ausgelegt, dass der Zähler am Überlaufen gehindert wird, wenn die Impulszahl 64 000 übersteigt. Zu diesem Zweck sind in der Vorstufe weiter der Impulsspeicher 5 und die Synchronisationsschaltung 6 enthalten, die gestatten, den Zähler jeweils vor dem Überlauf zu löschen, ohne dass Impulse verloren gehen.

Der Zählerinhalt des Zählers 3 wird, wie oben angegeben, ständig in dem Zwischenspeicher 2 gespeichert, so dass dieser immer eine genaue Abbildung von dem enthält, was in dem Zähler 3 enthalten ist. Alle über den Impulsspeicher 5 in den Zähler 3 gelangenden Messimpulse werden von diesem gleichzeitig an den Zwischenspeicher 2 abgegeben, damit in diesem immer der aktuelle Inhalt des Zählers 3 enthalten ist.

Wenn sich der Zählerinhalt dem Überlaufzählwert nähert, gibt das Mikroprozessorsystem 1 ein internes Auftastsignal ISTR (intern strobe) an die Synchronisationsschaltung 6 ab. In diesem Augenblick muss der Zählerinhalt, der sich in dem Zwischenspeicher 2 befindet, in das Mikroprozessorsystem übernommen werden. Zu diesem Zweck wird durch die Synchronisationsschaltung 6 zuerst der Impulsspeicher 5 aktiviert, indem an diesen ein Blockiersignal INH (inhibit) abgegeben wird, und dann der Zwischenspeicher 2 mittels des Signals DL blockiert und schliesslich mittels des Löschsinal CLR (clear) der Zähler 3 gelöscht und der Inhalt des Zwischenspeichers 2 blockiert. Bei der Abgabe des Signals DL an den Zwischenspeicher 2 wird nach einer gewissen Verzögerung ein Daten-bereit-Signal DR (date ready) von der Synchronisationsschaltung 6 an das Mikroprozessorsystem 1 abgegeben, um dieses darüber zu informieren, dass es die bereitstehenden Daten aus dem Zwischenspeicher 2 übernehmen kann. Ein Lesesignal CSR (chip select read) wird an die Synchronisationsschaltung 6 abgegeben, damit diese wieder auf ihren Ausgangszustand zurückgesetzt wird und der Vorgang von vorn beginnen kann.

Zum besseren Verständnis der Arbeitsweise der Anordnung I wird das eingangs erwähnte Beispiel hier noch etwas ausführlicher beschrieben. In dem Beispiel wurde angenommen, dass in dem Mikroprozessorsystem 1 für den ersten Stützpunkt S_1 eine Impulszahl von 158 000 gespeichert wurde. Vor dem ersten Überlauf des Zählers 3 und beim ersten Übernehmen des Zwischenspeicherinhalts stellt das Mikroprozessorsystem fest, dass 64 000 Impulse gezählt worden sind. Da die Differenz zwischen 64 000 und 158 000 Impulsen noch grösser ist als die Bitkapazität des Komparators 4 von 64 000 Bit, wird der Zählwert von 64 000 in dem Mikroprozessorsystem 1 gespeichert, aber nicht an den Komparator 4 übergeben. Beim nächsten Erreichen des Überlaufs, d.h. wenn wieder aus dem Zwischenspeicher 64 000 Impulse in das Mikroprozessorsystem 1 übernommen werden, erfolgt in diesem die Addition zu den vorhergehenden 64 000 Impulsen, was 128 000 Impulse ergibt. Das Mikroprozessorsystem 1 stellt nun fest, dass die Differenz zu 158 000 nur noch 30 000 Impulse beträgt. Diese Differenz liegt aber im Kapazitätsbereich des 16-Bit-Komparators 4. Das Mikroprozessorsystem 1 gibt deshalb ein Schreibsignal CSW (chip select write) an den Komparator 4 ab, das diesen veranlasst, aus dem Rechner des Mikroprozessorsystems 1 den Wert von 30 000 Impulsen zu übernehmen. Wenn nun der Zähler 3 im Laufe des Zählvorganges diese Impulszahl von 30 000 erreicht, dann wird diese Tatsache durch den Komparator 4 erkannt, der daraufhin das Messauslösesignal EQ abgibt. Das Signal EQ bewirkt, dass in einer anderen Achse gemessen wird, wie oben angegeben. Das Signal EQ wird ausserdem an das Mikroprozessorsystem 1 abgegeben, um diesem anzuzeigen, dass der erste gespeicherte Stützpunkt S_1 abgearbeitet ist und nunmehr der zweite Stützpunkt S_2 aus dem Hauptrechner H übernommen und bearbeitet werden kann.

Als zusätzliche Möglichkeit ist vorgesehen, in die Synchronisationsschaltung 6 ein externes Auftastsignal ESTR (extern strobe) einzugeben, das einen festen Takt hat. Damit ist dann im Zwischenspeicher 2 jeweils ein zur Geschwindigkeit des Tasters proportionaler Wert enthalten, weil bei jedem Taktimpulsbeginn der Zähler immer bei null zu zählen beginnt. Es braucht dann lediglich nach jedem Taktimpuls wieder die Position in dem Rechner (nicht dargestellt) des Mikroprozessorsystems 1 berechnet zu werden. In dem Augenblick, in welchem der Zähler 3 gelöscht wird, muss sichergestellt sein, dass von den AUF- oder AB-Messimpulsen keiner verloren geht. Deshalb wird im Löszeitpunkt der Impulsspeicher 5 durch das Signal INH aktiviert. Das Löschen des Zählers 3 erfolgt sehr schnell und spielt sich in ei-

ner Zeit ab, die etwa gleich der Länge der Periode der Messimpulse ist, die durch den Impulsspeicher 5 hindurchgehen. Der Impulsspeicher 5 gibt ein Impuls-erkannt-Signal IMP an die Synchronisationsschaltung 6 ab, wenn während der Aktivierungszeit des Impulsspeichers ein Impuls aufgetreten ist. Zum besseren Verständnis der Aufgabe und Arbeitsweise des Impulsspeichers wird nun auf Fig. 3 Bezug genommen.

Der Impulsspeicher 5 enthält (in spiegelbildlich gleicher Anordnung für die Auf- bzw. Ab-Messimpulse, weshalb nur die obere Hälfte der in Fig. 3 dargestellten Schaltung beschrieben wird) in Reihe eine UND-Schaltung 30, ein Flipflop 31, eine NOR-Schaltung 32 und eine beiden Impulsspeicherhälften gemeinsame NAND-Schaltung 33. Die Eingangsleitung AUF ist mit einem Eingang der UND-Schaltung 30 verbunden, an deren weiteren Eingang das Blockiersignal INH angelegt wird. Der Ausgang der UND-Schaltung 30 ist mit dem Takteingang CLK des Flipflops 31 verbunden, dessen Q-Ausgang mit einem Eingang der NOR-Schaltung 32 verbunden ist, deren weiterer Eingang mit der Eingangsleitung AUF direkt verbunden ist. Der Ausgang der NOR-Schaltung ist mit der Impulsspeicherausgangsleitung AUF und mit einem Eingang der NAND-Schaltung 33 verbunden, die an ihrem Ausgang das Impuls-erkannt-Signal IMP liefert. Wenn der Impulsspeicher 5 aktiviert werden soll, nimmt das Blockiersignal INH das Signalwert 1 an (Fig. 5a). Wenn etwas später ein Messimpuls AUF erscheint (Fig. 5b), so geht an dessen ansteigender Flanke das Ausgangssignal AUF auf den Signalwert 0, auf dem es bis zum Ende des Blockiersignals INH bleibt, weil das Flipflop 31 an der abfallenden Flanke des Ausgangssignals der NOR-Schaltung 32 kippt. Aus diesem Grund bleibt am Ausgang der NOR-Schaltung 32 der Signalzustand erhalten, bis am Ende des Blockiersignals INH das Flipflop 31 zurückkippt. Sobald aber das Signal AUS am Ausgang der NOR-Schaltung auf den Wert 0 geht, geht das Ausgangssignal IMP der NAND-Schaltung 33 auf den Wert 1 (Fig. 5d). Auf diese Weise ist der angekommene Impuls erkannt worden.

In Fig. 4 ist die Synchronisationsschaltung 6 ausführlicher dargestellt. Sie enthält als Impulsereignisspeicher ein Flipflop 40, an dessen Eingang das Impuls-erkannt-Signal IMP angelegt wird. Der Ausgang AUS des Flipflops 40 ist mit einem Eingang einer UND-Schaltung 41 verbunden, deren Ausgang direkt das Daten-laden-Signal DL liefert, über einen Inverter 42 das Daten-bereit-Signal DR liefert und ausserdem mit dem Löscheinang CLR des Flipflops 40 verbunden ist. Über weitere Eingänge empfängt die Synchronisationsschaltung 6 die Auftastsignale ISTR und ESTR, die in eine ODER-Schaltung 43 eingegeben werden, deren Ausgang mit einem Eingang einer UND-Schaltung 44 verbunden ist. Der weitere Eingang der UND-Schaltung 44 ist mit dem komplementären Ausgang AUS des Flipflops 40 verbunden, während ihr Ausgang mit dem Eingang eines als Speicher dienenden Flipflops 45 verbunden ist. Der komplementäre Ausgang AUS des Flipflops 45 ist mit dem weiteren Eingang der UND-Schaltung 41 verbunden. Der Ausgang AUS des Flipflops 45 ist mit dem Eingang einer Impulsfolgesteuerschaltung 46 verbunden, die an ihren Ausgängen das Löschsinal CLR bzw. das Blockiersignal INH liefert. Der Löscheinang CLR des Flipflops 45 empfängt über noch einen weiteren Eingang der Synchronisationsschaltung 6 das Lesesignal CSR. Der in dem Impulsspeicher 5 erkannte Impuls wird, wie oben erwähnt, über den Eingang IMP der Synchronisationsschaltung 6 gemeldet. Danach sollen die Daten übernommen werden. Bedingung ist, dass, wenn kein Auftastsignal ESTR gekommen ist, zuerst die Daten aus dem Zwischenspeicher 2 ausgelesen werden müssen, bevor der Zählvorgang fortgesetzt werden kann. Der Zähler wird über die UND-Schaltung 41 und das Signal DL blockiert.

Wenn kein Auftastsignal vorhanden gewesen ist, geht das Impuls-erkannt-Signal IMP unbehindert über den Ausgang DL zu dem Zwischenspeicher 2, der Zählerstand wird geladen und gleichzeitig wird über den Ausgang DR angegeben, dass Daten wieder bereit sind. Die Auftastsignale ISTR und ESTR werden über die ODER-Schaltung 43 geleitet. Damit keine Messfehler gemacht werden, muss in dem Augenblick, in welchem ein Auftastsignal gegeben wird, gewährleistet sein, dass nicht gerade ein Messimpuls ankommt. Diese Entscheidung trifft die UND-Schaltung 44. Wenn ein Messimpuls kommt, wird das Flipflop 40 gesetzt. In diesem Fall geht der Signalwert an dem Ausgang AUS auf 0 und sperrt den weiteren Eingang der UND-Schaltung 44, so dass diese kein Signal durchlassen kann. Wenn kein Impulsereignis eingetreten ist, wird das Flipflop 45 gesetzt, das im gesetzten Zustand über seinen Ausgang AUS das Daten-laden-Signal

DL sperrt. Die Impulsfolgesteuerschaltung 46 erzeugt stets erst das Signal INH und dann das Signal CLR, wodurch eine gewisse Beruhigungszeit eingehalten wird, die vor Impulsverlusten schützt.

Die vorstehend und in den Zeichnungen angegebenen invertierten Signalwerte haben ihren Grund in der Art der gewählten Impulssteuerung (in vorliegendem Fall das Ansprechen auf ansteigende Impulsflanken).

In einem ausgeführten Beispiel der Wegerfassungsanordnung wurden folgende 16-Bit-Schaltungsbausteine verwendet:

Mikroprozessorsystem 1	Intel 8086
Zwischenspeicher 2	AM 2920
Komparator 4	AM 2920, AM Z8121
V/R-Zähler 3	25 LS 193 (Fabrimex).

20

25

30

35

40

45

50

55

60

65

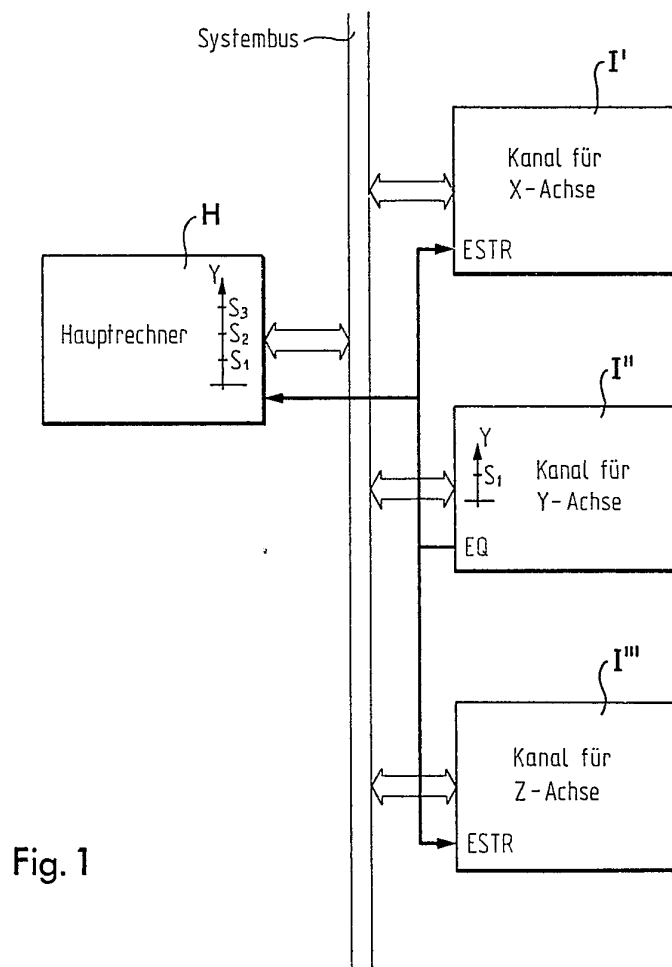


Fig. 1

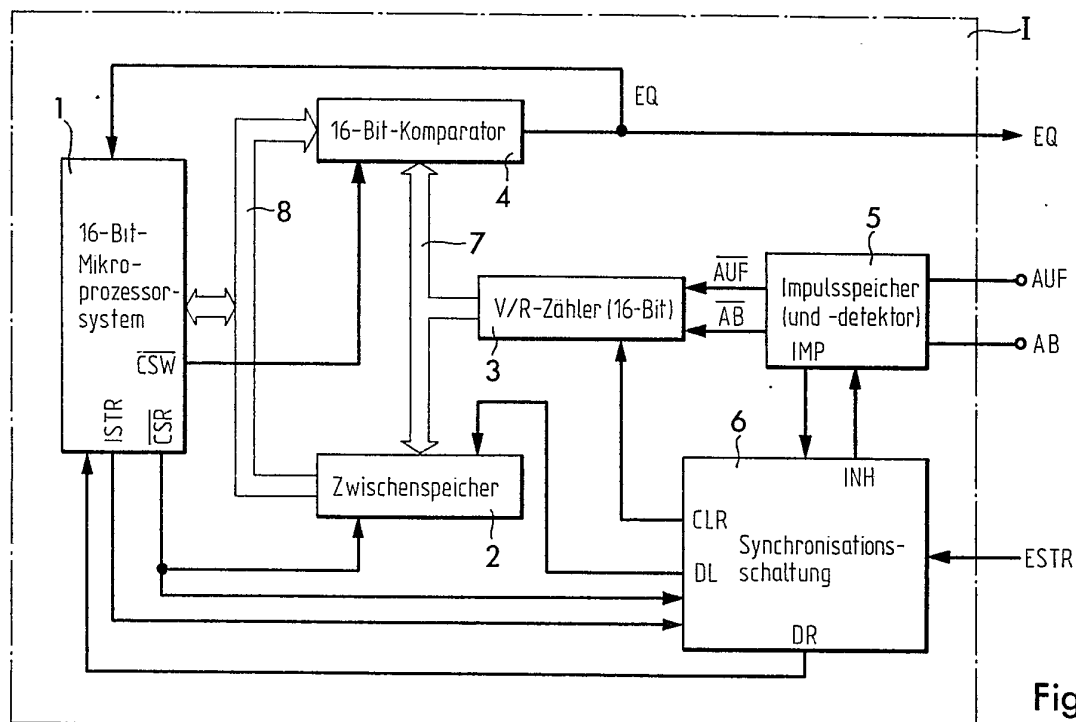


Fig. 2

Fig. 3

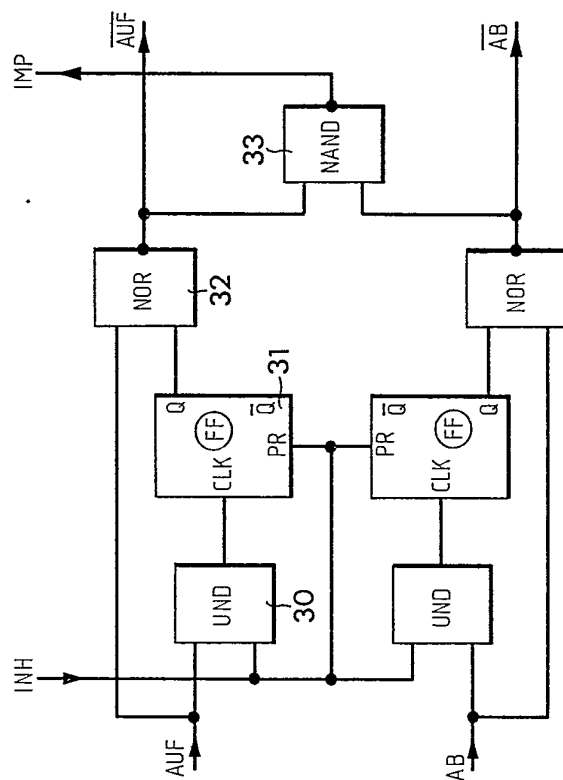


Fig. 4

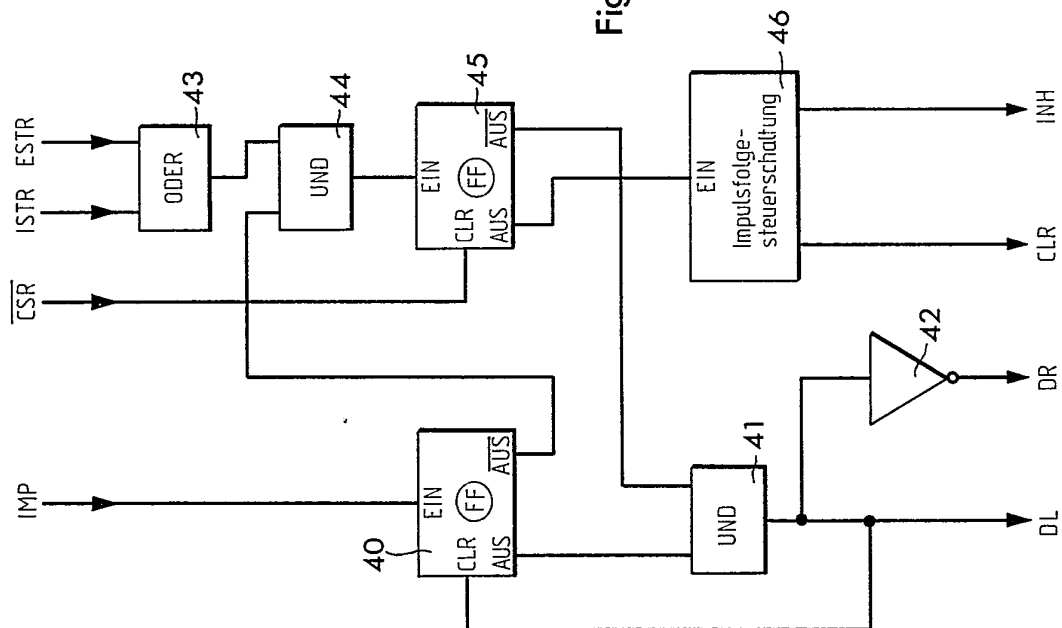


Fig. 5

