

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4228458号
(P4228458)

(45) 発行日 平成21年2月25日(2009.2.25)

(24) 登録日 平成20年12月12日(2008.12.12)

(51) Int.Cl.	F I
HO 1 L 21/205 (2006.01)	HO 1 L 21/205
C 2 3 C 16/44 (2006.01)	C 2 3 C 16/44 A
HO 1 L 21/28 (2006.01)	HO 1 L 21/28 3 O 1 A
HO 1 L 21/8238 (2006.01)	HO 1 L 27/08 3 2 1 F
HO 1 L 27/092 (2006.01)	HO 1 L 29/78 3 O 1 S

請求項の数 2 (全 11 頁) 最終頁に続く

(21) 出願番号 特願平11-69642
 (22) 出願日 平成11年3月16日(1999.3.16)
 (65) 公開番号 特開2000-269140(P2000-269140A)
 (43) 公開日 平成12年9月29日(2000.9.29)
 審査請求日 平成18年1月12日(2006.1.12)

(73) 特許権者 000002185
 ソニー株式会社
 東京都港区港南1丁目7番1号
 (74) 代理人 100086298
 弁理士 船橋 國則
 (72) 発明者 矢元 久良
 東京都品川区北品川6丁目7番35号 ソ
 ニー株式会社内
 (72) 発明者 山中 英雄
 東京都品川区北品川6丁目7番35号 ソ
 ニー株式会社内
 (72) 発明者 矢木 肇
 東京都品川区北品川6丁目7番35号 ソ
 ニー株式会社内

最終頁に続く

(54) 【発明の名称】 半導体装置の製造方法

(57) 【特許請求の範囲】

【請求項1】

PウェルとNウェルを有するシリコン基板上に、当該基板表面を露出させる開口部を有した第1のマスクを形成する工程と、

前記シリコン基板のPウェル及びNウェル上に、それぞれゲートを形成する工程と、

前記第1のマスクを除去した後、前記Nウェル表面のみを開口する第2のマスクを形成して、Nウェル上のみ不純物を導入したPタイプのシリコンを触媒CVD法によってエピタキシャル成長させることにより、第1のPタイプシリコンエピタキシャル層とそれよりも不純物濃度の高い第2のPタイプシリコンエピタキシャル層とを形成する工程と、

前記第2のマスクを除去した後、前記Pウェル表面のみを開口する第3のマスクを形成して、Pウェル上のみ不純物を導入したNタイプのシリコンを触媒CVD法によってエピタキシャル成長させることにより、第1のNタイプシリコンエピタキシャル層とそれよりも不純物濃度の高い第2のNタイプシリコンエピタキシャル層とを形成する工程と、

熱拡散処理を行なうことにより、前記第1のPタイプシリコンエピタキシャル層下のPウェル内と前記第1のNタイプシリコンエピタキシャル層下のNウェル内に、それぞれソース及びドレインを形成する工程と

を含む半導体装置の製造方法。

【請求項2】

前記触媒CVD法によってシリコンをエピタキシャル成長させてシリコンエピタキシャル層を形成する際に、堆積用原料ガス中にドーピング用の不純物を混入しておくことによ

10

20

り、当該不純物が導入されたシリコンエピタキシャル層を得る

請求項1記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、化学的気相成長方法（CVD法）を用いた半導体層の形成方法に係り、詳しくは触媒体により原料ガスを活性化させて堆積を行う触媒CVD法を用いた半導体層の形成方法と、この形成方法を利用した半導体装置の製造方法に関する。

【0002】

【従来の技術】

一般に、シリコンをエピタキシャル成長させるには、シリコン基板を約700～1200の温度に加熱し、水素雰囲気、100～760 Torrのもとで、シラン、ジクロルシラン、トリクロルシラン、四塩化シリコンなどの原料ガスを反応分解させるのが普通である。

【0003】

このようなエピタキシャル成長によって得られたシリコン層を、例えば半導体素子におけるゲートや配線などとして用いるためには、リソグラフィ技術やエッチング技術によって微細加工を施し、所望の形状にパターンニングする。

【0004】

ところで、半導体製造技術においては、低コスト化や生産性向上の要求がますます強くなってきており、そのプロセスにおいても工程の簡略化やその削減が望まれている。

このような背景から、前述したシリコン層についても、これをエピタキシャル成長させた後パターンニングするのでなく、エピタキシャル成長させる際にこれを選択成長させ、シリコン層のパターンニング工程を無くすことが考えられている。

【0005】

具体的には、シリコンをエピタキシャル成長させる際、シリコン基板上に酸化シリコン等で開口部を有するマスクを形成しておく。そして、原料ガス中に塩化水素ガスを混入させ、熱CVD法等によって気相反応を行わせることにより、前記マスクの開口部内にて露出するシリコン基板表面上にのみ選択的にエピタキシャル成長させ、シリコン酸化膜上へのポリシリコン膜の堆積を防ぐことができる。これは、原料ガス中に混入した塩化水素ガスが活性化してシリコン酸化膜表面をエッチングすることにより、このシリコン酸化膜表面へのシリコンの堆積が抑えられているからであると考えられている。

【0006】

【発明が解決しようとする課題】

しかしながら、前述したような原料ガス中に塩化水素ガスを混入させる方法では、塩化水素が分解して形成される塩素が反応室内を汚染することから処理装置のメンテナンス（クリーニング）に時間がかかるといった不都合が生じる。

【0007】

また、このような塩化水素ガスを混入させる方法では、原料ガスを化学反応させるエネルギー、および生成したシリコンをシリコン基板表面上にエピタキシャル成長（単結晶成長）させるエネルギーが、全て基板ホルダ（サセプタ）に設けられたヒータからシリコン基板を介して熱エネルギーの形で供給されるので、ヒータによるシリコン基板の加熱温度、すなわちエピタキシー温度を約700 から大幅に低下させることができず、これにより基板やこの基板上に形成された構成要素の材料の選択性に大きな制限が加えられるといった不満がある。

【0008】

さらに、シリコン基板の加熱温度を低下させることができないことから、例えば不純物が拡散したポリシリコンが構成要素としてある場合に、このプロセスにおいて前記不純物が再拡散してしまうおそれがある。

【0009】

10

20

30

40

50

本発明は前記事情に鑑みてなされたもので、その目的とするところは、半導体層を選択的に結晶成長させるにあたり、エピタキシャル層を低温で形成することができ、また処理装置のメンテナンスも容易にすることができる半導体層の形成方法と、この形成方法を利用した半導体装置の製造方法を提供することにある。

【0010】

【課題を解決するための手段】

本発明に係る半導体装置の製造方法は、PウェルとNウェルを有するシリコン基板上に、当該基板表面を露出させる開口部を有した第1のマスクを形成する工程と、前記シリコン基板のPウェル及びNウェル上に、それぞれゲートを形成する工程と、前記第1のマスクを除去した後、前記Nウェル表面のみを開口する第2のマスクを形成して、Nウェル上のみ不純物を導入したPタイプのシリコンを触媒CVD法によってエピタキシャル成長させることにより、第1のPタイプシリコンエピタキシャル層とそれよりも不純物濃度の高い第2のPタイプシリコンエピタキシャル層とを形成する工程と、前記第2のマスクを除去した後、前記Pウェル表面のみを開口する第3のマスクを形成して、Pウェル上のみ不純物を導入したNタイプのシリコンを触媒CVD法によってエピタキシャル成長させることにより、第1のNタイプシリコンエピタキシャル層とそれよりも不純物濃度の高い第2のNタイプシリコンエピタキシャル層とを形成する工程と、熱拡散処理を行なうことにより、前記第1のPタイプシリコンエピタキシャル層下のPウェル内と前記第1のNタイプシリコンエピタキシャル層下のNウェル内に、それぞれソース及びドレインを形成する工程とを含むものである。

10

20

【0015】

【発明の実施の形態】

以下、本発明を詳しく説明する。

図1は、本発明における請求項1記載の半導体層の形成方法の一実施形態例を説明するための図である。図1中符号1はシリコン基板であり、このシリコン基板1は、本発明における基層となるものである。

【0016】

このシリコン基板1上に半導体層としてシリコンを選択的にエピタキシャル成長（結晶成長）させるには、まず、図1(a)に示すようにエピタキシャル成長させたいシリコン基板1表面を露出させた開口部2を有するマスク3を形成する。このマスク3については、シリコン基板1上に酸化シリコン、窒化シリコン、酸化窒化シリコンのうちの少なくとも一種からなる膜（図示略）をCVD法等によって形成し、その後公知のリソグラフィ技術、エッチング技術によってパターンングすることによって形成する。

30

【0017】

次に、このようにしてマスク3を形成したシリコン基板1を希フッ酸（1～5%水溶液）で洗浄し、マスク3の開口部2内に露出したシリコン基板1表面の薄い酸化膜（自然酸化膜）を除去する。続いて、純水で洗浄し乾燥する。

【0018】

次いで、図2に示す触媒CVD装置50により、触媒CVD法によって選択的にシリコンを結晶成長させ、図1(b)に示すように前記マスク3の開口部2内にて露出したシリコン基板1表面上にシリコンエピタキシャル層4を形成する。

40

【0019】

ここで、図2に示した触媒CVD装置50についてその概略構成を説明すると、この触媒CVD装置50は、被処理体の処理を行う反応室51と、これに通じる前室52とを備えて構成されたもので、反応室51にはターボ分子ポンプ53、ロータリーポンプ54がこの順に接続され、同様に前室52にもターボ分子ポンプ55、ロータリーポンプ56がこの順に接続されている。

【0020】

反応室51には、後述する反応ガス制御系を介して堆積用原料ガス供給源（図示略）に接続した原料ガス配管57が設けられており、この原料ガス配管57から反応室51内に堆

50

積用原料ガスが供給されるようになっている。また、反応室51内においては、その上部に被処理体となるシリコン基板1をセットするための基板ホルダ(サセプタ)58が設けられており、この基板ホルダ58にはヒータ59、熱電対60が設けられている。

【0021】

このような構成のもとに基板ホルダ58では、ヒータ59によって基板ホルダ58を介して試料を加熱できるようになっており、また熱電対60によって基板ホルダ58の温度を検知してヒータ59による加熱の度合いを制御できるようになっている。なお、前記基板ホルダ58としては、例えばSiCコートグラファイトサセプタが用いられる。

【0022】

この基板ホルダ58の下方にはシャッター61が配設されており、さらにその下方には触媒体62が配設されている。触媒体62は、例えばタングステン細線をコイル状に巻回したフィラメントからなるもので、反応室51の外に配置された電源63に接続され、これから電力が供給されることによって1600~1800程度にまで加熱保持されるようになっている。また、この触媒体62は、前記原料ガス配管58の反応室51内における原料ガス供給口(図示略)の上方に配置されたもので、原料ガス配管58から供給された堆積用原料ガスを加熱してこれを分解、活性化させるようになっている。

10

【0023】

また、原料ガス配管57が接続する反応ガス制御系は、図3に示すようにシラン供給源70と水素供給源71とがそれぞれ配管によって反応室51と排気ポンプ72とに接続されて構成されたもので、各反応ガスが配管中のいずれの経路を採るかは配管中に設けられた調整弁73によって制御されるようになっている。すなわち、水素供給源71からは配管が2系統に分かれており、一方はシラン供給源70からの配管に連結し、他方は独立した系統となって反応室51と排気ポンプ72とに接続されている。

20

【0024】

また、シラン供給源70からの配管も反応室51と排気ポンプ72とに接続されている。ただし、前述したように水素供給源71からの一方の系統の配管が連結していることにより、シラン供給源70からのシランの供給が終了した後、水素供給源71から水素が流されることによって経路内がパージされるようになっている。なお、水素供給源71からの独立した系統、およびシラン供給源70からの系統には、いずれもマスフローコントローラ(MFC)74が設けられており、その流量が所望する量に制御されるようになっている。

30

【0025】

このような構成の触媒CVD装置50および反応ガス制御系により、前述したようにシリコン基板1表面上にシリコンエピタキシャル層4を選択的に形成するには、図1(a)に示した状態の、マスク3を形成したシリコン基板1を、触媒CVD装置50の前室52を経由して基板ホルダ58にセットする。

【0026】

次に、ターボ分子ポンプ55、ロータリーポンプ56を作動させて反応室51内を $1 \sim 2 \times 10^{-6}$ Pa程度にまで減圧し、この状態を約5分保持して特に反応室51内に持ち込まれた水分や酸素を排気する。

40

【0027】

次いで、ヒータ59により基板ホルダ58を介してシリコン基板1を200~600程度、本例では200に加熱保持する。また、反応室51内に前記反応ガス制御系から水素を流し、その流量と反応室51内の圧力とを所定の値に制御する。反応室51内の圧力については0.1~1.5 Pa程度とし、本例では1.0 Paに設定する。

【0028】

次いで、電源63をオンにすることによって触媒体62に通電し、その温度を1600~1800程度に上げる。本例では1800に設定する。そして、この状態で10分間保持する。

【0029】

50

次いで、前記反応ガス制御系からシラン (SiH_4) についてもこれを反応室 51 内に導入する。すなわち、本例では、水素流量を 120 sccm/min とし、 SiH_4 流量を 9 sccm/min (100% シラン) とすることによって原料ガスを反応室 51 内に供給する。

【0030】

このようにして原料ガスを反応室 51 内に供給すると、触媒体 62 によって加熱され活性化された水素原子はシリコン酸化膜をエッチングすることから、マスク 3 の開口部 2 内に臨むシリコン基板 1 表面では、ここに形成された厚さ $1.5 \sim 1.8 \text{ nm}$ 程度の薄い自然酸化膜がエッチング除去される。そして、自然酸化膜が除去されて露出したシリコン基板 1 表面に、シリコンが 60 nm/min 程度の成膜速度でエピタキシャル成長する。本例では、原料ガスを 20 分間反応室 51 内に導入してエピタキシャル成長させることにより、厚さ $1.2 \mu\text{m}$ のシリコンエピタキシャル層 4 を形成した。

10

【0031】

また、マスク 3 上においては、触媒体 62 によって活性化された水素原子が該マスク 3 の表面をエッチングすることから、ある時間内ではこの表面にシリコンが堆積することがなく、したがって前記シリコンエピタキシャル層 4 はシリコン基板 1 表面上に選択的に形成されたものとなる。なお、高温形成したシリコン酸化膜の、触媒 CVD 法によるエッチング速度を調べたところ、 200 において $1.5 \sim 2.0$ [$\text{nm}/20 \text{ 分}$] 程度であることが確認された。

【0032】

ここで、前述の、「マスク 3 上においては、ある時間内ではこの表面にシリコンが堆積することがない」とした意味は、反応室 51 内にある異物や原料ガス中の異物、また反応生成物であるシリコンなどがマスク 3 表面に付着すると、これを核にしてマスク 3 表面にシリコンが成長することがあるからであり、「このような核となる異物等のマスク 3 表面への付着が起こる時間内においては、該マスク 3 表面にシリコンが堆積することがない」との意味である。

20

なお、具体的に核となる異物等のマスク 3 表面への付着が起こる時間については、処理条件等によって異なるものの、本例の条件では、20 分間の処理を行ってもマスク 3 表面へのシリコンの堆積が見られず、したがって 20 分以上であると推測される。

【0033】

このようにしてシリコンを選択的にエピタキシャル成長させたら、前記反応ガス制御系によって SiH_4 ガスの流量をゼロにし、水素ガスのみを流し続ける。そして、この状態を 5 分間続けたら、触媒体 62 への電力供給を停止してその温度を下げる。次いで、水素ガスの流量もゼロにし、さらに反応室 51 内を $1 \sim 2 \times 10^{-6} \text{ Pa}$ 程度にまで減圧し、この状態を約 5 分保持して特にチャンパー内に導入した SiH_4 を排気する。その後、シリコン基板 1 を前室 52 を経由して大気圧の外部に取り出す。

30

【0034】

なお、前記例ではエピタキシャル層としてシリコン層を形成したが、例えば (Si-Ge) エピタキシャル層についても同様に選択的に形成することができ、その場合に、ゲルマニウム源としてゲルマン (GeH_4) をシラン (SiH_4)、水素と共に堆積用原料ガスとして供給し、またその含有量を $1 \sim 10 \text{ at}\%$ の範囲とすればよい。

40

また、前記例では堆積用原料ガスとしてシラン (SiH_4) と水素とを用いたが、塩化水素 (HCl) や塩素 (Cl_2)、臭化水素 (HBr) や臭素 (Br_2) を用いることもできる。

【0035】

この半導体層 (シリコンエピタキシャル層 4) の形成方法によれば、触媒体 62 で熱分解して活性化した、高エネルギーを持つ水素原子または水素原子の集団が選択的エッチング作用を有することを利用することにより、マスク 3 上にシリコンを堆積させることなくシリコン基板 1 の表面にのみシリコンを選択的に結晶成長 (エピタキシャル成長) させることができる。

50

【0036】

また、触媒体62で堆積用原料ガスを活性化させるため、シリコン基板1から供給するエネルギーを少なくすることができ、したがってシリコン基板1の温度を例えば200といった低温にすることができる。

また、 SiH_4 と水素とを堆積用原料ガスとし、塩化水素を用いないので、処理装置のメンテナンスも容易にすることができる。

【0037】

次に、本発明における請求項5記載の半導体装置の製造方法を、Elevated S/D(ソース/ドレイン)の製造に適用した場合の一実施形態例であり、かつ、請求項9記載の半導体装置の製造方法の一実施形態例となる例について、図4(a)~(e)を参照して説明する。

10

まず、図4(a)に示すようにシリコン基板10を用意し、このシリコン基板10にPウェル11およびNウェル12を従来と同様の手法でこの順に形成し、さらにこのシリコン基板10表面に SiO_2 膜13を厚さ100nm程度に形成する。

【0038】

なお、Pウェル11の形成については、打ち込みエネルギーが100keV、ドーズ量が 2×10^{13} atoms/cm²の条件でB⁺をイオン注入し、続いて窒素雰囲気下にて1200で6時間加熱し、さらに酸素雰囲気下にて1200で2時間加熱することによって行う。また、Nウェル11の形成については、打ち込みエネルギーが150keV、ドーズ量が 5×10^{12} atoms/cm²の条件でP⁺をイオン注入し、続いて(窒素+酸素)の雰囲気下にて1140で4時間加熱することによって行う。

20

【0039】

次に、公知のLOCOS酸化を980で行い、図4(b)に示すように厚さ600nm程度のフィールド酸化膜14を形成する。

なお、これに先立ち、シリコン基板10表面を希フッ酸により全面エッチングして前記 SiO_2 膜13を除去する。続いて、Pad酸化を950程度で行って厚さ60nm程度のPad酸化膜を形成し(図示略)、さらにこの上にCVD法等により800以下の温度でSiN膜(図示略)を厚さ120nm程度に形成する。次いで、このSiN膜を公知のリソグラフィ技術、エッチング技術によってパターンニングし、この後、前述したようにLOCOS酸化を行う。

30

【0040】

次いで、図4(c)に示すようにゲート酸化膜(図示略)を950で処理して厚さ200nm程度に形成し、さらに、Pウェル11上およびNウェル12上に、公知の技術によってそれぞれゲート15およびサイドウォール16を形成する。

なお、ゲート15については、ポリシリコンに不純物(例えばリン)を導入してなるポリシリコン層15a上に、 WSi_x 層15bを形成した、ポリサイド構造のものとしている。

【0041】

次いで、Pウェル11、Nウェル12のそれぞれにおいて、シリコンエピタキシャル層を形成するソース/ドレイン領域の酸化膜を、希フッ酸等によってエッチング除去する。そして、このシリコン基板10に、図2に示した触媒CVD装置50によって先の半導体層の形成方法の一実施形態例と同様に処理を行い、シリコン基板10を600程度の比較的低温に加熱することによって図4(d)に示すように厚さ50~300nm程度、本例では120nm程度のシリコンエピタキシャル層17を形成する。このようにして形成するシリコンエピタキシャル層17については、完全なエピタキシャル層である必要はなく、ポリシリコンに近い結晶構造のものでも機能上問題ない。

40

【0042】

ここで、シリコン基板10表面にはフィールド酸化膜14が形成されていることから、これが図1に示したマスク3として機能することによりこれの上にシリコンが堆積されず、結果としてシリコンエピタキシャル層17はシリコン基板10表面に選択的に形成された

50

ことになる。

なお、ゲート15上にはその WSi_x 層15b上にポリシリコンが堆積するが、この堆積形成されたポリシリコン膜は特にゲート15の動作に悪影響を及ぼすことがないことから、後工程においてもそのまま除去することなく残しておいてよい。

【0043】

次いで、得られたシリコンエピタキシャル層17にイオン注入を行い、そのキャリア濃度を最適化する。

このイオン注入に際しては、これに先立ち、ソース/ドレイン領域を酸素雰囲気にて900で30分間加熱し、厚さ30nm程度の酸化膜を形成しておき、その後、Nch側、すなわちPウェル11側のみを開口するパターンを形成し、これをマスクにして打ち込みエネルギーが70keV、ドーズ量が $5 \times 10^{15} \text{ atoms/cm}^2$ の条件で As^+ をイオン注入し、さらに窒素雰囲気にて950で20分間アニール処理を行う。

【0044】

また、これに続いてPch側、すなわちNウェル12側のみを開口するパターンを形成し、これをマスクにして打ち込みエネルギーが30keV、ドーズ量が $5 \times 10^{15} \text{ atoms/cm}^2$ の条件で BF_2^+ をイオン注入し、さらに窒素雰囲気にて950で5分間アニール処理を行う。

【0045】

このようにしてシリコンエピタキシャル層17にイオン注入し、さらにアニール処理を行うことにより、図4(e)に示すようにシリコンエピタキシャル層17の下のPウェル11、Nウェル12内にそれぞれソース/ドレイン18を形成する。

【0046】

このような製造方法にあっては、触媒CVD法によってシリコンエピタキシャル層17を形成するので、その際にシリコン基板10を、熱CVD法の場合に900~1000としなければならないのに比べ600と比較的低温に保持することができ、したがってゲート15におけるポリシリコン層15a中の不純物の再拡散を抑え、再拡散に伴う WSi_x 層15bの汚染やポリシリコン層15aの高抵抗化を防ぐことができる。

【0047】

図5は前記のElevated S/D(ソース/ドレイン)の製造方法の第1の変形例を示す図である。

この図5の示した例が図4(a)~(e)に示した例と異なるところは、シリコンエピタキシャル層形成の際に、堆積用原料ガス中にドーピング用の不純物を混入しておき、得られるシリコンエピタキシャル層を既に不純物が導入されたものとする点にある。

【0048】

すなわち、この例では、図4(c)に示したようにゲート15を形成した後、まず、Nウェル12表面のみを開口するマスク(図示略)を公知の技術によってシリコン酸化膜やシリコン窒化膜で形成し、続いて、Nウェル12上のみにもボロン等の不純物を導入したPタイプのシリコンを触媒CVD法によってエピタキシャル成長させ、厚さ50~300nm程度のPタイプシリコンエピタキシャル層20を形成する。

【0049】

次に、前記マスクを除去し、新たにPウェル11表面のみを開口するマスク(図示略)を公知の技術によってシリコン酸化膜やシリコン窒化膜で形成し、続いて、Pウェル11上のみにもリン等の不純物を導入したNタイプのシリコンを触媒CVD法によってエピタキシャル成長させ、厚さ50~300nm程度のNタイプシリコンエピタキシャル層21を形成する。

【0050】

次いで、Pタイプシリコンエピタキシャル層20およびその下層のNウェル12にボロン等の不純物をイオン注入してその不純物濃度を調整し、同様にNタイプシリコンエピタキシャル層21およびその下層のPウェル11にリン等の不純物をイオン注入してその不純物濃度を調整する。

10

20

30

40

50

そして、800 で30分間程度の熱拡散処理を行い、Pタイプシリコンエピタキシャル層20、Nタイプシリコンエピタキシャル層21のそれぞれの下のパウェル11、Nウェル12内に、それぞれソース/ドレイン22を形成する。このとき、Pタイプシリコンエピタキシャル層20、Nタイプシリコンエピタキシャル層21に予め導入された不純物が熱拡散することにより、この不純物がサイドウォール16の下方にまで回り込み、結果としてLDD効果が得られる。

【0051】

このような製造方法にあつては、Pタイプシリコンエピタキシャル層20、Nタイプシリコンエピタキシャル層21の厚みに影響されることなく、ソース/ドレイン22をそのジャンクションの位置が安定した状態に形成することができ、さらにLDD効果を得ることもできる。

10

【0052】

なお、図5中においてゲート15の上に設けられた膜23は、シリコンエピタキシャル層20、21を形成する際のマスクの一部であり、この膜23については、イオン注入の際のマスクとしてそのまま除去せずに残し、利用している。

【0053】

図6は前記のElevated S/D(ソース/ドレイン)の製造方法の第2の変形例を示す図である。

この図6の示した例が図4に示した例と異なるところは、シリコンエピタキシャル層形成の際に、堆積用原料ガス中にドーピング用の不純物を混入しておき、得られるシリコンエピタキシャル層を既に不純物が導入されたものとする点と、イオン注入を行わない点にある。

20

【0054】

すなわち、この例では、図4(c)に示したようにゲート15を形成した後、まず、Nウェル12表面のみを開口するマスク(図示略)を公知の技術によってシリコン酸化膜やシリコン窒化膜で形成する。次いで、Nウェル12上のみにはボロン等の不純物を導入したPタイプのシリコンを触媒CVD法によってエピタキシャル成長させ、不純物濃度が $10^{15} \sim 10^{16}$ (atoms/cm²)程度、厚さ50nm程度のPタイプ低濃度シリコンエピタキシャル層30を形成し、続いて、同じくPタイプの不純物濃度が $10^{19} \sim 10^{20}$ (atoms/cm²)程度、厚さ50nm程度のPタイプ高濃度シリコンエピタキシャル層31を形成する。

30

【0055】

次に、前記マスクを除去し、新たにPウェル11表面のみを開口するマスク(図示略)を公知の技術によってシリコン酸化膜やシリコン窒化膜で形成する。次いで、Pウェル11上のみにはリン等の不純物を導入したNタイプのシリコンを触媒CVD法によってエピタキシャル成長させ、不純物濃度が $10^{15} \sim 10^{16}$ (atoms/cm²)程度、厚さ50nm程度のNタイプ低濃度シリコンエピタキシャル層32を形成し、続いて、同じくNタイプの不純物濃度が $10^{19} \sim 10^{20}$ (atoms/cm²)程度、厚さ50nm程度のNタイプ高濃度シリコンエピタキシャル層33を形成する。

【0056】

そして、先の例と同様に熱拡散処理を行い、Pタイプ低濃度シリコンエピタキシャル層30、Nタイプ低濃度シリコンエピタキシャル層32のそれぞれの下のパウェル11、Nウェル12内に、それぞれソース/ドレイン34を形成する。このとき、図5に示した例と同様に、熱拡散によって不純物がサイドウォール16の下方にまで回り込むことにより、LDD効果が得られる。

40

【0057】

このような製造方法にあつては、イオン注入処理を無くすことによって工程を簡略化することができ、また先の例と同様にLDD効果を得ることもできる。

なお、図6中においてゲート15の上に設けられた2層の膜35も、シリコンエピタキシャル層30、31、32、33を形成する際のマスクの一部であり、この膜35について

50

も、先の例と同様に除去せずに残している。

【0058】

また、前記実施形態例においては、基層としてシリコン基板を用いているが、本発明はこれに限定されることなく、例えば格子定数がシリコン結晶とほとんど同じであるサファイヤ基板やスピネル基板を用いることができ、これらに対しても、基板温度約100～700といった低温で、シリコンエピタキシャル層を選択的に形成することができる。

【0059】

【発明の効果】

以上説明したように本発明によれば、マスク上にシリコンの堆積をある時間起こすことなく、基層上にシリコンを選択的に結晶成長させることができる。

10

【図面の簡単な説明】

【図1】(a)、(b)は本発明の半導体層の形成方法を工程順に説明するための要部側断面図である。

【図2】本発明に用いられる触媒CVD装置の概略構成図である。

【図3】触媒CVD装置に接続する反応ガス制御系の概略構成図である。

【図4】(a)～(e)は本発明の半導体装置の製造方法を、Elevated S/D(ソース/ドレイン)の製造に適用した場合の一実施形態例を示す図であり、この製造方法を製造工程順に説明するための要部側断面図である。

【図5】図4に示したElevated S/D(ソース/ドレイン)の製造方法の第1の変形例を示す要部側断面図である。

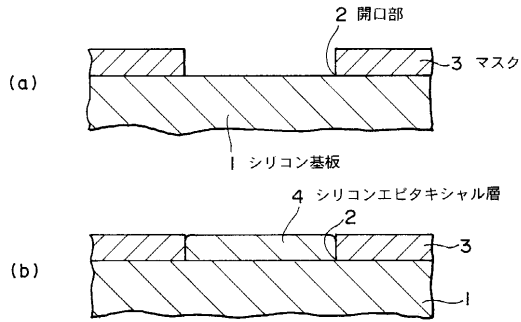
20

【図6】図4に示したElevated S/D(ソース/ドレイン)の製造方法の第2の変形例を示す要部側断面図である。

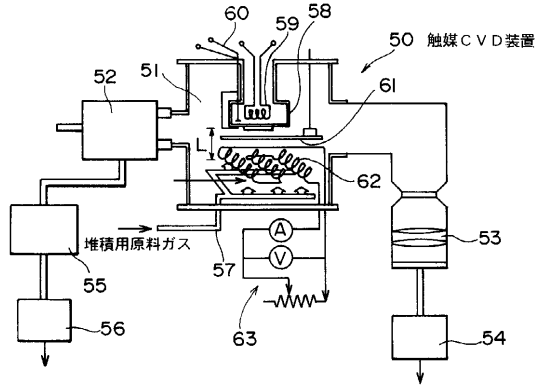
【符号の説明】

1, 10...シリコン基板、2...開口部、3...マスク、4, 17...シリコンエピタキシャル層、18, 22, 34...ソース/ドレイン、20...Pタイプシリコンエピタキシャル層、21...Nタイプシリコンエピタキシャル層、30...Pタイプ低濃度シリコンエピタキシャル層、31...Pタイプ高濃度シリコンエピタキシャル層、32...Nタイプ低濃度シリコンエピタキシャル層、33...Nタイプ高濃度シリコンエピタキシャル層、50...触媒CVD装置、51...反応室、62...触媒体

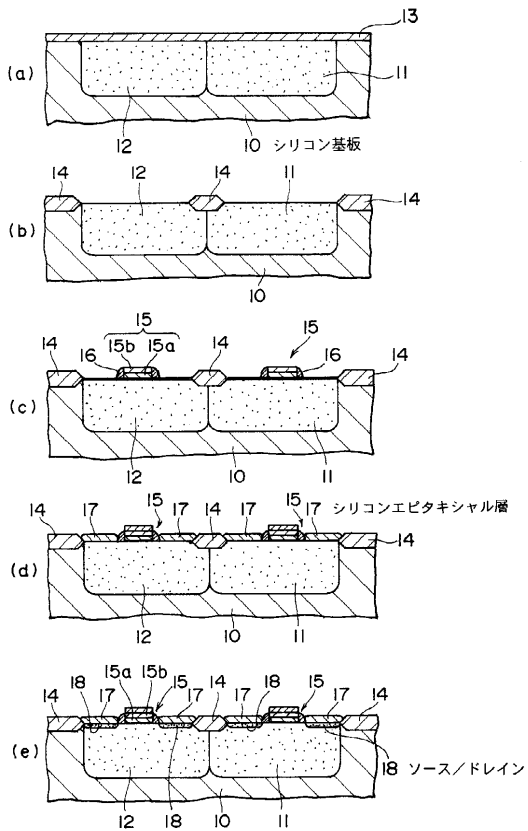
【図1】



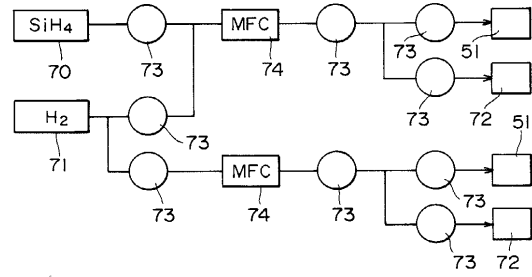
【図2】



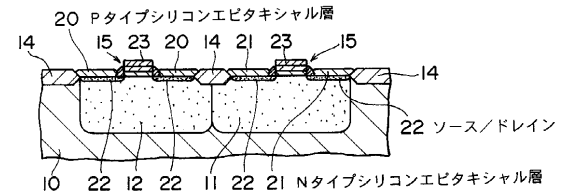
【図4】



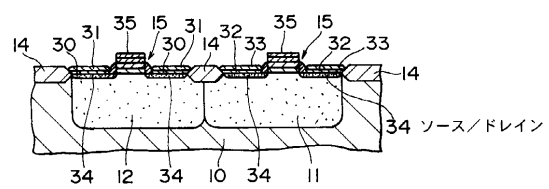
【図3】



【図5】



【図6】



フロントページの続き

(51)Int.Cl. F I
H 0 1 L 29/78 (2006.01) H 0 1 L 29/78 6 1 8 A
H 0 1 L 21/336 (2006.01)
H 0 1 L 29/786 (2006.01)

(72)発明者 佐藤 勇一
東京都品川区北品川6丁目7番35号 ソニー株式会社内

審査官 今井 淳一

(56)参考文献 特開平09-063964(JP,A)
特開平08-250438(JP,A)
特開平04-291929(JP,A)
特開平5-110005(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 21/205
C23C 16/44
H01L 21/28
H01L 21/336
H01L 21/8238