



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.

H01L 29/78 (2006.01)

(45) 공고일자 2006년12월20일
(11) 등록번호 10-0659619
(24) 등록일자 2006년12월13일

(21) 출원번호 10-2004-0078182	(65) 공개번호 10-2005-0033018
(22) 출원일자 2004년10월01일	(43) 공개일자 2005년04월08일
심사청구일자 2004년10월01일	

(30) 우선권주장 JP-P-2003-00344170 2003년10월02일 일본(JP)

(73) 특허권자 산요덴키가부시키가이샤
일본 오사카후 모리구치시 게이한 혼도오리 2쵸메 5반 5고

(72) 발명자 스기하라시게유끼
일본 기후켄 이비궁 오노조 가미이소 513

(74) 대리인 장수길
이중희
구영창

심사관 : 박근용

전체 청구항 수 : 총 4 항

(54) 반도체 장치의 제조 방법

(57) 요약

본 발명은 실리사이드 구조를 갖는 중내압 MOS 트랜지스터의 정선 리크를 방지한다. 도 3의 (a)에 도시한 바와 같이, 전면에 티탄(Ti)을 스퍼터함으로써 티탄층(8)을 형성한다. 이에 의해, 게이트 전극(3)은 개구부(7a)를 통하여 티탄층(8)과 접촉하고, P+ 형 확산층(6a, 6b)은 각각 개구부(7b, 7c)를 통하여 티탄층(8)과 접촉한다. 그 후, 도 3의 (b)에 도시한 바와 같이 열 처리를 행함으로써, 게이트 전극(3) 및 P+ 형 확산층(6a, 6b)과 접촉한 티탄층(8)이 부분적으로 실리사이드화되어, 게이트 전극(3) 위의 표면에 티탄 실리사이드층(9a), P+ 형 확산층(6a, 6b)의 표면에 각각 티탄 실리사이드층(9b, 9c)이 형성된다. 그리고, 도 3의 (c)에 도시한 바와 같이, 실리사이드화되어 있지 않은 실리사이드 블록층(7) 위의 티탄층(8)을 웨트 에칭하여 제거한다.

대표도

도 3

특허청구의 범위

청구항 1.

삭제

청구항 2.

삭제

청구항 3.

삭제

청구항 4.

삭제

청구항 5.

반도체 기판 위에, 실리사이드 구조를 갖는 중내압 MOS 트랜지스터와, 상기 중내압 MOS 트랜지스터와 상이한 내압의 MOS 트랜지스터를 구비한 반도체 장치의 제조방법에 있어서,

상기 중내압 MOS 트랜지스터는,

상기 반도체 기판 위에 게이트 절연막을 개재하여 게이트 전극을 형성하는 공정과,

상기 게이트 절연막을 개재하여 상기 게이트 전극에 인접하여 상기 반도체 기판의 표면에 저농도 확산층을 형성하는 공정과,

상기 반도체 기판의 표면에 고농도 확산층을 형성하는 공정- 상기 고농도 확산층과 상기 게이트 전극과의 사이에 상기 반도체 기판의 표면에 노출되어 형성된 상기 저농도 확산층이 위치함 -과,

전면에 실리콘 산화막 또는 실리콘 질화막으로 이루어진 실리사이드 블록층을 형성하는 공정과,

상기 게이트 전극 및 상기 고농도 확산층 위의 상기 실리사이드 블록층을 선택적으로 제거하여, 상기 게이트 전극 및 상기 고농도 확산층의 적어도 일부를 노출시키는 공정과,

전면에 금속층을 피착하는 공정과,

열 처리에 의해 상기 게이트 전극 및 상기 고농도 확산층과 접촉한 상기 금속층을 반응시켜 실리사이드화하고, 상기 게이트 전극 위 및 상기 고농도 확산층 위에 금속 실리사이드층을 형성하는 공정과,

상기 실리사이드 블록층 위의 실리사이드화하지 않은 상기 금속층을 선택적으로 제거하는 공정

을 포함하는 공정에 의해 제조되는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 6.

제5항에 있어서,

상기 실리사이드 블록층은, 실리콘 산화막 또는 실리콘 질화막으로 이루어진 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 7.

반도체 기판 위에, 실리사이드 구조를 갖는 중내압 MOS 트랜지스터와, 상기 중내압 MOS 트랜지스터와 상이한 내압의 MOS 트랜지스터를 구비한 반도체 장치의 제조방법에 있어서,

상기 중내압 MOS 트랜지스터는,

상기 반도체 기판 위에 게이트 절연막을 개재하여 게이트 전극을 형성하는 공정과,

상기 게이트 절연막을 개재하여 상기 게이트 전극에 인접하여 상기 반도체 기판의 표면에 저농도 확산층을 형성하는 공정과,

상기 반도체 기판의 표면에 고농도 확산층을 형성하는 공정- 상기 고농도 확산층과 상기 게이트 전극과의 사이에 상기 반도체 기판의 표면에 노출되어 형성된 상기 저농도 확산층이 위치함-과,

상기 게이트 전극 위 및 상기 고농도 확산층 위에 선택적으로 금속층을 형성하는 공정과,

열 처리에 의해 상기 게이트 전극 및 상기 고농도 확산층과 접촉한 상기 금속층을 반응시켜 실리사이드화하고, 상기 게이트 전극 위 및 상기 고농도 확산층 위에 금속 실리사이드층을 형성하는 공정

을 포함하는 공정에 의해 제조되는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 8.

제5항, 제6항, 또는 제7항 중 어느 한 항에 있어서,

상기 금속 실리사이드층은, 티탄 실리사이드층인 것을 특징으로 하는 반도체 장치의 제조 방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 장치 및 그 제조 방법에 관한 것으로, 특히 실리사이드 구조를 갖는 MOS 트랜지스터의 구조 및 그 제조 방법에 관한 것이다.

종래부터, MOS 트랜지스터의 게이트 저항 및 소스·드레인 저항을 저감하고, 그 고속화를 도모하기 위해, 실리사이드 구조나 실리사이드 구조가 이용되고 있다. 도 6은 그와 같은 MOS 트랜지스터의 단면 구조를 도시하는 도면이다.

N형 실리콘 기판(50) 위에, 게이트 절연막(51)을 개재하여 게이트 전극(52)이 형성되어 있다. 게이트 전극(52)의 측벽에는 사이드월 스페이서 절연막(53)이 형성되어 있다. 또한, P-형 확산층(54a) 및 P+ 형 확산층(54b)으로 이루어진 소스층(54), P-형 확산층(55a) 및 P+ 형 확산층(55b)으로 이루어진 드레인층(55)이 형성되어 있다.

그리고, 게이트 전극(52) 위, P+ 형 확산층(54b, 55b) 위에, 각각 티탄 실리사이드층(TiSix층)(56a, 56b, 56c)이 형성되어 있다.

도 7은 실리사이드 구조를 갖는 다른 MOS 트랜지스터의 단면 구조를 도시하는 도면이다. 이 MOS 트랜지스터는, 중내압 MOS 트랜지스터라고 불리는, 10V 정도의 높은 소스 내압·드레인 내압을 갖는 MOS 트랜지스터이다. 이 중내압 MOS 트랜지스터는, 도 6의 MOS 트랜지스터와 동일 실리콘 기판 위에 접적화된다.

도 7에 도시한 바와 같이, N형 실리콘 기판(50) 위에, 게이트 절연막(61)을 개재하여 게이트 전극(62)이 형성되어 있다. 게이트 전극(62)의 측벽에는 사이드월 스페이서 절연막(63)이 형성되어 있다. 또한, P-형 확산층(64a) 및 P+ 형 확산층(64b)으로 이루어진 소스층(64), P-형 확산층(65a) 및 P+ 형 확산층(65b)으로 이루어진 드레인층(65)이 형성되어 있다.

여기서, P-형 확산층(64a, 65a)은 게이트 전극(62)에 인접하여 형성되어 있지만, P+형 확산층(64b, 65b)은 게이트 전극(62) 및 사이드월 스페이서 절연막(63)으로부터 멀어진 위치에 형성되어 있다. 이 구조에 의해, 소스층 또는 드레인층에서의 전계 집중이 완화되어, 도 6의 트랜지스터 구조에 비하여 높은 내압을 실현할 수 있다. 그리고, 게이트 전극(62) 위에 티탄 실리사이드층(66a)이 형성되고, P-형 확산층(64a) 및 P+형 확산층(64b) 위에 티탄 실리사이드층(66b)이 형성되고, P-형 확산층(65a) 및 P+형 확산층(65b) 위에 티탄 실리사이드층(66c)이 형성되어 있다.

또, 실리사이드 구조를 갖는 MOS 트랜지스터에 대해서는 예를 들면 이하의 특허 문헌 1에 기재되어 있다.

특허 문헌 1 : 일본 특개 2002-353330호 공보

발명이 이루고자 하는 기술적 과제

도 7의 MOS 트랜지스터의 구조에서는, P+형 확산층(64b, 65b)을 게이트 전극(62)으로부터 오프셋시키고 있기 때문에, P-형 확산층(64a, 65a)이 N형 실리콘 기판(50)의 표면에 노출된다. 이 상태에서 티탄 실리사이드 형성을 행하면, P-형 확산층(64a, 65a) 위에도 각각 티탄 실리사이드층(66b, 66c)이 형성되게 된다. 그렇게 하면, 실리사이드 반응 시에 티탄이 P-형 확산층(64a, 65a)의 P형 불순물(예를 들면, 봉소)을 흡수하게 되기 때문에, 확산층의 정선이 얇아져서, 정선 리크가 발생한다는 문제가 있었다.

그래서, 본 발명은 실리사이드 구조를 갖는 중내압 MOS 트랜지스터의 정선 리크를 방지하는 것을 목적으로 한다.

발명의 구성

본 발명은 MOS 트랜지스터의 게이트 전극 및 고농도 확산층 위에만, 금속 실리사이드층을 형성하고, 저농도 확산층 위에 금속 실리사이드층을 형성하지 않도록 한 것이다.

<실시예 1>

다음으로, 본 발명의 실시예에 따른 반도체 장치 및 그 제조 방법에 대하여 도면을 참조하여 설명한다.

제1 실시예에 대하여 도 1 내지 도 4를 참조하여 설명한다. 도 1 내지 도 3은 이 반도체 장치의 제조 방법을 도시하는 단면도, 도 4는 이 반도체 장치의 평면도이다. 도 1의 (a)에 도시한 바와 같이, N형 실리콘 기판(1) 위에 예를 들면 실리콘 산화막으로 이루어진 게이트 절연막(2)을 형성하고, 이 게이트 절연막(2) 위에, 예를 들면 폴리 실리콘으로 이루어진 게이트 전극(3)을 형성한다.

다음으로, 도 1의 (b)에 도시한 바와 같이, 게이트 전극(3)에 인접한 N형 실리콘 기판(1)의 표면에, P-형 확산층(4a, 4b)을 형성한다. 구체적으로는 게이트 전극(3)을 마스크로 하여 봉소와 같은 P형 불순물을 N형 실리콘 기판(1)의 표면에 저농도로 이온 주입하고, 그 후 열 확산을 행한다. P-형 확산층(4a, 4b)의 불순물 농도는 예를 들면 $1 \times 10^{17}/\text{cm}^3$ 정도이지만, 이것에는 한정되지 않는다.

다음으로, 도 1의 (c)에 도시한 바와 같이, 게이트 전극(3)의 측면에 사이드월 스페이서 절연막(5)을 형성한다. 이 공정은 우선 전면에 CVD법에 의해 실리콘 산화막을 퇴적하고, 그 후 이 실리콘 산화막을 이방성 에칭함으로써 행한다. 이 에칭 공정으로, P-형 확산층(4a, 4b)의 표면의 게이트 절연막(2)을 제거한다.

다음으로, 도 2의 (a)에 도시한 바와 같이, 봉소와 같은 P형 불순물을 N형 실리콘 기판(1)의 표면에 고농도로 이온 주입하여, P+형 확산층(6a, 6b)을 형성한다. P+형 확산층(6a, 6b)은 게이트 전극(3)으로부터 소정 거리만큼 멀어져 형성된다. 이에 의해, 사이드월 스페이서 절연막(5)과 P+형 확산층(6a, 6b) 사이에는, P-형 확산층(4a, 4b)이 N형 실리콘 기판(1) 표면에 노출된다. 또, P-형 확산층(4a)과 P+형 확산층(6a)으로 소스층이 구성되고, P-형 확산층(4b)과 P+형 확산층(6b)으로 드레인층이 구성된다.

이것에 계속해서, 도 2의 (b)에 도시한 바와 같이, 예를 들면 실리콘 산화막으로 이루어진 실리사이드 블록층(7)을 전면에 퇴적하고, 도 2의 (c)에 도시한 바와 같이, 실리사이드 블록층(7)을 선택적으로 에칭 함으로써, 게이트 전극(3) 위의 실리사이드 블록층(7)에 개구부(7a)를 형성하고, P+ 형 확산층(6a, 6b) 위의 실리사이드 블록층(7)에 각각 개구부(7b, 7c)를 형성한다.

다음으로, 도 3의 (a)에 도시한 바와 같이, 전면에 티탄(Ti)을 스퍼터함으로써 티탄층(8)을 형성한다. 이에 의해, 게이트 전극(3)은 개구부(7a)를 통하여 티탄층(8)과 접촉하고, P+ 형 확산층(6a, 6b)은 각각 개구부(7b, 7c)를 통하여 티탄층(8)과 접촉한다.

그 후, 도 3의 (b)에 도시한 바와 같이, 열 처리를 행함으로써, 게이트 전극(3) 및 P+ 형 확산층(6a, 6b)과 접촉한 티탄층(8)이 부분적으로 실리사이드화되고, 게이트 전극(3) 위의 표면에 티탄 실리사이드층(9a), P+ 형 확산층(6a, 6b)의 표면에 각각 티탄 실리사이드층(9b, 9c)이 형성된다.

그리고, 도 3의 (c)에 도시한 바와 같이, 실리사이드화되어 있지 않은 실리사이드 블록층(7) 위의 티탄층(8)을 웨트 에칭하여 제거한다. 또, 도 3의 (c)는, 도 4의 평면도의 X-X선을 따른 단면에 대응하고 있다.

다음으로, 본 발명의 제2 실시예에 대하여 도 5를 참조하여 설명한다. 도 1 내지 도 4와 동일한 구성 부분에 대해서는 동일 부호를 붙여, 설명을 생략한다. 도 1의 (a), (b), (c), 도 2의 (a)의 공정을 거쳐, P+ 형 확산층(6a, 6b)이 형성된 N형 실리콘 기판(1) 전면에, 티탄을 스퍼터함으로써 티탄층(10)을 형성한다.

다음으로, 도 5의 (b)에 도시한 바와 같이, 티탄층(10)을 선택적으로 에칭 함으로써, 게이트 전극(3)의 표면에 티탄층(10a)를 남기고, P+ 형 확산층(6a, 6b)의 표면에 각각 티탄층(10a, 10b)을 남기고, 그 이외의 영역 위의 티탄층(10)을 제거한다. 그 후, 도 5의 (c)에 도시한 바와 같이, 열 처리를 행함으로써, 티탄층(10a, 10b, 10c)을 실리사이드화하고, 티탄 실리사이드층(11a, 11b, 11c)을 형성한다.

또, 제1 실시예에서, 실리사이드 블록층(7)으로서는, 실리콘 산화막 이외의 재료, 예를 들면 실리콘 질화막을 이용해도 된다. 또한, 제1 및 제2 실시예에서, 티탄 대신에 다른 고용접 금속을 이용해도 된다. 또한, 제1 및 제2 실시예에서는, P 채널형 MOS 트랜지스터를 예로 들어 설명했지만, 본 발명은 N 채널형 MOS 트랜지스터에도 마찬가지로 적용할 수 있다. 또한, 제1 및 제2 실시예에서, 소스층 및 드레인층 모두 P-형 확산층(4a, 4b)을 갖고 있지만, 소스층과 드레인층 중 어느 한쪽만이 P-형 확산층을 갖는 구조여도 된다.

발명의 효과

본 발명에 따르면, 실리사이드 구조를 갖는 중내압 MOS 트랜지스터의 정션 리크를 방지할 수 있다. 이에 의해, 중내압 MOS 트랜지스터와, 실리사이드 구조를 갖는 미세 MOS 트랜지스터를 동일한 칩 위에 집적화하는 것이 가능해진다.

도면의 간단한 설명

도 1은 본 발명의 제1 실시예에 따른 반도체 장치의 제조 방법을 설명하는 단면도.

도 2는 본 발명의 제1 실시예에 따른 반도체 장치의 제조 방법을 설명하는 단면도.

도 3은 본 발명의 제1 실시예에 따른 반도체 장치의 제조 방법을 설명하는 단면도.

도 4는 본 발명의 제1 실시예에 따른 반도체 장치의 평면도.

도 5는 본 발명의 제2 실시예에 따른 반도체 장치의 제조 방법을 설명하는 단면도.

도 6은 종래예의 반도체 장치의 단면도.

도 7은 종래예의 다른 반도체 장치의 단면도.

<도면의 주요 부분에 대한 부호의 설명>

1, 50 : N형 실리콘 기판

2, 51, 61 : 게이트 절연막

3, 8, 52 62 : 게이트 전극

4a, 4b, 54a, 55a, 64a, 65a : P-형 확산층

6a, 6b, 54b, 55b, 64b, 65b : P+ 형 확산층

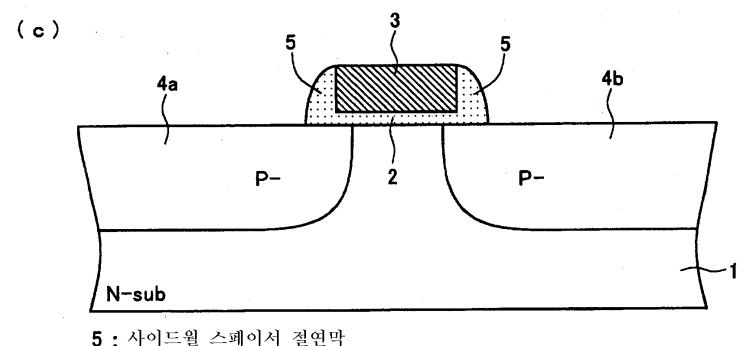
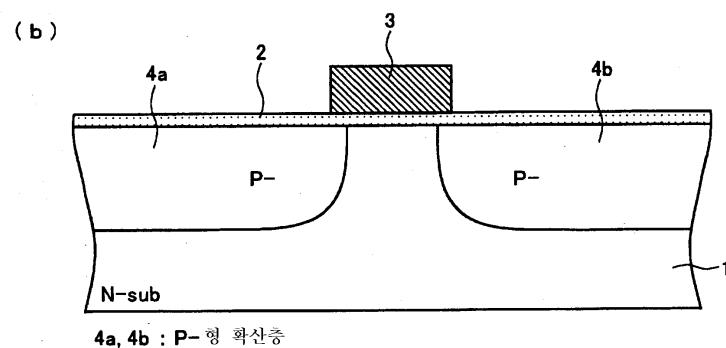
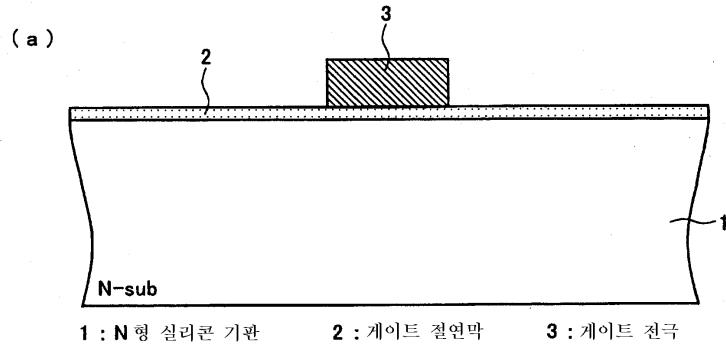
7 : 실리사이드 블록층

7a, 7b, 7c : 개구부

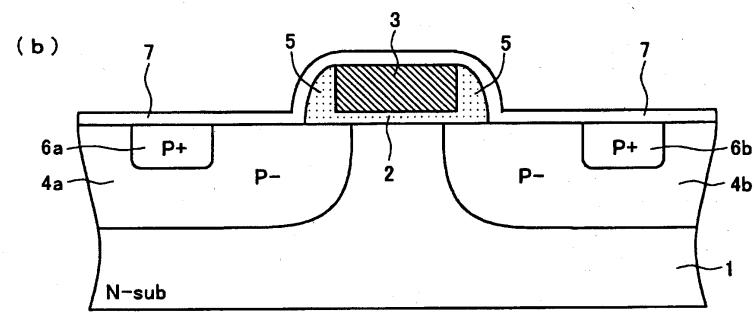
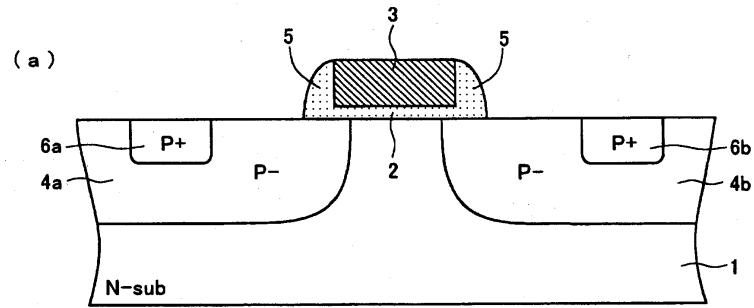
8 : 티탄층

도면

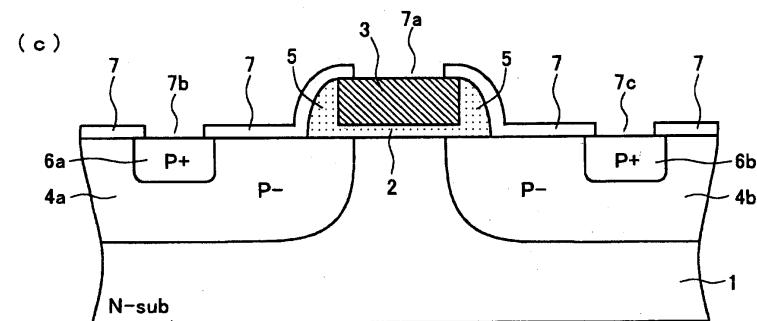
도면1



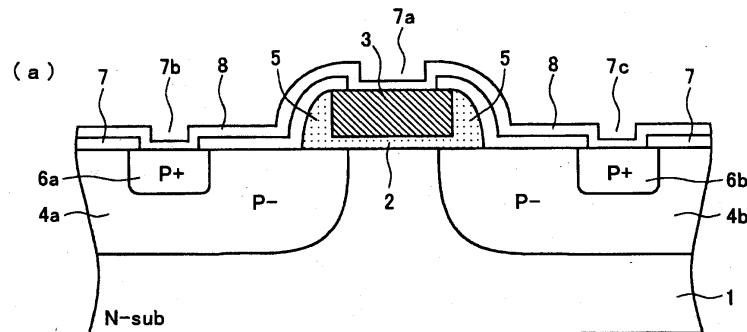
도면2



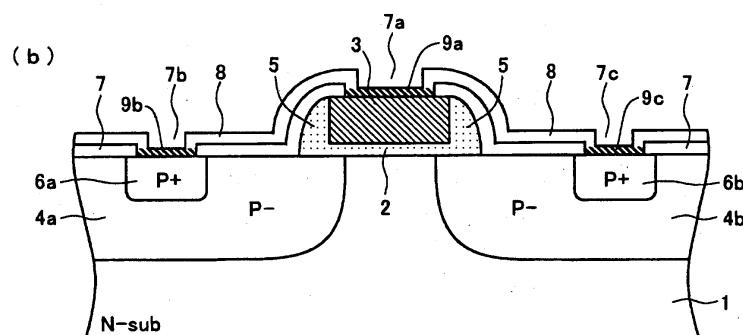
7 : 실리사이드 블록층



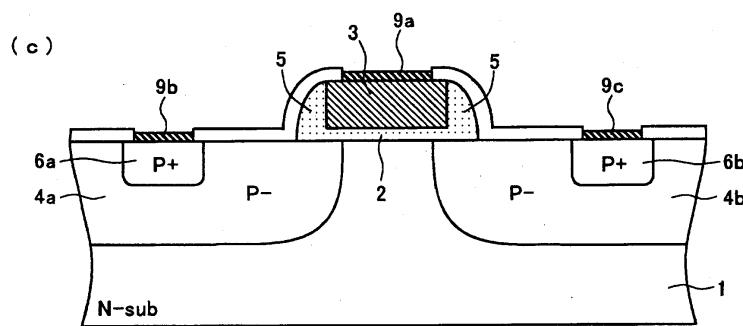
도면3



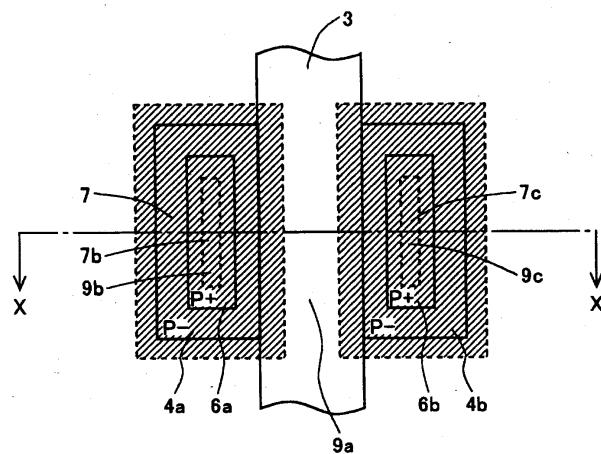
8 : 티탄층



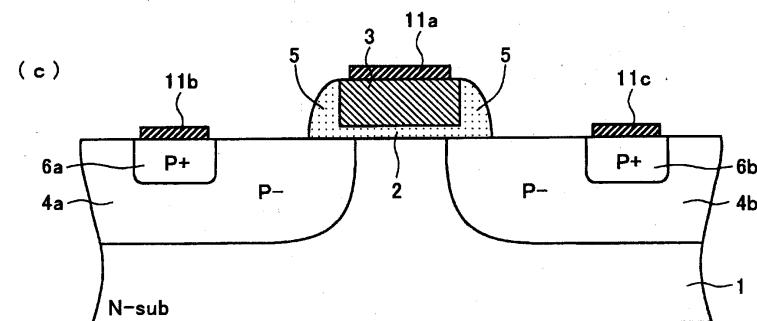
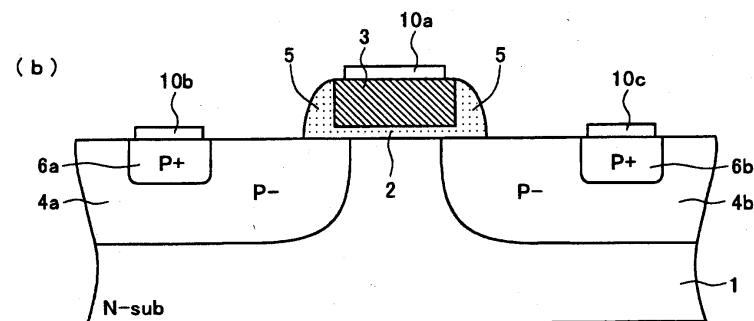
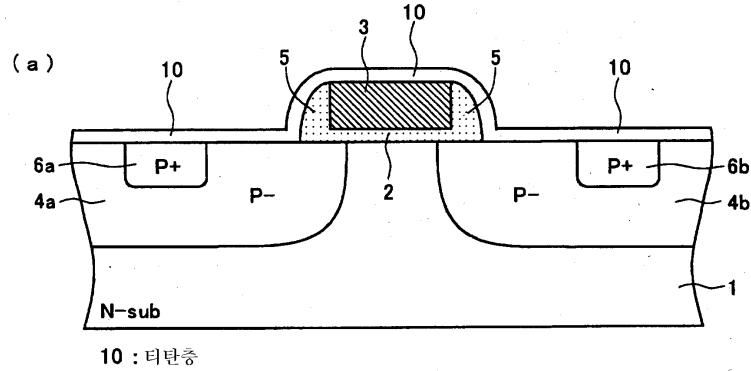
9a, 9b, 9c : 티탄 실리사이드층



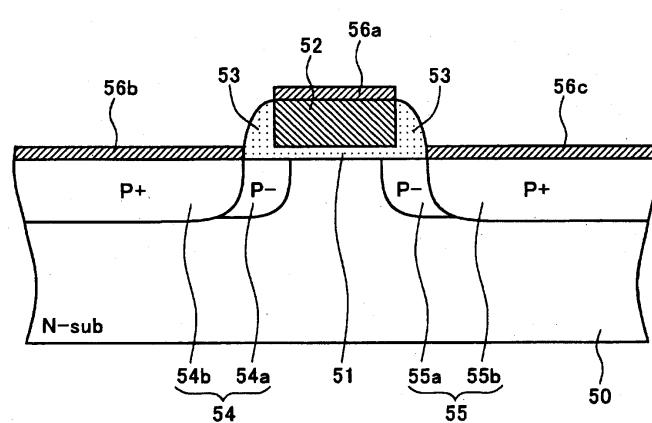
도면4



도면5



도면6



도면7

