

双面影印

公告本

申請日期	90 9 26
案 號	90123758
類 別	H01L 29/38 ; 2/383

A4
C4

519765

(以上各欄由本局填註)

發明 專利 說明 書

一、發明 名稱	中 文	非揮發性半導體記憶元件及其製造方法
	英 文	NON-VOLATILE SEMICONDUCTOR MEMORY DEVICE AND FABRICATION PROCESS THEREOF
二、發明 人	姓 名	(1)高橋浩司 (2)橋本廣司
	國 籍	日 本
三、申請人	住、居所	(1)(2)日本國神奈川縣川崎市中原區上小田中4丁目1番1號
	姓 名 (名稱)	日商・富士通股份有限公司
	國 籍	日 本
	住、居所 (事務所)	日本國神奈川縣川崎市中原區上小田中4丁目1番1號
	代 表 人 姓 名	秋草直之

裝

訂

線

(由本局填寫)

承辦人代碼：
大 類：
I P C 分類：

A6

B6

本案已向：

日本 國(地區) 申請專利，申請日期： 案號： ， ☒有 ☐無主張優先權
2000,11,17 特願2000-351444

有關微生物已寄存於： ，寄存日期： ，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部智慧財產局員工消費合作社印製

五、發明說明(1)

相關申請案之對照參考資料

本申請案係以2000年11月17日所提升之日本優先申請案No.2000-351444為基礎，其完整內容係併於此以供參考。

發明背景

本發明一般係有關於半導體元件。詳言之，其係有關於一種非揮發性半導體記憶體及其製造方法。

一發光記憶體係為一非揮發性半導體記憶體，其具有一相似於DRAMs之適用於高密度集積的簡單元件結構。因此，其係廣泛使用於各種資訊處理裝置，包括電腦與手機。一般而言，一發光記憶體係將資訊以電荷形式儲存於一浮閘電極中。

近年來，係已推出一具有MONOS(金屬-氧化物-氮化物-氧化物-半導體)結構或SONOS(半導體-氧化物-氮化物-氧化物-半導體)結構的非揮發性半導體記憶體。此等非揮發性半導體記憶元件係使用一具有ONO結構之絕緣薄膜，以作為MOS電晶體之閘極絕緣薄膜，且將資訊以電荷形式儲存於ONO閘極絕緣薄膜中。

於一諸如MONOS結構或SONOS結構之非揮發性半導體記憶體中，將電荷注入閘極絕緣薄膜中係由一汲極端或一源極端開始進行。因此，多種意義資訊的儲存變得可能。

第1圖係為一顯示NOR/AND類型之非揮發性半導體記憶體10之電路構造圖，該記憶體具有一傳統的SONOS結

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明 (2)

構。

參照第1圖。

該非揮發性半導體記憶體10係具有一記憶晶胞陣列M，其包括多個記憶晶胞電晶體 M_{11} - M_{mm} ，其等各具有一ONO結構之閘極絕緣薄膜。於記憶晶胞陣列M中，記憶晶胞電晶體係以矩陣形成之方式排列。該以列之方向排列於記憶晶胞陣列M中之一群記憶晶胞電晶體一般係被連接至任何字元線 WL_n 、 WL_{n+1} 、 WL_{n+2} 、 WL_{n+3} ...，該等位於各閘極電極之字元線係以列之方向延伸。再者，一群位於記憶晶胞陣列M中之記憶晶胞電晶體(其以縱列方向排列)一般係被連接至任一資料位元線 DBL_{h+1} 、 DBL_{h+2} 、 DBL_{h+3} 、 DBL_{h+4} ，該等位於源極擴散區域與汲極擴散區域處之資料位元線係以縱列方向延伸。

非揮發性半導體記憶體10更具有選擇閘極線 $SG_{1,2,3,4,...}$ 。該資料位元線 DBL_h 與 DBL_{h+2} 係藉選擇電晶體 T_1 與 T_2 連接至相對的主位元線 MBL_h ，該等選擇電晶體 T_1 與 T_2 係連接至選擇閘極線 SG_1 與 SG_2 。同樣地，該資料位元線 DBL_{h+1} 與 DBL_{h+3} 係藉該等連接至選擇閘極線 SG_3 與 SG_4 之選擇電晶體 T_3 與 T_4 接連至相對的主位元線 MBL_{h+1} 上。

於此一構造中，資訊係被寫進記憶晶胞電晶體 M_{11} 、 M_{12} 、...之閘極絕緣薄膜中，該閘極絕緣薄膜具有一自源極區域或汲極區域注入之通道熱電子形式之ONO結構。所注入之電荷係穩定地保持於ONO薄膜中。

第2圖係顯示一電晶體20構造，該構造係構成記憶晶

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (3)

胞陣列M中之記憶晶胞電晶體 M_{11} 、 M_{12} ，...

參照第2圖。

電晶體20係形成於一Si基材21上。於Si基材21中，其形成有埋藏的擴散區域21A與21B，以個別當成源極區域與汲極區域。基材21之表面更以一結構之ONO薄膜22所覆蓋，於該結構中，一氧化物薄膜22a、氮化物薄膜22b與一氧化物薄膜22c係被堆疊。再者，一多晶矽閘極電極23係形成於ONO薄膜22上。

第3A與3B圖係各為顯示第2圖之記憶晶胞電晶體內所進行之寫入動作與拭除動作的圖式。

參照第3A圖。

一源極區域21A係在寫入資訊時被接地，且一大的正電壓 $+V_w$ 係被提供至汲極區域21B。再者，將一大的正電壓 $+VG_1$ 施於閘極電極23。結果，係於通道內形成一熱電極，因此，造成通道區域之汲極邊緣處電子的加速。因此所形成之熱電極係被注入至ONO薄膜22中。該所注入之熱電子係固持於位於汲極邊緣之鄰近的ONO薄膜22中。相似地，藉由改變供應至汲極區域21B與源極區域21A之驅動電壓，亦可能於ONO薄膜22之源極邊緣的鄰近處內進行熱電子的注入。如第1圖所示，其可能於第2圖之記憶晶胞電晶體20之每一晶胞內寫入2個位元的資訊。

當刪除已寫入之資訊時，一大的正電壓 $+V_e$ 係被供應至汲極區域21B，如第3B圖所示。而後，一大的負電壓 $-VG_2$ 係供應至閘極電極23。於此狀況下，孔洞係由汲極區域21B

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明 (4)

被注入至ONO薄膜22。結果，該累積於ONO薄膜22內之汲極邊緣鄰近處內的電荷係被消除。於此例子中，電子係累積於ONO薄膜22內之源極邊緣的鄰近處，其足以自源極區域21A進行孔洞-注入。

當讀取該寫入於ONO薄膜22內之汲極邊緣鄰近處內之資訊時，一特定閘極電壓 V_g 係被供應至閘極電極23，如第4A圖所示。再者，汲極區域21B係被接地且源極區域21A處係被供應一讀取電壓 V_r 。結果，其使載子自汲極區域21B再經過該形成於Si基材21內之通道(其位於閘極電極23的正下方)而流入源極區域21A變得可能，並使電子不會累積於ONO薄膜22內之汲極邊緣的鄰近處內。因此，使記憶晶胞電晶體20可傳導。

另一方面，於電子累積於ONO薄膜22內之汲極邊緣鄰近處內的例子中，該位於閘極電極23正下方之通道係在汲極邊緣處被封阻。因此，電晶體20係無法傳導。另一方面，於讀出該寫入於ONO薄膜22內之源極邊緣鄰近處內之資訊時，源極區域21A係被接地，如第4A與4B圖所示。再者，將一讀取電壓 V_r 供應至汲極區域21B。

第5A-5D圖、第6A - 6C圖、第7A - 7D圖、第8A - 8C圖、第9A - 9D圖與第10A - 10C圖係顯示一使用記憶晶胞電晶體20之非揮發性半導體記憶體10的製造方法。

參照第5A - 5D圖。

第5A圖係為非揮發性半導體記憶體10的平面圖，而第5B圖係顯示一沿第5A圖之線X1 - X1'之橫截面的非揮發

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (5)

性半導體記憶體10。第5C圖係顯示一沿第5A圖之線X2 - X2'之橫截面的非揮發性半導體記憶體10。再者，第5D圖係顯示一沿第5A圖之線X3 - X3'之橫截面的非揮發性半導體記憶體10。

參照第5A - 5D圖。

一作用區域係藉一場氧化薄膜21F而界定於Si基材21上，其具有一200 - 500 nm的厚度，且係藉一900 - 1000°C之熱氧化方法而形成。再者，一ONO薄膜22係形成於作用區域上。詳言之，於作用區域處所暴露之Si基材21的表面係於800 - 1100°C下熱氧化。結果，形成一具有厚度5 - 10 nm之氧化物薄膜22a。而後，在600 - 800°C下，於氧化物薄膜22a上進行一CVD製程。藉此，沈澱一具有12 - 16 nm之厚度的氮化物薄膜22b。再者，藉於1000~1100°C下進行一濕式氧化製程，而於氮化物薄膜22b上形成一氧化物薄膜22c，其厚度為5 - 10nm。

於第5A圖之製程中，一光阻圖案R₁係形於所形成之ONO薄膜22上，以使得該光阻圖案R₁具有一開口，該開口係相對於欲形成之各資料位元線DBL，且As⁺離子係藉一離子植入方法，而經光阻開口引入Si基材21內，其係在一50~90keV之加速電壓且劑量為 $2 \times 10^{15} \sim 5 \times 10^{15} \text{cm}^{-2}$ 下進行。因此，有多數相對於該資料位元線DBL之n-型擴散區域21D係以彼此平行的方式形成於Si基材21內。而後，n-型擴散區域21D將被設計作為位元線擴散區域。

於第5A - 5D圖的狀態中，相似的橫截面結構係顯示

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明 (6)

於第5B - 5D圖的橫截面圖中。

第6A圖係顯示沿第5A圖之線Y-Y'之橫截面圖，而第6B圖係顯示使用於非揮發性半導體記憶體10中之n-通道周邊電晶體的橫截面圖。再者，第6C圖係顯示該使用於非揮發性半導體記憶體10中之p-通道周邊電晶體的橫截面圖。

參照第6A圖。

可知，位元線擴散區域21D係以資料位元線DBL的延伸方向而連續延伸於該由場氧化薄膜21F所界定之作用區域內。如第6B與6C圖所示，p-通道周邊電晶體區域與n-通道周邊電晶體區域係被第5A所示之光阻圖案 R_1 所覆蓋。因此，於第6A圖的情況下，不會發生離子植入至基材內之周邊電晶體區域內。

接下來，光阻圖案 R_1 係於第7A - 7D之步驟移除，且多個多晶矽閘極電極圖案23 (於後係指稱為字元線電極) 係以相對於第1圖之字元線WL方式而形成於Si基材21上，以使得各多晶矽閘極電極圖案23以大致垂直於擴散區域21D之延伸方向的方向延伸。

再者，一通道-停止擴散區域21d係藉B之離子植入方法而形成於位元線擴散區域21D之間，該方法係將B離子引入Si基材21中。於離子植入過程中，字元線電極23係使用以作為一罩幕。離子植入方法可在加速電壓50-80Ev下，以一 $3 \times 10^{12} - 1 \times 10^{13} \text{ cm}^{-2}$ 之劑量來進行，如第7B或7D圖所示。必須注意的是，第7A圖係顯示非揮發性半導體記憶體10的平面圖。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (7)

再者，必須注意的是，第7B - 7D圖係各顯示沿第7A圖之線 X_1-X_1' 、線 X_2-X_2' 與線 X_3-X_3' 的橫截面圖。如第7C圖示，通道-停止擴散區域21d係不會形成於字元線電極23的正下方。於第7B與7C圖中，通道-停止擴散區域21d亦形成於位元線擴散區域21D。於第7(B)與7C圖中，因其中僅有非常少量之雜質濃度，故省略通道-停止擴散區域21d之描述。

第8A圖係顯示沿第7A圖之線Y-Y'的橫截面圖。

參照第8A圖。

由圖可見，多數個字元線電極23係以一固定之間距，而重複地形成於ONO薄膜22上。同樣地，通道-停止擴散區域21d係由於B的離子植入而形成於擴散區域21D之邊緣部份。

ONO薄膜22係於光阻圖案 R_1 移除之步驟後但於字元線電極23形成之步驟前之第7A圖的步驟中，藉一罩幕製程而自周邊電晶體之區域處移除。再者，熱氧化方法係於 $800 - 1100^{\circ}\text{C}$ 下進行。因此，係形成一具有厚度 $5 - 15 \text{ nm}$ 的熱氧化物薄膜 22_{ox} ，如第8B與8C圖所示。當ONO薄膜22已形成於記憶晶胞區域M中時，係不會出發生新的氧化物薄膜的形成，甚至於在此一熱氧化步驟進行時亦然。而後，閘極電極 $23G_1$ 與 $23G_2$ 係同時形成於已形成之熱氧化物薄膜 22_{ox} 上，以形成字元線電極23，如第8B與8C圖所示。

因為資料位元線DBL係藉擴散區域21D而設置於非揮發性半導體記憶體10中，故其必須且想要降低位元線的光

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明 (8)

阻。因此，如第9A - 9D圖所示，一互連圖案24M係以相對於資料位元線DBL之方式設置於擴散區域21D上，以使得互連圖案24M以平行於擴散區域21D之方式延伸。必須注意的是，第9A圖係顯示非揮發性半導體記憶體10之平面圖。同樣地，第9B - 9D圖係顯示沿第9A圖之線 $X_1 - X_1'$ 、 $X_2 - X_2'$ 與 $X_3 - X_3'$ 之橫截面圖。

參照第9B - 9D圖。

一內層絕緣薄膜25係被形成以覆蓋Si基材21上之字元線電極23。一接觸孔25A係藉一乾蝕刻製程而形成於內層絕緣薄膜25內，以暴露出該擴散區域21D。藉此，內層絕緣薄膜25上之金屬互連圖案係可與接觸孔25A處之擴散區域相接觸。

如第9A至9C圖示，一接觸孔25B亦形成於內層絕緣薄膜25上，以暴露該字元線電極23。再者，一互連圖案24N係形成於內層絕緣薄膜25上以電氣連接該接觸孔25B處之字元線電極23。

第10A圖係顯示沿第9A圖之Y-Y'的橫截面圖。

參照第10A圖。

各字元線電極23其上係具有一側壁絕緣薄膜23S。字元線電極23係透過位於其等延伸方向上之多個位置的接觸孔25A，與擴散區域21D相接觸。當形成此一側壁絕緣薄膜23S時，一絕緣薄膜係沈積於Si基材23上，以覆蓋字元線電極23。接下來，藉非等向性蝕刻製程而回蝕該絕緣薄膜，其係以垂直於基材主要表面之方向作用。另一方面，

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (9)

於n-通道或p-通道周邊電晶體區域中，在第8B與8C圖之結構形成後，其等係藉一光阻薄膜(未說明)而覆蓋。而後，一光阻開口係在第10B圖之製程中形成於光阻薄膜上。藉一離子植入製程而經由此一光阻開口而引入一n-型摻雜物，而於Si基材21之閘極電極23G₁之二側邊處形成一n⁻-型LDD區域21_{ln}。

接下來，移除光阻薄膜。而後，另一光阻薄膜(未顯示)係於第10C圖之製程中形成，且一p-型摻雜物係藉一離子植入製程而經由一光阻開口而引入其中。藉此，一p⁻-型LDD區域21_{lp}係形成於閘極電極23G₂之二側邊處。

而後，在光阻薄膜移除後，一側壁絕緣薄膜係與形成於字元線電極23上之側壁絕緣薄膜23S同時形成至閘極電極23G₁與23G₂的側壁上。再者，一n⁺-型擴散區域21n係藉進行一離子植入製程而形成於側壁絕緣薄膜的外側，該側壁絕緣薄膜係設置於第10B圖之n-通道周邊電晶體之閘極電極23G₁上。

而後，p⁺-型擴散區域21p係形成於第10C圖之p-通道周邊電晶體內之閘極電極23G₂的側壁絕緣薄膜外側。

於第10(B)與10(C)圖之步驟中，該形成於內層絕緣薄膜25內以覆蓋Si基材21上之閘極電極23G₁與23G₂的接觸孔25C與25D係暴露出擴散區域21n與21p。藉此，該形成於內層絕緣薄膜25上之金屬互連圖案24W係於此一接觸孔中接觸該擴散區域21n。再者，金屬互連圖案24V係與擴散區域21p相接觸。

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明 (10)

同時，如同對其他高速半導體元件一樣，於傳統非揮發性半導體記憶體10中亦存在一高速操作的迫切需求。因為此一原因，而對盡可能降低字元線電極23內、閘極電極23G₁與23G₂及擴散區域21D或擴散區域21n與21p表面內之表面接觸光阻有一需求。

於第11A - 11D圖之實施例中，金屬矽化物層26係如第11A、11B與11D圖所示形成於Si基材21之表面上。內層絕緣薄膜25之接觸孔25A係被形成以暴露出該金屬矽化物層26。同樣地，亦於字元線電極23上形成金屬矽化物層26。再者，如第12A圖所示，除了字元線電極23形成處之部份外，金屬矽化物層26係沿位元線擴散區域21D而形成於基材21的表面。而後，金屬矽化物層26係形成於n⁺-型擴散區域21n的表面與p⁺-型擴散區域21p的表面上，如第12B與12C圖所示。

於第7A - 7D之製程中或第8A - 8C之製程中，此一金屬矽化物層26可藉使用字元線電極23及亦使用閘極電極23G₁與23G₂作為一自我對準光罩而形成。於藉一二磷酸處理與一HF處理以移除ONO薄膜22後，一耐火金屬層W係被沈積。所沈積之W層係與下層之Si起反應。詳言之，如第12B與12C圖所示，藉由於周邊電晶體之擴散區域26的表面上形成金屬矽化物層26，以降低該欲特地用以提供高速操作之半導體元件的接觸光阻。藉此，可有效降低源由於接觸光阻之訊號延遲的問題。

於第11A - 11D圖或第12A - 12C圖之結構中，金屬矽

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (11)

化物層26以相對於接觸孔25A之方式而形成是非常重要的，該接觸孔係如第11B圖或第12A圖所示形成於內層絕緣薄膜25中。如前所述，用以移除氧化物薄膜之乾蝕刻製程係被進行，以降低第12B與12C所示之接觸孔25C與25D及接觸孔25A的接觸光阻，因此，必須進行乾蝕刻製程以使得金屬矽化物層26不被蝕刻。於金屬矽化物層26不形成於此等區域之情況下，乾蝕刻將會侵入擴散區域21D中且到達Si基材21。當此現象發生時，則無法獲得所欲之元件特性。

然而，第11A - 11D圖之構造具有一致命性的問題，即鄰近的擴散區域21D容易因金屬矽化物層26而引發短路，如第11B圖之橫截面圖中所示之“*”。於第11B - 11D圖之橫截面中，鄰近之擴散區域21D間的傳導係因元件操作而被造成。當此部份發生短路時，發光記憶體係無法作用。另一方面，如前所述，金屬矽化物層26在接觸孔25A處是必需的。

第13A - 13D圖與第14A - 14C圖係顯示一可能可用以解決前述問題之實施例。

首先參照第14A圖。

於所示之結構中，於第14B與14C圖之周邊電晶體內之閘極電極23G₁與23G₂上形成側壁絕緣薄膜23W₁與23W₂的製程係藉絕緣薄膜23W之沈積與回蝕製程來進行，其中於沈積與回蝕製程進行時，同時將沈積於字元線電極23上之絕緣薄膜23W選擇性地遺留於記憶晶胞區域M中。為此

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明 (12)

一原因，係使用一光阻圖案。

再者，如第13B與13C圖所示，一開口23WA係以相對於接觸孔25A之方式而形成於絕緣薄膜23W中，且一開口23WB係以相對於接觸孔25B之方式而形成。而後，該金屬矽化物層26係以相對於此一開口23A之方式而形成於位元線擴散區域21D上。而後，金屬矽化物層26係以相對於開口23B之方式而形成於字元線電極23上。

依此一構造，絕緣薄膜23W係存在於一對鄰近之位元線擴散區域24D間。因此，該會造成短路之金屬矽化物層26係不會形成於位元線擴散區域24D間。

然而，當非揮發性半導體元件10係依此一方法(其中金屬矽化物層26係選擇性地形成於記憶晶胞陣列M之絕緣薄膜23的開口23WA與23WB)時，其存在一圖案精準度之限制，且必然展現一集積密度的限制。如前所述，金屬矽化物層26必須準確地形成於接觸孔25A與25B的正下方，該接觸孔係與藉乾蝕刻製程以移除天然氧化物薄膜之製程有關。

發明概述

因此，本發明之一般目的係在提供一新穎且有用的非揮發性半導體記憶元件及其製造方法，其中前述之問題係可被排除。

本發明之其他且更特定之目的係在於提供一SONOS型或MONOS型之非揮發性半導體記憶元件，其於一接觸

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (13)

區域上具有一自我調準的金屬矽化物層且本發明係可確實地排除擴散區域間的短路。

本發明之又一目的係在提供一非揮發性半導體元件，其包含：

一半導體基材，其載有一作用區域，該作用區域係藉由一其上之元件隔離結構而界定之；

多個形成於作用區域中之擴散區域，其等彼此間具有一間隔，各擴散區域係沿一第一方向延伸；

一字元線電極，其沿一與該第一方向交叉之第二方向延伸於該作用區域上；以及

一可儲存電荷之絕緣薄膜，其係以相對該字元線電極的方式形成於該作用區域上，且位於該作用區域之表面與該字元線電極之間，該可儲存電荷之絕緣薄膜係具有一堆疊結構，其中一氮化物薄膜與一氧化物薄膜係連續地堆疊於一氧化物薄膜上，

該元件隔離結構具有多個開口，其各於相對於多個擴散區域之一延伸部份處暴露出該基材之表面，

各擴散區域係具有一延伸部份，其延伸至相對應之多個開口處之一；

各擴散區域之表面上載有一金屬矽化物薄膜。

本發明之另一目的係在提供一於一半導體基材上製造一非揮發性半導體記憶元件的方法，該元件具有一記憶晶胞區域與一周邊電路區域，該方法包含下列步驟：

藉形成一元件隔離薄膜而於該半導體基材之記憶

(請先閱讀背面之注意事項再填寫本頁)

訂

聚

五、發明說明 (14)

晶胞區域上界定一作用區域；

於該作用層上形成一可儲存電荷之絕緣薄膜；

於該作用區域內形成多個位元線擴散區域，以使得各位元線擴散區域沿一第一方向彼此平行地延伸；

於該作用區域上形成一字元線電極，以一與第一方向交叉之第二方向延伸，且於該半導體基材之周邊電路區域上同時形成一閘極電極；

於周邊電路區域內之閘極電極的二側壁表面上形成一側壁絕緣薄膜；

於該周邊電路區域內之閘極電極二側處形成第一與第二擴散區域，同時使用閘極電極與側壁絕緣薄膜作為一罩幕；以及

於該閘極電極之頂表面與第一與第二擴散區域之表面上形成一金屬矽化物層；

該界定作用區域之步驟係包含下列步驟，即於元件隔離薄膜內，沿該作用區域之邊緣部份形成多個開口，該等開口係暴露出半導體基材的表面，以使得該半導體基材的表面係自作用區域連續暴露至作用區域之外部，

該形成多個位元線擴散區域的步驟係被進行，以使得各位元線擴散區域自作用區域連續延伸至其相對之開口處，

該於閘極電極上形成側壁絕緣薄膜的步驟係包含下列步驟：以一一般的絕緣薄膜覆蓋閘極電極與字元

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (15)

線電極，以及藉於該周邊電路區域內之一般的絕緣薄膜上選擇性地施用一回蝕方法並同時遺留作用區域上之一般的絕緣薄膜而形成側壁絕緣薄膜，

製造非揮發性半導體記憶元件的方法進一步包含下列步驟，即，於位元線擴散區域之表面上形成一金屬矽化物層，其延伸至各自相對的開口內，

該於位元線擴散區域上形成金屬矽化物層的步驟係與於第一與第二擴散區域之表面上形成一金屬矽化物層的步驟同時進行。

本發明之再一目的係在提供一於半導體基材上製造一非揮發性半導體記憶元件的方法，該元件具有一記憶晶胞區域與一周邊電路區域，該方法包含下列步驟：

藉形成一元件隔離結構而於該半導體基材之記憶晶胞區域上界定一作用區域；

於該作用區域上形成一可儲存電荷之絕緣薄膜；

於該作用區域內形成多個位元線擴散區域，以使得各位元線擴散區域沿一第一方向延伸，其等彼此間具有一間隔；

於作用區域上形成一導體層，以使得該導體層完整覆蓋該作用區域且同時於半導體基材之周邊電路區域內形成一閘極電極；

於周邊電路區域內之閘極電極的二側邊處形成第一與第二擴散區域，同時使用閘極電極與該側壁絕緣薄膜作為一罩幕；

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明 (16)

於作用區域與周邊電路區域內之導體層頂面、開極電極頂面與第一與第二擴散區域之表面上形成一金屬矽化物層；以及

圖案化該作用區域內之導體層，以形成一沿一與第一方向交叉之第二方向延伸之字元線電極，

該界定作用區域之步驟係包括下列步驟，即於元件隔離薄膜內，沿該作用區域之邊緣部份形成多個開口，以各別暴露出相對於該多個位元線擴散區域之半導體基材的表面，而使得該半導體基材的表面自作用區域連續暴露至作用區域外部，

該形成多個位元線擴散區域的步驟包括形成該位元線擴散區域的步驟，以使得各位元線擴散區域自作用區域連續延伸至其相對之開口處，

該方法進一步包含下列步驟，即，於多個位元線擴散區域之一表面上形成一金屬矽化物層，各區域係延伸至相對之開口內，同時使用遺留於該作用區域上之一般絕緣薄膜作為一罩幕，

該於位元線擴散區域之表面上形成金屬矽化物層的步驟係與於字元線電極及第一與第二擴散區域上形成金屬矽化物層的步驟同時進行。

依據本發明，當於開極電極上或於MOS電晶體(其構成非揮發性半導體記憶體之周邊電路)之源極/汲極擴散區域的表面上形成一低光阻金屬矽化物層時，可獲致下列有利的特點，即一金屬矽化物層係藉一自我調準方法而確實

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (17)

地形成於記憶晶胞區域內，該區域係相對於自由一元件隔離結構所界定之記憶晶胞區域延伸至記憶晶胞電晶體外部的部份。該延伸部份係可經一接觸孔與一設置於內層絕緣薄膜上的位元線電極圖案互連。因此於本發明中，可確實地預防記憶晶胞區域之作用區域被蝕刻，甚至於當在設置一互連圖案至該MOS電晶體之步驟前，一乾蝕刻製程施用至周邊電路區域以作為一前處理製程而用以移除天然氧化物薄膜時，亦不會被蝕刻。當本發明在一接觸孔(其形成於相對於元件隔離區域之內層絕緣薄膜內)處為位元線電極圖案提供一互連時，短路的問題係不會發生於該等形成於相對應於各位元線擴散區域處之金屬矽化物層間。

於本發明之非揮發性半導體記憶元件中，其欲於擴散區域及而後於閘極電極(其構成周邊電路區域)之表面上形成一金屬矽化物薄膜。再者，其欲形成一電荷累積絕緣薄膜，以連續地覆蓋作用區域的整體表面。而後，亦形成一絕緣薄膜，以接連地覆蓋字元線電極的表面與側壁表面以及覆蓋該暴露的基材表面。於此例中，絕緣薄膜較佳係以與其外形一致之方式覆蓋字元線電極，而具有一均一的厚度。再者，絕緣薄膜係接連地覆蓋作用區域的整體表面。理想上，內層絕緣薄膜係覆蓋絕緣薄膜。同樣地，理想上，一金屬矽化物薄膜係形成於字元線電極之延伸部份內，該延伸部份係延伸出該作用區域。其欲於內層絕緣薄膜內形成另一位於作用區域外的接觸孔，以暴露該外部份。金屬矽化物薄膜可形成於字元線電極之整個長度上。如此做的

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明 (18)

話，其可能於字元線電極之延伸部份(其延伸至作用區域之外部)上形成一側壁絕緣薄膜，以使得側壁絕緣薄膜包圍該作用區域。此一側壁絕緣薄膜係構成一部分的絕緣壁，其自基材處以垂直於基材主要表面之方向升起。於本發明中，字元線電極可由一傳導半導體物質所形成。

依據本發明，其可能藉一自我調準方法而於任一非揮發性半導體元件之記憶晶胞區域與周邊電路區域之Si表面內形成一金屬矽化物層，該等區域具有可儲存電荷之絕緣薄膜。因此，Si表面之蝕刻或侵蝕的問題係不會發生，甚至於當在Si表面上形成一接觸孔之同時藉乾蝕刻所進行之天然氧化物薄膜的移除時，亦不會發生，且可成功地避免元件性能的惡化。由於金屬矽化物層的形成，本發明之非揮發性半導體記憶體具有一降低之接觸光阻的較佳特性。因此，可於高速下操作該非揮發性半導體元件。

本發明之其他目的與特徵係可藉由閱讀下列之詳細說明與所附之圖式而變得更加清楚。

圖式之簡要說明

第1圖係為一顯示該具有一電荷累積絕緣薄膜之非揮發性半導體記憶體之電路構造的圖式；

第2圖係為一顯示第1圖之非揮發性半導體記憶體之基礎構造的圖式；

第3A與3B圖係顯示於第1圖之非揮發性半導體記憶體中所進行之寫入與拭除動作的圖式；

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (19)

第4A與4B圖係顯示於第1圖之非揮發性半導體記憶體中所進行之讀取動作的圖式；

第5A-5D圖係顯示一傳統非揮發性半導體記憶體之第一製造步驟的圖式；

第6A-6C圖係顯示傳統非揮發性半導體記憶體之第二製造步驟的圖式；

第7A-7D圖係顯示傳統非揮發性半導體記憶體之第三製造步驟的圖式；

第8A-8C圖係顯示傳統非揮發性半導體記憶體之第四製造步驟的圖式；

第9A-9D圖係顯示傳統非揮發性半導體記憶體之第五製造步驟的圖式；

第10A-10C圖係顯示傳統非揮發性半導體記憶體之第六製造步驟的圖式；

第11A-11D圖係顯示傳統非揮發性半導體記憶體可能的改良與其問題的圖式；

第12A-12C圖係顯示傳統非揮發性半導體記憶體可能的改良與其問題的圖式；

第13A-13D圖係顯示傳統非揮發性半導體記憶體可能的改良與其問題的圖式；

第14A-14C圖係顯示傳統非揮發性半導體記憶體可能的改良與其問題的圖式；

第15A-15D圖係顯示依據本發明第一實施例之非揮發性半導體記憶體之第一製造步驟的圖式；

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明 (20)

第16A-16C圖係顯示依據本發明第一實施例之非揮發性半導體記憶體之第二製造步驟的圖式；

第17A-17D圖係顯示依據本發明第一實施例之非揮發性半導體記憶體之第三製造步驟的圖式；

第18A-18C圖係顯示依據本發明第一實施例之非揮發性半導體記憶體之第四製造步驟的圖式；

第19A-19C圖係顯示依據本發明第一實施例之非揮發性半導體記憶體之第五製造步驟的圖式；

第20A-20C圖係顯示依據本發明第一實施例之非揮發性半導體記憶體之第六製造步驟的圖式；

第21A-21C圖係顯示依據本發明第一實施例之非揮發性半導體記憶體之第七製造步驟的圖式；

第22A-22C圖係顯示依據本發明第一實施例之非揮發性半導體記憶體之第八製造步驟的圖式；

第23A-23D圖係顯示依據本發明第一實施例之非揮發性半導體記憶體之第九製造步驟的圖式；

第24A-24C圖係顯示依據本發明第一實施例之非揮發性半導體記憶體之第十製造步驟的圖式；

第25A-25C圖係顯示依據本發明第一實施例之非揮發性半導體記憶體之第十一製造步驟的圖式；

第26A-26C圖係顯示依據本發明第一實施例之非揮發性半導體記憶體之第十二製造步驟的圖式；

第27A-27D圖係顯示依據本發明第一實施例之非揮發性半導體記憶體之第十三製造步驟的圖式；

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (21)

第28A-28C圖係顯示依據本發明第一實施例之非揮發性半導體記憶體之第十四製造步驟的圖式；

第29A-29D圖係顯示依據本發明第一實施例之非揮發性半導體記憶體之第十五製造步驟的圖式；

第30A-30C圖係顯示依據本發明第一實施例之非揮發性半導體記憶體之第十六製造步驟的圖式；

第31A-31D圖係顯示依據本發明第二實施例之非揮發性半導體記憶體之第一製造步驟的圖式；

第32A-32C圖係顯示依據本發明第二實施例之非揮發性半導體記憶體之第二製造步驟的圖式；

第33A-33D圖係顯示依據本發明第二實施例之非揮發性半導體記憶體之第三製造步驟的圖式；

第34A-34C圖係顯示依據本發明第二實施例之非揮發性半導體記憶體之第四製造步驟的圖式；

第35A至35C圖係顯示依據本發明第二實施例之非揮發性半導體記憶體之第五製造步驟的圖式；

第36A-36C圖係顯示依據本發明第二實施例之非揮發性半導體記憶體之第六製造步驟的圖式；

第37A-37C圖係顯示依據本發明第二實施例之非揮發性半導體記憶體之第七製造步驟的圖式；

第38A-38C圖係顯示依據本發明第二實施例之非揮發性半導體記憶體之第八製造步驟的圖式；

第39A-39C圖係顯示依據本發明第二實施例之非揮發性半導體記憶體之第九製造步驟的圖式；

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明 (22)

第40A-40C圖係顯示依據本發明第二實施例之非揮發性半導體記憶體之第十製造步驟的圖式；

第41A-41D圖係顯示依據本發明第二實施例之非揮發性半導體記憶體之第十一製造步驟的圖式；

第42A-42C圖係顯示依據本發明第二實施例之非揮發性半導體記憶體之第十二製造步驟的圖式；

第43A-43D圖係顯示依據本發明第二實施例之非揮發性半導體記憶體之第十三製造步驟的圖式；

第44A-44D圖係顯示依據本發明第二實施例之非揮發性半導體記憶體之第十四製造步驟的圖式；

第45A-45C圖係顯示依據本發明第二實施例之非揮發性半導體記憶體之第十五製造步驟的圖式；

第46A-46C圖係顯示依據本發明第二實施例之非揮發性半導體記憶體之第十六製造步驟的圖式；

第47A-47D圖係顯示依據本發明第二實施例之非揮發性半導體記憶體之第十七製造步驟的圖式；

第48A-48C圖係顯示依據本發明第二實施例之非揮發性半導體記憶體之第十八製造步驟的圖式。

較佳實施例之詳細說明

[第一實施例]

於下，本發明第一實施例之SONOS-型非揮發性半導體記憶體40係參照圖式來說明。

請參照第15A - 15D圖、第16A - 16C圖、第17A - 17D

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (23)

圖、第18A - 18C圖、第19A - 19C圖、第20A - 20C圖、第21A - 21C圖、第22A - 22C圖、第23A - 23D圖、第24A - 24C圖、第25A - 25C圖、第26A - 26C圖、第27A - 27D圖、第28A - 28C圖、第29A - 29D圖與第30A - 30C圖。

第15(A)圖係顯示一非揮發性半導體記憶體40中之記憶晶胞區域40M的平面圖，而第15B圖係顯示沿第15A圖之線 $X_1 - X_1$ 之記憶晶胞區域40M的橫截面圖。再者，第15C圖係顯示沿第15A圖之線 $X_2 - X_2$ 之記憶晶胞區域40M的橫截面圖。再者，第15D圖係顯示沿第15A圖之線 $X_3 - X_3$ 之記憶晶胞區域40M的橫截面圖。

參照第15A - 15D圖。

藉一於900 - 1000°C下進行之熱氧化製程，於一p型Si基材41上形成一具有200 - 500 nm厚度之場氧化薄膜41F，以界定出一作用區域。而後，於作用區域上形成一ONO薄膜42。

詳言之，將暴露於作用區域處之Si基材41表面於800 - 1100°C下進行一熱氧化製程，且因此，係形成一具有5 - 10 nm厚度之第一氧化物薄膜5。再者，在600 - 800°C下，於該第一氧化物薄膜上進行一CVD製程，且因此沈積一具有12 - 16 nm厚度之氮化物薄膜。而後，在1000 - 1100 °C下，將一濕式氧化製程施用至氮化物薄膜，以形成一具有5 - 10 nm厚度之第二氧化物薄膜。

於第15A圖之製程中，一具有一相對於各資料位元線DBL之開口的光阻圖案 R_2 係形成於已形成之ONO薄膜42

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明 (24)

上。而後， As^+ 離子係透過前述之光阻開口，而於50 - 90keV之加速電壓下，藉一離子植入製程(其實施之劑量為 2×10^{15} - $5 \times 10^{15} \text{ cm}^{-2}$)而引至Si基材41內。因此，多數的n-型位元線擴散區域41D係以相對於資料位元線DBL之方式形成於Si基材41內，其等係彼此平行。

第16A圖係顯示第15A圖之線Y-Y'之記憶晶胞區域40M的橫截面圖，而第16B圖係顯示形成於用於非揮發性半導體記憶體40中之周邊電路區域40P內之n-通道周邊電晶體區域的橫截面圖。而第16C圖係顯示形成於非揮發性半導體記憶體40中之周邊電路區域40P內之p-通道周邊電晶體區域的橫截面圖。

參照第16A圖。

由圖可見，該位元線擴散區域41D係以資料位元線DBL之延伸方向連續地延伸於作用區域內，該作用區域係由一場絕緣薄膜41F所界定。另一方面，由第16B與16C圖可知，周邊電路區域40P之p-通道電晶體區域或周邊電路區域40P之n-通道電晶體區域係由第15A圖之光阻圖案 R_2 所覆蓋。因此，於周邊電路區域40P內不會發生離子植入基材中之情況。

由第15A圖之平面圖可知，位元線擴散區域41D係以平行於線Y-Y'之方向延伸，且位元線擴散區域41D之頂端部份係到達一形成於場絕緣薄膜41F內之開口，開口係相對於各位元線擴散區域41D。必須注意的是，開口形成一部分的作用區域(其界定於記憶晶胞區域40M內)。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (25)

由第15B圖之橫截面圖可知，各延伸於記憶晶胞區域40M內之場絕緣薄膜41F係彼此區分成二作用區域。於此一部份中，可見該場絕緣薄膜41F係藉此等開口而被區分成多個部份。

而後，光阻圖案 R_2 係於第17A - 17D圖之製程中被移除，且以一大體垂直該擴散區域41D之延伸方向之方向，於Si基材41上形成多個多晶矽字元線電極43。必須注意的是，第17A圖係顯示非揮發性半導體記憶體40的平面圖。再者，第17B - 17D圖係各顯示沿第17A圖之線 $X_1 - X_1$ 、 $X_2 - X_2$ 與 $X_3 - X_3$ 之非揮發性半導體記憶體40的橫截面圖。如第17B圖所示，一SiN抗反射薄膜43R係形成於一字元線電極43上。

第18A圖係顯示沿第17A圖之線Y-Y'的橫截面圖。

參照第18A圖。

由圖可見，該字元線電極43係以固定的間隔而重複地形成於ONO薄膜42上。

於第17A圖之製程中，周邊電晶體之區域內的ONO薄膜42係在光阻圖案 R_2 移除後但在字元線電極43形成前，藉由一單幕製程而移除。而後，進行一800 - 1100°C的熱氧化製程。因此，形成一顯示於第18B與18C圖中之熱氧化物薄膜42ox，其典型上具有5 - 15 nm的厚度。必須注意的是，ONO薄膜42係已形成於記憶晶胞區域M中。而後，實質上不發生新的氧化物薄膜的形成，甚至於當施用此一熱氧化製程時亦不會發生。於需要更厚之熱氧化物薄膜的情

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明 (26)

況中，其必須僅移除薄膜區域內之氧化物薄膜，其係藉由蝕刻製程並同時使用一光阻圖案而達成。而後，該熱氧化物薄膜係再次生長。

再者，如第18B與18C圖所示，閘極電極 $43G_1$ 與 $43G_2$ 係在與形成字元線電極43幾乎同時的時候，形成於熱氧化物薄膜 $42ox$ 上，該熱氧化物薄膜 $42ox$ 係已形成於非揮發性半導體記憶體40的周邊電路區域中。

接下來，於第19A - 19C圖之步驟中， B^+ 離子係在50 - 80keV之加速電壓下，藉一離子植入製程(其實施劑量為 $3 \times 10^{12} - 1 \times 10^{13} \text{ cm}^{-2}$)而引入第17A圖之結構中。結果，一通道-停止擴散區域41d係形成於一對位元線擴散區域41D之間，如第19C圖所示。此一通道-停止擴散區域41d亦形成於位元線擴散區域41D之表面上，如第19A或19C圖之橫截面圖所示。因為通道-停止擴散區域41d內之B濃度量相當少(與位元線擴散區域41D內之As濃度比較，其少於 10^2)，所以省略通道-停止擴散區域的說明。

與第19A - 19C圖之離子植入製程有關， B^+ 離子的離子植入亦在第17A圖之橫截面Y - Y'處進行，如第20A圖所示。如第20B與20C圖所示，於前述之 B^+ 離子植入期間，於周邊電路區域40P上形成光阻圖案 R_3 。因此，於周邊電路區域40P處沒有 B^+ 離子植入的發生。

接下來，於第21A - 21C與22A圖之步驟中，於Si基材41上形成一光阻圖案 R_4 ，以使得光阻圖案 R_4 覆蓋該記憶體胞區域。藉由於此狀態下進行一n-型雜質元素或一p-型雜

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (27)

質元素之離子植入製程，擴散區域 41_{in} 或 41_{ip} 係形成於周邊電路區域內之閘極電極 $43G_1$ 或 $43G_2$ 之二側邊上，如第22B與22C圖所示。必須注意的是，於n-型雜質元素之離子植入製程期間，p-型電晶體區域係被一光阻圖案所覆蓋。同樣地，於p-型雜質元素之離子植入製程期間，n-型電晶體區域係被一光阻圖案所覆蓋。

接下來，於第23A - 23D圖與第24A - 24C圖之製程中，藉一CVD製程而於Si基材41上沈積一氧化物薄膜43W，其具有一100 - 200 nm之大體均一的厚度。再者，施用一大體垂直於該基材41之主要表面而作用的非等向性蝕刻，同時，使用一光阻圖案 R_5 以作為一罩幕，該光阻圖案 R_5 係選擇性地覆蓋該作用區域。結果，該氧化物薄膜43W係被圖案化。如第23B與23C圖所示，側壁絕緣薄膜 $43W_1$ 與 $43W_2$ 亦各自形成於閘極電極 $43G_1$ 與 $43G_2$ 的二側壁表面上。

如第23B圖所示，因為此一非等向性蝕刻製程之結果，側壁絕緣薄膜亦形成於字元線電極43之頂端部份。由第23B圖可了解，光阻圖案 R_5 係暴露出字元線電極43之頂端部份，因為如此，於此一字元線電極23之頂端部份的氧化物薄膜43W係被移除，且暴露出SiN抗反射薄膜43R。

由第24A圖可知，於非等向性蝕刻製程期間，記憶晶胞區域40M之作用區域內的氧化物薄膜43W係被光阻圖案 R_5 所覆蓋。因此，氧化物薄膜43W係不會被非等向性蝕刻製程所蝕刻。故，如第23C與23D圖或第24A圖所示，氧化物薄膜43W係持續地覆蓋該作用區域，甚至於在側壁絕緣

五、發明說明 (28)

薄膜43W₁與43W₂形成於周邊電路區域40P內之階段時亦覆蓋該作用區域。另一方面，於第23A - 23D圖之情況下，氧化物薄膜43W係不形成於位元線擴散區域41D之頂端部份，該尖端部份係侵入場絕緣薄膜41F之開口內，該開口係位於作用區域之外，即如第23B圖所示。因此，因為最上層之氧化物薄膜藉由非等向性蝕刻製程而移除的結果，而暴露出ONO薄膜42。

接下來，於第25A - 25C圖或第26A - 26C圖的製程中，記憶晶胞區域40M係被光阻圖案R₆所覆蓋，且一n-型雜質元素或p-型雜質元素之離子植入係被導入周邊電路區域40P中，同時使用閘極電極43G₁與43G₂以及側壁絕緣薄膜43W₁與43W₂作為一罩幕。因此，n-型擴散區域41n係形成於側壁絕緣薄膜43W₁外側，且p-型擴散區域41p係形成於側壁絕緣薄膜43W₂的外側。必須注意的是，於n-型雜質元素離子植入製程期間，p-型電晶體區域係被一光阻圖案所覆蓋。於p-型雜質元素離子植入製程期間，n-型電晶體區域係被一光阻圖案所覆蓋。

接下來，光阻圖案R₆係於第27A - 27D圖之製程中被移除。而後，位於暴露之字元線電極43之邊緣部份(見第23C圖)上的SiN抗反射薄膜43R與位於閘極電極43G₁與43G₂上之SiN薄膜43R，以及該SiN薄膜(其構成暴露於作用區域外之絕緣薄膜41F開口處之ONO薄膜)係藉一高溫磷酸處理而移除。再者，暴露於作用區域外之絕緣薄膜開口處之ONO薄膜42的SiO₂薄膜係藉HF處理而移除。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (29)

而後，於一已處理之Si基材41上，一Co薄膜與一TiN薄膜係藉一濺鍍製程而形成，其各具有5 - 10 nm 與20 - 50 nm的厚度，而後於450 - 550 °C下進行一快速熱回火製程。結果，一CoSi層46係以自我調準之方式形成於閘極電極43G₁與43G₂之已暴露的部份上，而後再形成於擴散區域41n與41p之已暴露的部份上。而後，該CoSi層46係形成於字元線電極43之位元線擴散區域41D上。

如第27A - 27D圖與第28A - 28C圖所示，除了欲形成金屬矽化物層之區域外，Si基材41之表面係由場絕緣薄膜41F或由氧化物薄膜43W所覆蓋。因此，必須注意的是，於本發明中該用於界定金屬矽化物區域的罩幕製程係不需要。

接下來，於第29A - 29D與第30A - 30C圖的步驟中，一內層絕緣薄膜47係沈積於第27A - 27D圖之構造上。再者，一接觸孔47A係以相對於位元線擴散區域41D之方式形成於內層絕緣薄膜內。再者，一接觸孔47B係以相對於該字元線電極43之邊緣部份而形成。再者，一接觸孔47C係以相對於周邊電路區域40P內之擴散區域41n而形成。參照第30B與30C圖。再者，一接觸孔47D係以相對於擴散區域41p方式而形成。此等接觸孔係暴露出該覆蓋各別之接觸區域的CoSi薄膜46。

於此一實施例中，所暴露之CoSi薄膜46係藉一乾蝕刻製程，而再進行一氧化物移除製程。而後，一金屬薄膜係沈積於內層絕緣薄膜47上，以填充接觸孔47A-47D。藉由

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明 (30)

圖案化所沈積之金屬薄膜，而於位元線擴散區域41D內形成佈線圖案48A - 48D。而後，佈線圖案48係形成至字元線電極43的邊緣部份。再者，佈線圖案48係形成於n-通道周邊電晶體之擴散區域41n內。同樣地，佈線圖案係相對於該p-通道MOS電晶體之擴散區域41p而形成。

於本實施例之非揮發性半導體記憶體40之接觸孔形成區域內之Si表面以及於任一記憶晶胞區域40M與周邊電路區域40P內之Si表面係被金屬矽化物薄膜46所覆蓋。因為如此，此Si表面係不會被蝕刻或侵蝕，甚至於在藉一乾蝕刻製程而施用該氧化物移除製程時亦不會被蝕刻。同樣地，本實施例藉於接觸區域之表面上形成低-光阻金屬矽化物薄膜46，而造成接觸光阻降低。藉此，可增進非揮發性半導體記憶元件的操作速度。必須注意的是，與第13A - 13D圖之實施例相反，於金屬矽化物薄膜46之形成製程期間，其不需使用一罩幕製程。因此，不會產生罩幕調準錯誤的問題，且可增進非揮發性半導體記憶元件之集積密度。

[第二實施例]

接下來，參照第31A - 31C圖、第32A - 32C圖、第33A - 33D圖、第34A - 34C圖、第35A - 35C圖、第36A - 36C圖、第37A - 37C圖、第38A - 38C圖、第39A - 39D圖、第40A - 40C圖、第41A - 41C圖、第42A - 42D圖、第43A - 43D圖、第44A - 44C圖、第45A - 45C圖、第46A - 46D圖與第

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (31)

47A - 47C圖以說明本發明第二實施例之SONOS-型非揮發性半導體記憶體60及其製造方法。

參照第31A - 31D圖。

第31A圖係顯示一形成於非揮發性半導體記憶體60中之記憶晶胞區域60M的平面圖，而第31B圖係顯示沿第31A圖之線 $X_1 - X_1$ 之記憶晶胞區域60M的橫截面圖。再者，第31C圖係顯示沿第31A圖之線 $X_2 - X_2$ 之記憶晶胞區域60M的橫截面圖。再者，第31D圖係顯示沿第31A圖之線 $X_3 - X_3$ 之記憶晶胞區域60M的橫截面圖。

參照第31A - 31D圖。

於 $900 \sim 1000^\circ\text{C}$ 下，藉一熱氧化製程而於一p-型Si基材61上形成一具有200 - 500 nm厚度之場氧化薄膜61F，以界定一作用區域。而後，於所界定之作用區域上形成一ONO薄膜62。

詳言之，在 $800 - 1100^\circ\text{C}$ 之溫度間，一熱氧化製程係施用至相對於該作用區域之Si基材61之暴露部份的表面處。因此，形成一具有5 - 10 nm之第一氧化物薄膜。

接下來，在 $600 - 800^\circ\text{C}$ 下，於第一氧化物薄膜上進行一CVD製程，且於該第一氧化物薄膜上沈積一具有12 - 16nm厚度之氮化物薄膜。而後，在 $1000 - 1100^\circ\text{C}$ 下，藉一濕式氧化製程而於該氮化物薄膜上形成一具有5 - 10 nm厚度之第二氧化物薄膜。

於第31A圖之製程中，一具有一相對於該各資料-位元線DBL之開口的光阻圖案 R_{11} 係形成於該已形成之ONO

(請先閱讀背面之注意事項再填寫本頁)

訂

表

五、發明說明 (32)

薄膜62上。再者， As^+ 離子係藉由一離子植入製程，而經一光阻開口引入至Si基材61中，該製程係在90 keV之加速電壓下進行，其使用劑量為 $2 \times 10^{15} - 5 \times 10^{15} \text{ cm}^{-2}$ 。於此方式中，一大量之n-型位元線擴散區域61D係以相互平行之關係，而以相對於該資料-位元線DBL之方式形成於Si基材61中。

第32A圖係顯示沿第31A圖之線Y-Y'之記憶晶胞區域60M的橫截面圖，而第32B圖係顯示該形成於非揮發性半導體記憶體60之周邊電路區域60P內之n-通道周邊電晶體區域的橫截面圖。再者，第32C圖係顯示於非揮發性半導體記憶體60之周邊電路區域60P內之p-通道周邊電晶體區域的橫截面圖。

參照第32A圖。

由第32(A)圖可知，位元線擴散區域61D係以資料位元線DBL之延伸方向而連續延伸通過該由場絕緣薄膜61F所界定之作用區域。另一方面，由第32B與32C圖可知，於第31A圖之狀態下，p-通道電晶體區域或n-通道電晶體區域係被一光阻圖案 R_{11} 所覆蓋。因此，於n-通道電晶體區域或p-通道電晶體區域中，不會發生離子植入至基材中之現象。

參照第31A圖之平面圖。

由圖可知，各位元線擴散區域61D係以平行於線Y-Y'之方向延伸，且擴散區域61D之頂端部份係到達形成於場絕緣薄膜61F中之相對應之開口處，該場絕緣薄膜61F係

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (33)

對應於該位元線擴散區域61D。必須注意的是，場絕緣薄膜61F係界定了記憶晶胞區域60M中的作用區域。同樣地，由第31B圖之橫截面圖可知，記憶晶胞區域60M中之場絕緣薄膜61F係被此等開口區分成多個部份。如此所形成之場絕緣薄膜61F係將作用區域分割成二個作用區域。

接下來進行第33A - 33D圖與第34A - 34C圖之製程，其中周邊電路區域60P內之ONO薄膜62係先被移除。而後，進行一熱氧化製程且於周邊電路區域60P上形成一熱氧化物薄膜62ox，如第34B與34C圖所示。接下來，藉一CVD製程而形成一具有100 - 500 nm厚度之非晶矽層63，其摻雜有P至 $-2 \times 10^{20} - 3 \times 10^{21} \text{ cm}^{-3}$ 之承載密度，以使得非晶矽層63連續地覆蓋記憶晶胞區域60M之作用區域。同時，具有相同組成物之非晶矽閘極電極63G₁與63G₂係形成於周邊電路區域60P上，如第34B與34C圖所示。於第34B與34C圖中可知，一SiN抗反射薄膜63R係形成於非晶矽閘極電極63G₁與63G₂上。必須注意的是，抗反射薄膜63R係已使用於非晶系閘極電極63G₁與63G₂之圖案化製程中。相同的抗反射薄膜63R亦形成於記憶晶胞區域60M中之非晶矽層63上。

參照第33A與33B圖以及第34A圖。

非晶矽層63係不形成於位元線擴散區域61D之邊緣部份區域上，其侵入至場氧化薄膜61F的開口內。因此，於第33A - 33D圖與第34A - 34C圖之狀態下，記憶晶胞區域60M內之ONO薄膜62係暴露於位元線擴散區域61D之邊緣

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明 (34)

部份區域，該區域係鄰近於非晶矽層63。

接下來，參照第35A - 35C圖與第36A - 36C圖之製程。

於此步驟中，記憶晶胞區域40M係被一光阻圖案 R_{12} 所覆蓋，且於周邊電路區域60P中進行n-型雜質元素之離子植入製程與p-型雜質元素之離子植入製程。因此，如第36B與36C圖所示，於Si基材61中之n⁻-型LDD區域 61_{ln} 係形成於閘極電極63G₁的二側邊。再者，一p⁻-型LDD區域 61_{pn} 係形成於閘極電極63G₂的二側邊。必須注意的是，於注入n-型雜質離子期間，p-型電晶體區域係以一光阻圖案所覆蓋。同樣地，於注入p-型雜質離子期間，n-型電晶體區域係被一光阻圖案所覆蓋。

接下來，於第37A - 37C圖以及第38A - 38C圖之製程中移除光阻圖案 R_{13} 。而後，一SiN薄膜或SiO₂薄膜係藉一CVD製程而形成於已形成之結構上，其具有一100 - 200nm的均一厚度。再者，藉一非等向性蝕刻製程而施用一回蝕製程，其係以大致垂直於基材61之主表面的方向作用，且一側壁絕緣薄膜63W係形成於記憶晶胞區域60M內之非晶矽層63的側壁表面上。同時，一側壁絕緣薄膜63W₁係形成於周邊電路區域60P內之閘極電極63G₁的二側壁表面上。再者，一側壁絕緣薄膜63W₂係形成於閘極電極63G₂之二側壁表面上。

接下來，於第39A - 39C圖與第40A - 40C圖之步驟中，記憶晶胞區域60M係被一光阻圖案 R_{13} 所覆蓋，且於Si基材61之周邊電路區域60P處進行一n-型雜質元素或p-型雜

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (35)

質元素之離子植入製程，同時使用閘極電極 $63G_1$ 與 $63G_2$ 以及側壁絕緣薄膜 $63W_1$ 與 $63W_2$ 作為罩幕，如第40B與40C圖所示。因此，一 n^+ -型擴散區域 $61n$ 係形成於周邊電路區域 $60P$ 內之側壁絕緣薄膜 $63W_1$ 的外側，如第40B圖所示。再者，一 p^+ -型擴散區域 $61p$ 係形成於側壁絕緣薄膜 $63W_2$ 的外側，如第40C圖所示。必須注意的是，於 n -型雜質元素之離子植入製程期間， p -型電晶體區域係以一光阻圖案覆蓋之。再者，於 p -型雜質元素之離子植入製程期間， n -型電晶體區域係以一光阻圖案所覆蓋。

接下來，於第41A - 41D圖與第42A與42B圖之製程中移除光阻圖案 R_{13} ，且一高溫磷酸處理與一HF處理係施用至所獲得之結構上。結果，自非晶矽薄膜63之表面處移除SiN抗反射薄膜。同時，移除所暴露之ONO薄膜62。

接下來，於第41A - 41D圖與第42A與42B圖之步驟中，一Co層與一TiN層係藉一濺鍍製程而連續地形成於所獲致之結構上，其各具有5 - 10 nm 與20 - 50 nm的厚度。而後，於450 - 550°C下，施用一快速熱回火製程。結果，一CoSi層66係均一地形成於非晶矽層63上。必須注意的是，CoSi層66係同時形成於位元線擴散區域 $61D$ 之暴露邊緣部份上、周邊電晶體之閘極電極 $63G_1$ 與 $63G_2$ 上，且更形成於擴散區域 $61n$ 與 $61p$ 之表面上。

接下來，於第43A - 43D圖與第44A與44B圖之步驟中，藉一電漿CVD製程而形成一具有60 - 100 nm厚度之SiN抗反射薄膜 $63R_2$ 。而後，藉微影製程而進行一圖案化製程，

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明 (36)

且一字元線電極63係形成於記憶晶胞區域60M上，以橫越位元線擴散區域61D。於所形成之字元線電極63上係載有CoSi層66。

於第43A - 43D圖與第44A與44B圖之微影製程中，必須注意的是，周邊電路區域60P係被光阻薄膜所覆蓋。因此，於周邊電路區域60P內不會發生圖案化的現象。

於本實施例中，必須注意的是，非晶矽層63之側壁絕緣薄膜63W仍存在於基材61上，其係因為非晶矽層63圖案化之原因，而使得側壁絕緣薄膜63W包圍該作用區域，如第43D圖與第44A圖所示。

於此例中，其不欲具有此一側壁絕緣薄膜63W之殘餘物，字元線電極63可與側壁絕緣薄膜63W形成為一單一體，同時使用最外層之字元線電極63L作為一假電極，如第44(D)圖所示。

再者，參照第45A - 45C圖與第46A - 46C圖。

於此製程中，B⁺離子係藉一離子植入製程而被注入前述之結構(參照第43A - 43D圖與第44A - 44C圖)，該離子植入製程係在80keV之加速電壓下，劑量為 $3 \times 10^{12} - 1 \times 10^{13} \text{cm}^{-2}$ 下進行。因此，於一對鄰近之位元線擴散區域61D間形成一通道-停止擴散區域61d，如第45C圖所示。

於此實施例中，必須注意的是，B⁺離子的植入亦於周邊電路區域60P內進行，如第46B與46C圖所示。因為僅有非常少量之B⁺，因此，甚至於當離子植入進行至此周邊電路區域60P時，也不會發生重要的問題。此一通道停

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (37)

止擴散區域61d亦形成於位元線擴散區域61D內且亦形成於擴散區域61n與61p的鄰近處內。由於於此等區域內僅含有非常少濃度之B(少於 10^2)，故省略其等之說明。

最後，參照第47A - 47D圖與第48A - 48C圖。

於此製程中，一內層絕緣薄膜67係沈積於結構上，此結構已參照第45A - 45C圖與第46A - 46C圖而清楚說明。再者，一接觸孔67A係相對於位元線擴散區域61D而形成於內層絕緣薄膜內。而後，一接觸孔67B係相對於字元線電極63L之邊緣部份而形成。再者，一接觸孔67C係相對於周邊電路區域60P內之擴散區域66_{in}而形成。見第48B與48C圖。而後，一接觸孔67D係相對於擴散區域61p而形成。於此等接觸孔中，必須注意的是，該覆蓋接觸區域之CoSi薄膜66係被暴露。

再者，於此實施例中，一乾蝕刻製程係被施用至所暴露之CoSi薄膜66上，以移除天然的氧化物。而後，一金屬薄膜係沈積於內層絕緣薄膜67上，以填充接觸孔67A - 67D。藉由圖案化所形成之金屬薄膜，以於相對於位元線擴散區域61D、字元線電極63之邊緣部份、n-通道周邊電晶體之擴散區域61n與p-通道MOS電晶體之擴散區域61p處形成各佈線圖案68A - 68D。

如同前述之實施例，於本實施例之非揮發性半導體記憶體60中，於任一記憶晶胞區域60M與周邊電路區域60P內之接觸孔區域處的Si表面係以金屬矽化物薄膜66覆蓋之。因此，當以乾蝕刻製程而進行天然氧化物移除製程時，

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明 (38)

Si表面亦不會被蝕刻或侵蝕。再者，由於於接觸區域之表面上形成低-光阻金屬矽化物薄膜66，故可降低接觸光阻，且可增進非揮發性半導體元件的操作速度。再者，可免除於第13A - 13D圖之實施例中金屬矽化物薄膜66形成時提供一罩幕之需求。由於此關係，故不會產生罩幕調準錯誤之問題，且可能增加非揮發性半導體記憶元件的集積密度。

再者，其亦可能將場絕緣薄膜41F或61F以一STI元件隔離結構所取代。再者，其可能使用一金屬電極以作為字元線電極43或63L。

再者，本發明係不受限於前述之實施例，但可在不偏離本發明之範疇內進行各種變化與改良。

元件標號對照表

10 NOR/AND類型之非揮發性半導體記憶體			
M	記憶晶胞陣列	20	電晶體
21、41、61	Si基材	21A	源極區域
21B	汲極區域	21D	n-型擴散區域
21d、41d、61d 通道-停止擴散區域			
21F、41F、61F 場氧化薄膜			
21 _{ln} 、61 _{ln}	n ⁻ -型LDD區域	21n、61n	n ⁺ -型擴散區域
21 _{lp} 、61 _{pn}	p ⁻ -型LDD區域	21p、61p	p ⁺ -型擴散區域
22、42、62	ONO薄膜	22a	氧化物薄膜
22b	氮化物薄膜	22c	氧化物薄膜

裝
訂
線

(請先閱讀背面之注意事項再填寫本頁)

五、發明說明 (39)

- 22ox、42ox、62ox 熱氧化物薄膜 23 多晶矽閘極電極
- 23S 側壁絕緣薄膜 24M 互連圖案
- 24W、24V 金屬互連圖案
- 25、47、67 內層絕緣薄膜
- 25A、25B、25C、25D 接觸孔
- 26 金屬矽化物層
- 40 SONOS-型非揮發性半導體記憶體
- 40M、60M 記憶晶胞區域
- 40P、60P 周邊電路區域
- 41D、61D n-型位元線擴散區域
- 41_{in}、41_{ip}、41_n、41_p 擴散區域
- 43 多晶矽字元線電極
- 43R、63R、63R₂ SiN抗反射薄膜
- 43G₁、43G₂、63G₁、63G₂ 閘極電極
- 43W 氧化物薄膜
- 43W₁、43W₂、63W、63W₁、63W₂ 側壁絕緣薄膜
- 46 CoSi層
- 47A、47B、47C、47D、67A、67B、67C、67D 接觸孔
- 48A - 48D、68A - 68D 佈線圖案
- 60 非揮發性半導體記憶體 63 非晶矽層
- 66 金屬矽化物薄膜

(請先閱讀背面之注意事項再填寫本頁)

訂

四、中文發明摘要（發明之名稱：

非揮發性半導體記憶元件及其製造方法

一種非揮發半導體記憶元件的製造方法，其包括於一元件隔離結構內形成多個開口的步驟，其於記憶晶胞區域內界定一作用區域，以使得各開口暴露該自作用區域延伸至作用區域外之基材表面。而後，藉自我調準製程而於開口內形成金屬矽化物區域，以使得金屬矽化物區域彼此分開。於內層絕緣膜內之相對於該金屬矽化物區域處再形成一接觸孔。

英文發明摘要（發明之名稱：

NON-VOLATILE SEMICONDUCTOR MEMORY
DEVICE AND FABRICATION PROCESS THEREOF

A fabrication process of a non-volatile semiconductor memory device includes the step of forming a plurality of openings in a device isolation structure defining an active region in a memory cell region such that each opening exposes the substrate surface extends from the active region to the outside thereof. Further, silicide regions are formed in the openings by a self-aligned process such that the silicide regions are mutually separated. Further a contact hole is formed in an interlayer insulation film in correspondence to the silicide regions.

（請先閱讀背面之注意事項再填寫本頁各欄）

裝

訂

線

六、申請專利範圍

1. 一種非揮發性半導體記憶元件，其包含：

一半導體基材，其載有一作用區域，該作用區域係藉由一其上之元件隔離結構而界定之；

多個形成於作用區域中之擴散區域，其等彼此間具有一間隔，各擴散區域係沿一第一方向延伸；

一字元線電極，其沿一與該第一方向交叉之第二方向延伸於該作用區域上；以及

一可儲存電荷之絕緣薄膜，其係以相對該字元線電極的方式形成於該作用區域上，且位於該作用區域之表面與該字元線電極之間，該可儲存電荷之絕緣薄膜係具有一堆疊結構，其中一氮化物薄膜與一氧化物薄膜係連續地堆疊於一氧化物薄膜上，

該元件隔離結構具有多個開口，其各於相對於多個擴散區域之一延伸部份處暴露出該基材之表面，

各擴散區域係具有一延伸部份，其延伸至相對應之多個開口處之一；

各擴散區域之表面上載有一金屬矽化物薄膜。

2. 如申請專利範圍第 1 項之非揮發性半導體記憶元件，其更包含一周邊電路區域，該周邊電路區域包括另一位於該半導體基材上之擴散區域與一閘極電極，該金屬矽化物薄膜係形成於該另一擴散區域之表面與該閘極電極上。

3. 如申請專利範圍第 1 項之非揮發性半導體記憶元件，其中該可儲存電荷之絕緣薄膜係完全且連續覆蓋該作

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

用層。

4. 如申請專利範圍第 1 項之非揮發性半導體記憶元件，其中一絕緣薄膜係設置於該作用區域中，以連續地覆蓋該字元線電極之頂表面與側壁表面以及該基材表面之暴露部份。
5. 如申請專利範圍第 4 項之非揮發性半導體記憶元件，其中該絕緣薄膜係以一與其外形一致之方式覆蓋該字元線電極，且具有一均一的厚度。
6. 如申請專利範圍第 4 項之非揮發性半導體記憶元件，其中該絕緣薄膜係完全且連續地覆蓋該作用區域，且其中一內層絕緣薄膜係覆蓋該絕緣薄膜。
7. 如申請專利範圍第 6 項之非揮發性半導體記憶元件，其中於該字元線電極之一自該作用區域朝外延伸之延伸部份內係設置一金屬矽化物薄膜，且其中該內層絕緣薄膜係形成有另一接觸孔，該接觸孔係暴露出位於該作用區域外之一位置處之字元線的延伸部份。
8. 如申請專利範圍第 1 項之非揮發性半導體記憶元件，其中該字元線電極之其整個長度上係載有一金屬矽化物薄膜。
9. 如申請專利範圍第 8 項之非揮發性半導體記憶元件，其中該該延伸出該作用區域外之字元線電極的延伸部份係具有一由一側壁絕緣薄膜所形成之側壁，該側壁絕緣薄膜係構成一絕緣壁之部份，其延伸以圍繞該作用區域，該絕緣壁具有一橫截面外形，其大體上係以

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

垂直該基材之一表面的方向向上延伸。

10. 如申請專利範圍第 1 項之非揮發性半導體記憶元件，其中該字元線電極係由一導電半導體材料所形成。
11. 如申請專利範圍第 1 項之非揮發性半導體記憶元件，其更包含一設置於該半導體基材上之內層絕緣薄膜，以覆蓋該字元線電極，該內層絕緣薄膜具有一相對於該開口之接觸孔，一互連圖案係再形成於該內層絕緣薄膜上，以於開口處與該擴散區域相接觸。
12. 一種於半導體基材上製造一非揮發性半導體記憶元件的方法，該非揮發性半導體記憶元件具有一記憶晶胞區域與一周邊電路區域，該方法包含下列步驟：

藉形成一元件隔離薄膜而於該半導體基材之記憶晶胞區域上界定一作用區域；

於該作用層上形成一可儲存電荷之絕緣薄膜；

於該作用區域內形成多個位元線擴散區域，以使得各位元線擴散區域沿一第一方向彼此平行地延伸；

於該作用區域上形成一字元線電極，以一與第一方向交叉之第二方向延伸，且於該半導體基材之周邊電路區域上同時形成一閘極電極；

於該周邊電路區域內之閘極電極的二側壁表面上形成一側壁絕緣薄膜；

於該周邊電路區域內之閘極電極二側處形成第一與第二擴散區域，同時使用該閘極電極與該側壁絕緣薄膜作為一罩幕；以及

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

於該閘極電極之頂表面與該第一與第二擴散區域之表面上形成一金屬矽化物層；

該界定作用區域之步驟係包含下列步驟，即於元件隔離薄膜內，沿該作用區域之邊緣部份形成多個開口，該等開口係暴露出半導體基材的表面，以使得該半導體基材的表面係自該作用區域連續暴露至該作用區域之外部，

該形成多個位元線擴散區域的步驟係被進行，以使得各位元線擴散區域自作用區域連續延伸至其相對之開口處，

該於閘極電極上形成側壁絕緣薄膜的步驟係包含下列步驟：以一一般的絕緣薄膜覆蓋該閘極電極與該字元線電極，以及藉選擇性施用一回蝕製程至該周邊電路區域內之一般絕緣薄膜上並同時遺留作用區域上之一般絕緣薄膜以形成該側壁絕緣薄膜，

製造該非揮發性半導體記憶元件的方法進一步包含下列步驟：於該位元線擴散區域之表面上形成一金屬矽化物層，其延伸至各自相對的開口內，

該於位元線擴散區域上形成金屬矽化物層的步驟係與該於第一與第二擴散區域之表面上形成一金屬矽化物層的步驟同時進行。

13. 如申請專利範圍第 12 項之用於製造一非揮發性半導體記憶元件的方法，其更包含下列步驟：於該作用區域外之字元線電極的表面上形成一金屬矽化物層，該於

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

字元線電極上形成該金屬矽化物層的步驟係與該於位元線擴散區域上形成金屬矽化物層之步驟同時進行。

14. 如申請專利範圍第 12 項之用於製造一非揮發性半導體記憶元件的方法，其在於該位元線擴散區域上形成該金屬矽化物層之步驟之前更包含下列步驟，即自該位元線擴散區域之表面的開口處移除該可儲存電荷之絕緣薄膜的步驟。

15. 如申請專利範圍第 12 項之用於製造一非揮發性半導體記憶元件的方法，其中該於位元線擴散區域上形成該金屬矽化物層的步驟係與使用該元件隔離結構作為一自我對準光罩同時進行。

16. 如申請專利範圍第 12 項之用於製造一非揮發性半導體記憶元件的方法，其中該形成可儲存電荷之絕緣層的步驟係包含連續形成一氧化物薄膜與一氮化物薄膜及一氧化物薄膜的步驟。

17. 如申請專利範圍第 12 項之用於製造一非揮發性半導體記憶元件的方法，其在於位元線擴散區域上形成該金屬矽化物層的步驟後，更包含下列步驟：於該半導體基材上形成一內層絕緣薄膜；以各相對於該多個開口之方式，於該內層絕緣薄膜內形成多個接觸孔，以使得各接觸孔暴露出該半導體基材的一表面；藉乾蝕刻製程移除各多個接觸孔中之一天然氧化物薄膜；以及以電氣連接該接觸孔處之位元線擴散區域的方式，於該內層絕緣薄膜上形成一互連圖案。

(請先閱讀背面之注意事項再填寫本頁)

訂

線

六、申請專利範圍

18. 一種於半導體基材上製造一非揮發性半導體記憶元件的方法，該非揮發性半導體記憶元件具有一記憶晶胞區域與一周邊電路區域，該方法包含下列步驟：

藉形成一元件隔離結構而於該半導體基材之記憶晶胞區域上界定一作用區域；

於該作用區域上形成一可儲存電荷之絕緣薄膜；

於該作用區域內形成多個位元線擴散區域，以使得各位元線擴散區域沿一第一方向延伸，其等彼此間具有一間隔；

於作用區域上形成一導體層，以使得該導體層完整覆蓋該作用區域且同時於該半導體基材之周邊電路區域內形成一閘極電極；

於該周邊電路區域內之閘極電極的二側邊處形成第一與第二擴散區域，同時使用閘極電極與該側壁絕緣薄膜作為一罩幕；

於作用區域與周邊電路區域內之導體層頂面、閘極電極頂面與第一與第二擴散區域之表面上形成一金屬矽化物層；以及

圖案化該作用區域內之導體層，以形成一沿一與第一方向交叉之第二方向延伸之字元線電極，

該界定作用區域之步驟係包括下列步驟，即於該元件隔離薄膜內，沿該作用區域之邊緣部份形成多個開口，以各別暴露出相對於該多個位元線擴散區域之半導體基材的表面，而使得該半導體基材的表面自作

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

用區域連續暴露至作用區域外部，

該形成多個位元線擴散區域的步驟包括形成該位元線擴散區域的步驟，以使得各位元線擴散區域自作用區域連續延伸至其相對之開口處，

該方法進一步包含下列步驟，即，於多個位元線擴散區域之一表面上形成一金屬矽化物層，各區域係延伸至相對之一開口內，同時使用遺留於該作用區域上之一般絕緣薄膜作為一罩幕，

該於位元線擴散區域之表面上形成該金屬矽化物層的步驟係與於該字元線電極及第一與第二擴散區域上形成該金屬矽化物層的步驟同時進行。

19. 如申請專利範圍第 18 項之用於製造一非揮發性半導體記憶元件的方法，其更包含下列步驟：於該作用區域外之字元線電極的表面上形成一金屬矽化物層，該於字元線電極上形成該金屬矽化物層的步驟係與該於位元線擴散區域上形成金屬矽化物層之步驟同時進行。
20. 如申請專利範圍第 18 項之用於製造一非揮發性半導體記憶元件的方法，其在於該位元線擴散區域上形成該金屬矽化物層之步驟之前更包含下列步驟，即自該位元線擴散區域之表面的開口處移除該可儲存電荷之絕緣薄膜的步驟。
21. 如申請專利範圍第 18 項之用於製造一非揮發性半導體記憶元件的方法，其中該於位元線擴散區域上形成該金屬矽化物層的步驟係與使用該元件隔離結構作為一

(請先閱讀背面之注意事項再填寫本頁)

訂

線

六、申請專利範圍

自我對準光罩同時進行。

22. 如申請專利範圍第 18 項之用於製造一非揮發性半導體記憶元件的方法，其中該形成可儲存電荷之絕緣層的步驟係包含連續形成一氧化物薄膜與一氮化物薄膜及一氧化物薄膜的步驟。
23. 如申請專利範圍第 18 項之用於製造一非揮發性半導體記憶元件的方法，其在於位元線擴散區域上形成該金屬矽化物層的步驟後，更包含下列步驟：於該半導體基材上形成一內層絕緣薄膜；以各相對於該多個開口之方式，於該內層絕緣薄膜內形成多個接觸孔，以使得各接觸孔暴露出該半導體基材的一表面；藉乾蝕刻製程移除各多個接觸孔中之一天然氧化物薄膜；以及以電氣連接該接觸孔處之位元線擴散區域的方式，於該內層絕緣薄膜上形成一互連圖案。

(請先閱讀背面之注意事項再填寫本頁)

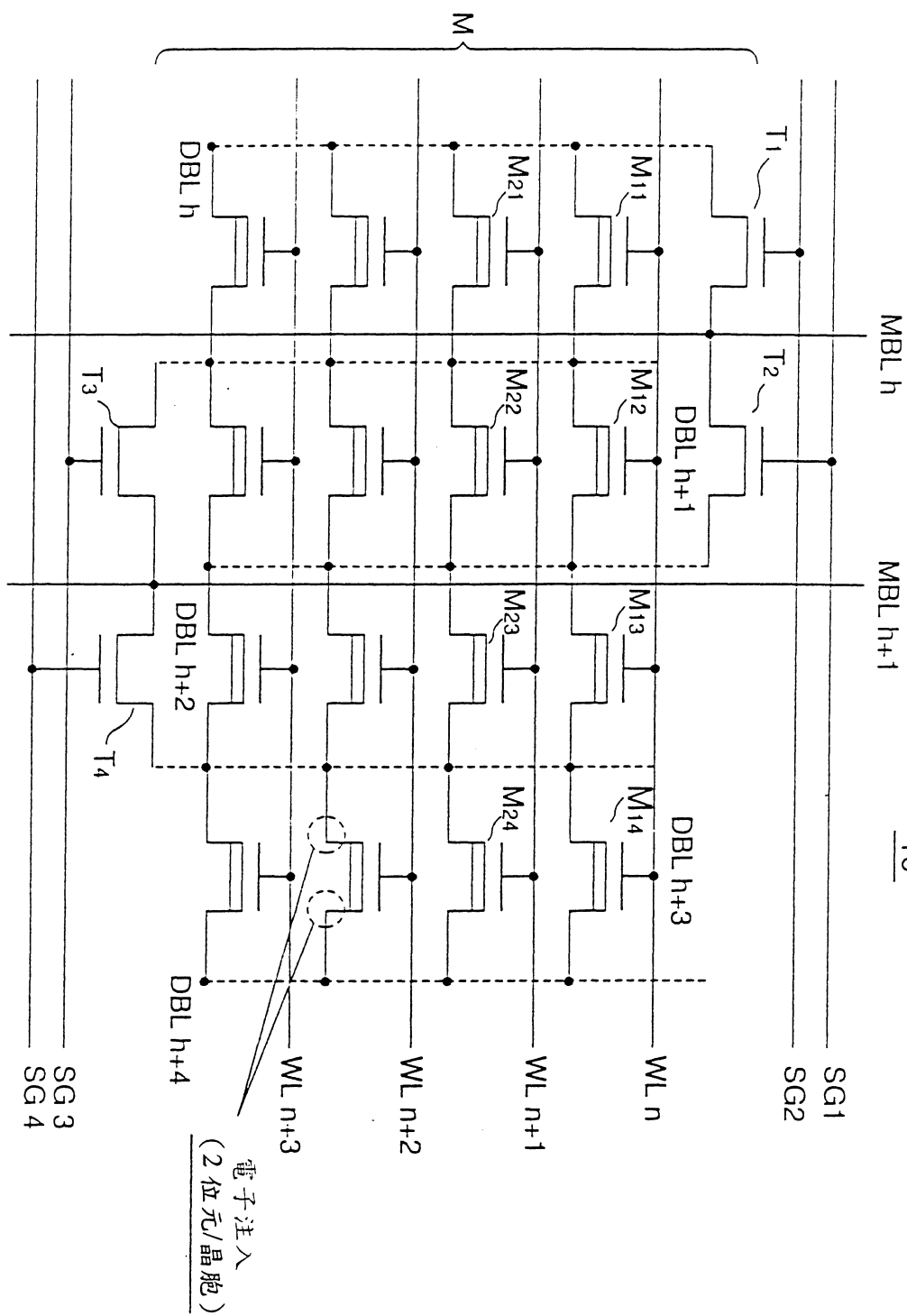
裝

訂

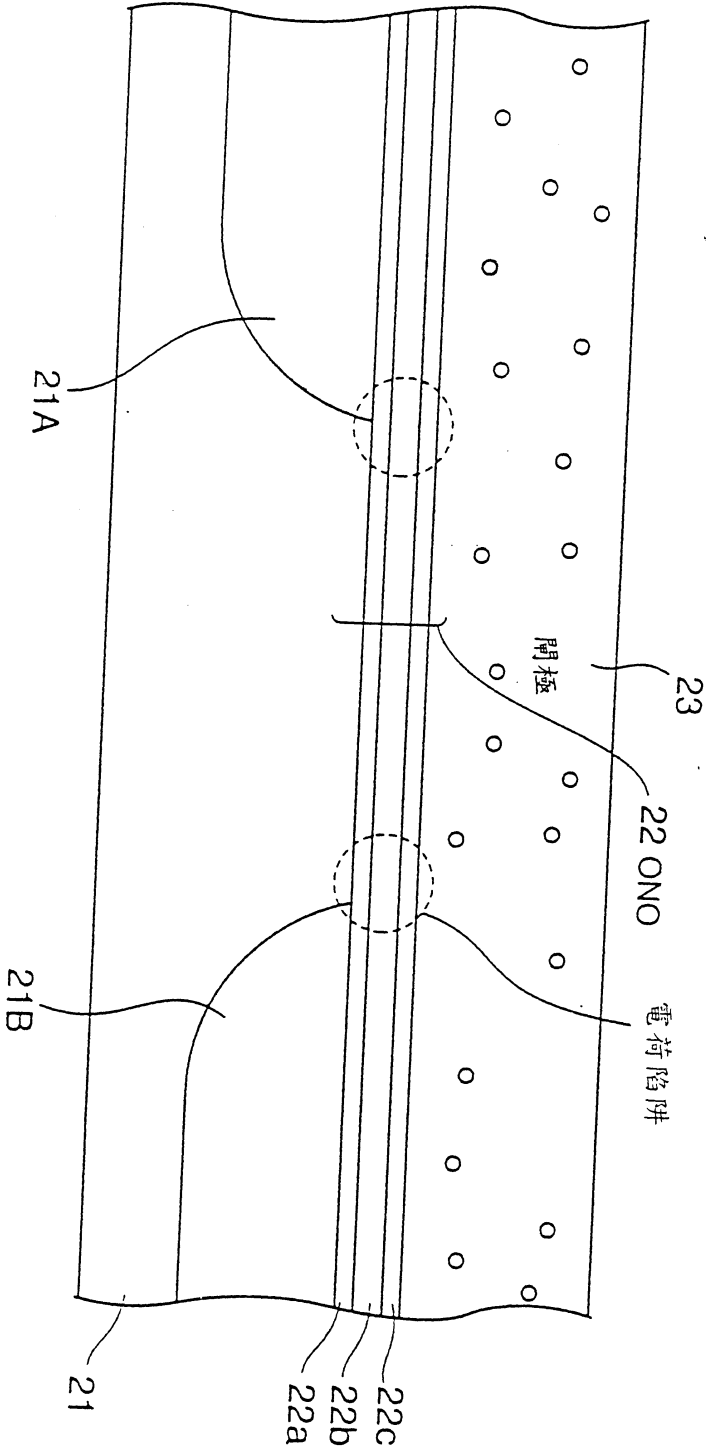
線

第 1 圖 相關技藝

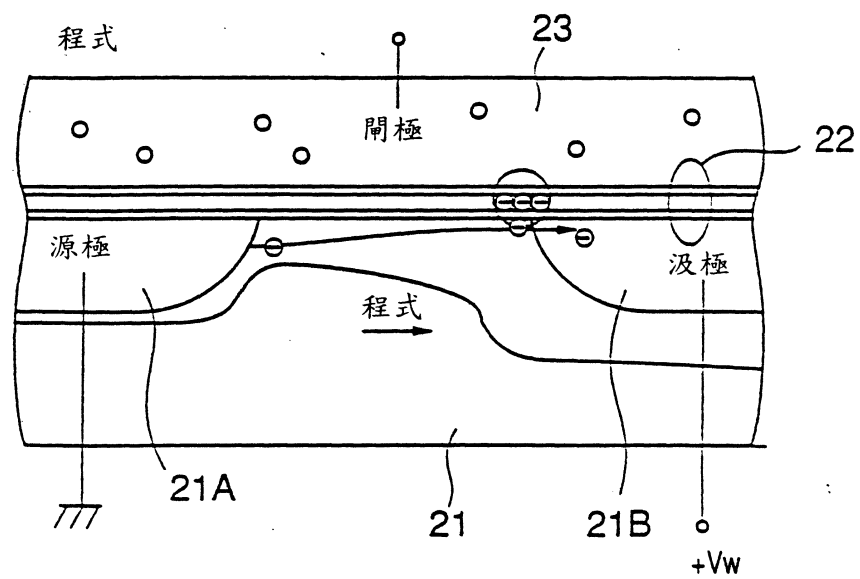
10



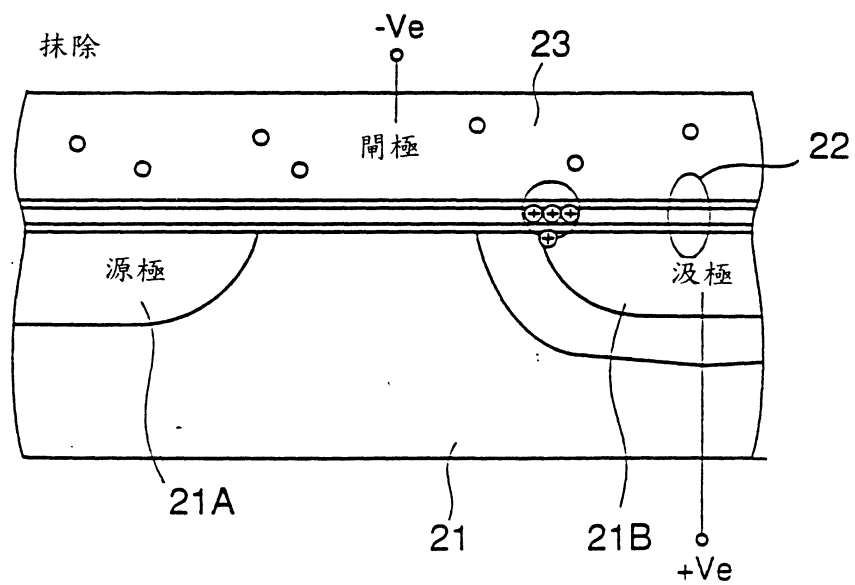
第 2 圖 相關技藝



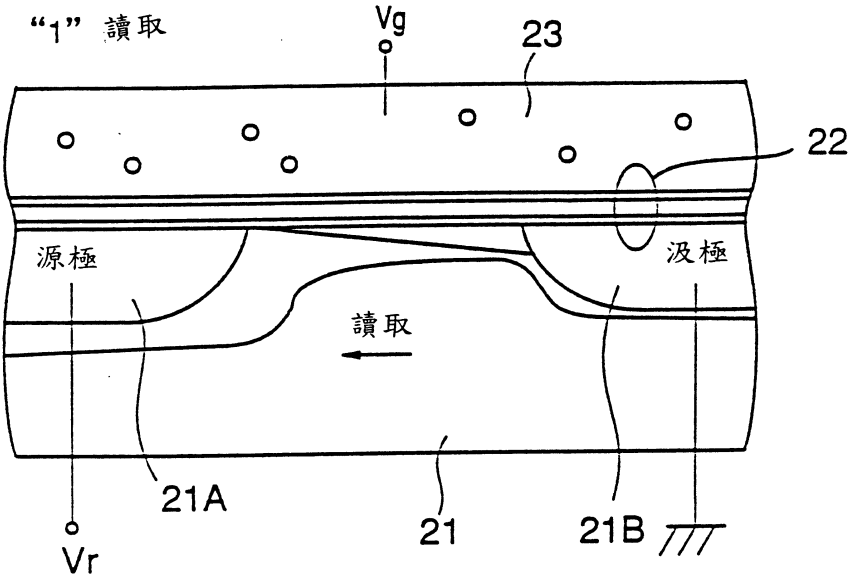
第 3A 圖
相關技藝



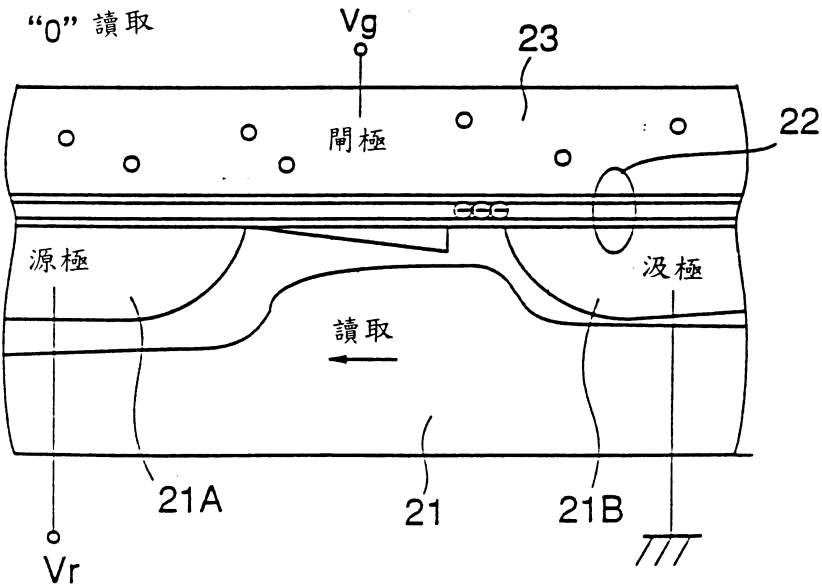
第 3B 圖
相關技藝



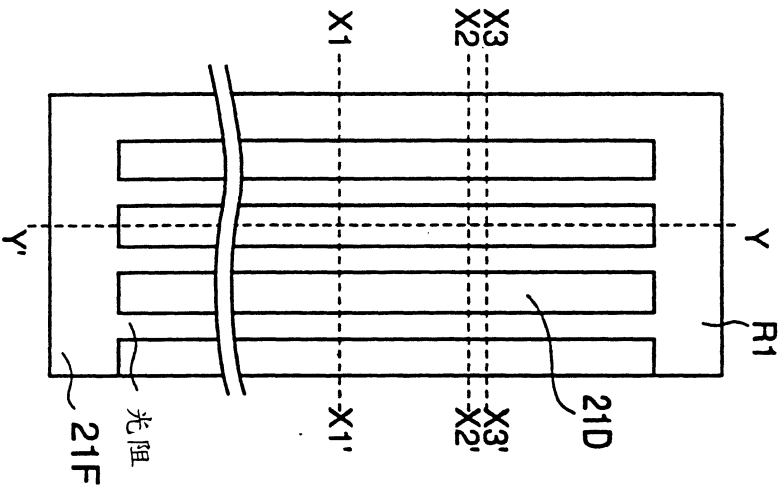
第 4A 圖 相關技藝



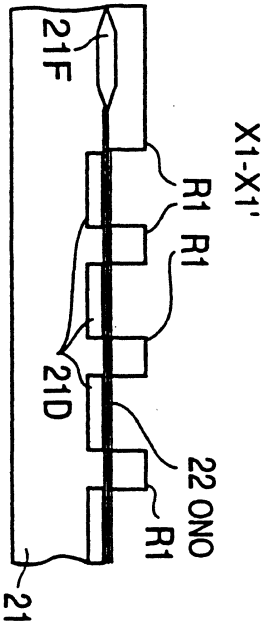
第 4B 圖 相關技藝



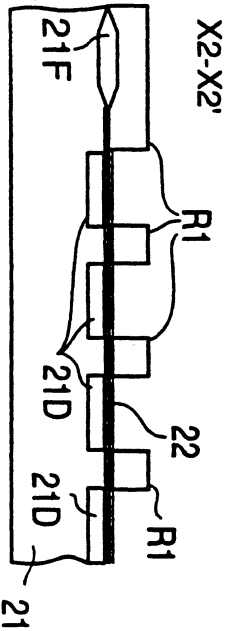
第 5A 圖 相關技藝



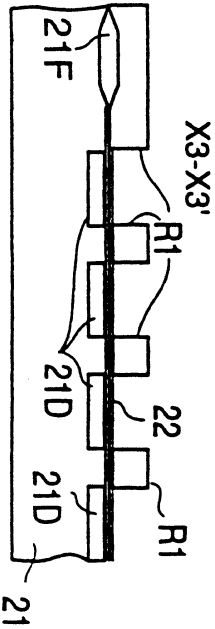
第 5B 圖
相關技藝



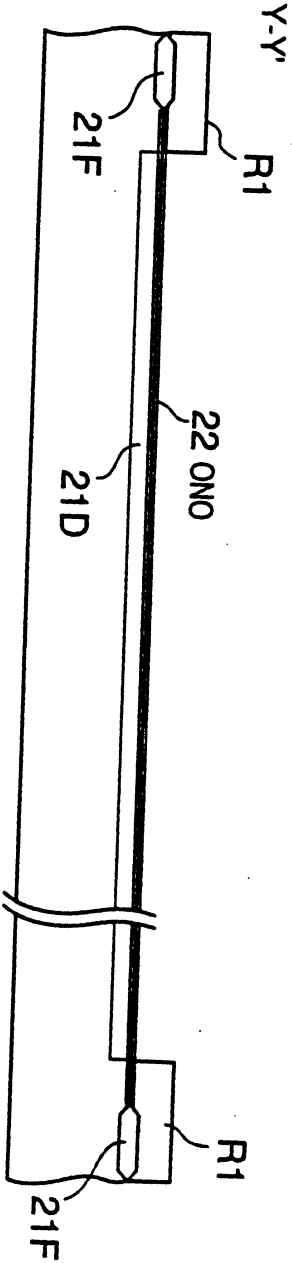
第 5C 圖
相關技藝



第 5D 圖
相關技藝

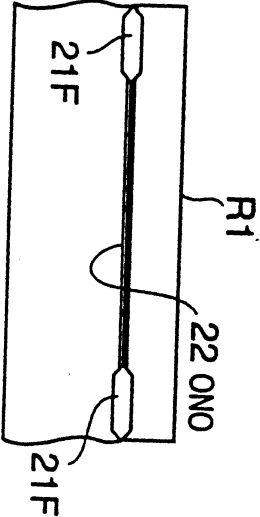


第 6A 圖 相關技藝



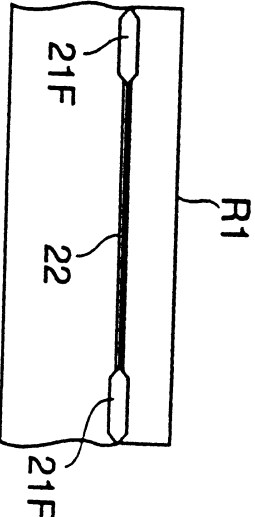
第 6B 圖 相關技藝

周邊Nch Tr

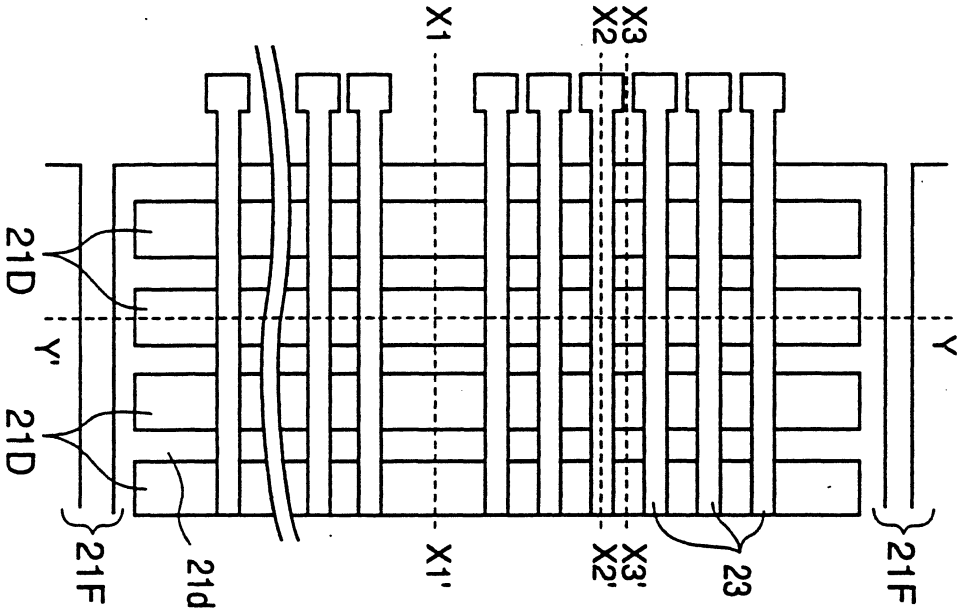


第 6C 圖 相關技藝

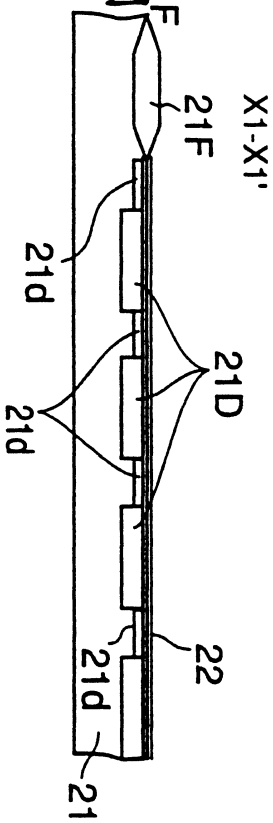
周邊Pch Tr



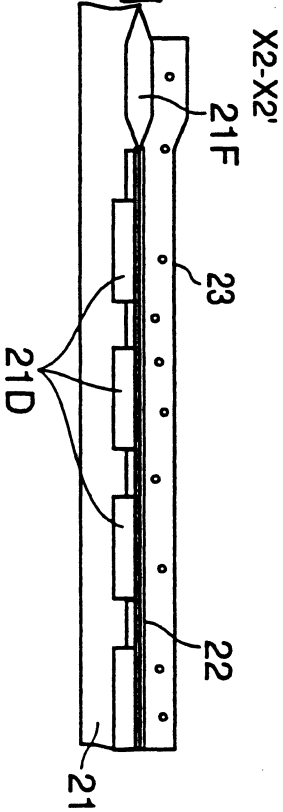
第7A圖 相關技藝



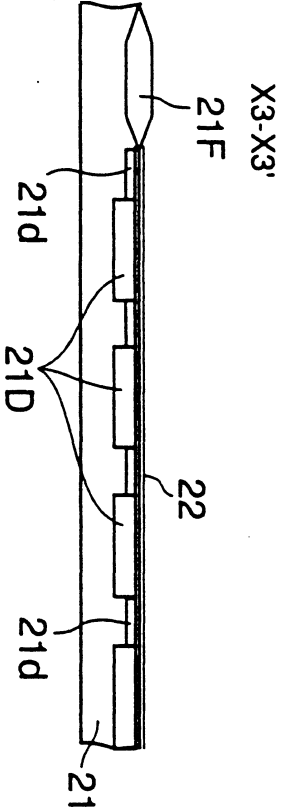
第7B圖 相關技藝



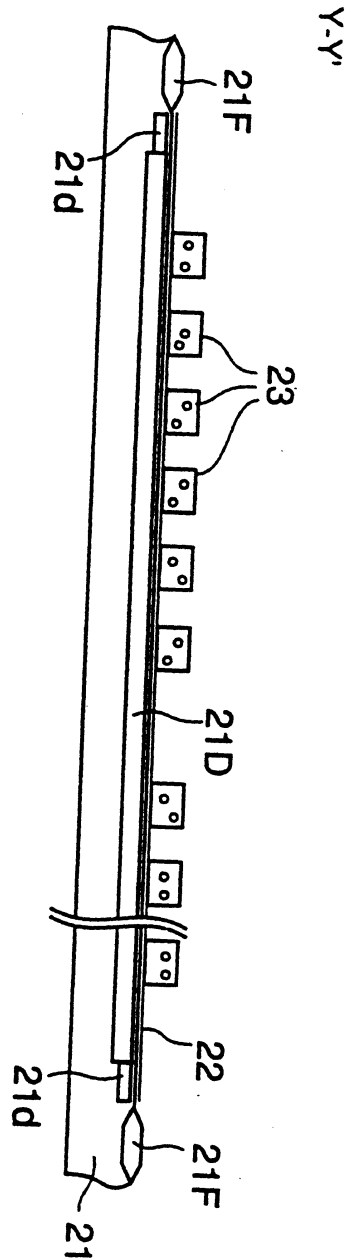
第7C圖 相關技藝



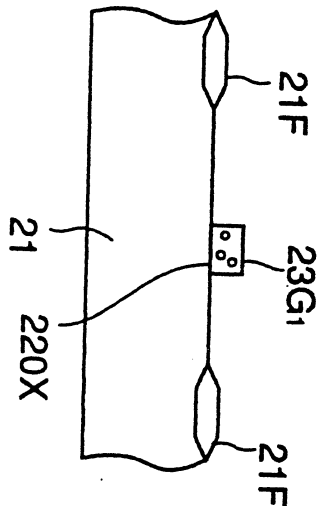
第7D圖 相關技藝



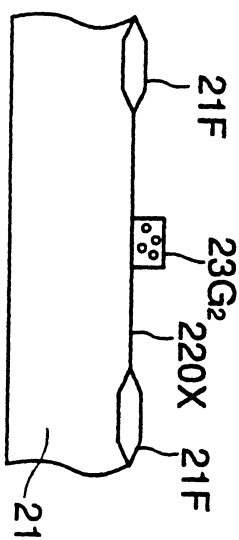
第 8A 圖 相關技藝



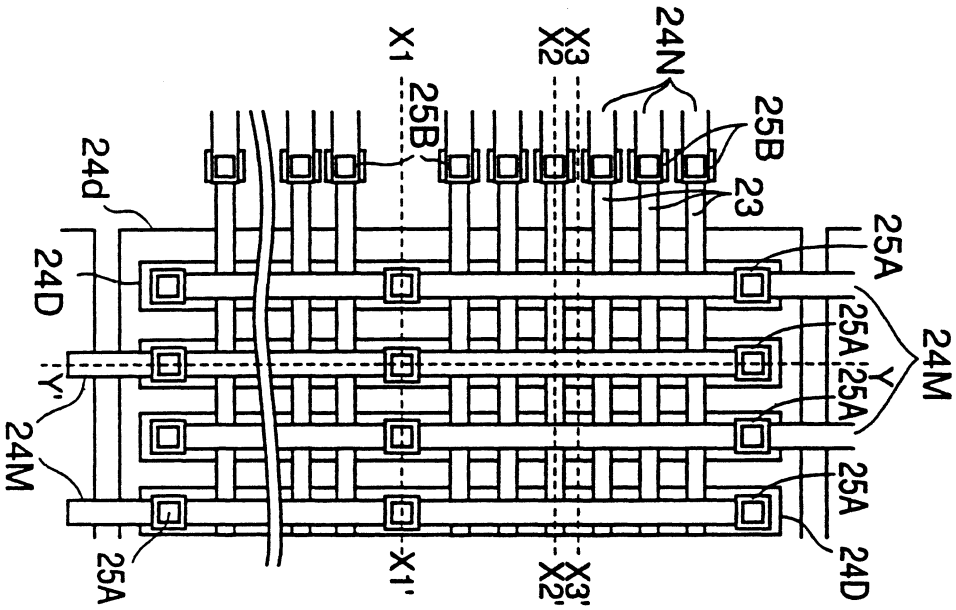
第 8B 圖 相關技藝
周邊Nch Tr



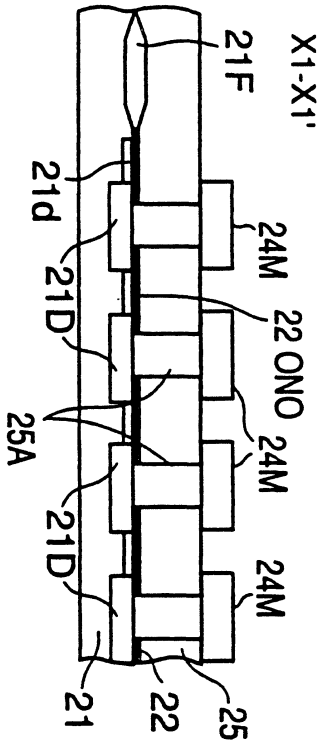
第 8C 圖 相關技藝
周邊Pch Tr



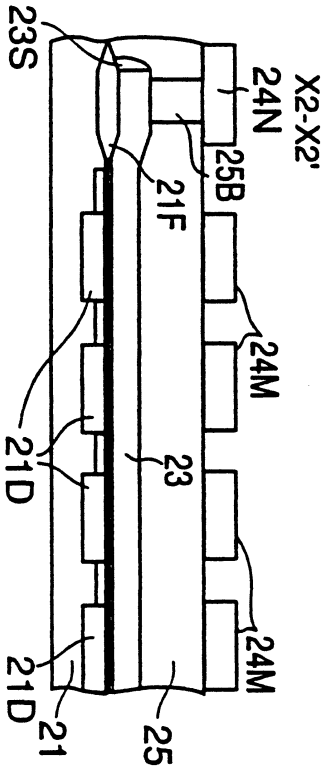
第 9A 圖 相關技藝



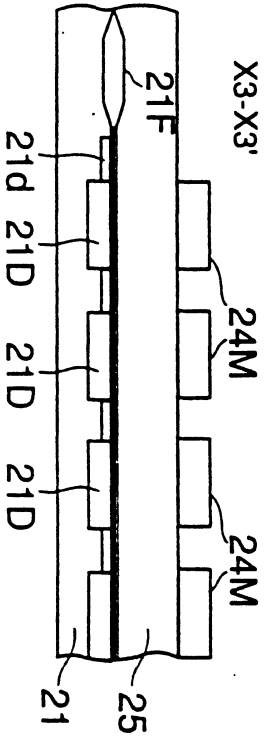
第 9B 圖 相關技藝



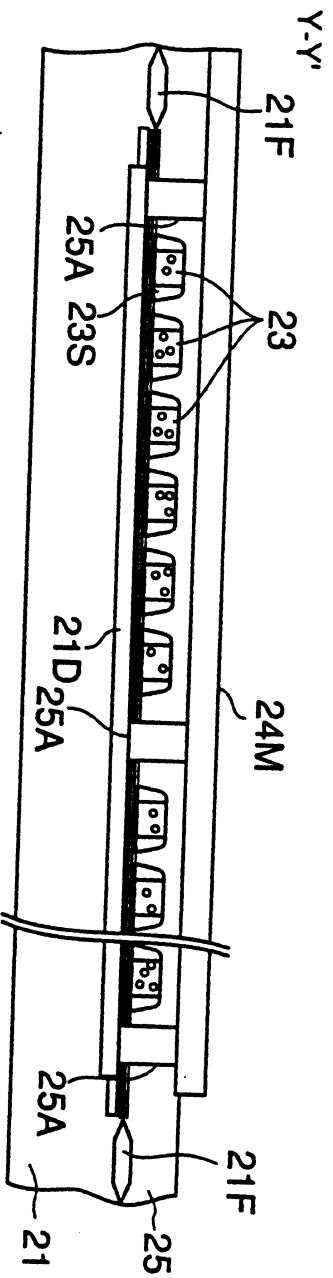
第 9C 圖 相關技藝



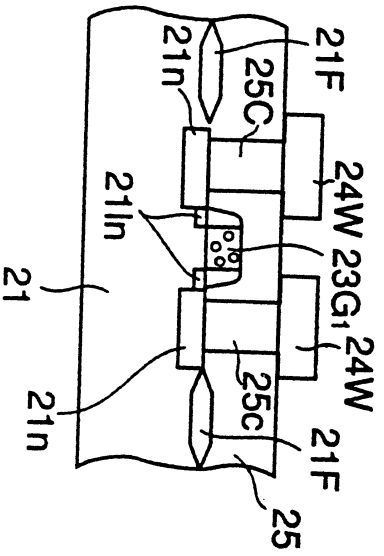
第 9D 圖 相關技藝



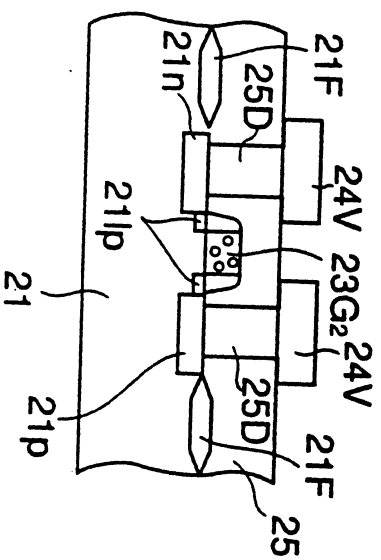
第10A圖 相關技藝



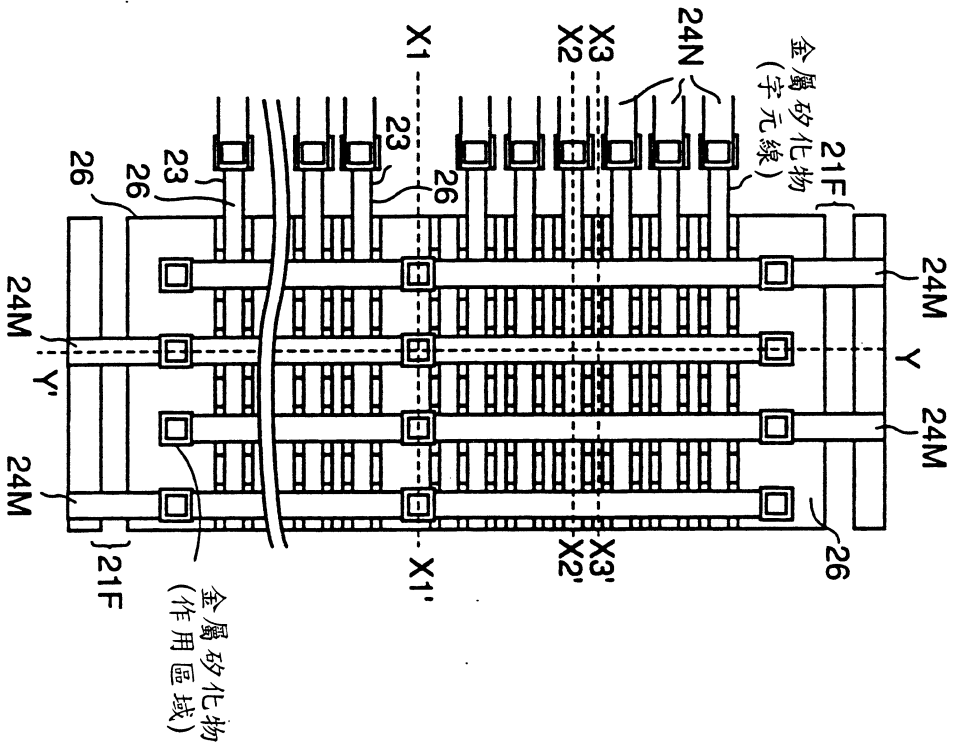
第10B圖 相關技藝
周邊Nch Tr



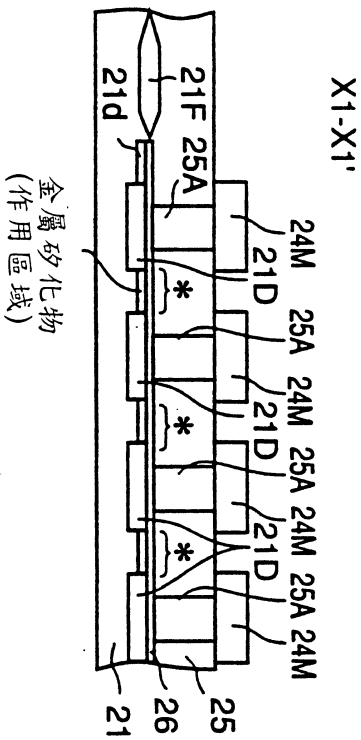
第10C圖 相關技藝
周邊Pch Tr



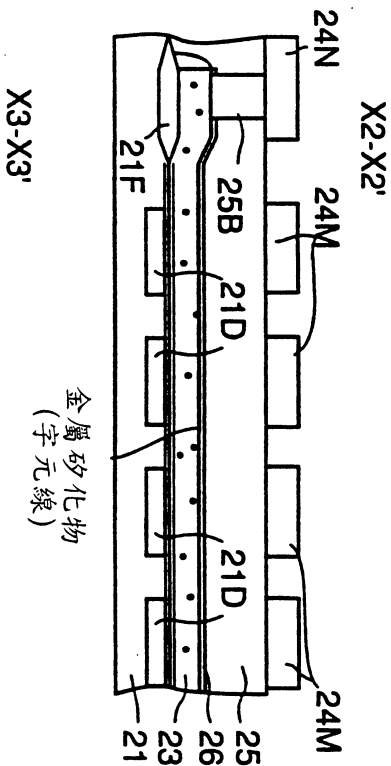
第11A圖



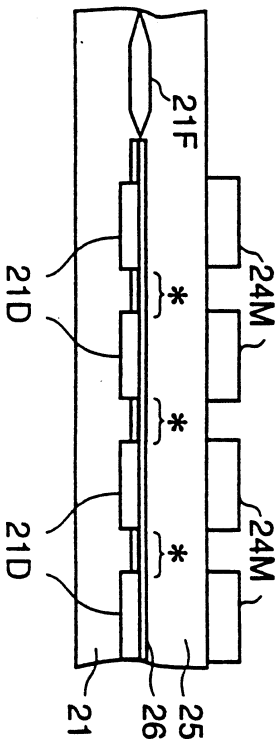
第11B圖



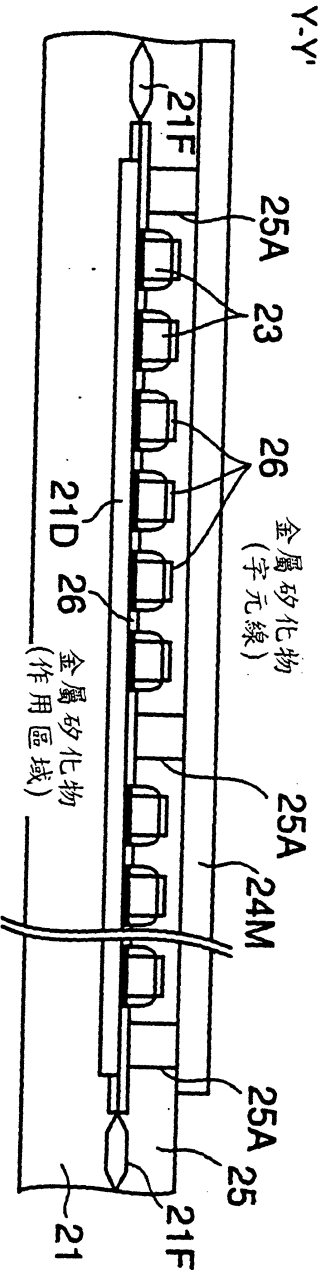
第11C圖



第11D圖

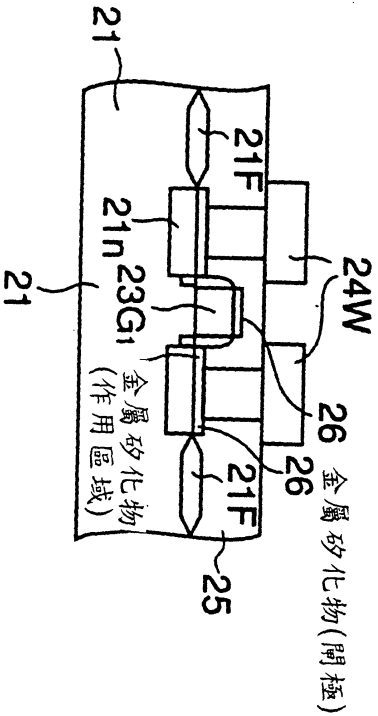


第12A圖



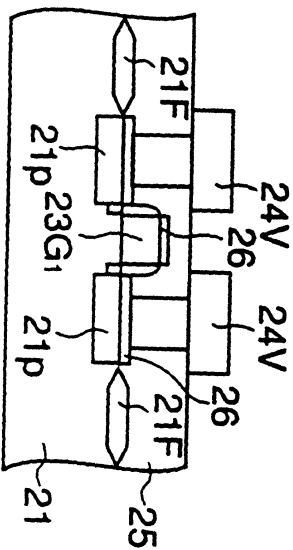
第12B圖

周邊Nch Tr

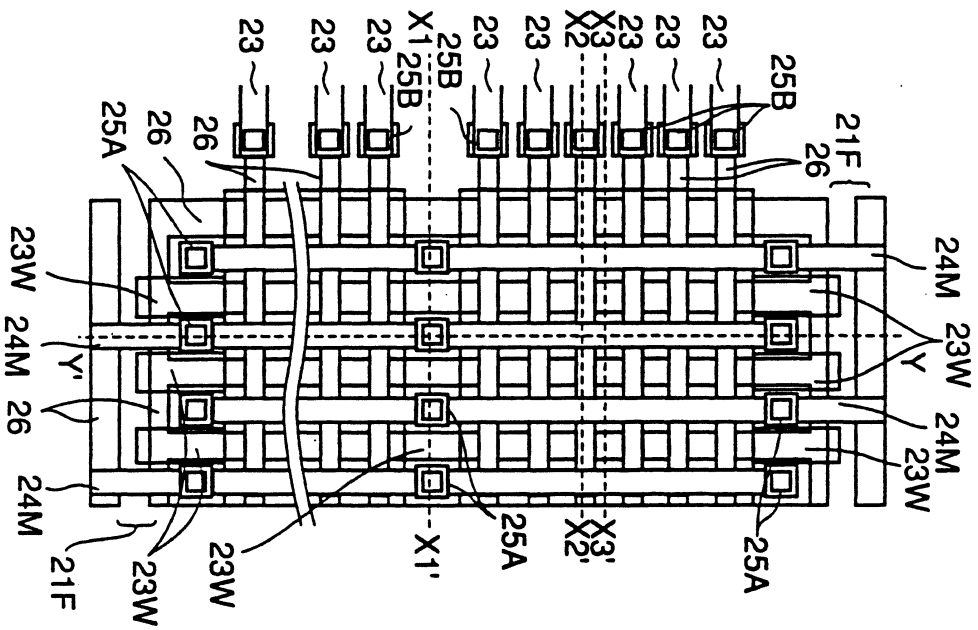


第12C圖

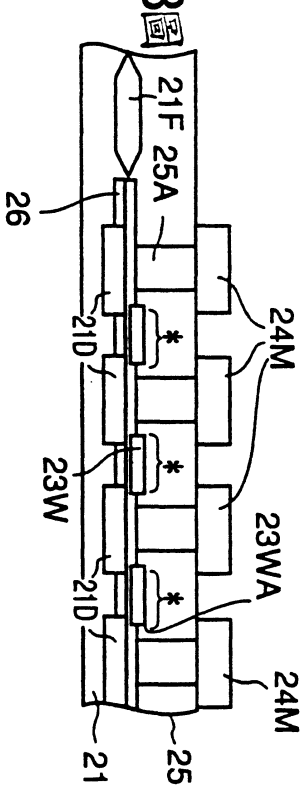
周邊Pch Tr



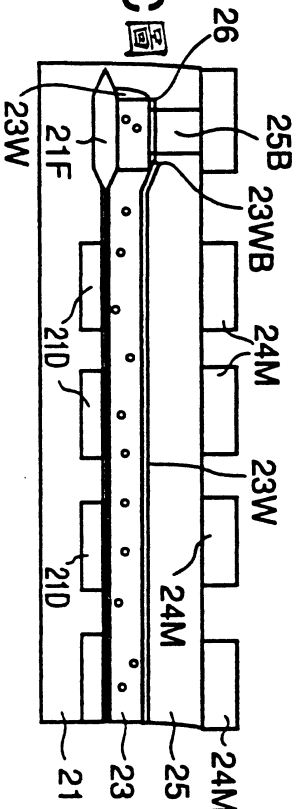
第13A圖



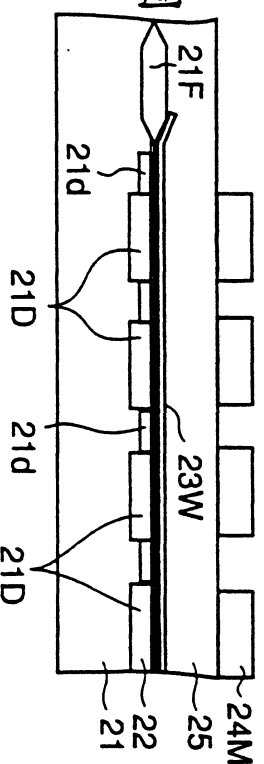
第13B圖



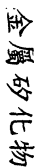
第13C圖



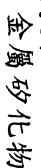
第13D圖



Y-Y'

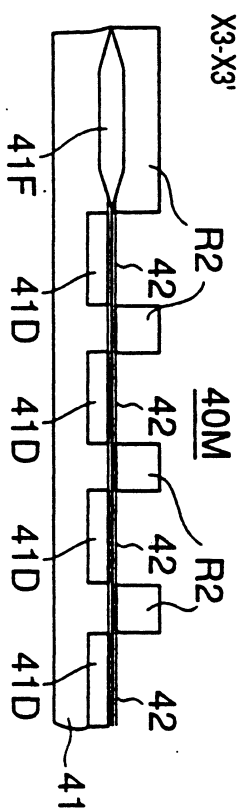
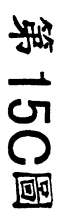


周邊Nch Tr



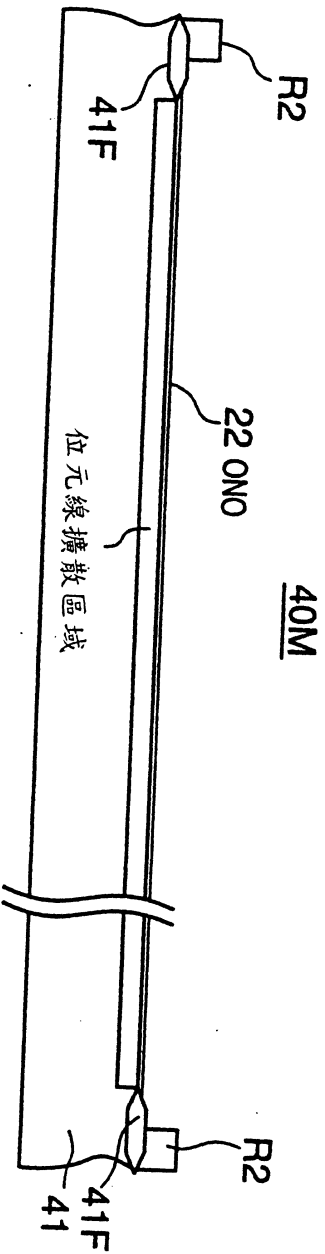
周邊Pch Tr





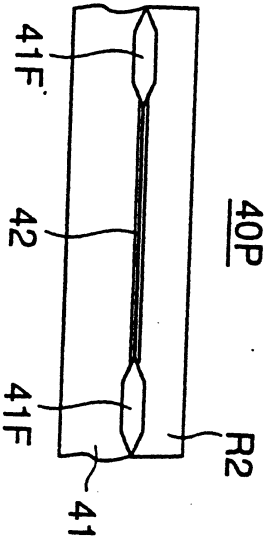
第16A圖

Y-Y'



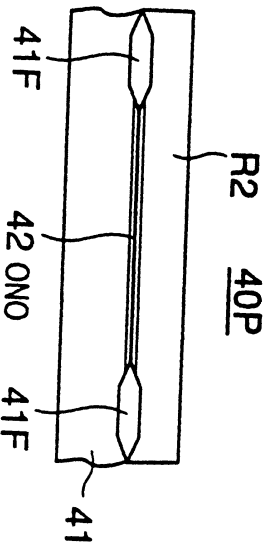
第16B圖

周邊Nch Tr

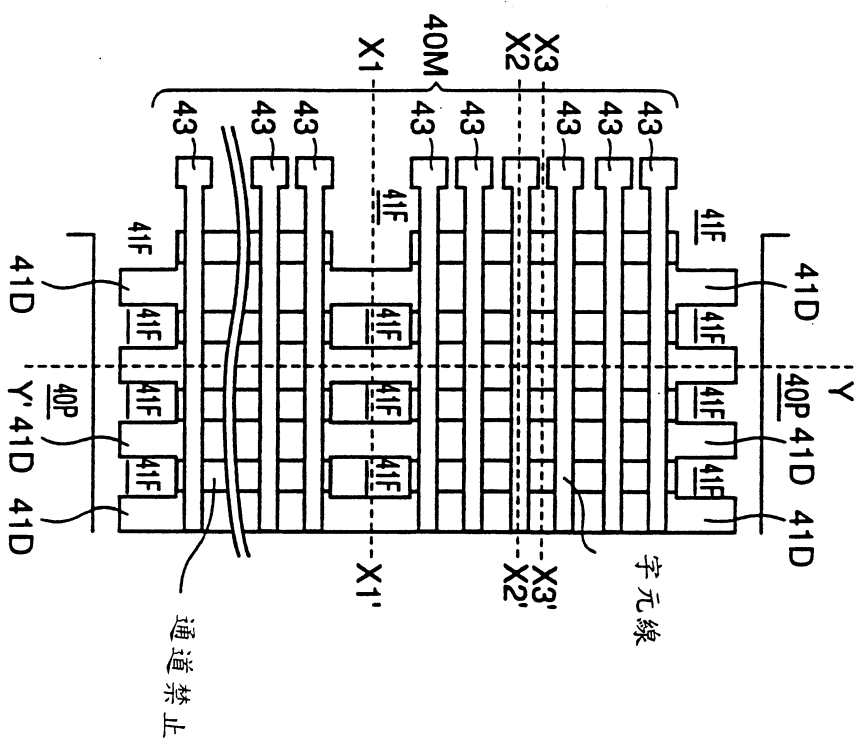


第16C圖

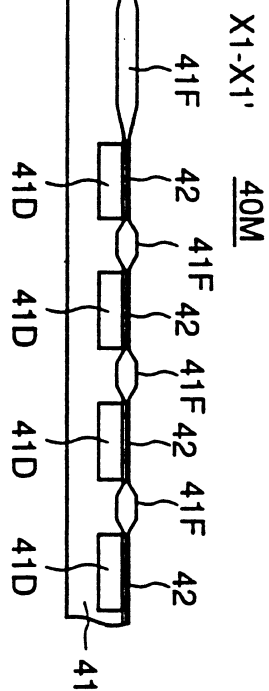
周邊Pch Tr



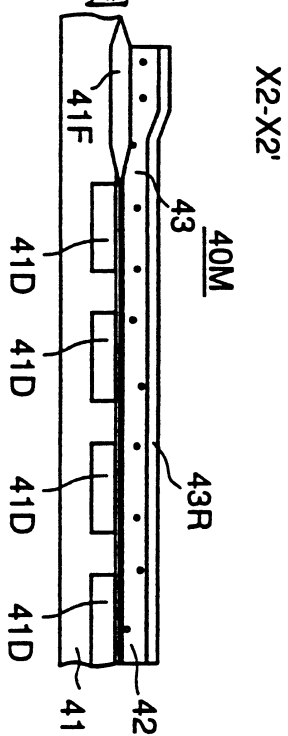
第17A圖



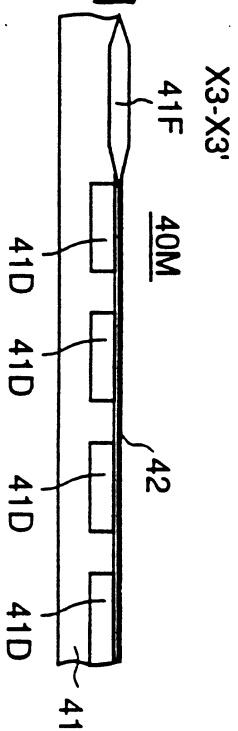
第17B圖



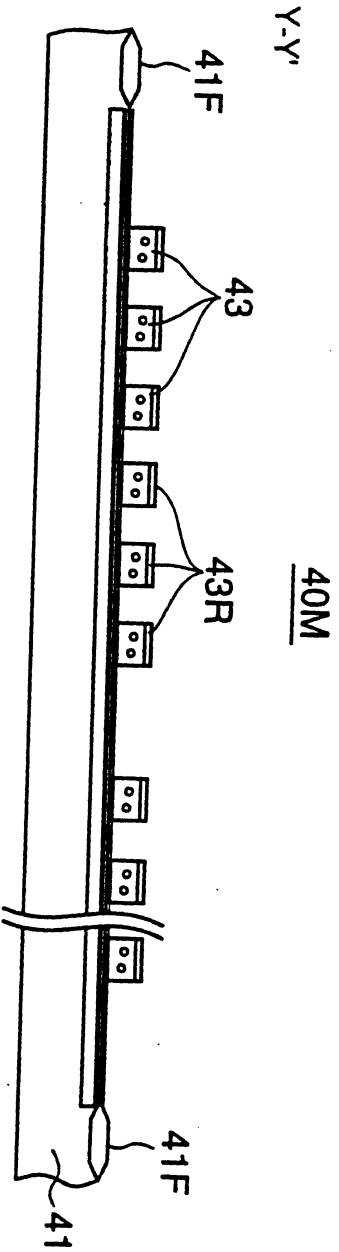
第17C圖



第17圖

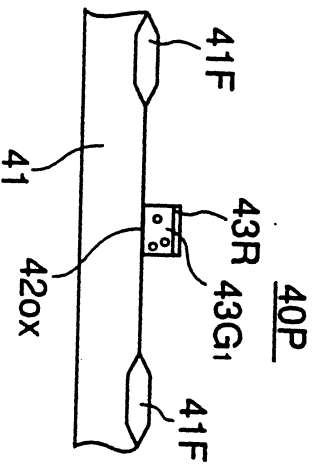


第18A圖



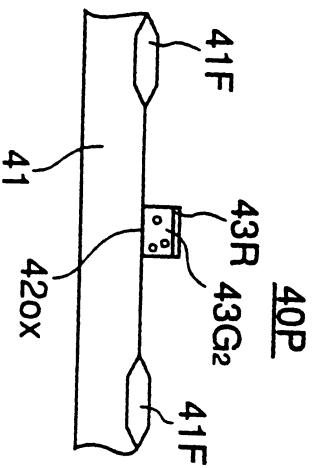
第18B圖

周邊Nch Tr

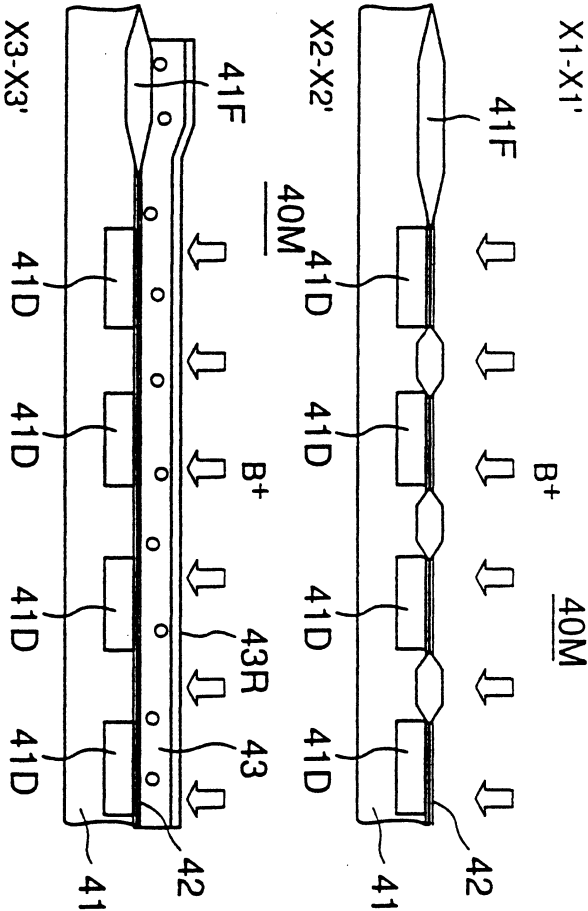


第18C圖

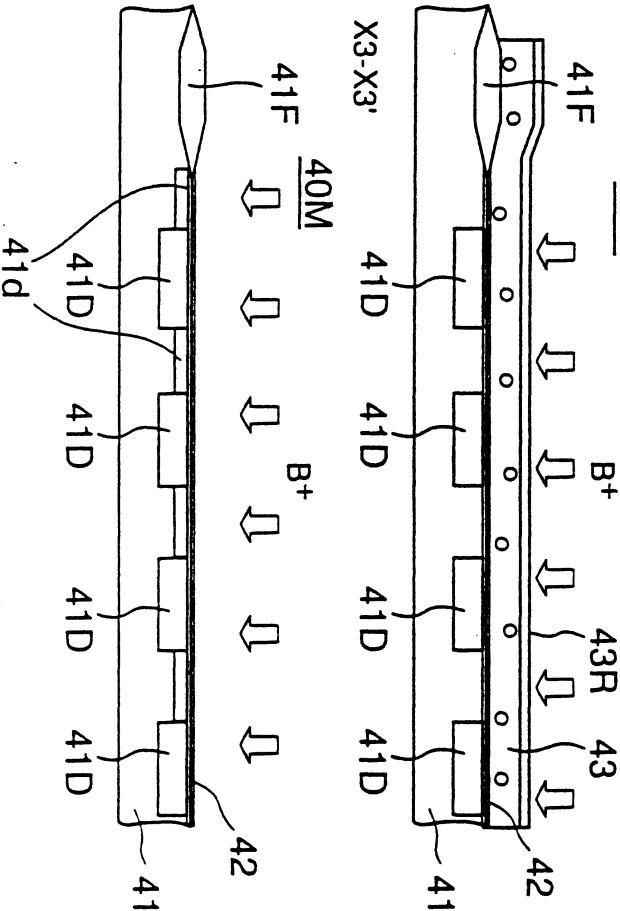
周邊Pch Tr



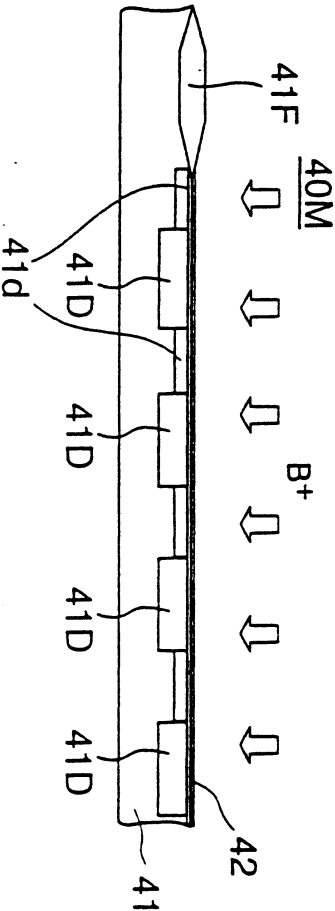
第19A圖



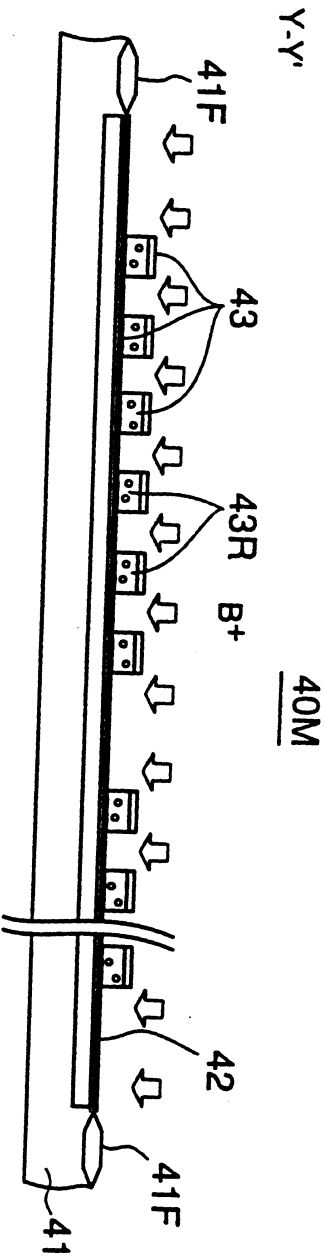
第19B圖



第19C圖

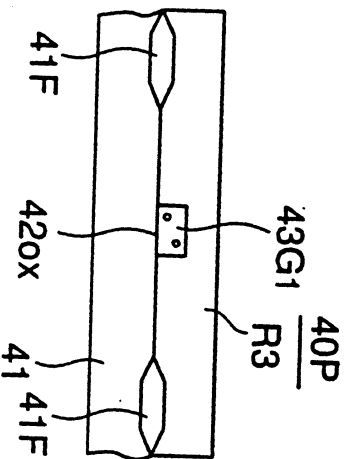


第 20A 圖



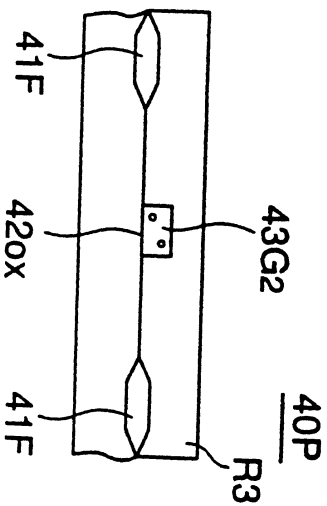
第 20B 圖

周邊Nch Tr

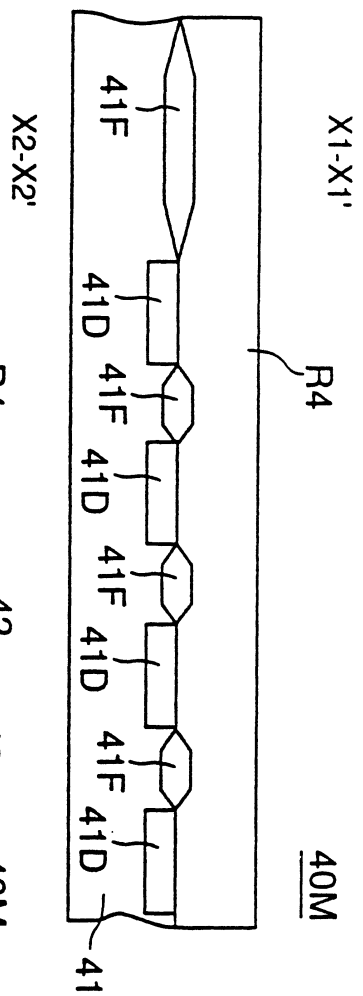


第 20C 圖

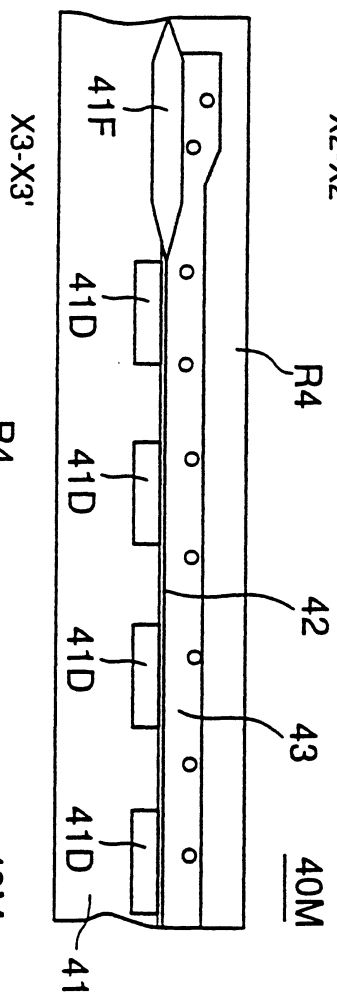
周邊Pch Tr



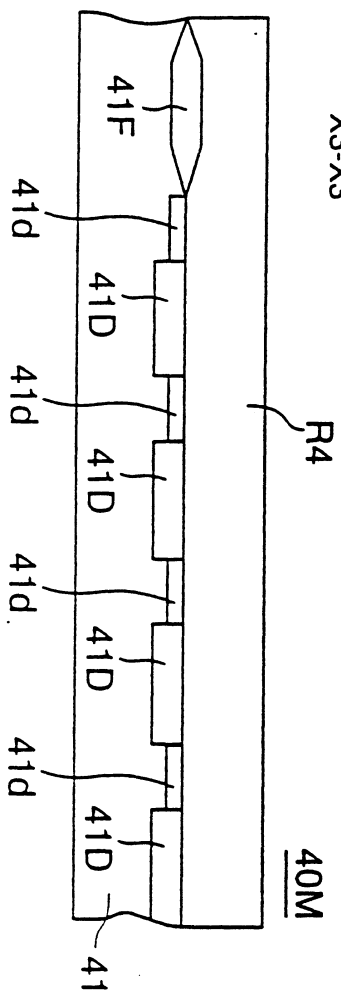
第21A圖



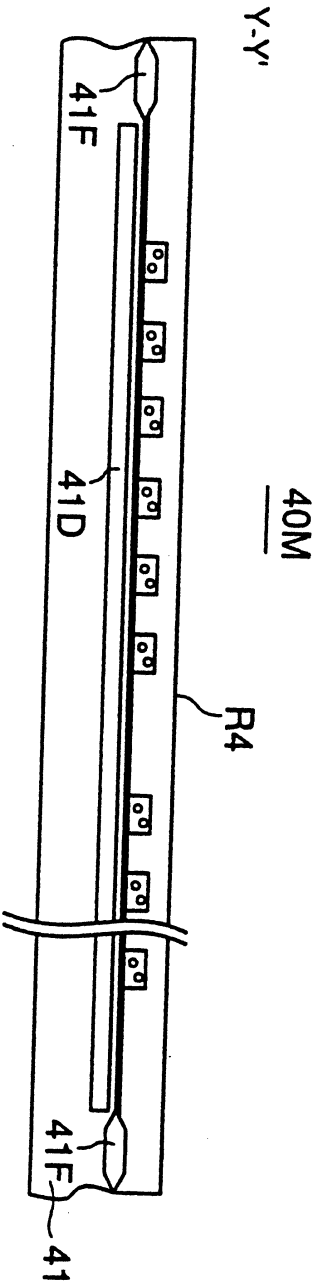
第21B圖



第21C圖

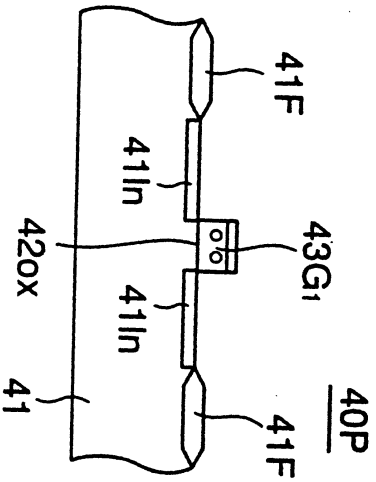


第 22A 圖



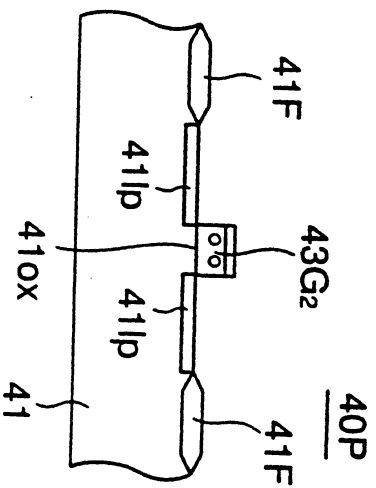
第 22B 圖

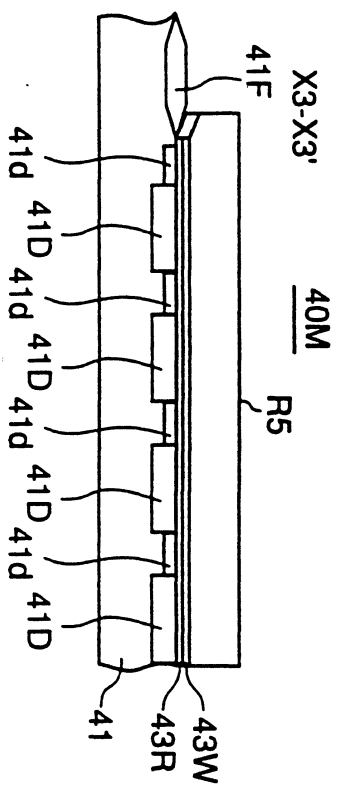
周邊Nch Tr



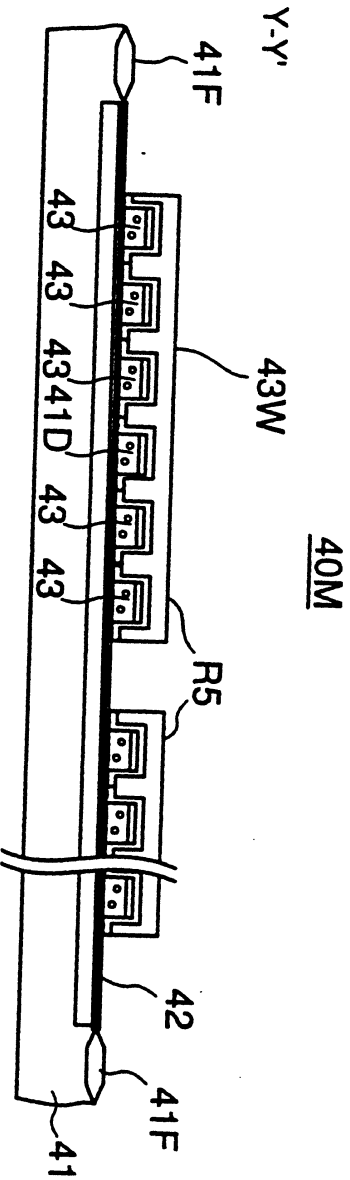
第 22C 圖

周邊Pch Tr



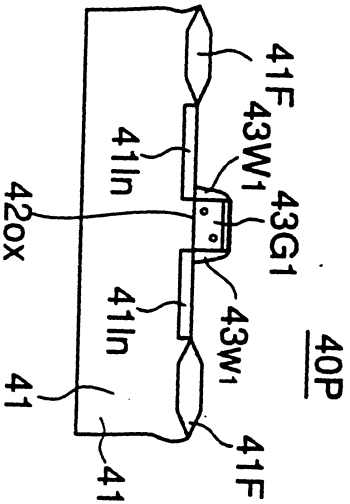


第24A圖



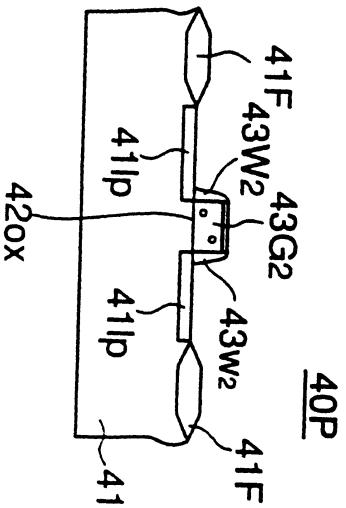
第24B圖

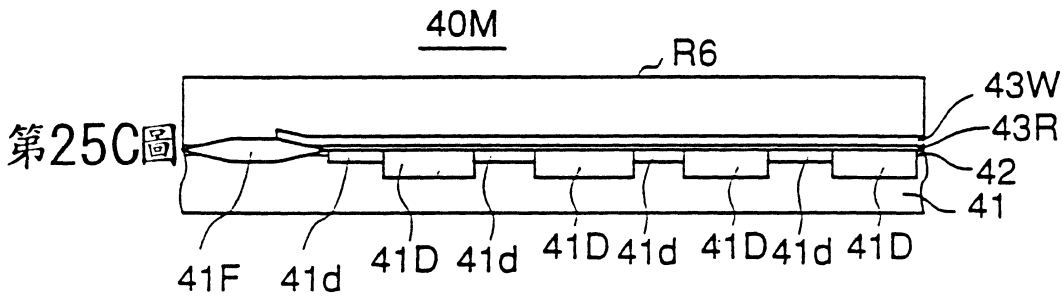
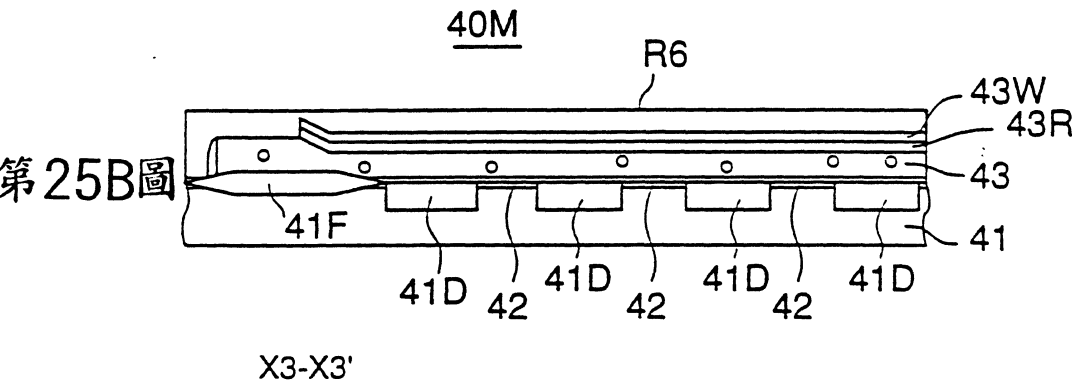
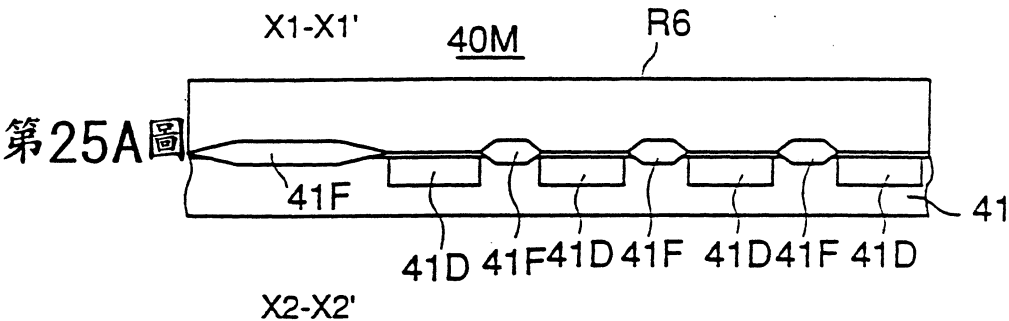
周邊Nch Tr



第24C圖

周邊Pch Tr

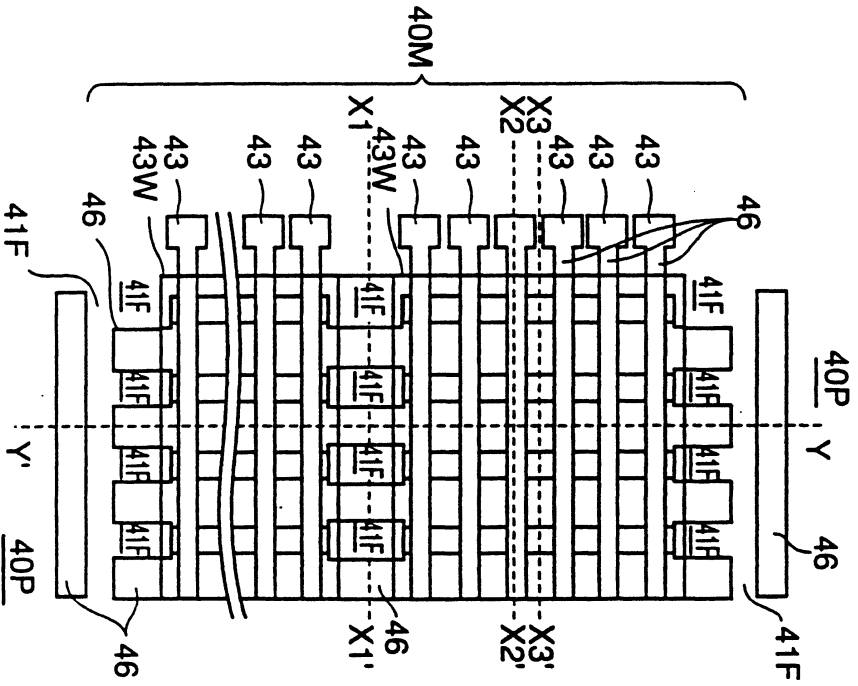




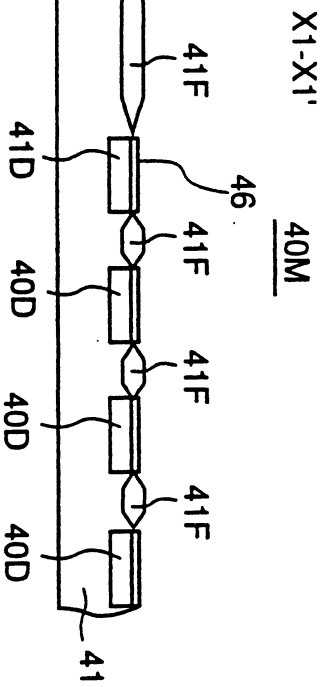


第26C圖

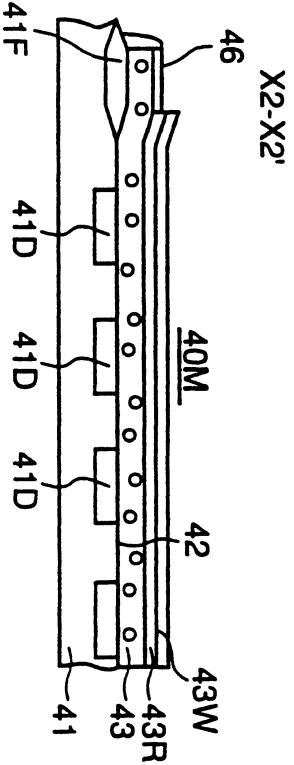
第27A圖



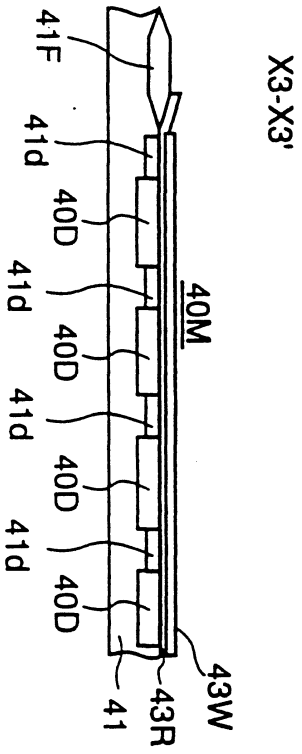
第27B圖



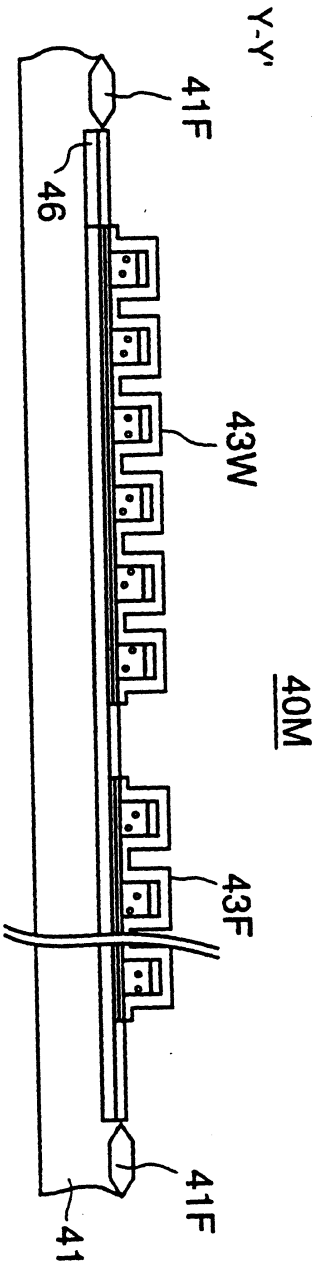
第27C圖



第27D圖

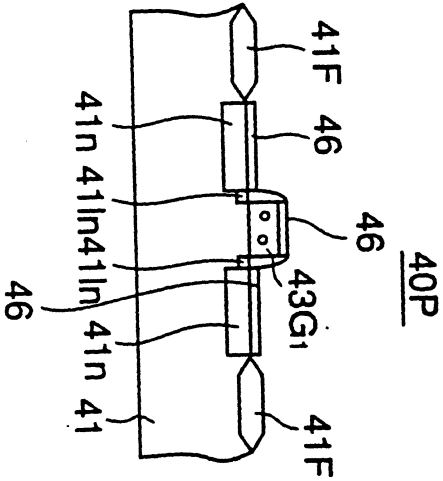


第 28A 圖



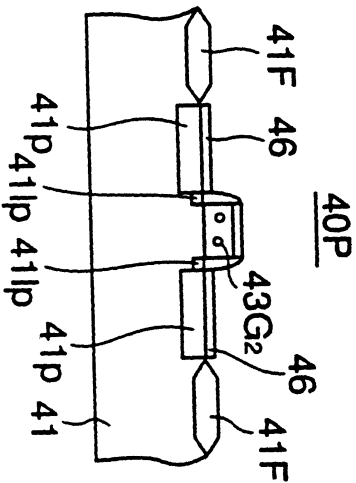
第 28B 圖

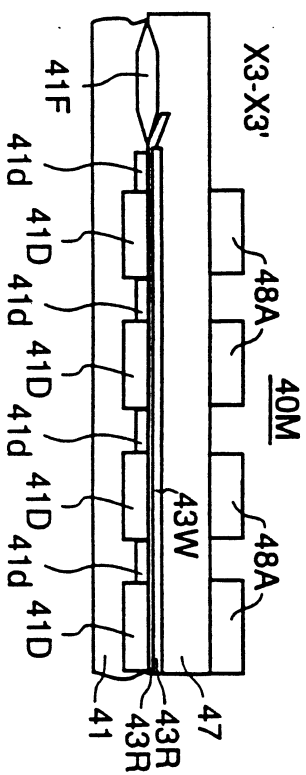
周邊Nch Tr



第 28C 圖

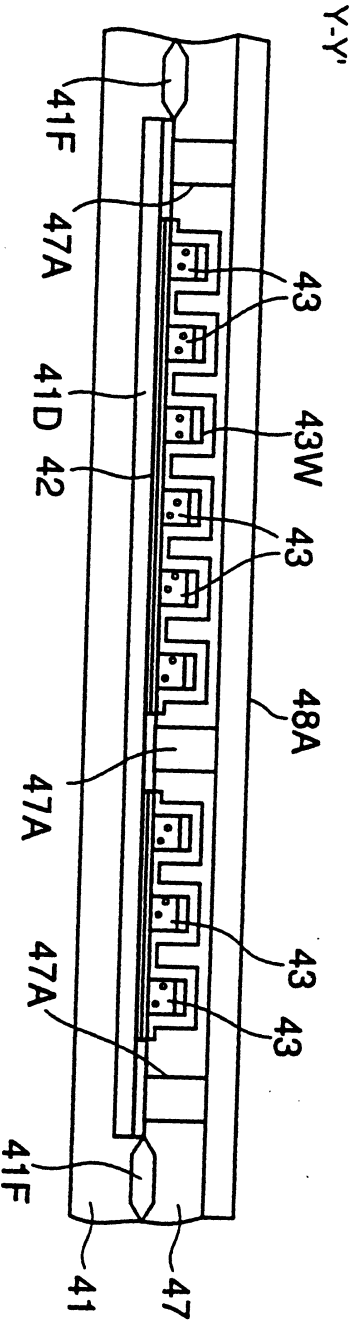
周邊Pch Tr





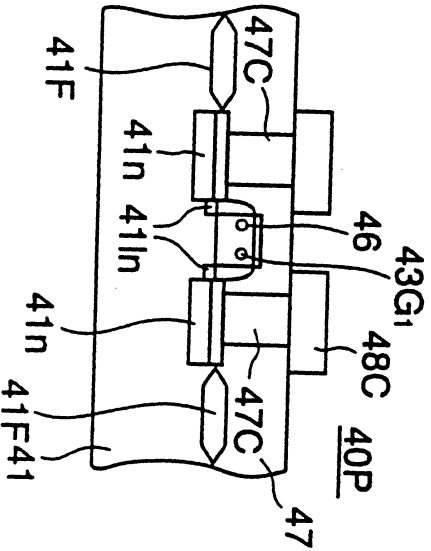
第30A圖

40M



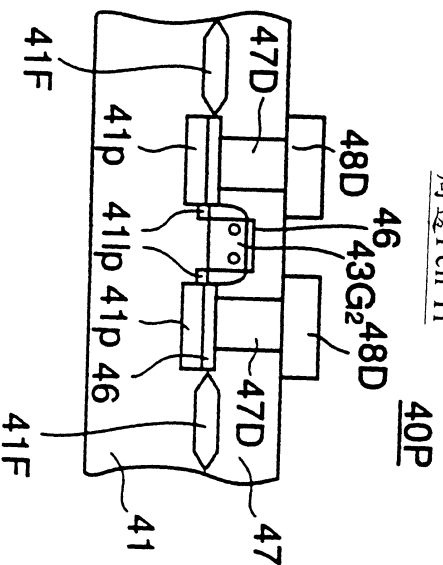
第30B圖

周邊Nch Tr

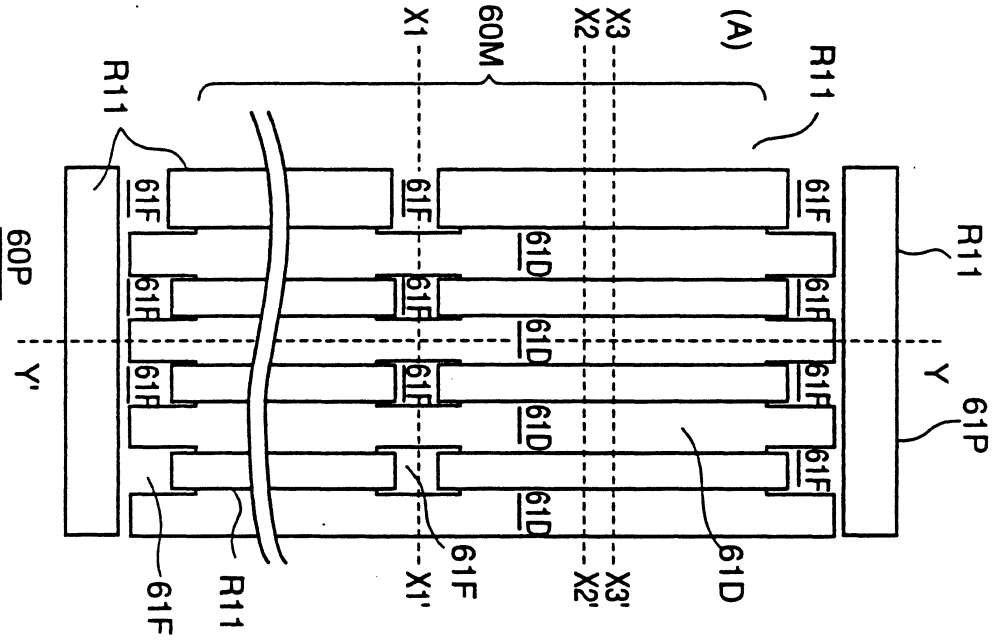


第30C圖

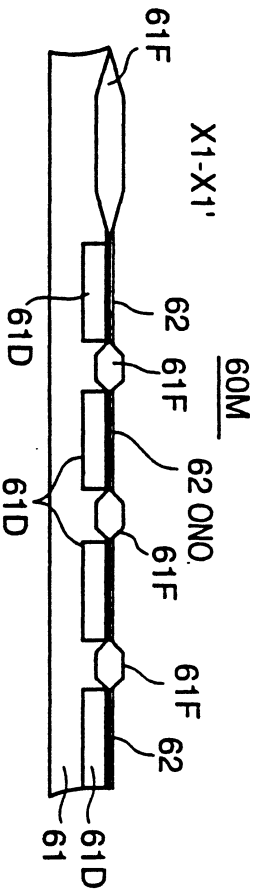
周邊Pch Tr



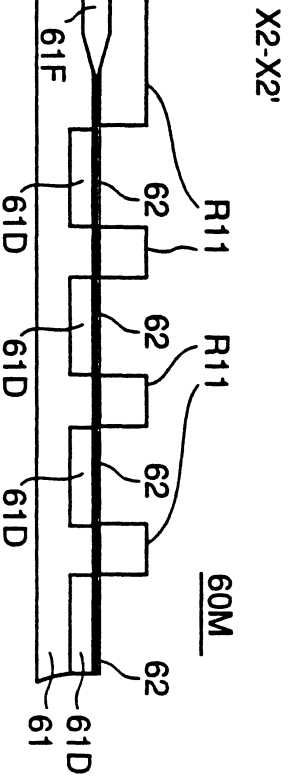
第31A圖



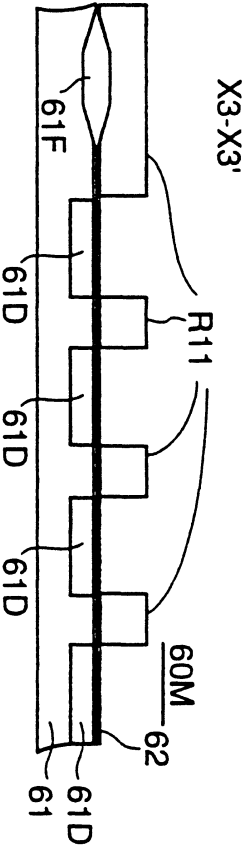
第31B圖



第31C圖



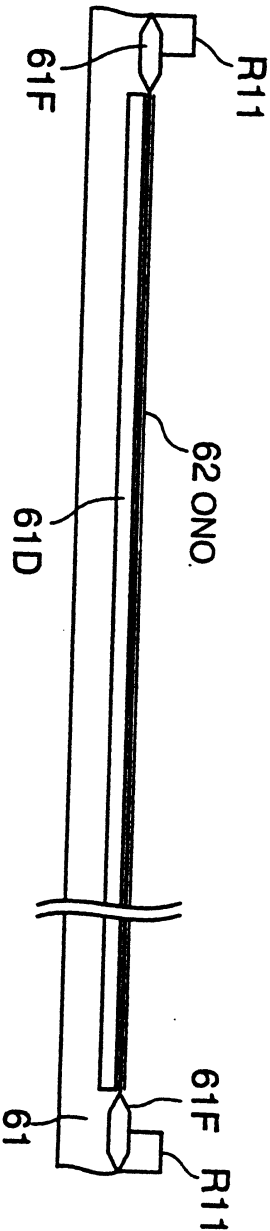
第31D圖



第32A圖

Y-Y'

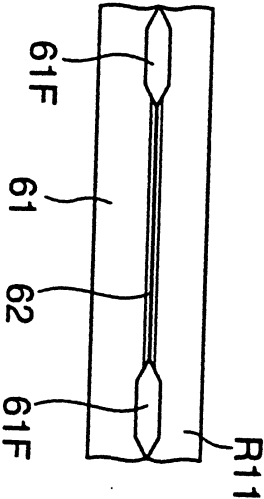
60M



第32B圖

周邊Nch Tr

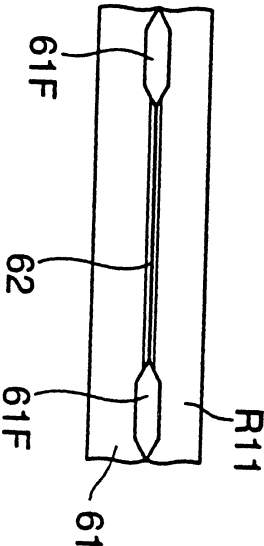
60P



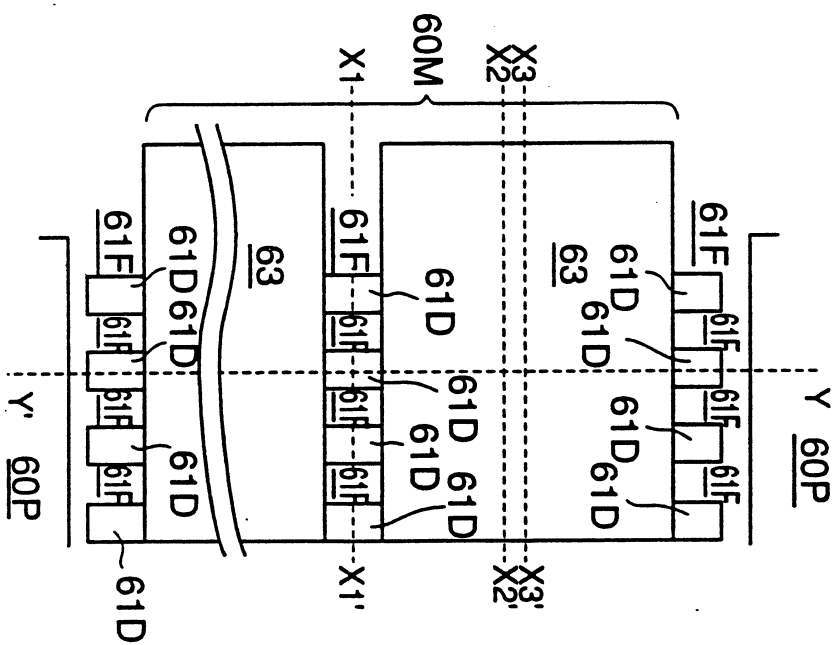
第32C圖

周邊Pch Tr

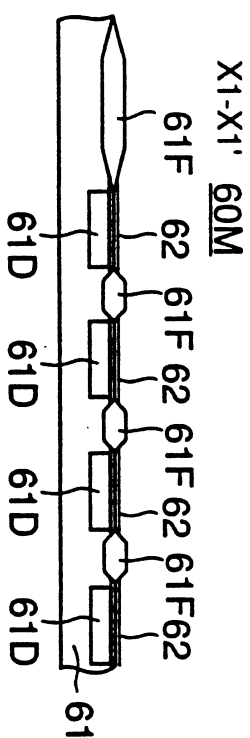
60P



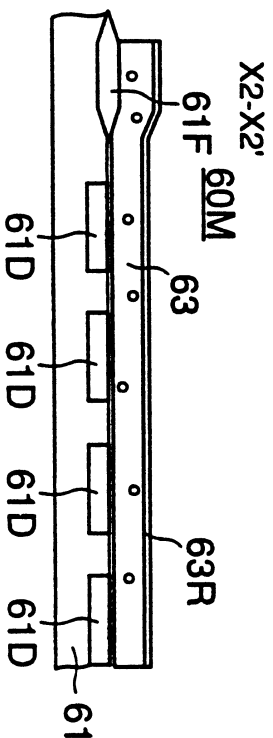
第33A圖



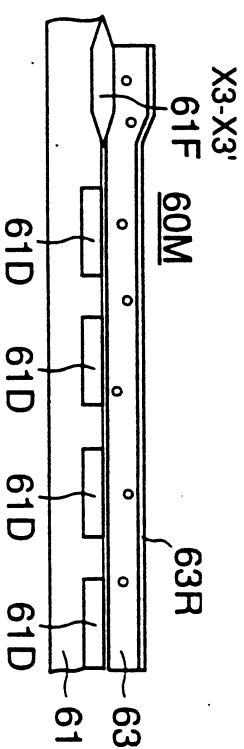
第33圖



第 33 圖

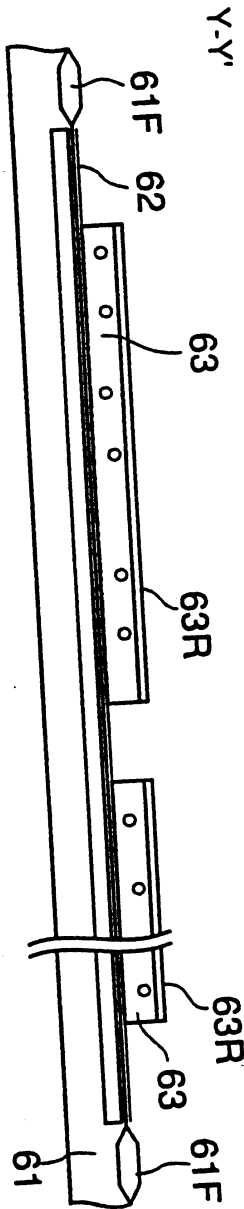


第33回



第34A圖

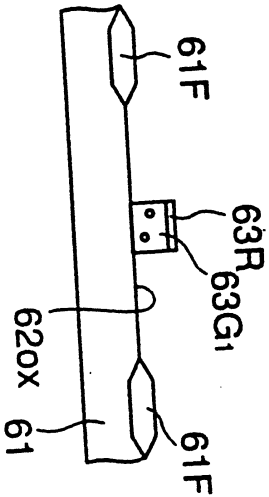
60M



第34B圖

周邊Nch Tr

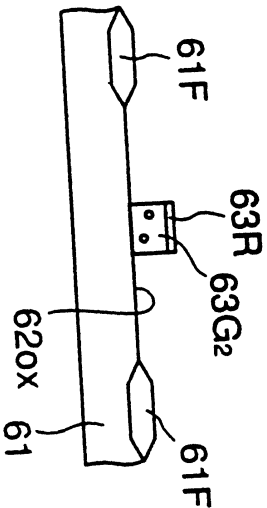
60P



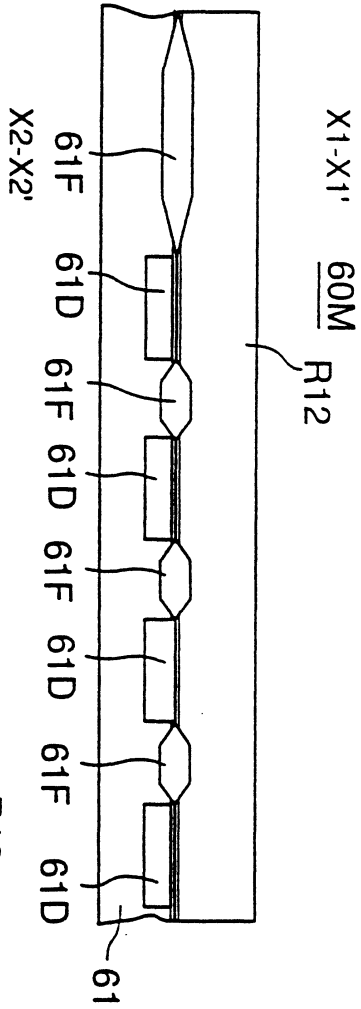
第34C圖

周邊Pch Tr

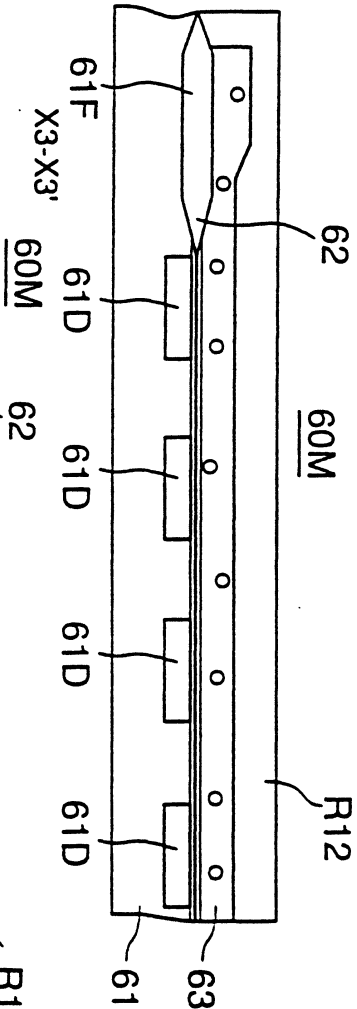
60P



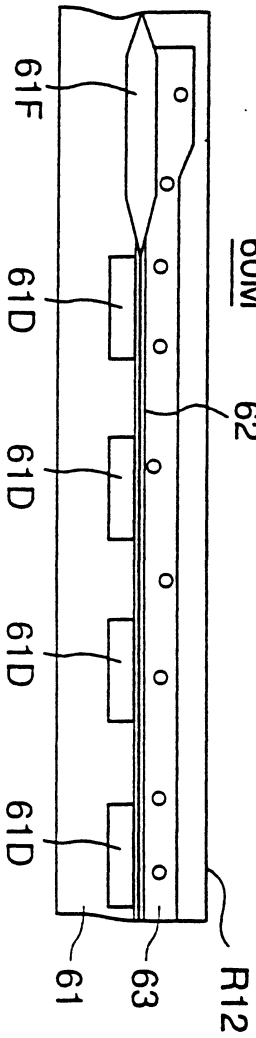
第35A圖



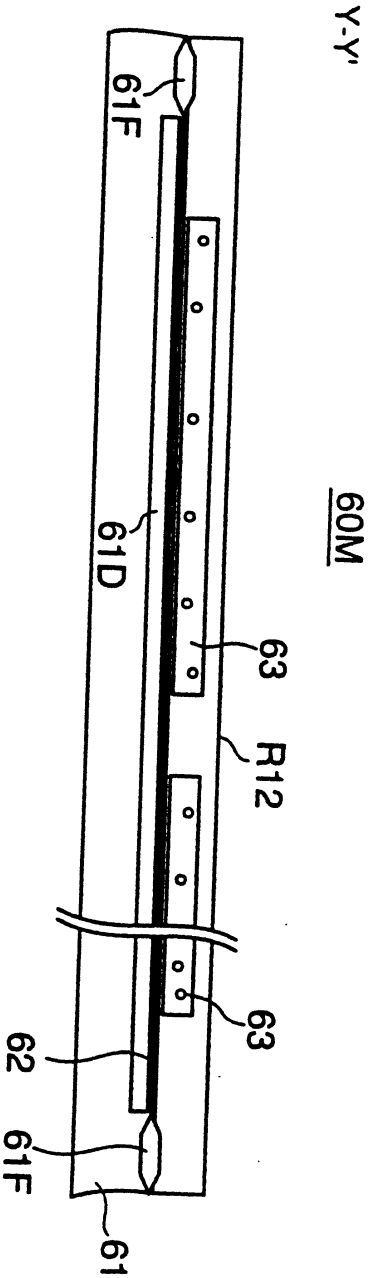
第35B圖



第35C圖

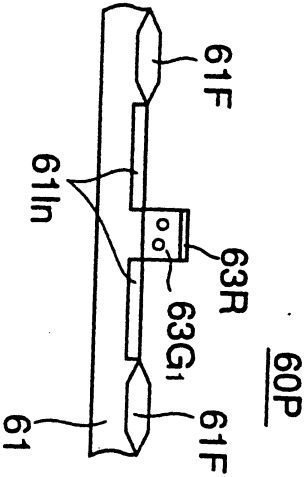


第 36A 圖



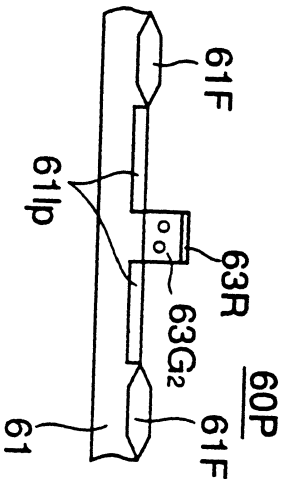
第 36B 圖

周邊Nch Tr

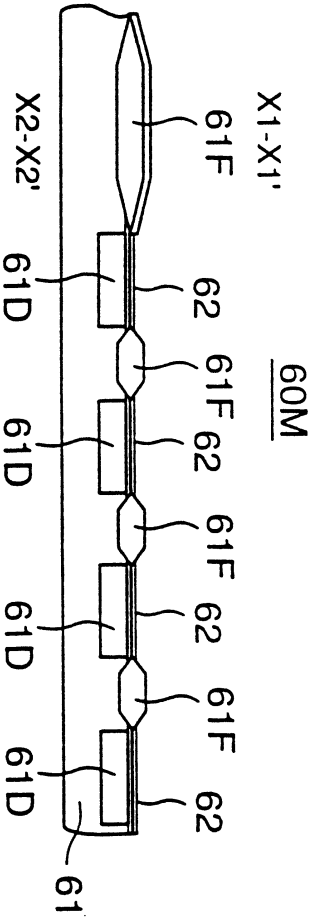


第 36C 圖

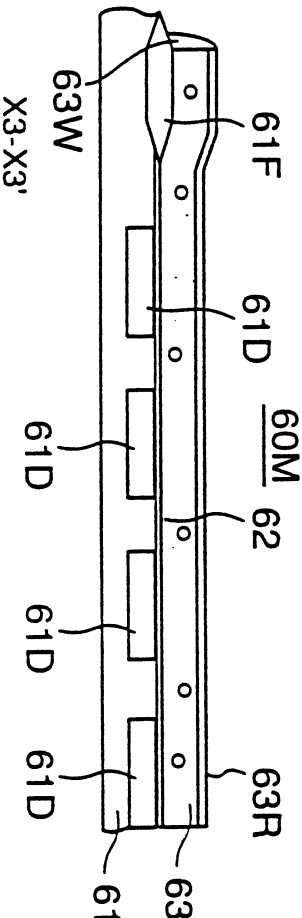
周邊Pch Tr



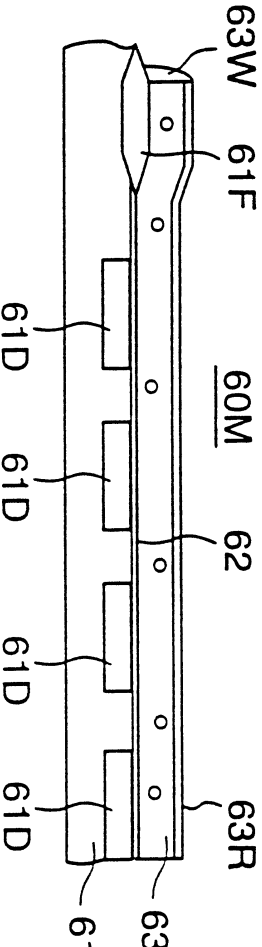
第37A圖



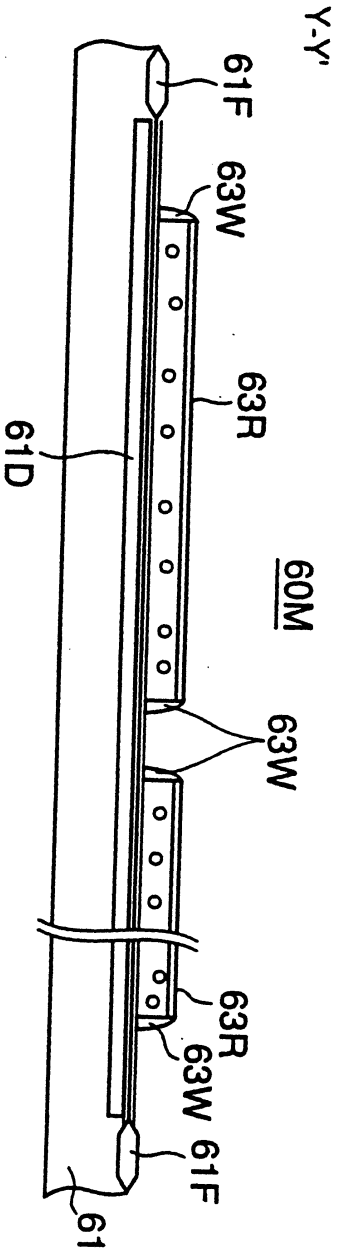
第37B圖



第37C圖

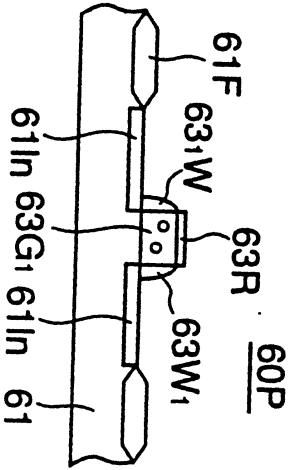


第 38A 圖



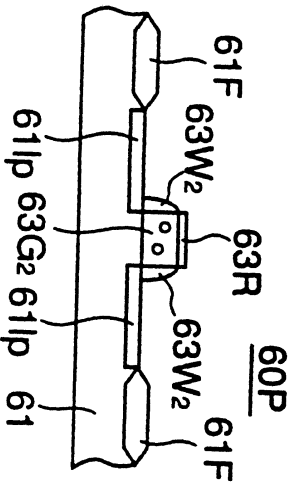
第 38B 圖

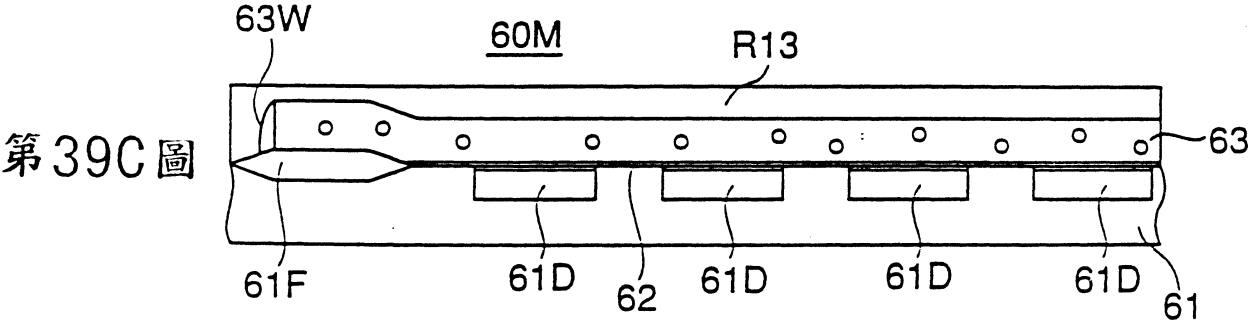
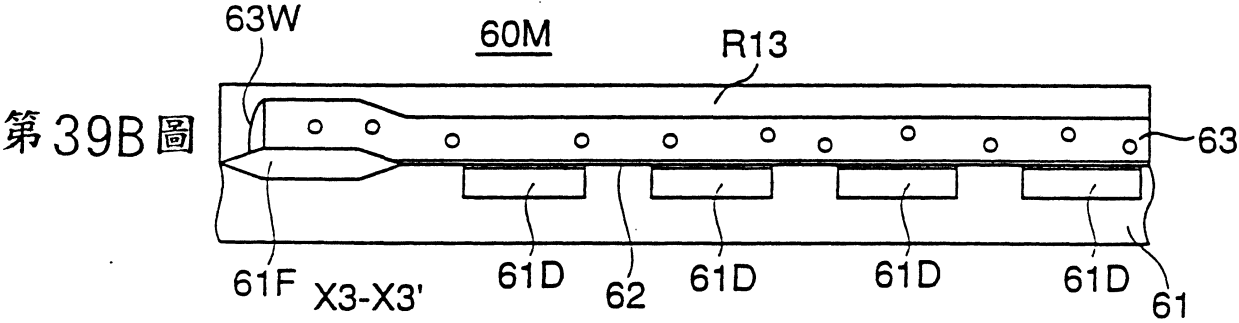
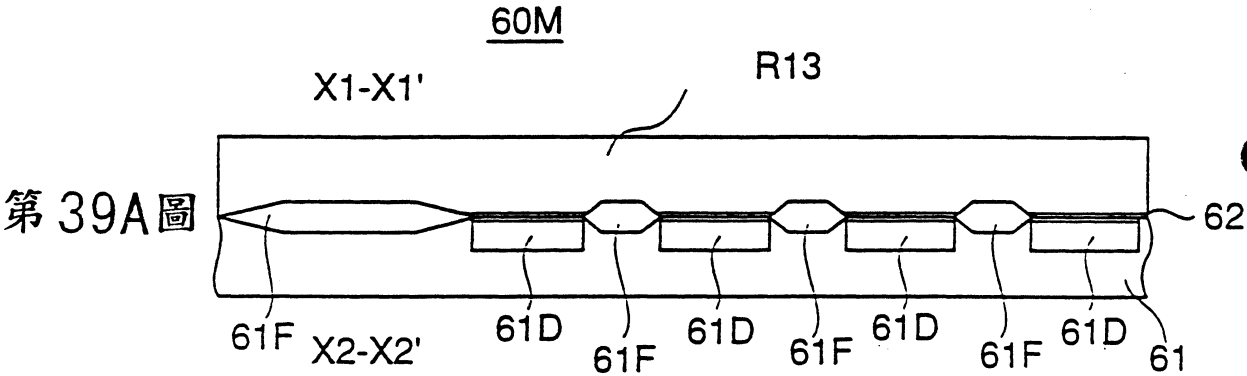
周邊Nch Tr



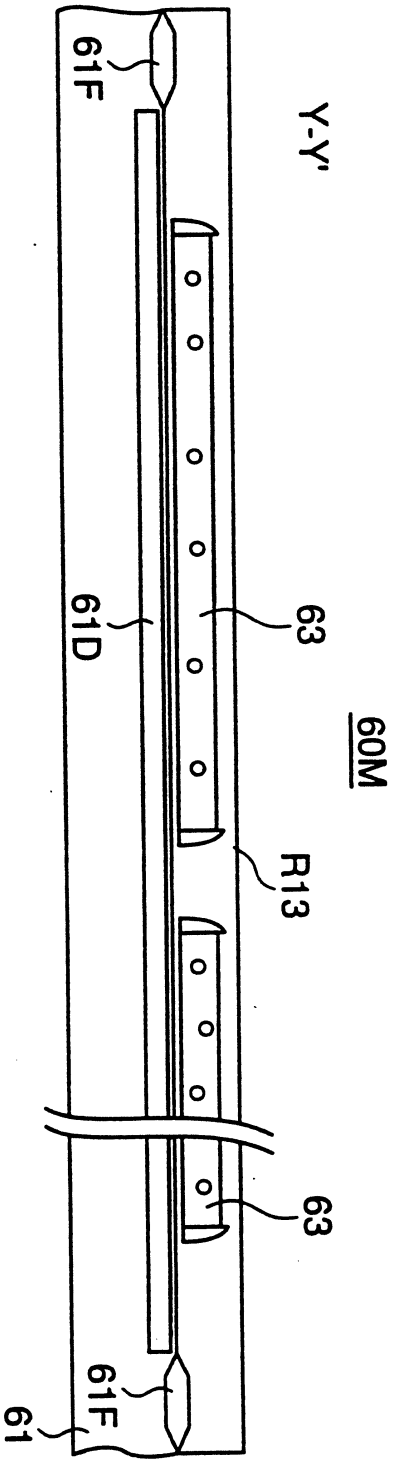
第 38C 圖

周邊Pch Tr



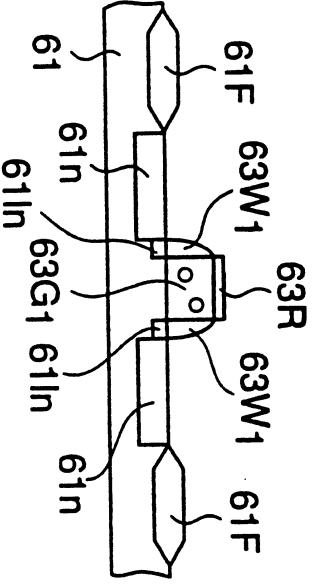


第40A圖



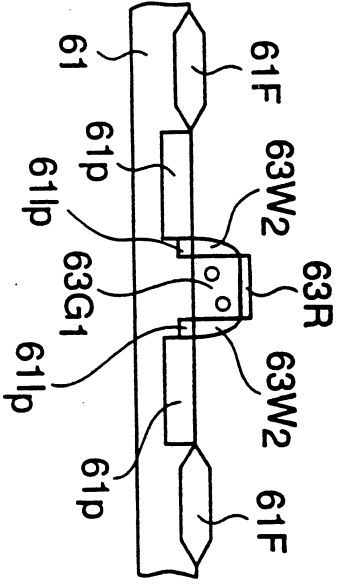
第40B圖

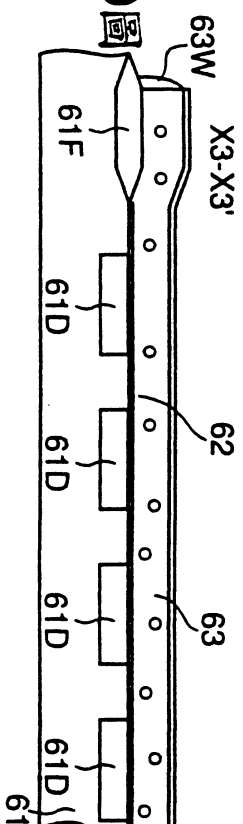
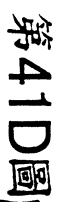
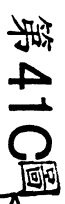
周邊Nch Tr 60P



第40C圖

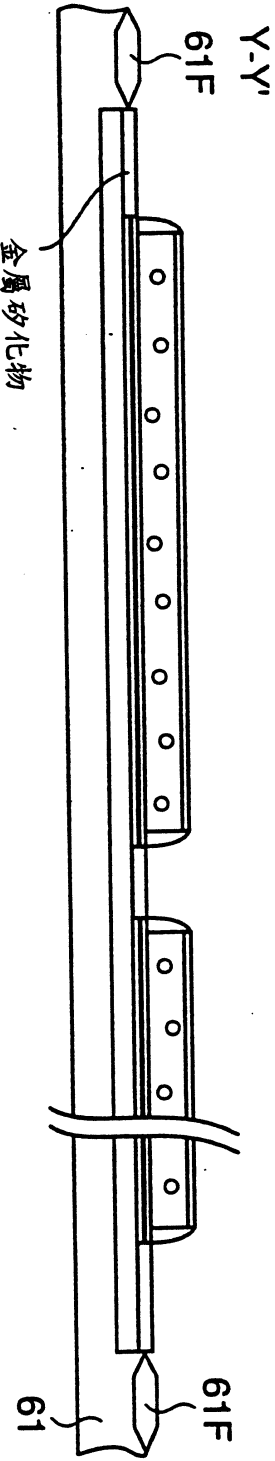
周邊Pch Tr 60P





第42A圖

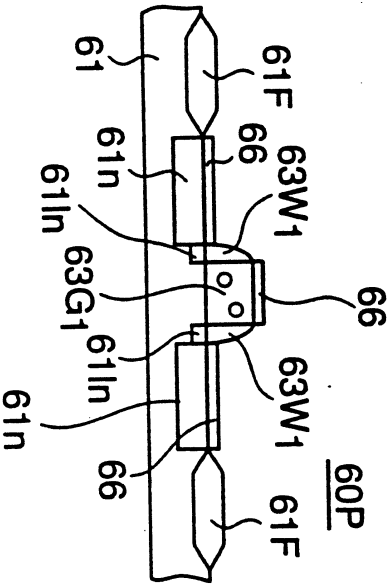
60M



第42B圖

周邊Nch Tr

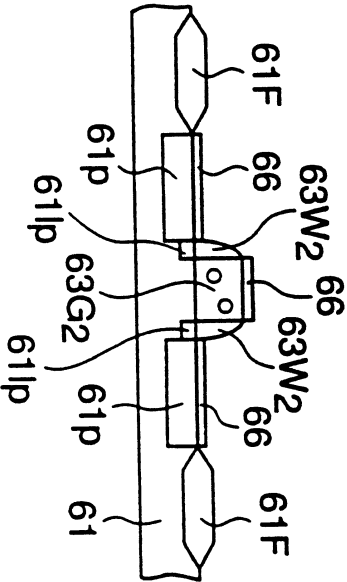
60P

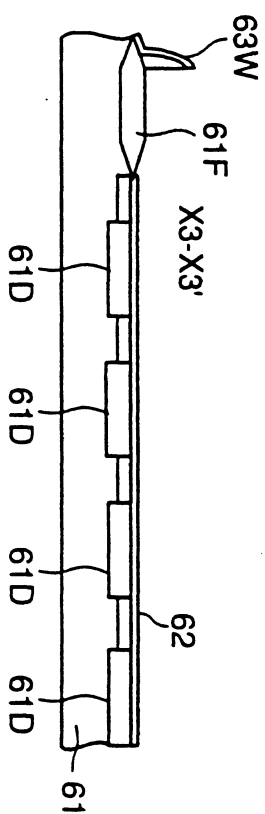


第42C圖

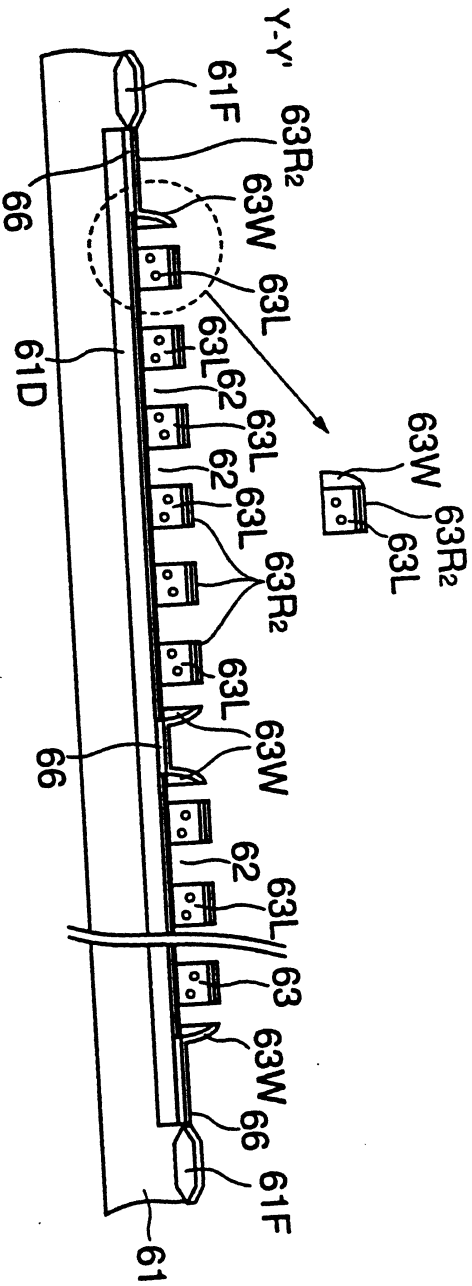
周邊Pch Tr

60P





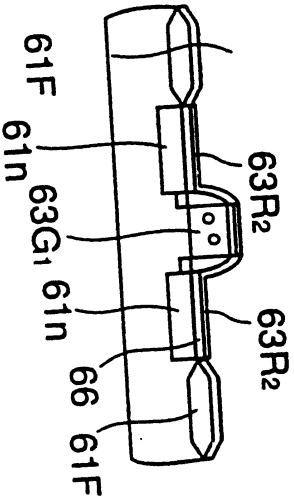
第 44A 圖



第 44B 圖

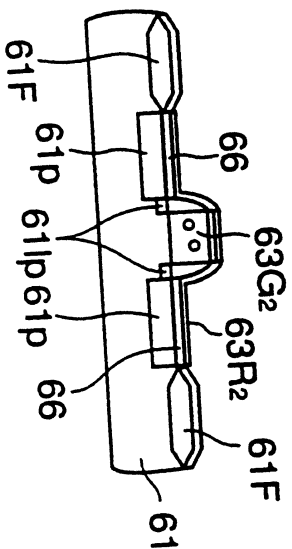
周邊Nch Tr

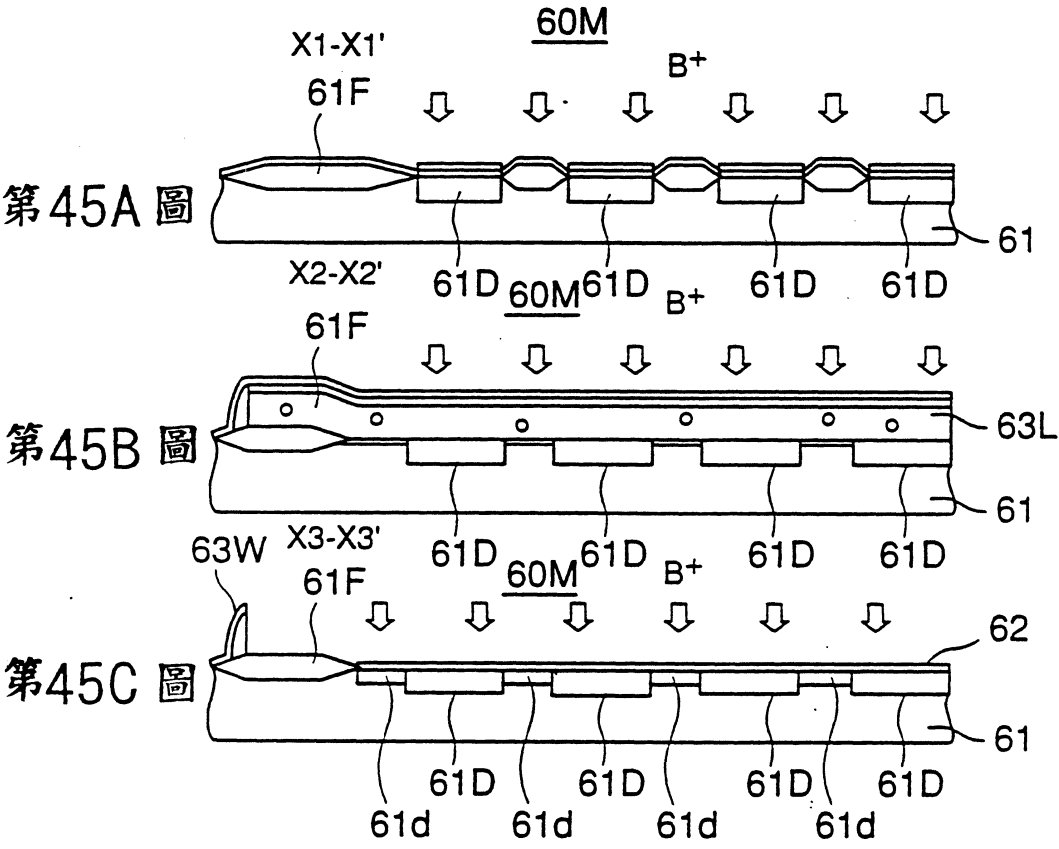
60P



第 44C 圖

周邊Pch Tr





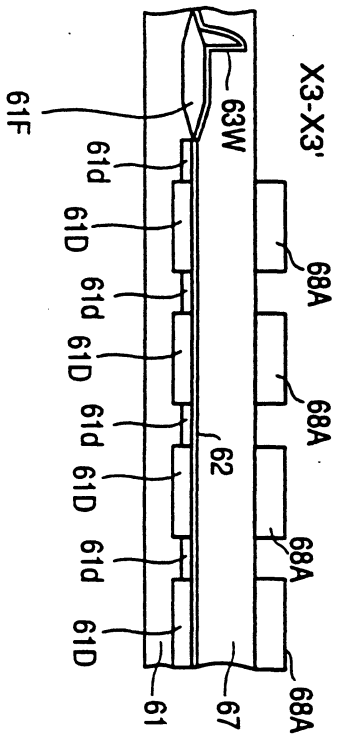
60M

周邊Nch Ti



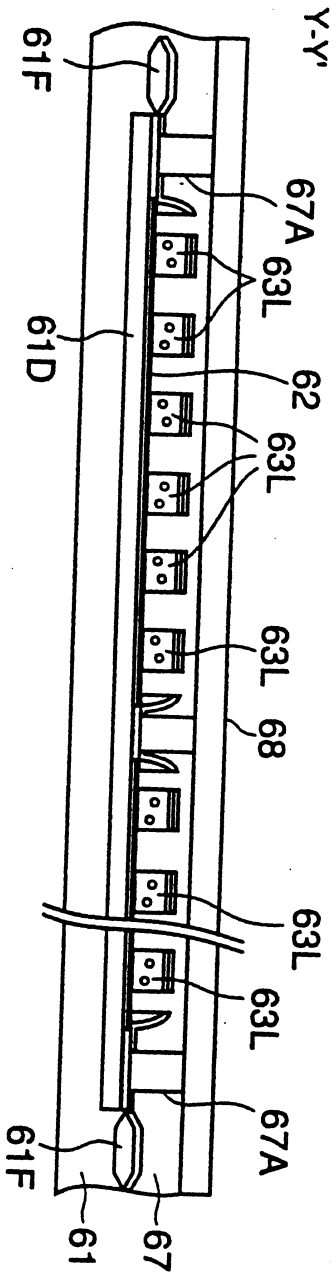
周邊Pch Tr





第48A圖

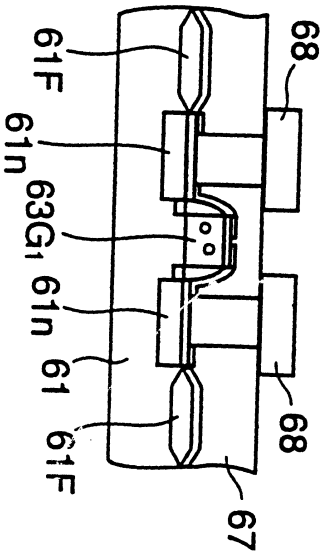
60M



第48B圖

周邊Nch Tr

60P



第48C圖

周邊Pch Tr

60P

