

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2017年9月28日(28.09.2017)



(10) 国際公開番号
WO 2017/163774 A1

- (51) 国際特許分類:
H04N 5/3745 (2011.01) **H04N 5/363** (2011.01)
H01L 27/146 (2006.01)
- (21) 国際出願番号: PCT/JP2017/007549
- (22) 国際出願日: 2017年2月27日(27.02.2017)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2016-060001 2016年3月24日(24.03.2016) JP
- (71) 出願人: 株式会社ニコン(NIKON CORPORATION)
[JP/JP]; 〒1086290 東京都港区港南二丁目15番3号 Tokyo (JP).
- (72) 発明者: 松本 繁(MATSUMOTO, Shigeru); 〒1086290 東京都港区港南二丁目15番3号 株式会社ニコン内 Tokyo (JP).
- (74) 代理人: 永井 冬紀, 外(NAGAI, Fuyuki et al.); 〒1080075 東京都港区港南一丁目6番41号 品

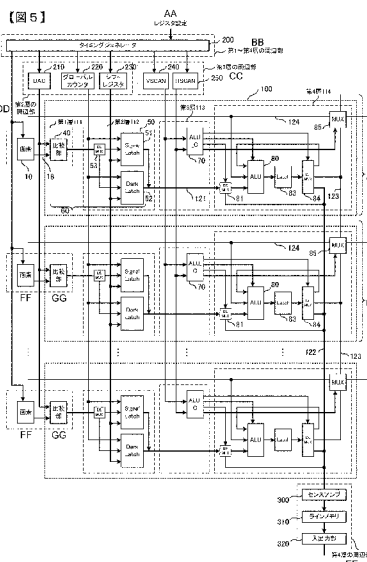
川クリスタルスクエア 901 永井特許事務所 Tokyo (JP).

- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR),

[続葉有]

(54) Title: IMAGING ELEMENT AND IMAGING DEVICE

(54) 発明の名称: 撮像素子および撮像装置



10: FF, PIXEL
40: CG, COMPARISON UNIT
51: SIGNAL LATCH
52: DARK LATCH
63: LATCH
111: FIRST LAYER
112: SECOND LAYER
113: THIRD LAYER
114: FOURTH LAYER
200: TIMING GENERATOR
220: GLOBAL COUNTER
230: SHIFT REGISTER
300: SENSE AMPLIFIER
310: LINE MEMORY
320: INPUT/OUTPUT UNIT
AA: REGISTER SETTING
BB: PERIPHERAL PARTS OF FIRST TO FOURTH LAYERS
CC: PERIPHERAL PART OF THIRD LAYER
DD: PERIPHERAL PART OF SECOND LAYER
EE: PERIPHERAL PART OF FOURTH LAYER

(57) Abstract: An imaging element comprises: a pixel substrate which includes a plurality of pixels each comprising a photoelectric conversion unit that generates electric charge by subjecting incident light to photoelectric conversion, and an output unit that generates and outputs a signal based on the electric charge; and a computation substrate which includes a computation unit that generates a correction signal using a reset signal from the output unit after the electric charge is reset and a photoelectric conversion signal based on the electric charge generated by the photoelectric conversion unit, and performs a computation between the correction signals generated for the respective pixels, and which is stacked on the pixel substrate.

(57) 要約: 撮像素子は、入射光を光電変換し電荷を生成する光電変換部及び前記電荷に基づく信号を生成し出力する出力部とを有する複数の画素を含む画素基板と、前記出力部の前記電荷をリセットした後のリセット信号と前記光電変換部で生成された電荷に基づく光電変換信号とによって補正信号を生成し、前記画素毎に生成される補正信号間の演算を行う演算部を含み、前記画素基板に積層される演算基板と、を有する。

WO 2017/163774 A1

OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:
— 国際調査報告 (条約第 21 条(3))

明 細 書

発明の名称 : 撮像素子および撮像装置

技術分野

[0001] 本発明は、撮像素子および撮像装置に関する。

背景技術

[0002] 隣接する画素の信号を演算する撮像素子が知られている（特許文献１）。この撮像素子は、画素の信号間の演算前に相関二重サンプリング（CDS ; Correlated Double Sampling）を行っていないため、各画素のノイズ信号成分を取り除くことができない。

先行技術文献

特許文献

[0003] 特許文献１：日本国特開２００１－９４８８８号公報

発明の概要

[0004] 本発明の第１の態様によると、撮像素子は、入射光を光電変換し電荷を生成する光電変換部及び前記電荷に基づく信号を生成し出力する出力部とを有する複数の画素を含む画素基板と、前記出力部の前記電荷をリセットした後のリセット信号と前記光電変換部で生成された電荷に基づく光電変換信号とによって補正信号を生成し、前記画素毎に生成される補正信号間の演算を行う演算部を含み、前記画素基板に積層される演算基板と、を有する。

本発明の第２の態様によると、撮像素子は、光電変換部及び出力部を有する複数の画素が配置される画素基板と、前記出力部をリセットした後の信号をデジタル変換されたりセット信号と、前記光電変換部で光電変換された信号に基づくデジタル変換された光電変換信号とによって補正信号を生成し、前記画素毎に生成される前記補正信号を用いた演算を行う演算部が前記画素毎に設けられる演算基板と、を有し、前記画素基板と前記演算基板とが積層して配置される。

本発明の第３の態様によると、撮像装置は、第１または第２の態様による

撮像素子と、前記画素からの信号に基づいて画像データを生成する画像生成部と、を備える。

図面の簡単な説明

- [0005] [図1]第1の実施の形態に係る撮像装置の構成を示すブロック図。
[図2]第1の実施の形態に係る撮像素子の断面構造を示す図。
[図3]第1の実施の形態に係る撮像素子の構成を示すブロック図。
[図4]第1の実施の形態に係る画素の構成を示す回路図。
[図5]第1の実施の形態に係る撮像素子の構成の詳細を示すブロック図。
[図6]第1の実施の形態に係る撮像素子の動作を示すタイミングチャート。
[図7]変形例1に係る撮像素子の構成の詳細を示すブロック図。

発明を実施するための形態

[0006] (第1の実施の形態)

図1は、第1の実施の形態に係る撮像装置の構成を示すブロック図である。撮像装置1は、撮影光学系2、撮像素子3、および制御部4を備える。撮像装置1は、例えばカメラである。撮影光学系2は、撮像素子3上に被写体像を結像する。撮像素子3は、撮影光学系2により形成された被写体像を撮像して画像信号を生成する。撮像素子3は、例えばCMOSイメージセンサである。制御部4は、撮像素子3の動作を制御するための制御信号を撮像素子3に出力する。また、制御部4は、撮像素子3から出力された画像信号に対して各種の画像処理を施し、画像データを生成する画像生成部として機能する。なお、撮影光学系2は、撮像装置1から着脱可能にしてもよい。

- [0007] 図2は、第1の実施の形態に係る撮像素子の断面構造を示す図である。図2に示す撮像素子3は、裏面照射型の撮像素子である。撮像素子3は、第1基板111と、第2基板112と、第3基板113と、第4基板114とを備える。第1基板111、第2基板112、第3基板113および第4基板114は、それぞれ半導体基板等により構成される。第1基板111は、第2基板112に積層され、第2基板112は第3基板113に積層され、第3基板113は第4基板114に積層される。白抜き矢印で示す入射光Lは

、Z軸プラス方向へ向かって入射する。また、座標軸に示すように、Z軸に直交する紙面左方向をX軸プラス方向、Z軸およびX軸に直交する紙面手前方向をY軸プラス方向とする。

[0008] 撮像素子3は、さらに、マイクロレンズ層101、カラーフィルタ層102、パッシベーション層103を有する。これらのパッシベーション層103、カラーフィルタ層102及びマイクロレンズ層101は、第1基板111に順次積層されている。マイクロレンズ層101は、複数のマイクロレンズMLを有する。マイクロレンズMLは、入射した光を後述する光電変換部12に集光する。カラーフィルタ層102は、複数のカラーフィルタFを有する。パッシベーション層103は、窒化膜や酸化膜で構成される。

[0009] 第1基板111、第2基板112、第3基板113、および第4基板114は、それぞれゲート電極やゲート絶縁膜が設けられる第1面105a、106a、107a、108aと、第1面とは異なる第2面105b、106b、107b、108bとを有する。また、第1面105a、106a、107a、108aには、それぞれトランジスタ等の各種素子が設けられる。第1基板111の第1面105a、第2基板112の第1面106a、第3基板113の第1面107a、および第4基板114の第1面108aには、それぞれ配線層140、141、144、145が積層して設けられる。また、第2基板112の第2面106bおよび第3基板113の第2面107bには、それぞれ基板間接続層142、143が積層して設けられる。配線層140～配線層145は、導体膜（金属膜）および絶縁膜を含む層であり、それぞれ複数の配線やビアなどが配置される。

[0010] 第1基板111の第1面105aの素子および第2基板112の第1面106aの素子は、配線層140、141を介してバンプや電極等の接続部109により電氣的に接続され、同様に第3基板113の第1面107aの素子および第4基板114の第1面108aの素子も、配線層144、145を介してバンプや電極等の接続部109により電氣的に接続される。また、第2基板112および第3基板113は、基板の第1面から第2面まで貫通

する貫通孔 120 と、第 1 面から貫通孔 120 を介して第 2 面まで配置されるシリコン貫通電極等の複数の貫通電極 110 を有する。第 2 基板 112 の貫通電極 110 は、第 2 基板 112 の第 1 面 106 a および第 2 面 106 b に設けられた回路を互いに接続し、第 3 基板 113 の貫通電極 110 は、第 3 基板 113 の第 1 面 107 a および第 2 面 107 b に設けられた回路を互いに接続する。第 2 基板 112 の第 2 面 106 b に設けられた回路および第 3 基板 113 の第 2 面 107 b に設けられた回路は、基板間接続層 142、143 を介してバンプや電極等の接続部 109 により電氣的に接続される。

[0011] 図 3 は、第 1 の実施の形態に係る撮像素子の構成を示すブロック図である。第 1 基板 111 は、2 次元状に配置される複数の画素 10 と比較部 40 とを有する。画素 10 は、図 2 に示す X 軸方向および Y 軸方向に複数配置されている。画素 10 は、後述する光電変換信号およびノイズ信号を比較部 40 へ出力する。比較部 40 は、画素 10 毎に設けられ、コンパレータ回路等により構成される。比較部 40 は、画素 10 から出力される光電変換信号およびノイズ信号のそれぞれと基準信号とを比較し、比較結果を第 2 基板 112 に出力する。第 2 基板 112 は、複数の記憶部 50 を有する。記憶部 50 は、画素 10 毎に設けられ、ラッチ回路等により構成される。記憶部 50 は、比較部 40 による比較結果に基づいて、比較部 40 による比較開始時からの経過時間に応じたカウント値をデジタル信号として記憶する。記憶部 50 は、光電変換信号に応じたデジタル信号およびノイズ信号に応じたデジタル信号を記憶する。また、記憶部 50 は、デジタル信号に変換された光電変換信号及びノイズ信号（リセット信号）を蓄積する蓄積部 50 でもある。後に詳述するように、比較部 40 と記憶部 50 とは、光電変換信号およびノイズ信号をデジタル信号に変換する積分型の A/D 変換部を構成する。記憶部 50 に記憶されたデジタル信号は、第 3 基板 113 を介して第 4 基板 114 に出力される。

[0012] 第 4 基板 114 は、複数の A/LU (Arithmetic and Logic Unit)、即ち演算ユニット 80 を有する。演算ユニット 80 は、画素 10 毎に設けられ、光電

変換信号のデジタル信号とノイズ信号のデジタル信号との減算による相関二重サンプリング（CDS ; Correlated Double Sampling）や画素１０毎に生成される信号間の演算等の信号処理を行う。演算ユニット８０は、加算回路、減算回路、フリップフロップ回路、およびシフト回路等を含んで構成される。各演算ユニット８０は、信号線やスイッチＳＷ等を介して互いに接続される。

[0013] 第３基板１１３は、演算ユニット８０を制御するＡＬＵ制御部７０（以下、制御部７０と呼ぶ）を有する。制御部７０は、画素１０毎に設けられ、第４基板１１４に配置される演算ユニット８０やスイッチＳＷ等に制御信号を出力して、演算ユニット８０が行う演算内容等を制御する。例えば、制御部７０は所定のスイッチＳＷをオン制御することによって画素の信号を選択し、この制御部７０に対応する演算ユニット８０が、選択された複数の画素の信号を演算処理する。なお、第１基板１１１は、光電変換部１２と後述する読み出し部（出力部）とを有する複数の画素１０を含む画素基板１１１でもあり、第２基板１１２は、蓄積部５０（記憶部５０）を含む蓄積基板１１２でもある。また、第４基板１１４は、演算ユニット８０を含む演算基板１１４でもある。

[0014] 本実施の形態では、各画素１０の信号間の演算前に相関二重サンプリングを行う。このため、画素１０毎のノイズ信号成分を除去した信号を用いて、任意の画素１０の信号間の演算を行うことができる。また、演算ユニット８０および制御部７０は、それぞれ対応する画素１０に積層して設けられる。このため、画素１０の開口率が低下することを防ぐことができる。さらに、第３基板１１３の制御部７０は、図２に示すＺ軸方向から第４基板１１４の演算ユニット８０に制御信号を供給して演算ユニット８０の制御を行う。この結果、撮像素子３のチップ面積を増大させることなく、任意の画素１０の信号についての演算を行うことができる。

[0015] 図４は、第１の実施の形態に係る撮像素子の画素の構成を示す回路図である。画素１０は、例えばフォトダイオード（ＰＤ）等の光電変換部１２およ

び読み出し部20を有する。光電変換部12は、入射した光を電荷に変換し、光電変換された電荷を蓄積する機能を有する。読み出し部20は、転送部13と、排出部14と、フローティングディフュージョン(FD)15と、増幅部16と、電流源17とを有する。

[0016] 転送部13は、信号 V_{tx} により制御され、光電変換部12で光電変換された電荷をフローティングディフュージョン15に転送する。すなわち、転送部13は、光電変換部12およびフローティングディフュージョン15の間に電荷転送路を形成する。フローティングディフュージョン15は電荷を保持(蓄積)する。増幅部16は、フローティングディフュージョン15に保持された電荷による信号を増幅し、信号線18に出力する。図4に示す例では、増幅部16は、ドレイン端子、ゲート端子およびソース端子がそれぞれ、電源VDD、フローティングディフュージョン15および電流源17に接続されるトランジスタM3により構成される。

[0017] 排出部(リセット部)14は、信号 V_{rst} により制御され、フローティングディフュージョン15の電荷を排出し、フローティングディフュージョン15の電位をリセット電位(基準電位)にリセットする。転送部13および排出部14は、例えば、それぞれトランジスタM1、トランジスタM2により構成される。

[0018] 読み出し部20は、転送部13により光電変換部12からフローティングディフュージョン15に転送された電荷に応じた信号(光電変換信号)と、フローティングディフュージョン15の電位をリセット電位にリセットしたときの信号(ノイズ信号)とを順次、信号線18に読み出す。読み出し部20は、フローティングディフュージョン15に蓄積された電荷に基づく信号を生成し出力する出力部20であり、出力部20は、光電変換信号、ノイズ信号を信号線18に出力する。

[0019] 図5は、第1の実施の形態に係る撮像素子の構成の詳細を示すブロック図である。撮像素子3は、複数の画素10と、画素10毎に設けられる演算部100と、タイミングジェネレータ200と、DA変換部210と、グロー

バルカウンタ220と、シフトレジスタ230と、VSCAN回路（垂直走査回路）240と、HSCAN回路（水平走査回路）250と、センスアンプ300と、ラインメモリ310と、入出力部320とを有する。演算部100は、アナログ／デジタル変換部（AD変換部）60と、制御部70と、演算ユニット80と、記憶部83と、デマルチプレクサ81と、デマルチプレクサ84と、マルチプレクサ85とを有する。AD変換部60は、比較部40、記憶部50、およびデマルチプレクサ53により構成される。また、記憶部50は、光電変換信号に応じたデジタル信号用の信号用記憶部51と、ノイズ信号に応じたデジタル信号用のノイズ用記憶部52とを有する。信号用記憶部51およびノイズ用記憶部52は、記憶される信号のビット数に対応して複数のラッチ回路から構成される。例えば、信号用記憶部51およびノイズ用記憶部52は各々が12個のラッチ回路から構成され、信号用記憶部51およびノイズ用記憶部52に記憶されるデジタル信号は各々が12ビットの平行信号となる。

[0020] 撮像素子3の第1層、すなわち第1基板111には、画素10と、比較部40と、タイミングジェネレータ200の一部とが設けられる。タイミングジェネレータ200は、複数の回路により構成され、第1基板111～第4基板114に分けて配置される。なお、図5においては、第1基板111、第2基板112、第3基板113、および第4基板114をそれぞれ第1層、第2層、第3層および第4層と称している。タイミングジェネレータ200を構成する各回路は、画素10や演算部100が配置される領域の周辺部に配置される。第2層、すなわち第2基板112には、信号用記憶部51と、ノイズ用記憶部52と、デマルチプレクサ53と、DA変換部210と、グローバルカウンタ220と、シフトレジスタ230と、タイミングジェネレータ200の一部とが設けられる。

[0021] 第3基板113には、制御部70と、VSCAN回路240と、HSCAN回路250と、タイミングジェネレータ200の一部とが設けられる。第4基板114には、演算ユニット80と、記憶部83と、デマルチプレクサ

８１と、デマルチプレクサ８４と、マルチプレクサ８５と、センスアンプ３００と、ラインメモリ３１０と、入出力部３２０とが設けられる。また、ＤＡ変換部２１０、グローバルカウンタ２２０、シフトレジスタ２３０、ＶＳＣＡＮ回路２４０、ＨＳＣＡＮ回路２５０、センスアンプ３００、ラインメモリ３１０、および入出力部３２０は、各基板において演算部１００が配置される領域の周辺部に配置される。

[0022] タイミングジェネレータ２００は、パルス発生回路等により構成され、撮像装置１の制御部４から出力されるレジスタ設定値に基づいてパルス信号等生成し、各画素１０、ＤＡ変換部２１０、グローバルカウンタ２２０、シフトレジスタ２３０、ＶＳＣＡＮ回路２４０、およびＨＳＣＡＮ回路２５０に出力する。レジスタ設定値は、例えば、シャッター速度（光電変換部の電荷蓄積時間）、ＩＳＯ感度、画像補正の有無等に応じて設定される。ＤＡ変換部２１０は、タイミングジェネレータ２００からのパルス信号に基づき、基準信号として信号レベルが変化するランプ信号を生成する。また、ＤＡ変換部２１０は、画素１０毎に設けられる各比較部４０に共通に接続され、基準信号を各比較部４０に出力する。グローバルカウンタ２２０は、タイミングジェネレータ２００からのパルス信号に基づき、カウント値を示すクロック信号を生成して、信号用記憶部５１およびノイズ用記憶部５２に出力する。シフトレジスタ２３０は、タイミングジェネレータ２００からのパルス信号に基づき、タイミング信号を生成して信号用記憶部５１およびノイズ用記憶部５２に出力する。

[0023] ＶＳＣＡＮ回路２４０およびＨＳＣＡＮ回路２５０は、タイミングジェネレータ２００からの信号に基づいて各制御部７０を順次選択し、演算ユニット８０で行う演算内容（四則演算）および演算対象となる画素１０等を示す信号を各制御部７０に出力する。センスアンプ３００は、画素１０毎の各演算部１００が接続される信号線１２２に接続され、信号線１２２に入力される信号を増幅して読み出すことで、高速に信号を読み出す。ラインメモリ３１０には、センスアンプ３００により読み出された信号が記憶される。入出

力部 320 は、ラインメモリ 310 から出力される信号に対して信号のビット幅の調整や同期コードの付加等の信号処理を行い、画像信号として撮像装置 1 の制御部 4 に出力する。入出力部 320 は、例えば LVDS や SLVS 等の高速インタフェースに対応した入出力回路等により構成されて信号を高速に伝送する。

[0024] 図 6 は、第 1 の実施の形態に係る撮像素子の動作例を示すタイミングチャートである。図 6 において、横軸は時刻を示している。時刻 t_1 から時刻 t_2 までの期間において、タイミングジェネレータ 200 には、撮像装置 1 の制御部 4 からレジスタ設定が入力される。時刻 t_2 から時刻 t_3 までの期間において、タイミングジェネレータ 200 は、レジスタ設定値に基づいて各演算ユニット 80 の演算内容等を示す信号を生成し、VSCAN 回路 240 および HSCAN 回路 250 等に出力する。時刻 t_3 から時刻 t_4 までの期間において、VSCAN 回路 240 および HSCAN 回路 250 は、タイミングジェネレータ 200 により生成された演算内容等を示す信号を、画素 10 毎に設けられた各制御部 70 に順次出力する。

[0025] 時刻 t_{10} から時刻 t_{11} までの期間において、各画素 10 のノイズ信号が比較部 40 に出力される。比較部 40 は、画素 10 から読み出されたノイズ信号と、DA 変換部 210 により供給される基準信号とを比較して、比較結果をデマルチプレクサ 53 に出力する。デマルチプレクサ 53 は、比較部 40 による比較結果をノイズ用記憶部 52 に出力する。ノイズ用記憶部 52 は、比較部 40 による比較結果とグローバルカウンタ 220 からのクロック信号とに基づいて、比較部 40 による比較開始時から比較結果出力時までの経過時間に応じたカウント値をノイズ信号に応じたデジタル信号として記憶する。

[0026] 時刻 t_{11} から時刻 t_{12} までの期間において、各画素 10 の光電変換信号が比較部 40 に出力される。比較部 40 は、光電変換信号と基準信号とを比較して、比較結果をデマルチプレクサ 53 に出力する。デマルチプレクサ 53 は、比較部 40 による比較結果を信号用記憶部 51 に出力する。信号用

記憶部 51 は、比較部 40 による比較結果とクロック信号とに基づいて、比較部 40 による比較開始時から比較結果出力時までの経過時間に応じたカウント値を光電変換信号に応じたデジタル信号として記憶する。こうして、本実施の形態では、信号用記憶部 51 およびノイズ用記憶部 52 には各々 12 ビットのデジタル信号が記憶される。

[0027] また、時刻 t_{11} から時刻 t_{12} までの期間において、ノイズ用記憶部 52 は、シフトレジスタ 230 からのタイミング信号に基づき、ノイズ用記憶部 52 に記憶された 12 ビットのデジタル信号を 1 ビットずつ時間的にシフトさせて、図 5 に示す信号線 121 に順次出力する。信号線 121 に出力されるシリアル信号は、デマルチプレクサ 81 に入力される。デマルチプレクサ 81 は、ノイズ用記憶部 52 からのシリアル信号を演算ユニット 80 に出力する。演算ユニット 80 は、ノイズ信号に応じたデジタル信号を記憶部 83 に順次記憶させる。こうして記憶部 83 は、ノイズ信号に関する 12 ビットのデジタル信号が記憶される。

[0028] 信号線 121 は、第 2 基板 112 の記憶部 50 と第 4 基板 114 のデマルチプレクサ 81 とを結ぶ信号線となり、図 2 に示す貫通電極 110 やバンプ等を用いた信号線となる。一般的に多数の貫通電極 110 を狭ピッチで形成することは困難であり、第 2 基板 112 から多数の平行信号を第 4 基板 114 に同時に伝送することは困難となる。本実施の形態では、第 2 基板 112 の記憶部 50 に記憶された平行信号をシリアル信号に変換して、第 4 基板 114 に出力する。このため、第 2 基板 112 と第 4 基板 114 とを結ぶ配線を少なくすることができ、各画素 10 についてのデジタル信号を同時に出力することができる。また、多数の貫通電極 110 等を形成してチップ面積が増大することを防ぐことができる。

[0029] 時刻 t_{12} から時刻 t_{20} までの期間において、信号用記憶部 51 は、シフトレジスタ 230 からのタイミング信号に基づき、信号用記憶部 51 に記憶された光電変換信号に応じたデジタル信号をシリアル信号に変換して、信号線 121 を介してデマルチプレクサ 81 に 1 ビットずつ順次出力する。デ

マルチプレクサ 81 は、信号用記憶部 51 からのシリアル信号を演算ユニット 80 に出力する。演算ユニット 80 は、制御部 70 からの制御信号に基づいて、記憶部 83 に記憶されたノイズ信号に応じた 12 ビットのデジタル信号を、1 ビットずつデマルチプレクサ 84 に出力させる。デマルチプレクサ 84 は、制御部 70 からの制御信号に基づいて、ノイズ信号に応じたデジタル信号を演算ユニット 80 に出力（フィードバック）する。

[0030] 演算ユニット 80 は、信号用記憶部 51 から 1 ビットずつ出力される光電変換信号に応じたデジタル信号と、記憶部 83 から 1 ビットずつ出力されるノイズ信号に応じたデジタル信号との減算を行って補正信号を生成する。演算ユニット 80 は、1 ビット毎に生成される補正信号を、記憶部 83 に順次記憶させる。演算ユニット 80 は、記憶部 50 に記憶される信号のビット数に応じて複数回の減算を行って、減算結果となる補正信号を記憶部 83 に順次記憶させる。本実施の形態では、記憶部 50 を構成する信号用記憶部 51 およびノイズ用記憶部 52 には各々 12 ビットのデジタル信号が記憶されるため、12 回の減算処理が行われる。記憶部 83 には、12 ビットのノイズ信号に応じたデジタル信号と、12 ビットの補正信号とが記憶されることとなる。このため、記憶部 83 は、24 個のラッチ回路等により構成される。

[0031] このように、本実施の形態では、光電変換信号のデジタル信号とノイズ信号のデジタル信号との差分処理を行うデジタル CDS を 1 ビット毎に時分割的に行う。また、演算ユニット 80 は、画素 10 毎に設けられており、全ての画素 10 において同時にデジタル CDS が行われる。デジタル CDS 演算を 1 ビット毎に行うため、第 4 基板 114 において、多ビット（例えば 12 ビット）のフリップフロップ回路等の多数のデジタル回路を配置することを回避できる。この結果、画素 10 毎の回路数を減らすことができ、チップ面積が増大することを防ぐことができる。

[0032] 時刻 t_{30} から時刻 t_{40} までの期間において、図 5 において例えば互いに隣接する領域 A および領域 B にそれぞれ配置される 2 つの画素 10 に関する補正信号間の演算を行う。即ち、領域 A の記憶部 83 に記憶された領域 A

の画素10の12ビットの補正信号は、1ビットずつデマルチプレクサ84を介して領域Aの演算ユニット80に入力（フィードバック）される。同様に、領域Bの記憶部83に記憶された領域Bの画素10の12ビットの補正信号は、1ビットずつ領域Bのデマルチプレクサ84、領域Bのマルチプレクサ85および領域Aのマルチプレクサ85をそれぞれ介して領域Aの演算ユニット80に入力される。領域Aの演算ユニット80は、こうして入力された領域Aの12ビットの補正信号および領域Bの12ビットの補正信号を1ビットずつ演算する。以下に詳細に説明する。

[0033] 領域Aに配置される演算部100において、領域Aの演算ユニット80は、領域Aの記憶部83に記憶された領域Aの画素10の12ビットの補正信号を、1ビットずつデマルチプレクサ84に出力させる。領域Aのデマルチプレクサ84は、補正信号を領域Aの演算ユニット80に出力（フィードバック）する。また、領域Bに配置される演算部100において、領域Bの演算ユニット80は、領域Bの記憶部83に記憶された領域Bの画素10の補正信号を、1ビットずつデマルチプレクサ84に出力させる。領域Bのデマルチプレクサ84は、補正信号を領域Bのマルチプレクサ85に出力する。

[0034] 画素10毎に設けられる各マルチプレクサ85には、各演算部100が接続される信号線123および信号線124が接続される。信号線123および信号線124は、例えば、第4基板114において行方向および列方向に二次元状に配置され、画素10毎の各演算部100に接続される。マルチプレクサ85は、制御部70により制御され、演算ユニット80の演算対象となる信号を、信号線123および信号線124に入力される補正信号から選択する。領域Bのマルチプレクサ85は、領域Bの画素10の補正信号を、図5に示す信号線123を介して領域Aのマルチプレクサ85に出力する。領域Aのマルチプレクサ85は、領域Bの画素10の補正信号を、信号線124を介して領域Aの演算ユニット80に出力する。領域Aの演算ユニット80には、領域Aの画素10の補正信号および領域Bの画素10の補正信号がそれぞれ1ビット毎に順次入力される。

[0035] 領域Aの演算ユニット80は、領域Aの記憶部83から1ビットずつ出力される補正信号と、領域Bの記憶部83から1ビットずつ出力される補正信号との演算を行って、画素信号を生成する。演算ユニット80は、1ビット毎に生成される画素信号を、記憶部83に順次記憶させる。演算ユニット80は、補正信号のビット数に応じて複数回の演算を行って、演算結果となる画素信号を記憶部83に順次記憶させる。記憶部83には、補正信号間の演算後、12ビットの補正信号と、12ビットの画素信号とが記憶されることとなる。

[0036] このように、本実施の形態では、各画素10の補正信号間の演算前に、相関二重サンプリングを行って補正信号を生成する。このため、画素10毎のノイズ信号成分を除去した信号を用いて、任意の画素10の補正信号間の演算を行うことができる。また、本実施の形態では、画素10毎に生成される補正信号間の演算を1ビット毎に行う。この結果、第4基板114において、多ビット（例えば12ビット）の四則演算回路や多ビット（例えば12ビット）のフリップフロップ回路等の多ビットのデジタル回路を配置することを回避でき、チップ面積が増大することを防ぐことができる。補正信号間の演算を1ビット毎に行うため、演算ユニット80の回路面積を小さくすることができる。さらに、演算ユニット80は、相関二重サンプリングを行うと共に画素10毎の補正信号間の演算を行う。すなわち、演算ユニット80は、デジタル信号間の減算によって補正信号を生成する補正部と、画素10毎に生成される補正信号間の演算を行う画素間演算部とを兼用する補正・画素間演算部として機能する。このため、補正部および画素間演算部を別々に設ける場合と比較して、チップ面積を低減することができる。

[0037] 本実施の形態では、制御部70が配置される第3基板113とは別の第4基板114を有し、第4基板114に演算ユニット80およびマルチプレクサ85等を配置する。このため、チップ面積を増大させることなく、信号線123および信号線124を二次元状に配置して全ての画素10の演算部100に共通に接続することができる。制御部70から制御信号を出力して演

算ユニット 80 およびマルチプレクサ 85 等を制御することにより、任意の画素 10 の補正信号間の演算を行うことができる。隣接する画素間や離れた領域に配置される画素間について演算を行うことができる。また、演算部 100 が演算を行う他の画素 10 の補正信号は、ラッチやレジスタ等を介さずに、信号線 123 および信号線 124 により直接伝送される。ラッチやレジスタ等を通過するための遅延時間が生じないため、信号を高速に読み出すことができ、任意の画素 10 間についての演算を高速に行うことができる。

[0038] 時刻 t_{50} から時刻 t_{60} までの期間において、演算ユニット 80 は、記憶部 83 に記憶された画素信号を、デマルチプレクサ 84 に出力させる。デマルチプレクサ 84 は、画素信号を信号線 122 に出力する。センスアンプ 300 は、信号線 122 に出力された画素信号を増幅して読み出す。画素 10 毎に設けられる各演算部 100 は信号線 122 に順次信号を出力し、センスアンプ 300 は信号線 122 に出力された信号を順次読み出す。

[0039] 時刻 t_{70} から時刻 t_{80} までの期間において、ラインメモリ 310 には、センスアンプ 300 により読み出された画素信号が順次記憶される。入出力部 320 は、ラインメモリ 310 から順次出力される信号に対して信号処理を行い、信号処理後の信号を画像信号として出力する。

[0040] 上述した実施の形態によれば、次の作用効果が得られる。

(1) 撮像素子 3 は、光電変換部 12 を有する複数の画素 10 と、画素 10 毎に設けられ、画素 10 から出力される光電変換信号と画素 10 から出力されるノイズ信号とによって補正信号を生成し、画素 10 毎に生成される補正信号間の演算を行う演算部 100 と、を備える。本実施の形態では、各画素 10 の信号間の演算前に、相関二重サンプリングを行って補正信号を生成する。このため、画素 10 毎のノイズ信号成分を除去した信号を用いて、任意の画素 10 の信号間の演算を行うことができる。

(2) 演算部 100 は、光電変換信号を第 1 デジタル信号に変換しノイズ信号を第 2 デジタル信号に変換する A/D 変換部 60 と、第 1 デジタル信号と第 2 デジタル信号との減算によって補正信号を生成し、画素 10 毎に生成され

る補正信号間の演算を行う補正・画素間演算部（演算ユニット80）と、を有する。このようにしたので、補正部および画素間演算部を別々に設ける場合と比較して、画素10毎の周辺回路の面積を低減することができ、チップ面積を低減することができる。

[0041] （3）光電変換部12は第1基板に配置され、演算部100の少なくとも一部は第2基板に配置される。このようにしたので、画素10の開口率が低下することを防ぐことができる。

（4）AD変換部60は、光電変換信号を第1のビット数の第1デジタル信号に変換し、ノイズ信号を第2のビット数の第2デジタル信号に変換する。このようにしたので、光電変換信号およびノイズ信号の各々をデジタル信号に変換して、記憶部50に記憶させることができる。

（5）演算部100は、第2のビット数の第2デジタル信号を記憶する記憶部83を有する。演算部100は、記憶された第2デジタル信号とAD変換部60から出力される第1デジタル信号との減算を、1ビット毎に行う。本実施の形態では、光電変換信号のデジタル信号とノイズ信号のデジタル信号との差分処理を1ビット毎に行う。このようにしたので、多数のフリップフロップ回路等を画素10毎に設けることを回避でき、チップ面積が増大することを防ぐことができる。

[0042] （6）演算部100は、画素10毎に生成される補正信号間の演算を、1ビット毎に行う。このようにしたので、各画素10の信号間の演算を行う画素間演算のために多数の四則演算回路やフリップフロップ回路等を設けることを回避でき、チップ面積が増大することを防ぐことができる。

（7）撮像素子3は、複数の演算部100が接続され、演算部100から補正信号が出力される複数の信号線（信号線123および信号線124）を更に備える。演算部100は、演算部100が演算を行う補正信号を複数の信号線に出力された補正信号から選択する第1選択部（マルチプレクサ85）を有する。本実施の形態では、制御部70により演算ユニット80およびマルチプレクサ85を制御して、各画素10の補正信号を選択して読み出す。

このため、任意の画素 10 の補正信号間の演算を行うことができる。

[0043] (8) 撮像素子 3 は、入射光を光電変換し電荷を生成する光電変換部 12 及び電荷に基づく信号を生成し出力する出力部 20 (読み出し部 20) とを有する複数の画素 10 を含む画素基板 (第 1 基板 111) と、出力部 20 の電荷をリセットした後のリセット信号と光電変換部 12 で生成された電荷に基づく光電変換信号とによって補正信号を生成し、画素 10 毎に生成される補正信号間の演算を行う演算部 (演算ユニット 80) を含み、画素基板に積層される演算基板 (第 4 基板 114) と、を有する。このようにしたので、画素 10 毎のノイズ信号成分を除去した信号を用いて、任意の画素 10 の信号間の演算を行うことができる。また、演算ユニット 80 がそれぞれ対応する画素 10 に積層して設けられるため、画素 10 の開口率が低下することを防ぐことができる。

(9) 撮像素子 3 は、デジタル信号に変換された光電変換信号及びリセット信号とを蓄積する蓄積部 (記憶部 50) を含む蓄積基板 (第 2 基板 112) を有する。蓄積基板は、画素基板と演算基板の間に積層して配置される。このようにしたので、画素 10 の開口率が低下することを防ぐことができる。

[0044] 次のような変形も本発明の範囲内であり、変形例の一つ、もしくは複数を上述の実施形態と組み合わせることも可能である。

[0045] (変形例 1)

上述した実施の形態では、演算ユニット 80 が CDS 処理を行う補正部と画素間演算を行う画素間演算とに共用される例について説明した。しかし、図 7 に示すように、CDS 処理を行う補正部 54 を、演算ユニット 80 とは別に設けるようにしてもよい。この場合、演算ユニット 80 は、画素間演算部として機能する。補正部 54 は、信号用記憶部 51 から出力される光電変換信号によるデジタル信号と、ノイズ用記憶部 52 から出力されるノイズ信号によるデジタル信号との減算によって補正信号を生成し、デマルチプレクサ 81 を介して演算ユニット 80 に出力する。

[0046] (変形例 2)

上述した実施の形態では、画素間演算の結果となる画素信号を、信号線 122 を介してセンスアンプ 300 に順次出力する例について説明した。しかし、演算部 100 は、記憶部 83 に記憶された補正信号を、画素信号として信号線 122 を介してセンスアンプ 300 に出力するようにしてもよい。また、信号用記憶部 51 に記憶された光電変換信号に応じたデジタル信号、およびノイズ用記憶部 52 に記憶されたノイズ信号に応じたデジタル信号の各々を、デマルチプレクサ 81 を介して信号線 122 に出力するようにしてもよい。

[0047] (変形例 3)

上述した実施の形態では、CDS 処理および画素間演算を 1 ビット毎に時分割的に行う例について説明した。しかし、制御部 70 により演算ユニット 80 等を制御して、複数ビット数毎に演算を行うようにしてもよい。例えば、2 ビット毎に演算を行うようにしてもよいし、ノイズ用記憶部 52 に記憶されるデジタル信号のビット数より少ないビット数毎に行うようにしてもよい。

[0048] (変形例 4)

上述した実施の形態では、各画素 10 の信号間の演算前にデジタル CDS を行う例について説明した。しかし、各画素 10 の信号間の演算前にアナログ CDS を行うようにしてもよい。例えば、AD 変換部 60 において、光電変換信号とノイズ信号との差分処理を行って、信号間の差分に基づくアナログ信号をデジタル信号に変換する。記憶部 50 には、画素 10 毎のノイズ信号成分を除去したデジタル信号が記憶される。記憶部 50 に記憶されたデジタル信号は、演算ユニット 80 に順次出力される。

[0049] (変形例 5)

上述した実施の形態では、光電変換部 12 としてフォトダイオードを用いる例について説明した。しかし、光電変換部 12 として光電変換膜を用いるようにしてもよい。

[0050] 上記では、種々の実施の形態および変形例を説明したが、本発明はこれら

の内容に限定されるものではない。本発明の技術的思想の範囲内で考えられるその他の態様も本発明の範囲内に含まれる。

[0051] 次の優先権基礎出願の開示内容は引用文としてここに組み込まれる。

日本国特許出願 2016 年第 60001 号（2016 年 3 月 24 日出願）

符号の説明

[0052] 3 撮像素子、12 光電変換部、10 画素、40 比較部、60 AD 変換部、100 演算部

請求の範囲

- [請求項1] 入射光を光電変換し電荷を生成する光電変換部及び前記電荷に基づく信号を生成し出力する出力部とを有する複数の画素を含む画素基板と、
- 前記出力部の前記電荷をリセットした後のリセット信号と前記光電変換部で生成された電荷に基づく光電変換信号とによって補正信号を生成し、前記画素毎に生成される補正信号間の演算を行う演算部を含み、前記画素基板に積層される演算基板と、
- を有する撮像素子。
- [請求項2] 請求項1に記載の撮像素子において、
- 前記演算部は、前記画素毎に設けられる撮像素子。
- [請求項3] 光電変換部及び出力部を有する複数の画素が配置される画素基板と、
- 前記出力部をリセットした後の信号をデジタル変換されたりセット信号と、前記光電変換部で光電変換された信号に基づくデジタル変換された光電変換信号とによって補正信号を生成し、前記画素毎に生成される前記補正信号を用いた演算を行う演算部が前記画素毎に設けられる演算基板と、を有し、
- 前記画素基板と前記演算基板とが積層して配置される撮像素子。
- [請求項4] 請求項1から請求項3までのいずれか一項に記載の撮像素子において、
- デジタル信号に変換された前記光電変換信号及び前記リセット信号とを蓄積する蓄積部を含む蓄積基板を有し、
- 前記蓄積基板は、前記画素基板と前記演算基板の間に積層して配置される撮像素子。
- [請求項5] 請求項4に記載の撮像素子において、
- 前記画素基板、前記蓄積基板、及び、前記演算基板は、配線層が配置される第1面と、前記第1面とは反対側の第2面とを有し、

前記蓄積基板、及び、前記演算基板は、前記第1面から前記第2面まで貫通する貫通孔と、前記第1面から前記貫通孔を介して前記第2面まで配置される貫通電極とを有し、

前記画素基板と前記蓄積基板は、互いに前記第1面で電氣的に接続され、

前記蓄積基板と前記演算基板は、互いに前記第2面で電氣的に接続される撮像素子。

[請求項6] 請求項5に記載の撮像素子において、

電荷に基づく信号をデジタル信号に変換し、前記電荷をリセットした後の信号をデジタル信号に変換するAD変換部を有する撮像素子。

[請求項7] 請求項5または請求項6に記載の撮像素子において、

前記蓄積基板に蓄積される前記デジタル信号は、第1のビット数を有し、

前記演算部は、蓄積された前記光電変換信号のデジタル信号と前記リセット信号のデジタル信号との減算を、前記第1のビット数より少ないビット数毎に行う撮像素子。

[請求項8] 請求項5から請求項7までのいずれか一項に記載の撮像素子において、

前記蓄積基板に蓄積される前記デジタル信号は、第1のビット数を有し、

前記蓄積基板から前記演算基板に出力される前記デジタル信号は、前記第1のビット数より小さい第2のビット数毎に出力され、

前記演算部は、蓄積された前記光電変換信号のデジタル信号と前記リセット信号のデジタル信号との減算を、前記第2のビット数毎に行う撮像素子。

[請求項9] 請求項1から請求項8までのいずれか一項に記載の撮像素子において、

前記演算部は、前記光電変換信号のデジタル信号と前記リセット信

号のデジタル信号との減算によって前記補正信号を生成する補正部と、前記画素毎に生成される補正信号間の演算を行う画素間演算部と、を有する撮像素子。

[請求項10] 請求項1から請求項8までのいずれか一項に記載の撮像素子において、

前記演算部は、前記光電変換信号のデジタル信号と前記リセット信号のデジタル信号との減算によって前記補正信号を生成し、前記画素毎に生成される補正信号間の演算を行う補正・画素間演算部と、を有する撮像素子。

[請求項11] 請求項1から請求項10までのいずれか一項に記載の撮像素子において、

前記演算部は、前記光電変換信号のデジタル信号と前記リセット信号のデジタル信号との減算を、1ビット毎に行う撮像素子。

[請求項12] 請求項1から請求項11までのいずれか一項に記載の撮像素子において、

前記演算部は、前記画素毎に生成される補正信号間の演算を、1ビット毎に行う撮像素子。

[請求項13] 請求項1から請求項12までのいずれか一項に記載の撮像素子において、

複数の前記演算部が接続され、前記演算部から前記補正信号が出力される複数の信号線を更に備え、

前記演算部は、前記演算部が演算を行う前記補正信号を前記複数の信号線に出力された前記補正信号から選択する第1選択部を有する撮像素子。

[請求項14] 請求項13に記載の撮像素子において、

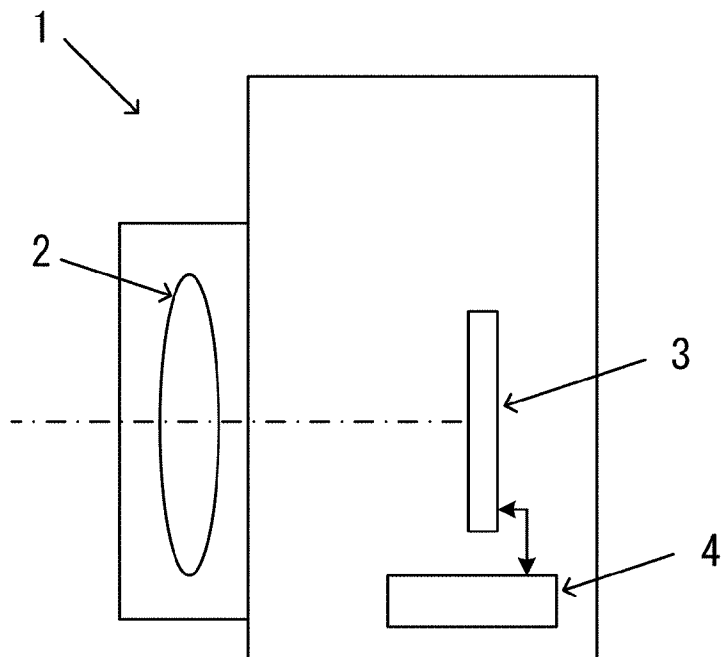
前記演算部は、前記補正信号を前記信号線に出力するか否かを選択する第2選択部を有する撮像素子。

[請求項15] 請求項1から請求項14までのいずれか一項に記載の撮像素子と、

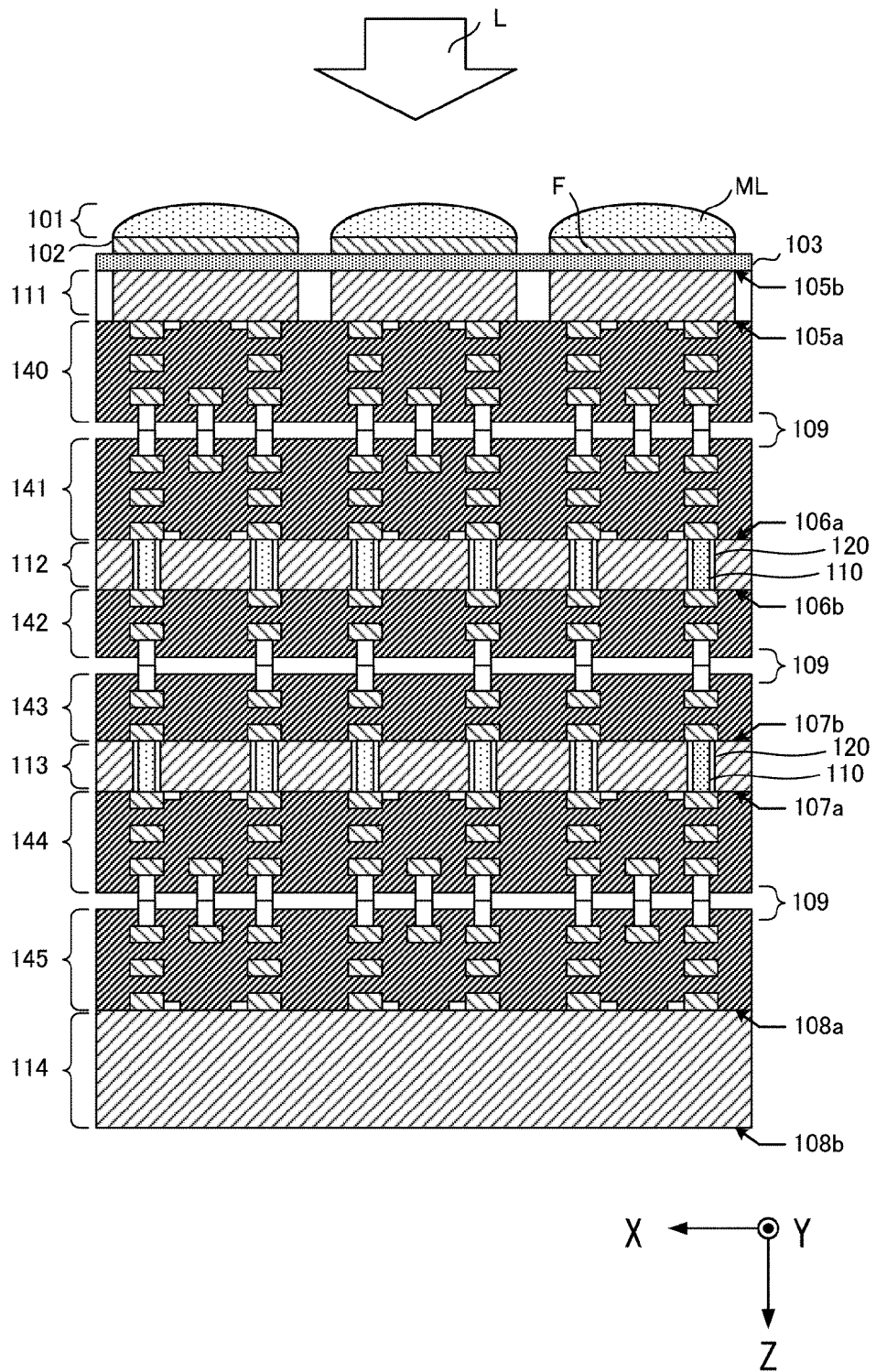
前記画素からの信号に基づいて画像データを生成する画像生成部と、
を備える撮像装置。

[図1]

【図 1】

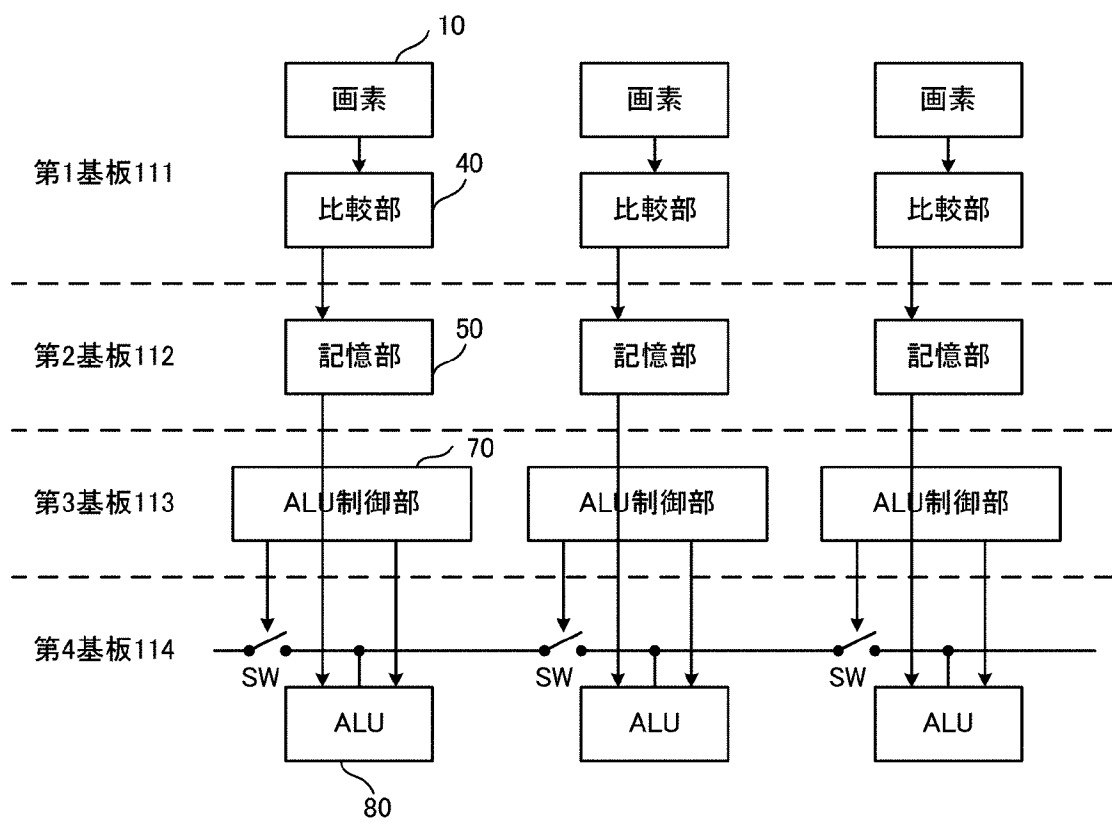


【図 2】



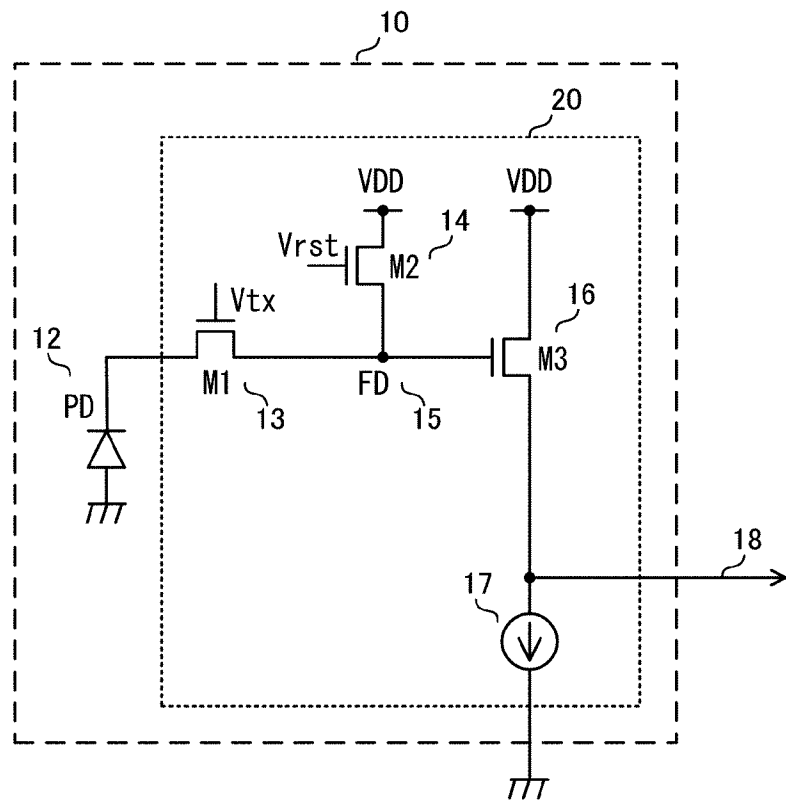
[図3]

【図 3】



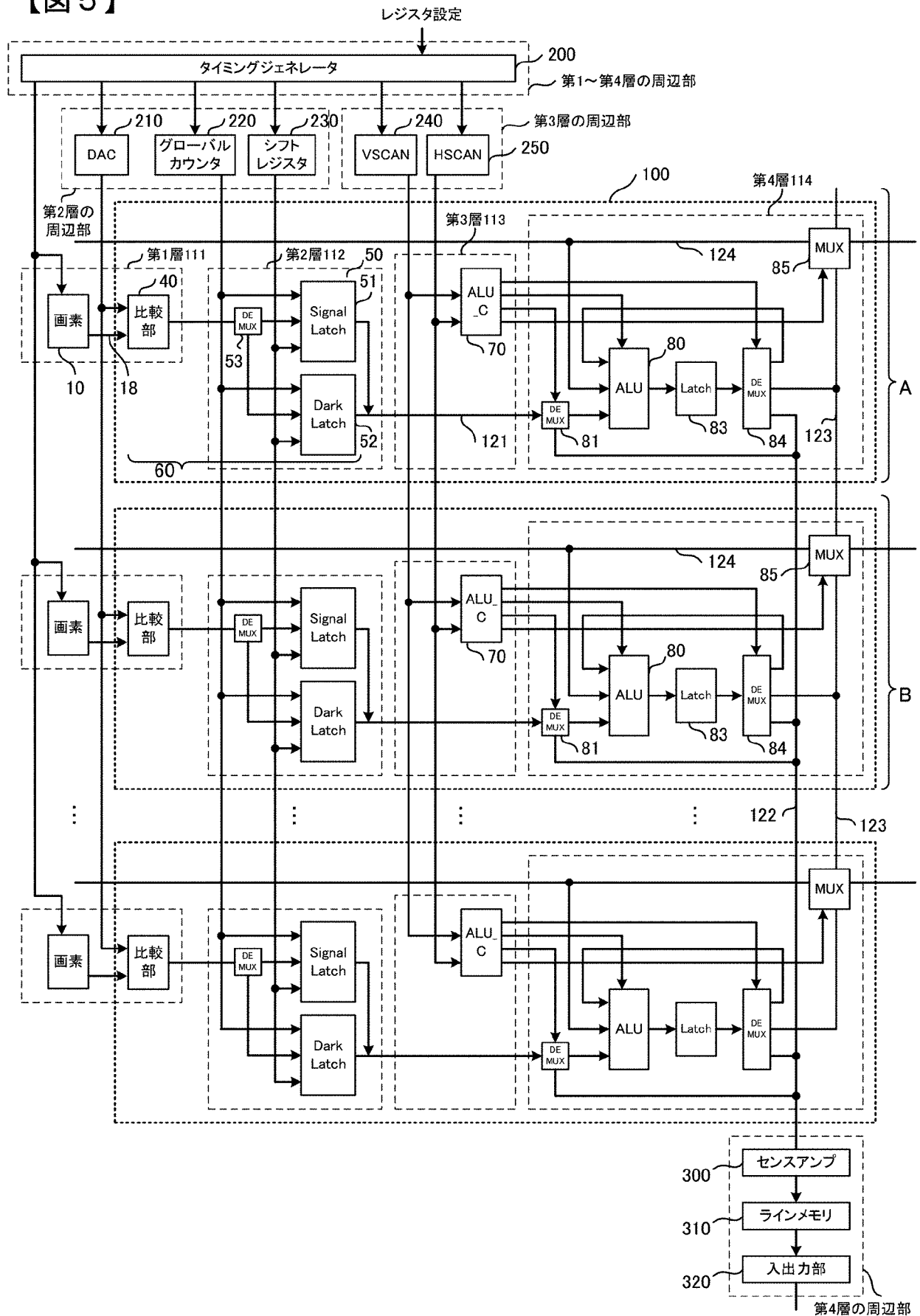
[図4]

【図 4】



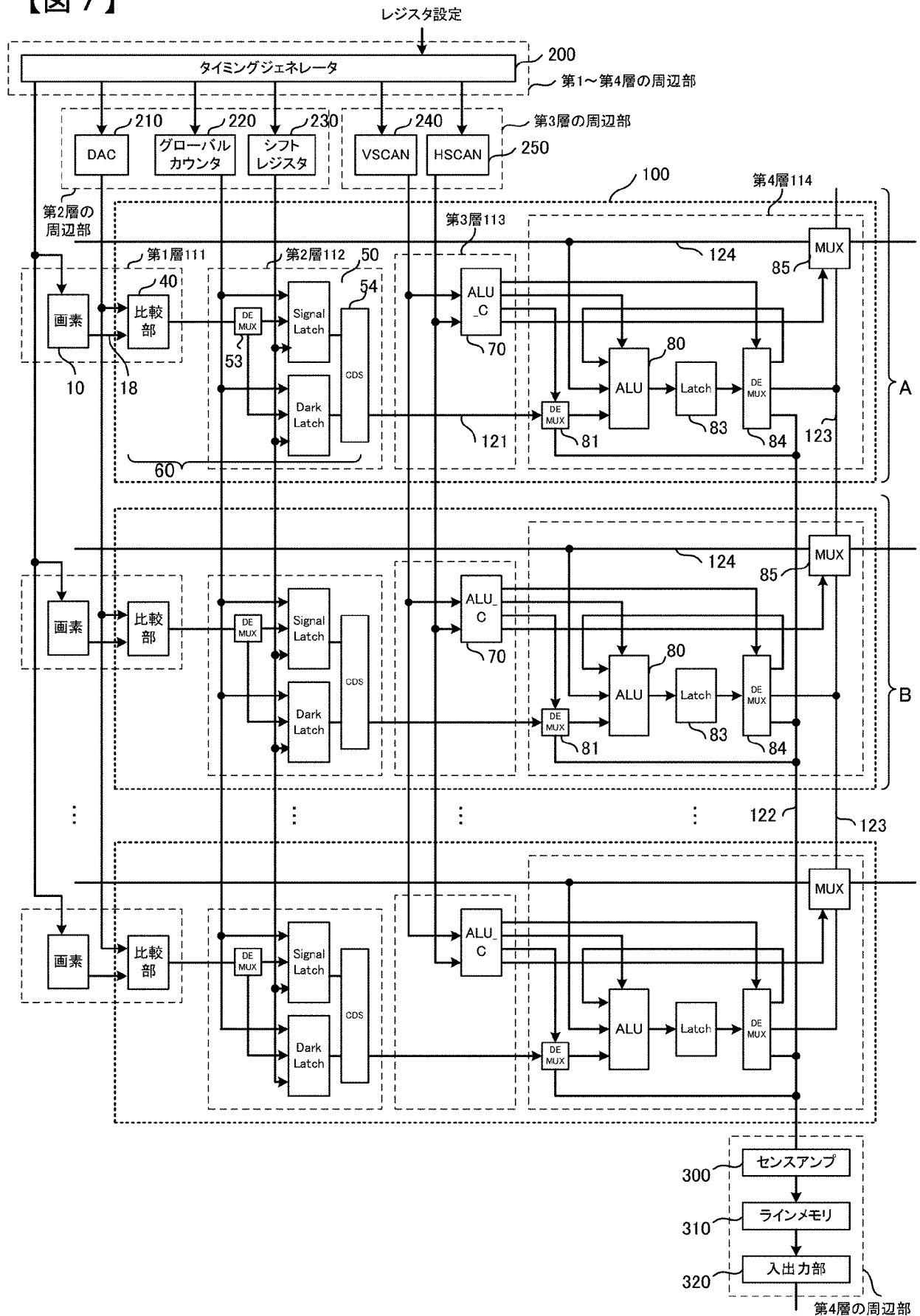
[図5]

【図5】



[図7]

【図7】



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2017/007549

A. CLASSIFICATION OF SUBJECT MATTER

H04N5/3745(2011.01)i, H01L27/146(2006.01)i, H04N5/363(2011.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H04N5/3745, H01L27/146, H04N5/363

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2017
Kokai Jitsuyo Shinan Koho	1971-2017	Toroku Jitsuyo Shinan Koho	1994-2017

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y A	JP 2015-41838 A (Nikon Corp.), 02 March 2015 (02.03.2015), paragraphs [0030] to [0033], [0047]; fig. 4, 5, 7 (Family: none)	1, 15 9-12 2-8, 13, 14
Y	JP 2011-172121 A (Sony Corp.), 01 September 2011 (01.09.2011), paragraph [0033]; fig. 2 (Family: none)	9, 10
Y	JP 2006-186862 A (Nidec Copal Corp.), 13 July 2006 (13.07.2006), paragraph [0035]; fig. 5 (Family: none)	11, 12

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
26 April 2017 (26.04.17)

Date of mailing of the international search report
16 May 2017 (16.05.17)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

A. 発明の属する分野の分類（国際特許分類（IPC））

Int.Cl. H04N5/3745(2011.01)i, H01L27/146(2006.01)i, H04N5/363(2011.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int.Cl. H04N5/3745, H01L27/146, H04N5/363

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2017年
日本国実用新案登録公報	1996-2017年
日本国登録実用新案公報	1994-2017年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X Y A	JP 2015-41838 A（株式会社ニコン）2015.03.02, 段落 [0030] - [0033], [0047], 第4, 5, 7 図（ファミリーなし）	1, 15 9-12 2-8, 13, 14
Y	JP 2011-172121 A（ソニー株式会社）2011.09.01, 段落 [0033], 第2 図（ファミリーなし）	9, 10
Y	JP 2006-186862 A（日本電産コパル株式会社）2006.07.13, 段落 [0035], 第5 図（ファミリーなし）	11, 12

C 欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

26.04.2017

国際調査報告の発送日

16.05.2017

国際調査機関の名称及びあて先

日本国特許庁（ISA/J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

鈴木 明

5 V

9185

電話番号 03-3581-1101 内線 3571