



(12)发明专利

(10)授权公告号 CN 104064486 B

(45)授权公告日 2017.01.18

(21)申请号 201310361600.6

(22)申请日 2013.08.19

(65)同一申请的已公布的文献号  
申请公布号 CN 104064486 A

(43)申请公布日 2014.09.24

(30)优先权数据  
058303/2013 2013.03.21 JP

(73)专利权人 株式会社 东芝  
地址 日本东京都

(72)发明人 佐藤隆夫 福田昌利

(74)专利代理机构 北京市中咨律师事务所  
11247  
代理人 陈海红 段承恩

(51)Int.Cl.

H01L 21/603(2006.01)

(56)对比文件

- US 2012074529 A1, 2012.03.29,
- US 2008023805 A1, 2008.01.31,
- US 2003183943 A1, 2003.10.02,
- US 6271056 B1, 2001.08.07,
- US 6235554 B1, 2001.05.22,
- US 2012276733 A1, 2012.11.01,
- TW 200913218 A, 2009.03.16,

审查员 肖瑶

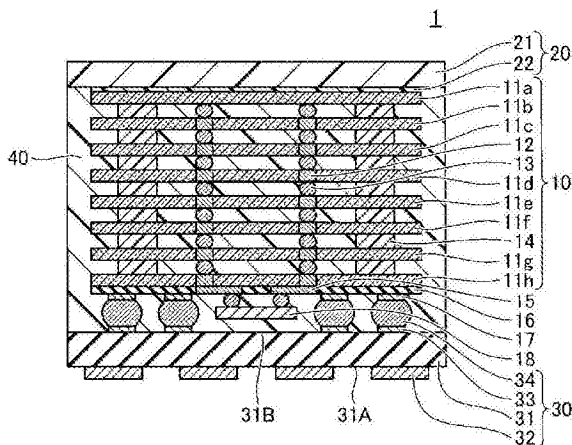
权利要求书2页 说明书7页 附图7页

(54)发明名称

半导体装置以及层叠型半导体装置的制造方法

(57)摘要

本发明提供切断面良好且安装容易并能够实现小型化的层叠型半导体装置及其制造方法。该方法特征是,包括:在第一基板上在同一平面上排列并粘接多个第一层的半导体芯片的工序;在所述半导体芯片上分别层叠至少一层以上的半导体芯片的工序;将所述第一基板切断而分离成各芯片层叠体的工序;进行对位以使在芯片层叠体的表面形成的电极焊盘部与第二基板的电极焊盘部互相对准,而对置地暂时连接的工序;将第二基板以及芯片层叠体整体回流焊以将电极焊盘部间电连接的工序;从芯片层叠体的第一基板侧沿层叠体供给液状树脂以对各半导体芯片间以及芯片层叠体与第二基板间进行树脂密封的工序;和从芯片层叠体的第二基板侧用切割刀片进行切断而个片化的工序。



1. 一种层叠型半导体装置的制造方法,其特征在于,包括:

在采用树脂基板的第一基板上在同一平面上排列并粘接多个第一层的半导体芯片的工序;

在所述半导体芯片表面或背面隔着图形化为所期望的图形的感光性粘接膜分别进行至少一层以上的半导体芯片的对位并加热,从而一边形成液状树脂的浸透通路一边局部粘接,在所述半导体芯片上分别层叠至少一层以上的半导体芯片的工序;

将所述第一基板切断而分离成各层叠体的工序;

进行对位以使在所述层叠体表面形成的电极焊盘部与第二基板的电极焊盘部互相对准,而对置地暂时连接的工序;

将所述第二基板及层叠体整体回流焊以将电极焊盘部间电连接的工序;

从所述层叠体的所述第一基板侧沿所述层叠体供给液状树脂而对各半导体芯片间以及所述层叠体与所述第二基板间进行树脂密封的工序;和

用切割刀片将所述层叠体切断而个片化的工序。

2. 一种层叠型半导体装置的制造方法,其特征在于,包括:

在第一基板上在同一平面上排列并粘接多个第一层的半导体芯片的工序;

在所述半导体芯片上分别层叠至少一层以上的半导体芯片的工序;

将所述第一基板切断而分离成各层叠体的工序;

进行对位以使在所述层叠体表面形成的电极焊盘部与第二基板的电极焊盘部互相对准,而对置地暂时连接的工序;

将所述第二基板以及层叠体整体回流焊以将电极焊盘部间电连接的工序;

从所述层叠体的所述第一基板侧沿所述层叠体供给液状树脂而对各半导体芯片间以及所述层叠体与所述第二基板间进行树脂密封的工序;和

用切割刀片将所述树脂密封了的层叠体与所述第一基板以及第二基板一并切断而个片化的工序。

3. 根据权利要求2所述的层叠型半导体装置的制造方法,其特征在于,所述个片化工序是从所述第一基板侧用切割刀片进行切断的工序。

4. 根据权利要求2所述的层叠型半导体装置的制造方法,其特征在于,在所述个片化工序之前,

包括供给含有填充剂的密封树脂以对所述层叠体的外侧进行树脂密封的后密封工序,所述个片化工序是从所述第二基板侧用切割刀片进行切断而个片化的工序。

5. 根据权利要求2到4中任一项所述的层叠型半导体装置的制造方法,其特征在于,所述第一基板采用树脂基板。

6. 一种半导体装置,包括:

第一以及第二基板,其对置配置且为同一尺寸;

多层半导体芯片的层叠体,其被夹持在所述第一与第二基板间且电连接于至少一方;和

密封树脂,其将所述第一与第二基板间、构成所述层叠体的所述半导体芯片间、所述第一以及第二基板与所述层叠体间密封,

该半导体装置的特征在于,

---

所述密封树脂的外缘处于连结所述第一以及第二基板的外缘的线上。

## 半导体装置以及层叠型半导体装置的制造方法

[0001] 关联申请

[0002] 本申请以日本专利申请2013-58303号(申请日:2013年3月21日)为基础并享受其优先权。本申请通过参照该在先申请而包括其全部内容。

### 技术领域

[0003] 本发明的实施方式涉及半导体装置以及层叠型半导体装置的制造方法。

### 背景技术

[0004] 在形成NAND型闪存等要求高容量的设备时,提出了将被薄厚加工了的半导体芯片多片层叠并进行树脂密封的方法、或者、将预先对半导体芯片进行了树脂密封所成的部件多个层叠的方法。各半导体芯片的信号提取,通常基于线接合法进行,但是为了使信号传输速度更高速化,提出了基于TSV方式(Through Silicon Via,硅穿孔)的层叠方式(例如日本专利公开公报2010-251408号)。就该层叠方式而言,在设有密封材料流出防止体的金属制运送基板上依次层叠芯片并将芯片之间用树脂密封。此时填充树脂使得最上层的接口芯片的凸起(バンプ,bump)露出。而且,在最上层的接口芯片的连接端子连接个片(单片)的布线基板。而且公开了在对周边进行了模铸密封后,将运送基板和模铸树脂统一切割(ダイシング,dicing)的技术。该方法是极为高效的安装方法。但是,不得不按密封材料流出防止体的量增大运送基板,所以封装大型化。而且,在通过刀具进行切断时,存在切断面的精加工不够这一问题。

### 发明内容

[0005] 本发明的一个实施方式,其目的在于提供可小型化且切断面的精加工良好的半导体装置。

[0006] 根据本发明的一个实施方式,其特征在于,包括:在采用树脂基板的第一基板上在同一平面上排列并粘接多个第一层的半导体芯片的工序;在所述半导体芯片表面或背面隔着图形化为所期望的图形的感光性粘接膜分别进行至少一层以上的半导体芯片的对位并加热,从而一边形成液状树脂的浸透通路一边局部粘接,在所述半导体芯片上分别层叠至少一层以上的半导体芯片的工序;将所述第一基板切断而分离成各层叠体的工序;进行对位以使在所述层叠体表面形成的电极焊盘部与第二基板的电极焊盘部互相对准,而对置地暂时连接的工序;将所述第二基板以及层叠体整体回流焊以将电极焊盘部间电连接的工序;从所述层叠体的所述第一基板侧沿所述层叠体供给液状树脂而对各半导体芯片间以及所述层叠体与所述第二基板间进行树脂密封的工序;和用切割刀片将所述层叠体切断而个片化的工序。

### 附图说明

[0007] 图1-1是示意性地表示第一实施方式的半导体装置的剖视图。

- [0008] 图1-2是该半导体装置的要部放大剖视图。
- [0009] 图1-3是该半导体装置的要部放大剖视图。
- [0010] 图2-1是表示该半导体装置的制造工序的工序剖视图。
- [0011] 图2-2是表示该半导体装置的制造工序的工序剖视图。
- [0012] 图2-3是表示该半导体装置的制造工序的工序剖视图。
- [0013] 图2-4是表示该半导体装置的制造工序的工序剖视图。
- [0014] 图2-5是表示该半导体装置的制造工序的工序剖视图。
- [0015] 图2-6是表示该半导体装置的制造工序的工序剖视图。
- [0016] 图2-7是表示该半导体装置的制造工序的工序剖视图。
- [0017] 图2-8是表示该半导体装置的制造工序的工序剖视图。
- [0018] 图3是示意性地表示第二实施方式的半导体装置的结构剖视图。
- [0019] 图4-1是表示该半导体装置的制造工序的工序剖视图。
- [0020] 图4-2是表示该半导体装置的制造工序的工序剖视图。
- [0021] 图4-3是表示该半导体装置的制造工序的工序剖视图。
- [0022] 图5是示意性地表示比较例的半导体装置的结构的一例的剖视图。
- [0023] 附图标记说明
- [0024] 1、2 层叠型半导体装置;10 芯片层叠体;11a~11h 半导体芯片;
- [0025] 12 贯穿电极;13 凸起电极;14 粘接剂;15 再布线;
- [0026] 16 保护薄膜;17 电极焊盘部;18 IF芯片;20 第一基板;
- [0027] 21 树脂膜;22 粘接剂;30 第二基板;31 树脂基板;
- [0028] 32 外部连接端子;33 内部连接端子;34、35 焊料球;
- [0029] 40 密封树脂;40a 第一密封树脂;40b 第二密封树脂。

### 具体实施方式

[0030] 下面参照附图,详细地说明实施方式涉及的层叠型半导体装置及其制造方法。此外,本实施方式中,作为半导体芯片,就NAND型闪存等使用存储芯片的半导体存储装置进行说明,本发明不由这些实施方式限定。另外,在以下所示的附图中,为了容易理解,有时各部件的比例尺与实际不同。另外,在表示上下等方向时,示出图2中的附图标记为正方向的情况为基准的相对的方向,有时与以施加的重力加速度方向为基准的情况不同。

[0031] (第一实施方式)

[0032] 图1-1是示意性地表示第一实施方式的半导体存储装置的剖视图,图1-2以及图1-3是该要部放大剖视图。从图2-1到图2-8是表示该半导体装置的制造工序的工序剖视图。本实施方式的半导体装置1具备:相对地配置的同一大小(尺寸)的第一以及第二基板20、30;在第一以及第二基板20、30之间、且电连接于至少一方的多层半导体芯片11a~11h的芯片层叠体10;和密封树脂40。该密封树脂40密封了第一以及第二基板20、30之间、构成芯片层叠体10的半导体芯片11a~11h之间、第一以及第二基板20、30与所述芯片层叠体10之间,该半导体装置1的特征在于,该密封树脂40的外缘位于连结第一以及第二基板20、30的外缘的线上。

[0033] 本实施方式中,作为第一基板20使用容易切断的树脂基板等,在第一基板20上层

叠了半导体芯片11a~11h后,按每个第一基板20进行切断而形成芯片层叠体10。而且,将该芯片层叠体10连接到第二基板30(布线基板)上,并供给液状的密封树脂40、使其硬化。这样一来,将各半导体芯片11a~11h之间以及芯片层叠体10与所述第二基板30之间树脂密封,接着用切割刀具B<sub>1</sub>进行切断使其个片化,从而形成。

[0034] 第二基板30具有树脂基板31,在该树脂基板31的第一面31A形成有外部连接端子32。在作为BGA封装使用半导体存储装置的情况下,外部连接端子32包括焊料球、具有焊料镀敷、Au镀敷等的突起端子。在作为LGA封装使用半导体存储装置的情况下,作为外部连接端子32设有金属焊台(ランド)。在树脂基板31的第二面31B上设有内部连接端子33,经由焊料球34连接于芯片层叠体10的电极焊盘部17。内部连接端子33在与芯片层叠体10连接时作为连接部(连接块)发挥作用,经由第二基板30的布线网(未图示)与外部连接端子32电连接。在树脂基板31的第二面31B上固定有具有多个半导体芯片11(11a~11h)的芯片层叠体10。

[0035] 接下来,关于本实施方式的半导体装置的制造方法进行说明。首先,作为第一基板20,准备将PI(聚酰亚胺)等有耐热性的树脂膜21贴附并保持于例如金属框架所得的基板,以能够运送。在此,将在树脂膜21上形成由热硬化性的粘接剂22所得的基板用作第一基板20。在该第一基板20上的预定位置粘接成为层叠体的第一层的半导体芯片11a。第一层半导体芯片11a在树脂膜21的一个平面上按预定间隔排列多个地搭载(图2-1)。实际上在树脂膜上形成有铜箔等的图形,以此为记号地搭载半导体芯片。该图形也能够切割时使用。

[0036] 此后,在各半导体芯片11a上依次层叠预定层数的半导体芯片(11b~11h)而形成各芯片层叠体10。此时半导体芯片11a~11h对位层叠,使得相互间的连接通过在(硅)贯穿电极12两面分别形成的焊盘电极11p与凸起电极13抵接来实现,形成了芯片层叠体10。接着,在层叠的半导体芯片11a~11h的单面在电连接的焊盘电极(パッド電極)11p以外的场所所以多点存在的方式形成有粘接剂14,在层叠半导体芯片11a~11h时,与对象侧的半导体芯片的对应的面粘接而固定(图2-2)。

[0037] 接下来,在位于芯片层叠体10的最上层的存储芯片11h上,在表面上形成有再布线15,搭载接口芯片(IF芯片)18。再布线15如图1-3中要部放大剖视图所示,包括在最上层的半导体芯片11h的表面形成的绝缘薄膜15a和布线层15b,在与IF芯片18的连接位置以及与第二基板20即布线基板的连接位置形成有电极焊盘部17。该IF芯片18具备用于在构成芯片层叠体10的多个存储芯片即半导体芯片11a~11h与外部设备之间进行数据通信的接口(IF)电路。IF芯片18相对于芯片层叠体10进行倒装芯片连接(FC连接),在与芯片层叠体10之间填充液状树脂并构成密封树脂40的一部分(图2-3)。

[0038] 接着,在各层叠体的比芯片大的位置,将层叠体周边的树脂膜切断而形成单个的层叠体(图2-4)。切断的方法可以采用使用模具的方法、使用刀具(刃物)的方法、通过刀片切割进行的方法等任何方法。也可以预先准备在比芯片大的形状的位置设有狭槽等的形状,在该位置进行切断。

[0039] 接下来,以单个的芯片层叠体10相对于布线基板即第二基板30能看到芯片侧的内部连接端子(电极焊盘部)33的朝向、即以芯片层叠体10的粘有第一基板(树脂膜)20的一侧变为远离第二基板30的一侧的方式,进行芯片层叠体10与第二基板30的对应的内部连接端子33的对位,接着通过预先涂敷的暂时固定材料进行暂时粘接。之后,通过在蚁酸环境气体

(雾围气)等还原环境气体中进行加热(回流焊(リフロー, reflow)),芯片层叠体10与第二基板30电连接(图2-5)。电极焊盘部17(内部连接端子33)以焊料和/或Au为主成分,同时进行层叠体的半导体芯片11a~11h相互间和芯片层叠体10的最上层的半导体芯片11h~第二基板30间的电连接。另外,芯片层叠体10的最上层的半导体芯片11h~第二基板30之间的电连接也可以另行进行。在此使用还原环境气体是因为:为了可靠地进行电连接而将在表面形成的氧化薄膜等还原并去除。层叠的各半导体芯片11a~11h之间,使用在与各电极焊盘部(内部连接端子33)相对应的位置形成有以Cu为主成分的贯穿电极12的结构。另外,根据需要,层叠的多个半导体芯片也能够应用于搭载大小不同的半导体芯片的结构。

[0040] 接下来,统一地在芯片层叠体10的各半导体芯片11a~11h间和层叠体最上层的半导体芯片11h与第二基板30之间填充液状树脂并形成密封树脂40(图2-6)。

[0041] 最后,粘接在切割带T<sub>1</sub>上,从芯片层叠体10的第一基板20(树脂膜)侧以基板上的识别标记为基准进行对位,通过使用刀片B<sub>1</sub>的刀片切割进行个片的封装化(图2-7)。此时在作为第一基板20的树脂膜的下侧存在将各半导体芯片11a~11h之间密封了的密封树脂40。而且,进行刀片切割时,事先粘接到切割带T<sub>1</sub>上免得杂乱,通过同时切断包括树脂膜的第一基板20、密封树脂40、第二基板30,能够最大限度地实现小型化并且得到切断面整齐的结构(图2-8)。而且,在向布线基板进行搭载时,用开口夹(コレット)(未图示)等从切割带T<sub>1</sub>上抓取成为个片的层叠型半导体装置1并收置于托盘等中。这样一来,图1-1所示的层叠型半导体装置1完成。

[0042] 以上那样,能够从薄板即第一基板20之下涂敷液状树脂以进行半导体芯片11a~11h之间以及芯片层叠体10的最上层的半导体芯片11h~第二基板30(布线基板)间的密封。另外,此时在大小比半导体芯片大的第一基板20之下存在密封树脂40,所以能够在接近半导体芯片的位置进行刀片切割。因此,通过稳定的切断工序,能够制造接近芯片尺寸的封装。另外,能够如上述那样切断,没有必要再度对整体进行模铸密封,所以能够将树脂设为1种,提高制造生产率。另外,回流焊的工序也是一次即可,所以能够消减制造工序中的热应力,可靠性提高。即,能够实现封装的小型化、成本降低、工序合理化和可靠性的提升。密封树脂40是使液状树脂硬化所得的。而且,芯片层叠体部的凸起连接在向基板的暂时接之后,所以不会因将芯片层叠体搭载到基板上时的应力等而使凸起连接部破裂。

[0043] 此外,第二基板30是例如在绝缘树脂基板的表面以及内部设有布线网(未图示)的基板,具体而言,适用采用了玻璃-环氧树脂和/或BT树脂(bismaleimide triazine resin, 双马来酰亚胺三嗪树脂)等绝缘树脂的印刷 布线板(多层印刷基板等)。

[0044] 用热硬化性的粘接剂22将最下层的半导体芯片11a的下面(非电路面)粘接于构成第一基板20的树脂膜21,从而将芯片层叠体10安装到第一基板20上。芯片层叠体10的层叠顺序中的最下层的半导体芯片11a仅通过包含绝缘性树脂等的粘接剂22粘接,不直接与第一基板20电连接。最下层的半导体芯片11a经由多个半导体芯片11b~11h与在第二基板30上设置的布线电连接。

[0045] 芯片层叠体10经由在从第二层到最上层的半导体芯片11b~11h内部分别设置的贯穿电极(Through Silicon Via:TSV,硅穿孔)12和将这些贯穿电极12之间连接的凸起电极13,而将分别相邻的半导体芯片11a~11h间电连接。半导体芯片11b~11h,在粘接于第一基板20的存储芯片即半导体芯片11a上依次层叠。最下层的半导体芯片11a仅通过粘接剂22

与第一基板20粘接,仅与第二层半导体芯片11b电连接。因此,最下层的半导体芯片11a没有贯穿电极。根据需要也能够最下层的半导体芯片11a上形成贯穿电极并将该贯穿电极用于布线的引回。

[0046] 以上那样,多个半导体芯片11a~11h经由在除了最下层的半导体芯片11a外的半导体芯片11b~11h设置的贯穿电极12和凸起电极13而电连接。图1-1中简化示出相邻的半导体芯片间的电连接结构。具体而言,通过使在下层侧的半导体芯片的上面(电路面)以与贯穿电极12电连接的方式形成的焊盘电极11p与在上层侧的半导体芯片的下面(非电路面)以与贯穿电极12电连接的方式形成的凸起电极13接触、并将至少一方的电极端子熔融而一体化,从而将相邻的半导体芯片11a~11h间电连接。凸起电极13在图1-1中作为与焊盘电极11p的连接体示出,使得在图1-2中示出要部放大图。半导体芯片11b~11h,一边经由焊盘电极11p的连接体即凸起电极13将相邻的半导体芯片11间电连接,一边在粘接在第一基板20上的半导体芯片11a上依次层叠。

[0047] 作为焊盘电极11p的形成材料,可以举出使用在Sn中添加有Cu、Ag、Bi、In等的Sn合金的焊料和/或Au、Cu、Ni、Sn、Pd、Ag等金属材料。作为焊料(无Pb焊料(Pbフリー半田))的具体例子,可以举出Sn-Cu合金、Sn-Ag合金、Sn-Ag-Cu合金等。金属材料不限于单层薄膜,也可以是Ni/Au和/或Ni/Pd/Au等的多个金属薄膜的层叠薄膜。而且,金属材料也可以是含上述那样的金属的合金。作为焊盘电极与凸起电极的组合,可以举出焊料/焊料、金属/焊料、焊料/金属、金属/金属等。作为焊盘电极11p与凸起电极13的形状,可以举出半球状和/或柱状等突起形状彼此的组合、突起形状与焊盘那样的平坦形状的组合。

[0048] 焊盘电极11p与凸起电极13的至少一方,优选,由焊料制成。而且,如果考虑制造芯片层叠体10时的半导体芯片的操作(ハンドリング)性等,则优选,在半导体芯片的上面(电路面)形成采用了Ni/AuやNi/Pd/Au等金属材料的焊盘电极,并在半导体芯片的下面(非电路面)形成采用了Sn-Cu合金、Sn-Ag合金、Sn-Ag-Cu合金等焊料的焊盘电极11p以及凸起电极13的层叠体。此外,表面背面的凸起材料相反也没有问题。此时,优选,采用了金属材料的焊盘电极11p成为平坦形状,采用了焊料的凸起电极13成为突起形状。通过保持具有平坦的焊盘电极11p的面,半导体芯片的操作性提高,由此能够提高半导体芯片间的对位精度和/或凸起电极13的连接性。

[0049] 构成芯片层叠体10的半导体芯片11a~11h的外形为相同的矩形状。关于半导体芯片11a~11h的厚度,可以分别设为相同的厚度,但优选,使最下层的半导体芯片11a的厚度比其他半导体芯片11b~11h的厚度厚。通过使最下层的半导体芯片11a的厚度变厚,能够抑制由于布线基板即第二基板30与半导体芯片的热膨胀系数的差而产生的应力、半导体芯片的翻翘(弯曲)、基于这些的半导体芯片间的连接不良(凸起电极的连接不良)。

[0050] 除最下层的半导体芯片11a外的半导体芯片11b~11h,为了降低芯片层叠体10的厚度乃至层叠型半导体装置1的厚度,优选为薄厚化加工了的芯片。具体而言,优选,使用厚度50 $\mu\text{m}$ 以下的半导体芯片11b~11h。如果最下层的半导体芯片11a的厚度过厚,则芯片层叠体10的厚度变厚,进而层叠型半导体装置1的大小变得过大。优选,半导体芯片11a的厚度设为300 $\mu\text{m}$ 以下。最下层的半导体存储芯片11a不需要贯穿电极,所以能够容易地增厚芯片厚。

[0051] 在最上层的半导体芯片11h的表面形成有再布线15,使得图1-3中示出要部方式



图。再布线15包括在最上层的半导体芯片11h表面形成的绝缘薄膜15a和布线层15b,在与IF芯片18的连接位置以及与第二基板20即布线基板的连接位置形成有电极焊盘部17。半导体芯片11h表面被保护薄膜16覆盖,该保护薄膜覆盖再布线15表面。

[0052] 本实施方式中关于在芯片层叠体10上搭载具有IF电路的IF芯片18的例子进行了说明,但在芯片层叠体10上搭载的半导体芯片不限于仅搭载了IF电路的IF芯片18。用于在芯片层叠体10与外部设备之间进行数据通信的IF芯片18,也可以是除IF电路外还搭载有控制电路。在芯片层叠体10上也可以搭载IF电路与控制电路的混载芯片、即控制兼IF芯片。另外,也可以搭载控制器和IF电路这两个芯片。这些基于层叠型半导体装置1的使用用途和外部设备的结构等适当地选择。

[0053] 在构成芯片层叠体10的半导体芯片间、而且在最上层的半导体芯片11h与IF芯片18之间的间隙中,填充有密封树脂(底部填充)40。

[0054] 第一实施方式的层叠型半导体装置1中,在与半导体芯片不同的其他芯片(IF芯片18)上设置IF电路,该芯片搭载在芯片层叠体10上。因此,能够使多个半导体芯片11a~11h的外形形状相同,所以与例如在最下层的存储芯片上搭载了IF电路的情况相比较,能够使层叠了多个半导体芯片11a~11h而成的芯片层叠体10、乃至具备芯片层叠体10的层叠型半导体装置1的封装尺寸小型化。进而,多个半导体芯片11a~11h中,除最下层的半导体芯片11a没有贯穿电极12外,使用相同结构的半导体芯片,所以能够实现开发效率的提高和/或制造成本的降低等。

[0055] 芯片层叠体10经由内部的电极焊盘部17、内部连接端子33、焊料球34与第二基板30电连接。如果换言之,则芯片层叠体10仅相对于第二基板30的第二面31B粘接,所以能够降低芯片层叠体10的安装所需的成本。而且,不需要在最下层的半导体芯片11a上形成贯穿电极,所以能够容易地使最下层的半导体芯片11a的厚度变厚。因此,在将芯片层叠体10粘接于第二基板30时,抑制基于最下层的半导体芯片11a和构成第二基板30的树脂基板31的热膨胀差的应力的影响和半导体芯片11a的翻翘。由于这些,能够提高半导体芯片间的电连接可靠性、特别是能够提高最下层的半导体芯片11a与第二层半导体芯片11b的电连接可靠性。

[0056] 而且,在芯片层叠体10与外部设备之间进行数据通信的IF芯片18,经由在最上层的半导体芯片11h上形成的再布线15和内部连接端子33与第二基板30通过倒装芯片连接而电连接。这样,IF芯片18与第二基板30的连接结构简化,因此与在存储芯片内设置用于连接IF芯片18和第二基板30的贯穿电极等的情况相比,能够降低包括IF芯片18的芯片层叠体10的制造工时和制造成本。即,能够以低成本提供小型且可靠性优异的半导体存储装置。而且,通过使IF芯片18与第二基板30的连接结构简化,能够实现芯片层叠体10与外部设备的数据通信速度的提高等。

[0057] 关于比较例的半导体装置进行说明。图5是示意性地表示比较例的半导体装置的结构的一例的剖视图。该例子中,在设有密封材料流出防止体的金属制的运送基板120上按顺序层叠芯片而形成了芯片层叠体210。而且,通过树脂140a将芯片间密封。最上层的接口芯片的凸起预先露出。此后,在最上层芯片上连接个片的具备再布线的布线基板115。而且在通过模铸树脂140b将周边密封了后,切割模铸树脂140b。标记135是外部连接用的焊料球。从图5与图1-1的比较,也可以根据本实施方式的层叠型半导体装置,制造变得极为容

易,能够大幅实现小型化。

[0058] 以上那样,根据上述结构具有众多效果,特别是用容易切断的树脂基板并将第一以及第二基板与密封树脂一并统一地切断,所以呈现切断面良好且能够小型化则样的极为有效的效果。

[0059] (第二实施方式)

[0060] 图3是示意性地表示构成第二实施方式的半导体存储装置的、层叠型半导体装置的结构剖视图。图4-1~图4-3是表示该层叠型半导体装置的制造工序的工序剖视图。本实施方式的层叠型半导体装置2,在即将通过切割工序进行个片分割前即直到图2-6所示的工序,与前述第一实施方式的层叠型半导体装置1同样地形成。而且,在个片分割前,通过含填充剂(填料)的环氧树脂等第二密封树脂40b用模具(未图示)在芯片层叠体10侧进行成型并密封。此后,在布线基板即第二基板30的背面侧搭载焊料球35,此后从第二基板30侧通过采用刀片B<sub>2</sub>的刀片切割,形成个片的封装(半导体装置)。

[0061] 关于第二实施方式的层叠型半导体装置的制造方法进行说明。第一实施方式中,最为简略而言,其特征在于,能够统一地进行芯片-芯片间以及芯片-第二基板间的电极连接和树脂密封。本实施方式中,到图2-1~图2-6的工序为止,也与第一实施方式相同,但是不实施图2-7的分割成个片的切割工序,而是如图4-1所示通过第二密封树脂40b进行树脂密封。

[0062] 此后,在第二基板(布线基板)30的背面侧的外部连接端子32搭载焊料球35(图4-2)。

[0063] 而且,此后粘接于切割带T<sub>2</sub>并从第二基板30的背面侧通过采用刀片B<sub>2</sub>的刀片切割(图4-3)进行分割,形成个片的封装。

[0064] 关于其他结构与前述第一实施方式的层叠型半导体装置1相同。该层叠型半导体装置2包括:对置配置且大小相同的第一以及第二基板20、30;夹持在第一以及第二基板20、30之间且电连接于至少一方的多层半导体芯片11a~11h的芯片层叠体10;和第一以及第二密封树脂40a、40b。该第一密封树脂40a将第一与第二基板之间、构成层叠体的半导体芯片之间、第一以及第二基板与前述层叠体之间密封起来,该第一以及第二密封树脂40a、40b的外缘处于连结第一以及第二基板20、30的外缘的线上。

[0065] 根据该方法,如果工序增加,则密封树脂需要使液状树脂硬化而成的第一密封树脂40a和成型所得的第二密封树脂40b这两种,但具有作为外部连接端子能够形成焊料球35这一优点。另外,如图3所示,用了树脂膜的第一基板20上由包括含填充剂模铸树脂的第二密封树脂40b覆盖,所以耐湿性提高。另外,包含树脂膜的第一基板20表面,存在无法进行激光打标(marking)这样的问题,然而由于表面由含填充剂的模铸树脂覆盖,所以能够容易地进行打标。

[0066] 以上说明了与本发明相关的实施方式,但是该实施方式是作为例子提出的,无意于限定发明的范围。该实施方式能够以其他各种各样的形态来实施,能够在不脱离发明的主旨的范围内进行各种省略、置换、变更。该实施方式等包含于发明的范围和/或主旨,同样地也包含在技术方案所记载的发明及其等同范围。

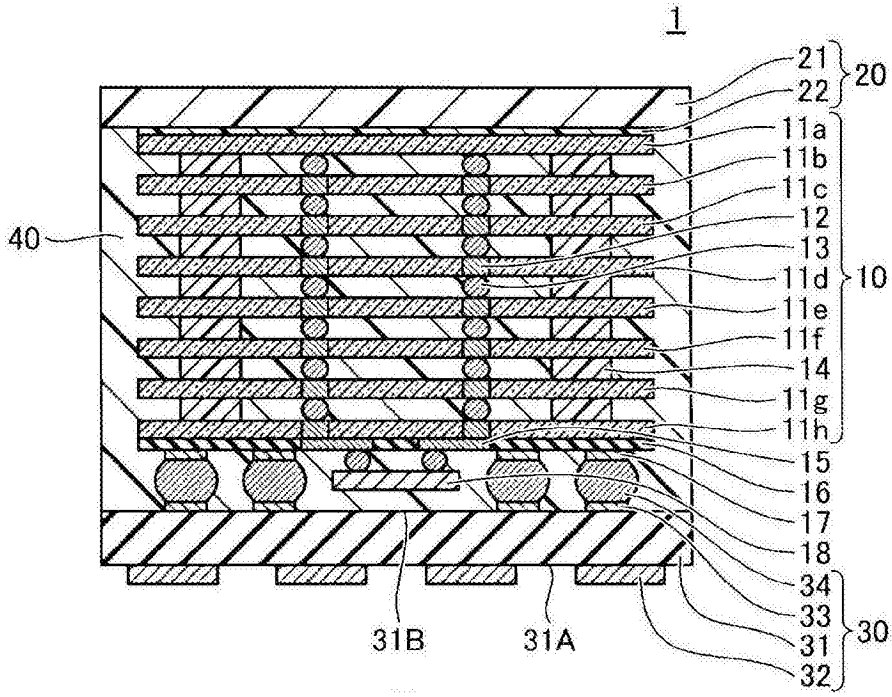


图1-1

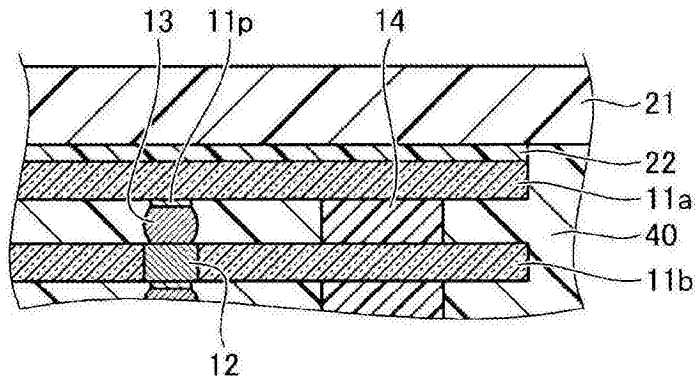


图1-2

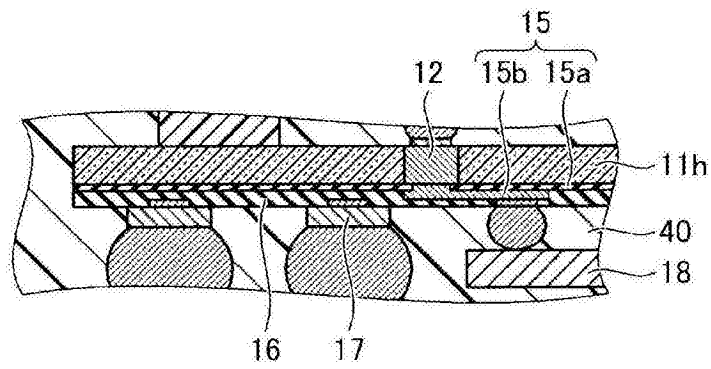


图1-3

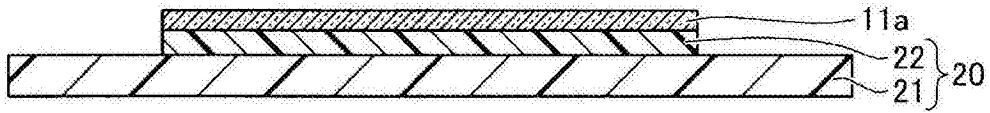


图2-1

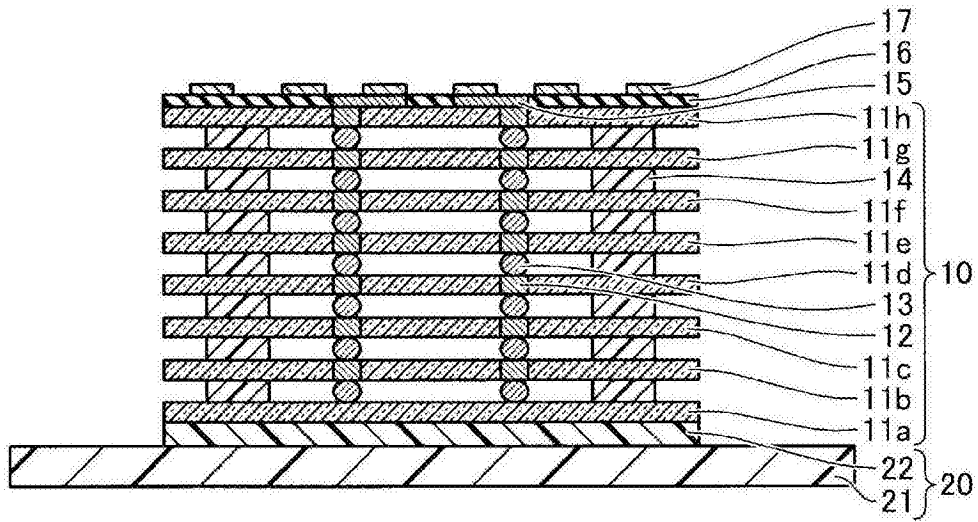


图2-2

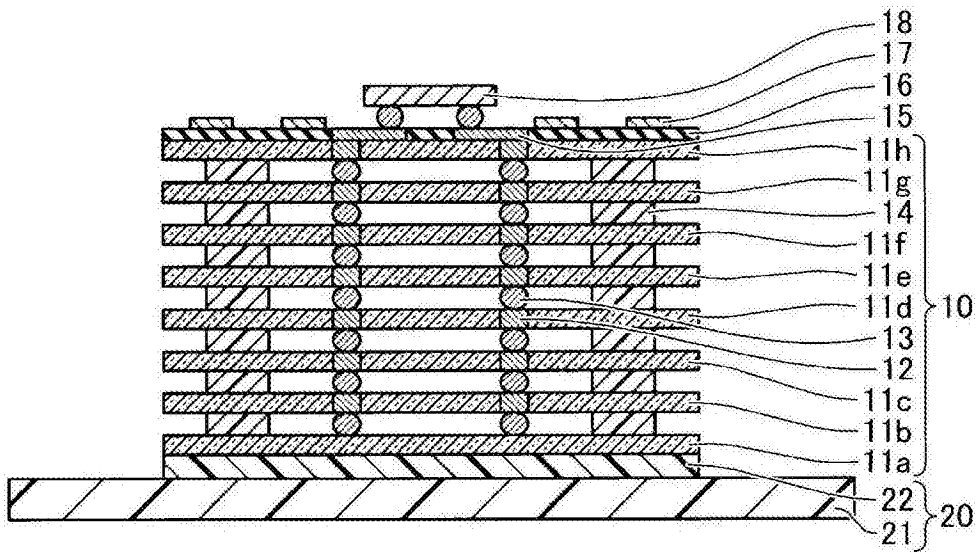


图2-3

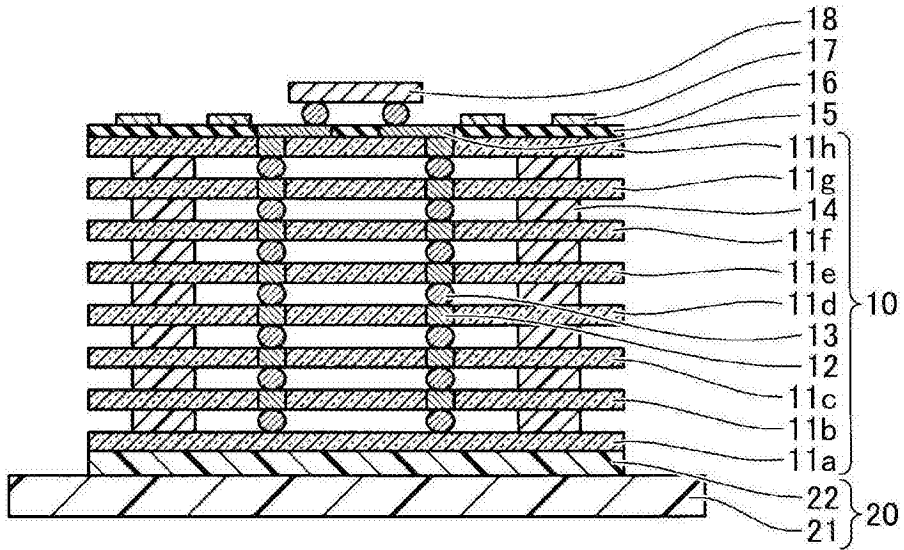


图2-4

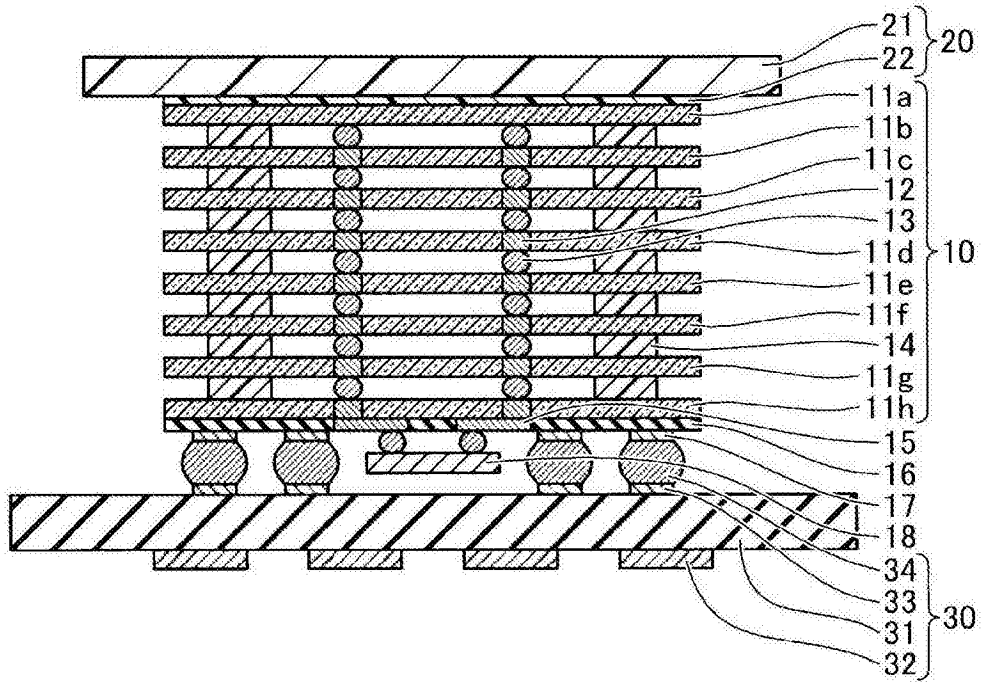


图2-5

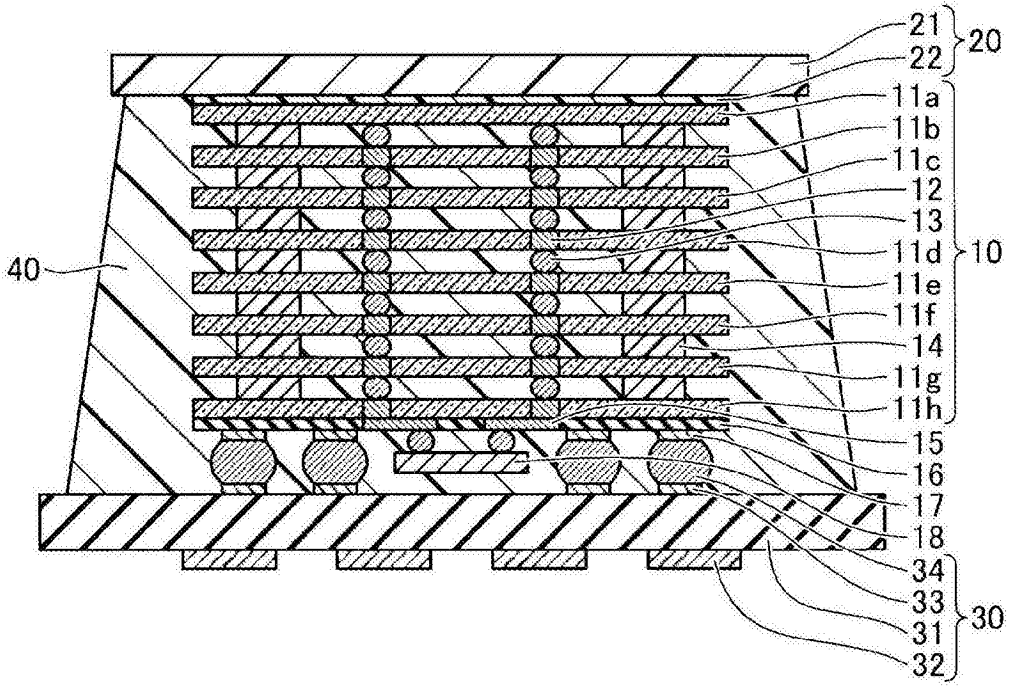


图2-6

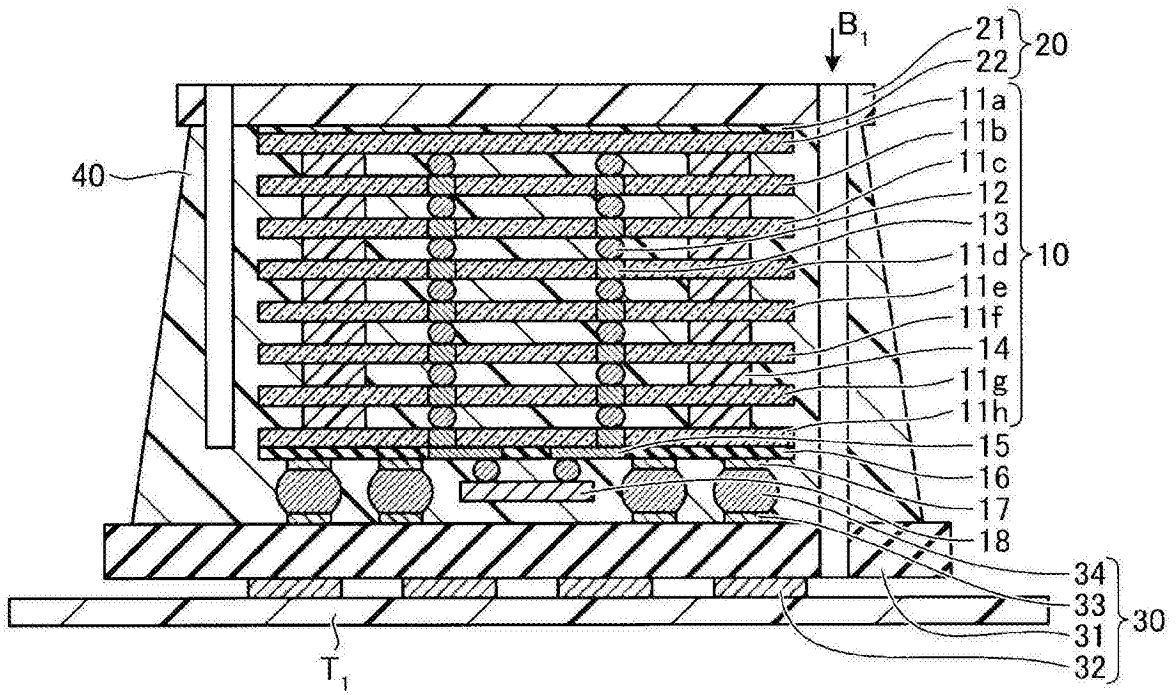


图2-7

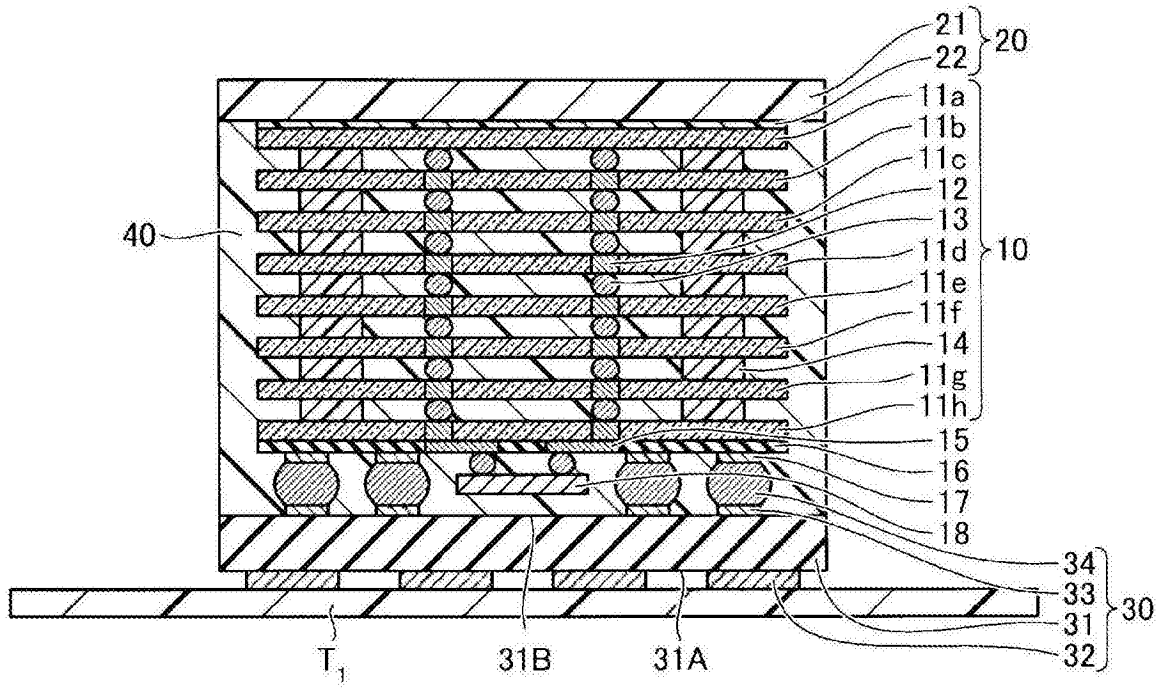


图2-8

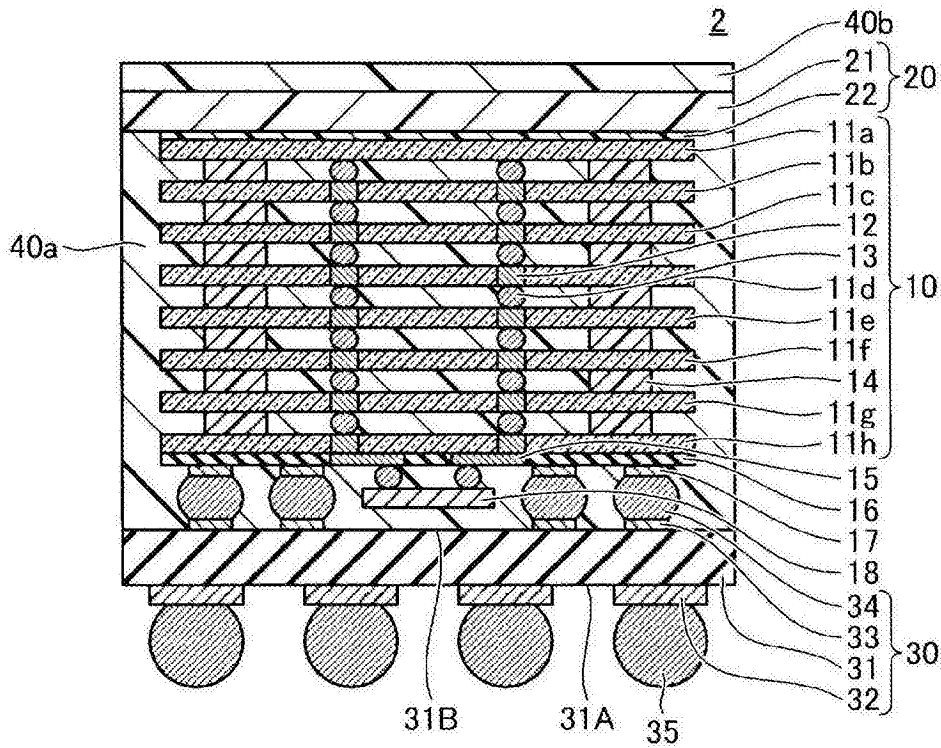


图3

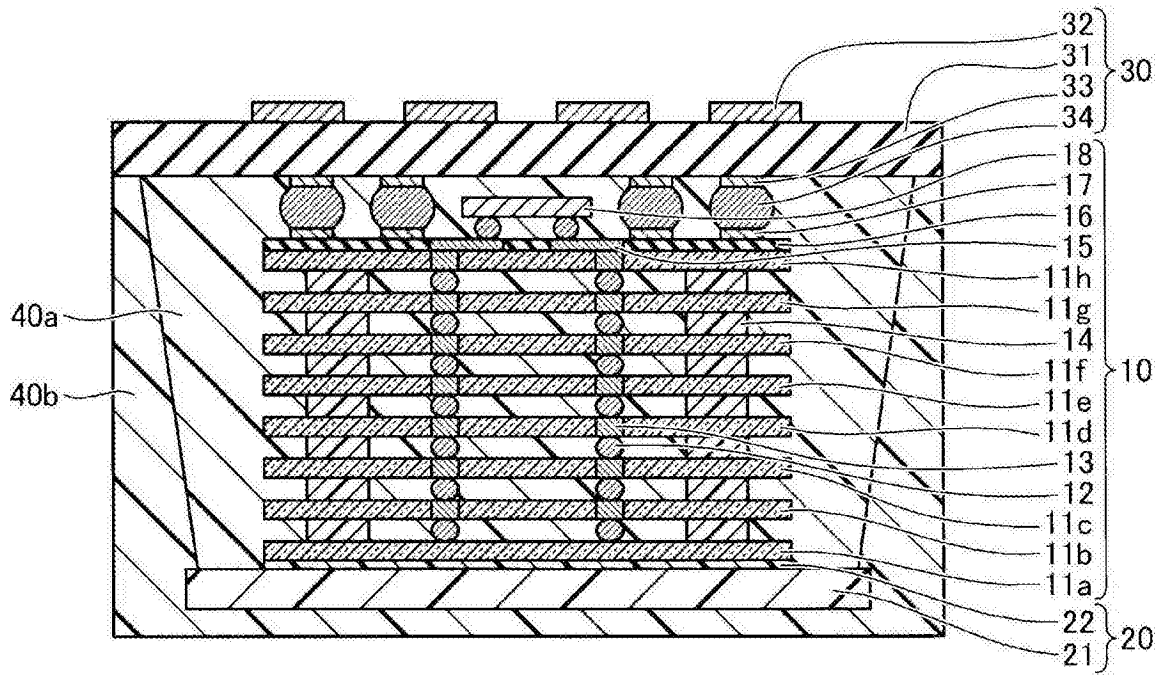


图4-1

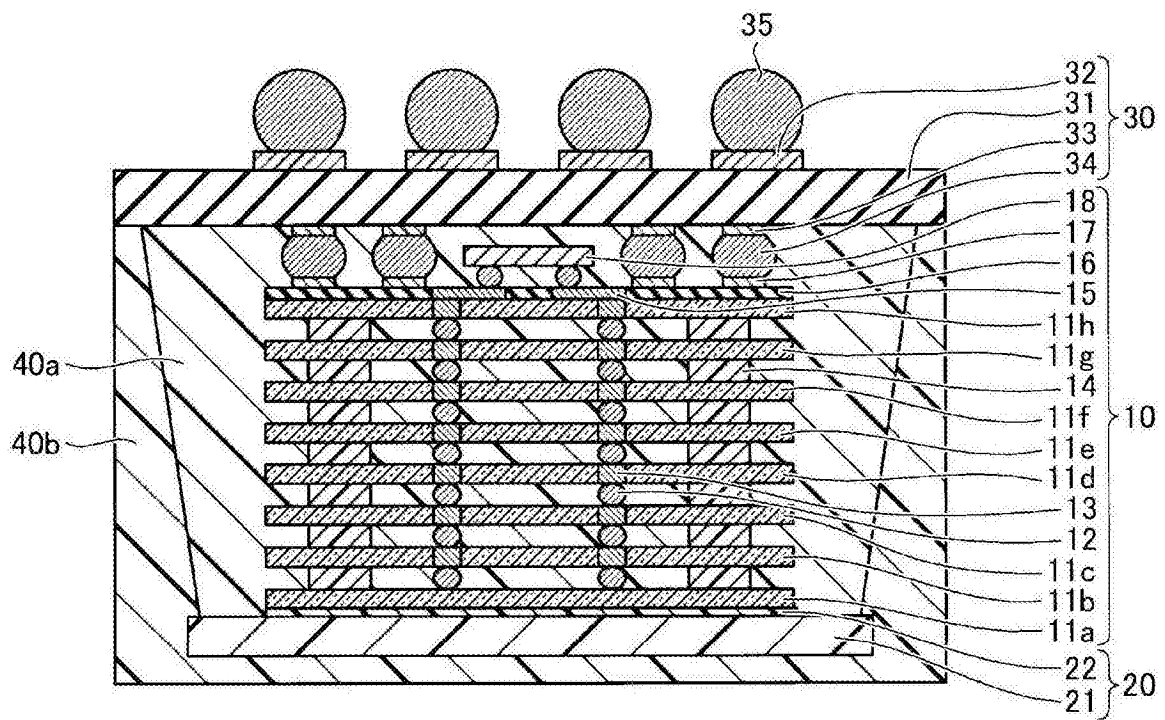


图4-2



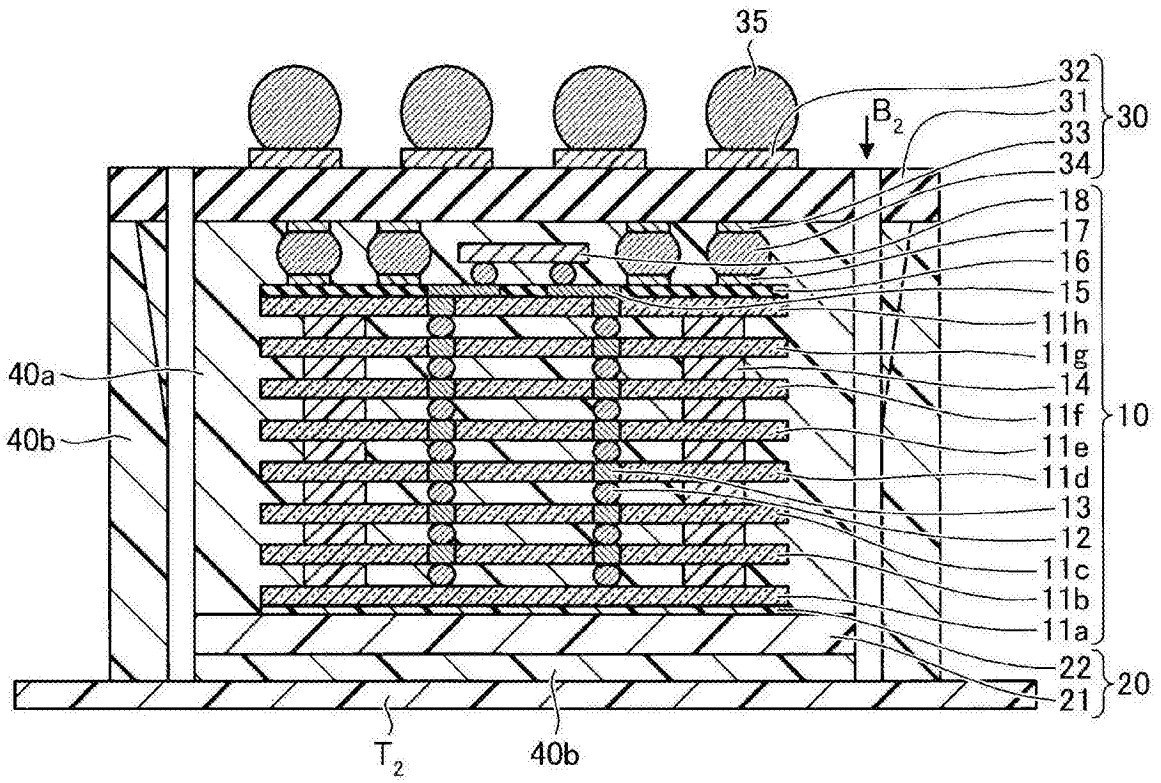


图4-3

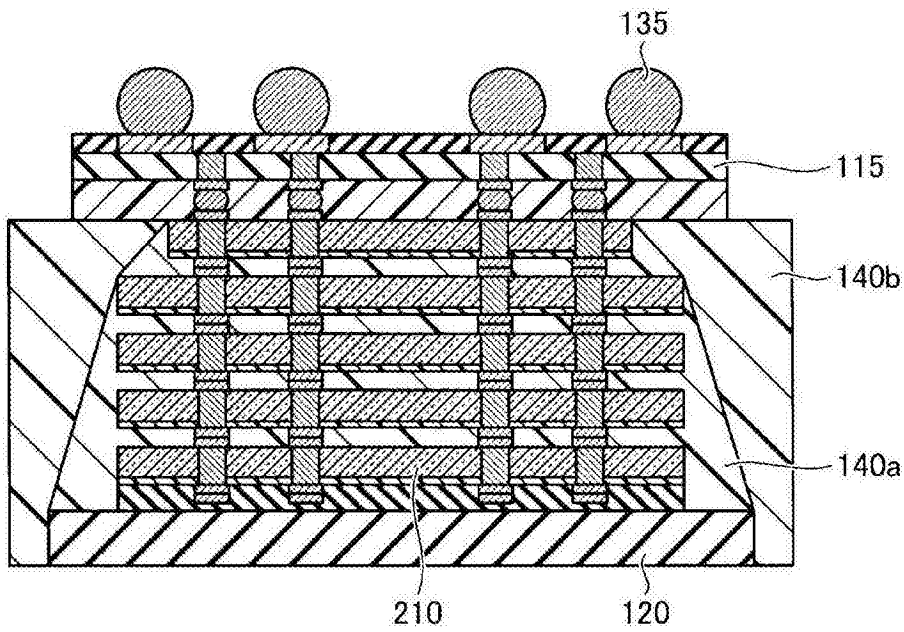


图5