

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】平成20年8月28日(2008.8.28)

【公開番号】特開2007-115773(P2007-115773A)

【公開日】平成19年5月10日(2007.5.10)

【年通号数】公開・登録公報2007-017

【出願番号】特願2005-303387(P2005-303387)

【国際特許分類】

H 01 L 21/8247 (2006.01)

H 01 L 29/788 (2006.01)

H 01 L 29/792 (2006.01)

H 01 L 27/115 (2006.01)

【F I】

H 01 L 29/78 3 7 1

H 01 L 27/10 4 3 4

【手続補正書】

【提出日】平成20年7月15日(2008.7.15)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

基板上のセレクトゲートの側壁に絶縁膜を介してサイドウォール状のフローティングゲートを形成する工程と、

前記フローティングゲートの上端部を平坦化する工程と、
を含むことを特徴とする半導体記憶装置の製造方法。

【請求項2】

前記フローティングゲートを形成する工程では、基板上に第1の絶縁膜を介してセレクトゲートが形成されるとともに、前記セレクトゲート上に下から順に第2の絶縁膜、第3の絶縁膜、第4の絶縁膜、第5の絶縁膜が形成され、かつ、少なくとも前記セレクトゲート間の領域の前記基板上、および前記セレクトゲートの側表面に第6の絶縁膜が形成された基板の前記第6の絶縁膜上に、第2の半導体膜を堆積し、エッチバックにより、少なくとも前記第5の絶縁膜、前記第4の絶縁膜、前記第3の絶縁膜、前記第2の絶縁膜、及び前記セレクトゲートの両側に、サイドウォール状のフローティングゲートを形成し、

前記フローティングゲートの上端部を平坦化する工程では、前記第5の絶縁膜を除去することを特徴とする請求項1記載の半導体記憶装置の製造方法。

【請求項3】

前記フローティングゲートを形成する工程の前に、

前記基板上に、下から順に第1の絶縁膜、第1の半導体膜、第2の絶縁膜、第3の絶縁膜、第4の絶縁膜、第5の絶縁膜を形成する工程と、

所定の領域の、前記第5の絶縁膜、前記第4の絶縁膜、前記第3の絶縁膜、前記第2の絶縁膜、及び前記第1の半導体膜を選択的にエッチングすることでセレクトゲートを形成する工程と、

少なくとも前記セレクトゲート間の領域の前記基板上、および前記セレクトゲートの側表面に第6の絶縁膜を形成する工程と、

を含み、

前記フローティングゲートを形成する工程と前記フローティングゲートの上端部を平坦化する工程の間に、

前記第5の絶縁膜と前記フローティングゲートをマスクとして、イオン注入により、セルフアラインで基板表面に第1および第2の拡散領域を形成する工程と、

隣り合う前記フローティングゲート間であって前記第1および第2の拡散領域上に第7の絶縁膜を埋め込む工程と、

を含み、

前記フローティングゲートの上端部を平坦化する工程の後に、

前記第4の絶縁膜および前記第3の絶縁膜を除去する工程と、

基板全面に第8の絶縁膜を形成する工程と、

前記第8の絶縁膜上にコントロールゲートを形成する工程と、

を含むことを特徴とする請求項2記載の半導体記憶装置の製造方法。

【請求項4】

前記フローティングゲートの上端部を平坦化する工程では、CMP法により、前記第4の絶縁膜をCMPストップとして、前記7の絶縁膜および前記フローティングゲートの上端面を平坦化することを特徴とする請求項2又は3記載の半導体記憶装置の製造方法。

【請求項5】

基板上の第1の領域に配設されたセレクトゲートと、

前記第1の領域に隣接する第2の領域に配設された第1および第2のフローティングゲートと、

前記第2の領域と隣接する第3の領域に設けられた第1および第2の拡散領域と、

前記第1および第2のフローティングゲートの上に配設されたコントロールゲートと、を備え、

前記第1および第2のフローティングゲートは、上端面が平坦であることを特徴とする半導体記憶装置。

【請求項6】

前記第1および第2のフローティングゲートは、エッチバックにより形成された側壁面を有し、

前記第1および第2のフローティングゲートの上端面は、CMPにより平坦化されていることを特徴とする請求項5記載の半導体記憶装置。

【請求項7】

前記第1および第2のフローティングゲートの上端面は、同じ高さで均一化され、かつ、前記基板の正面側の面と略平行となるように構成されることを特徴とする請求項5又は6記載の半導体記憶装置。

【請求項8】

前記フローティングゲートの側壁面のうちエッチバックにより形成された側壁面は、前記基板の正面側の面に対して略垂直となるように構成されることを特徴とする請求項6又は7記載の半導体記憶装置。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0015

【補正方法】変更

【補正の内容】

【0015】

従来例2に係る不揮発性半導体記憶装置の製造方法では、エッチバックにてフローティングゲート206aを形成しているため(図12(E)参照)、サイドウォール状に形成されており、フローティングゲート206aは絶縁膜204の側壁面寄りの上端部に切り立った角部206bを有する(図10参照)。フローティングゲート206aにこのような角があると、読み出し動作時にコントロールゲート211にかける低い電圧がフローティングゲート206aの角に電界が集中してしまい(図16参照)、フローティングゲー

トからコントロールゲートに電子が引き抜かれてしまう（図17参照）。また、フローティングゲート206aは、エッチバック（図12（E）参照）のばらつきに左右されやすいので、フローティングゲート206aの形状および高さ（角部206bの位置）がばらつくおそれがある。特に、フローティングゲート206aのサイドウォール状の曲面のうち上端近傍は、下端近傍よりも、エッチバックのばらつきに左右されやすく、エッチバックによるダメージを受けやすい。そのため、動作上の信頼性が低くなるおそれがある。

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0017

【補正方法】変更

【補正の内容】

【0017】

本発明の第1の視点においては、半導体記憶装置の製造方法において、基板上のセレクトゲートの側壁に絶縁膜を介してサイドウォール状のフローティングゲートを形成する工程と、前記フローティングゲートの上端部を平坦化する工程と、を含むことを特徴とする。

【手続補正4】

【補正対象書類名】明細書

【補正対象項目名】0018

【補正方法】変更

【補正の内容】

【0018】

本発明の前記半導体記憶装置の製造方法において、前記フローティングゲートを形成する工程では、基板上に第1の絶縁膜を介してセレクトゲートが形成されるとともに、前記セレクトゲート上に下から順に第2の絶縁膜、第3の絶縁膜、第4の絶縁膜、第5の絶縁膜が形成され、かつ、少なくとも前記セレクトゲート間の領域の前記基板上、および前記セレクトゲートの側壁面に第6の絶縁膜が形成された基板の前記第6の絶縁膜上に、第2の半導体膜を堆積し、エッチバックにより、少なくとも前記第5の絶縁膜、前記第4の絶縁膜、前記第3の絶縁膜、前記第2の絶縁膜、及び前記セレクトゲートの両側に、サイドウォール状のフローティングゲートを形成し、前記フローティングゲートの上端部を平坦化する工程では、前記第5の絶縁膜を除去することが好ましい。

【手続補正5】

【補正対象書類名】明細書

【補正対象項目名】0019

【補正方法】変更

【補正の内容】

【0019】

本発明の前記半導体記憶装置の製造方法において、前記フローティングゲートを形成する工程の前に、前記基板上に、下から順に第1の絶縁膜、第1の半導体膜、第2の絶縁膜、第3の絶縁膜、第4の絶縁膜、第5の絶縁膜を形成する工程と、所定の領域の、前記第5の絶縁膜、前記第4の絶縁膜、前記第3の絶縁膜、前記第2の絶縁膜、及び前記第1の半導体膜を選択的にエッチングすることでセレクトゲートを形成する工程と、少なくとも前記セレクトゲート間の領域の前記基板上、および前記セレクトゲートの側壁面に第6の絶縁膜を形成する工程と、を含み、前記フローティングゲートを形成する工程と前記フローティングゲートの上端部を平坦化する工程の間に、前記第5の絶縁膜と前記フローティングゲートをマスクとして、イオン注入により、セルファアラインで基板表面に第1および第2の拡散領域を形成する工程と、隣り合う前記フローティングゲート間であって前記第1および第2の拡散領域上に第7の絶縁膜を埋め込む工程と、を含み、前記フローティングゲートの上端部を平坦化する工程の後に、前記第4の絶縁膜および前記第3の絶縁膜を除去する工程と、基板全面に第8の絶縁膜を形成する工程と、前記第8の絶縁膜上にコン

トロールゲートを形成する工程と、を含むことが好ましい。

【手続補正6】

【補正対象書類名】明細書

【補正対象項目名】0020

【補正方法】変更

【補正の内容】

【0020】

本発明の前記半導体記憶装置の製造方法において、前記フローティングゲートの上端部を平坦化する工程では、CMP法により、前記第4の絶縁膜をCMPストップとして、前記7の絶縁膜および前記フローティングゲートの上端面を平坦化することが好ましい。

【手続補正7】

【補正対象書類名】明細書

【補正対象項目名】0050

【補正方法】変更

【補正の内容】

【0050】

【図1】本発明の実施形態1に係る半導体記憶装置の構成を模式的に示した部分平面図である。

【図2】本発明の実施形態1に係る半導体記憶装置の構成を模式的に示した(図1の)X-X'間の部分断面図である。

【図3】本発明の実施形態1に係る半導体記憶装置の製造方法を模式的に示した第1の工程断面図である。

【図4】本発明の実施形態1に係る半導体記憶装置の製造方法を模式的に示した第2の工程断面図である。

【図5】本発明の実施形態1に係る半導体記憶装置の製造方法を模式的に示した第3の工程断面図である。

【図6】本発明の実施形態1に係る半導体記憶装置の製造方法を模式的に示した第4の工程断面図である。

【図7】本発明の実施形態1に係る半導体記憶装置のコントロールゲートとフローティングゲートの間のエネルギー・バンドの状態を模式的に示した図面である。

【図8】従来例1に係る半導体記憶装置の構成を模式的に示した部分断面図である。

【図9】従来例2に係る半導体記憶装置の構成を模式的に示した部分平面図である。

【図10】従来例2に係る半導体記憶装置の構成を模式的に示した(図9の)Y-Y'間の部分断面図である。

【図11】従来例2に係る半導体記憶装置の製造方法を模式的に示した第1の工程断面図である。

【図12】従来例2に係る半導体記憶装置の製造方法を模式的に示した第2の工程断面図である。

【図13】従来例2に係る半導体記憶装置の製造方法を模式的に示した第3の工程断面図である。

【図14】従来例2に係る半導体記憶装置の製造方法を模式的に示した第4の工程断面図である。

【図15】従来例2に係る半導体記憶装置の読み出し動作(フローティングゲートに電子が蓄積されていない状態のときの読み出し動作)を説明するための模式図である。

【図16】従来例2に係る半導体記憶装置のコントロールゲートとフローティングゲートの間の電界の様子を模式的に示した図である。

【図17】従来例2に係る半導体記憶装置のコントロールゲートとフローティングゲートの間のエネルギー・バンドの状態を模式的に示した図である。