

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2005-294808

(P2005-294808A)

(43) 公開日 平成17年10月20日(2005. 10. 20)

(51) Int. Cl.⁷

H01S 5/022

F I

H01S 5/022

テーマコード (参考)

5 F 1 7 3

審査請求 未請求 請求項の数 5 O L (全 24 頁)

(21) 出願番号 特願2005-40509 (P2005-40509)
 (22) 出願日 平成17年2月17日 (2005. 2. 17)
 (31) 優先権主張番号 60/545, 504
 (32) 優先日 平成16年2月19日 (2004. 2. 19)
 (33) 優先権主張国 米国 (US)
 (31) 優先権主張番号 60/592, 527
 (32) 優先日 平成16年8月2日 (2004. 8. 2)
 (33) 優先権主張国 米国 (US)
 (31) 優先権主張番号 60/632, 716
 (32) 優先日 平成16年12月3日 (2004. 12. 3)
 (33) 優先権主張国 米国 (US)

(71) 出願人 000002130
 住友電気工業株式会社
 大阪府大阪市中央区北浜四丁目5番33号
 (74) 代理人 100102691
 弁理士 中野 稔
 (74) 代理人 100111176
 弁理士 服部 保次
 (74) 代理人 100112117
 弁理士 山口 幹雄
 (74) 代理人 100116366
 弁理士 二島 英明
 (72) 発明者 木原 利彰
 神奈川県横浜市栄区田谷町1番地 住友電
 気工業株式会社横浜製作所内

最終頁に続く

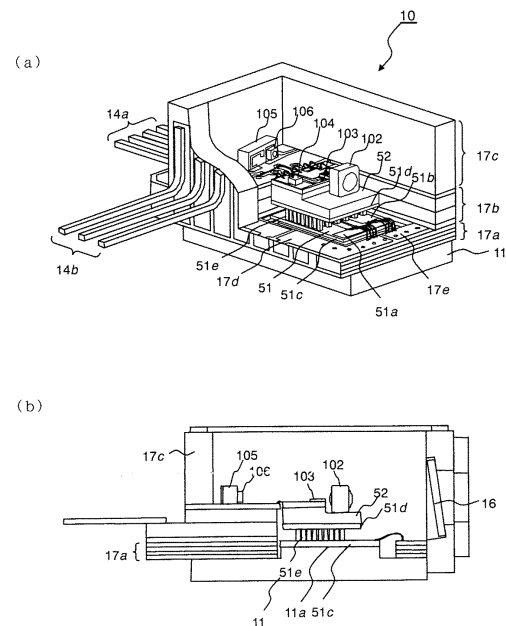
(54) 【発明の名称】 光送信アセンブリの製造方法

(57) 【要約】

【課題】 小型、安価で高速駆動可能な光送信アセンブリおよび当該光送信アセンブリを内蔵する光トランシーバを提供する。

【解決手段】 光送信アセンブリは、金属製底板上に電子冷却器を搭載し、この電子冷却器上に絶縁性基板を介して半導体発光素子を搭載する。電子冷却器を囲む様に第1、第2の積層セラミック板を設け、電子冷却器、半導体発光素子への直流あるいは低周波の制御信号は第1の積層セラミック板を介し、半導体発光素子の高周波駆動信号は位相が反転した相補信号とともに第2の積層セラミック板の内層配線、及び絶縁性基板を介して半導体発光素子に供給される。半導体発光素子の出力光強度をモニタする半導体受光素子は、第2積層セラミック板上に搭載される。光送信アセンブリ外に搭載される駆動ICから半導体発光素子に至る高周波信号伝送用ラインは実質的に直線かつ最短経路で設けることができる。

【選択図】 図3



【特許請求の範囲】

【請求項 1】

光送信アセンブリの製造方法であって、

(a) 表面に第 1 のパッド、第 2 のパッド、信号グランドパターン及び配線層を備える絶縁性のキャリア上の所定位置に第 1 の電極と第 2 の電極を有する半導体発光素子搭載し、該第 1 の電極を該第 1 のパッドに、第 2 の電極を、該配線層を介して該第 2 のパッドにそれぞれワイヤリングする第 1 の工程と、

(b) 該第 1 のパッドと該配線層にプロービングし、該半導体発光素子にバイアス電流を供給して該半導体発光素子のスタティック試験を行う第 2 の工程と、

(c) 該配線層と該第 2 のパッドとの間のワイヤリングを除去し、該配線層に高周波信号を入力して該半導体発光素子のダイナミック試験を行う第 3 の工程と、 10

(d) 該スタティック試験および該ダイナミック試験に合格したキャリア付半導体発光素子を該光送信アセンブリに搭載する第 4 の工程と、

を含む光送信アセンブリの製造方法。

【請求項 2】

前記 (b) のスタティック試験の後、前記 (c) のダイナミック試験前に、該キャリア付き半導体発光素子のバーンイン試験を行う工程を含む、請求項 1 に記載の光送信アセンブリの製造方法。

【請求項 3】

前記半導体発光素子は、前記バイアス電流を供給されてレーザ光を発生する半導体レーザ部と、前記高周波信号を供給されて該レーザ光を変調する半導体光変調器部とが集積化された半導体発光素子であり、該半導体発光素子はさらに該半導体レーザ部と該半導体光変調器部とに共通の第 3 の電極を有し、該第 3 の電極は該キャリア上の該信号グランドパターンに接続されている、請求項 1、2 に記載の光送信アセンブリの製造方法。 20

【請求項 4】

該ダイナミック試験はマイクロ波プローブを用いて行う、請求項 1～3 に記載の光送信アセンブリの製造方法。

【請求項 5】

前記 (c) のダイナミック試験の後、前記第 2 のパッドと前記信号グランドパターンとを短絡する、請求項 1～4 に記載の光送信アセンブリの製造方法。 30

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、高速（例えば 10 Gbps）光通信に用いられる、温度調節機能を含んだ小型の光送信アセンブリに関する。

【背景技術】

【0002】

光通信業界では、高速伝送に対応可能で小型の光トランシーバの実現が強く望まれている。例えば、10 Gbps 通信用途では小型のプラグブル光トランシーバの共通規格（MSA：Multi-Source Agreement）が定められている。この規格は、2 心の LC コネクタが着脱できるレセプタクルを備える。2 心のピッチは 6.25 mm である。また、プラグブル光トランシーバの横幅及び高さは、この光トランシーバを母基板上に高密度で搭載する必要があるため、18.35 mm および 8.5 mm と規定されている。従って、このような横幅の狭い、すなわち断面積の狭い光トランシーバに収納することができる小型の光送信アセンブリと光受信アセンブリが必要とされる。 40

【0003】

一方、伝送速度が高くなるにつれ、高速で安定な動作を確保するために各種半導体デバイスで消費される電力も増大の一途を辿っている。また、その様な高速かつ長距離の光通信を行うためには、半導体レーザ（LD：Laser Diode）には非常に厳しいチャープ特性（発振スペクトル幅）が要求される。半導体レーザを直接変調する方式では、ここで要求 50

される様な仕様を満足することができず、一般には、発振スペクトル幅の狭い回折格子を内蔵する半導体レーザ（例えばDFB：Distributed Feed-Back Laser、DBR：Distributed Bragg-Reflector Laser）を用いる方法（特許文献1）、あるいは一歩進めて、これら高性能な半導体レーザを直流電流で駆動し、そこで発生される光出力を半導体レーザ外部の光変調器で変調する方式が用いられる（特許文献2）。

【0004】

光変調器を、半導体材料の吸収係数が印加電界に依存することを利用したEA（Electro-Absorption）変調器が知られている。あるいは、このEA変調器をLDとをモノリシックに集積化したEA-DFBデバイスも知られている。このEA-DFBデバイスを安定に、かつその波長、光出力等を精度よく動作させるには、動作温度を安定化させなければならない。電子冷却器（ペルチェウラが一般的である）を光送信アセンブリに内蔵することが必要である。しかし、電子冷却器で良好な温度制御能力を発揮させるためには、そのサイズを大きくしなければならない。サイズの大きい電子冷却器を内蔵し、かつ外形規格の定められている光トランシーバに余裕をもって収まる光アセンブリが、この様な高速の伝送速度でかつ遠距離の光通信を行う光トランシーバには必要である。

【特許文献1】特開平06-318763

【特許文献2】特開平09-090302

【発明の開示】

【発明が解決しようとする課題】

【0005】

光送信アセンブリの小型化を意図した場合、当然に電子冷却器の小型化が必要となるが、それは電子冷却器の冷却能力を制限することになる。一般に電子冷却器の冷却面（上基板）はアルミナや窒化アルミニウム（AlN）といった絶縁体により構成される。かかる材料と接合した時に、過大な機械的応力が及ぼされるのを防ぐためには、これら絶縁体と熱膨張係数の整合性の良い金属材料でEA-DFB素子等を搭載するキャリアを構成することが望ましい。一方、熱源となるLDと冷却面との間の熱抵抗を減少させ、電子冷却器の冷却能力を軽減するためには、金属キャリアは熱伝導率の高い材料が望ましい。

【0006】

これらの観点から、金属ベースには、CuWを使用するのが一般的である。しかし、CuWは、単位体積当りの熱容量が大きい問題がある。電子冷却器上の材料の熱容量をC [J/℃] とすると、例えば、75℃の環境にある光送信アセンブリの電子冷却器を起動する場合を考える。起動後30秒以内にキャリア上の温度を25℃に制御する場合、 $Q_t [W] = C \times (75 - 25) / 30 = 1.67 \times C$ の熱量を電子冷却器で輸送する必要がある。従って、電子冷却器上に搭載する部品にCuWといった熱容量の大きい材料を用いるのは、電子冷却器の能力を軽減する上での障害となる。

【0007】

EA-DFB素子を用いて光変調を行う方法においては、数GHzを超える周波数を有する変調信号を、その品質を損なうことなくEA-DFB素子にまで伝えるため、EA-DFB素子の直近で信号線を所定の抵抗値を有する抵抗で終端する必要がある。このように終端抵抗を配置することにより、変調信号の伝送ラインのインピーダンス整合をはかり、伝送される高周波信号の無用な反射を防止し、良好な電気信号をEA部に供給することができる。

【0008】

一般的なEA-DFB素子では、DFB部を発光させるために供給する電流は、最大で100mA程度に達する。DFB部の順方向電圧は1.5V前後であり、このDFB部のみで、0.15W程度の熱が発生することとなる。さらに、EA部の変調時に印加する平均的な電圧（バイアス電圧+変調電圧振幅/2）も1.5V程度であり、終端抵抗を50Ωとすると、0.045Wの熱をこの抵抗に発生させる。また、EA部では光吸収電流が15mA前後流ることが知られており、その結果として0.015W程度の熱も発生する。このように、EA-DFBを使用する場合には、上述したDFB-LD等を直接変調

10

20

30

40

50

する場合に比べて更に多くの熱が発生することとなり、電子冷却器の小型化にいつそうの困難をもたらす。

【0009】

また、E A-D F B素子、特にE A部とD F Bとが集積化されたE A-D F B素子を用いる方法では、本来直流駆動されるべきD F B側に、E A部に印加された高周波変調信号が漏れる現象が知られている。E A-D F B素子の接地電極、通常は素子の裏面側の電極、が十分に低インピーダンス化している場合には、この現象は現れないが、E A-D F B素子をパッケージ内に組み込んだ場合には、その搭載スペースの制約により、接地ラインを十分に広く、短く設定できないために接地ラインがE A部、D F B部に対して共通インピーダンス化する。そのため、E A部に印加された高周波信号が歪んだものになり、この歪んだ波形で変調されるためE A-D F B素子の光出力波形も歪み、ジッタの増大、雑音の増加等の不都合をもたらす。また、D F B部についても、直流バイアスで駆動されているにも係わらず、共通インピーダンスを介して変調信号が漏れ出してくるため、波長チャープが発生し発振スペクトル幅が広がってしまう。これらは、いずれも光伝送特性に大きな影響を及ぼし、伝送可能距離を制約する主要因となる。

10

【0010】

さらに、高速動作を期待する製品では、ダイナミックテストを如何に実施するかが、製品の性能を左右するばかりでなく、そのコストの支配要因となる。製品の最終形態にまで組立てたものでテストを行えば、ダイナミックテストの信頼性は確保されるが、テストの結果不良と判定された場合には、一部の部品が不良原因となっているのも係らず、使われた全ての部品を廃棄しなければならない。一方、組立て段階でダイナミックテストを行う場合には、最終形態との差に起因するテストの信頼性自体が確保されない。

20

【0011】

また、一般に半導体発光素子や半導体光変調素子では、短期間で故障する恐れのある不良品を検出するために（スクリーニングと呼ばれる）、バーンインテストを実施するが多い。所定の厳しい環境下（例えば、85℃、48時間）で通電し、通電前後のしきい値電流や発光効率あるいは変調特性の変動の大きなものを不良と判定し、以後の製造工程から外すことにより、最終製品の信頼性を高めると同時に、部品コストの低減を図る。このような観点から半導体発光素子等をキャリアに搭載した状態で、検査やバーンインを実施できる構造が必要となる。

30

【課題を解決するための手段】

【0012】

本発明は、上記課題を克服した光送信アセンブリの新たな製造方法を提供することを目的とする。

【0013】

本発明に係る光送信アセンブリの製造方法は以下の工程を含む。すなわち、（a）表面に第1のパッド、第2のパッド、信号グランドパターン及び配線層を備える絶縁性のキャリア上の所定位置に第1の電極と第2の電極を有する半導体発光素子を搭載し、第1の電極を第1のパッドに、第2の電極を、配線層を介して第2のパッドにそれぞれワイヤリングする第1の工程；（b）第1のパッドと配線層にプロービングし、半導体発光素子にバイアス電流を供給して半導体発光素子のスタティック試験を行う第2の工程；（c）配線層と該第2のパッドとの間のワイヤリングを除去し、配線層に高周波信号を入力して半導体発光素子のダイナミック試験を行う第3の工程；（d）スタティック試験およびダイナミック試験に合格したキャリア付半導体発光素子を光送信アセンブリに搭載する第4の工程、とを含む。さらに、（b）のスタティック試験の後、（c）のダイナミック試験前に、このキャリア付き半導体発光素子のバーンイン試験を行う工程を行ってもよい。

40

【0014】

本発明に係る光送信アセンブリでは、ダイナミック試験を特殊な治具を用いることなく、臨時に設けたボンディングワイヤを除去するのみで可能としているので、ダイナミック試験が最終製品のコスト上昇要因となることはない。さらに、ダイナミック試験を終了し

50

た後にキャリアを光送信アセンブリ内に搭載するので、半導体発光素子周りのワイヤボンディング工程において、スペースの制約受けることなくこれを実行することができる。

【0015】

また、半導体発光素子は、バイアス電流を供給されてレーザ光を発生する半導体レーザ部と、高周波信号を供給されてこのレーザ光を変調する半導体光変調器部とが集積化された半導体発光素子とすることができる。そして、この半導体発光素子はさらに半導体レーザ部と半導体光変調器部とに共通で、キャリア上の信号グランドパターンと接続されている第3の電極を備えることができる。

【0016】

光変調器集積化半導体レーザであっても、本発明に係る製造方法、すなわちキャリアに搭載した状態でプロービングしてスタティック試験を行い、かつダイナミック試験を、特殊治具を用いることなく行うことで、光送信アセンブリが小型化されると同時に、その製造コストも低減することができる。さらに、(c)のダイナミック試験の後、第2のパッドと信号グランドパターンとを短絡することで、キャリア上の信号グランドパターンの面積を増加させ、高周波信号の伝送を安定化させることができる。すなわち、第2のパッドと信号グランドパターンとの間を、チップ抵抗、サーミスタ等のチップ部品を搭載することで、このチップ部品を下面電極により短絡することが好ましい。

【発明の効果】

【0017】

本発明に係る光送信アセンブリの製造方法によれば、キャリア上に半導体発光素子を搭載した状態で、この組立体を光送信アセンブリに搭載することなしに、かつ、特殊治具を用いることなく、非破壊でスタティック試験、ダイナミック試験、及び場合によってはバーンイン試験をも実施できることになるので、光送信アセンブリの製造コストを低減できる。

【発明を実施するための最良の形態】

【0018】

図1に本発明の光送信アセンブリの外観を示す。

【0019】

光送信アセンブリは箱型の形状を有するパッケージ10と、このパッケージ10の一側面12aに取り付けられた光結合部20とを含む。パッケージ10は、底板11、この底板11上に配置される4つの側面12a~12d、天板13を含む箱型の、いわゆるバタフライ形状を有する。側面の一つ12aに光結合20が取り付けられる。側面12aと対向する他の側面12cにはリードピン14aが配置される。これらリードピン14aは光送信アセンブリ内部の光半導体素子に高周波変調信号を与えるために用いられる。さらに上記第1の側面12aおよび対向する側面12cと交差する第3の側面12bにも複数のリードピン14bが配置され、このリードピン14bは、電子冷却器への電源、測温素子からの出力、モニタ用半導体受光素子からの出力、半導体発光素子の駆動電流の供給、等の直流もしくは低周波信号の入出力に利用される。パッケージ10他の側面12dには何等のリードピンも配置されていない。

【0020】

図2(a)にパッケージ10の一部破断図を示し、図2(b)にパッケージ10の横断面図を示す。パッケージ10の底板11は高熱伝導率の材料、典型的にはCuWを用いることができる。底板11の略中央部11aは台地状にその周囲よりは一段高く形成されており、当該個所11aに後述する熱電変換素子を搭載する。周囲に対して一段高く設定することにより、熱電変換素子の電極と底板11とが余剰半田により短絡することを防いでいる。側壁12と底板11とは、ロー付けにより結合されており、気密性が確保されている。側壁12はアルミナ系材料で構成される多層セラミック基板17a、17b、17cとコパール等の金属部からなる。多層セラミック基板は底板11に接する第1の多層セラミック基板17aと、この第1のセラミック基板17a上に重ねられている第2のセラミック基板17b、およびこの第2の層17bにあって、側壁12c~12dの側壁に対応

10

20

30

40

50

する第3のセラミック層17cとからなる。一方、光結合部20が取り付けられる側壁12aは、光結合部20との間で光軸を調芯した後溶接で固定するため、コパール等の金属を用いて形成される。これらセラミック基板および金属とで、パッケージ10の内部にデバイス搭載空間19を確保している。金属製の側壁12aには略円形の開口部15が設けられている。開口部15には透光性材料（例えばサファイア）からなる窓材16が取り付けられ、デバイス搭載空間19を封止している。セラミック基板17a、17bの表面および内部には、多層配線が形成されており、パッケージ内部に配置される各種部品と、パッケージ側面に配置されたリードピンとの間の電氣的な接続を果たしている。

【0021】

側壁12の上面には、コパール製のシールリングがロー付けにより取り付けられている。シールリング上には、コパール製の天板（図示せず）が、シームシールにより取り付けられる。

【0022】

図3(a)はパッケージ10に電子冷却器51、半導体発光素子103、半導体受光素子106等の部品を搭載した時の内部の様子を示す一部破断図であり、図3(b)は横断面図を示す。ここで、半導体発光素子103としては、半導体レーザあるいは半導体光変調器が半導体レーザと一体に集積化された、変調器集積化半導体レーザを用いることができ、一方、半導体受光素子106としてはフォトダイオードを用いることができる。

【0023】

底板11の台地状部11aの上には、電子冷却器51が搭載される。電子冷却器51は、複数のp型ペルチエ素子とn型ペルチエ素子51eを、下基板51cと上基板51dの間にはさみ込んだ構造をしている。下基板51cには第1の電極51aおよび第2の電極51bが形成されている。これらの電極51a、51bに対応して多層セラミック基板17a上にも第1の電極17d、第2の電極17eが用意されており、複数のボンディングワイヤにより電子冷却器51の下基板上の電極51a、51bと接続されている。そして、多層セラミック基板17a上の第1電極17dおよび第2電極17eは、多層セラミック基板の表層および内層の配線を介して、パッケージ10の第3の側面12bに取り付けられたリードピン14bに接続されている。リードピン14bを介して電子冷却器に給電する場合、その電流の極性に応じて、上基板51dを下基板51cに対して加熱／冷却することができる。

【0024】

電子冷却器を動作させる際には、1Aを超える大きな電流を流すことがある。リードピン14bから下基板51cの第1電極51aおよび第2電極51bに至る配線の電気抵抗が大きい場合には、余剰な電力が消費されることになり、大規模な電子冷却器駆動回路が必要となる。本例においては、リードピン14bは第1の多層セラミック基板17aの第1、第2電極17d、17eと直接接しており、第1の多層セラミック基板17a上の電極17d、17eは図4にも示す様に複数の配線層で構成され、かつ、各々の配線層の幅を広くとることで、配線抵抗の増加を抑制している。また、電極17d、17eと電子冷却器との接続は、複数のボンディングワイヤを用いている。このため、リードピン14bから電子冷却器51までの配線抵抗は、第1電極側51aと第2電極側51bとを合わせて0.1Ω以下に低減することが可能となった。

【0025】

図4は第1の多層セラミック基板17aの重ね合わせの様子を示すものである。第1の多層セラミック基板17aは4層（117a～117d）で構成されており、各層は、窒化アルミニウム（AlN）あるいは、アルミナ（Al₂O₃）等で形成され、その中央部に開口118を有する。この開口118は、パッケージ底板11の台地状部11aを囲んでおり、この台地状部11a上に搭載された電子冷却器51は、この開口118を貫通してその上面電極51dが露出する。最下層117a、及び第2層117bには第2の電極17eに向かう配線が、一方、第1の電極17dに向かう配線は第3層117c及び最上層117dに形成されている。そして、最下層117aと第2層117bの配線の接続、

及び第3層117cと最上層117dの配線の接続は、それぞれ複数のビアホール117i、117jで接続され、配線抵抗を低下させている。この第1の多層セラミック基板17aには、電子冷却器51への配線17d、17eの他に、半導体発光素子103に直流電流を供給するための配線117f、あるいは半導体受光素子104の出力を、リードピン14bを介してパッケージ外に伝えるための配線117gもそれぞれ第3層117c、第2層117b、及び最上層117dに形成されている。

【0026】

第1の多層セラミック基板17a上には第2の多層セラミック基板17bが搭載されている。図5(a)は、第2の多層セラミック基板17bの構造を示している。第2の多層セラミック基板17bも AlN 、 Al_2O_3 等の絶縁性基板上に配線パターンを形成したサブ基板を4枚(127a~127d)貼り合わせてある。ここで、最下層127aと最上層127dの厚さは中間層127b、127cの厚さよりも薄く設定されている。各層は、第1の多層セラミック基板17aが中央に開口を有している形状を採っていたのに対し、この第2の多層セラミック基板17bは、中央部とこの中央部の両端から伸びだす一対の脚部を有する形態を採っており、一面(パッケージ10の第1の側面12aに対応する面)側が開口され、この中央部と一対の脚部とで囲まれた領域119が形成されている。一面が開口されているのは、この第2の多層セラミック基板17bが第1の多層セラミック上に搭載されるため、半導体発光素子103、及び第1レンズ102を通る光軸を、第1の側面12a側で妨げない様にするためである。また、第3層127cと最上層127dの中央部の幅、脚部に沿った方向の長さ、は、最下層127a、第2層127bの幅よりも短く設定されている。これにより、最上層127d上に、側壁12b~12dを搭載した時に、第2層127bの端部がパッケージ10の外部に位置することになる。

【0027】

図6は底板11、第1の多層セラミック基板17a、及び第2の多層セラミック基板17b相互の積み重ねの関係を示す図である。底板11の略中央部に台地状の11aが形成されており、この台地状部11aを取り囲んで第1の多層セラミック基板17aの各層(117a~117d)が有する開口118が位置する。この第1の多層セラミック基板17a上に第2の多層セラミック基板17bが搭載されるが、第2の多層セラミック基板17bの各層(127a~127d)が有する開口119と第1の多層セラミック基板118との開口が、一致する様に、第2の多層セラミック基板17bは積み重ねられる。

【0028】

第2の多層セラミック基板17bの最上層127d上には、半導体受光素子106を搭載するチップキャリア105のための配線127e、半導体発光素子103に直流電流を供給する配線127f、側温素子からの信号を伝える配線127g、及び、リードピン14aからの高周波信号をキャリア52上の半導体発光素子103に伝える配線がそれぞれ形成されている。すなわち、図5(b)の拡大図にも示されている様に、半導体受光素子106は、チップキャリア105の側面に搭載されている。チップキャリア105の側面、及び底面には、半導体受光素子106からの信号を伝える配線パターン105a、105bが形成されている。半導体受光素子106の表面側電極と配線パターン105aとをワイヤリングした上で、このチップキャリア105を、多層セラミック基板17bの最上層127d上の所定個所に搭載すると、チップキャリア105上の配線パターン105a、105bが、それぞれ最上層127d上の対応する配線パターン127e、127hと電氣的に接続される。チップキャリア105上の配線パターンは、例えばNi/Au等で形成することができ、一方、半導体受光素子106の電極は、AuSn等の共晶合金を用いることができる。半導体受光素子106を配線パターン105b上に搭載して熱処理を施すことで、半導体受光素子106のダイボンディングを行うことができる。その後、最上層127d上の配線パターン127e、127h上の所定位置に、ペレット状の接合材(例えばAuSn半田ペレットを用いることができる)を置き、その上に半導体受光素子106を搭載したチップキャリア105を載せて熱処理を施すことで、チップキャリア105を固定することができる。そして、配線127eが横方向に引き出され、第2の多層

10

20

30

40

50

セラミック基板 17b の全層を貫くビアホール 127k を介して第 1 の多層セラミック基板 17a のビアホール 117k に連絡し、配線 117 を通ってリードピン 14b に伝えられる。

【0029】

配線 127f は半導体発光素子 103 へ直流電流を供給するためのものであり、図 4 を参照すると、リードピン 14b から第 1 多層セラミック基板 17a の第 2 層 117b 上の配線 117g に伝えられ、この第 1 の多層セラミック基板 17a を貫くビアホール 117l 及び第 2 の多層セラミック基板 17b を貫くビアホール 127l を通って、最上層 127d 上の配線 127f に伝えられる。配線 127f から半導体発光素子 103 へは、キャリア 52 上のパターンを介してワイヤリングされる。最上層 127d 上には、キャリア 52 上に搭載される測温素子からの信号をリードピン 14b に伝達するための配線 127g が形成されている。キャリア 52 からこの配線 127g にワイヤリングされ、配線 127g はパッケージ 10 の側面 12b においてリードピンに接続されている。

【0030】

半導体発光素子 103 への高周波変調信号はリードピン 14a を介して第 2 の多層セラミック基板 17b の第 2 層 127b 上に形成された伝送ライン 127i、127j に伝えられる。第 2 層 127b 上でこれら伝送ライン 127i、127j は、その両側を接地ライン 127h で囲まれているだけでなく、第 1 層 127a、第 3 層 127c 上に形成された接地ラインに囲まれている。このため、伝送ライン 127i、127j をコプレナー構造とすることができ、その伝送インピーダンスを所定の値にすることが可能となっており、高周波信号波形の伝送時の劣化を抑制することができる。伝送ライン 127i、127j は、第 2 層 127b の端部においてそれぞれビアホールにより最上層 127d に持ち上げられ、最上層 127d においてキャリア 52 上のパターンに対してワイヤリングされる。この様に、本アセンブリにおいては、第 2 多層セラミック基板 17b の最上層 127d 上に半導体受光素子 106 を搭載し、半導体発光素子 103 への高周波信号は、多層セラミック基板 17b の内層に形成された信号線に入力され、半導体受光素子 106 の下を通して多層セラミック基板 17b の端部において最上層に持ち上げられて半導体発光素子 103 に伝達される。さらに、多層セラミック基板 17b 内の高周波信号用配線と、半導体受光素子 106 との間にはグランドパターンを介在させているので、半導体受光素子 106 の搭載によって、信号線 127i、127j の伝送インピーダンスを乱されることもない。

【0031】

ここで、信号用の配線 127i、127j について、その一方 127j のみが、第 2 層 127b 上で屈曲された形状をしている。これは、キャリア 52 上の高周波信号用の配線パターンにおいて、屈曲した側 127j に対応するパターンに設けられている終端抵抗の位置が、他方のそれに対してキャリア 52 の端部に設けられている。端部から終端抵抗までの距離が、二つの信号配線で相違しているのを、この第 2 層 127b 上で補償するためである。すなわち、リードピン 14a から、終端抵抗まで電氣的距離は、この第 2 層 127b 上で他方 127j を屈曲させることで、実質的に等しいものとなる。

【0032】

半導体受光素子 106 と半導体発光素子 103 との光結合効率、及び半導体受光素子 106 のモニタ電流について検討する。光結合効率及びモニタ電流は、両者を結ぶ光軸に平行な方向の両素子の間隔に依存する。光軸に垂直な面、高さ方向と横方向、については光軸からのズレに依存する。すなわち、半導体受光素子 106 の配置については、所定のモニタ電流を確保した上で、位置ズレによる光結合効率の変化が小さいこと、光結合効率のトランスカブの傾きが緩やかな領域に半導体受光素子 106 を位置させることが必要である。図 5 (b) に示す本発明の半導体受光素子 106 については、半導体受光素子 106 の下を信号配線 127i、127j が通過しており、この信号配線 127i、127j は最上層 127d 端部で初めて露出される。従って、半導体受光素子 106 を半導体発光素子 103 に近づけて配置させることが可能となる。また、光軸に垂直な方向 (X 方向) についても、この上下構造により大きな調芯尤度をもっている。唯一、本光送信アセン

ブリ 1 の構造的な制約により十分な調整尤度を有していないのは、高さ（レベル）方向について調芯である。

【0033】

図 7（a）、図 7（b）は、半導体発光素子 103 と半導体受光素子 106 との間の光結合効率を調べたものである。本光送信アセンブリでは、両者の距離 Z は標準状態で 2.5 mm 確保されている。また、その高さ位置は、光軸に対して +0.1 mm オフセットされた位置、半導体受光素子 106 のレベルが高い、を標準としている。図 7（a）では、この標準位置に半導体受光素子 106 を置いた時、その高さレベルを光軸に対して ±0.2 mm の範囲で上下させた時のモニタ電流の変化の様子を示している。いずれの場合においても、0.1 mA 以上のモニタ電流値が確保されており、また、モニタ電流の半導体受光素子 106 の横方向のズレに対する変化の割合も小さい。図 7（b）は、半導体受光素子 106 をさらに 0.2 mm 後方に移動させた場合の、モニタ電流の変化の様子を調査した例である。モニタ電流の絶対値は、図 7（a）の標準位置のそれに対して低下するものの、その最低値については依然 0.1 mA が確保されており、変化の割合も小さい。

10

【0034】

この様に、本アセンブリでは、半導体受光素子 106 と信号用配線 127 i、127 j の立体的配置が実現されているので、十分なモニタ電流が確保され、半導体受光素子 106 の調芯ズレに対しても余裕のある結果を得た。

【0035】

再び図 3 を参照すると、本アセンブリでは、第 2 多層セラミック基板 17 b の最上層 127 d の水平位置（レベル）は、キャリア 52 のレベルより低く設定されている。これは、半導体発光素子 103 からの光が最上層 127 d の端部に遮られることなく、効率よく半導体受光素子 106 に伝えるためのものである。さらに、最上層 127 d 内の配線とキャリア 52 上の配線とを結ぶボンディングワイヤ長を最短にするためである。ボンディングワイヤにおいては、第 1 のボンディング個所にボンディングした後、第 2 のボンディング個所に治具を移動する前に、第 1 のボンディング個所でボンディングワイヤを上方に引き上げなければならない。引き上げ後に第 2 の個所にボンディング治具を移動することで、ボンディング強度に優れた条件が満足される。そのため、第 2 多層セラミック基板 17 b の最上層 127 d のレベルをキャリア 52 の表面のレベルよりも僅かに低く設定しておき、第 1 のボンディング個所を最上層 127 d の上面、第 2 のボンディング個所をキャリア 52 の上面とすることで、ボンディング強度を維持しつつ両者を最短のボンディングワイヤで接続できることになる。

20

30

【0036】

さらに、最上層 127 d の端は、その下の層 117 a ~ 117 d、及び 127 a ~ 127 c の端よりも突き出され、ひさしが形成されている。第 2 の多層セラミック基板 17 b 内を伝達してきた高周波信号は、回路基板 52 の伝送パターンに、両者を接続するボンディングワイヤを介して伝えられるが、高周波信号を伝える場合にはボンディングワイヤの長さをできる限り短く設定する必要がある。そのためには、最上層基板 127 d とキャリア 52 を近接配置する必要があるが、このような構成とすることによりキャリア 52 と最上層 127 d との間を、最短長のワイヤで接続することが可能となり、特に信号ラインの接続においてワイヤインダクタンスを抑制し、高周波信号波形の劣化を防止することができる。

40

【0037】

電子冷却器 51 の上基板 51 d および下基板 51 c は、 Al_2O_3 あるいは AlN といった絶縁性材料で構成されている。下基板 51 c の下面には、Au がメタライズされており、底板 11 と半田により接合される。あるいは樹脂材料による接合でも良い。上基板 51 d の上面も Au がメタライズされており、キャリア 52 の下面と半田により接合される。同様にあるいは樹脂材料による接合でも良い。上基板 51 d の端部と下基板 51 c の端部との間には、段差が設けられている。パッケージ底板 11 に電子冷却器 51 を接合する際、下基板 51 c の一端部が、第 1 の多層セラミック基板 17 a の側面と接触しても、上

50

基板 5 1 d が接触することを避けることができる。また、上基板 5 1 e とキャリア 5 2 を半田接合する際に、余剰な半田が上基板 5 1 d の外周に溢れ出すことがあるが、適切な段差設定することにより、上基板 5 1 d と第 1 の多層セラミック基板 1 7 a と間には常にギャップが存在することになり、溢れ出した半田が第 1 の多層セラミック基板 1 7 a の側面に接触して半田ブリッジが形成されることも防止することができる。従って、第 1 の多層セラミック基板 1 7 a 側面から上基板 5 1 d への熱流入を確実に防止でき、電子冷却器に過大な熱負荷を与えることが無い。

【0038】

図 8 にキャリア 5 2 の詳細図を示す。キャリア 5 2 は熱伝導に優れる絶縁性材料からなり、例えば A l N である。キャリア 5 2 の下面には A u がメタライズされており、電子冷却器 5 1 の上基板 5 1 d の上面と半田で接合される。キャリア 5 2 は互いに略平行な第 1 実装面 5 2 と第 2 実装面 5 2 b を有する。第 1 実装面 5 2 a には後述する種々のパターンがメタライズされている。第 2 実装面上には、第 1 レンズ 1 0 2 が搭載される。なお、図 8 では説明の都合上キャリア 5 2 の表層と内層を分離した状態が示されているが、実際には一体化されている。このような第 1 実装面 5 2 a と第 2 実装面 5 2 b とを有するキャリア 5 2 は、表面に配線パターンをメタライズ形成した絶縁体基板の一部の領域を、切削して第 2 実装面 5 2 b を形成することにより製作できる。あるいは、2 枚の絶縁基板を用意し、両者を貼り合わせることで製作することも可能である。一方の絶縁性基板裏面には予め厚さ数 μm のロー材 (A u S n, A u G e, A u S i 等) の薄膜を形成しておき、第 2 の絶縁性基板の一部領域には、このロー材に対し濡れ性に優れる A u の薄膜を用意しておく。これらを重ね合わせて高温炉に投入することにより両方の基板を貼り合わせることができる。薄膜のロー材、および A u のメタライズ層を利用するため、厚さのばらつきはサブミクロンオーダーであり、第 1 実装面 5 2 a と第 2 実装面 5 2 b との段差を精度良く製作できる。

【0039】

キャリア 5 2 の第 1 実装面 5 2 a 上には、金属配線パターン (5 2 c ~ 5 2 i) および、抵抗パターン 5 2 j、5 2 k が形成されている。さらに、半導体発光素子 1 0 3、測温素子 (例えばサーミスタ) 1 0 4、コンデンサ 1 0 7 が搭載されている。図 9 に第 1 実装面 5 2 a 上の金属パターンと実装部品の平面図を示す。本アセンブリにおいては、半導体発光素子 1 0 3 は内部に回折格子を有する分布帰還型半導体レーザ (D F B : Distributed Feed-Back Laser) と半導体変調素子 (Electro-Absorption Device) を集積化した E A - D F B 型のデバイスを採用する。金属配線パターン (5 2 c ~ 5 2 i) の表面は A u である。表面の金層の下には、A l N との密着性に優れる材料 (例えば T i) が形成されている。さらに T i 層と A u 層との間に T i と A u の相互拡散を制限するための他の材料層を設けても良い。これら金属層の厚さの合計は、高々 2 μm 程度であり、そのばらつきはサブミクロンオーダーである。E A - D F B 素子 1 0 3 の実装領域 5 2 i には表面の金層の上にさらに A u S n 層が形成されておりその厚さは 3 μm 程度で、そのばらつきは、やはりサブミクロンオーダーである。E A - D F B 素子 1 0 3 の下面には A u 層が用意されており、約 3 0 0 $^{\circ}\text{C}$ の温度で、E A - D F B 素子 1 0 3 をこの実装領域 5 2 i に備えられた A u S n 層に押し付けることにより、E A - D F B 素子 1 0 3 が実装領域 5 2 i に接合される。第 1 実装面 5 2 a には、接地パターン 5 2 d、5 2 g とこの接地パターンに挟まれる形で信号伝送線 5 2 c が形成されている。

【0040】

キャリア 5 2 は内層にグランド層 5 2 m を有する。この内層グランド層 5 2 m と表層の信号グランド層 5 2 d、5 2 g とは複数のビアホール 5 2 l により接続されている。これにより、安定な接地電位を与えることができる。接地電位の安定性をさらに向上させる必要がある場合には、内層の信号グランド層を複数用意し、相互にビアホールによって接続しても良い。なお、この信号グランド層 5 2 m、5 2 d、5 2 g は第 2 の多層セラミック基板 1 7 b の信号グランド層を介してリードピン 1 4 a に電氣的に接続されているのみで、光送信アセンブリ 1 内の他の金属部品、例えば後述する光結合部 2 0 を構成する部品、

パッケージ 10 の底板 11、等が接続されるパッケージグランド層とは電氣的に独立している。これにより、パッケージグランド層に重畳される雑音が高周波信号に与える影響を緩和することが可能となる。

【0041】

表層 52a の伝送ライン 52c は、表層のグランド 52d、52g および内層のグランド層 52m とによって 3 方向を囲まれており、グラunded・コプレナーラインが形成され、所定の特性インピーダンスとなるように、信号ライン 52c の幅、信号ライン 52c とグランド 52d、52g 及び 52m との間隔が設定される。一般に光送信デバイスの駆動回路の出力インピーダンスは 50Ω で設計されることが多く、信号ラインの特性インピーダンスも 50Ω で設計される。

10

【0042】

信号ラインの端部には、EA-DFB 素子の変調部と並列となるよう終端抵抗 52i が形成されている。本実施例では、 Ta_2N や $NiCr$ の薄膜抵抗により終端抵抗を形成したが、別途、チップ抵抗を用意し、実装するのでも良い。なお、本アセンブリ 1 では逆相入力パッド 52f も用意し、逆相入力パッド 52f とグランド 52d との間に逆相終端抵抗 52k を配置した。信号ライン 52c に与える信号に対して逆相の信号を逆相入力パッド 52f に与える差動駆動を可能とする。差動駆動とすることにより、信号グランド電位を一層安定化しやすく良好な光出力波形を得ることができる。また、電磁ノイズの放射を低減する効果も得られる。その際、終端抵抗 52j、52k についてリードピン 14a からの距離が等しくないのを補償するために、先に説明した様に、第 2 多層セラミック基板 17b 内第 2 層 17b 上の配線の一方、パッド 52f に接続される側の配線、を蛇行させてこの距離の違いを補償している。

20

【0043】

終端抵抗 52i、52k は信号が印加された場合にはそれ自体発熱体となる。従って、EA-DFB 素子 103 からは離して搭載することが望ましいが、高周波信号ラインを終端するためには EA-DFB 素子に近接して配置することが好ましい。このため、高周波信号ラインの第 1 終端抵抗 52i は EA-DFB 素子 103 の直近に配置し、逆相信号のための終端抵抗 52k は、キャリア上面 52a であって第 2 の多層セラミック基板 17b の近づけて配置した。この両終端抵抗の配置に起因する距離の相違を補償するために、第 2 多層セラミック基板 17b 内の信号用配線の一方、逆相信号が伝送される側の配線を蛇行させている。

30

【0044】

信号ライン 52c は、EA-DFB 素子の光軸と、概ね平行な方向に延びる。既に説明した様に、第 2 の多層セラミック基板 17b の最上層 127d には、第 1 実装面 52a 上の信号ライン 52c およびグランド 52d、52g と接続されるパッドが用意されており、それぞれのパッドに対してボンディングワイヤによって接続されている。これらのパッドは、第 2 多層セラミック基板 17b の表層および内層の配線パターンを介して、パッケージ 10 の側面 12c に用意されたリードピン 14a に接続される。高周波信号に関連するリードピン 14a を全て側面 12c に配置することにより、パッケージ 10 の外部に配置される駆動回路と、パッケージ 10 内部の EA-DFB 素子の間で、直線的な最短距離での接続を実現している。

40

【0045】

単相信号による EA-DFB 素子 103 を駆動する方法では、この単相信号に追従して信号グランド層 52d、52g の電位が揺らいでしまうが、逆相信号をこのキャリア 52 にまで導入することで、このグランド電位の揺らぎを補償することが可能となる。この結果 EA-DFB 素子 103 の接地電位も安定化され、変調素子への駆動信号の波形暴れが少なくなる。

【0046】

図 10 は差動信号をキャリア 52 にまで入力した時に、EA-DFB 素子 103 周辺の電気時特性を模擬する等価回路である。正相／逆相信号は伝送インピーダンス Z_0 で第 2

50

多層セラミック基板 17b 上を伝達し、ボンディングワイヤによりキャリア 52 の信号ライン 52c、52f に伝えられる。図 10 中、L1、L2 は第 2 多層セラミック基板 17b とキャリア 52 とを接続するボンディングワイヤに寄生するインダクタンスを示す。逆相入力はそのまま終端抵抗 52k を介して信号グランド 52d に、正相信号は配線 52c を経て E A - D F B 素子直近の終端抵抗 52i を介してグランド 52d に接地される。また、正相信号はボンディングワイヤ L3 により E A - D F B 素子 103 の変調部電極 103a に接続される。

【0047】

一方直流駆動される D F B - L D は、コンデンサ 107 の上面電極からボンディングワイヤ L4 を介して D F B - L D の電極 103b にバイアス電流が供給され、この電流は D F B - L D を通過した後 D F B - L D の裏面電極を介して接地パターン 52d に吸収される。信号グランド 52d は、複数のビアホール 52l を介してキャリア 52 の内面に形成された信号グランド 52m に接地される。図 10 ではビアホール 52l の起因する寄生インダクタンスを L4 として表している。

【0048】

図 10 より、ビアホール 52l に起因するインダクタンス L4 は抵抗、変調素子、D F B - L D 素子等に対し共通インピーダンスとして挿入されているため、変調素子を高周波駆動した場合には、高周波信号の影響を抵抗、D F B 素子等が直接受けることとなってしまふ。逆相信号をキャリア 52 まで入力することで、この接地電位 52d の揺らぎを補償できる。さらに、正相信号と相補的な逆相信号を入力することは、光送信モジュールから放射される電磁ノイズを低減する効果をもたらす。その結果、光送信アセンブリ 1 の周辺に配置されることになる電子部品や光受信アセンブリ自体の誤動作を防止する効果が期待される。

【0049】

逆相側の終端抵抗 R1 に並列に容量を接続することも、正相と逆相信号の対象性を保つ上で効果的な方法である。正相側は終端抵抗 52i と変調素子 103a が並列に接続されている回路である。変調部 103a の等価回路は抵抗と容量との並列回路であらわされる。ここで、容量は、pn 接合の接合容量であり、また、抵抗は pn 接合を逆バイアスした際の抵抗値である。一般に、pn 接合、すなわちダイオード接合を逆バイアスした際には、その抵抗成分は非常に大きく、一方、終端抵抗 52i は一般に 50Ω であるので、変調素子 103a と終端抵抗 52i の並列回路においては、ダイオードの逆方向バイアス時の抵抗は終端抵抗で補償される。回路動作上有意な等価成分は接合容量のみとなる。この接合容量に等しい容量成分を逆相側の終端抵抗 52k にも並列に接続することで、正相側と逆相側の信号経路の対象性を高めることが可能となる。コンデンサ素子を直接接続することもできるし、あるいはダミーの変調素子を接続することでも、補償することができる。

【0050】

もっとも、本発明は、差動駆動構成に限定されるものではなく、要求される光出力波形の品質や放射ノイズレベルによって単相駆動を選択しても良い。

【0051】

再び図 3 を参照すると、キャリア 52 の第 2 実装面 52b 上にはレンズ 102 が実装される。レンズ 102 はガラス製であり、本発明においては、特にレンズホルダは用意せず、レンズ 102 と第 2 実装面 52a を接着剤により直接接合している。レンズ 102 は設置面 102a を有する。レンズ 102 はガラスモールドにより形成される非球面レンズであり、この設置面 102a はガラスモールドの工程で形成される。あるいは、ガラスモールド工程で略円柱状のレンズを形成し、その後に、切削加工によって、設置面 102a を形成しても良い。このようにして形成した設置面 102a とレンズ光軸との距離は $\pm 3\mu\text{m}$ ~ $\pm 5\mu\text{m}$ 程度の精度で実現できる。接着剤としては、紫外線硬化型の接着剤を使用できる。適切な粘度の接着材を選択することにより、設置面 102a と第 2 実装面 52b 間の接着剤の厚さを数 μm の範囲で制御できる。この形態では、レンズホルダが不要となるため、光送信アセンブリの高さを低くすることができる。また、熱容量も削減できるので

電子冷却器 5 1 も省力化される。なお、非球面レンズに換えて球レンズを使用することも可能である。その場合でも、球レンズに設置面を形成することが望ましい。

【0052】

キャリア部材の第 1 実装面 5 2 a と第 2 実装面 5 2 b との間の段差は、 $\pm 5 \sim 10 \mu\text{m}$ 程度の精度で実現可能である。さらに、E A - D F B 素子 1 0 3 と第 1 実装面 5 2 a との間は、第 1 実装面 5 2 a 上の A u S n 層を利用して行うため、この A u S n 層の厚さ、あるいは下地 T i 層等の厚さのばらつきも小さい。また、E A - D F B 素子の厚さも $\pm 5 \sim 15 \mu\text{m}$ 程度で管理することができる。従って、第 1 実装面 5 2 a 上に E A - D F B 素子 1 0 3 を、第 2 実装面 5 2 b 上にレンズを実装する構成において、E A - D F B 素子 1 0 3 の光軸とレンズ 1 0 2 の光軸との高さ方向の光軸ずれはせいぜい $20 \mu\text{m}$ 程度であり、この光軸ズレによる光ファイバへの光学結合効率の劣化は、0.3 dB 程度に抑えられる。

10

【0053】

また、電子冷却器 5 1 上に搭載される金属製材料はキャリア 5 2 の表層および内層の配線パターンや、E A - D F B 素子 1 0 3、コンデンサ 1 0 7 およびサーミスタ 1 0 4 の電極の薄膜金属のみであり、バルク状の金属部品はない。そのため、電子冷却器 5 1 上の部品の体積と熱容量を削減でき、電子冷却器 5 1 の加熱／冷却能力を削減できる。下表 1 は、光送信アセンブリに一般的に使用される材料の比熱、比重および単位体積当りの熱容量を示す。単位体積当りの熱容量は、比熱と比重の積である。

【0054】

20

【表 1】

材料物性値

材料	比熱 (J / g / K)	比重 (g / mm ³)	熱容量 (m J / K / mm ³)
CuW (Cu 10%)	0.163	0.0170	2.78
ステンレス鋼	0.460	0.0077	3.54
コバール	0.439	0.0084	3.67
ガラス	0.498	0.0037	1.84
AlN	0.670	0.0033	2.18
SiC	0.728	0.0032	2.33

30

【0055】

40

本光送信アセンブリ 1 では、

1) 半導体受光素子 1 0 6 及びそのチップキャリア 1 0 5 をキャリア 5 2 の外、すなわち、電子冷却器 5 1 外に配置したこと。

2) キャリア 5 2 が AlN のみで構成され、薄膜金属以外の金属部品を含まないこと。

3) キャリア 5 2 とレンズ 1 0 2 とを、接着剤で直接接合しているため、キャリア 5 2 とレンズ 1 0 2 のいずれも金属部品を含む必要が無く、体積も削減できたこと

等により、E A - D F B 素子 1 0 3 等の各部品を搭載したキャリア 5 2 の熱容量が $311.8 [\text{m J} / ^\circ\text{C}]$ から $11.9 [\text{m J} / ^\circ\text{C}]$ に大幅に削減されている。例えば、環境温度 70°C で、光送信アセンブリ 1 を起動し、サーミスタ 1 0 4 によって検出されるキャリア 5 2 の表面温度を 30°C に制御する場合を想定する。温度安定までに許容される時間が 3

50

0秒であるとする、本発明の光送信アセンブリ、あるいはキャリア52の構成では、わずかに16mWの能力が電子冷却に要求されるだけである。この場合E A-D F B素子103が給電されることによる発熱の効果を考慮していないが、同様の計算を従来の光送信アセンブリに対して行くと、電子冷却器として416mWの能力が必要となる。

【0056】

さらに、キャリア52の内層52mに接地パターンを備えており、またキャリア52上の信号ライン52cをE A-D F B素子の直近に配線し、当該配線52cを通してE A-D F B素子103に高周波変調信号が供給されるため、ボンディングワイヤが有する寄生インダクタンスによる高周波信号の劣化が抑制され、良好な高周波特性が得られる。

【0057】

以上の例では、E A-D F B素子103を光送信アセンブリの発光素子として使う場合を説明したが、変調器を含まないD F B-L DやF P-L D (Fabry-Perot Laser Diode)を用い、これら素子を直接変調する場合にも、本発明の構成を適用することは可能である。D F B-L DやF P-L Dを使用する場合は、これら素子のインピーダンスを補償するために、信号ライン52cに直列に抵抗素子を挿入することが好ましい。

【0058】

続いて、図11を参照して本発光アセンブリの光結合部20について説明する。光結合部20は、パッケージ10の第1の側面12aに取り付けられ、パッケージ10側から、レンズホルダ32、第1円筒状部材21、第2円筒状部材22、第3円筒状部材23、第4円筒状部材24を含む。第1円筒状部材21はレンズホルダ32内の第2レンズ31を保持している。第2円筒状部材22は、偏光子33a、33cとローテータ(回転子)33bとを組み合わせたアイソレータ33とマグネット34を保持している。第3円筒状部材23と第4円筒状部材24の一部(パッケージ10側)は内部にスリーブ36を保持し、このスリーブ36と第3円筒状部材23が協働して内部にスタブ35を保持している。

【0059】

第2円筒状部材22の側面22aの内面と第1円筒状部材21の側外面21aとの間は微小なクリアランス(10~50μm)を有し、光軸方向(Z方向)に摺動可能でこの方向の調芯が可能である。一方、第3円筒状部材23の一方の端面23aは第2円筒状部材22の端面22b上をスライド可能で、これにより、スタブ35内の結合ファイバ35cと第2レンズ31との間で、光軸に垂直な面内(XY面)での調芯を可能としている。第1円筒状部材21と第2円筒状部材22、及び第2円筒状部材22と第3円筒状部材23とは、それぞれ各方向についての調芯後YAG溶接により固定される。E A-D F B素子103から出射された光は、第1レンズ102によって、略平行光に変換される。略平行光は、第2レンズ31によって収束光に変換される。収束光は光アイソレータ33を通過した後、スタブ35の中心に保持されている結合ファイバ35cに入射する。この構成により、約-2.0dBの結合効率を得られる。

【0060】

結合ファイバ35cが、ジルコニア製スタブ35の中心部に取り付けられている。スタブ35の一端35aは光軸に対して5°~8°の角度で斜めに研磨されており、一方、スタブ35の他端35bは半径10~25mmで球面研磨が施されている。スリーブ36は精密スリーブであり、その根元部(パッケージ10の側)がスタブと嵌合している。光コネクタ(不図示)の先端に附属するフェルールはスリーブ34の開口端側から挿入され、該フェルールとスタブ面35bとが物理的に接触するフィジカルコンタクトが成立する。精密スリーブに換えて、割スリーブを使用することもできる。このスタブ35の一方端面の斜め加工及びフェルールとの物理的接触により、E A-D F B素子103から出射した光が、この光結合部20の各部品界面でフレネル反射され、光がE A-D F B素子103に戻ることを抑制している。なお、光アイソレータ33のアイソレーション特性や、E A-D F B素子103の反射光への耐性次第では、スタブ35を敢えて使用しなくとも良い場合がある。

【0061】

10

20

30

40

50

(製造方法)

【0062】

続いて本アセンブリの製造方法、および試験方法について説明する。図12は本発明の光送信アセンブリ1の製造工程のうち、キャリア52上に部品を実装する工程を示す。

【0063】

まず、キャリア52の第1実装面52a上にEA-DFB素子103およびコンデンサ107を搭載する。EA-DFB素子103は、金属パターン52d上に予め設けてあるAuSn層52iを用いてダイボンディングする。コンデンサ107は、同様にAuSn層を用いるダイボンディング法で接合しても良いし、ペレット状のAuSn材等を用いる方法で接合しても良い(図12(a))。

10

【0064】

次いで、EA-DFB素子103のEA部上面電極103aと信号線52c、DFB部の上面電極103bからコンデンサ107の上面電極、及びこの上面電極と電極パッド52eとの間、そして信号線52cと他の電極パッド52hとの間を、それぞれボンディングワイヤ52nにより接続する(図12(b))。

【0065】

この段階で、EA-DFB素子103は、電極パッド52e、他の電極パッド52hを挟んで電氣的に動通状態にある。そこで、第1の電極パッド52e、第2の電極パッド52h、および、接地パッド52gに測定プローブを接触させることにより、EA部103aへバイアス電圧を、DFB部102bに電流を供給し、EA-DFB素子103を実際に発光させ、EA-DFB素子103からの光出力を観測して、電流、電圧に対して所定の光出力が得られているかどうかを検査する(図12(c))。

20

【0066】

次いで、前記発光検査と同様に各電極パッド52e、52h、52gにプローブを当ててEA-DFB素子103に給電をしながら、高温環境(例えば85℃)に長時間(例えば48時間)保管してスタティックなバーンイン試験を行う。バーンイン試験前後での電流、電圧と光出力との関係の変化を観測し、その変化量が所定値より多い射場合には、初期故障モードとして不良として判定とする。その後、図12Bに示す工程で設けた、信号線52cと第2のパッド52hを接続するワイヤを取り除き、高周波用プローブを信号線52cの端部および、その両隣の接地パッド52d、52gの端部に当てて、高周波変調信号をEA-DFB素子103に与える。この時、第1のパッド52eに別のプローブ(低周波用プローブ)を当てて、DFB部103bに給電する。この状態で、EA-DFB素子103からの光出力の波形を観測することにより、EA-DFB素子103のダイナミック試験を行いその良否を判定する(図12(d))。

30

【0067】

以上の工程により、キャリア52をパッケージ10内に搭載する前に、EA-DFB素子103の良否判定を、直流及び高周波の両方で行うことができる。しかも、キャリア52と評価治具との間で、半田付け、その半田の除去といった工程が不要なため、検査コストも削減できる。

【0068】

なお、ダイナミック試験で用いる高周波プローブは接地/信号/接地の構造を有するプローブでありプローブの先端にまで所定のインピーダンスが維持されているものである。この高周波プローブを、直接、信号線52cの端部および、隣接する接地パターン52d、52gの端部に接触させることで、高周波信号のロスを最小に留めることができ、また、伝送信号の波形の劣化を抑えることができる。一方、DC検査やDCバーンインテストでは、直流信号もしくは低周波の信号をEA-DFB素子に供給するだけで良いため、大面積の電極パッド52e、52hを使用することができる。

40

【0069】

以上の手順で検査、選別を行ったキャリア52の良品に対しては、図12(e)に示されるように、さらにサーミスタが電極パッド52hと接地パッド52gの間に実装される

50

。この結果、電極パッド52hと接地パッド52gとが、サーミスタの下面電極で短絡されるので、サーミスタ搭載後は、パッド52hは接地パターンとして機能する。E A-D F B素子103の近傍まで、接地パターンが伸びることで、インピーダンス整合のとれた信号ラインE A-D F B素子103の直近まで形成できる。しかも、プロービング用に用意したパッド52hを接地パターンに転用しているため、キャリア52が大型化することもない。

【0070】

その後、E A-D F B素子103等を搭載したキャリア52を、電子冷却器51の上基板51d上に搭載し、その組立て体をパッケージ10の底面11の台地状部11aに搭載する。キャリア52の上基板51d上の搭載、及び電子冷却器51の台地状部への搭載11aにはいずれも半田を用いる。次いで、電子冷却器51の下基板51c上に形成されている第1、第2の電極51a、51bと、第1多層セラミック基板17aの最上層117d上の第1、第2の電極17d、17eとの間、及び、キャリア52上の信号線52c、接地パターン52d、52g、電極パッド52e、サーミスタ104の上面電極と、第2多層セラミック基板17bの最上層127dに形成されている対応するパターンとの間をボンディングワイヤで接続する。

【0071】

本光送信サブアセンブリ1では、高周波信号の伝送に係わる信号線52cや接地パターン52d、52gへのボンディングワイヤも、バイアスの供給や低周波信号の伝送に係わるその他のボンディングワイヤも、E A-D F B素子103の光軸に対して、概ね平行方向に展開されている。これは、ワイヤボンディング工程においては、キャピラリと呼ばれる筒状の部材の先端からボンディングワイヤが供給され、キャピラリ先端でワイヤを被ボンディング個所に押し付け、超音波を印加することにより、もしくは加温することにより、ボンディングが行われる。従って、被ボンディング個所周辺には、このキャピラリがアプローチできるための空間を確保することが必要であり、側壁を被ボンディング個所直近に近付けることはできない。

【0072】

本光送信サブアセンブリ1のように、ボンディングワイヤの展開方向を、光軸に略平行な方向に統一することは、パッケージ10の横幅を小さくする上で有効となる。近年の光トランシーバの規格では、光トランシーバを高密度で実装する必要から、その横幅の制約が厳しいものとなっている。本光送信アセンブリの構造は、かかる新しい光トランシーバの規格に対して効果的である。なお、E A-D F B素子103の上面から延びる2本のボンディングワイヤは、光軸と概ね直交する方向に展開されているが、これらのワイヤは、キャリア52をパッケージ10に収納する前にワイヤボンディングでき、横幅の制約とはならない。

【0073】

ワイヤボンディングの後、第1レンズ102を固定し、さらに天板13をシールリング13aを用いてシールする。その後、光結合部20とパッケージ10との接続を行う。図11を参照しつつ本接続工程を説明する。まず、内部に第2レンズ31を保持するレンズホルダ21をパッケージ10の第1の側面12aにY A G溶接により接続する。次いで、実際にスリーブ36内にフェルールを先端に有する光コネクタを挿入した上で、E A-D F B素子103を実際に発光させ、フェルールに接続されている光ファイバを伝播する光の強度をモニタしつつ、第1円筒状部材21と第2円筒状部材22との調芯（Z軸方向）、第2円筒状部材22と第3円筒状部材23との調芯（X Y面内）を行い、調芯後に各部材間をY A G溶接により固定する。既にE A-D F B素子103はキャリア52に搭載された上でパッケージ10内に搭載され、かつ各素子へのボンディングワイヤも接続されているので、E A-D F B素子103を発光させるには、リードピン14bから直流バイアスを与えるだけでよい。

【0074】

まず、光ファイバを挿入したスリーブホルダ24と、レンズホルダ21、アイソレータ

10

20

30

40

50

ホルダ 22 を、E A-D F B 素子 103 を実際に発光させた状態で 3 体 (X Y Z 軸) 調芯する。光ファイバを伝播する光の強度をモニタし、所定の光強度が得られるようにレンズホルダ 21 の位置を決定した後、第 1 円筒状部材 21 とパッケージ 10 の第 1 の側面 12 a とを Y A G 溶接して固定する。次いで、所定の光強度が得られるように第 2 円筒状部材 22 を Z 軸方向に調芯した後、第 1 円筒状部材 21 と第 2 円筒状部材 22 とを Y A G 溶接して固定する。さらに、所定の光強度が得られるようにスリーブホルダ 24 を X Y 面内に調芯した後、第 2 円筒状部材 22 と第 3 円筒状部材 23 とを Y A G 溶接して固定する。また、この 3 体 (X Y Z 軸) 調芯の中では、アイソレータ 33 の偏波方向とスタブ 35 の一方の傾斜端面 35 a の傾斜の向きとを予め決めておき、その向きが一定となるように装置にセッティングすることで、回転方向の調芯が不要となり、光強度を確保しつつ調芯時間の短縮が可能となる。 10

【0075】

図 13 は本光送信アセンブリ 1 を搭載する光トランシーバ 9 の一部破断図を示している。光トランシーバ 9 は、光送信アセンブリ 1、光受信アセンブリ 2、下フレーム 3、回路基板 4 を含んでいる。図 13 には示されていないが、光トランシーバ 9 は、この他に上フレームを有し、この上フレームと下フレーム 3 との間に形成される空間に、送信／受信サブアセンブリ 1、2、及び回路基板 4 を搭載している。フレーム 3 は、光レセプタクル部 3 a、アセンブリ搭載部 3 b、回路基板搭載部 4、プラグ収納部 3 d を有する。光レセプタクル部 3 a には、送信／受信アセンブリ 1、2 の結合部先端が突き出ており、このレセプタクル部 3 a の開口端から挿入される光コネクタ 6 に附属するフェルールが、これら送信／受信アセンブリ 1、2 の光結合部 20 と係合することで、両者の光結合が実現される。本トランシーバ 9 では、送信アセンブリ 1 は箱型のパッケージ 10 を有しているが、受信アセンブリ 2 については、光結合部を延長した形状の同軸型パッケージを用いている。 20

【0076】

回路基板 4 は送信／受信サブアセンブリ 1、2 の後方に搭載されている。回路基板 4 は第 1 ～第 3 の部分 4 a ～4 c を有している。第 1 の部分 4 c は第 2 の部分 4 b から光送信アセンブリ 1 の横を通して受信アセンブリ 2 の後端にまで突き出ている。これは、受信アセンブリ 2 では、送信アセンブリに含まれる電子冷却器等が不要でパッケージを小型の同軸形状とすることが可能なため、その後端位置まで回路基板 4 を延長し、基板内でインピーダンス整合が為された配線を引き回すことで、高周波特性の劣化を抑制するためである。 30

【0077】

一方、送信アセンブリ 1 についても、その後端の側面から高周波用のリードピンが引き出され、その直後に回路基板の高周波用の信号線に接続されている。いずれのアセンブリでも、インピーダンス整合をとることができないリードピンの長さを極力短くする様に、回路基板 4 を対応させている。そして、送信アセンブリ 1 については、回路基板上であって、高周波用リードピンの直後に、E A-D F B 素子 103 を駆動するためのドライバ回路 5 を搭載している。

【0078】

パッケージ 10 内の高周波信号線の引き回し、及び、このドライバ回路 5 の搭載位置と合わせ、高周波信号線は、ほぼ直線的にドライバ回路 5 から E A-D F B 素子 103 に至っており、高周波信号の損失、不用な輻射を防止している。さらに、送信アセンブリ 1 のための電子回路は、回路基板 4 の第 1 の面 (図示されている面) に搭載され、一方、受信アセンブリ 2 のための回路は回路基板 4 の第 2 面に搭載され、この第 1 の面と第 2 の面との間には、接地ライン、電源ライン等の低インピーダンスの信号ラインを設けている。 40

【0079】

これにより、回路基板の第 1 の面と第 2 の面との間の電氣的アイソレーションが十分に確保される。回路基板 4 の第 4 の部位 4 d、すなわち、回路基板 4 の後端には電気プラグのための配線パターンが形成されている (不図示)。この電気プラグ部を、光トランシーバ 9 が搭載される母基板の電気コネクタに係合させることで、母基板上の制御装置とこの 50

光トランシーバ９との間の通信が可能となる。一般に、母基板上には、光トランシーバ９が挿入されるケージが複数個搭載され、光トランシーバ９をこのケージ内の電気コネクタに挿入することで、挿抜可能な光トランシーバが実現される。

【００８０】

以上、本発明に係る光素子アセンブリの構成、及びその製造方法について図を参照しつつ説明してきたが、本発明は添付する図の構成に限定されるものではない。例えば、詳細に説明された実施の形態においては、半導体レーザと半導体光変調器が集積化した素子であって、両素子に共通の電極をキャリアに対向させて搭載する構成を専ら説明したが、両方の素子が固有に有する電極（１０３ａ、１０３ｂ）をキャリアに対向させて搭載することも可能である。

10

【００８１】

図１４（ａ）はかかる形態の半導体発光素子１０３を搭載するキャリア５２の第１実装面５２ａの平面図を示す。本例では、半導体レーザへバイアス電流を供給するためのパッド５２ｅを、素子の直近まで延長し、このパッド５２ｅ上に半導体レーザ部電極１０３ｂを、一方、半導体変調器部の電極１０３ａは、信号ライン５２ｃ上に、それぞれダイボンディングする。そして、第２のパッド５２ｈと信号ライン５２ｃを、また、半導体発光素子１０３の上面の共通電極と信号グランドパッド５２ｄとをワイヤボンディングすることで、半導体発光素子１０３にバイアス電流が供給できると同時に、第２のパッド５２ｈに低周波変調信号を印加することで、半導体発光素子１０３の基本動作を確認することができる。第２のパッド５２ｈと信号ライン５２ｃとの間のボンディングワイヤを除去し、信号ライン５２ｃと信号グランド５２ｄ、５２ｇに高周波変調信号を印加することで、ダイナミックテストも実施することができる。

20

【００８２】

また、半導体光変調器と集積化されていない半導体レーザ単独の素子に対しても、本発明にかかる光送信アセンブリを適用することができる。図１４（ｂ）は、集積化素子１０３に代え、半導体レーザ２０３をキャリア５２上に搭載した様子を示す平面図である。半導体レーザ２０３はその内部抵抗が数Ω程度と小さいために、信号ライン５２ｃを５０Ωにインピーダンス整合させるために、数十Ωの終端抵抗５２ｊを信号ライン５２ｃに直列に挿入する。半導体レーザ２０３には、この終端抵抗を通過した個所で半導体レーザの上面電極にワイヤボンディングする。また、半導体レーザの下面電極は、素子を直接信号グランド５２ｄに搭載することで電氣的導通を確保する。そして、信号ライン５２ｃと第２のパッド５２ｈをワイヤリングすることで、第２のパッド５２ｈから半導体レーザ２０３にバイアス電流を供給してスタティックな試験を行うことを可能とする。試験後に、このボンディングワイヤを除去して、信号ライン５２ｃとその両隣の信号グランド５２ｄ、５２ｇとの間に高周波信号を印加することで、半導体レーザ２０３を直接変調するダイナミック試験を行うことができる。

30

【００８３】

図１４（ｂ）に示す例は、相補信号を供給しないで半導体レーザ２０３を単相信号で駆動する例であるが、図１４（ｃ）には、半導体レーザ２０３を差動信号で駆動する場合の例を示す。半導体レーザ２０３には正相の信号を伝送する信号ライン５２ｃ、及び逆相の信号を伝送するライン５２ｆが供給される。両方の信号ライン５２ｃ、５２ｆには直列に数十Ωの終端抵抗５２ｊ、５２ｋが挿入されるのは、図１４（ｂ）と同様である。半導体レーザ２０３は、逆相の信号ライン５２ｆ上に裏面電極を接触させて搭載され、一方、上面電極は正相の信号ライン５２ｃにワイヤボンディングされる。この構成において、スタティックテストは、第２のパッド５２ｈと正相の信号ライン５２ｃとを、バイアス電流供給用パッド５２ｅと逆相の信号ライン５２ｆとを、それぞれワイヤボンディングし、第２のパッド５２ｈとバイアス電流供給用パッド５２ｅとの間に電流を流すことにより行うことができる。また、スタティック試験終了後に、それぞれの信号ライン５２ｃ、５２ｆに仮接続したボンディングワイヤを除去することにより、信号ライン５２ｃ、５２ｆに高周波変調信号を印加することができ、ダイナミック試験も安定に行うことが可能となる。

40

50

【図面の簡単な説明】

【0084】

【図1】図1は本発明に係る光送信アセンブリの概観を示す。

【図2】図2(a)は本発明に係る光送信アセンブリの内部を示す一部破断図であり、図2(b)は、光送信アセンブリの内部を示す横断面図である。

【図3】図3(a)は、各種部品を搭載した光送信アセンブリの内部を示す一部破断図であり、図3(b)はその光送信アセンブリ横断面図である。

【図4】図4は、第1積層セラミック板の組立て図である。

【図5】図5(a)は第2積層セラミック板の組立て図であり、第5(b)はチップキャリアおよび半導体受光素子を示す拡大図である。

10

【図6】図6は、第1積層セラミック板及び第2積層セラミック板の組立て図である。

【図7】図7(a)は半導体受光素子をEA-DFB素子に対し所定位置に搭載した時の、両者の光結合特性を示し、図7(b)は、半導体受光素子を所定位置より後退させたときの光結合特性を示す。

【図8】図8はキャリアの構造を示す斜視図である。

【図9】図9はキャリアの第1搭載面を示す平面図である。

【図10】図10はEA-DFB素子およびキャリアの等価回路図である。

【図11】図11はパッケージと光結合部との結合の様子を示す横断面図である。

【図12】図12(a)～図12(e)はキャリアの組立て手順、及び測定手順を示す図である。

20

【図13】図13は、光送信アセンブリを搭載する光トランシーバの破断斜視図である。

【図14】図14(a)～図14(c)は、本発明に係る他の実施の形態を説明する図である。

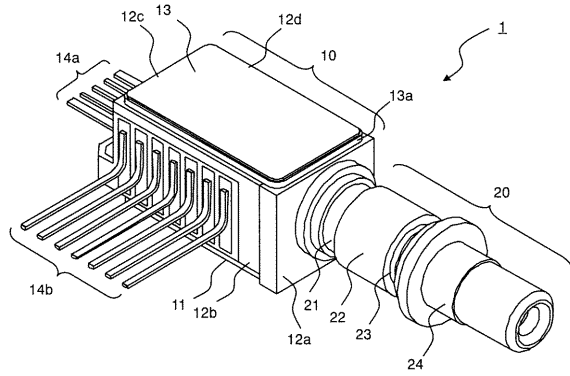
【符号の説明】

【0085】

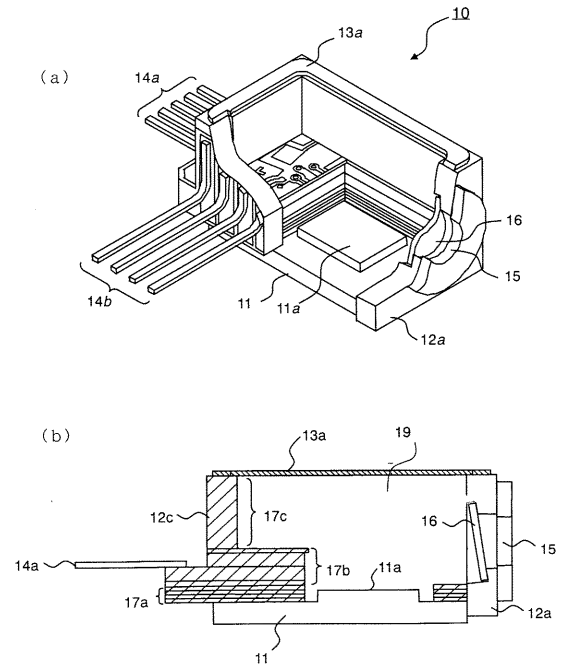
1…光送信アセンブリ、2…光受信アセンブリ、3…下フレーム、4…回路基板、5…ドライバ回路、6…光コネクタ、7…光ファイバ、9…光トランシーバ、10…パッケージ、11…底板、12…側壁、13…天板、14…リードピン、15…開口、16…窓、17a…第1積層セラミック板、17b…第2積層セラミック板、20…光結合部、21…第1円筒状部材、22…第2円筒状部材、23…第3円筒状部材、24…第4円筒状部材、31…第2レンズ、32…レンズホルダ、33…アイソレータ、34…アイソレータホルダ、35…スタブ、36…スリーブ、51…電子冷却器、51c…下基板、51d…上基板、52…キャリア、102…第1レンズ、103…半導体発光素子、104…サーミスタ、105…チップキャリア、106…半導体受光素子、107…コンデンサ、203…半導体レーザ

30

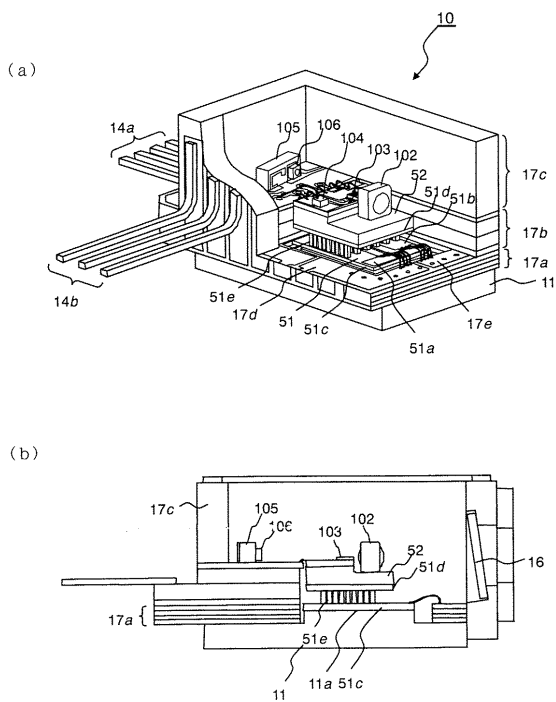
【図 1】



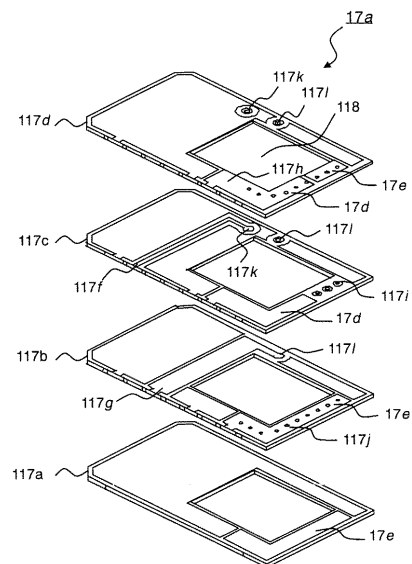
【図 2】



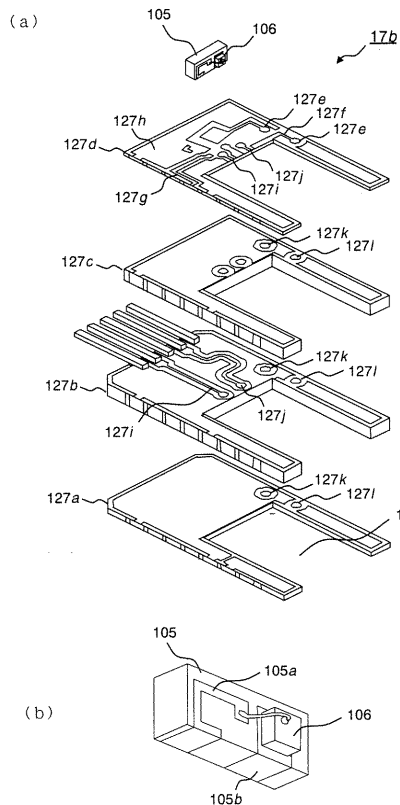
【図 3】



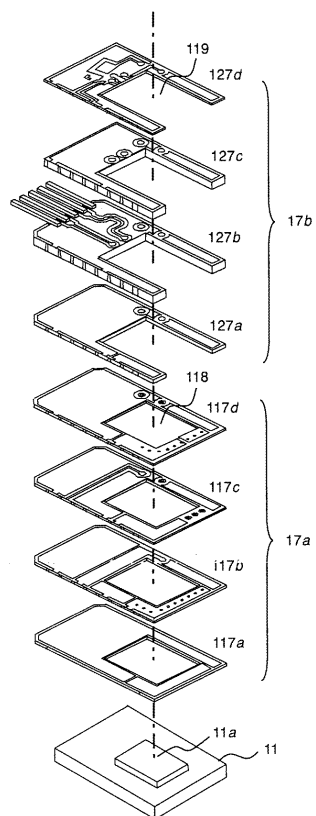
【図 4】



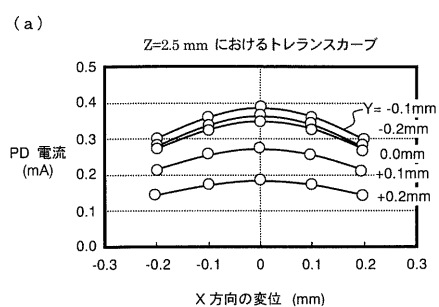
【図 5】



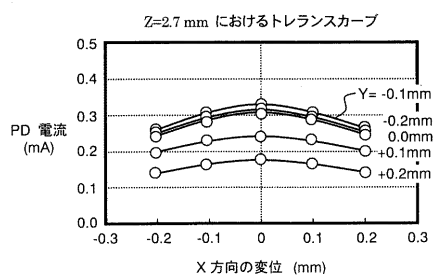
【图 6】



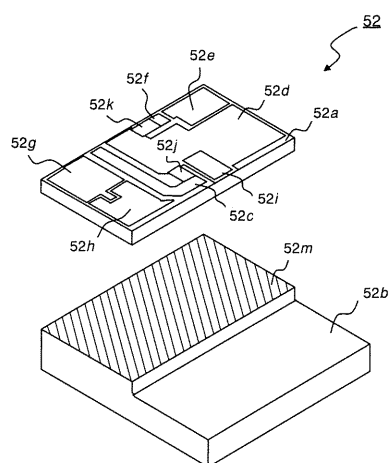
【図 7】



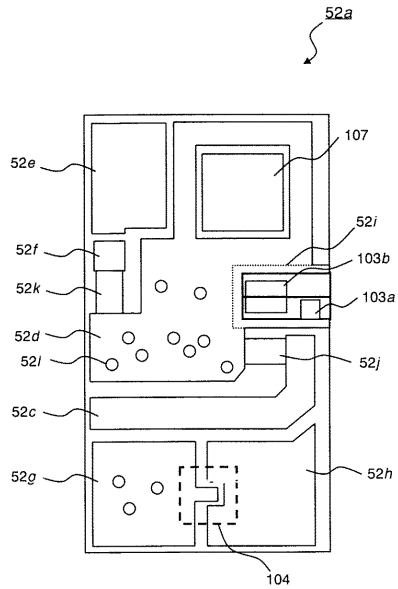
(b)



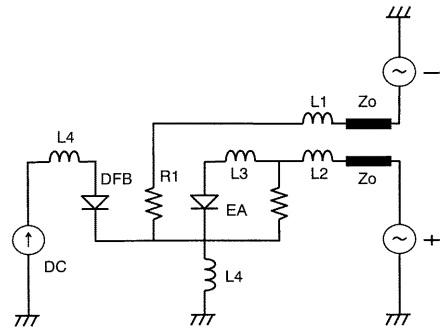
【图 8】



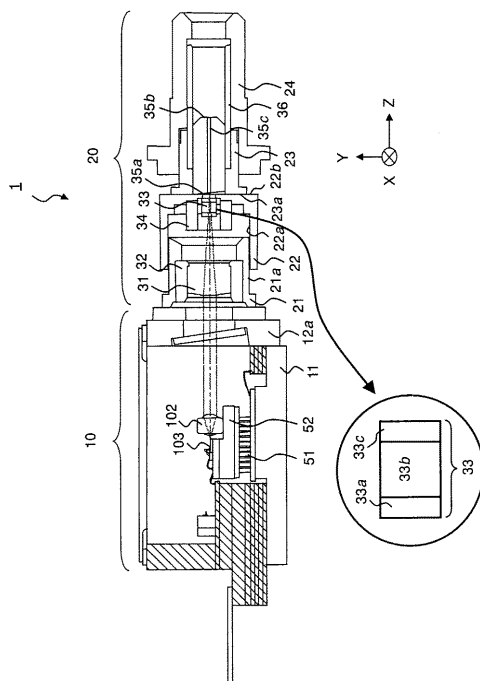
【図 9】



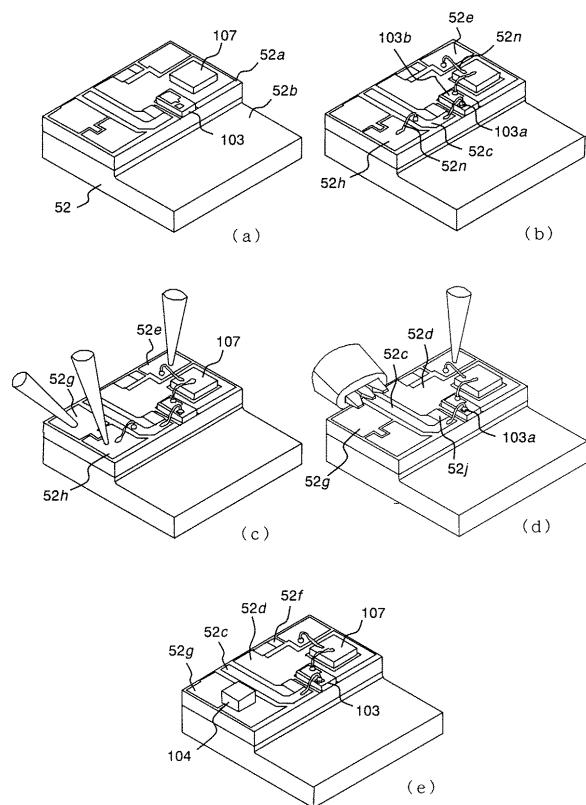
【図 10】



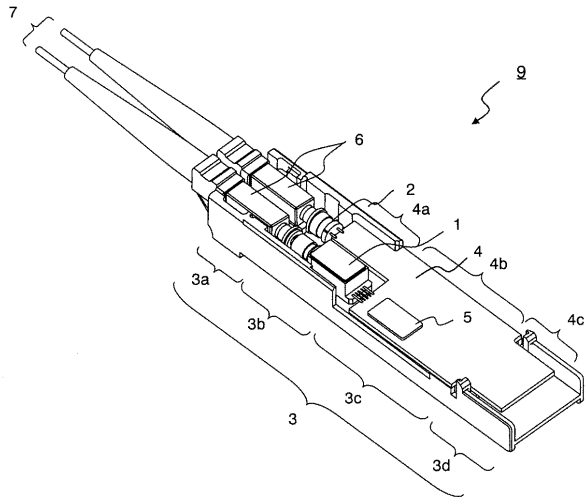
【図 11】



【図 12】

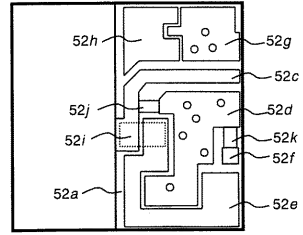


【図 13】

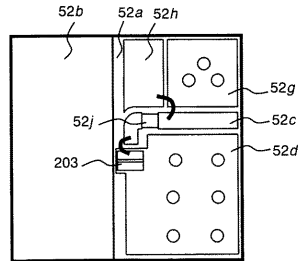


【図 14】

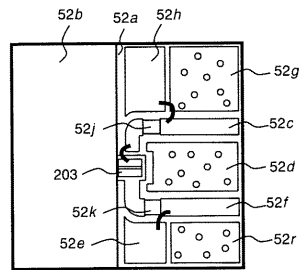
(a)



(b)



(c)



フロントページの続き

(72)発明者 郷 久雄

神奈川県横浜市栄区田谷町1番地 住友電気工業株式会社横浜製作所内

(72)発明者 加藤 清

神奈川県横浜市栄区田谷町1番地 住友電気工業株式会社横浜製作所内

Fターム(参考) 5F173 MA02 MC01 MC12 MC20 MC21 MD07 MD16 MD33 MD34 MD43
ME12 ME22 ME47 ME53 ME56