

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5027876号
(P5027876)

(45) 発行日 平成24年9月19日(2012.9.19)

(24) 登録日 平成24年6月29日(2012.6.29)

(51) Int.Cl.	F I
H03K 5/00 (2006.01)	H03K 5/00 U
H03L 7/08 (2006.01)	H03L 7/08 M
H03K 3/02 (2006.01)	H03K 3/02 S
H03K 19/173 (2006.01)	H03K 19/173 101
G06F 1/12 (2006.01)	G06F 1/04 340D

請求項の数 11 (全 11 頁)

(21) 出願番号	特願2009-512398 (P2009-512398)	(73) 特許権者	390039413
(86) (22) 出願日	平成18年5月31日(2006.5.31)		シーメンス アクチエンゲゼルシャフト
(65) 公表番号	特表2009-539281 (P2009-539281A)		Siemens Aktiengesellschaft
(43) 公表日	平成21年11月12日(2009.11.12)		ドイツ連邦共和国 D-80333 ミュンヘン
(86) 国際出願番号	PCT/DE2006/000971		ウィットェルスバッハープラッツ 2
(87) 国際公開番号	W02007/137538		Wittelsbacherplatz 2, D-80333 Muenchen, Germany
(87) 国際公開日	平成19年12月6日(2007.12.6)	(74) 代理人	100075166
審査請求日	平成21年5月27日(2009.5.27)		弁理士 山口 巖
		(74) 代理人	100133167
			弁理士 山本 浩

最終頁に続く

(54) 【発明の名称】 クロック復元装置およびクロック復元方法

(57) 【特許請求の範囲】

【請求項 1】

デジタルデータ信号(DATA)を供給するためのデジタルデータ信号入力(E10)と、復元されたクロック信号(Q0)を出力するためのクロック出力(T10)とを有するクロック復元装置であって、

クロック復元装置が、

デジタルデータ信号(DATA)の少なくとも1つの信号変化を検出し、各信号変化時に1つのパルス(P1)を発生する信号変化検出装置(20)と、

デジタルデータ信号(DATA)の公称クロック周波数(fn)にて補助パルス(P2)を発生する補助パルス発生装置(70)と、

信号変化検出装置(20)および補助パルス発生装置(70)に接続され、パルス(P1)の存在時および補助パルス(P2)の存在時にそれぞれ1つの出力パルスを形成し、そのように形成された出力パルスにより復元クロック信号(Q0)を発生する出力装置(100)と、

を有することを特徴とするクロック復元装置。

【請求項 2】

補助パルス発生装置が、入力側において出力装置(100)の出力(A100)に接続され、補助パルス(P2)の発生が時間的に復元クロック信号(Q0)の出力パルスによって制御されることを特徴とする請求項1記載のクロック復元装置。

【請求項 3】

10

20

補助パルス発生装置が、復元クロック信号（Q 0）の1つの出力パルスに基づいて、公称クロック周波数に相当する1つの周期またはその周期の複数倍の期間の経過後にそれぞれ1つの補助パルス（P 2）を発生することを特徴とする請求項1又は2記載のクロック復元装置。

【請求項4】

クロック復元装置が、デジタルデータ信号（D A T A）の公称クロック周波数（f n）の予め定められた複数倍である発生器周波数（f t）を持つ自走クロック発生器（4 0）を含むことを特徴とする請求項1乃至3の1つに記載のクロック復元装置。

【請求項5】

予め定められた複数倍が整数複数倍であり、かつ少なくとも3であることを特徴とする請求項4記載のクロック復元装置。

10

【請求項6】

信号変化検出装置が、クロック発生器の出力信号（T）を与えられ、デジタルデータ信号（D A T A）の信号変化を発生器周波数によるオーバーサンプリングによって検出することを特徴とする請求項4又は5記載のクロック復元装置。

【請求項7】

出力装置がフリップフロップ（1 0 0）によって構成されていることを特徴とする請求項1乃至6の1つに記載のクロック復元装置。

【請求項8】

フリップフロップ（1 0 0）が、補助パルス発生装置と一緒に、2進法により少なくとも予め定められた複数倍の数まで計数することができる2進カウンタを形成することを特徴とする請求項7記載のクロック復元装置。

20

【請求項9】

クロック復元装置が専らデジタルゲートまたはフリップフロップによって構成されていることを特徴とする請求項1乃至8の1つに記載のクロック復元装置。

【請求項10】

クロック復元装置がF P G AモジュールまたはA S I Cモジュールにおいて実現されていることを特徴とする請求項1乃至9の1つに記載のクロック復元装置。

【請求項11】

予め定められた公称クロック周波数（f n）を有するデジタルデータ信号（D A T A）から、復元されたクロック信号（Q 0）を発生する方法であって、クロック復元がデジタル手段のみで行なわれるクロック復元方法において、

30

公称クロック周波数（f n）の整数複数倍に一致する発生器周波数（f t）によりデジタルデータ信号（D A T A）がサンプリングされ、デジタルデータ信号（D A T A）の少なくとも1つの信号変化が検出され、各信号変化時に1つのパルス（P 1）が発生され、

更にデジタルデータ信号（D A T A）の公称クロック周波数にて補助パルス（P 2）が発生され、

パルス（P 1）の存在時または補助パルスの存在時にそれぞれ1つの出力パルスが形成され、そのように形成された出力パルスにより復元クロック信号（Q 0）が発生されることを特徴とするクロック復元方法。

40

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、予め定められた公称クロック周波数を有するデジタルデータ信号を供給するためのデジタルデータ信号入力と、復元されたクロック信号（復元クロック信号）を出力するためのクロック出力とを有するクロック復元装置に関する。

【0002】

周知のように、現代の同期通信プロトコルは、物理的な伝送層において、しばしば4 B／5 Bまたは8 B／1 0 Bコーディングに基づくラインコーディングもしくはデータコー

50

ディングを使用する。この場合に、コーディングモジュールにおいて、データおよびクロックが唯一のビットストリームに統合され、しかる後に、例えば無線電信装置または光ファイバのような伝送媒体を介して送出される。コーディングの枠内において、4 Bもしくは8 Bのデータ信号が他のビットの付加によって5もしくは10ビット幅のデータ符号へ拡張される。このような他のビットの付加によって、送出信号の直流分相殺が保証されると共に、付加的にビットストリームにおける十分な回数のビット変化もしくはエッジ変化が保証される。しかる後にデータ符号が公知の方法にしたがって再び元のデータ単位、したがって4ビットもしくは8ビットデータ信号にデコードされる。

【0003】

受信されたデータビットストリームからのクロック信号の復元は、周知のように、アナログの位相調節回路、一般にはPLL位相調節回路の助けにより行なわれる。これらのアナログのPLL位相調節回路の場合には、制御可能なクロック発生器のクロックエッジがデータ信号エッジに一致するまで、クロック発生器の周波数および位相が変化させられる。しかる後に、入力側に印加されるデータビットストリームが、そのようにして発生されたクロックによりサンプリングされ、まさにこのクロックの助けを借りてデコードされる。しかしながら、クロックの発生のために必要な位相調節回路は、高コストの非常に特殊なアナログ回路を必要とする。

【0004】

そこで、本発明の課題は、従来のクロック復元装置よりも低コストにて実現することができるクロック復元装置を提供することにある。

【0005】

この課題は、本発明によれば、デジタルデータ信号を供給するためのデジタルデータ信号入力と、復元されたクロック信号を出力するためのクロック出力とを有するクロック復元装置であって、クロック復元装置がデジタル回路であり、

クロック復元装置が、

デジタルデータ信号の少なくとも1つの信号変化を検出し、各信号変化時に1つのパルスが発生する信号変化検出装置と、

デジタルデータ信号の公称クロック周波数にて補助パルスが発生する補助パルス発生装置と、

信号変化検出装置および補助パルス発生装置に接続され、パルスの存在時および補助パルスの存在時にそれぞれ1つの出力パルスを形成し、そのように形成された出力パルスにより復元クロック信号を発生する出力装置と、

を有するクロック復元装置によって解決される（請求項1）。

本発明によるクロック復元装置の有利な実施態様は次の通りである。

・補助パルス発生装置が、入力側において出力装置の出力に接続され、補助パルスの発生が時間的に復元クロック信号の出力パルスによって制御される（請求項2）。

・補助パルス発生装置が、復元クロック信号の1つの出力パルスに基づいて、公称クロック周波数に相当する1つの周期またはその周期の複数倍の期間の経過後にそれぞれ1つの補助パルスを発生する（請求項3）。

・クロック復元装置が、デジタルデータ信号の公称クロック周波数の予め定められた複数倍である発生器周波数を持つ自走クロック発生器を含む（請求項4）。

・予め定められた複数倍が整数複数倍であり、かつ少なくとも3である（請求項5）。

・信号変化検出装置が、クロック発生器の出力信号を与えられ、デジタルデータ信号の信号変化を発生器周波数によるオーバーサンプリングによって検出する（請求項6）。

・出力装置がフリップフロップによって構成されている（請求項7）。

・フリップフロップが、補助パルス発生装置と一緒に、2進法により少なくとも予め定められた複数倍の数まで計数することができる2進カウンタを形成する（請求項8）。

・デジタル回路、従ってクロック復元装置が専らデジタルゲートまたはフリップフロップによって構成されている（請求項9）。

・デジタル回路、従ってクロック復元装置がFPGAモジュールまたはASICモジュ

10

20

30

40

50

ールにおいて実現されている（請求項10）。

【0006】

それにしたがって、本発明によれば、クロック復元装置がデジタル回路によって構成されている。

【0007】

本発明によるクロック復元装置の主要な利点は、このクロック復元装置がアナログの構成要素の助けを借りることなしに構成可能であり、したがって、例えば専ら、例えばFPGAモジュール（FPGA：自由にプログラム可能なゲートアレイ）またはASICモジュールのような標準論理モジュールを用いて実現可能であることにある。

【0008】

クロック復元装置が、データ信号の少なくとも1つの信号変化を検出し、かつ各信号変化時にそれぞれ1つのパルスを発生する信号変化検出装置を有するならば、特に簡単に、したがって有利にこのようなクロック復元装置を構成することができる。信号変化検出装置は、例えば論理「0」から論理「1」への信号変化、またはその代わりの論理「1」から論理「0」への信号変化を検出するとよい。代替として、信号変化検出装置は両種類の信号変化、すなわち0から1への変化およびその逆の変化を検出することもできる。

【0009】

クロック復元装置が、更に、データ信号の公称クロック周波数にて補助パルスを発生する補助パルス発生装置を有するとよい。信号変化検出装置および補助パルス発生装置に接続されている出力装置は、パルスの存在時ならびに補助パルスの存在時にそれぞれ1つの出力パルスを形成し、そのように形成された出力パルスにより復元クロック信号を発生するとよい。

【0010】

復元クロック信号の位相位置がデジタルデータ信号の位相位置にできるだけ高速にマッチングすることに関して、補助パルス発生装置は入力側において出力装置の出力に接続され、補助パルスの発生が時間的に復元クロック信号の信号変化によって制御される、特にトリガされるもしくは開始されるならば有利である。

【0011】

補助パルス発生装置が、例えば、復元されたクロック信号（復元クロック信号）の各出力パルスに基づいて、しかも公称クロック周波数に相当する1つの周期の経過後にそれぞれ1つの補助パルスを発生するとよい。

【0012】

クロック復元装置が、データ信号の公称クロック周波数の予め定められた複数倍である発生器周波数を持つ自走クロック発生器を含むとよい。

【0013】

予め定められた複数倍が、例えば整数複数倍であり、かつ少なくとも3であるとよい。

【0014】

信号変化検出装置が、クロック発生器の出力信号を与えられ、データ信号の信号変化を発生器周波数によるオーバーサンプリングによって検出すると有利である。

【0015】

出力装置はフリップフロップ、特にDフリップフロップによって特に簡単に、したがって有利に構成することができる。

【0016】

フリップフロップが、補助パルス発生装置と一緒に、2進法により少なくとも予め定められた複数倍まで計数することができる2進カウンタを形成するとよい。予め定められた複数倍が例えば3である場合、2進カウンタは例えば2つのDフリップフロップと1つのANDゲートとで構成可能であり、2つのDフリップフロップのうちの1つが出力装置を構成する。

【0017】

クロック復元装置のデジタル回路が専らデジタルゲートまたはフリップフロップに

10

20

30

40

50

よって構成されるとよい。なぜならば、この種の構成要素は、標準FPGAモジュール内に、またはASICモジュールのような類似の構成要素の中に存在しているからである。

【0018】

更に、予め定められた公称クロック周波数を有するデジタルデータ信号から復元クロック信号を発生する方法は独立した発明と見なされる。

【0019】

このような方法を特に簡単にかつ低コストにて実施することができるようにするために、本発明によれば、予め定められた公称クロック周波数を有するデジタルデータ信号から、復元されたクロック信号を発生する方法であって、クロック復元がデジタル手段のみで行なわれるクロック復元方法において、

公称クロック周波数の整数複数倍に一致する発生器周波数によりデジタルデータ信号がサンプリングされ、デジタルデータ信号の少なくとも1つの信号変化が検出され、各信号変化時に1つのパルスが発生され、

更にデジタルデータ信号の公称クロック周波数にて補助パルスが発生され、

パルスの存在時または補助パルスの存在時にそれぞれ1つの出力パルスが形成され、そのように形成された出力パルスにより復元クロック信号が発生される（請求項11）。

【0020】

この方法によれば、公称クロック周波数の整数複数倍に一致する発生器周波数によりデータ信号がサンプリングされ、データ信号の少なくとも1つの信号変化が検出される。各検出された信号変化時に1つのパルスが発生される。更に、データ信号の公称クロック周波数にて補助パルスが発生され、パルスの存在時または補助パルスの存在時にそれぞれ1つの出力パルスが形成される。そのように形成された出力パルスにより復元クロック信号が発生される。

【0021】

以下において実施例に基づいて本発明を更に詳細に説明する。図面において模範的に、図1は本発明による方法も模範的に説明される本発明によるクロック復元装置の実施例を示し、

図2は復元されたクロック信号が時間的に延長された出力パルスを有する模範例について図1によるクロック復元装置において発生する信号経過を示し、

図3は復元されたクロック信号が時間的に短縮されたパルス間隔を有する模範例について図1によるクロック復元装置において発生する信号経過を示し、

図4は図1によるクロック復元装置のためのデータ信号のデータパケットの構成を模範的に示す。

【0022】

図1ないし図4においては、同一または同等の構成要素または信号に関して常に同一の参照符号が使用される。更に、個々のケースにおいて異なることが示されていないかぎり、模範的に全てのサンプリングが正のクロックエッジで行なわれることが仮定されている。

【0023】

図1にはクロック復元装置10の実施例が示されている。クロック復元装置10はデジタルデータ信号入力E10に信号変化検出装置20を有する。信号変化検出装置20にはデジタルの、例えば同期データ信号DATAが供給される。信号変化検出装置20は入力側にDフリップフロップ30を備え、このDフリップフロップ30のD信号入力にデータ信号DATAが入力される。Dフリップフロップ30のクロック入力T30は自走クロック発生器40に接続されている。自走クロック発生器40は出力側に発生器周波数 f_t を有するクロック信号Tを発生する。

【0024】

発生器周波数 f_t は、例えばデータ信号DATAの公称クロック周波数 f_n の整数複数倍に一致するように選ばれている。以下においては、模範的にデータ信号DATAの公称クロック周波数 f_n が $f_n = 125\text{MHz}$ であることが仮定されているので、発生器周波

10

20

30

40

50

数 f_t は 3 なる倍数の場合にはそれに応じて $f_t = 375 \text{ MHz}$ の値を有する。

【0025】

$f_n = 125 \text{ MHz}$ なる公称クロック周波数は、例えば高速イーサネット 100 Base FX 規格において伝送されるデータ信号において発生する。高速イーサネット 100 Base FX 規格は一般に毎秒 100 メガビットのデータ転送速度で動作するので、4 B / 5 B コーディングの場合に、125 メガボートのラインコーディングもしくは通信速度もしくは 125 MHz の相応のクロック周波数が発生する。

【0026】

D フリップフロップ 30 の出力側には他の D フリップフロップ 45 が接続され、この D フリップフロップ 45 のクロック入力 T 45 が同様に自走クロック発生器 40 に接続されている。他の D フリップフロップ 45 の反転出力 / Q は、AND 素子 50 の一方の入力 E 50 a に接続されている。この AND 素子 50 の他方の入力 E 50 b は D フリップフロップ 30 の出力 Q に接続されている。したがって、AND 素子 50 の両入力 E 50 a, E 50 b には、他の D フリップフロップ 45 の出力側に形成された信号「Data Del.」ならびに D フリップフロップ 30 の出力信号「Data Sync.」が入力される。

【0027】

AND 素子 50 の出力信号は図 1 においては参照符号 P 1 で示されている。これは信号変化検出装置 20 の出力 A 20 に与えられ、したがって OR 素子 60 の一方の入力 E 60 a に供給される。OR 素子 60 の他方の入力 E 60 b は補助パルス発生装置 70 の補助パルス P 2 を入力される。

【0028】

補助パルス発生装置 70 は入力側に D フリップフロップ 80 を有し、この D フリップフロップ 80 の後には AND 素子 90 が接続されている。AND 素子 90 の出力は、OR 素子 60 の他方の入力 E 60 b に達する補助パルス P 2 を発生する。

【0029】

D フリップフロップ 80 のクロック入力 T 80 は自走クロック発生器 40 に接続されている。D フリップフロップ 80 の D 信号入力 D 80 は、出力装置を形成する D フリップフロップ 100 の Q 出力に接続されている。D フリップフロップ 100 のクロック入力 T 100 は自走クロック発生器 40 に接続され、D フリップフロップ 100 の D 入力 E 100 は OR 素子 60 の出力 A 60 に接続されている。

【0030】

図 1 においては更に認識されるように、クロック復元装置 10 に更にサンプリング装置 200 が接続されている。サンプリング装置 200 は、信号変化検出装置 20 の他の D フリップフロップ 45 によって形成された遅延データ信号「Data Del.」を、クロック復元装置 10 のクロック出力 T 10 に与えられる「復元された」クロック信号 Q 0 により、しかもその立下りエッジにより、サンプリングする。代替として、フリップフロップ 100 の反転信号 / Q 0 をサンプリングのために正のエッジを用いて使用することもできる。この場合にフリップフロップ 200 のクロック入力の手前におけるインバータ 210 は不要である。

【0031】

更に、次になおも詳しく説明するように、補助パルス発生装置 70 の D フリップフロップ 80 および AND 素子 90 と D フリップフロップ 100 とが共通の 1 つのカウンタを構成し、このカウンタは 2 進法の 3 つのカウント値をとる。すなわち、両フリップフロップ 80, 100 の / Q 出力において、2 進法のカウント値「11」, 「10」, 「01」をとり、そして両フリップフロップ 80, 100 の Q 出力において、2 進法のカウント値「00」, 「10」, 「01」をとる。

【0032】

以下において、図 1 によるクロック復元装置 10 の動作態様を図 2 および図 3 に基づいて詳細に説明する。

【0033】

図2において、自走クロック発生器40のクロック信号Tが検出され、このクロック信号Tはクロック周波数 $f_t = 375\text{MHz}$ を有する。クロック信号Tの下側に、ここでは模範的にのみ理解すべきである経過を有するデータ信号DATAが示されている。データ信号DATAは、例えばイーサネット互換フォーマットにて伝送される4B/5Bコード化信号であってよい。

【0034】

データ信号DATAは信号変化検出装置20のDフリップフロップ30に到達し、Dフリップフロップ30は出力側にほんの僅かに遅延されたデータ信号「Data Sync」を発生する。信号「Data Sync」は他のDフリップフロップ40に供給され、Dフリップフロップ40は出力側に更に遥かに遅延された信号、すなわち信号「Data Del.」を形成する（Delは、Delayed、すなわち遅延されていることを意味する）。

10

【0035】

両信号「Data Del.」および「Data Sync」を用いてAND素子50が出力側にパルスP1を形成し、このパルスP1は一目瞭然にわかるようにその都度データ信号DATAの信号変化を信号化する。データ信号DATAは、データ信号DATAのクロック周波数 $f_t = 125\text{MHz}$ よりも頻度の少ない信号変化を有するので、AND素子50出力信号はそれに応じて同様に、データ信号DATAの公称クロックよりも少ないパルスP1を有する。

【0036】

20

したがって、復元されたクロック信号（復元クロック信号）Q0を発生するためには、以下において補助パルスと呼ぶ他のパルスが形成されなければならない。補助パルスの発生は補助パルス発生装置70によって行なわれる。補助パルス発生装置70は、データ信号DATAの公称クロック周波数でもって補助パルスP2を発生し、補助パルスP2をOR素子60へ伝達する。この補助パルスP2はデータ信号DATAの公称クロック周波数に一致する周波数を有する。なぜならば、両フリップフロップ80、100とAND素子90とによって分周器が形成され、この分周器がクロック発生器40の発生器クロック f_t を $1/3$ に低下させるからである。したがって、補助パルスP2は位相位置まで既に入力側に印加されるデータ信号DATAのクロックに比較的正確に一致する。

30

【0037】

OR素子60に補助パルスP2またはパルスP1が入力されるや否や、そのパルスがフリップフロップ100のD入力に到達するので、クロック発生器40から相応のトリガ信号が発生されてフリップフロップ100のクロック入力T100に送られるや否や、出力側において論理「1」を有する信号Q0が発生される。

【0038】

Dフリップフロップ100によって形成された出力パルスは、同時にクロック復元装置10の復元クロック信号Q0を形成する。この出力パルスの時間的経過が図2のタイムチャートに示されている。パルスP1と補助パルスP2との重ね合わせに基づいて、例えばパルス延長または間隔短縮が発生することによって、データ信号DATAに対する相対的な復元クロック信号Q0の同期化がもたらされることが検出される。

40

【0039】

延長された出力パルスが図2に参照符号V1で示されている。

【0040】

パルス延長の代わりに、パルスP1と補助パルスP2との重ね合わせに基づいて、Dフリップフロップ100の出力パルスQ0間の時間的間隔の短縮も結果的にもたらされ得る。これが模範的に図3において示されている。短縮された間隔は図3に参照符号V2で示されている。

【0041】

復元クロック信号Q0により今や遅延データ信号「Data Del.」が負のエッジ

50

によりサンプリングされる。このために、図1によるサンプリング装置を構成するDフリップフロップ200が使用される。出力側において同期化されたサンプリング信号Dsが形成される。このサンプリング信号Dsは、再び、例えば4B/5B方式にしたがって動作する従来技術から公知のコードユニットにより評価される。相応するデコードユニットは図1に参照符号300で示されている。

【0042】

図4には、データ信号DATAをビット的にどのように構成することができるかが模範的に示されている。図4から分かるように、データストリームの開始時にその都度符号組合せJ/Kが同期符号として送出されるので、受信側ではデータ packets 伝送の開始を確認することができる。データ packets 伝送の終了後に、符号組合せJ/Kの形で次の同期符号が次のデータ packets の開始を表すまで、専ら信号変化が伝送されるとよい。個々のデータ packets 間の信号変化は図4に符号「Idle」で示されている。

10

【0043】

図1によるデコードユニット300においては、例えばク、ロック復元装置10の復元クロック信号Q0により作動させられるシフトレジスタが含まれているとよい。シフトレジスタの並列出力において、各クロック変化の際に、特徴的なビットパターンが発見されるかどうかチェックされる。このような特徴的なビットパターンは、例えば、図4に示されている同期符号J/Kに相当する同期符号によって形成されているとよい。これがそうである場合には、入力側に到来するデータ信号DATAの評価が開始される。

【0044】

20

図1による実施例においては、模範的に、データ信号DATAがこのデータ信号の公称クロック周波数の3倍に一致する発生器クロックでサンプリングされることを仮定した。代替としてデータ信号のサンプリングのためにより高いクロック周波数を使用することもできる。クロック発生器40の発生器周波数ftがデータ信号DATAのボーレート（通信速度）もしくは公称周波数fnのn倍である場合、フリップフロップ100の出力における復元クロックQ0は、データ信号のクロックに対する時間間隔 $(n-1) \times Ta$ 、 $n \times Ta$ 、 $(n+1) \times Ta$ を有する。ただし、Taはクロック信号Tの周期である。

【0045】

上記のクロック復元方法はディジタル回路、例えばASICまたはFPGAモジュールにより実施可能である。なぜならば、ゲートおよびフリップフロップのみが必要とされ、時間遅延要素などのアナログ要素が必要とされないからである。方法は、例えば4B/5Bまたは8B/10Bのラインコーディングにしたがって動作する送信器および受信器において実現可能である。

30

【0046】

更に、上記の方法は、あらゆる通信プロトコルと、例えば高速イーサネット100BaseFXプロトコルと互換性がある。データ転送速度が、例えば毎秒100メガビット（＝125メガボー）である場合に、既に375MHzの発生器クロックを用いて純粋にディジタル式にクロック信号を復元することができ、復元したクロック信号により、入力側に現われるディジタルデータ信号の評価を実施することができる。

【0047】

40

上述のクロック復元は、多くの技術分野において利用することができ、特に磁気浮上鉄道分野においても適用することができる。

【図面の簡単な説明】

【0048】

【図1】本発明による方法も模範的に説明される本発明によるクロック復元装置の実施例を示す回路図

【図2】復元されたクロック信号が時間的に延長された出力パルスをも有する模範例について図1によるクロック復元装置において発生する信号経過を示すタイムチャート

【図3】復元されたクロック信号が時間的に短縮されたパルス間隔をも有する模範例について図1によるクロック復元装置において発生する信号経過を示すタイムチャート

50

【図 4】図 1 によるクロック復元装置のためのデータ信号のデータパケットの構成を模範的に示す概略図

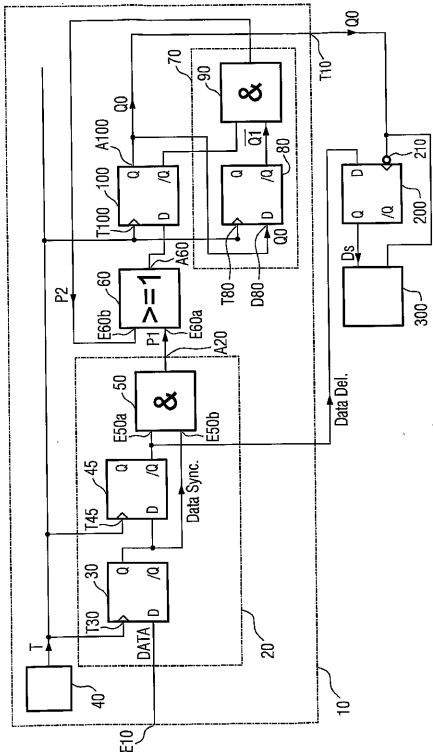
【符号の説明】

【0 0 4 9】

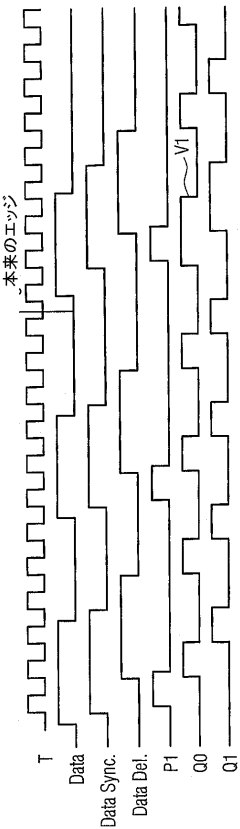
1 0	クロック復元装置	
2 0	信号変化検出装置	
3 0	D フリップフロップ	
4 0	クロック発生器	
4 5	他の D フリップフロップ	
5 0	A N D 素子	10
6 0	O R 素子	
7 0	補助パルス発生装置	
8 0	D フリップフロップ	
9 0	A N D 素子	
1 0 0	D フリップフロップ	
2 0 0	サンプリング装置	
2 1 0	インバータ	
3 0 0	デコードユニット	
E 5 0 a, E 5 0 b	入力	
E 6 0 a, E 6 0 b	入力	20
T 8 0	クロック入力	
T 1 0 0	クロック入力	
D 8 0	データ入力	
D A T A	データ信号	
D a t a S y n.	データ信号	
D a t a D e l.	遅延信号	
f n	公称クロック周波数	
f t	発生器周波数	
I d l e	信号変化	
J / K	同期符号	30
P 1	パルス	
P 2	補助パルス	
Q 0	復元クロック信号	
T	発生器クロック	
T a	周期	
V	延長出力信号	
V 2	短縮パルス間隔	

【図 1】

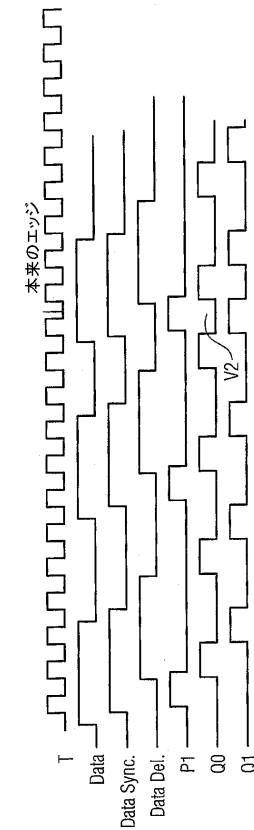
FIG 1



【図 2】

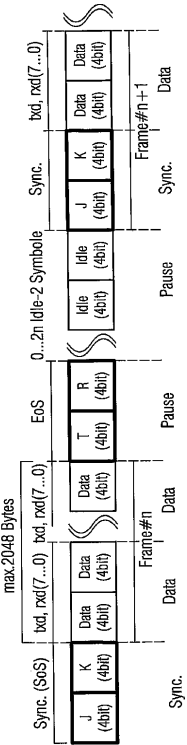


【図 3】



【図 4】

FIG 4



フロントページの続き

- (72)発明者 ホッホライトナー、ヨーゼフ
ドイツ連邦共和国 9 1 0 7 4 ヘルツォーゲンアウラッハ プレスラウアー シュトラーセ 3
- (72)発明者 カール、ハラルト
ドイツ連邦共和国 9 0 7 6 5 フュルト ヴィーゼングルントシュトラーセ 1 0

審査官 石田 勝

- (56)参考文献 米国特許出願公開第2 0 0 2 / 0 0 9 0 0 4 4 (U S , A 1)

- (58)調査した分野(Int.Cl., D B名)

H03K 5/00

G06F 1/12

H03K 3/02

H03K 19/173

H03L 7/08