



(12) 发明专利

(10) 授权公告号 CN 101997036 B

(45) 授权公告日 2015. 07. 29

(21) 申请号 201010248811. 5

(22) 申请日 2010. 08. 06

(30) 优先权数据

2009-185317 2009. 08. 07 JP

2009-206489 2009. 09. 07 JP

(73) 专利权人 株式会社半导体能源研究所

地址 日本神奈川

(72) 发明人 山崎舜平 坂田淳一郎 坂仓真之

及川欣聪 冈崎健一 丸山穗高

津吹将志

(74) 专利代理机构 中国国际贸易促进委员会专

利商标事务所 11038

代理人 秦晨

(51) Int. Cl.

H01L 29/786(2006. 01)

H01L 29/41(2006. 01)

H01L 21/336(2006. 01)

H01L 21/28(2006. 01)

(56) 对比文件

CN 101335293 A, 2008. 12. 31,

US 2008012075 A1, 2008. 01. 17,

CN 1914552 A, 2007. 02. 14,

审查员 李惟芬

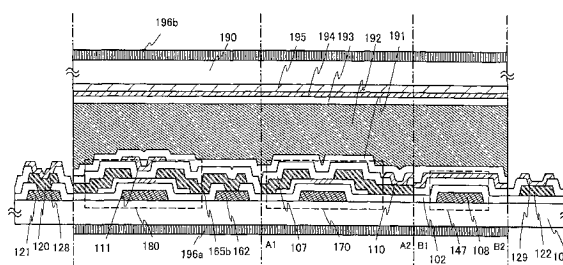
权利要求书4页 说明书44页 附图41页

(54) 发明名称

半导体装置及其制造方法

(57) 摘要

本发明涉及半导体装置及其制造方法。本发明的目的之一在于提高半导体装置的可靠性。本发明的一种半导体装置包括在同一衬底上的驱动电路部和显示部(也称为像素部),驱动电路部和显示部分别包括:半导体层由氧化物半导体构成的薄膜晶体管;第一布线;以及第二布线,其中薄膜晶体管包括源电极层或漏电极层及接触于半导体层的氧化物导电层,驱动电路部的薄膜晶体管以栅电极层和导电层夹着半导体层的方式构成,并且第一布线和第二布线在设置在栅极绝缘膜中的开口中通过氧化物导电层电连接。



1. 一种半导体装置,包括:

衬底;

所述衬底上的包括第一晶体管的驱动电路部;以及

所述衬底上的包括第二晶体管及像素电极层的像素部,

其中,所述第一晶体管包括:

第一电极层;

所述第一电极层上的第一绝缘层;

所述第一绝缘层上的第一氧化物半导体层;

所述第一氧化物半导体层上的第二电极层和第三电极层;

所述第二电极层、所述第三电极层和所述第一氧化物半导体层上的第二绝缘层,其中所述第二绝缘层是接触于所述第一氧化物半导体层的氧化物绝缘层;以及

所述第二绝缘层上的导电层,其中所述导电层与所述第一电极层夹着所述第一绝缘层、所述第一氧化物半导体层和所述第二绝缘层互相重叠,

所述第二晶体管包括:

第四电极层;

所述第四电极层上的所述第一绝缘层;

所述第一绝缘层上的第二氧化物半导体层;

所述第二氧化物半导体层上的第五电极层和第六电极层;以及

所述第五电极层、所述第六电极层和所述第二氧化物半导体层上的所述第二绝缘层,所述第二绝缘层接触于所述第二氧化物半导体层,

其中,所述像素电极层电连接到所述第二晶体管,

第一氧化物半导体层的既不与第二电极层重叠也不与第三电极层重叠的区域处于氧过剩状态,以及

第二氧化物半导体层的既不与第五电极层重叠也不与第六电极层重叠的区域处于氧过剩状态。

2. 一种半导体装置,包括:

衬底;

所述衬底上的包括第一晶体管的驱动电路部;

所述衬底上的包括第二晶体管及像素电极层的像素部;

所述像素电极层上的第一取向膜;以及

所述第一取向膜上的液晶层,

其中,所述第一晶体管包括:

第一电极层;

所述第一电极层上的第一绝缘层;

所述第一绝缘层上的第一氧化物半导体层;

所述第一氧化物半导体层上的第二电极层和第三电极层;

所述第二电极层、所述第三电极层和所述第一氧化物半导体层上的第二绝缘层,其中所述第二绝缘层是接触于所述第一氧化物半导体层的氧化物绝缘层;以及

所述第二绝缘层上的导电层,其中所述导电层与所述第一电极层夹着所述第一绝缘

层、所述第一氧化物半导体层和所述第二绝缘层互相重叠，

所述第二晶体管包括：

第四电极层；

所述第四电极层上的所述第一绝缘层；

所述第一绝缘层上的第二氧化物半导体层；

所述第二氧化物半导体层上的第五电极层和第六电极层；以及

所述第五电极层、所述第六电极层和所述第二氧化物半导体层上的所述第二绝缘层，
所述第二绝缘层接触于所述第二氧化物半导体层，

其中，所述像素电极层电连接到所述第二晶体管，

第一氧化物半导体层的既不与第二电极层重叠也不与第三电极层重叠的区域处于氧过剩状态，以及

第二氧化物半导体层的既不与第五电极层重叠也不与第六电极层重叠的区域处于氧过剩状态。

3. 根据权利要求 2 所述的半导体装置，还包括对置衬底、第二取向膜以及夹在所述对置衬底与所述第二取向膜之间的对置电极，其中，所述液晶层夹在所述第一取向膜和所述第二取向膜之间。

4. 根据权利要求 1 至 3 中任一项所述的半导体装置，其中，所述第一氧化物半导体层使用与所述第二氧化物半导体层相同的材料形成，所述第一电极层使用与所述第四电极层相同的材料形成，并且，所述第二电极层与所述第三电极层、所述第五电极层和所述第六电极层具有相同的叠层结构。

5. 一种半导体装置，包括：

衬底；

所述衬底上的包括第一晶体管的驱动电路部；

所述衬底上的包括第二晶体管及像素电极层的像素部；以及

第一布线和第二布线，

其中，所述第一晶体管包括：

第一电极层；

所述第一电极层上的第一绝缘层；

所述第一绝缘层上的第一氧化物半导体层；

所述第一氧化物半导体层上的第二电极层和第三电极层；

所述第二电极层、所述第三电极层和所述第一氧化物半导体层上的第二绝缘层，其中
所述第二绝缘层是接触于所述第一氧化物半导体层的氧化物绝缘层；以及

所述第二绝缘层上的导电层，其中所述导电层与所述第一电极层夹着所述第一绝缘层、所述第一氧化物半导体层和所述第二绝缘层互相重叠，

所述第二晶体管包括：

第四电极层；

所述第四电极层上的所述第一绝缘层；

所述第一绝缘层上的第二氧化物半导体层；

所述第二氧化物半导体层上的第五电极层和第六电极层；以及

所述第五电极层、所述第六电极层和所述第二氧化物半导体上的所述第二绝缘层，所述第二绝缘层接触于所述第二氧化物半导体层，

其中，所述第一布线使用与所述第一电极层和所述第四电极层相同的材料形成，

所述第二布线与所述第二电极层、所述第三电极层、所述第五电极层和所述第六电极层具有相同的叠层结构，

所述像素电极层电连接到所述第二晶体管，

第一氧化物半导体层的既不与第二电极层重叠也不与第三电极层重叠的区域处于氧过剩状态，以及

第二氧化物半导体层的既不与第五电极层重叠也不与第六电极层重叠的区域处于氧过剩状态。

6. 根据权利要求 5 所述的半导体装置，其中，所述第一布线通过设置在所述第一布线上的所述第一绝缘层中的开口电连接到所述第二布线。

7. 根据权利要求 1 至 3 及 5 和 6 中任一项所述的半导体装置，其中，所述第一晶体管还包括第一氧化物导电层并且所述第二晶体管还包括第二氧化物导电层，所述第一氧化物导电层夹在所述第一氧化物半导体层和所述第二电极层之间，并且，所述第二氧化物导电层夹在所述第二氧化物半导体层和所述第五电极层之间。

8. 根据权利要求 7 所述的半导体装置，其中，所述第一氧化物导电层和所述第二氧化物导电层分别包括氧化锌、氧化锌铝、氮化锌铝和氧化锌镓中的任一种。

9. 根据权利要求 1 至 3 及 5 和 6 中任一项所述的半导体装置，其中，所述第一绝缘层使用氧化硅层、氮化硅层或氧化铝层的单层或叠层形成。

10. 根据权利要求 1 至 3 及 5 和 6 中任一项所述的半导体装置，其中，所述像素电极层和所述导电层使用相同的材料形成，该材料为氧化铟、氧化铟氧化锡合金、氧化铟氧化锌合金和氧化锌中的任一种。

11. 根据权利要求 1 至 3 及 5 和 6 中任一项所述的半导体装置，其中，所述第一氧化物半导体层和所述第二氧化物半导体层分别包括沟道形成区、源区和漏区，并且，所述沟道形成区的载流子浓度低于所述源区和所述漏区的载流子浓度。

12. 一种半导体装置的制造方法，包括如下步骤：

在衬底上形成驱动电路部中的第一栅电极和像素部中的第二栅电极；

在所述第一栅电极和所述第二栅电极上形成栅极绝缘膜；

在所述栅极绝缘膜上形成第一氧化物半导体层和第二氧化物半导体层；

进行用于脱水化或脱氢化的第一加热处理；

在所述第一氧化物半导体层上形成第一源电极和第一漏电极，并在所述第二氧化物半导体层上形成第二源电极和第二漏电极；

在所述第一氧化物半导体层、所述第二氧化物半导体层、所述第一源电极和第一漏电极以及所述第二源电极和第二漏电极上形成氧化物绝缘膜；

在所述氧化物绝缘膜上形成导电层和像素电极；以及

在形成所述氧化物绝缘膜之后在惰性气体气氛下或氮气体气氛下进行第二加热处理，以使得第一氧化物半导体层的不与所述第一源电极和第一漏电极重叠的区域处于氧过剩状态，并且第二氧化物半导体层的不与所述第二源电极和第二漏电极重叠的区域处于氧过

剩状态，

其中，所述第一栅电极重叠于所述第一氧化物半导体层并且所述第二栅电极重叠于所述第二氧化物半导体层，

所述导电层重叠于所述第一栅电极和所述第一氧化物半导体层，以及
所述像素电极形成在所述像素部中。

13. 根据权利要求 12 所述的半导体装置的制造方法，还包括形成第一氧化物导电层和第二氧化物导电层的步骤，其中，所述第一氧化物导电层夹在所述第一氧化物半导体层和所述第一漏电极之间，并且，所述第二氧化物导电层夹在所述第二氧化物半导体层和所述第二漏电极之间。

14. 根据权利要求 12 所述的半导体装置的制造方法，其中，所述像素电极和所述导电层使用相同的材料形成，该材料为氧化铟、氧化铟氧化锡合金、氧化铟氧化锌合金和氧化锌中的任一种。

15. 根据权利要求 12 所述的半导体装置的制造方法，其中，所述第一氧化物半导体层和所述第二氧化物半导体层分别包括沟道形成区、源区和漏区，并且，所述沟道形成区的载流子浓度低于所述源区和所述漏区的载流子浓度。

半导体装置及其制造方法

技术领域

[0001] 本发明涉及一种使用氧化物半导体的半导体装置。

背景技术

[0002] 另外,本说明书中的半导体装置指的是能够通过利用半导体特性工作的所有装置,因此液晶显示装置等的电光装置、半导体电路以及电子设备都是半导体装置。

背景技术

[0003] 近年来,一种利用形成在具有绝缘表面的衬底上的半导体薄膜(厚度大约为几 nm 至几百 nm)来构成薄膜晶体管(TFT)的技术备受瞩目。薄膜晶体管被广泛地应用于如集成电路(Integrated Circuit:略号为 IC)及电光装置之类的电子器件,尤其是对作为图像显示装置的开关元件的 TFT 的开发日益火热。金属氧化物的种类繁多且用途广。氧化铟作为较普遍的材料被用于液晶显示器等所需要的透明电极材料。

[0004] 在金属氧化物中存在呈现半导体特性的金属氧化物。作为呈现半导体特性的金属氧化物,例如可以举出氧化钨、氧化锡、氧化铟、氧化锌等,并且已知一种将这种呈现半导体特性的金属氧化物用作沟道形成区的薄膜晶体管(专利文献 1 及专利文献 2)。

[0005] [专利文献 1] 日本专利申请公开 2007-123861 号公报

[0006] [专利文献 2] 日本专利申请公开 2007-96055 号公报

[0007] 作为使用氧化物半导体膜的薄膜晶体管,要求其工作速度快、制造工序较简单并要求其具有充分的可靠性。

发明内容

[0008] 本发明的课题之一在于提高使用氧化物半导体膜的薄膜晶体管的工作特性及可靠性。

[0009] 尤其是,优选用于驱动电路的薄膜晶体管的工作速度较快。

[0010] 例如,当将薄膜晶体管的沟道长度(L)形成得较短或将沟道宽度W形成得较宽时可以实现工作速度的高速化。但是,当将沟道长度形成得较短时,存在开关特性例如导通截止比变小的问题。另外,当将沟道宽度W形成得较宽时,存在薄膜晶体管自身的电容负载上升的问题。

[0011] 另外,本发明的目的之一在于提供一种半导体装置,该半导体装置具备即使沟道长度较短也具有稳定的电特性的薄膜晶体管。

[0012] 另外,当在绝缘表面上形成多个不同的电路时,例如,当将像素部和驱动电路形成在同一衬底上时,用作像素部的薄膜晶体管要求具有优越的开关特性,例如要求其导通截止比较大,而用作驱动电路的薄膜晶体管要求工作速度快。尤其是,显示装置的精细度越高显示图像的写入时间越短,所以优选用于驱动电路的薄膜晶体管的工作速度快。

[0013] 本发明的课题之一还在于降低使用氧化物半导体层的薄膜晶体管的电特性的不

均匀。

[0014] 本发明的一个方式是一种半导体装置,该半导体装置包括:同一衬底上的驱动电路部以及显示部(也称为像素部),其中,该驱动电路部和该显示部包括:薄膜晶体管、第一布线(也称为端子或连接电极)、第二布线(也称为端子或连接电极),并且,薄膜晶体管包括:由金属构成的栅电极、该栅电极上的栅极绝缘膜、该栅极绝缘膜上的氧化物半导体层、该氧化物半导体层上的由金属构成的源电极(也称为源电极层)及漏电极(也称为漏电极层)以及氧化物半导体层和源电极及漏电极上的保护绝缘层,并且,驱动电路部中的薄膜晶体管包括位于保护绝缘层上并与氧化物半导体层重叠的导电层,并且,显示部中的薄膜晶体管电连接到像素电极(也称为像素电极层),并且,第一布线由与栅电极相同的材料形成,并且,第二布线由与源电极或漏电极相同的材料形成,并且,所述驱动电路部的第一布线和第二布线通过设置在栅极绝缘膜和保护绝缘层中的开口(接触孔)电连接。

[0015] 本发明的一个方式是一种半导体装置,该半导体装置包括:同一衬底上的驱动电路部以及显示部(也称为像素部),其中,该驱动电路部和该显示部包括:薄膜晶体管、第一布线、第二布线,并且,薄膜晶体管包括:由金属构成的栅电极、该栅电极上的栅极绝缘膜、该栅极绝缘膜上的氧化物半导体层、该氧化物半导体层上的由金属构成的源电极及漏电极以及氧化物半导体层和源电极及漏电极上的保护绝缘层,并且,驱动电路部中的薄膜晶体管包括位于保护绝缘层上并与氧化物半导体层重叠的导电层,并且,显示部中的薄膜晶体管电连接到像素电极(也称为像素电极层),并且,第一布线由与栅电极相同的材料形成,并且,第二布线由与源电极或漏电极相同的材料形成,并且,驱动电路部的第一布线和第二布线通过形成在栅极绝缘膜中的开口电连接。

[0016] 作为像素用薄膜晶体管及驱动电路用薄膜晶体管,使用底栅结构的反交错型薄膜晶体管。像素用薄膜晶体管及驱动电路用薄膜晶体管是设置有与露出在源电极层与漏电极层之间的氧化物半导体层接触的氧化物绝缘膜的沟道蚀刻型薄膜晶体管。

[0017] 驱动电路用薄膜晶体管采用将氧化物半导体层夹在栅电极和导电层之间的结构。由此,可以降低薄膜晶体管的阈值的不均匀,而可以提供具备其电特性稳定的薄膜晶体管的半导体装置。可以将导电层设定为与栅电极层相同的电位、浮动电位或如GND电位、0V等固定电位。此外,通过向导电层施加任意的电位,可以对薄膜晶体管的阈值进行控制。

[0018] 用来实现上述结构的本发明的一个方式是一种半导体装置的制造方法,包括如下步骤:在同一衬底上的形成驱动电路部的第一区域和形成显示部的第二区域中通过第一光刻工序形成用作栅电极的第一电极和由与第一电极相同的材料构成的第一布线;在第一电极及第一布线上形成用作栅极绝缘膜的第一绝缘膜;通过第二光刻工序在第一绝缘膜上形成氧化物半导体层;进行用来对氧化物半导体层进行脱水化或脱氢化的热处理;通过第三光刻工序在氧化物半导体层上形成用作源电极的第二电极和用作漏电极的第三电极及由与源电极或漏电极相同的材料构成的第二布线;在第二电极、第三电极及氧化物半导体层上形成用作保护绝缘层的第二绝缘膜;通过第四光刻工序选择性地去除重叠于第一布线的第二绝缘膜及第二绝缘膜以形成第一开口,并且选择性地去除重叠于第二布线的第二绝缘膜以形成第二开口;在第二区域中,选择性地去除位于重叠于第二电极或第三电极的部分中的第二绝缘膜以形成第三开口;通过第五光刻工序,形成通过第一开口及第二开口将第一布线和第二布线电连接的第一导电层;在第一区域中的隔着第二绝缘膜重叠于氧化物半

导体层的部分中形成由与第一导电层相同的材料构成的第四电极；在第二区域中，形成由与第一导电层相同的材料构成的通过第三开口电连接到薄膜晶体管的用作像素电极的第五电极。

[0019] 通过使用相同的光刻工序同时形成第一开口至第三开口，并使用相同的工序同时形成像素电极、第一导电层及第四电极，可以在不增加光刻工序的情况下实现上述结构。

[0020] 通过五回的光刻工序可以提供驱动电路部和显示部形成在同一衬底上的半导体装置。

[0021] 用来实现上述结构的本发明的一个方式是一种半导体装置的制造方法，包括如下步骤：在同一衬底上的形成驱动电路部的第一区域和形成显示部的第二区域中，通过第一光刻工序形成用作栅电极的第一电极以及由与第一电极相同的材料构成的第一布线；在第一电极及第一布线上形成用作栅极绝缘膜的第一绝缘膜；通过第二光刻工序在第一绝缘膜上形成氧化物半导体层；进行用来对氧化物半导体层进行脱水化或脱氢化的热处理；通过第三光刻工序选择性地去除第一布线上的第一绝缘膜以形成第四开口；通过第四光刻工序在氧化物半导体层上形成用作源电极的第二电极、用作漏电极的第三电极以及由与第二电极或第三电极相同的材料形成的第二布线；在第二电极和第三电极及氧化物半导体层上形成用作保护绝缘层的第二绝缘膜；通过第五光刻工序，选择性地去除第二区域中的重叠于第二电极或第三电极的部分上的第二绝缘膜以形成第三开口；通过第六光刻工序在第一区域的隔着第二绝缘膜重叠于氧化物半导体层的部分上形成第四电极；在第二区域中形成由与第四电极相同的材料构成的通过第三开口电连接到薄膜晶体管的用作像素电极的第五电极。

[0022] 只要是在形成第一绝缘膜之后，就也可以在利用第二光刻工序形成氧化物半导体层之前利用第三光刻工序形成第四开口。

[0023] 虽然与之前的方式相比，由于增加了用来在形成氧化物半导体层之后在第一布线上设置开口的光刻工序而总共通过六回的光刻工序以在同一衬底上形成驱动电路部和显示部，但是由于用来连接第一布线和第二布线的开口的台阶仅为第一绝缘膜的厚度，所以可以以良好的覆盖性对第一布线和第二布线进行牢固的连接，从而提高半导体装置的可靠性。

[0024] 另外，在上述光刻工序中，还可以使用由多级灰度掩模形成的掩模层来进行蚀刻工序。该多级灰度掩模是所透过的光成为多种强度的曝光掩模。

[0025] 使用多级灰度掩模形成的掩模层呈具有多种厚度的形状，并且当对掩模层进行蚀刻时可以进一步地改变其形状，所以可以将其用于加工为不同图案的多个蚀刻工序。因此，利用一个多级灰度掩模可以形成至少对应两种以上的不同图案的掩模层。因此，可以减少曝光掩模数，并且可以削减所对应的光刻工序，所以可以简化工序。

[0026] 上述结构解决上述课题中的至少一个。

[0027] 另外，作为本说明书中使用的氧化物半导体，形成由 $\text{InMO}_3(\text{ZnO})_m$ ($m > 0$) 表示的薄膜，并制造将该薄膜用作半导体层的薄膜晶体管。另外，M 表示从 Ga、Fe、Ni、Mn 和 Co 中选择的一种金属元素或多种金属元素。例如，作为 M，除了有包含 Ga 的情况以外，还有包含 Ga 和 Ni 或 Ga 和 Fe 等包含 Ga 以外的上述金属元素的情况。此外，在上述氧化物半导体中，除了作为 M 而包含的金属元素之外，有时还包含作为杂质元素的 Fe、Ni 等其他过渡金属元素

或该过渡金属的氧化物。在本说明书中,在具有由 $\text{InMO}_3(\text{ZnO})_m (m > 0)$ 表示的结构的氧化物半导体层中,将具有作为 M 包含 Ga 的结构的氧化物半导体称为 In-Ga-Zn-O 类氧化物半导体,并且将其薄膜称为 In-Ga-Zn-O 类非单晶膜。

[0028] 另外,作为用于氧化物半导体层的金属氧化物,除了可以使用上述材料之外,还可以使用 In-Sn-Zn-O 类、In-Al-Zn-O 类、Sn-Ga-Zn-O 类、Al-Ga-Zn-O 类、Sn-Al-Zn-O 类、In-Zn-O 类、Sn-Zn-O 类、Al-Zn-O 类、In-O 类、Sn-O 类、Zn-O 类的金属氧化物。另外,由上述金属氧化物构成的氧化物半导体层还可以含有氧化硅。

[0029] 当在氮或稀有气体(氩、氦等)等惰性气体气氛下进行加热处理时,氧化物半导体层通过加热处理变成氧缺乏型而被低电阻化,即被 N 型化(N-化等),然后,通过形成与氧化物半导体层接触的氧化物绝缘膜并在成膜之后进行加热处理,来使氧化物半导体层变成氧过剩状态而被高电阻化,即被 I 型化。另外,也可以说成是进行使氧化物半导体层成为氧过剩状态的固相氧化。由此,可以制造并提供具有电特性好且可靠性高的薄膜晶体管的半导体装置。

[0030] 在脱水化或脱氢化中,通过在氮或稀有气体(氩、氦等)等惰性气体气氛下以 400℃ 以上且低于衬底的应变点的温度,优选的是以 420℃ 以上且 570℃ 以下的温度进行加热处理来减少氧化物半导体层所含有的水分等的杂质。此外,可以防止水(H_2O)再浸入。

[0031] 优选在 H_2O 为 20ppm 以下的氮气气氛下进行脱水化或脱氢化的热处理。此外,也可以在 H_2O 为 20ppm 以下的超干燥空气中进行。

[0032] 用于进行氧化物半导体层的脱水化或脱氢化的热处理条件是:即使在将温度升至 450℃ 的条件下利用 TDS 对该进行了脱水化或脱氢化之后的氧化物半导体层进行测定,水的两个峰值或者至少出现在 300℃ 附近的一个峰值也不被检测出。所以,即使在将温度升至 450℃ 的条件下利用 TDS 对使用进行了脱水化或脱氢化的氧化物半导体层的薄膜晶体管进行测定时,至少出现在 300℃ 附近的水的峰值也不被检测出。

[0033] 并且,当对氧化物半导体层进行用于脱水化或脱氢化的加热温度 T 的降温时,重要的是:通过使用进行了脱水化或脱氢化的同一炉来不使氧化物半导体层接触大气,从而使水或氢不再混入到氧化物半导体层中。通过进行脱水化或脱氢化,使氧化物半导体层的电阻降低,即在将其 N 型化(N-等)之后使其电阻增大而使其成为 I 型的氧化物半导体层。通过使用该氧化物半导体层制造薄膜晶体管,可以使薄膜晶体管的阈值电压(V_{th})为正,从而实现所谓常关闭型的开关元件。作为半导体装置(显示装置),优选以薄膜晶体管的栅电压为尽量近于 0V 的正的阈值电压的条件形成沟道。注意,当薄膜晶体管的阈值电压为负时,容易成为所谓常开启型,也就是说即使栅电压为 0V,在源电极和漏电极之间也有电流流过。在有源矩阵型的显示装置中,构成电路的薄膜晶体管的电特性十分重要,该电特性决定显示装置的性能。尤其是,在薄膜晶体管的电特性之中阈值电压很重要。即使在场效应迁移率高的情况下,当阈值电压值高或阈值电压值为负时,电路的控制比较困难。在薄膜晶体管的阈值电压的绝对值大的情况下,当驱动电压低时 TFT 不能起到开关功能而有可能导致负载。在是 n 沟道型的薄膜晶体管的情况下,优选是当对栅电压施加正的电压时初次形成沟道并产生漏极电流的晶体管。不提高驱动电压就不能形成沟道的晶体管和即使在负电压状态下也能形成沟道并产生漏极电流的晶体管不适合用于电路的薄膜晶体管。

[0034] 另外,可以将从加热温度 T 开始降温的气体气氛转换成与升温到加热温度 T 的气

体气氛不同的气体气氛。例如,使用与进行了脱水化或脱氢化的相同的炉而在不接触大气的情况下,使炉中充满高纯度的氧气体或 N_2O 气体、超干燥空气(露点为 $-40^{\circ}C$ 以下,优选为 $-60^{\circ}C$ 以下)来进行冷却。

[0035] 在通过进行脱水化或脱氢化的加热处理使膜中所含有的水分减少之后,在不含有水分的气氛(露点为 $-40^{\circ}C$ 以下,优选为 $-60^{\circ}C$ 以下)下进行缓冷(或冷却)。通过使用该氧化物半导体膜,可以在提高薄膜晶体管的电特性的同时实现具有高的量产性和高的性能的薄膜晶体管。

[0036] 在本说明书中,将在氮或稀有气体(氩、氦等)等惰性气体气氛下的加热处理称为用于脱水化或脱氢化的加热处理。在本说明书中,为了方便起见,不仅将通过该加热处理使 H_2 脱离称为脱氢化,而且将包括 H、OH 等的脱离也称为脱水化或脱氢化。

[0037] 当在氮或稀有气体(氩、氦等)等惰性气体气氛下进行加热处理时,氧化物半导体层通过加热处理变成氧缺乏型而被低电阻化,即被 N 型化(N⁻化等)。

[0038] 另外,形成与漏电极层重叠的氧缺乏型高电阻漏区(也称为 HRD 区域)。此外,还形成与源电极层重叠的氧缺乏型高电阻源区(也称为 HRS)。

[0039] 具体而言,高电阻漏区的载流子浓度在 $1 \times 10^{18}/cm^3$ 以上的范围内,并且高电阻漏区是载流子浓度至少高于沟道形成区的载流子浓度(小于 $1 \times 10^{18}/cm^3$)的区域。另外,本说明书的载流子浓度指的是在室温下通过霍尔效应测量而求出的载流子浓度的值。

[0040] 并且,通过至少使经过脱水化或脱氢化的氧化物半导体层的一部分处于氧过剩状态,来使其电阻增大,即被 I 型化,而形成沟道形成区。另外,至于使经过脱水化或脱氢化的氧化物半导体层变为氧过剩状态的处理,可以通过以下处理来实现:利用溅射法的氧化物绝缘膜的成膜,该氧化物绝缘膜接触于经过脱水化或脱氢化的氧化物半导体层;形成氧化物绝缘膜之后的加热处理;在含有氧的气氛下的加热处理;在惰性气体气氛下加热之后在氧气气氛下的冷却处理;使用超干燥空气(露点为 $-40^{\circ}C$ 以下,优选为 $-60^{\circ}C$ 以下)的冷却处理;等等。

[0041] 另外,为了将经过脱水化或脱氢化的氧化物半导体层的至少一部分(与栅电极层重叠的部分)用作沟道形成区,通过选择性地使其成为氧过剩状态,可以使其电阻增大,即被 I 型化。将由 Ti 等的金属电极构成的源电极层及漏电极层以与经过脱水化或脱氢化的氧化物半导体层接触的方式形成在经过脱水化或脱氢化的氧化物半导体层上,并通过使既不与源电极层重叠又不与漏电极层重叠的露出区域选择性地处于氧过剩状态来形成沟道形成区。当使氧化物半导体层选择性地处于氧过剩状态时,形成有重叠于源电极层的第一高电阻源区及重叠于漏电极层的第二高电阻漏区,而第一高电阻源区和第二高电阻漏区之间的区域成为沟道形成区。即,在源电极层和漏电极层之间以自对准的方式形成沟道形成区。

[0042] 由此,可以制作并提供具有电特性良好且可靠性高的薄膜晶体管的半导体装置。

[0043] 另外,通过在与漏电极层重叠的氧化物半导体层中形成高电阻漏区,可以提高形成驱动电路时的可靠性。具体而言,通过形成高电阻漏区,可以形成如下结构:从漏电极层至高电阻漏区、沟道形成区,导电性能够阶梯性地变化。所以,当将漏电极层连接到提供高电源电位 VDD 的布线来使薄膜晶体管工作时,即使栅电极层与漏电极层之间被施加高电场,由于高电阻漏区成为缓冲区而不被施加局部性的高电场,所以可以提高薄膜晶体管的

耐压性。

[0044] 另外,通过在与漏电极层以及源电极层重叠的氧化物半导体层中形成高电阻漏区及高电阻源区,可以降低形成驱动电路时的沟道形成区中的泄漏电流。具体而言,通过形成高电阻漏区,在漏电极层和源电极层之间流过的晶体管的泄漏电流依次流过漏电极层、漏电极层一侧的高电阻漏区、沟道形成区、源电极层一侧的高电阻源区及源电极层。此时在沟道形成区中,可以将从漏电极层一侧的高电阻漏区流向沟道形成区的泄漏电流集中在当晶体管处于截止状态时成为高电阻的栅极绝缘层与沟道形成区的界面附近,而可以降低背沟道部(远离栅电极层的沟道形成区的表面的一部分)中的泄漏电流。

[0045] 另外,虽然也要根据栅电极层的宽度,但与源电极层重叠的高电阻源区和与漏电极层重叠的高电阻漏区隔着栅极绝缘层分别与栅电极层的一部分重叠,由此能够更有效地缓和漏电极层的端部附近的电场强度。

[0046] 此外,也可以在氧化物半导体层和源电极及漏电极之间形成氧化物导电层。作为氧化物导电层,优选采用其成分中包含氧化锌而不包含氧化铟的氧化物导电层。例如,可以使用氧化锌、氧化锌铝、氮化锌铝、氧化锌镓等。氧化物导电层还用作低电阻漏区(也称为LRN(Low Resistance N-type conductivity)区、LRD(Low Resistance Drain)区)。具体地说,低电阻漏区的载流子浓度高于高电阻漏区(HRD区)的载流子浓度,例如优选其浓度在 $1 \times 10^{20}/\text{cm}^3$ 以上且 $1 \times 10^{21}/\text{cm}^3$ 以下的范围内。通过将氧化物导电层设置在氧化物半导体层和源电极及漏电极之间,可以降低电极-氧化物半导体层之间的接触电阻,从而可以实现晶体管的高速工作,由此可以提高外围电路(驱动电路)的频率特性。

[0047] 可以连续地形成用来形成氧化物导电层和源电极及漏电极的金属层。

[0048] 此外,上述第一布线及第二布线可以使用由与用作LRN或LRD的氧化物导电层相同的材料和金属材料而构成的叠层布线。通过采用金属和氧化物导电层的叠层,对下层布线的重叠部分或开口等的台阶的覆盖性得到改善,从而可以降低布线电阻。此外,由于还能够防止迁移等所引起的布线的局部性的高电阻化及断线,所以可以提供可靠性高的半导体装置。

[0049] 此外,当进行上述第一布线和第二布线的连接时,通过以中间夹着氧化物导电层的方式进行连接,可以防止因连接部(接触部)的金属表面上形成绝缘氧化物而导致的接触电阻的增大,从而可以提供可靠性高的半导体装置。

[0050] 另外,因为薄膜晶体管容易被静电等损坏,所以优选将用于保护像素部的薄膜晶体管的保护电路与栅极线或源极线设置在同一衬底上。保护电路优选由使用氧化物半导体层的非线性元件构成。

[0051] 注意,为了方便起见而附加第一、第二等序号词,但其并不表示工序顺序或叠层顺序。此外,其在本说明书中不表示特定发明的事项的固有名称。

[0052] 通过使用氧化物半导体层可以实现具备具有优越的电特性及优越的可靠性的薄膜晶体管的半导体装置。

附图说明

[0053] 图1是说明半导体装置的图;

[0054] 图2A至2C是说明半导体装置的制造方法的图;

- [0055] 图 3A 至 3C 是说明半导体装置的制造方法的图；
- [0056] 图 4A 至 4C 是说明半导体装置的制造方法的图；
- [0057] 图 5 是说明半导体装置的图；
- [0058] 图 6A 至 6D 是说明半导体装置的制造方法的图；
- [0059] 图 7A 和 7B 是说明半导体装置的制造方法的图；
- [0060] 图 8A 至 8D 是说明半导体装置的制造方法的图；
- [0061] 图 9A 和 9B 是说明半导体装置的制造方法的图；
- [0062] 图 10 是说明半导体装置的图；
- [0063] 图 11A 至 11D 是说明半导体装置的图；
- [0064] 图 12A 和 12B 是说明半导体装置的方框图的图；
- [0065] 图 13A 和 13B 是说明信号线驱动电路的结构图；
- [0066] 图 14A 至 14D 是说明移位寄存器的结构的电路图；
- [0067] 图 15A 和 15B 是说明移位寄存器的结构的电路图及说明移位寄存器的工作的时序图；
- [0068] 图 16A 至 16C 是说明半导体装置的图；
- [0069] 图 17 是说明半导体装置的图；
- [0070] 图 18 是示出电子书阅读器的一例的外观图；
- [0071] 图 19A 和 19B 是示出电视装置及数码相框的实例的外观图；
- [0072] 图 20A 和 20B 是示出游戏机的实例的外观图；
- [0073] 图 21A 和 21B 是示出便携式计算机及手机的一例的外观图；
- [0074] 图 22 是说明半导体装置的图；
- [0075] 图 23 是说明半导体装置的图；
- [0076] 图 24 是说明半导体装置的图；
- [0077] 图 25 是说明半导体装置的图；
- [0078] 图 26 是说明半导体装置的图；
- [0079] 图 27 是说明半导体装置的图；
- [0080] 图 28 是说明半导体装置的图；
- [0081] 图 29 是说明半导体装置的图；
- [0082] 图 30 是说明半导体装置的图；
- [0083] 图 31 是说明半导体装置的图；
- [0084] 图 32 是说明半导体装置的图；
- [0085] 图 33 是说明半导体装置的图；
- [0086] 图 34 是说明半导体装置的图；
- [0087] 图 35 是说明半导体装置的图；
- [0088] 图 36A 和 36B 是说明半导体装置的图；
- [0089] 图 37 是说明半导体装置的制造工序的图；
- [0090] 图 38 是说明半导体装置的图；
- [0091] 图 39 是对水的生成及脱离机理的计算结果进行说明的图；
- [0092] 图 40 是对能量图的计算结果进行说明的图。

具体实施方式

[0093] 参照附图对实施方式进行详细说明。但是,本发明的实施方式并不局限于以下说明,所属技术领域的普通技术人员可以很容易地理解一个事实就是其方式及详细内容可以不脱离本发明的宗旨及其范围地变换为各种各样的形式。因此,不应该被解释为仅限定在以下实施方式所记载的内容中。注意,在以下说明的结构中,在不同的附图之间共同使用同一附图标记来表示同一部分或具有同一功能的部分,而省略其重复说明。

[0094] 实施方式 1

[0095] 参照图 1 至图 5 对具有薄膜晶体管的半导体装置的制造工序进行说明。

[0096] 图 1 示出作为本发明的一个方式的半导体装置的液晶显示装置。在图 1 所示的液晶显示装置中,衬底 100 和对置衬底 190 夹着液晶层 192 对置,其中衬底 100 上设置有包括薄膜晶体管 170 及电容 147 的像素部、包括薄膜晶体管 180 的驱动电路部、像素电极层 110 以及用作取向膜的绝缘层 191,并且对置衬底 190 上设置有用作取向膜的绝缘层 193,对置电极层 194 以及用作滤色片的着色层 195。此外,在衬底 100 和对置衬底 190 的分别与液晶层 192 相反的一侧上设置有偏振片(具有偏振器的层,也简单地称为偏振器)196a、196b,并且在栅极布线的端子部中设置有第一端子 121、连接电极 120 及连接用的端子电极 128,并且在源极布线的端子部中设置有第二端子 122 及连接用的端子电极 129。

[0097] 在驱动电路部中,在薄膜晶体管 180 中在栅电极层及半导体层的上方设置有导电层 111,并且漏电极层 165b 电连接到由与栅电极层相同的工序形成的导电层 162。此外,在像素部中,薄膜晶体管 170 的漏电极层与像素电极层 110 电连接。

[0098] 以下,参照图 2A 至 2C 至图 5 以及图 11A 至 11D 对制造方法进行具体说明。图 5 是液晶显示装置的像素部的平面图,图 1 至图 4 相当于沿着图 5 中的线 A1-A2、B1-B2 的截面图。

[0099] 在具有绝缘表面的衬底 100 的整个表面上形成导电层之后,通过第一光刻工序形成抗蚀剂掩模,通过蚀刻去除不需要的部分以形成布线及电极(栅电极层 101、栅电极层 161、导电层 162、电容布线 108(也称作电容布线层)及第一端子 121)。如图 2A 所示,当以在布线及电极的端部形成锥形形状的方式进行蚀刻时,被层叠的膜的覆盖性得到提高,所以是优选的。注意,栅电极层 101、栅电极层 161 分别包括在栅极布线中。

[0100] 虽然对可用于具有绝缘表面的衬底 100 的衬底没有很大的限制,但是其至少需要具有能够承受后面的加热处理程度的耐热性。可以使用玻璃衬底作为具有绝缘表面的衬底 100。

[0101] 另外,当后面的加热处理的温度较高时,可以使用应变点为 730℃ 以上的玻璃衬底。另外,作为玻璃衬底,例如可以使用如铝硅酸盐玻璃、铝硼硅酸盐玻璃或钡硼硅酸盐玻璃等的玻璃材料。另外,通过使玻璃衬底相比硼酸而含有更多的氧化钡(BaO),可以获得更实用的耐热玻璃。因此,优选使用相比 B_2O_3 包含更多的 BaO 的玻璃衬底。

[0102] 另外,也可以使用如陶瓷衬底、石英衬底、蓝宝石衬底等的由绝缘体构成的衬底代替上述玻璃衬底。此外,还可以使用结晶化玻璃等。因为在本实施方式中示出的液晶显示装置为透过型,所以作为衬底 100 使用具有透光性的衬底,但是,当采用反射型时,也可以使用非透光性的金属衬底等的衬底用作衬底 100。

[0103] 也可以将成为基底膜的绝缘膜设置在衬底 100 与栅电极层 101、栅电极层 161、导电层 162、电容布线 108 及第一端子 121 之间。基底膜具有防止杂质元素从衬底 100 扩散的作用,可以使用选自氮化硅膜、氧化硅膜、氮氧化硅膜和氧氮化硅膜中的一种或多种膜的叠层结构形成。

[0104] 栅电极层 101、栅电极层 161、导电层 162、电容布线 108 及第一端子 121 可以通过使用钼、钛、铬、钽、钨、铝、铜、钕、铟等金属材料或以这些材料为主要成分的合金材料的单层或叠层来形成。

[0105] 例如,作为栅电极层 101、栅电极层 161、导电层 162、电容布线 108 及第一端子 121 的双层的叠层结构,优选采用:在铝层上层叠钼层的双层结构;在铜层上层叠钼层的双层结构;在铜层上层叠氮化钛层或氮化钽层的双层结构;层叠氮化钛层和钼层的双层结构。作为三层的叠层结构,优选采用钨层或氮化钨层、铝和硅的合金层或铝和钛的合金层、氮化钛层或钛层的叠层。

[0106] 接着,在栅电极层 101、栅电极层 161、导电层 162、电容布线 108 及第一端子 121 上形成栅极绝缘层 102(参照图 2A)。

[0107] 通过利用等离子体 CVD 法或溅射法等并使用氧化硅层、氮化硅层、氧氮化硅层、氮氧化硅层或氧化铝层的单层或叠层,可以形成栅极绝缘层 102。例如,作为成膜气体使用 SiH_4 、氧及氮并通过等离子体 CVD 法来形成氧氮化硅层,即可。将栅极绝缘层 102 的厚度设定为 100nm 以上且 500nm 以下。当采用叠层时,例如采用 50nm 以上且 200nm 以下的第一栅极绝缘层和第一栅极绝缘层上的 5nm 以上且 300nm 以下的第二栅极绝缘层的叠层。

[0108] 在本实施方式中,利用等离子体 CVD 法形成厚度为 200nm 以下的氮化硅层作为栅极绝缘层 102。

[0109] 接着,在栅极绝缘层 102 上形成厚度为 2nm 以上且 200nm 以下的氧化物半导体膜 130(参照图 2B)。

[0110] 另外,优选在使用溅射法形成氧化物半导体膜之前,进行引入氩气体来产生等离子体的反溅射,以去除附着到栅极绝缘层 102 表面上的尘屑。反溅射是指使用 RF 电源在氩气氛下对衬底一侧施加电压来在衬底附近形成等离子体以进行表面改性的方法。另外,也可以使用氮、氦、氧等代替氩气氛。此外,也可以在对氩气氛添加氧、 N_2O 等的气氛下进行。另外,也可以在对氩气氛中加入 Cl_2 、 CF_4 等的气氛下进行。

[0111] 为了即使在形成氧化物半导体膜 130 之后进行用于脱水化或脱氢化的加热处理也使氧化物半导体膜处于非晶状态,优选将氧化物半导体膜 130 的厚度设定得薄,即 50nm 以下。通过将氧化物半导体膜的厚度设定得薄,即使在形成氧化物半导体层之后进行加热处理也可以抑制晶化。

[0112] 氧化物半导体膜 130 使用 In-Ga-Zn-O 类非单晶膜、In-Sn-Zn-O 类、In-Al-Zn-O 类、Sn-Ga-Zn-O 类、Al-Ga-Zn-O 类、Sn-Al-Zn-O 类、In-Zn-O 类、In-Ga-O 类、Sn-Zn-O 类、Al-Zn-O 类、In-O 类、Sn-O 类、Zn-O 类的氧化物半导体膜。在本实施方式中,使用 In-Ga-Zn-O 类氧化物半导体靶材并通过溅射法来形成氧化物半导体膜 130。另外,可以在稀有气体(典型是氩)气氛下、在氧气气氛下或者在稀有气体(典型是氩)及氧气气氛下通过溅射法来形成氧化物半导体膜 130。另外,当使用溅射法时,优选使用含有 2wt% 以上且 10wt% 以下的 SiO_2 的靶材来进行成膜,而使氧化物半导体膜 130 含有阻碍晶化的 SiO_x ($x > 0$),以抑制在

后面的工序中进行用于脱水化或脱氢化的加热处理时被晶化。

[0113] 在此,使用包含 In、Ga 及 Zn 的氧化物半导体靶材 ($\text{In}_2\text{O}_3 : \text{Ga}_2\text{O}_3 : \text{ZnO} = 1 : 1 : 1 [\text{mol}\%]$, $\text{In} : \text{Ga} : \text{Zn} = 1 : 1 : 0.5 [\text{at}\%]$) 并以如下条件下进行成膜,该条件是:衬底和靶材之间的距离是 100mm;压力是 0.2Pa;直流 (DC) 电流是 0.5kW;在氩及氧 (氩:氧 = 30sccm : 20sccm 氧流量比率 40%) 气氛下。另外,当使用脉冲直流 (DC) 电源时,可以减少尘屑且膜厚度分布也均匀,所以是优选的。将 In-Ga-Zn-O 类非单晶膜的厚度设定为 5nm 至 200nm。在本实施方式中,使用 In-Ga-Zn-O 类氧化物半导体靶材并通过溅射法来形成 20nm 的 In-Ga-Zn-O 类非单晶膜作为氧化物半导体膜。

[0114] 作为溅射法,有作为溅射电源使用高频电源的 RF 溅射法、DC 溅射法,并且还有以脉冲方式施加偏压的脉冲 DC 溅射法。RF 溅射法主要用于绝缘膜的形成,而 DC 溅射法主要用于金属膜的形成。

[0115] 此外,还有可以设置多个材料不同的靶材的多元溅射装置。多元溅射装置既可以在同一处理室中层叠形成不同材料的膜,又可以在同一处理室中使多种材料同时放电而进行成膜。

[0116] 此外,有利用如下溅射法的溅射装置,该溅射法是:在处理室内具备磁体机构的磁控管溅射法;以及不使用辉光放电而利用使用微波来产生的等离子体的 ECR 溅射法。

[0117] 此外,作为使用溅射法的成膜方法,还有:在成膜时使靶材物质与溅射气体成分产生化学反应而形成它们的化合物薄膜的反应溅射法;以及在成膜时对衬底也施加电压的偏压溅射法。

[0118] 接着,在氧化物半导体膜 130 上通过进行第二光刻工序来形成抗蚀剂掩模 137 并利用蚀刻去除氧化物半导体膜 130 及栅极绝缘层 102 的不需要的部分,并在栅极绝缘层 102 中形成到达第一端子 121 的接触孔 119 及到达导电层 162 的接触孔 118 (参照图 2C)。

[0119] 像这样,通过在氧化物半导体膜 130 层叠在栅极绝缘层 102 的整个面上的状态下进行在栅极绝缘层 102 中形成接触孔的工序,栅极绝缘层 102 的表面不直接与抗蚀剂掩模接触,从而可以防止对栅极绝缘层 102 的表面的污染 (杂质等的附着等)。由此,可以使栅极绝缘层 102 和氧化物半导体膜 130 之间的界面状态良好,从而提高可靠性。

[0120] 还可以在栅极绝缘层上直接形成抗蚀剂图案然后形成接触孔的开口。在这种情况下,优选在剥离抗蚀剂之后进行热处理来进行栅极绝缘膜表面的脱水化、脱氢化、脱羟基化处理。例如,可以在惰性气体气氛 (氮或氩、氦、氙等) 下或氧气氛下进行加热处理 (以 400℃ 以上且低于衬底的应变点的温度),来去除栅极绝缘层内含有的氢及水等的杂质。

[0121] 接着,去除抗蚀剂掩模 137,并使用通过第三光刻工序而形成的抗蚀剂掩模 135a、135b 对氧化物半导体膜 130 进行蚀刻,来形成岛状氧化物半导体层 131、132 (参照图 3A)。另外,用来形成岛状氧化物半导体层的抗蚀剂掩模 135a、135b 可以使用喷墨法来形成。当通过喷墨法形成抗蚀剂掩模时不使用光掩模,因此可以缩减制造成本。

[0122] 接着,对氧化物半导体层 131、132 进行脱水化或脱氢化,来形成经过脱水化或脱氢化的氧化物半导体层 133、134 (参照图 3B)。将进行脱水化或脱氢化的第一加热处理的温度设定为 400℃ 以上且低于衬底的应变点,优选设定为 425℃ 以上。注意,当采用 425℃ 以上的温度时加热处理时间是 1 小时以下即可,但是当采用低于 425℃ 的温度时加热处理时间长于 1 小时。在此,将衬底放入到加热处理装置之一的电炉中,在氮气氛下对氧化物半导体

层进行加热处理,然后不使其接触于大气而防止水或氢再次混入到氧化物半导体层,而形成氧化物半导体层。在本实施方式中,在氮气氛下使用同一炉将氧化物半导体层的温度从进行氧化物半导体层的脱水化或脱氢化所需的加热温度 T 缓冷到水无法再次混入的温度,具体而言,在氮气氛下将氧化物半导体层的温度降低到比加热温度 T 低 100°C 以上的温度。另外,不局限于氮气氛,而在氦、氖、氩等稀有气体气氛下进行脱水化或脱氢化。

[0123] 通过以 400°C 至 700°C 的温度对氧化物半导体层进行热处理,可以对氧化物半导体层进行脱水化、脱氢化,从而可以防止水 (H_2O) 再浸入氧化物半导体层。

[0124] 作为氧化物半导体膜中的水的脱离机理的一个例子,对以下反应途径进行了解析(在氧化物半导体膜中,水及作为 OH 或 H 的反应)。另外,氧化物半导体膜使用 In-Ga-Zn-O 类非晶膜。

[0125] 此外,利用密度泛函法(DFT)计算计算模型处于基态时的最佳分子结构。以势能、电子间静电能、电子的动能、包括所有的复杂的电子间的互相作用的交换相关能的总和表示 DFT 的总能量。在 DFT 中,由于使用以电子密度表示的单电子势的泛函(函数的函数之意)来近似表示交换相关作用,所以计算速度快且精度高。在此,利用作为混合泛函的 B3LYP 来规定涉及交换相关能的各参数的权重。此外,作为基函数,铟原子、镓原子和锌原子使用 LanL2DZ(Ne 核的有效核势加上分裂价层(split valence)基组的基函数),除此之外的原子使用 6-311(对各原子价轨道使用三个收缩函数的三重分裂价层(triple splitvalence)基组的基函数)。根据上述基函数,例如在氢原子的情况下考虑 $1s$ 至 $3s$ 的轨道,而在氧原子的情况下考虑 $1s$ 至 $4s$ 、 $2p$ 至 $4p$ 的轨道。再者,作为极化基组(polarization basis sets),对氢原子加上 p 函数,对氧原子加上 d 函数,以提高计算精度。

[0126] 此外,作为量子化学计算程序,使用 Gaussian03。使用高性能计算机(SGI 株式会社制,Altix4700)来进行计算。

[0127] 可以认为包含在氧化物半导体膜中的 $-\text{OH}$ 通过进行脱水化或脱氢化的加热处理互相发生反应而生成 H_2O 。这里,对如图 39 所示那样的水的生成·脱离机理进行解析。另外,在图 39 中,由于 Zn 为 2 价,当 M_1M_2 的双方或其中一方为 Zn 时,去除一个与 Zn 键合的 $\text{M}'-\text{O}$ 键。

[0128] 图 39 中的 M 表示金属原子, $\text{In} \cdot \text{Ga} \cdot \text{Zn}$ 这三种适合。在初始状态 1 中, $-\text{OH}$ 以与 M_1 和 M_2 交联的方式形成配位键。在跃迁状态 2 中, $-\text{OH}$ 中的 H 转位到另一个 $-\text{OH}$ 。在中间状态 3 中,所生成的 H_2O 分子与金属原子形成配位键。在终结状态 4 中, H_2O 分子脱离而离开无限远。

[0129] 由于 (M_1-M_2) 的组合一共有 6 种,即:1. In-In 、2. Ga-Ga 、3. Zn-Zn 、4. In-Ga 、5. In-Zn 、6. Ga-Zn , 所以对所有组合进行了计算。另外,在本计算中,为了计算的简略化,采用使用 H 替换 M' 的计算模型的集群计算(cluster computing)。

[0130] 在计算中,求出对应于图 39 的反应途径的能量图。作为 (M_1-M_2) 的共 6 种组合的代表而在图 40 中示出 1. In-In 的计算结果。

[0131] 由图 40 可知水的生成所需要的活化能为 1.16eV 。由于生成的水分子的脱离,与中间状态 3 相比终结状态 41.58eV 左右不稳定。

[0132] 另外,若反过来将图 40 看成是从右到左的反应,则可以将其看成是水进入到氧化

物半导体膜内的反应。此时,配位到金属的水被水解而形成两个 OH 键的反应所需要的活化能为 0.47eV。

[0133] 同样,对其他的 (M_1-M_2) 组合的反应途径进行解析。表 1 示出 1 至 6 的水生成反应的活化能 (E_a [eV])。

[0134] [表 1]

[0135]

	1	2	3	4	5	6
M_1-M_2	In-In	Ga-Ga	Zn-Zn	In-Ga	In-Zn	Ga-Zn
E_a	1.16	1.25	2.01	1.14	1.35	1.4

[0136] 由表 1 可知:在 1. In-In 和 4. In-Ga 中,容易发生水的生成反应。而在 3. Zn-Zn 中不容易发生水的生成反应。由此,可以推测当使用 Zn 原子时不容易发生水的生成反应。

[0137] 另外,加热处理装置不局限于电炉,例如还可以使用 GRTA(GasRapid Thermal Anneal,即气体快速热退火)装置、LRTA(Lamp RapidThermal Anneal,即灯快速热退火)装置等的 RTA(Rapid ThermalAnneal) 装置。LRTA 装置是利用从灯如卤素灯、金卤灯、氙弧灯、碳弧灯、高压钠灯或高压汞灯等发出的光(电磁波)的辐射加热被处理物的装置。此外,LRTA 装置除了灯以外还可以具备由从电阻发热体等的发热体的热传导或热辐射来加热被处理物的设备。GRTA 是指使用高温气体进行加热处理的方法。作为气体,使用即使进行加热处理也不与被处理物产生反应的如氩等的稀有气体或氮。可以利用 RTA 法以 600℃至 700℃进行几分钟的加热处理。

[0138] 另外,在第一加热处理中,优选氮或氦、氖、氙等的稀有气体不包含水、氢等。尤其是,以 400℃至 700℃的氧化物半导体层的脱水化、脱氢化的加热处理,优选在 H_2O 为 20ppm 以下的氮气氛下进行。另外,优选将导入于加热处理装置中的氮或氦、氖、氙等的稀有气体的纯度设定为 6N(99.9999%)以上,优选设定为 7N(99.99999%)以上(即,将杂质浓度设定为 1ppm 以下,优选设定为 0.1ppm 以下)。

[0139] 另外,根据第一加热处理的条件或氧化物半导体层的材料,也有时进行晶化,而形成微晶或多晶。例如,有时形成晶化率为 90%以上或 80%以上的微晶氧化物半导体层。此外,根据第一加热处理的条件或氧化物半导体层的材料,有时形成不含有结晶成分的非晶氧化物半导体。

[0140] 另外,也可以对加工成岛状氧化物半导体层 131、132 之前的氧化物半导体膜 130 进行氧化物半导体层的第一加热处理。在此情况下,在第一加热处理之后从加热装置拿出衬底,以进行光刻工序。

[0141] 作为氧化物半导体层的脱水化、脱氢化的热处理,可以在以下任一工序之后进行:形成氧化物半导体层之后;在氧化物半导体层上层叠了源电极及漏电极之后;或者在源电极及漏电极上形成钝化膜之后。

[0142] 另外,还可以在进行了氧化物半导体膜 130 的脱水化或脱氢化处理之后,进行如图 2C 所示的在栅极绝缘层 102 中形成接触孔 118、119 的工序。

[0143] 另外,这里的氧化物半导体膜的蚀刻不限于湿蚀刻,而还可以使用干蚀刻。

[0144] 作为干蚀刻所使用蚀刻气体,优选使用含有氯的气体(氯类气体,例如氯(Cl_2)、氯化硼(BCl_3)、氯化硅(SiCl_4)、四氯化碳(CCl_4)等)。

[0145] 另外,还可以使用含有氟的气体(氟类气体,例如四氟化碳(CF_4)、六氟化硫(SF_6)、三氟化氮(NF_3)、三氟甲烷(CHF_3)等)、溴化氢(HBr)、氧(O_2)或对上述气体添加了氦(He)或氩(Ar)等的稀有气体的气体等。

[0146] 作为干蚀刻法,可以使用平行平板型 RIE(Reactive Ion Etching:反应性离子蚀刻)法或 ICP(Inductively Coupled Plasma:感应耦合等离子体)蚀刻法等。适当地调节蚀刻条件(施加到线圈形电极的电力量、施加到衬底一侧的电极的电力量、衬底一侧的电极温度等),以便蚀刻为所希望的加工形状。

[0147] 作为用于湿蚀刻的蚀刻液,可以使用:将磷酸、醋酸以及硝酸混合的溶液等。此外,还可以使用 IT007N(日本关东化学株式会社制造)。

[0148] 通过清洗去除湿蚀刻后的蚀刻液以及被蚀刻掉的材料。也可以提纯包括该被去除了的材料的蚀刻液的废液,来再使用所含的材料。通过从该蚀刻后的废液回收包含在氧化物半导体层中的钼等的材料并将它再使用,可以高效地使用资源并实现低成本化。

[0149] 另外,根据材料适当地调节蚀刻条件(蚀刻液、蚀刻时间以及温度等),以便可以蚀刻为所希望的加工形状。

[0150] 接着,在氧化物半导体层 133、134 上利用溅射法或真空蒸镀法形成由金属材料构成的金属导电膜。

[0151] 作为金属导电膜的材料,可以举出选自 Al、Cr、Cu、Ta、Ti、Mo、W 中的元素、以上述元素为成分的合金、组合上述元素的合金膜等。另外,金属导电膜可以采用单层结构或两层以上的叠层结构。例如,可以举出:包含硅的铝膜的单层结构;在铝层上层叠钛膜的两层结构;Ti 膜、层叠在该 Ti 膜上的铝膜、在其上层叠的 Ti 膜的三层结构等。另外,也可以使用:组合铝与选自钛(Ti)、钽(Ta)、钨(W)、钼(Mo)、铬(Cr)、钕(Nd)、Sc(钪)中的一个或多个元素的合金膜或氮化膜。

[0152] 当在形成金属导电膜之后进行加热处理时,优选金属导电膜具有能够耐受该加热处理的耐热性。

[0153] 接着,进行第四光刻工序以形成抗蚀剂掩模 136a、136b、136c、136d、136e、136f,并通过对金属导电膜的蚀刻去除不需要的部分而形成源电极层 105a、漏电极层 105b、源电极层 165a、漏电极层 165b、连接电极 120 以及第二端子 122(参照图 3C)。

[0154] 另外,当进行金属导电膜的蚀刻时,以氧化物半导体层 133、134 不被去除的方式适当地调节各种材料及蚀刻条件。

[0155] 在本实施方式中,将 Ti 膜用作金属导电膜,将 In-Ga-Zn-O 类氧化物用作氧化物半导体层 133、134,并且将过氧化氢铵水(铵、水、过氧化氢水的混合液)用作蚀刻剂。

[0156] 在该第四光刻工序中,将与源电极层 105a、165a、漏电极层 105b、165b 相同材料的连接电极 120 和第二端子 122 分别形成于端子部。另外,第二端子 122 与源极布线(包括源电极层 105a、165a 的源极布线)电连接。另外,连接电极 120 在接触孔 119 中接触于第一端子 121 地形成并与其电连接。

[0157] 另外,还可以使用喷墨法形成用来形成源电极层及漏电极层的抗蚀剂掩模 136a、136b、136c、136d、136e、136f。当通过喷墨法形成抗蚀剂掩模时不使用光掩模,因此可以缩

减制造成本。

[0158] 接着,去除抗蚀剂掩模 136a、136b、136c、136d、136e、136f,并形成接触于氧化物半导体层 133、134 的成为保护绝缘膜的氧化物绝缘膜 107。

[0159] 此时,在氧化物半导体层 133、134 中形成接触于氧化物绝缘膜 107 的区域,该区域中的隔着栅极绝缘层重叠于栅电极层且重叠于氧化物绝缘膜 107 的区域成为沟道形成区。

[0160] 将氧化物绝缘膜 107 的厚度至少设定为 1nm 以上,并且可以适当地使用溅射法等防止水、氢等的杂质混入到氧化物绝缘膜 107 的方法来形成氧化物绝缘膜 107。

[0161] 在本实施方式中,使用溅射法形成 300nm 厚的氧化硅膜作为氧化物绝缘膜 107。将形成膜时的衬底温度设定为室温以上且 300℃ 以下即可,在本实施方式中将该衬底温度设定为室温。可以在稀有气体(典型为氩)气氛下或氧气气氛下通过溅射法形成氧化硅膜。另外,作为靶材,可以使用氧化硅靶材或硅靶材。例如,可以使用硅靶材在氧气气氛下通过溅射法形成氧化硅。在第一加热处理中,接触于被低电阻化的氧化物半导体层地形成的氧化物绝缘膜使用不包含水分、氢离子、OH⁻ 等的杂质且阻挡上述杂质从外部侵入的无机绝缘膜,典型地使用氧化硅膜、氮氧化硅膜、氧化镓膜、氧化铝膜或者氧氮化铝膜等。

[0162] 接着,在惰性气体气氛下或氮气体气氛下进行第二加热处理(优选是 200℃ 以上且 400℃ 以下,例如 250℃ 以上且 350℃ 以下)(参照图 4A)。例如,在氮气气氛下进行 250℃ 且 1 小时的第二加热处理。当进行第二加热处理时,重叠于氧化物绝缘膜 107 的氧化物半导体层 133、134 的一部分在接触于氧化物绝缘膜 107 的状态下被加热。

[0163] 通过上述工序,对成膜后的氧化物半导体层进行用于脱水化或脱氢化的加热处理而使其电阻降低之后,选择性地使氧化物半导体层的一部分成为氧过剩状态。

[0164] 其结果,在氧化物半导体层 133 中,与栅电极层 161 重叠的沟道形成区 166 成为 I 型,重叠于源电极层 165a 的高电阻源区 167a 和重叠于漏电极层 165b 的高电阻漏区 167b 以自对准的方式形成,并形成有氧化物半导体层 163。同样地,在氧化物半导体层 134 中,重叠于栅电极层 101 的沟道形成区 116 成为 I 型,重叠于源电极层 105a 的高电阻源区 117a 和重叠于漏电极层 105b 的高电阻漏区 117b 以自对准的方式形成,并形成有氧化物半导体层 103。

[0165] 另外,通过在与漏电极层 105b、165b(及源电极层 105a、165a)重叠的氧化物半导体层 103、163 中形成高电阻漏区 117b、167b(或高电阻源区 117a、167a),可以提高形成驱动电路时的可靠性。具体而言,通过形成高电阻漏区 117b、167b,可以形成如下结构:从漏电极层 105b、165b 至高电阻漏区 117b、167b、沟道形成区 116、166,导电性能够阶梯性地变化。所以,当将漏电极层 105b、165b 连接到提供高电源电位 VDD 的布线来使薄膜晶体管工作时,即使栅电极层 101、161 与漏电极层 105b、165b 之间被施加高电场,由于高电阻漏区成为缓冲区而不被施加局部性的高电场,所以可以提高晶体管的耐压性。

[0166] 另外,通过在与漏电极层 105b、165b(以及源电极层 105a、165a)重叠的氧化物半导体层中形成高电阻漏区 117b、167b(或高电阻区 117a、167a),可以降低形成驱动电路时的沟道形成区 116、166 中的泄漏电流。

[0167] 在本实施方式中,在利用溅射法形成氧化硅膜作为氧化物绝缘膜 107 之后,进行 250℃ 至 350℃ 的热处理,以使氧从源区和漏区之间的氧化物半导体层的露出部分(沟道形成区)向氧化物半导体层中含浸并扩散到氧化物半导体层中。通过使用溅射法形成氧化硅

膜,可以使该氧化硅膜中含有过剩的氧,并通过热处理使氧含浸并扩散到氧化物半导体层中。通过使氧含浸并扩散到氧化物半导体层中,可以实现沟道形成区的高电阻化(i型化)。由此,可以获得常关闭状态的薄膜晶体管。

[0168] 根据上述工序,可以在同一衬底上,在驱动电路中形成薄膜晶体管 180 并在像素部中形成薄膜晶体管 170。薄膜晶体管 170、180 是包括高电阻源区、高电阻漏区及包括沟道形成区的氧化物半导体层的底栅型薄膜晶体管。所以,薄膜晶体管 170、180 具有以下结构:即使其被施加高电场,由于高电阻漏区或高电阻源区成为缓冲区而不被施加局部性的高电场,所以晶体管的耐压性得到提高。

[0169] 通过在同一衬底上形成驱动电路部和像素部,可以缩短连接驱动电路和外部信号的连接布线,所以可以实现半导体装置的小型化和低成本化。

[0170] 还可以在氧化物绝缘膜 107 上形成保护绝缘膜。例如,使用 RF 溅射法形成氮化硅膜。由于 RF 溅射法的量产性高,所以作为保护绝缘层的成膜方法是优选的。保护绝缘层使用不包含水分、氢离子或 OH 等的杂质并防止上述杂质从外部侵入的无机绝缘膜,例如使用氮化硅膜、氮化铝膜、氮氧化硅膜或氧氮化铝膜等。

[0171] 接着,进行第五光刻工序以形成抗蚀剂掩模,并通过对氧化物绝缘层 107 的蚀刻,形成到达漏电极层 105b 的接触孔 125,并去除抗蚀剂掩模(参照图 4B)。另外,根据该蚀刻形成到达第二端子的 122 的接触孔 127 以及到达连接电极 120 的接触孔 126。另外,还可以使用喷墨法形成用于形成接触孔的抗蚀剂掩模。当通过喷墨法形成抗蚀剂掩模时不使用光掩模,因此可以缩减制造成本。

[0172] 接着,形成具有透光性的导电膜。使用溅射法或真空蒸镀法等形成氧化铟(In_2O_3)或氧化铟氧化锡合金($\text{In}_2\text{O}_3\text{-SnO}_2$,简称为 ITO)等作为具有透光性的导电膜的材料。作为具有透光性的导电膜的其他材料,可以使用含有氮的 Al-Zn-O 类非单晶膜,即 Al-Zn-O-N 类非单晶膜、含有氮的 Zn-O 类非单晶膜、含有氮的 Sn-Zn-O 类非单晶膜。另外,Al-Zn-O-N 类非单晶膜的锌的组成比(原子百分比)是 47 原子%以下,该锌的组成比大于非单晶膜中的铝的组成比(原子百分比),并且非单晶膜中的铝的组成比(原子百分比)大于非单晶膜中的氮的组成比(原子百分比)。上述材料的蚀刻处理使用盐酸类的溶液进行。但是,由于对 ITO 的蚀刻特别容易产生残渣,因此也可以使用氧化铟氧化锌合金($\text{In}_2\text{O}_3\text{-ZnO}$),以便改善蚀刻加工性。

[0173] 另外,以具有透光性的导电膜的组成比的单位为原子百分比,并且通过使用电子探针显微分析仪(EPMA:Electron Probe X-rayMicroAnalyzer)的分析进行评价。

[0174] 接着,进行第六光刻工序,形成抗蚀剂掩模,通过蚀刻去除具有透光性的导电膜的不需要的部分来形成像素电极层 110、导电层 111 以及端子电极 128、129,然后去除抗蚀剂掩模。图 4C 示出此时的截面图。另外,图 5 相当于该阶段的平面图。

[0175] 另外,在该第六蚀刻工序中,以电容部中的栅极绝缘层 102 及氧化物绝缘膜 107 为电介质并使用电容布线 108 和像素电极层 110 形成存储电容。

[0176] 也可以将作为以栅极绝缘层 102 为电介质并使用电容布线和电容电极(也称为电容电极层)形成的存储电容的电容 147 形成在同一衬底上。此外,也可以不设置电容布线,而隔着保护绝缘膜及栅极绝缘层重叠像素电极与相邻的像素的栅极布线来形成存储电容。

[0177] 形成在端子部的端子电极 128、129 成为用于连接 FPC 的电极或者布线。隔着连接

电极 120 形成在第一端子 121 上的端子电极 128 成为用作栅极布线的输入端子的连接用端子电极。形成在第二端子 122 上的端子电极 129 是用作源极布线的输入端子的连接用端子电极。

[0178] 另外,图 11A 及图 11B 分别示出该阶段的栅极布线端子部的截面图及俯视图。图 11A 相当于沿着图 11B 中的 C1-C2 线的截面图。在图 11A 中,形成在氧化物绝缘膜 107 上的导电膜 155 是用作输入端子的连接用端子电极。另外,在图 11A 中,在端子部中,由与栅极布线相同的材料形成的第一端子 151 和由与源极布线相同的材料形成的连接电极 153 隔着栅极绝缘层重叠而直接接触地被导通。另外,连接电极 153 和导电膜 155 通过设置在氧化物绝缘膜 107 中的接触孔直接接触地被导通。

[0179] 另外,图 11C 及图 11D 分别示出该阶段的栅极布线端子部的截面图和俯视图。另外,图 11C 相当于沿着图 11D 中的 D1-D2 线的截面图。在图 11C 中,形成在氧化物绝缘膜 107 上的导电膜 155 是用作输入端子的连接用端子电极。另外,在图 11C 中,在端子部中,由与栅极布线相同的材料形成的电极 156 在与源极布线电连接的第二端子 150 的下方隔着栅极绝缘层 102 与其重叠。电极 156 不与第二端子 150 电连接,通过将电极 156 设定为与第二端子 150 不同的电位,例如浮动状态、GND、0V 等,可以形成用于对杂波的措施的电容或用于对静电的措施的电容。此外,第二端子 150 隔着氧化物绝缘膜 107 与导电膜 155 电连接。

[0180] 根据像素密度设置多个栅极布线、源极布线及电容布线。此外,在端子部中,排列地配置多个电位与栅极布线相同的第一端子、多个电位与源极布线相同的第二端子以及多个电位与电容布线相同的第三端子等。各端子的数量可以是任意的,实施者可以适当地决定各端子的数量。

[0181] 由此,通过 6 回的光刻工序,可以使用 6 个光掩模完成具有薄膜晶体管 180 的驱动电路部、具有薄膜晶体管 170 的像素部、具有存储电容的电容 147 及外部提取端子部。通过将薄膜晶体管和存储电容对应于每个像素配置为矩阵状来构成像素部,可以将其作用用来制造有源矩阵型显示装置的一方的衬底。在本说明书中,为方便起见将这种衬底称为有源矩阵衬底。

[0182] 当制造有源矩阵型液晶显示装置时,在有源矩阵衬底和设置有对置电极的对置衬底之间设置液晶层来固定有源矩阵衬底和对置衬底。另外,将与设置在对置衬底的对置电极电连接的共同电极设置在有源矩阵衬底上,并且在端子部设置与共同电极电连接的第四端子。该第四端子是用来将共同电极设定为固定电位例如 GND、0V 等的端子。

[0183] 在氧化物绝缘膜 107、导电层 111、像素电极层 110 上形成用作取向膜的绝缘层 191。

[0184] 在对置衬底 190 上形成着色层 195、对置电极层 194 以及用作取向膜的绝缘层 193。使用密封材料(未图示)以隔着调节液晶显示装置的单元间隙的间隔物并夹着液晶层 192 的方式贴合衬底 100 和对置衬底 190。可以在减压下进行上述贴合工序。

[0185] 作为密封剂,通常优选使用可见光固化树脂、紫外线固化树脂或者热固化树脂。典型地,可以使用丙烯酸树脂、环氧树脂或氨基树脂等。另外,还可以含有光(典型的是紫外线)聚合引发剂、热固化剂、填充物、耦合剂。

[0186] 液晶层 192 是通过将液晶材料封入到空隙中而形成的。作为液晶层 192,既可以在贴合衬底 100 和对置衬底 190 之前使用利用滴落的分配器法(滴落法)来形成,也可以在

将衬底 100 与对置衬底 190 贴合之后利用毛细现象来注入液晶的注入法来形成。对于液晶材料没有特殊的限定,而可以使用各种材料。另外,当液晶材料使用呈现蓝相的材料时不需要取向膜。

[0187] 通过在衬底 100 的外侧设置偏振片 196a 并在对置衬底 190 的外侧设置偏振片 196b,可以制造本实施方式中的透过性的液晶显示装置(参照图 1)。

[0188] 另外,虽然没有图示,适当地设置黑矩阵(遮光层)、偏振构件、相位差构件及防止反射构件等的光学构件(光学衬底)等。例如,也可以使用利用偏振片及相位差板的圆偏振。此外,也可以使用背光灯或侧光灯等作为光源。

[0189] 在有源矩阵型液晶显示装置中,通过驱动配置为矩阵状的像素电极,在画面上形成显示图案。详细地说,通过在被选择的像素电极和对应于该像素电极的对置电极之间施加电压,进行配置在像素电极和对置电极之间的液晶层的光学调制,该光学调制被观察者识别为显示图案。

[0190] 当液晶显示装置显示动态图像时,由于液晶分子本身的响应慢,所以有产生余象或动态图像的模糊的问题。有一种所谓的被称为黑插入的驱动技术,在该驱动技术中为了改善液晶显示装置的动态图像特性,而每隔一帧地进行整个画面的黑显示。

[0191] 此外,还有所谓的被称为倍速驱动的驱动技术,其中通过将垂直同步频率设定为通常的 1.5 倍或 2 倍以上来改善动态图像特性。

[0192] 另外,还有如下驱动技术:为了改善液晶显示装置的动态图像特性,作为背光灯使用多个 LED(发光二极管)光源或多个 EL 光源等来构成面光源,并使构成面光源的各光源独立地以脉冲方式在一个帧期间内进行驱动。作为面光源,可以使用三种以上的 LED 或白色发光的 LED。由于可以独立地控制多个 LED,因此也可以按照液晶层的光学调制的切换时序使 LED 的发光时序同步。因为在该驱动技术中可以部分地关断 LED,所以尤其是在进行一个画面中的黑色显示区所占的比率高的图像显示的情况下,可以得到耗电量减少的效果。

[0193] 通过组合这些驱动技术,与现有的液晶显示装置相比,可以进一步改善液晶显示装置的动态图像特性等的显示特性。

[0194] 通过利用使用氧化物半导体的薄膜晶体管来形成,可以降低制造成本。尤其是,通过根据上述方法接触于氧化物半导体层地形成氧化绝缘膜,可以制造并提供具有稳定的电特性的薄膜晶体管。所以,可以提供具有电特性良好且可靠性高的薄膜晶体管的半导体装置。

[0195] 因为沟道形成区的半导体层为高电阻区域,所以薄膜晶体管的电特性稳定,而可以防止截止电流的增加等。因此,可以制造具有电特性良好且可靠性高的薄膜晶体管的半导体装置。

[0196] 另外,由于薄膜晶体管容易因静电等而被损坏,所以优选将保护电路设置在与像素部或驱动电路相同的衬底上。优选采用使用氧化物半导体层的非线性元件构成保护电路。例如,将保护电路设置在像素部和扫描线输入端子及信号线输入端子之间。在本实施方式中,设置多个保护电路,以便在扫描线、信号线及电容总线因静电等而被施加浪涌电压时像素晶体管等不被损坏。因此,保护电路采用当其被施加浪涌电压时向共同布线释放电荷的结构。另外,保护电路由并联配置在扫描线和共同布线之间的非线性元件构成。非线性元件由二极管等的二端子元件或晶体管等的三端子元件构成。例如,非线性元件也可以

使用与像素部的薄膜晶体管 170 相同的工序形成,例如通过晶体管的连接栅极端子和漏极端子,可以使非线性元件具有与二极管同样的特性。

[0197] 本实施方式可以与其他实施方式所记载的结构适当地组合而实施。

[0198] 实施方式 2

[0199] 在本实施方式中,使用图 6A 至 6D 及图 7A 和 7B 示出在实施方式 1 中在氧化物半导体层与源电极层或漏电极层之间设置氧化物导电层作为源区及漏区的例子。因此,由于本实施方式的其他部分可以与实施方式 1 同样地实施,所以省略对与实施方式 1 相同的部分或具有同样作用的部分及工序的重复说明。另外,由于图 6A 至 6D 及图 7A 和 7B 与图 1 至图 5 除了工序的一部分相异之外其他都相同,所以使用相同的符号表示相同的部分并省略对相同部分的详细说明。

[0200] 首先,根据实施方式 1 进行到实施方式 1 中的图 3B 为止的工序。图 6A 与图 3B 相同。

[0201] 在经过脱水化或脱氢化的氧化物半导体层 133、134 上形成氧化物导电膜 140,并在氧化物导电膜 140 上层叠由金属导电材料构成的金属导电膜。

[0202] 作为氧化物导电膜 140 的成膜方法,可以使用溅射法、真空蒸镀法(电子束蒸镀法等)、电弧放电离子电镀法或喷涂法。作为氧化物导电膜 140 的材料,优选在成分中含有氧化锌而不含有氧化镉的材料。作为这种氧化物导电膜 140,可以适当地使用氧化锌、氧化锌铝、氮化锌铝、氧化锌镓等。作为其厚度,可以在 50nm 以上且 300nm 以下的范围内适当地进行选择。另外,当使用溅射法时,优选使用含有 2wt% 以上且 10wt% 以下的 SiO_2 的靶材进行成膜,以使氧化物导电膜含有阻碍晶化的 SiO_x ($x > 0$),以便抑制在后面的工序中进行用于脱水化或脱氢化的加热处理时被晶化。

[0203] 接着,进行第四光刻工序,形成抗蚀剂掩模 136a、136b、136c、136d、136e、136f,并根据蚀刻去除金属导电膜的不需要的部分以形成源电极层 105a、漏电极层 105b、源电极层 165a、漏电极层 165b、连接电极 120 及第二端子 122(参照图 6B)。

[0204] 当进行金属导电膜的蚀刻时,以氧化物导电膜 140 及氧化物半导体层 133、134 不被去除的方式适当地调节各种材料及蚀刻条件。

[0205] 接着,去除抗蚀剂掩模 136a、136b、136c、136d、136e、136f,并以源电极层 105a、漏电极层 105b、源电极层 165a、漏电极层 165b 为掩模对氧化物导电膜 140 进行蚀刻以形成氧化物导电层 164a、164b、氧化物导电层 104a、104b(参照图 6C)。作为以氧化锌为成分的氧化物导电膜 140,例如可以使用如抗蚀剂剥离液那样的碱性溶液容易地进行蚀刻。此外,在同工序中在端子部中也形成氧化物导电层 138、139。

[0206] 利用氧化物半导体层和氧化物导电膜的蚀刻速度差,进行分割用来形成沟道形成区的氧化物导电膜的蚀刻处理。利用氧化物导电膜的蚀刻速度比氧化物半导体层的蚀刻速度快这一点,对氧化物半导体层上的氧化物导电膜进行选择性地蚀刻。

[0207] 因此,优选利用灰化工序去除抗蚀剂掩模 136a、136b、136c、136d、136e、136f。当进行使用剥离液的蚀刻时,以氧化物导电膜 140 及氧化物半导体层 133、134 不被过剩地蚀刻的方式适当地调节蚀刻条件(蚀刻剂的种类、浓度、蚀刻时间)。

[0208] 通过如本实施方式所示那样,在将氧化物半导体层蚀刻为岛状之后层叠氧化物导电膜和金属导电膜,并使用同一掩模蚀刻包括源电极层及漏电极层的布线图案,可以使氧

化物导电膜残留在金属导电膜的布线图案之下。

[0209] 在栅极布线（导电层 162）和源极布线（漏电极层 165b）的接触部分中，通过在源极布线的下层形成氧化物导电层 164b，氧化物导电层 164b 成为缓冲层，并且氧化物导电层 164b 与金属不形成形成绝缘性氧化物，所以是优选的。

[0210] 形成接触于氧化物半导体层 133、134 的成为保护绝缘膜的氧化物绝缘膜 107。在本实施方式中，使用溅射法形成 300nm 厚的氧化硅膜作为氧化物绝缘膜 107。

[0211] 接着，在惰性气体气氛下或氮气气氛下进行第二加热处理（优选是 200℃ 以上且 400℃ 以下，例如 250℃ 以上且 350℃ 以下）。例如，在氮气气氛下进行 250℃ 且 1 小时的第二加热处理。当进行第二加热处理时，重叠于氧化物绝缘膜 107 的氧化物半导体层 133、134 的一部分在接触于氧化物绝缘膜 107 的状态下被加热。

[0212] 通过上述工序，对成膜后的氧化物半导体层进行用于脱水化或脱氢化的加热处理而使其电阻降低之后，选择性地使氧化物半导体层的一部分处于氧过剩状态。

[0213] 其结果，在氧化物半导体层 133 中，与栅电极层 161 重叠的沟道形成区 166 成为 I 型，重叠于源电极层 165a 及氧化物导电层 164a 的高电阻源区 167a 和重叠于漏电极层 165b 及氧化物导电层 164b 的高电阻漏区 167b 以自对准的方式形成，并形成有氧化物半导体层 163。同样地，在氧化物半导体层 134 中，沟道形成区 116 成为 I 型，重叠于源电极层 105a 及氧化物导电层 104a 的高电阻源区 117a 和重叠于漏电极层 105b 及氧化物导电层 104b 的高电阻漏区 117b 以自对准的方式形成，并形成有氧化物半导体层 103。

[0214] 设置在氧化物半导体层 163、103 和由金属材料构成的漏电极层 105b、漏电极层 165b 之间的氧化物导电层 104b、164b 也发挥作为低电阻漏区（LRN（低电阻 N 型导电型：Low Resistanse N-type conductivity）区（也称为 LRD（低电阻漏极：Low Resistance Drain）区））的功能。同样地，设置在氧化物半导体层 163、103 和由金属材料构成的源电极层 105a、源电极层 165a 之间的氧化物导电层 104a、164a 也发挥作为低电阻源区（LRN（低电阻 N 型导电型：Low Resistanse N-type conductivity）区（也称为 LRD（低电阻源极：Low Resistance Source）区））的功能。通过采用氧化物半导体层、低电阻漏区、由金属材料构成的漏电极层的结构，可以进一步提高晶体管的耐压。具体而言，优选低电阻漏区的载流子浓度大于高电阻漏区（HRD 区），例如在 $1 \times 10^{20}/\text{cm}^3$ 以上且 $1 \times 10^{21}/\text{cm}^3$ 以下的范围内。

[0215] 根据上述工序，可以在同一衬底上，在驱动电路中形成薄膜晶体管 181 并在像素部中形成薄膜晶体管 171。薄膜晶体管 171、181 是包括高电阻源区、高电阻漏区及包括沟道形成区的氧化物半导体层的底栅型薄膜晶体管。所以，薄膜晶体管 171、181 具有以下结构：即使其被施加高电场，由于高电阻漏区或高电阻源区成为缓冲层而不被施加局部性的高电场，所以晶体管的耐压性得到提高。

[0216] 另外，在电容部中形成有电容 146，该电容 146 由电容布线 108、栅极绝缘层 102、由与氧化物导电层 104b 相同工序形成的氧化物导电层、由与漏电极层 105b 相同工序形成的金属导电层以及氧化物绝缘膜 107 的叠层构成。

[0217] 另外，硅氧烷类树脂相当于以硅氧烷类材料为起始材料而形成的包含 Si-O-Si 键的树脂。作为硅氧烷类树脂的取代基，也可以使用有机基（例如烷基、芳基）、氟基团。另外，有机基也可以具有氟基团。

[0218] 接着，在氧化物绝缘膜 107 上形成平坦化绝缘层 109。另外，在本实施方式中，仅在

像素部中形成平坦化绝缘层 109。作为平坦化绝缘层 109,可以使用具有耐热性的有机材料如聚酰亚胺、丙烯酸树脂、苯并环丁烯、聚酰胺、环氧树脂等。另外,除了上述有机材料之外,还可以使用低介电常数材料(low-k 材料)、硅氧烷类树脂、PSG(磷硅玻璃)、BPSG(硼磷硅玻璃)等。另外,也可以通过层叠多个由这些材料形成的绝缘膜来形成平坦化绝缘层 109。

[0219] 对平坦化绝缘层 109 的形成方法没有特别的限制,可以根据其材料利用溅射法、SOG 法、旋涂、浸渍、喷涂、液滴喷射法(喷墨法、丝网印刷、胶版印刷等)、刮片、辊涂机、幕涂机、刮刀涂布机等。在本实施方式中,使用感光性的感光性丙烯酸树脂形成平坦化绝缘层 109。

[0220] 接着,进行第五光刻工序,形成抗蚀剂掩模,通过对平坦化绝缘层 109 及氧化物绝缘膜 107 进行蚀刻来形成到达漏电极层 105b 的接触孔 125,然后去除抗蚀剂掩模(参照图 6D)。另外,还通过该蚀刻形成到达第二端子 122 的接触孔 127 及到达连接电极 120 的接触孔 126。

[0221] 接着,形成具有透光性的导电膜,并进行第六光刻工序来形成抗蚀剂掩模,利用蚀刻去除不需要的部分以形成像素电极层 110、导电层 111、端子电极 128、129,然后去除抗蚀剂掩模(参照图 7A)。

[0222] 与实施方式 1 同样地,以夹着液晶层 192 的方式贴合衬底 100 和对置衬底 190 来制造本实施方式的液晶显示装置(参照图 7B)。

[0223] 作为源区及漏区,通过将氧化物导电层设置在氧化物半导体层与源电极层及漏电极层之间,可以实现源区及漏区的低电阻化,从而可以使晶体管高速工作。通过将氧化物导电层用作源区及漏区,可以有效地提高外围电路(驱动电路)的频率特性。这是由于以下缘故:与金属电极(Ti 等)和氧化物半导体层的接触相比,金属电极(Ti 等)和氧化物导电层的接触可以降低接触电阻。

[0224] 另外,用于液晶面板中的布线材料的一部分的钼(Mo)(例如,Mo/Al/Mo)存在与氧化物半导体层的接触电阻较大的问题。这是由于以下缘故:与 Ti 相比 Mo 不容易氧化所以其从氧化物半导体层中夺取氧的能力较弱,而导致 Mo 和氧化物半导体层的接触界面不容易 n 型化。但是,即使在这种情况下,通过使氧化物半导体层和源电极层及漏电极层之间夹着氧化物导电层,可以降低接触电阻,从而可以提高外围电路(驱动电路)的频率特性。

[0225] 由于薄膜晶体管的沟道长度由氧化物导电层的蚀刻决定,所以可这些材料形成的绝缘膜来形成平坦化绝缘层 109。

[0226] 对平坦化绝缘层 109 的形成方法没有特别的限制,可以根据其材料利用溅射法、SOG 法、旋涂、浸渍、喷涂、液滴喷射法(喷墨法、丝网印刷、胶版印刷等)、刮片、辊涂机、幕涂机、刮刀涂布机等。在本实施方式中,使用感光性的感光性丙烯酸树脂形成平坦化绝缘层 109。

[0227] 接着,进行第五光刻工序,形成抗蚀剂掩模,通过对平坦化绝缘层 109 及氧化物绝缘膜 107 进行蚀刻来形成到达漏电极层 105b 的接触孔 125,然后去除抗蚀剂掩模(参照图 6D)。另外,还通过该蚀刻形成到达第二端子 122 的接触孔 127 及到达连接电极 120 的接触孔 126。

[0228] 接着,形成具有透光性的导电膜,并进行第六光刻工序来形成抗蚀剂掩模,利用蚀刻去除不需要的部分以形成像素电极层 110、导电层 111、端子电极 128、129,然后去除抗蚀

剂掩模（参照图 7A）。

[0229] 与实施方式 1 同样地，以夹着液晶层 192 的方式贴合衬底 100 和对置衬底 190 来制造本实施方式的液晶显示装置（参照图 7B）。

[0230] 作为源区及漏区，通过将氧化物导电层设置在氧化物半导体层与源电极层及漏电极层之间，可以实现源区及漏区的低电阻化，从而可以使晶体管高速工作。通过将氧化物导电层用作源区及漏区，可以有效地提高外围电路（驱动电路）的频率特性。这是由于以下缘故：与金属电极（Ti 等）和氧化物半导体层的接触相比，金属电极（Ti 等）和氧化物导电层的接触可以降低接触电阻。

[0231] 另外，用于液晶面板中的布线材料的一部分的钼（Mo）（例如，Mo/Al/Mo）存在与氧化物半导体层的接触电阻较大的问题。这是由于以下缘故：与 Ti 相比 Mo 不容易氧化所以其从氧化物半导体层中夺取氧的能力较弱，而导致 Mo 和氧化物半导体层的接触界面不容易 n 型化。但是，即使在这种情况下，通过使氧化物半导体层和源电极层及漏电极层之间夹着氧化物导电层，可以降低接触电阻，从而可以提高外围电路（驱动电路）的频率特性。

[0232] 由于薄膜晶体管的沟道长度由氧化物导电层的蚀刻决定，所以可极绝缘层的表面不直接接触抗蚀剂掩模，所以可以防止栅极绝缘层表面被污染（杂质等的附着等）。因此，可以使栅极绝缘层与氧化物半导体膜、氧化物导电膜之间的界面状态为良好，从而提高可靠性。

[0233] 接着，在氧化物半导体层及氧化物导电层互相层叠的状态下进行脱水化、脱氢化的热处理。通过以 400℃ 至 700℃ 的温度进行热处理，可以进行氧化物半导体层的脱水化、脱氢化，而可以防止此后的水（H₂O）的再次侵入。

[0234] 根据该热处理，只要氧化物导电层不含有氧化硅之类的阻碍晶化的物质就可以使氧化物导电层晶化。氧化物导电层的结晶相对于基底面以柱状生长。其结果，当为了形成源电极层及漏电极层而对氧化物导电层的上层的金属导电膜进行蚀刻时，可以防止形成根切（undercut）。

[0235] 另外，通过氧化物半导体层的脱水化、脱氢化的热处理，可以提高氧化物导电层的导电性。另外，还可以仅对氧化物导电层进行比氧化物半导体层的热处理更低温的热处理。

[0236] 另外，作为氧化物半导体层及氧化物导电层的第一加热处理，也可以对加工为岛状的氧化物半导体层及氧化物导电层之前的氧化物半导体膜及氧化物导电膜进行。在这种情况下，在第一加热处理之后从加热装置取出衬底，然后进行光刻工序。

[0237] 通过上述工序可以得到氧化物半导体层 133、134、氧化物导电层 142、143（参照图 8A）。氧化物半导体层 133 及氧化物导电层 142、氧化物半导体层 134 及氧化物导电层 143 分别为使用相同掩模形成的岛状叠层。

[0238] 接着，进行第四光刻工序，形成抗蚀剂掩模 136a、136b、136c、136d、136e、136f，并根据蚀刻去除金属导电膜的不需要的部分以形成源电极层 105a、漏电极层 105b、源电极层 165a、漏电极层 165b、连接电极 120 及第二端子 122（参照图 8B）。

[0239] 当进行金属导电膜的蚀刻时，以氧化物导电层 142、143 及氧化物半导体层 133、134 不被去除的方式适当地调节各种材料及蚀刻条件。

[0240] 接着，去除抗蚀剂掩模 136a、136b、136c、136d、136e、136f，并以源电极层 105a、漏电极层 105b、源电极层 165a、漏电极层 165b 为掩模对氧化物导电层 142、143 进行蚀刻以形

成氧化物导电层 164a、164b、氧化物导电层 104a、104b (参照图 8C)。作为以氧化锌为成分的氧化物导电层 142、143, 例如可以使用如抗蚀剂剥离液那样的碱性溶液容易地进行蚀刻。

[0241] 因此, 优选利用灰化工序去除抗蚀剂掩模 136a、136b、136c、136d、136e、136f。当进行使用剥离液的蚀刻时, 以氧化物导电层 142、143 及氧化物半导体层 133、134 不被过剩地蚀刻的方式适当地调节各种材料及蚀刻条件。

[0242] 形成接触于氧化物半导体层 133、134 的成为保护绝缘膜的氧化物绝缘膜 107。在本实施方式中, 使用溅射法形成 300nm 厚的氧化硅膜作为氧化物绝缘膜 107。

[0243] 接着, 在惰性气体气氛下或氮气体气氛下进行第二加热处理 (优选是 200℃ 以上且 400℃ 以下, 例如 250℃ 以上且 350℃ 以下)。例如, 在氮气氛下进行 250℃ 且 1 小时的第二加热处理。当进行第二加热处理时, 重叠于氧化物绝缘膜 107 的氧化物半导体层 133、134 的一部分在接触于氧化物绝缘膜 107 的状态下被加热。

[0244] 通过上述工序, 对成膜后的氧化物半导体层进行用于脱水化或脱氢化的加热处理而使其电阻降低之后, 选择性地使氧化物半导体层的一部分处于氧过剩状态。

[0245] 其结果, 在氧化物半导体层 133 中, 与栅电极层 161 重叠的沟道形成区 166 成为 I 型, 重叠于源电极层 165a 及氧化物导电层 164a 的高电阻源区 167a 和重叠于漏电极层 165b 及氧化物导电层 164b 的高电阻漏区 167b 以自对准的方式形成, 并形成有氧化物半导体层 163。同样地, 在氧化物半导体层 134 中, 重叠于栅电极层 101 的沟道形成区 116 成为 I 型, 重叠于源电极层 105a 及氧化物导电层 104a 的高电阻源区 117a 和重叠于漏电极层 105b 及氧化物导电层 104b 的高电阻漏区 117b 以自对准的方式形成, 并形成有氧化物半导体层 103。

[0246] 设置在氧化物半导体层 163、103 和由金属材料构成的漏电极层 105b、漏电极层 165b 之间的氧化物导电层 104b、164b 也发挥作为低电阻漏区 (LRN 区、也称为 LRD 区) 的功能。同样地, 设置在氧化物半导体层 163、103 和由金属材料构成的源电极层 105a、源电极层 165a 之间的氧化物导电层 104a、164a 也发挥作为低电阻源区 (LRN 区、也称为 LRD 区) 的功能。通过采用氧化物半导体层、低电阻漏区、由金属材料构成的漏电极层的结构, 可以进一步提高晶体管的耐压。具体而言, 优选低电阻漏区的载流子浓度大于高电阻漏区 (HRD 区), 例如在 $1 \times 10^{20}/\text{cm}^3$ 以上且 $1 \times 10^{21}/\text{cm}^3$ 以下的范围内。

[0247] 根据上述工序, 可以在同一衬底上, 在驱动电路中形成薄膜晶体管 182 并在像素部中形成薄膜晶体管 172。薄膜晶体管 172、182 是包括高电阻源区、高电阻漏区及包括沟道形成区的氧化物半导体层的底栅型薄膜晶体管。所以, 薄膜晶体管 172、182 具有以下结构: 即使其被施加高电场, 由于高电阻漏区或高电阻源区成为缓冲区而不被施加局部性的高电场, 所以晶体管的耐压性得到提高。

[0248] 接着, 进行第五光刻工序, 形成抗蚀剂掩模, 通过对氧化物绝缘膜 107 进行蚀刻来形成到达漏电极层 105b 的接触孔 125, 然后去除抗蚀剂掩模 (参照图 8D)。另外, 还通过该蚀刻形成到达第二端子 122 的接触孔 127 及到达连接电极 120 的接触孔 126。

[0249] 接着, 形成具有透光性的导电膜, 并进行第六光刻工序来形成抗蚀剂掩模, 利用蚀刻去除不需要的部分以形成像素电极层 110、导电层 111、端子电极 128、129, 然后去除抗蚀剂掩模 (参照图 9A)。

[0250] 与实施方式 1 同样地, 以夹着液晶层 192 的方式贴合衬底 100 和对置衬底 190 来

制造本实施方式的液晶显示装置（参照图 9B）。

[0251] 作为源区及漏区，通过将氧化物导电层设置在氧化物半导体层与源电极层及漏电极层之间，可以实现源区及漏区的低电阻化，从而可以使晶体管高速工作。将氧化物导电层用作源区及漏区可以有效地提高外围电路（驱动电路）的频率特性。这是由于以下缘故：与金属电极（Ti 等）和氧化物半导体层的接触相比，金属电极（Ti 等）和氧化物导电层的接触可以降低接触电阻。

[0252] 通过使氧化物半导体层和源电极层及漏电极层之间夹着氧化物导电层，可以降低接触电阻，从而可以提高外围电路（驱动电路）的频率特性。

[0253] 由于薄膜晶体管的沟道长度由氧化物导电层的蚀刻决定，所以可以将沟道长度形成得较短。例如，可以将沟道长度形成得较短， $0.1\ \mu\text{m}$ 以上且 $2\ \mu\text{m}$ 以下，来可以使工作速度高速化。

[0254] 实施方式 4

[0255] 在此示出以下例子：在第一衬底和第二衬底之间密封有液晶层的液晶显示装置中，将用来与设置在第二衬底的对置电极电连接的共同连接部形成在第一衬底上。另外，在第一衬底上形成有用作开关元件的薄膜晶体管，通过共同地进行共同连接部的制造工序与和像素部的开关元件的制造工序，可以在不使工序复杂化的情况下形成共同连接部和像素部的开关元件。

[0256] 共同连接部配置在与用来粘合第一衬底和第二衬底的密封材料重叠的位置，并通过包含在密封材料中的导电粒子与对置电极电连接。或者，将共同连接部设置在不与密封材料重叠的部分（但是，该部分不包括像素部），并以与共同连接部重叠的方式将包含导电粒子的膏剂与密封材料另行设置，而使共同连接部与对置电极电连接。

[0257] 图 36A 示出将薄膜晶体管和共同连接部制造在同一衬底上的半导体装置的截面结构图。

[0258] 在图 36A 中，与像素电极层 227 电连接的薄膜晶体管 220 是设置在像素部的沟道蚀刻型薄膜晶体管，并且在本实施方式中，该薄膜晶体管采用与实施方式 1 的薄膜晶体管 170 相同的结构。

[0259] 此外，图 36B 是示出共同连接部的俯视图的一个例子的图。并且沿附图中的虚线 C3-C4 的共同连接部的截面图相当于图 36A。另外，在图 36B 中，使用与图 36A 同一附图标记说明与图 36A 相同的部分。

[0260] 共同电位线 210 设置在栅极绝缘层 202 上并利用与薄膜晶体管 220 的源电极层及漏电极层相同的材料及工序制造。

[0261] 此外，共同电位线 210 被保护绝缘层 203 覆盖，并且保护绝缘层 203 在与共同电位线 210 重叠的位置中具有多个开口部。该开口部使用与连接薄膜晶体管 220 的漏电极层和像素电极层 227 的接触孔相同的工序制造。

[0262] 注意，在此由于其面积尺寸大不相同，所以分别将其称为像素部中的接触孔和共同连接部的开口部。另外，在图 36A 中，像素部和共同连接部使用不同的缩尺来图示，例如共同连接部的虚线 C3-C4 的长度为 $500\ \mu\text{m}$ 左右，而薄膜晶体管的宽度小于 $50\ \mu\text{m}$ ，虽然实际上面积尺寸是其 10 倍以上，但是为了容易理解，在图 36A 中分别改变像素部和共同连接部的缩尺而进行图示。

[0263] 另外,共同电极层 206 设置在保护绝缘层 203 上,并使用与像素部的像素电极层 227 相同的材料及工序而制造。

[0264] 如此,与像素部的开关元件的制造工序共同地进行共同连接部的制造工序。优选采用使用金属布线作为共同电位线以降低布线电阻的结构。

[0265] 并且,使用密封材料对设置有像素部和共同连接部的第一衬底和具有对置电极的第二衬底进行固定。

[0266] 当使密封材料包含导电粒子时,以使密封材料与共同连接部重叠的方式对一对衬底进行位置对准。例如,在小型的液晶面板中,在像素部的对角等上与密封材料重叠地配置两个共同连接部。另外,在大型的液晶面板中,与密封材料重叠地配置四个以上的共同连接部。

[0267] 另外,共同电极层 206 是与包含在密封材料中的导电粒子接触的电极,并与第二衬底的对置电极电连接。

[0268] 当使用液晶注入法时,在使用密封材料将一对衬底固定之后,将液晶注入到一对衬底之间。另外,当使用液晶滴落法时,在第二衬底或第一衬底上涂画密封材料,在滴落液晶之后,在减压下对一对衬底进行贴合。

[0269] 另外,在本实施方式中,虽然示出与对置电极电连接的共同连接部的例子,但是不局限于此,还可以将其用作与其他的布线连接的连接部或与外部连接端子等连接的连接部。

[0270] 本实施方式可以与其他实施方式所记载的结构适当地组合而实施。

[0271] 实施方式 5

[0272] 在本实施方式中,图 10 示出薄膜晶体管的制造工序的一部分与实施方式 1 不同的例子。因为图 10 的工序除了其一部分之外与图 1 至图 5 的工序相同,所以使用相同的附图标记表示相同的部分而省略相同的部分的详细说明。

[0273] 首先,根据实施方式 1,在衬底上形成栅电极层、栅极绝缘层及氧化物半导体膜 130,并通过第二光刻工序将氧化物半导体膜 130 加工为岛状的氧化物半导体层 131、132。

[0274] 接着,进行氧化物半导体层 131、132 的脱水化或脱氢化。将进行脱水化或脱氢化的第一加热处理的温度设定为 400℃以上且低于衬底的应变点,优选设定为 425℃以上。注意,当温度为 425℃以上时,加热处理时间为 1 小时以下即可,而当温度低于 425℃时,加热处理时间为长于 1 小时。在此,将衬底放入加热处理装置中之一种的电炉中,并在氮气氛下对氧化物半导体层进行加热处理,然后不使其接触于大气而防止水或氢再次混入到氧化物半导体层,来获得氧化物半导体层。然后,在相同的炉中引入高纯度的氧气体、高纯度的 N₂O 气体或超干燥空气 (ultra dry air) (露点为 -40℃以下,优选为 -60℃以下) 来进行冷却。优选不使氧气体或 N₂O 气体包含水、氢等。或者,优选将引入到加热处理装置的氧气体或 N₂O 气体的纯度设定为 6N(99.9999%) 以上,更优选将其设定为 7N(99.99999%) 以上 (也就是说,将氧气体或 N₂O 气体中的杂质浓度设定为 1ppm 以下,优选设定为 0.1ppm 以下)。

[0275] 另外,加热处理装置不局限于电炉,例如还可以使用 GRTA (Gas Rapid Thermal Anneal, 即气体快速热退火) 装置、LRTA (Lamp Rapid Thermal Anneal, 即灯快速热退火) 装置等的 RTA (Rapid Thermal Anneal) 装置。LRTA 装置是利用从灯如卤素灯、金卤灯、氙弧灯、碳弧灯、高压钠灯或高压汞灯等发出的光 (电磁波) 的辐射加热被处理物的装置。此

外, LRTA 装置除了灯以外还可以具备由从电阻发热体等的发热体的热传导或热辐射来加热被处理物的设备。GRTA 是指使用高温气体进行加热处理的方法。作为气体, 使用即使进行加热处理也不与被处理物产生反应的如氩等的稀有气体或氮。可以利用 RTA 法以 600℃ 至 700℃ 进行几分钟的加热处理。

[0276] 此外, 也可以在进行了脱水化或脱氢化的第一加热处理之后, 在氧气体或 N_2O 气体气氛下以 200℃ 以上且 400℃ 以下, 优选以 200℃ 以下且 300℃ 以下的温度进行加热处理。

[0277] 此外, 也可以对加工为岛状氧化物半导体层之前的氧化物半导体膜 130 进行氧化物半导体层 131、132 的第一加热处理。在此情况下, 在第一加热处理之后从加热装置取出衬底并进行光刻工序。

[0278] 通过上述工序使氧化物半导体膜的整体处于氧过剩状态, 来进行高电阻化, 即 I 型化。由此, 可以得到整体都被 I 型化的氧化物半导体层 168、198。

[0279] 接着, 利用第三光刻工序在氧化物半导体层 168、198 上形成抗蚀剂掩模, 并进行选择性地蚀刻以形成源电极层及漏电极层, 并利用溅射法形成氧化物绝缘膜 107。

[0280] 接着, 为了减少薄膜晶体管的电特性的不均匀, 也可以在惰性气氛下或氮气体气氛下进行加热处理 (优选以 150℃ 以上且低于 350℃)。例如, 在氮气氛下以 250℃ 进行 1 小时的加热处理。

[0281] 利用第四光刻工序形成抗蚀剂掩模, 并通过选择性地蚀刻在栅极绝缘层及氧化物绝缘膜中形成到达第一端子 121、导电层 162、漏电极层 105b 及第二端子 122 的接触孔。在形成具有透光性的导电膜之后, 利用第五光刻工序形成抗蚀剂掩模, 并进行选择性地蚀刻以形成像素电极层 110、端子电极 128、端子电极 129 及布线层 145。

[0282] 在本实施方式中, 示出不隔着连接电极 120 直接连接第一端子 121 和端子电极 128 的例子。另外, 漏电极层 165b 和导电层 162 通过布线层 145 连接。

[0283] 另外, 在电容部中形成有电容 148, 该电容 148 由电容布线 108、栅极绝缘层 102、由与源电极层及漏电极层相同工序形成的金属导电层、氧化物绝缘膜 107 及像素电极层 110 的叠层构成。

[0284] 根据上述工序, 可以在同一衬底上, 在驱动电路中形成薄膜晶体管 183 并在像素部中形成薄膜晶体管 173。

[0285] 与实施方式 1 同样地, 以夹着液晶层 192 的方式贴合衬底 100 和对置衬底 190 来制造本实施方式的液晶显示装置 (参照图 10)。

[0286] 本实施方式可以与其他实施方式所记载的结构适当地组合而实施。

[0287] 实施方式 6

[0288] 在本实施方式中, 下面说明在同一衬底上至少制造驱动电路的一部分和配置在像素部的薄膜晶体管的例子。

[0289] 根据实施方式 1 至 5 形成配置在像素部的薄膜晶体管。此外, 因为实施方式 1 至 5 所示的薄膜晶体管是 n 沟道型 TFT, 所以将驱动电路中的可以由 n 沟道型 TFT 构成的驱动电路的一部分形成在与像素部的薄膜晶体管同一衬底上。

[0290] 图 12A 示出有源矩阵型显示装置的框图的一个例子。在显示装置的衬底 5300 上包括: 像素部 5301; 第一扫描线驱动电路 5302; 第二扫描线驱动电路 5303; 信号线驱动电路 5304。在像素部 5301 中配置有从信号线驱动电路 5304 延伸的多个信号线以及从第一扫

描线驱动电路 5302 及第二扫描线驱动电路 5303 延伸的多个扫描线。此外,在扫描线与信号线的交叉区中将分别具有显示元件的像素设置为矩阵形状。另外,显示装置的衬底 5300 通过 FPC(柔性印刷电路)等连接部连接于时序控制电路 5305(也称为控制器、控制 IC)。

[0291] 在图 12A 中,在与像素部 5301 相同的衬底 5300 上形成第一扫描线驱动电路 5302、第二扫描线驱动电路 5303、信号线驱动电路 5304。由此,设置在外部的驱动电路等的构件的数量减少,所以可以实现成本的降低。另外,可以减少当在衬底 5300 的外部设置驱动电路而使布线延伸时的连接部的连接数量,因此可以提高可靠性或成品率。

[0292] 另外,作为一个例子,时序控制电路 5305 向第一扫描线驱动电路 5302 供应第一扫描线驱动电路启动信号(GSP1)、扫描线驱动电路时钟信号(GCLK1)。此外,作为一个例子,时序控制电路 5305 向第二扫描线驱动电路 5303 供应第二扫描线驱动电路启动信号(GSP2)(也称为起始脉冲)、扫描线驱动电路时钟信号(GCLK2)。时序控制电路 5305 向信号线驱动电路 5304 供应信号线驱动电路启动信号(SSP)、信号线驱动电路时钟信号(SCLK)、视频信号数据(DATA)(也简单地称为视频信号)及锁存信号(LAT)。另外,各时钟信号可以是错开其周期的多个时钟信号或者与使时钟信号反转的信号(CKB)一起供给的信号。另外,可以省略第一扫描线驱动电路 5302 和第二扫描线驱动电路 5303 中的一方。

[0293] 图 12B 示出在与像素部 5301 相同的衬底 5300 上形成驱动频率低的电路(例如,第一扫描线驱动电路 5302、第二扫描线驱动电路 5303),在与像素部 5301 不同的衬底上形成信号线驱动电路 5304 的结构。通过采用该结构,可以使用其场效应迁移率比使用单晶半导体的晶体管小的薄膜晶体管构成形成在衬底 5300 上的驱动电路。从而,可以实现显示装置的大型化、成本的降低或成品率的提高等。

[0294] 另外,实施方式 1 至 5 所示的薄膜晶体管是 n 沟道型 TFT。图 13A 和图 13B 示出由 n 沟道型 TFT 构成的信号线驱动电路的结构、工作的一个例子而说明。

[0295] 信号线驱动电路具有移位寄存器 5601 及开关电路部 5602。开关电路部 5602 具有多个电路,即开关电路 5602_1 至 5602_N(N 是自然数)。开关电路 5602_1 至 5602_N 分别具有多个晶体管,即薄膜晶体管 5603_1 至 5603_k(k 是自然数)。对薄膜晶体管 5603_1 至 5603_k 是 n 沟道型 TFT 的例子进行说明。

[0296] 以开关电路 5602_1 为例子说明信号线驱动电路的连接关系。薄膜晶体管 5603_1 至 5603_k 的第一端子分别连接到布线 5604_1 至 5604_k。薄膜晶体管 5603_1 至 5603_k 的第二端子分别连接到信号线 S1 至 Sk。薄膜晶体管 5603_1 至 5603_k 的栅极连接到布线 5604_1。

[0297] 移位寄存器 5601 具有对布线 5605_1 至 5605_N 依次输出 H 电平(也称为 H 信号、高电源电位水平)的信号,并依次选择开关电路 5602_1 至 5602_N 的功能。

[0298] 开关电路 5602_1 具有控制布线 5604_1 至 5604_k 与信号线 S1 至 Sk 的导通状态(第一端子和第二端子之间的导通)的功能,即将布线 5604_1 至 5604_k 的电位供应还是不供应到信号线 S1 至 Sk 的功能。像这样,开关电路 5602_1 具有作为选择器的功能。另外,薄膜晶体管 5603_1 至 5603_k 分别具有控制布线 5604_1 至 5604_k 与信号线 S1 至 Sk 的导通状态的功能,即将布线 5604_1 至 5604_k 的电位供应到信号线 S1 至 Sk 的功能。像这样,薄膜晶体管 5603_1 至 5603_k 分别具有作为开关的功能。

[0299] 另外,对布线 5604_1 至 5604_k 分别输入视频信号用数据(DATA)。在很多情况下,

视频信号数据 (DATA) 是根据图像信息或图像信号的模拟信号。

[0300] 接着,参照图 13B 的时序图说明图 13A 的信号线驱动电路的工作。图 13B 示出信号 Sout_1 至 Sout_N 及信号 Vdata_1 至 Vdata_k 的一个例子。信号 Sout_1 至 Sout_N 分别是移位寄存器 5601 的输出信号的一个例子,并且信号 Vdata_1 至 Vdata_k 分别是输入到布线 5604_1 至 5604_k 的信号的一个例子。另外,信号线驱动电路的一个工作期间对应于显示装置中的一个栅极选择期间。作为一个例子,一个栅极选择期间被分割为期间 T1 至期间 TN。期间 T1 至期间 TN 分别是用来对属于被选择的行的像素写入视频信号数据 (DATA) 的期间。

[0301] 在本实施方式所示的附图中,有时为了明了地示出,夸大表示各结构的信号波形的畸变。因此,不局限于所示的尺寸。

[0302] 在期间 T1 至期间 TN 中,移位寄存器 5601 将 H 电平的信号依次输出到布线 5605_1 至 5605_N。例如,在期间 T1 中,移位寄存器 5601 将高电平的信号输出到布线 5605_1。然后,薄膜晶体管 5603_1 至 5603_k 导通,所以布线 5604_1 至 5604_k 与信号线 S1 至 Sk 处于导通状态。此时,对布线 5604_1 至 5604_k 输入 Data(S1) 至 Data(Sk)。Data(S1) 至 Data(Sk) 分别通过薄膜晶体管 5603_1 至 5603_k 写入到属于被选择的行的像素中的第一列至第 k 列的像素。通过上述步骤,在期间 T1 至 TN 中,对属于被选择的行的像素的每 k 列按顺序写入视频信号数据 (DATA)。

[0303] 如上所述,通过对每多个列的像素写入视频信号用数据 (DATA),可以减少视频信号数据 (DATA) 的数量或布线的数量。因此,可以减少与外部电路的连接数量。此外,通过对每多个列的像素写入视频信号,可以延长写入时间,因此可以防止视频信号的写入不足。

[0304] 另外,作为移位寄存器 5601 及开关电路部 5602,可以使用由实施方式 1 至 5 所示的薄膜晶体管构成的电路。此时,移位寄存器 5601 所具有的所有晶体管的极性可以只由 n 沟道型构成。

[0305] 参照图 14A 至 14D 及图 15A 和 15B 说明用于扫描线驱动电路及 / 或信号线驱动电路的一部分的移位寄存器的一个方式。

[0306] 扫描线驱动电路具有移位寄存器。此外,有时也可以具有电平移动器、缓冲器。在扫描线驱动电路中,通过对移位寄存器输入时钟信号 (CLK) 及起始脉冲信号 (SP),生成选择信号。所生成的选择信号在缓冲器中被缓冲放大并供应到对应的扫描线。扫描线连接到一行的像素的晶体管的栅电极。而且,由于需要将一行的像素的晶体管同时导通,因此使用能够使大电流流过的缓冲器。

[0307] 移位寄存器具有第一脉冲输出电路 10_1 至第 N 脉冲输出电路 10_N(N 是 3 以上的自然数)(参照图 14A)。对图 14A 所示的移位寄存器的第一脉冲输出电路 10_1 至第 N 脉冲输出电路 10_N 从第一布线 11 供应第一时钟信号 CK1,从第二布线 12 供应第二时钟信号 CK2,从第三布线 13 供应第三时钟信号 CK3,从第四布线 14 供应第四时钟信号 CK4。另外,对第一脉冲输出电路 10_1 输入来自第五布线 15 的起始脉冲 SP1(第一起始脉冲)。此外,对第二级以后的第 n 脉冲输出电路 10_n(n 是 2 以上 N 以上的自然数)输入来自前一级的脉冲输出电路的信号(称为前级信号 OUT(n-1))(n 是 2 以上且 N 以下的自然数)。另外,对第一脉冲输出电路 10_1 输入来自后二级的第三脉冲输出电路 10_3 的信号。同样地,对第二级以后的第 n 脉冲输出电路 10_n 输入来自后二级的第 (n+2) 脉冲输出电路 10_(n+2) 的

信号（后级信号 OUT(n+2)）。从而，从各级的脉冲输出电路输出用来输入到后级及 / 或前二级的脉冲输出电路的第一输出信号（OUT(1) (SR) 至 OUT(N) (SR)）、电连接到其他布线等的第二输出信号（OUT(1) 至 OUT(N)）。另外，如图 14A 所示，由于不对移位寄存器的最后级的两个级输入后级信号 OUT(n+2)，所以作为一个例子，采用另行分别输入第二起始脉冲 SP2、第三起始脉冲 SP3 的结构即可。

[0308] 另外，时钟信号（CK）是以一定间隔反复 H 电平和 L 电平（也称为 L 信号、低电源电位水平）的信号。在此，第一时钟信号（CK1）至第四时钟信号（CK4）依次迟延 1/4 周期。在本实施方式中，利用第一时钟信号（CK1）至第四时钟信号（CK4）而进行脉冲输出电路的驱动的控制等。注意，时钟信号根据所输入的驱动电路有时称为 GCLK、SCLK，在此称为 CK 而说明。

[0309] 第一输入端子 21、第二输入端子 22 及第三输入端子 23 电连接到第一布线 11 至第四布线 14 中的任一个。例如，在图 14A 中，在第一脉冲输出电路 10_1 中，第一输入端子 21 电连接到第一布线 11，第二输入端子 22 电连接到第二布线 12，并且第三输入端子 23 电连接到第三布线 13。此外，在第二脉冲输出电路 10_2 中，第一输入端子 21 电连接到第二布线 12，第二输入端子 22 电连接到第三布线 13，并且第三输入端子 23 电连接到第四布线 14。

[0310] 第一脉冲输出电路 10_1 至第 N 脉冲输出电路 10_N 分别包括第一输入端子 21、第二输入端子 22、第三输入端子 23、第四输入端子 24、第五输入端子 25、第一输出端子 26、第二输出端子 27（参照图 14B）。在第一脉冲输出电路 10_1 中，对第一输入端子 21 输入第一时钟信号 CK1，对第二输入端子 22 输入第二时钟信号 CK2，对第三输入端子 23 输入第三时钟信号 CK3，对第四输入端子 24 输入起始脉冲，对第五输入端子 25 输入后级信号 OUT(3)，从第一输入端子 26 输出第一输出信号 OUT(1) (SR)，从第二输出端子 27 输出第二输出信号 OUT(1)。

[0311] 另外，第一脉冲输出电路 10_1 至第 N 脉冲输出电路 10_N 除了三端子薄膜晶体管（TFT:Thin Film Transistor）之外还可以使用在上述实施方式中说明的四端子薄膜晶体管。图 14C 示出在上述实施方式中说明的四端子薄膜晶体管 28 的等效电路。另外，在本说明书中，当薄膜晶体管隔着半导体层具有两个栅电极时，将位于半导体层的下方的栅电极也称为下方的栅电极，而将位于半导体层的上方的栅电极也称为上方的栅电极。

[0312] 当将氧化物半导体用于薄膜晶体管的包括沟道形成区的半导体层时，因制造工序而有时阈值电压移动到负一侧或正一侧。因此，在将氧化物半导体用于包括沟道形成区的半导体层的薄膜晶体管中，优选采用能够进行阈值电压的控制的结构。通过控制上方及 / 或下方的栅电极的电位，而可以将四端子的薄膜晶体管 28 的阈值电压控制为所希望的值。

[0313] 接着，参照图 14D 说明图 14B 所示的脉冲输出电路的具体的电路结构的一个例子。

[0314] 图 14D 所示的脉冲输出电路具有第一晶体管 31 至第十三晶体管 43。此外，除了上述第一输出端子 21 至第五输出端子 25 以及第一输出端子 26、第二输出端子 27 以外，从被供应第一高电源电位 VDD 的电源线 51、被供应第二高电源电位 VCC 的电源线 52、被供应低电源电位 VSS 的电源线 53 对第一晶体管 31 至第十三晶体管 43 供应信号或电源电位。在此，示出图 14D 的各电源线的电源电位的大小关系：即第一电源电位 VDD 是第二电源电位 VCC 以上的电位，并且第二电源电位 VCC 是大于第三电源电位 VSS 的电位。此外，第一时钟信号（CK1）至第四时钟信号（CK4）是以一定间隔反复 H 电平和 L 电平的信号，并且当 H 电

平时电位为 VDD, 并且当 L 电平时电位为 VSS。另外, 通过使电源线 51 的电位 VDD 高于电源线 52 的电位 VCC, 可以不影响到工作地将施加到晶体管的栅电极的电位抑制得低, 并降低晶体管的阈值的移动, 而可以抑制劣化。另外, 作为第一晶体管 31 至第十三晶体管 43 中的第一晶体管 31、第六晶体管 36 至第九晶体管 39, 使用四端子薄膜晶体管。要求第一晶体管 31、第六晶体管 36 至第九晶体管利用栅电极的控制信号切换连接有成为源极或漏极的电极之一的节点的电位。即, 第一晶体管 31、第六晶体管 36 至第九晶体管是如下晶体管, 即对于输入到栅电极的控制信号的响应越快 (导通电流的上升陡峭), 越可以减少脉冲输出电路的错误工作。因此, 通过使用四端子薄膜晶体管, 可以控制阈值电压, 以可以得到更可以减少错误工作的脉冲输出电路。

[0315] 在图 14D 的第一晶体管 31 中, 第一端子电连接到电源线 51, 第二端子电连接到第九晶体管 39 的第一端子, 栅电极 (下方的栅电极及上方的栅电极) 电连接到第四输入端子 24。在第二晶体管 32 中, 第一端子电连接到电源线 53, 第二端子电连接到第九晶体管 39 的第一端子, 栅电极电连接到第四晶体管 34 的栅电极。在第三晶体管 33 中, 第一端子电连接到第一输入端子 21, 第二端子电连接到第一输出端子 26。在第四晶体管 34 中, 第一端子电连接到电源线 53, 第二端子电连接到第一输出端子 26。在第五晶体管 35 中, 第一端子电连接到电源线 53, 第二端子电连接到第二晶体管 32 的栅电极及第四晶体管 34 的栅电极, 栅电极电连接到第四输入端子 24。在第六晶体管 36 中, 第一端子电连接到电源线 52, 第二端子电连接到第二晶体管 32 的栅电极及第四晶体管 34 的栅电极, 栅电极 (下方的栅电极及上方的栅电极) 电连接到第五输入端子 25。在第七晶体管 37 中, 第一端子电连接到电源线 52, 第二端子电连接到第八晶体管 38 的第二端子, 栅电极 (下方的栅电极及上方的栅电极) 电连接到第三输入端子 23。在第八晶体管 38 中, 第一端子电连接到第二晶体管 32 的栅电极及第四晶体管 34 的栅电极, 栅电极 (下方的栅电极及上方的栅电极) 电连接到第二输入端子 22。在第九晶体管 39 中, 第一端子电连接到第一晶体管 31 的第二端子及第二晶体管 32 的第二端子, 第二端子电连接到第三晶体管 33 的栅电极及第十晶体管 40 的栅电极, 栅电极 (下方的栅电极及上方的栅电极) 电连接到电源线 52。在第十晶体管 40 中, 第一端子电连接到第一输入端子 21, 第二端子电连接到第二输出端子 27, 栅电极电连接到第九晶体管 39 的第二端子。在第十一晶体管 41 中, 第一端子电连接到电源线 53, 第二端子电连接到第二输出端子 27, 栅电极电连接到第二晶体管 32 的栅电极及第四晶体管 34 的栅电极。在第十二晶体管 42 中, 第一端子电连接到电源线 53, 第二端子电连接到第二输出端子 27, 栅电极电连接到第七晶体管 37 的栅电极 (下方的栅电极及上方的栅电极)。在第十三晶体管 43 中, 第一端子电连接到电源线 53, 第二端子电连接到第一输出端子 26, 栅电极电连接到第七晶体管 37 的栅电极 (下方的栅电极及上方的栅电极)。

[0316] 在图 14D 中, 以第三晶体管 33 的栅电极、第十晶体管 40 的栅电极以及第九晶体管 39 的第二端子的连接部分为节点 A。此外, 以第二晶体管 32 的栅电极、第四晶体管 34 的栅电极、第五晶体管 35 的第二端子、第六晶体管 36 的第二端子、第八晶体管 38 的第一端子以及第十一晶体管 41 的栅电极的连接部分为节点 B。

[0317] 图 15A 示出如下信号, 即当将图 14D 所说明的脉冲输出电路应用于第一脉冲输出电路 101 时输入到第一输入端子 21 至第五输入端子 25 的信号或者从第一输出端子 26 及第二输出端子 27 输出的信号。

[0318] 具体而言,对第一输入端子 21 输入第一时钟信号 CK1,对第二输入端子 22 输入第二时钟信号 CK2,对第三输入端子 23 输入第三时钟信号 CK3,对第四输入端子 24 输入起始脉冲,对第五输入端子 25 输入后级信号 OUT(3),从第一输出端子 26 输出第一输出信号 OUT(1) (SR),并且从第二输出端子 27 输出第二输出信号 OUT(1)。

[0319] 此外,薄膜晶体管是指至少具有包括栅极、漏极以及源极的三个端子的元件。另外,在与栅极重叠的区域中具有形成沟道形成区的半导体,因此通过控制栅极的电位,可以通过沟道形成区控制流在漏极和源极之间的电流。在此,因为源极和漏极根据薄膜晶体管的结构或工作条件等而变化,所以很难限定哪个是源极哪个是漏极。因此,有时不将用作源极及漏极的区域称为源极或漏极。在此情况下,作为一个例子,有时将用作源极及漏极的区域分别记为第一端子、第二端子。

[0320] 另外,在图 14D、图 15A 中,也可以另行设置用来通过使节点 A 处于浮动状态来进行自举工作的电容元件。另外,也可以另行设置将其一方的电极电连接到节点 B 的电容元件,以保持节点 B 的电位。

[0321] 在此,图 15B 示出图 15A 所示的具备多个脉冲输出电路的移位寄存器的时序图。此外,在移位寄存器是扫描线驱动电路时,图 15B 中的期间 61 相当于垂直回扫期间,并且期间 62 相当于栅极选择期间。

[0322] 此外,如图 15A 所示,通过设置其栅极被施加第二电源电位 VCC 的第九晶体管 39,在自举工作的前后有如下优点。

[0323] 在没有其栅电极被施加第二电源电位 VCC 的第九晶体管 39 的情况下,当因自举工作而节点 A 的电位上升时,第一晶体管 31 的第二端子的源极电位上升,而该源极电位变大于第一电源电位 VDD。然后,第一晶体管 31 的源极转换为第一端子一侧,即电源线 51 一侧。因此,在第一晶体管 31 中,因为对栅极和源极之间以及栅极和漏极之间施加较大的偏压,所以栅极和源极之间以及栅极和漏极之间受到较大的压力,这会导致晶体管的劣化。于是,通过设置其栅电极被施加第二电源电位 VCC 的第九晶体管 39,虽然因自举工作而节点 A 的电位上升,但是可以不使第一晶体管 31 的第二端子的电位上升。换言之,通过设置第九晶体管 39,可以将对第一晶体管 31 的栅极和源极之间施加的负偏压得值设定得小。由此,由于通过采用本实施方式的电路结构来可以将施加到第一晶体管 31 的栅极和源极之间的负偏压设定得小,所以可以抑制因压力而导致的第一晶体管 31 的劣化。

[0324] 此外,只要在第一晶体管 31 的第二端子和第三晶体管 33 的栅极之间以通过第一端子和第二端子连接的方式设置第九晶体管 39,就对设置第九晶体管 39 的结构没有特别的限制。另外,在采用具有多个本实施方式的脉冲输出电路的移位寄存器时,在其级数与扫描线驱动电路相比多的信号线驱动电路中也可以省略第九晶体管 39,而减少晶体管的数量是优点。

[0325] 另外,通过作为第一晶体管 31 至第十三晶体管 43 的半导体层使用氧化物半导体,可以降低薄膜晶体管的截止电流并提高导通电流及场效应迁移率,并且还可以降低劣化的程度,所以可以减少电路内的错误工作。此外,与使用非晶硅的晶体管相比因对其栅电极施加高电位而导致的晶体管的劣化的程度小。由此,即使对供应第二电源电位 VCC 的电源线供应第一电源电位 VDD 也可以得到相同的工作,并且可以减少引导电路之间的电源线的数量,因此可以实现电路的小型化。

[0326] 另外,即使以对第七晶体管 37 的栅电极(下方的栅电极及上方的栅电极)通过第三输入端子 23 供应的时钟信号、对第八晶体管 38 的栅电极(下方的栅电极及上方的栅电极)通过第二输入端子 22 供应的时钟信号成为对第七晶体管 37 的栅电极(下方的栅电极及上方的栅电极)通过第二输入端子 22 供应的时钟信号、对第八晶体管 38 的栅电极(下方的栅电极及上方的栅电极)通过第三输入端子 23 供应的时钟信号的方式替换接线关系,也具有同样的作用。此外,在图 15A 所示的移位寄存器中,通过从第七晶体管 37 及第八晶体管 38 的状态都是导通状态变化到第七晶体管 37 截止且第八晶体管 38 导通的状态,然后成为第七晶体管 37 截止且第八晶体管 38 截止的状态,而由第二输入端子 22 及第三输入端子 23 的电位降低所产生的节点 B 的电位的降低发生两次,该节点 B 的电位的降低起因于第七晶体管 37 的栅电极的电位的降低及第八晶体管 38 的栅电极的电位的降低。另一方面,在图 15A 所示的移位寄存器中,通过从第七晶体管 37 及第八晶体管 38 的状态都是导通状态变化到第七晶体管 37 导通且第八晶体管 38 截止的状态,然后成为第七晶体管 37 截止且第八晶体管 38 截止的状态,而由第二输入端子 22 及第三输入端子 23 的电位的降低所产生的节点 B 的电位的降低仅发生一次,该节点 B 的电位的降低起因于第八晶体管 38 的栅电极的电位的降低。由此,优选采用通过第三输入端子 23 对第七晶体管 37 的栅电极(下方的栅电极及上方的栅电极)供应的时钟信号并通过第二输入端子 22 对第八晶体管 38 的栅电极(下方的栅电极及上方的栅电极)供应的时钟信号的连接关系。这是由于这样可以使节点 B 的电位的变动次数变小以降低噪声的缘故。

[0327] 像这样,通过采用在将第一输出端子 26 及第二输出端子 27 的电位保持为 L 电平的期间中对节点 B 定期供应 H 电平的信号的结构,可以抑制脉冲输出电路的错误工作。

[0328] 实施方式 7

[0329] 通过制造薄膜晶体管并将该薄膜晶体管用于像素部及驱动电路,可以制造具有显示功能的半导体装置(也称为显示装置)。此外,可以在与像素部同一衬底上一体地形成使用薄膜晶体管的驱动电路的一部分或整体,而形成系统型面板(system-on-panel)。

[0330] 显示装置包括显示元件。作为显示元件,可以使用液晶元件(也称为液晶显示元件)。此外,也可以使用电子墨水等的其对比度因电作用而变化的显示媒体。

[0331] 此外,显示装置包括密封有显示元件的面板和在该面板中安装有包括控制器的 IC 等的模块。再者,相当于制造该显示装置的过程中的显示元件完成之前的一个方式的元件衬底在多个像素的每一个中分别具备用来将电流供应到显示元件的单元。具体而言,元件衬底既可以处于只形成有显示元件的像素电极的状态,又可以处于形成成为像素电极的导电膜之后且通过蚀刻形成像素电极之前的状态,可以是任何状态。

[0332] 注意,本说明书中的显示装置是指图像显示装置、显示装置或光源(包括照明装置)。另外,显示装置还包括:安装有连接器诸如 FPC(Flexible Printed Circuit:柔性印刷电路)、TAB(Tape Automated Bonding:载带自动键合)带或 TCP(Tape Carrier Package:载带封装)的模块;在 TAB 带或 TCP 的端部上设置有印刷线路板的模块;通过 COG(Chip On Glass:玻璃上芯片)方式将 IC(集成电路)直接安装到显示元件上的模块。

[0333] 参照图 16A 至 16C 说明相当于半导体装置的一个方式的液晶显示面板的外观及截面。图 16A、图 16B 是一种面板的平面图,其中利用密封材料 4005 将薄膜晶体管 4010、4011 及液晶元件 4013 密封在第一衬底 4001 和第二衬底 4006 之间。图 16C 相当于沿着图 16A、

图 16B 的 M-N 的截面图。

[0334] 以围绕设置在第一衬底 4001 上的像素部 4002 和扫描线驱动电路 4004 的方式设置有密封材料 4005。此外,在像素部 4002 和扫描线驱动电路 4004 上设置有第二衬底 4006。因此,像素部 4002 和扫描线驱动电路 4004 与液晶层 4008 一起由第一衬底 4001、密封材料 4005 和第二衬底 4006 密封。此外,在第一衬底 4001 上的与由密封材料 4005 围绕的区域不同的区域中安装有信号线驱动电路 4003,该信号线驱动电路 4003 使用单晶半导体膜或多晶半导体膜形成在另行准备的衬底上。

[0335] 注意,对另行形成的驱动电路的连接方法没有特别的限制,而可以采用 COG 方法、引线键合方法或 TAB 方法等。图 16A 是通过 COG 方法安装信号线驱动电路 4003 的例子,并且图 16B 是通过 TAB 方法安装信号线驱动电路 4003 的例子。

[0336] 此外,设置在第一衬底 4001 上的像素部 4002 和扫描线驱动电路 4004 包括多个薄膜晶体管。在图 16C 中例示像素部 4002 所包括的薄膜晶体管 4010 和扫描线驱动电路 4004 所包括的薄膜晶体管 4011。在薄膜晶体管 4010、4011 上设置有保护绝缘层 4020、4021。

[0337] 可以将实施方式 1 至 5 所示的包括氧化物半导体层的可靠性高的薄膜晶体管用于薄膜晶体管 4010、4011。作为用于驱动电路的薄膜晶体管 4011 可以使用实施方式 1 至 5 所示的薄膜晶体管 180、181、182、183,并且作为用于像素的薄膜晶体管 4010 可以使用薄膜晶体管 170、171、172、173。在本实施方式中,薄膜晶体管 4010、4011 是 n 沟道型薄膜晶体管。

[0338] 在绝缘层 4021 上,在与用于驱动电路的薄膜晶体管 4011 的氧化物半导体层的沟道形成区重叠的位置上设置有导电层 4040。通过在与氧化物半导体层的沟道形成区重叠的位置上设置导电层 4040,可以降低 BT 测试前后的薄膜晶体管 4011 的阈值电压的变化量。另外,导电层 4040 的电位可以与薄膜晶体管 4011 的栅电极层相同或不同,并且也可以将导电层 4040 用作第二栅电极层。另外,导电层 4040 的电位可以是 GND、0V 或浮动状态。

[0339] 此外,液晶元件 4013 所具有的像素电极层 4030 与薄膜晶体管 4010 电连接。而且,液晶元件 4013 的对置电极层 4031 形成在第二衬底 4006 上。像素电极层 4030、对置电极层 4031 和液晶层 4008 重叠的部分相当于液晶元件 4013。另外,像素电极层 4030、对置电极层 4031 分别设置有用取向膜的绝缘层 4032、4033,并隔着绝缘层 4032、4033 夹有液晶层 4008。

[0340] 另外,作为第一衬底 4001、第二衬底 4006,可以使用透光衬底,而可以使用玻璃、陶瓷、塑料。作为塑料,可以使用 FRP (Fiberglass-Reinforced Plastics; 纤维增强塑料) 板、PVF (聚氟乙烯) 薄膜、聚酯薄膜或丙烯酸树脂薄膜。

[0341] 此外,附图标记 4035 表示通过对绝缘膜选择性地蚀刻而得到的柱状间隔物,并且它是为控制像素电极层 4030 和对置电极层 4031 之间的距离 (盒间隙 (cell gap)) 而设置的。另外,还可以使用球状间隔物。另外,对置电极层 4031 电连接到设置在与薄膜晶体管 4010 同一衬底上的共同电位线。可以使用共同连接部并通过配置在一对衬底之间的导电粒子电连接对置电极层 4031 和共同电位线。此外,将导电粒子包含在密封材料 4005 中。

[0342] 另外,还可以使用不使用取向膜的呈现蓝相的液晶。蓝相是液晶相的一种,是指当使胆甾相液晶的温度上升时即将从胆甾相转变到各相同性相之前出现的相。由于蓝相只出现在较窄的温度范围内,所以为了改善温度范围而将混合有 5wt% 以上的手性试剂的液晶

组成物用于液晶层 4008。由于包含呈现蓝相的液晶和手性试剂的液晶组成物的响应速度短,即为 1msec 以下,并且它具有光学各向同性,所以不需要取向处理,从而视角依赖性低。

[0343] 另外,除了可以应用于透过型液晶显示装置之外,还可以应用于半透过型液晶显示装置。

[0344] 另外,虽然示出在衬底的外侧(可见一侧)设置偏振片,并且在内侧依次设置着色层(滤色片)、用于显示元件的电极层的液晶显示装置的例子,但是也可以在衬底的内侧设置偏振片。另外,偏振片和着色层的叠层结构也不局限于本实施方式的结构,根据偏振片和着色层的材料或制造工序条件适当地设定即可。另外,还可以设置用作黑底(black matrix)的遮光膜。

[0345] 另外,在薄膜晶体管 4010、4011 上形成有绝缘层 4020。绝缘层 4020 可以使用与实施方式 1 所示的氧化物绝缘膜 107 相同的材料及相同的方法来形成,但是,这里作为绝缘层 4020,利用溅射法形成氧化硅膜。

[0346] 此外,还可以在绝缘层 4020 上形成保护绝缘层。这里,作为保护绝缘层,利用 RF 溅射法形成氮化硅膜(未图示)。

[0347] 另外,形成绝缘层 4021 作为平坦化绝缘膜。作为绝缘层 4021,使用与实施方式 2 所示的平坦化绝缘层 109 相同的材料及方法即可,而可以使用具有耐热性的有机材料如丙烯酸树脂、聚酰亚胺、苯并环丁烯类树脂、聚酰胺、环氧树脂等。另外,除了上述有机材料之外,还可以使用低介电常数材料(low-k 材料)、硅氧烷类树脂、PSG(磷硅玻璃)、BPSG(硼磷硅玻璃)等。另外,也可以通过层叠多个由这些材料形成的绝缘膜来形成绝缘层 4021。

[0348] 对绝缘层 4021 的形成方法没有特别的限制,可以根据其材料利用如下方法及设备:溅射法、SOG 法、旋涂、浸渍、喷涂、液滴喷射法(喷墨法、丝网印刷、胶版印刷等)等的方法;刮片、辊涂机、幕涂机、刮刀涂布机等设备。通过兼作绝缘层 4021 的焙烧工序和对半导体层的退火,可以有效地制造半导体装置。

[0349] 作为像素电极层 4030、对置电极层 4031,可以使用具有透光性的导电材料诸如包含氧化钨的氧化铟、包含氧化钨的氧化铟锌、包含氧化钛的氧化铟、包含氧化钛的氧化铟锡、氧化铟锡(下面表示为 ITO)、氧化铟锌、添加有氧化硅的氧化铟锡等。

[0350] 此外,可以使用包含导电高分子(也称为导电聚合物)的导电组成物形成像素电极层 4030、对置电极层 4031。使用导电组成物形成的像素电极的薄层电阻优选为 $10000 \Omega/\square$ 以下,并且其波长为 550nm 时的透光率优选为 70% 以上。另外,导电组成物所包含的导电高分子的电阻率优选为 $0.1 \Omega \cdot \text{cm}$ 以下。

[0351] 作为导电高分子,可以使用所谓的 π 电子共轭类导电高分子。例如,可以举出聚苯胺或其衍生物、聚吡咯或其衍生物、聚噻吩或其衍生物、或者上述材料中的两种以上的共聚物等。

[0352] 另外,供应到另行形成的信号线驱动电路 4003、扫描线驱动电路 4004 或像素部 4002 的各种信号及电位是从 FPC4018 供应的。

[0353] 连接端子电极 4015 由与液晶元件 4013 所具有的像素电极层 4030 相同的导电膜形成,并且端子电极 4016 由与薄膜晶体管 4011 的源电极层及漏电极层相同的导电膜形成。

[0354] 此外,虽然在图 16A 至 16C 中示出另行形成信号线驱动电路 4003 并将信号线驱动电路 4003 安装在第一衬底 4001 上的例子,但是不局限于该结构。既可以另行形成扫描线

驱动电路而安装,又可以另行仅形成信号线驱动电路的一部分或扫描线驱动电路的一部分而安装。

[0355] 图 17 示出使用通过本说明书所公开的制造方法制造的 TFT 衬底 2600 来构成液晶显示模块作为半导体装置的一个例子。

[0356] 图 17 是液晶显示模块的一个例子,利用密封材料 2602 固定 TFT 衬底 2600 和对置衬底 2601,并在其间设置包括 TFT 等的像素部 2603、包括液晶层的显示元件 2604、着色层 2605 来形成显示区。在进行彩色显示时需要着色层 2605,并且当采用 RGB 方式时,对应于各像素地设置有分别对应于红色、绿色、蓝色的各颜色的着色层。在 TFT 衬底 2600 和对置衬底 2601 的外侧配置有偏振片 2606、偏振片 2607、扩散板 2613。光源由冷阴极管 2610 和反射板 2611 构成,电路衬底 2612 利用柔性线路板 2609 与 TFT 衬底 2600 的布线电路部 2608 连接,并且其中组装有控制电路、电源电路等的外部电路。此外,也可以在偏振片和液晶层之间具有相位差板的状态层叠。

[0357] 作为液晶显示模块,可以采用 TN(扭曲向列:Twisted Nematic)模式、IPS(平面内转换:In-Plane-Switching)模式、FFS(边缘电场转换:Fringe Field Switching)模式、MVA(多畴垂直取向:Multi-domain Vertical Alignment)模式、PVA(垂直取向构型:Patterned Vertical Alignment)模式、ASM(轴对称排列微胞:AxiallySymmetric Aligned Micro-cell)模式、OCB(光学补偿弯曲:OpticalCompensated Birefringence)模式、FLC(铁电性液晶:FerroelectricLiquid Crystal)模式、AFLC(反铁电性液晶:AntiFerroelectric LiquidCrystal)模式等。

[0358] 通过上述工序,可以制造作为半导体装置的可靠性高的液晶显示面板。

[0359] 本实施方式可以与其他实施方式所记载的结构适当地组合而实施。

[0360] 实施方式 8

[0361] 作为本说明书所公开的半导体装置,通过使其具有柔性而可以将其用于电子书阅读器、招贴、电车等的交通工具的车厢广告、信用卡等的各种卡片中的显示等。图 18 示出电子设备的一个例子。

[0362] 图 18 示出电子书阅读器的一个例子。例如,电子书阅读器 2700 由两个框体,即框体 2701 及框体 2703 构成。框体 2701 及框体 2703 由轴部 2711 形成为一体,并且可以以该轴部 2711 为轴进行开闭动作。通过该结构,可以进行如纸的书籍那样的动作。

[0363] 框体 2701 组装有显示部 2705,并且框体 2703 组装有显示部 2707。显示部 2705 及显示部 2707 的结构既可以是显示连屏画面的结构,又可以是显示不同的画面的结构。通过采用显示不同的画面的结构,例如可以在右边的显示部(图 18 中的显示部 2705)中显示文章,并且在左边的显示部(图 18 中的显示部 2707)中显示图像。

[0364] 此外,在图 18 中示出框体 2701 具备操作部等的例子。例如,在框体 2701 中具备电源 2721、操作键 2723、扬声器 2725 等。利用操作键 2723 可以翻页。另外,也可以采用在与框体的显示部同一面上具备键盘、定位装置等的结构。另外,也可以采用在框体的背面或侧面具备外部连接端子(耳机端子、USB 端子或可以与 AC 适配器及 USB 电缆等各种电缆连接的端子等)、记录介质插入部等的结构。再者,电子书阅读器 2700 也可以具有电子词典的功能。

[0365] 此外,电子书阅读器 2700 也可以采用以无线方式收发信息的结构。还可以采用以

无线方式从电子书籍服务器购买所希望的书籍数据等并下载的结构。

[0366] 实施方式 9

[0367] 本说明书所公开的半导体装置可以应用于各种电子设备（也包括游戏机）。作为电子设备，例如可以举出：电视装置（也称为电视或电视接收机）；用于计算机等的监视器；如数码相机、数码摄像机等影像拍摄装置；数码相框；移动电话机（也称为移动电话、移动电话装置）；便携式游戏机；便携式信息终端；声音再现装置；弹珠机等大型游戏机等。

[0368] 图 19A 示出电视装置的一个例子。在电视装置 9600 中，框体 9601 组装有显示部 9603。利用显示部 9603 可以显示影像。此外，在此示出利用支架 9605 支撑框体 9601 的结构。

[0369] 可以通过利用框体 9601 所具备的操作开关、另行提供的遥控操作机 9610 进行电视装置 9600 的操作。通过利用遥控操作机 9610 所具备的操作键 9609，可以进行频道及音量的操作，并可以对在显示部 9603 上显示的影像进行操作。此外，也可以采用在遥控操作机 9610 中设置显示从该遥控操作机 9610 输出的信息的显示部 9607 的结构。

[0370] 另外，电视装置 9600 采用具备接收机、调制解调器等结构。通过利用接收机可以接收一般的电视广播。再者，通过调制解调器连接到有线或无线方式的通信网络，可以进行单向（从发送者到接收者）或双向（在发送者和接收者之间或在接收者之间等）的信息通信。

[0371] 图 19B 示出数码相框的一个例子。例如，在数码相框 9700 中，框体 9701 组装有显示部 9703。显示部 9703 可以显示各种图像，例如通过显示使用数码相机等拍摄的图像数据，可以发挥与一般的相框同样的功能。

[0372] 另外，数码相框 9700 采用具备操作部、外部连接端子（USB 端子、可以与 USB 电缆等的各种电缆连接的端子等）、记录媒体插入部等的结构。这种结构也可以组装到与显示部相同面上，但是通过将它设置在侧面或背面上来提高设计性，所以是优选的。例如，可以对数码相框的记录媒体插入部插入储存有由数码相机拍摄的图像数据的存储器并提取图像数据，然后将所提取的图像数据显示于显示部 9703。

[0373] 此外，数码相框 9700 也可以采用以无线的方式收发信息的结构。也可以采用以无线的方式提取所希望的图像数据并进行显示的结构。

[0374] 图 20A 示出一种便携式游戏机，它由框体 9881 和框体 9891 的两个框体构成，并且通过连接部 9893 可以开闭地连接。框体 9881 安装有显示部 9882，并且框体 9891 安装有显示部 9883。另外，图 20A 所示的便携式游戏机还具备扬声器部 9884、记录介质插入部 9886、LED 灯 9890、输入单元（操作键 9885、连接端子 9887、传感器 9888（包括测定如下因素的功能：力量、位移、位置、速度、加速度、角速度、转速、距离、光、液、磁、温度、化学物质、声音、时间、硬度、电场、电流、电压、电力、辐射线、流量、湿度、倾斜度、振动、气味或红外线）以及麦克风 9889）等。当然，便携式游戏机的结构不局限于上述结构，只要采用至少具备本说明书所公开的半导体装置的结构即可，并且可以采用适当地设置有其它附属设备的结构。图 20A 所示的便携式游戏机具有如下功能：读出储存在记录介质中的程序或数据并将它显示在显示部上的功能；以及通过与其他便携式游戏机进行无线通信而实现信息共享的功能。另外，图 20A 所示的便携式游戏机所具有的功能不局限于此，而可以具有各种各样的功能。

[0375] 图 20B 示出大型游戏机的一例的投币机的一个例子。在投币机 9900 的框体 9901

中安装有显示部 9903。另外,投币机 9900 还具备如起动手柄、停止开关等的操作单元、投币口、扬声器等。当然,投币机 9900 的结构不局限于此,只要采用至少具备本说明书所公开的半导体装置的结构即可。因此,可以采用适当地设置有其它附属设备的结构。

[0376] 图 21A 是示出便携式计算机的一个例子的立体图。

[0377] 在图 21A 所示的便携式计算机中,当将连接上部框体 9301 与下部框体 9302 的铰链装置设置为关闭状态时,可以使具有显示部 9303 的上部框体 9301 与具有键盘 9304 的下部框体 9302 处于重叠状态,而便于携带,并且,当使用者利用键盘进行输入时,将铰链装置设置为打开状态,而可以看着显示部 9303 进行输入操作。

[0378] 另外,下部框体 9302 除了键盘 9304 之外还包括进行输入操作的定位装置 9306。另外,当显示部 9303 为触屏输入面板时,可以通过触摸显示部的一部分来进行输入操作。另外,下部框体 9302 还包括 CPU、硬盘等的计算功能部。此外,下部框体 9302 还具有其它的器件,例如包括用来插入符合 USB 的通信标准的通信电缆的外部连接端口 9305。

[0379] 在上部框体 9301 中还具有通过使它滑动到上部框体 9301 内部而可以收纳的显示部 9307,因此可以实现宽显示画面。另外,使用者可以调节可以收纳的显示部 9307 的画面的方向。另外,当可以收纳的显示部 9307 为触屏输入面板时,通过触摸可以收纳的显示部的一部分来可以进行输入操作。

[0380] 显示部 9303 或可以收纳的显示部 9307 使用如液晶显示面板等的影像显示装置。

[0381] 另外,图 21A 的便携式计算机安装有接收机等,而可以接收电视广播并将影像显示于显示部 9303 或显示部 9307。另外,使用者可以在连接上部框体 9301 与下部框体 9302 的铰链装置处于关闭状态的状态下通过滑动显示部 9307 而使其整个面露出并调整画面角度来观看电视广播。此时,不将铰链装置设置为打开状态来使显示部 9303 进行显示,而仅启动只显示电视广播的电路,所以可以将耗电量控制为最少,这对于电池容量有限的便携式计算机而言是十分有利的。

[0382] 另外,图 21B 是示出像手表一样能够戴在使用者的手臂上的移动电话的一个例子的立体图。

[0383] 该移动电话包括:至少包括具有电话功能的通信装置及电池的主体;用来将主体戴在手臂上的带部 9204;调节带部与手臂的固定状态的调节部 9205;显示部 9201;扬声器 9207;以及麦克风 9208。

[0384] 另外,主体具有操作开关 9203,该操作开关 9203 可以为电源开关、显示转换开关、摄像开始指示开关、或者按一下就可以启动网络的程序的开关等,并且可以利用其对应各种功能。

[0385] 通过用手指或输入笔等触碰显示部 9201;操作操作开关 9203;或者对麦克风 9208 输入声音来进行该移动电话的输入操作。另外,在图 21B 中,示出显示在显示部 9201 上的显示钮 9202,通过用手指等触碰该显示钮 9202 来可以进行输入。

[0386] 另外,主体具有拍摄装置部 9206,该拍摄装置部 9206 具有将通过摄影透镜成像的物体图像转换为电子图像信号的摄影单元。另外,也可以不特别设置拍摄装置部。

[0387] 另外,图 21B 所示的移动电话安装有电视广播的接收机等,而可以接收电视广播并将影像显示于显示部 9201,并且它还具有存储器等的存储装置等,而可以将电视广播录象到存储器中。此外,图 21B 所示的移动电话还可以具有能够收集 GPS 等的位置信息的功

能。

[0388] 显示部 9201 使用如液晶显示面板等的影像显示装置。由于图 21B 所示的移动电话为小型且重量轻,所以其电池容量有限,从而优选将能够使用低耗电量进行驱动的面板用作用于显示部 9201 的显示装置。

[0389] 另外,虽然在图 21B 中示出戴在“手臂”上的方式的电子装置,但是不局限于此,只要是具有能够携带的形状的即可。

[0390] 实施方式 10

[0391] 在本实施方式中,作为半导体装置的一个形式,使用图 22 至图 35 说明具有实施方式 1、2 至 5 所示的薄膜晶体管的显示装置的例子。在本实施方式中,使用图 24 至图 35 说明作为显示元件使用液晶元件的液晶显示装置的例子。作为用于图 24 至图 35 的液晶显示装置的 TFT628、629,可以使用实施方式 1、2 至 5 所示的薄膜晶体管,并且该 TFT628、629 是可以通过实施方式 1、2 至 5 所示的工序同样地制造的电特性及可靠性高的薄膜晶体管。

[0392] 首先,对 VA (Vertical Alignment :垂直取向) 型液晶显示装置进行描述。VA 是指一种控制液晶显示面板的液晶分子的排列的方式,并是一种在没有施加电压时液晶分子朝垂直于面板表面的方向排列的方式。在本实施方式中,特别地,将像素分成多个区域(子像素),并分别将分子朝不同的方向推倒。这称为多畴 (multi-domain) 化、或者多畴设计。在下面的说明中,对考虑多畴设计的液晶显示装置进行说明。

[0393] 图 23 及图 24 分别示出像素电极及对置电极。图 23 是形成像素电极的衬底一侧的平面图,并且将沿图中所示的切断线 E-F 的截面结构示出于图 22。另外,图 24 是形成对置电极的衬底一侧的平面图。下面,参照这些附图进行说明。

[0394] 图 22 示出衬底 600 和对置衬底 601 重叠且注入有液晶的状态,在该衬底 600 上形成有 TFT628、与 TFT628 连接的像素电极层 624 以及存储电容部 630,并在该对置衬底 601 上形成有对置电极层 640 等。

[0395] 虽然没有图示,但在对置衬底 601 上的形成有隔离物的位置上形成有第一着色膜、第二着色膜、第三着色膜及对置电极层 640。通过采用该结构,使用于控制液晶取向的突起 644 和间隔物的高度彼此不同。在像素电极层 624 上形成有取向膜 648,同样地,在对置电极层 640 上也形成有取向膜 646。在衬底 600 与对置衬底 601 之间形成有液晶层 650。

[0396] 既可以形成柱状间隔物,又可以散布珠状间隔物。当间隔物具有透光性时,也可以在形成在衬底 600 上的像素电极层 624 上形成间隔物。

[0397] 在衬底 600 上形成有 TFT628、与 TFT628 连接的像素电极层 624 以及存储电容部 630。像素电极层 624 通过接触孔 623 连接到布线 618,该接触孔分别贯穿:覆盖 TFT628、布线 618 及存储电容部 630 的绝缘膜 620;以及覆盖绝缘膜 620 的第三绝缘膜 622。作为 TFT628,可以适当地使用实施方式 1、2、5 及 6 所示的薄膜晶体管。

[0398] 通过像素电极层 624、液晶层 650 以及对置电极层 640 重叠,形成液晶元件。

[0399] 图 23 示出衬底 600 上的结构。像素电极层 624 使用实施方式 1 所示的材料来形成。在像素电极层 624 中设置有狭缝 625。狭缝 625 用来控制液晶取向。

[0400] 图 23 所示的 TFT629、与 TFT629 连接的像素电极层 626 及存储电容部 631 可以分别与 TFT628、像素电极层 624 及存储电容部 630 同样地形成。TFT628 和 TFT629 都连接到布线 616。该液晶面板的像素由像素电极层 624 及像素电极层 626 构成。像素电极层 624

及像素电极层 626 是子像素。

[0401] 图 24 示出对置衬底一侧的结构。对置电极层 640 优选使用与像素电极层 624 同样的材料形成。在对置电极层 640 上形成有用来控制液晶取向的突起 644。

[0402] 图 25 示出该像素结构的等效电路。TFT628 和 TFT629 都连接到栅极布线 602 和布线 616。在此情况下,通过使电容布线 604 的电位和电容布线 605 的电位不同,可以使液晶元件 651 和液晶元件 652 进行不同的工作。就是说,通过分别控制电容布线 604 和电容布线 605 的电位,精密地控制液晶的取向并扩大视角。

[0403] 当对设置有狭缝 625 的像素电极层 624 施加电压时,在狭缝 625 附近发生电场的畸变(倾斜电场)。通过互相咬合地配置所述狭缝 625 和对置衬底 601 一侧的突起 644,有效地产生倾斜电场来控制液晶的取向,从而根据其位置使液晶具有彼此不同的取向方向。就是说,通过进行多畴化来扩大液晶显示面板的视角。

[0404] 接着,参照图 26 至图 39 说明与上述不同的 VA 型液晶显示装置。

[0405] 图 26 及图 27 示出 VA 型液晶显示面板的像素结构。图 27 是衬底 600 的平面图,而图 26 示出沿图中所示的切断线 Y-Z 的截面结构。在该像素结构中,一个像素具有多个像素电极,并且各像素电极连接到 TFT。各 TFT 通过不同栅极信号驱动。就是说,在以多畴方式设计的像素中,独立地控制施加到各像素电极的信号。

[0406] 像素电极层 624 在接触孔 623 中使用布线 618 连接到 TFT628。另外,像素电极层 626 在接触孔 627 中使用布线 619 连接到 TFT629。TFT628 的栅极布线 602 和 TFT629 的栅极布线 603 彼此分离,以能够提供不同的栅极信号。另一方面,TFT628 和 TFT629 共通使用用作数据线的布线 616。TFT628 和 TFT629 可以适当地使用实施方式 1、2、5 及 6 所示的薄膜晶体管。

[0407] 像素电极层 624 和像素电极层 626 具有不同的形状,并且被狭缝 625 彼此分离。像素电极层 626 被形成围绕呈 V 字状扩展的像素电极层 624 的外侧。通过使用 TFT628 及 TFT629 使施加到像素电极层 624 和像素电极层 626 的电压不相同,来控制液晶的取向。图 29 示出该像素结构的等效电路。TFT628 连接到栅极布线 602,而 TFT629 连接到栅极布线 603。另外,TFT628 和 TFT629 都与布线 616 连接。通过对栅极布线 602 和栅极布线 603 提供不同的栅极信号,可以使液晶元件 651 和液晶元件 652 的工作时序互不相同。也就是说,通过单独地控制 TFT628 和 TFT629 的工作,能够对液晶元件 651 和液晶元件 652 的液晶取向进行精密地控制从而可以扩大视角。

[0408] 在对置衬底 601 上形成有着色膜 636、对置电极层 640。此外,在着色膜 636 和对置电极层 640 之间形成有平坦化膜 637,以防止液晶取向的错乱。图 28 示出对置衬底一侧的结构。不同的像素之间共同使用对置电极层 640,该对置电极层 640 形成有狭缝 641。通过互相咬合地配置所述狭缝 641 与像素电极层 624 及像素电极层 626 一侧的狭缝 625,可以有效地产生倾斜电场来控制液晶的取向。由此,可以根据其位置使液晶具有彼此不同的取向方向,从而扩大视角。另外,在图 28 中,使用虚线表示图 26 所示的形成在衬底 600 上的像素电极层 624 及像素电极层 626,并示出对置电极层 640 与像素电极层 624 及像素电极层 626 重叠配置的样子。

[0409] 在像素电极层 624 及像素电极层 626 上形成有取向膜 648,同样地,在对置电极层 640 上也形成有取向膜 646。衬底 600 与对置衬底 601 之间形成有液晶层 650。另外,通过

像素电极层 624、液晶层 650 和对置电极层 640 相重叠,形成第一液晶元件。另外,通过像素电极层 626、液晶层 650 和对置电极层 640 相重叠,形成第二液晶元件。图 26 至图 29 所说明的显示面板的像素结构采用在一个像素中设置有第一液晶元件和第二液晶元件的多畴结构。

[0410] 接着,说明横向电场方式的液晶显示装置。横向电场方式是指通过对单元内的液晶分子沿水平方向施加电场来驱动液晶而显示灰度的方式。通过横向电场方式,可以使视角增大到大约 180 度。以下,对采用横向电场方式的液晶显示装置进行说明。

[0411] 图 32 示出将衬底 600 和对置衬底 601 重叠并注入有液晶的状态,在该衬底 600 上形成有电极层 607、TFT628 及与 TFT628 连接的像素电极层 624。在对置衬底 601 上形成有着色膜 636 以及平坦化膜 637 等。另外,不在对置衬底 601 一侧设置对置电极。此外,在衬底 600 和对置衬底 601 之间隔着取向膜 646 及取向膜 648 形成有液晶层 650。

[0412] 在衬底 600 上,形成有电极层 607 以及与电极层 607 连接的电容布线 604 及 TFT628。电容布线 604 可以与 TFT628 的栅极布线 602 同时形成。TFT628 可以使用实施方式 1 至 5 所示的薄膜晶体管。电极层 607 可以使用与实施方式 1 至 5 所示的像素电极层相同的材料。另外,电极层 607 形成为大致分割成像素形状的形状。另外,在电极层 607 及电容布线 604 上形成栅极绝缘膜 606。

[0413] 在栅极绝缘膜 606 上形成 TFT628 的布线 616 及 618。布线 616 是在液晶显示面板中传送视频信号的数据线,并是沿一个方向延伸的布线,并且布线 616 与 TFT628 的源区或漏区连接而成为源极及漏极中的一方的电极。布线 618 是成为源区及漏区中另一方的电极且与像素电极层 624 连接的布线。

[0414] 在布线 616 及布线 618 上形成绝缘膜 620。另外,在绝缘膜 620 上形成通过形成于绝缘膜 620 中的接触孔 623 连接到布线 618 的像素电极层 624。像素电极层 624 使用与实施方式 1 至 5 所示的像素电极相同的材料形成。

[0415] 如上所述,在衬底 600 上形成 TFT628 以及与 TFT628 连接的像素电极层 624。再者,存储电容通过在电极层 607 和像素电极层 624 之间设置栅极绝缘膜 606 而形成。

[0416] 图 31 是说明像素电极的结构平面图。图 30 示出对应于图 31 所示的切断线 O-P 的截面结构。在像素电极层 624 中设置狭缝 625。该狭缝 625 用来控制液晶的取向。在此情况下,电场在电极层 607 和像素电极层 624 之间发生。在电极层 607 和第像素电极层 624 之间设置有栅极绝缘膜 606,但是栅极绝缘膜 606 的厚度为 50nm 以上且 200nm 以下,该厚度与 $2\mu\text{m}$ 以上且 $10\mu\text{m}$ 以下的液晶层的厚度相比充分薄,因此在实际上在平行于衬底 600 的方向(水平方向)上发生电场。该电场控制液晶的取向。通过利用该大致平行于衬底的方向的电场使液晶分子水平地旋转。在此情况下,由于液晶分子在任何状态下均为水平,所以观看角度导致的对比度等的影响很少,从而扩大视角。而且,电极层 607 和像素电极层 624 都是透光电极,因此可以提高开口率。

[0417] 接着,说明横向电场方式的液晶显示装置的另一例。

[0418] 图 32 及图 33 示出 IPS 型液晶显示装置的像素结构。图 33 是平面图,而图 32 示出沿图 33 中所示的切断线 V-W 的截面结构。

[0419] 图 32 示出衬底 600 与对置衬底 601 重叠且注入有液晶的状态,在该衬底 600 上形成有 TFT628 及与 TFT628 连接的像素电极层 624。在对置衬底 601 上形成有着色膜 636、平

坦化膜 637 等。另外,由于像素电极设置在衬底 600 一侧,所以不在对置衬底 601 一侧设置对置电极层。在衬底 600 和对置衬底 601 之间隔着取向膜 646 及取向膜 648 形成有液晶层 650。

[0420] 在衬底 600 上形成共同电位线 609 及 TFT628。共同电位线 609 可以与 TFT628 的栅极布线 602 同时形成。TFT628 使用实施方式 1 至 5 所示的薄膜晶体管。

[0421] TFT628 的布线 616 及布线 618 形成在栅极绝缘膜 606 上。布线 616 是在液晶面板中传送视频信号的数据线,并是沿一个方向延伸的布线,并且布线 616 与 TFT628 的源区或漏区连接而成为源极及漏极中一方的电极。布线 618 成为源极及漏极中另一方的电极,并且布线 618 是与像素电极层 624 连接的布线。

[0422] 在布线 616 及布线 618 上形成绝缘膜 620。另外,在绝缘膜 620 上形成通过形成在绝缘膜 620 中的接触孔 623 连接到布线 618 的像素电极层 624。像素电极层 624 使用与实施方式 1 至 5 所示的像素电极层同样的材料形成。如图 33 所示,像素电极层 624 以与在形成共同电位线 609 的同时形成的梳形电极形成横向电场的方式而形成。并且,像素电极层 624 的梳齿部分与在形成共同电位线 609 的同时形成的梳形电极互相咬合。

[0423] 当在施加到像素电极层 624 的电位和共同电位线 609 的电位之间产生电场时,由该电场控制液晶的取向。通过利用该大致平行于衬底的方向的电场使液晶分子水平地旋转。在此情况下,由于液晶分子在任何状态下也处于水平,所以观看角度导致的对比度等的影响很少,从而视角扩大。

[0424] 如上所述,在衬底 600 上形成 TFT628 以及与 TFT628 连接的像素电极层 624。另外,存储电容通过在共同电位线 609 和电容电极 615 之间设置栅极绝缘膜 606 而形成。电容电极 615 和像素电极层 624 通过接触孔 633 连接。

[0425] 下面,示出 TN 型液晶显示装置的方式。

[0426] 图 34 及图 35 示出 TN 型液晶显示装置的像素结构。图 35 是平面图,而图 34 示出沿图 35 所示的 K-L 线的截面结构。下面,参照上述两个附图进行说明。

[0427] 像素电极层 624 通过形成在绝缘膜 620 中的接触孔 623 及布线 618 连接到 TFT628。用作数据线的布线 616 与 TFT628 连接。TFT628 可以应用实施方式 1 至 5 所示的任何 TFT。

[0428] 像素电极层 624 使用实施方式 1 至 5 所示的像素电极层而形成。电容布线 604 可以与 TFT628 的栅极布线 602 同时形成。在栅极布线 602 及电容布线 604 上形成栅极绝缘膜 606。存储电容通过在电容布线 604 与电容电极 615 之间夹着栅极绝缘膜 606 而形成。电容电极 615 和像素电极层 624 通过接触孔 623 连接。

[0429] 在对置衬底 601 上形成有着色膜 636 及对置电极层 640。而且,在着色膜 636 和对置电极层 640 之间形成有平坦化膜 637,以防止液晶的取向混乱。液晶层 650 通过在像素电极层 624 和对置电极层 640 之间夹着取向膜 648 及取向膜 646 而形成。

[0430] 像素电极层 624、液晶层 650 及对置电极层 640 重叠,从而形成液晶元件。

[0431] 此外,也可以将着色膜 636 形成在衬底 600 一侧。此外,将偏振片贴合在与衬底 600 的形成薄膜晶体管的面相反一侧的面上,并将偏振片贴合在与对置衬底 601 的形成对置电极层 640 的面相反一侧的面上。

[0432] 通过上述工序,作为显示装置可以制造液晶显示装置。

[0433] 实施方式 11

[0434] 在本实施方式中,参照图 37 对本发明的一个方式的半导体装置的制造方法的其他的例子进行说明。

[0435] 在具有绝缘表面的衬底上形成栅电极层(图 37 的 S101)。栅电极层可以通过使用钼、钛、铬、钽、钨、铝、铜、钕、铈等的金属材料或以这些金属材料为主要成分的合金材料的单层或叠层来形成。

[0436] 在栅电极层上形成栅极绝缘层(图 37 的 S102)。可以利用等离子体 CVD 法或溅射法等形成氧化硅层、氮化硅层、氧氮化硅层、氮氧化硅层或氧化铝层的单层或叠层作为栅极绝缘层。在本实施方式中,利用等离子体 CVD 法形成厚度为 200nm 以下的氮化硅层作为栅极绝缘层。

[0437] 接着,在栅极绝缘层上形成厚度为 2nm 以上且 200nm 以下的氧化物半导体膜(图 37 的 S103)。在本实施方式中,使用 In-Ga-Zn-O 类氧化物半导体靶材并通过溅射法形成 In-Ga-Zn-O 类氧化物半导体膜。

[0438] 接着,使用通过光刻工序形成的抗蚀剂掩模对氧化物半导体膜进行蚀刻,以形成岛状的氧化物半导体层(图 37 的 S104)。

[0439] 接着,进行氧化物半导体层的脱水化或脱氢化的加热处理。将进行脱水化或脱氢化的加热处理的温度设定为 400℃以上且低于 700℃(图 37 的 S105)。在本实施方式中,在氮气氛下进行 450℃的加热处理。这里,将衬底放入到加热处理装置之一的电炉中,并在氮气氛下对氧化物半导体层进行加热处理之后,不使其接触于大气而防止水或氢再次混入到氧化物半导体层,而形成氧化物半导体层。在本实施方式中,在氮气氛下使用同一炉将氧化物半导体层的温度从进行氧化物半导体层的脱水化或脱氢化所需的加热温度 T 缓冷到水无法再次混入的温度,具体而言,在氮气氛下将氧化物半导体层的温度降低到比加热温度 T 低 100℃以上的温度。另外,不局限于氮气氛,而在氦、氖、氩等稀有气体气氛下进行脱水化或脱氢化。

[0440] 通过在 400℃至 700℃的温度下对氧化物半导体层进行热处理,可以实现氧化物半导体层的脱水化、脱氢化,从而可以防止此后水(H₂O)再浸入。

[0441] 另外,加热处理装置不局限于电炉,例如还可以使用 GRTA(GasRapid Thermal Anneal,即气体快速热退火)装置、LRTA(Lamp RapidThermal Anneal,即灯快速热退火)装置等的 RTA(Rapid ThermalAnneal)装置。LRTA 装置是利用从灯如卤素灯、金卤灯、氙弧灯、碳弧灯、高压钠灯或高压汞灯等发出的光(电磁波)的辐射加热被处理物的装置。此外,LRTA 装置除了灯以外还可以具备由从电阻发热体等的发热体的热传导或热辐射来加热被处理物的设备。GRTA 是指使用高温气体进行加热处理的方法。作为气体,使用即使进行加热处理也不与被处理物产生反应的如氩等的稀有气体或氮。可以利用 RTA 法以 600℃至 700℃进行几分钟的加热处理。

[0442] 另外,在脱水化或脱氢化的加热处理中,优选氮或氦、氖、氩等的稀有气体不包含水、氢等。尤其是,以 400℃至 700℃的氧化物半导体层的脱水化、脱氢化的加热处理,优选在 H₂O 为 20ppm 以下的氮气氛下进行。另外,优选将导入于加热处理装置中的氮或氦、氖、氩等的稀有气体的纯度设定为 6N(99.9999%)以上,优选设定为 7N(99.99999%)以上(即,将杂质浓度设定为 1ppm 以下,优选设定为 0.1ppm 以下)。

[0443] 接着,使用通过光刻工序形成的抗蚀剂掩模去除栅极绝缘层的不需要的部分,以

在栅极绝缘层中形成开口（接触孔）（图 37 的 S106）。

[0444] 接着，在氧化物半导体层上利用溅射法或真空蒸镀法形成由金属材料构成的金属导电膜。

[0445] 作为金属导电膜的材料，可以举出选自 Al、Cr、Cu、Ta、Ti、Mo、W 中的元素、以上述元素为成分的合金、组合上述元素的合金膜等。另外，金属导电膜可以采用单层结构或两层以上的叠层结构。例如，可以举出：包含硅的铝膜的单层结构；在铝层上层叠钛膜的两层结构；Ti 膜、层叠在该 Ti 膜上的铝膜、在其上层叠的 Ti 膜的三层结构等。另外，也可以使用：组合铝与选自钛（Ti）、钽（Ta）、钨（W）、钼（Mo）、铬（Cr）、钕（Nd）、Sc（钪）中的一个或多个元素的膜、合金膜或氮化膜。

[0446] 在对金属导电膜进行加热处理的情况下，优选金属导电膜具有能够耐受该加热处理的耐热性。

[0447] 接着，进行光刻工序，以形成抗蚀剂掩模，并通过对金属导电膜的蚀刻去除不需要的部分而形成源电极层及漏电极层（参照图 37 的 S107）。

[0448] 另外，当进行金属导电膜的蚀刻时，以氧化物半导体层不被去除的方式适当地调节各种材料及蚀刻条件。

[0449] 在本实施方式中，将 Ti 膜、Al 膜及 Ti 膜的叠层用作金属导电膜，将 In-Ga-Zn-O 类氧化物用作氧化物半导体层，并且将过氧化氢铵水（铵、水、过氧化氢水的混合液）用作蚀刻剂。

[0450] 接着，在形成氧化物绝缘膜的处理室内对靶材及衬底进行加热处理（图 37 的 S108）。在加热处理之后，对靶材及衬底进行冷却（图 37 的 S109），而在室温下形成氧化物绝缘膜（图 37 的 S110）。将加热温度设定为 100℃ 以上且 250℃ 以下即可。

[0451] 将氧化物绝缘膜的厚度至少设定为 1nm 以上（优选为 100nm 以上且 500nm 以下），并且可以适当地使用溅射法等防止水、氢等的杂质混入到氧化物绝缘膜的方法来形成氧化物绝缘膜。在本实施方式中，使用溅射法形成 300nm 厚的氧化硅膜作为氧化物绝缘膜。将形成膜时的衬底温度设定为室温以上且 300℃ 以下即可，在本实施方式中将该衬底温度设定为室温。可以在稀有气体（典型为氩）气氛下、在氧气气氛下或者在稀有气体（典型为氩）和氧的气氛下通过溅射法形成氧化硅膜。另外，作为靶材，可以使用氧化硅靶材或硅靶材。例如，可以使用硅靶材在氧气气氛下通过溅射法形成氧化硅。接触于被低电阻化的氧化物半导体层地形成的氧化物绝缘膜使用不包含水分、氢离子、OH 等的杂质且阻挡上述杂质从外部侵入的无机绝缘膜，典型地使用氧化硅膜、氮氧化硅膜、氧化铝膜或者氧氮化铝膜等。

[0452] 另外，还可以在氧化物绝缘膜上形成保护绝缘膜。例如，使用 RF 溅射法形成氮化硅膜。由于 RF 溅射法的量产性高，所以作为保护绝缘层的成膜方法是优选的。保护绝缘层使用不包含水分、氢离子或 OH 等的杂质并防止上述杂质从外部侵入的无机绝缘膜，例如使用氮化硅膜、氮化铝膜、氮氧化硅膜或氧氮化铝膜等。在本实施方式中，使用氮化硅膜形成保护绝缘层。

[0453] 作为氧化物绝缘膜，既可以利用溅射法（氧气气氛下、室温）形成厚度为 100nm 的氧化硅膜，也可以利用溅射法（氮及氩气氛下、室温）形成厚度为 100nm 的保护绝缘层的叠层。

[0454] 此外，在形成氧化物绝缘膜之后，也可以在惰性气体气氛下或氮气体气氛下进行

加热处理（优选是 200℃ 以上且 400℃ 以下，例如 250℃ 以上且 350℃ 以下）。例如，在氮气气氛下以 250℃ 进行 1 小时的加热处理。

[0455] 接着选择性地蚀刻氧化物绝缘膜及保护绝缘层以形成开口（图 37 的 S111）。还可以在保护绝缘层上形成平坦化绝缘层。根据平坦化绝缘层的材料及形成方法，有时在形成时进行 250℃ 左右的加热处理，在这种情况下，可以省略在形成上述氧化物绝缘膜之后的在惰性气体气氛下或在氮气体气氛下的加热处理。

[0456] 接着，形成具有透光性的导电膜。使用溅射法或真空蒸镀法等形成氧化铟（ In_2O_3 ）或氧化铟氧化锡合金（ $\text{In}_2\text{O}_3\text{-SnO}_2$ ，简称为 ITO）等作为具有透光性的导电膜的材料。作为具有透光性的导电膜的其他材料，可以使用含有氮的 Al-Zn-O 类非单晶膜，即 Al-Zn-O-N 类非单晶膜、含有氮的 Zn-O 类非单晶膜、含有氮的 Sn-Zn-O 类非单晶膜。另外，Al-Zn-O-N 类非单晶膜的锌的组成比（原子百分比）是 47 原子% 以下，该锌的组成比大于非单晶膜中的铝的组成比（原子百分比），并且非单晶膜中的铝的组成比（原子百分比）大于非单晶膜中的氮的组成比（原子百分比）。上述材料的蚀刻处理使用盐酸类的溶液进行。但是，由于对 ITO 的蚀刻特别容易产生残渣，因此也可以使用氧化铟氧化锌合金（ $\text{In}_2\text{O}_3\text{-ZnO}$ ），以便改善蚀刻加工性。

[0457] 接着，进行光刻工序形成抗蚀剂掩模，并通过蚀刻去除具有透光性的导电膜的不需要的部分来形成像素电极层及导电层，然后去除抗蚀剂掩模（参照图 37 的 S112）。

[0458] 接着，在大气中，以 100℃ 以上且 200℃ 以下的温度进行 1 小时以上且 30 小时以下的加热处理（图 37 的 S113）。在本实施方式中以 150℃ 进行 10 小时的加热处理。作为该加热处理，既可以在保持一定的加热温度的情况下进行，也可以将温度反复多次地从室温升至 100℃ 以上且 200℃ 以下再从加热温度降至室温的情况下进行。另外，该加热处理还可以在形成氧化物绝缘膜之前在减压下进行。当在减压下进行加热处理时，可以缩短加热时间。通过该加热处理，氢被从氧化物半导体层中引入到氧化物绝缘层中，从而可以获得常关闭状态的薄膜晶体管。由此可以提高半导体装置的可靠性。

[0459] 根据上述工序，可以在同一衬底上在驱动电路部及像素部中制造薄膜晶体管。

[0460] 可以通过与实施方式 1 同样地夹着液晶层贴合对置衬底来制造本实施方式的液晶显示装置。

[0461] 实施方式 12

[0462] 在本实施方式中，图 38 示出从截面看时使用氮化物绝缘膜围绕氧化物半导体层的例子。由于图 38 与图 1 除了氧化物绝缘层的上表面形状及端部的位置不同以及栅极绝缘层的结构不同之外其他都相同，所以使用相同的符号表示相同的部分并省略对相同部分的详细说明。

[0463] 设置在驱动电路中的薄膜晶体管 180 为沟道蚀刻型的薄膜晶体管，并在具有绝缘表面的衬底 100 上包括栅电极层 161、由氮化物绝缘膜构成的第一栅极绝缘层 188、由氧化物绝缘膜构成的第二栅极绝缘层 187a、氧化物半导体层 163、源电极层 165a 及漏电极层 165b。另外，覆盖薄膜晶体管 180 地设置有接触于氧化物半导体层 163 的沟道形成区的氧化物绝缘层 177a。在氧化物绝缘层 177a 上还形成有保护绝缘层 178，并且在氧化物绝缘层 177a 上的与栅电极层 161 及氧化物半导体层 163 重叠的位置上还设置有导电层 111。

[0464] 设置在像素部中的薄膜晶体管 170 为沟道蚀刻型薄膜晶体管，并在具有绝缘表面

的衬底 100 上包括栅电极层 101、由氮化物绝缘膜构成的第一栅极绝缘层 188、由氧化物绝缘膜构成的第二栅极绝缘层 187b、氧化物半导体层 103、源电极层 105a 及漏电极层 105b。另外,覆盖薄膜晶体管 170 地设置有接触于氧化物半导体层 103 的沟道形成区的氧化物绝缘层 177b。在氧化物绝缘层 177b 上还形成有保护绝缘层 178,并且在保护绝缘层 178 上设置有接触于漏电极层 105b 的像素电极层 110。

[0465] 在本实施方式中,在薄膜晶体管 170、180 中栅极绝缘层采用由栅电极层一侧的氮化物绝缘膜和氧化物绝缘膜构成的叠层结构。此外,当形成氧化物绝缘层的开口时,选择性地去除第二栅极绝缘层的氧化物绝缘膜并以露出氮化物绝缘膜的方式进行加工。

[0466] 至少氧化物绝缘层 177a、177b、第二栅极绝缘层 187a、187b 的上表面形状宽于氧化物半导体层 163、103 的上表面形状,并且优选氧化物绝缘层 177a、177b、第二栅极绝缘层 187a、187b 的上表面覆盖薄膜晶体管 180、170。

[0467] 并且,覆盖氧化物绝缘层 177a、177b 的上表面及侧面并以接触于第一栅极绝缘层的氮化物绝缘膜的方式形成由氮化物绝缘膜构成的保护绝缘层 178。

[0468] 作为由氮化物绝缘膜构成的保护绝缘层 178 及第一栅极绝缘层 188,使用通过溅射法或等离子体 CVD 法获得的氮化硅膜、氧氮化硅膜、氮化铝膜、氧氮化铝膜等的不包含水分、氢离子或 OH⁻ 等的杂质并阻挡上述杂质从外部侵入的无机绝缘膜。

[0469] 在本实施方式中,作为由氮化物绝缘膜构成的保护绝缘层 178,以围绕氧化物半导体层 163、103 的上表面及侧面的方式通过 RF 溅射法形成厚度为 100nm 的氮化硅膜。另外,保护绝缘层 178 接触于由氮化物绝缘膜构成的第一栅极绝缘层 188。

[0470] 通过采用图 38 所示的结构,可以在形成由氮化物绝缘膜构成的保护绝缘层 178 之后的制造步骤中防止来自外部的水分的侵入。此外,即使在将器件作为半导体装置,如作为液晶显示装置而完成之后,也可以长期防止来自外部的水分的侵入,所以能够提高器件的长期可靠性。

[0471] 另外,虽然在本实施方式中示出使用氮化物绝缘膜围绕一个薄膜晶体管的结构,但并不局限于此,而还可以采用使用氮化物绝缘膜围绕多个薄膜晶体管的结构或者使用氮化物绝缘膜围绕像素部的多个薄膜晶体管的结构。以至少围绕有源矩阵衬底的像素部的边缘的方式设置保护绝缘层 178 与第一栅极绝缘层 188 接触的区域。

[0472] 本实施方式可以与其他实施方式所记载的结构适当地组合而实施。

[0473] 本说明书根据 2009 年 8 月 7 日在日本专利局受理的日本专利申请编号 2009-185317 而制作,所述申请内容包括在本说明书中。

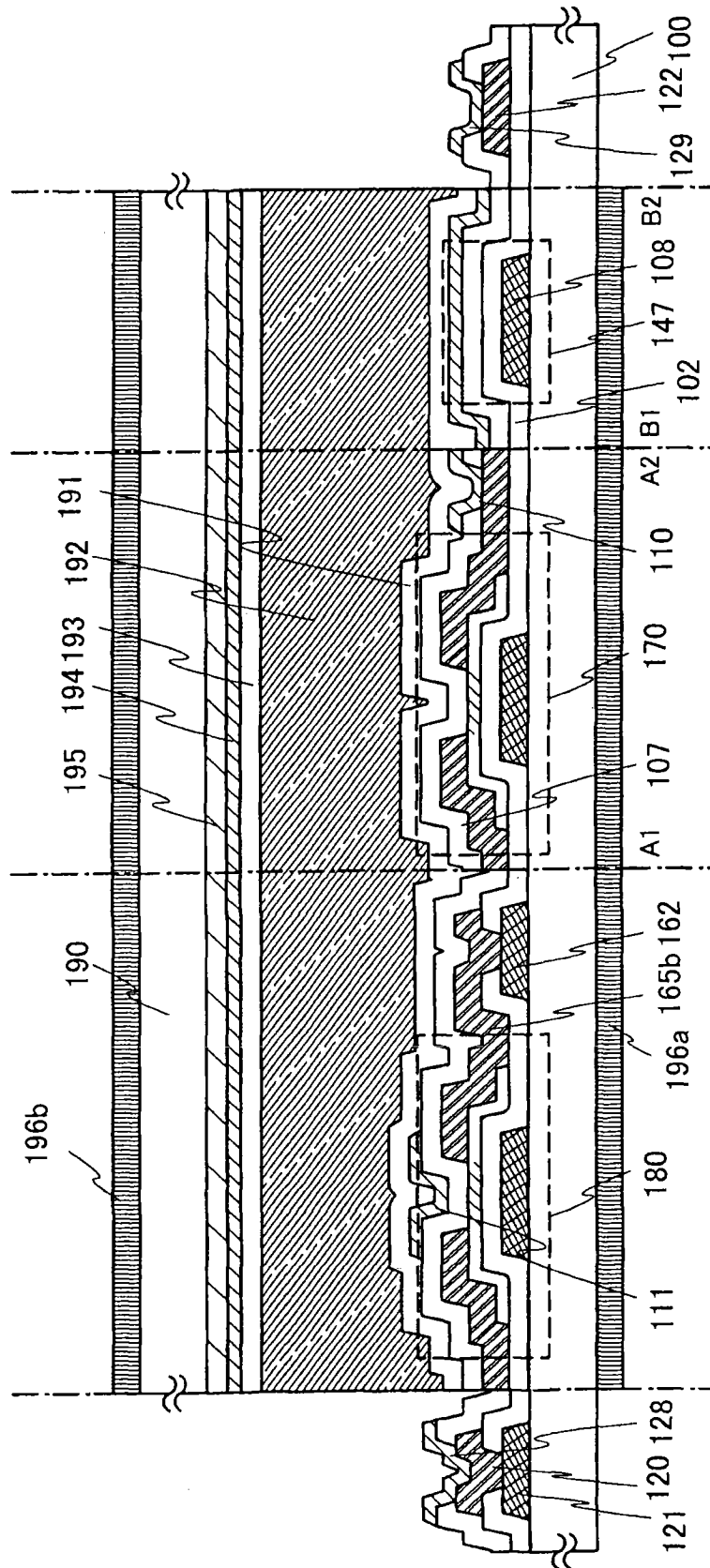
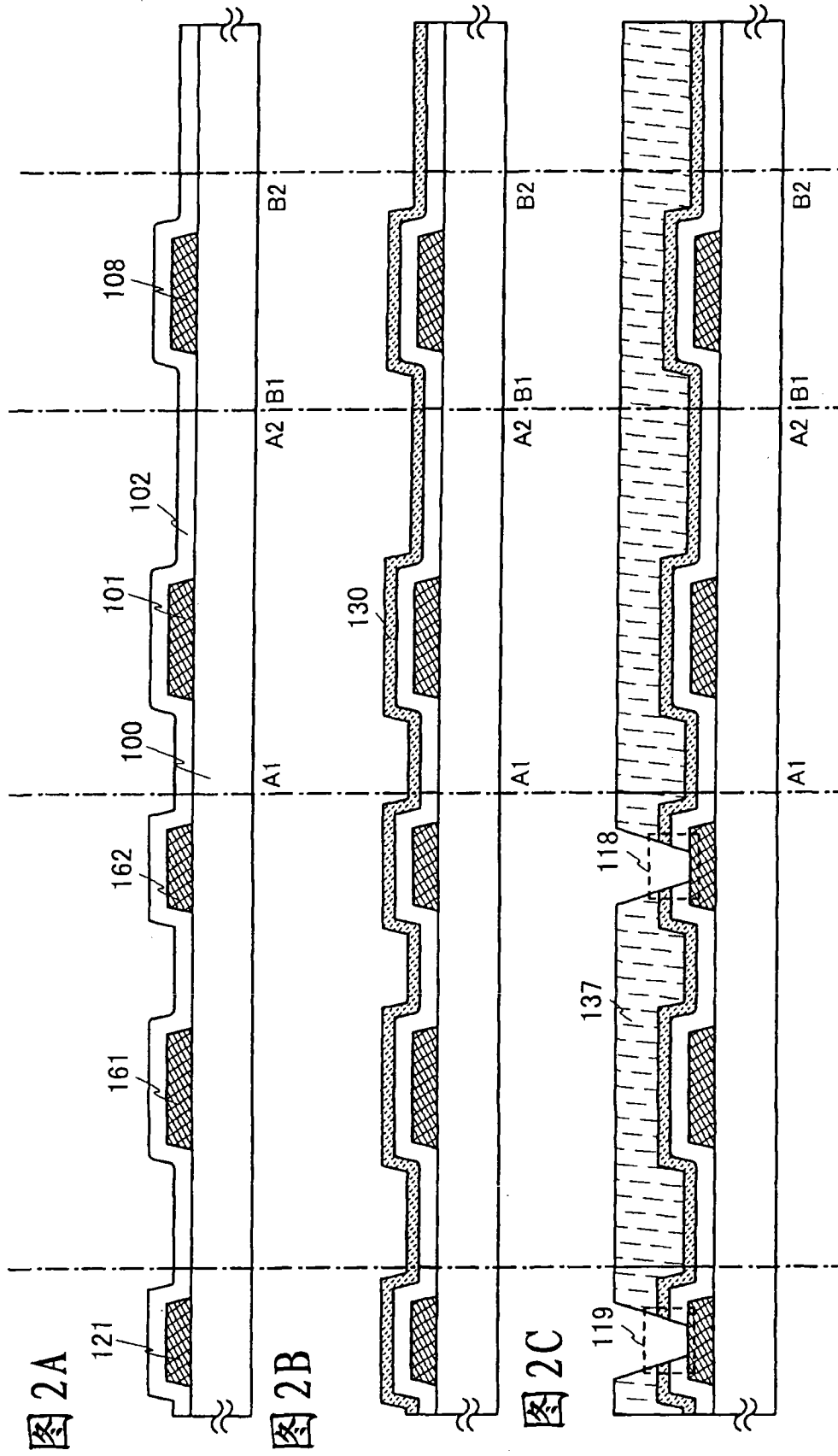
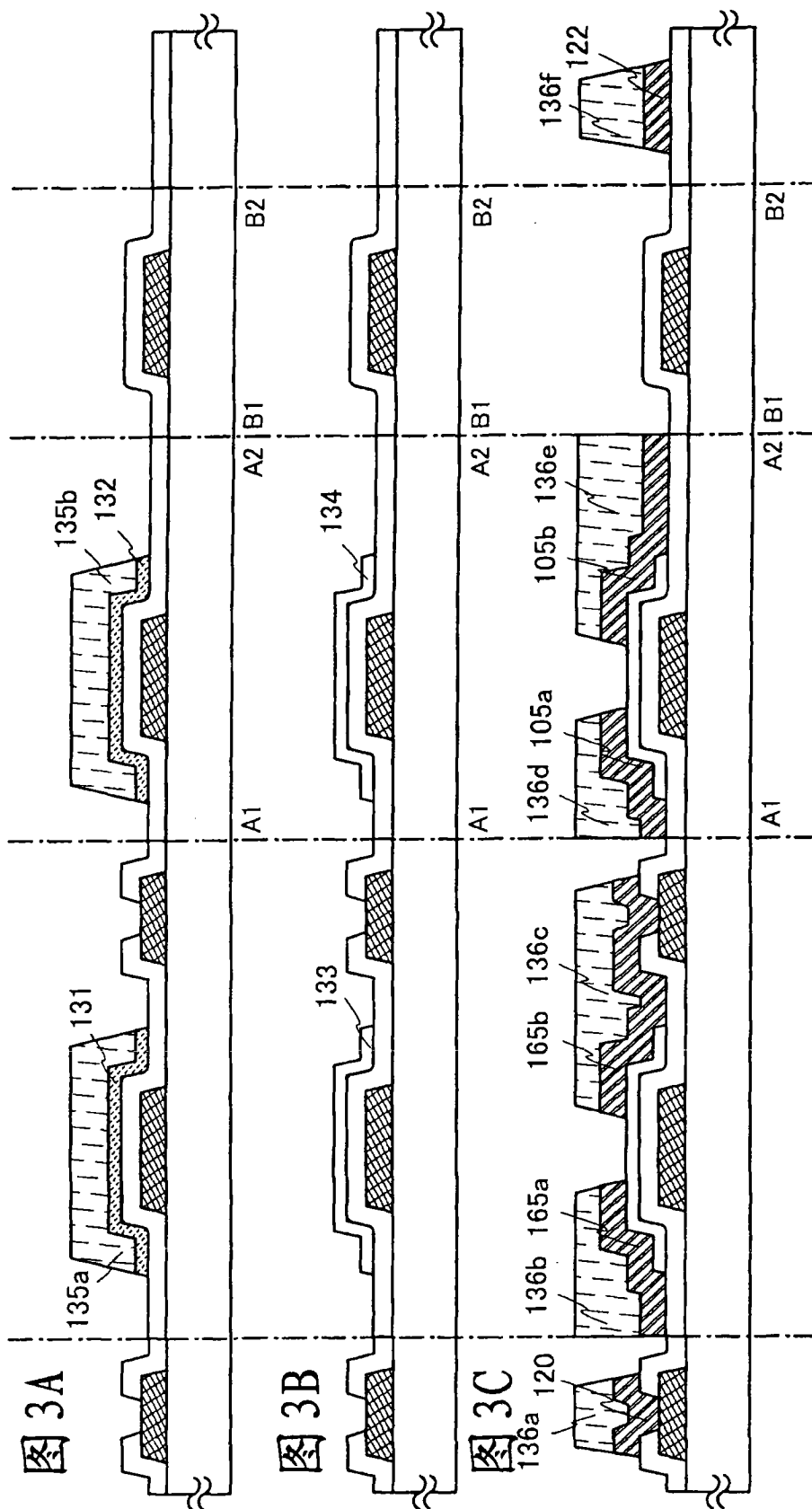
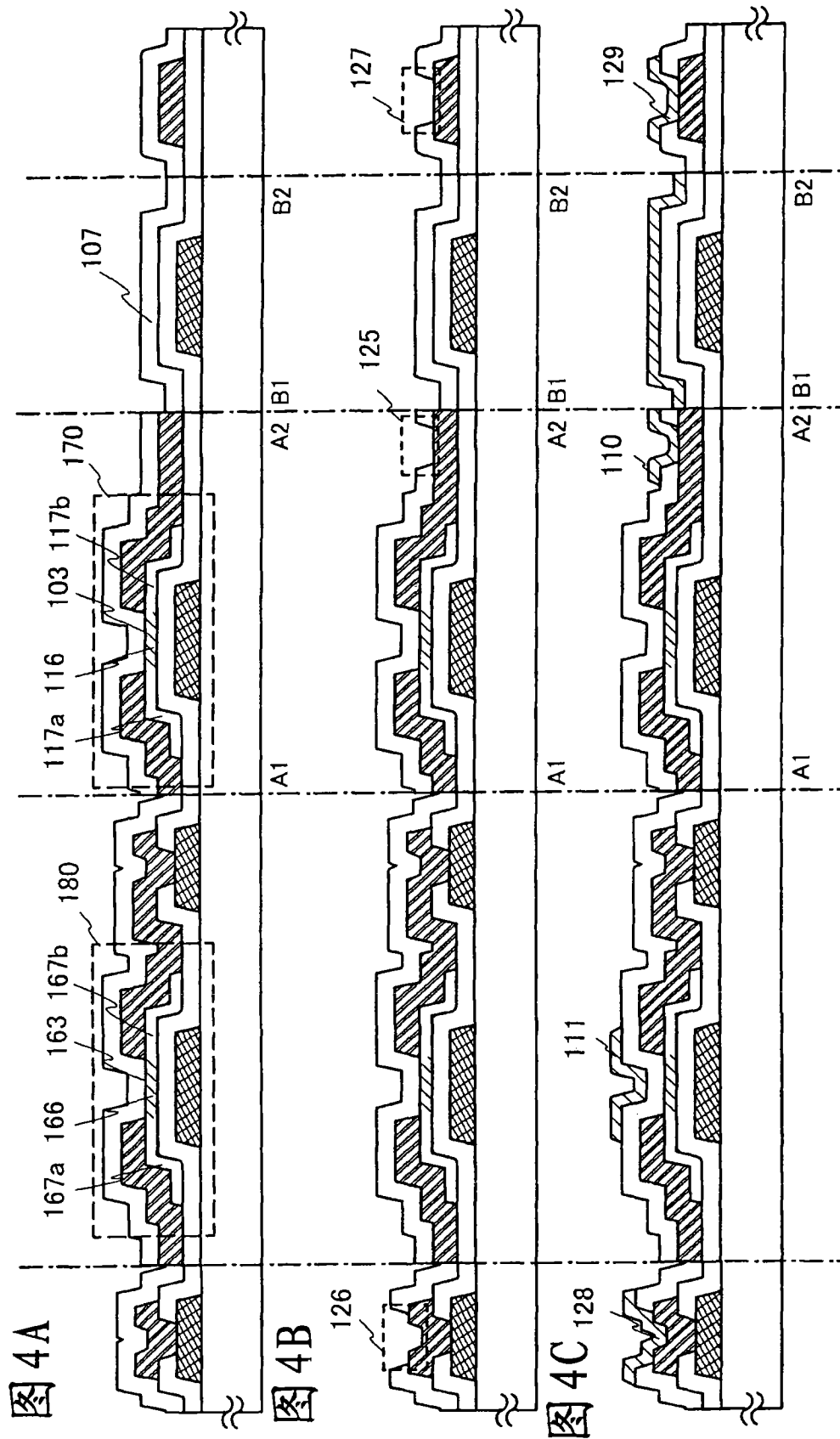


图 1







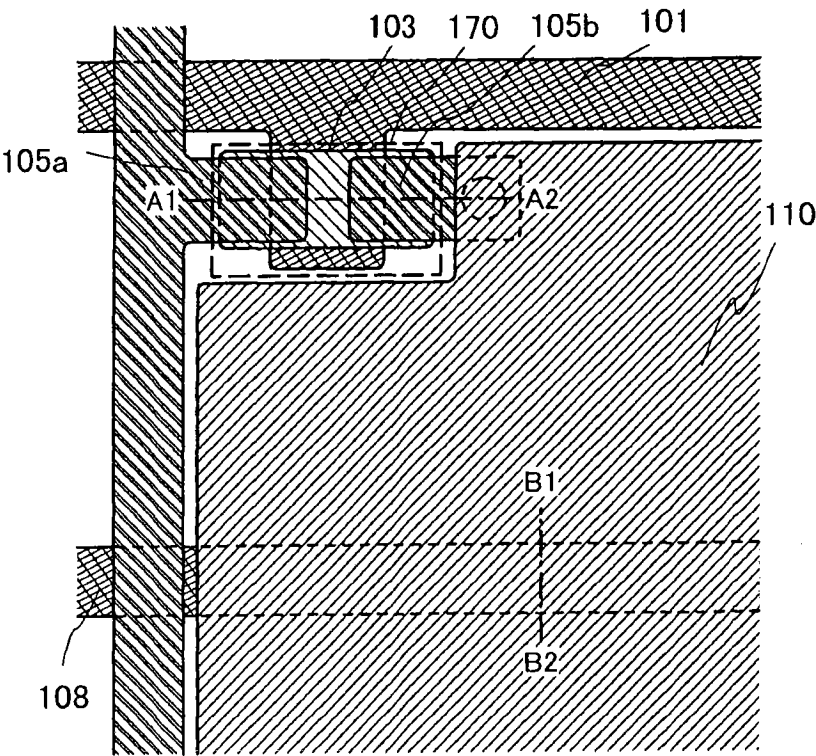
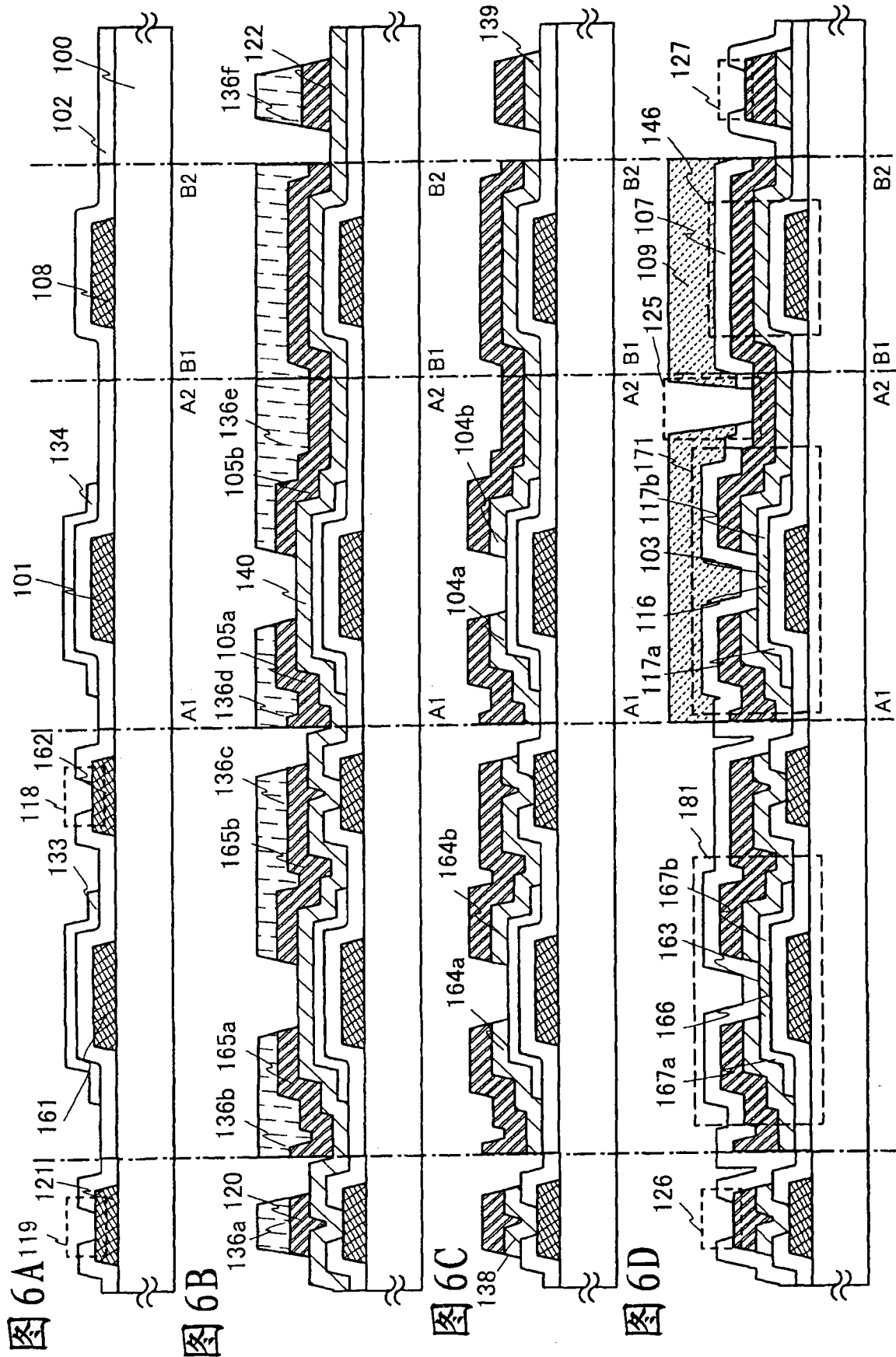
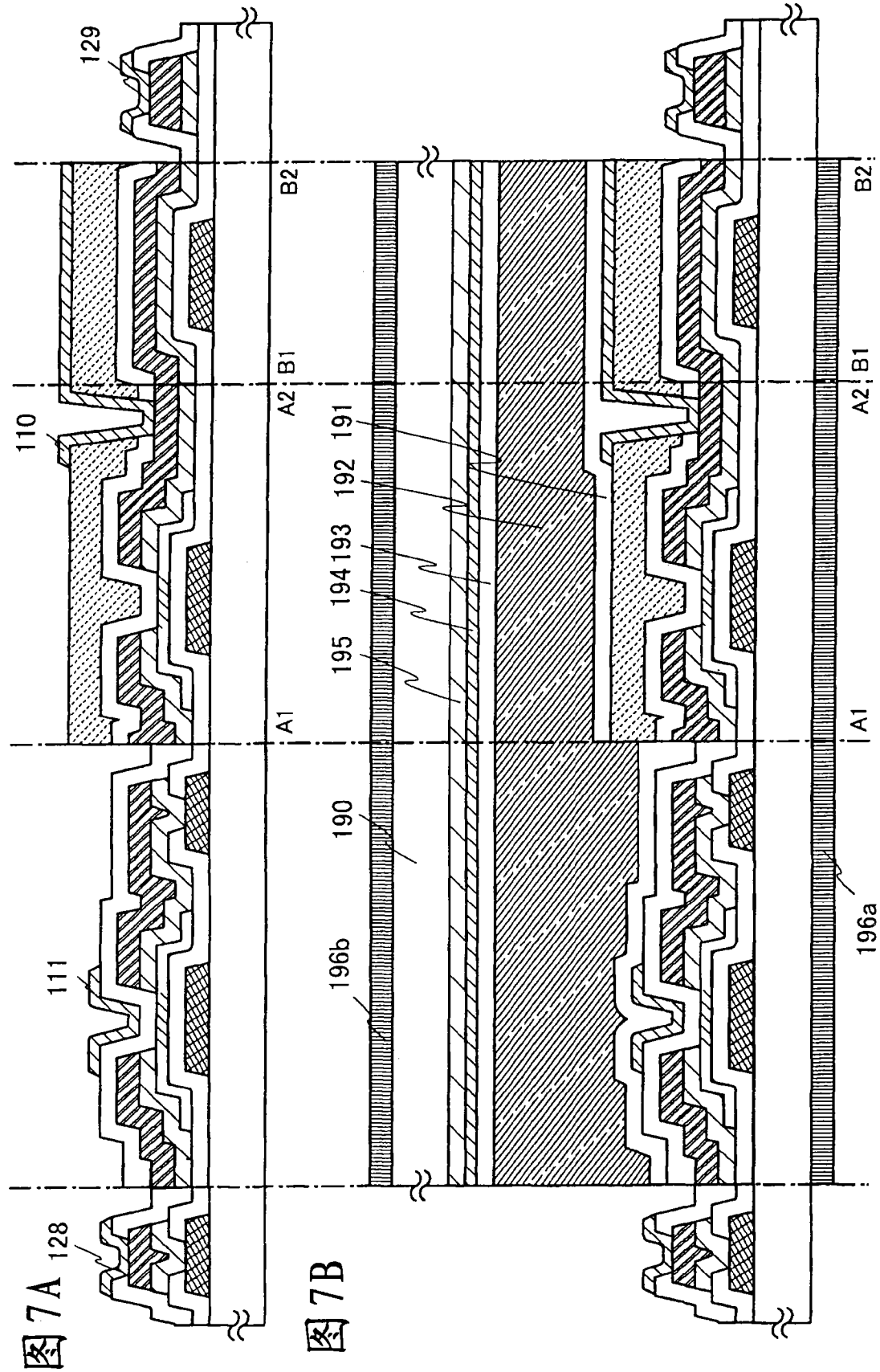


图 5





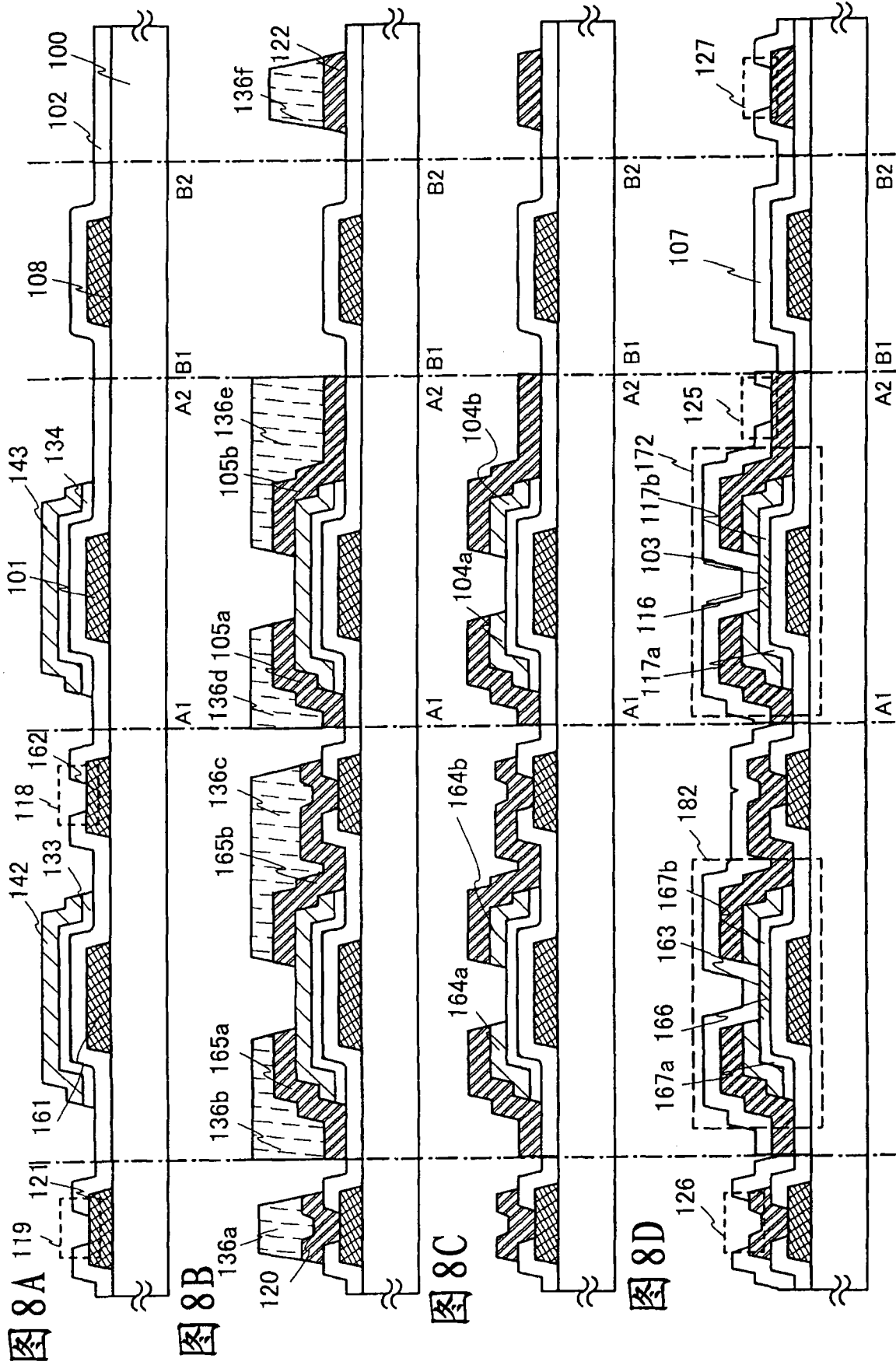


图 9A

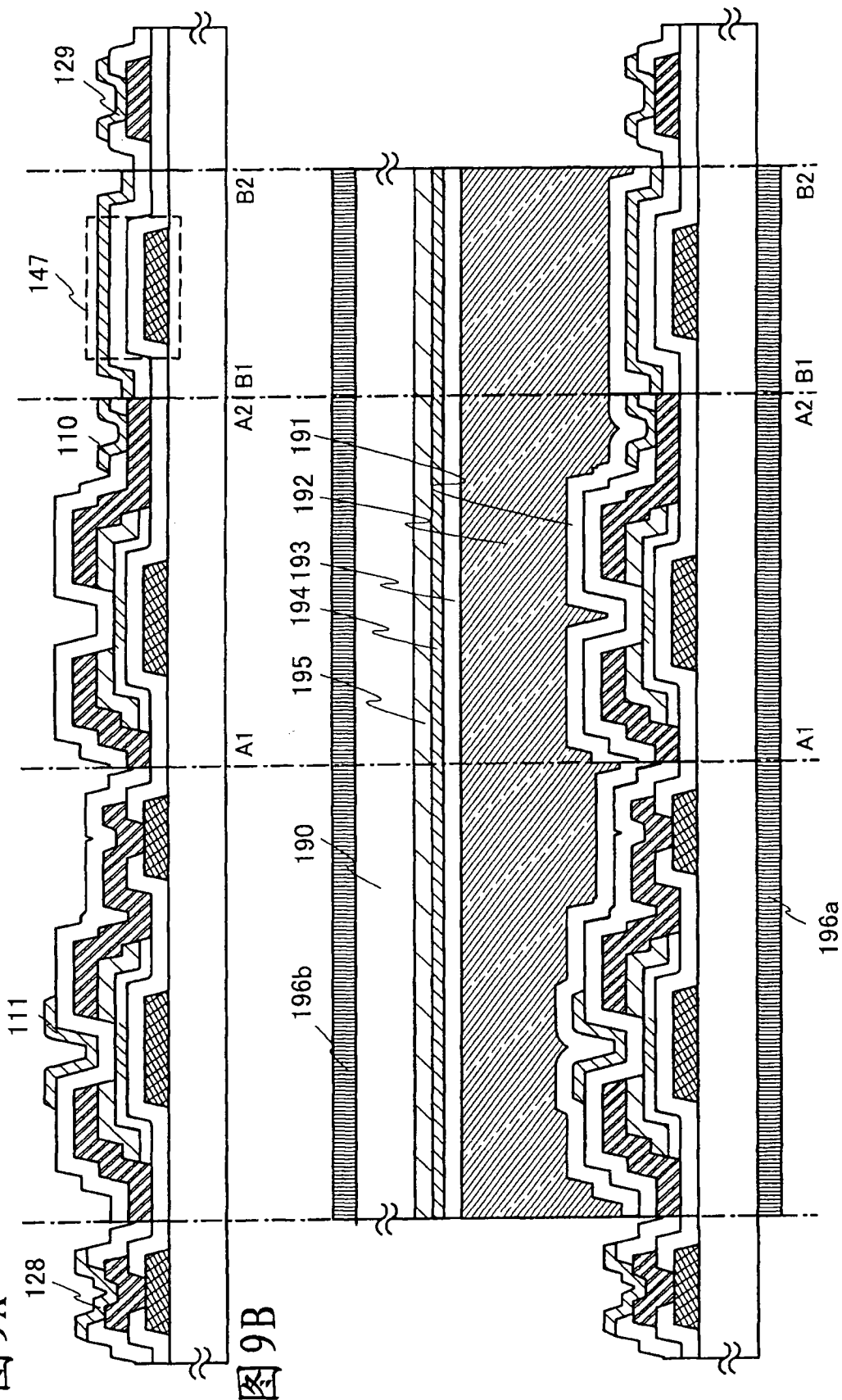
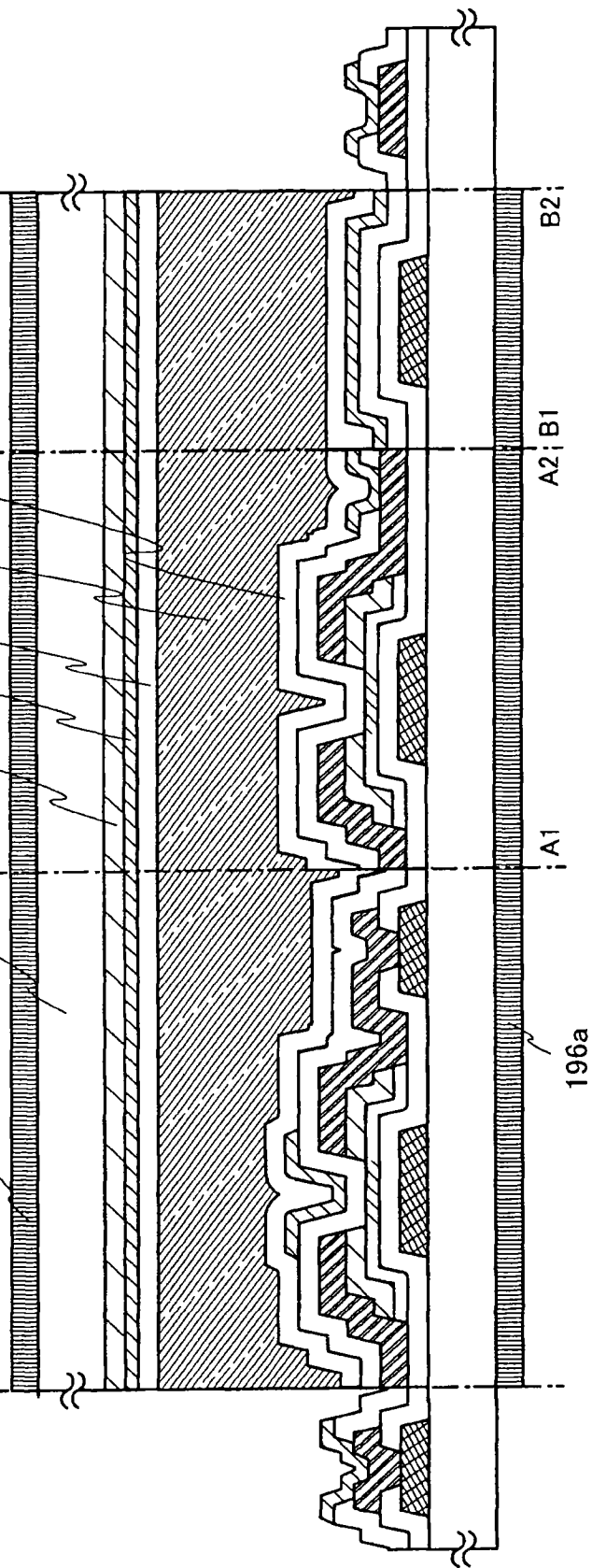


图 9B



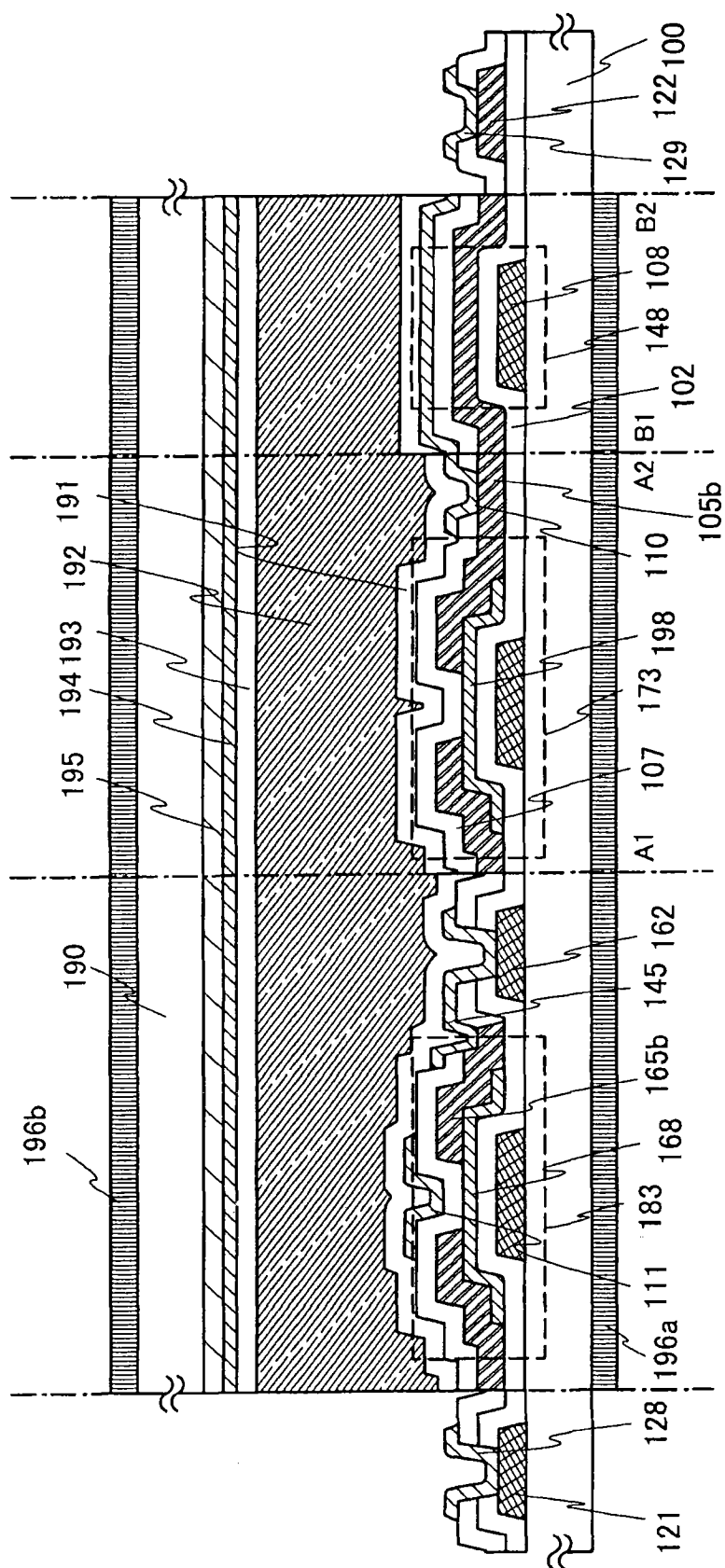


图 10

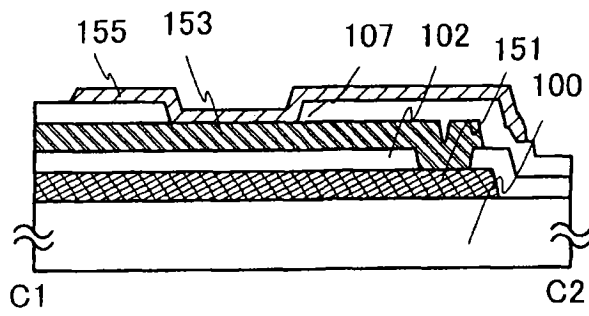


图 11A

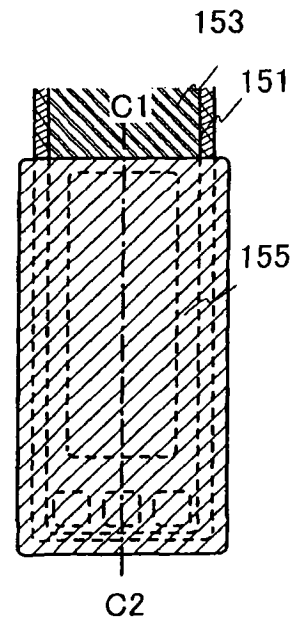


图 11B

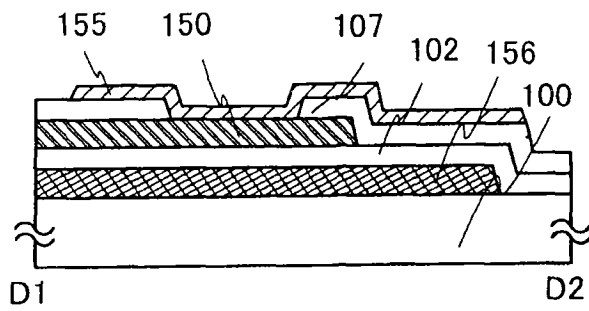


图 11C

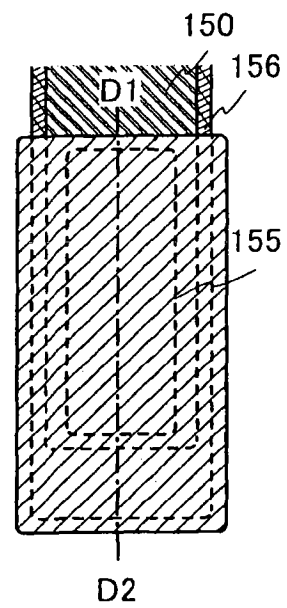


图 11D

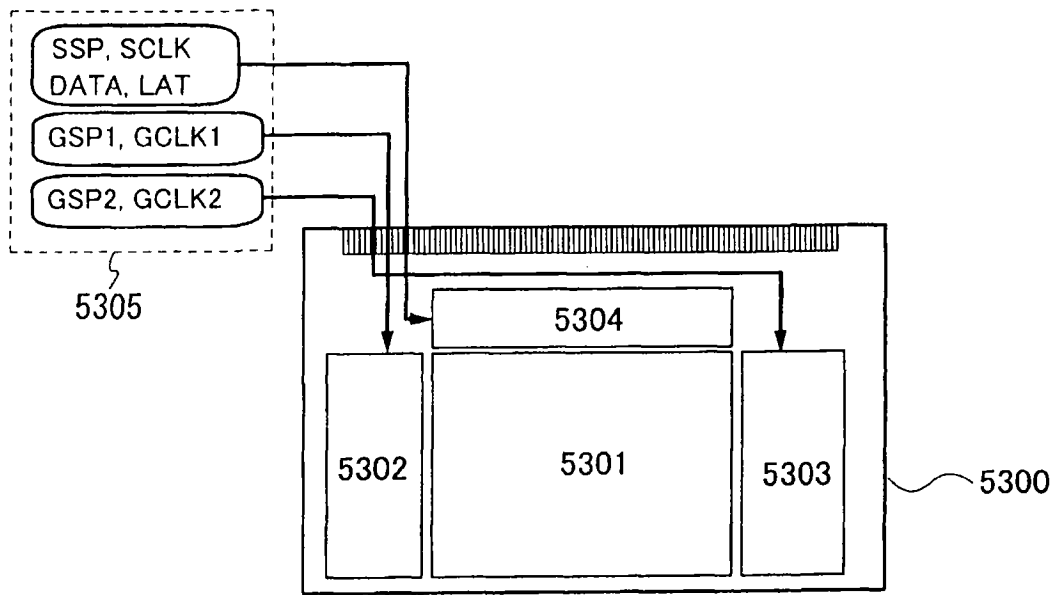


图 12A

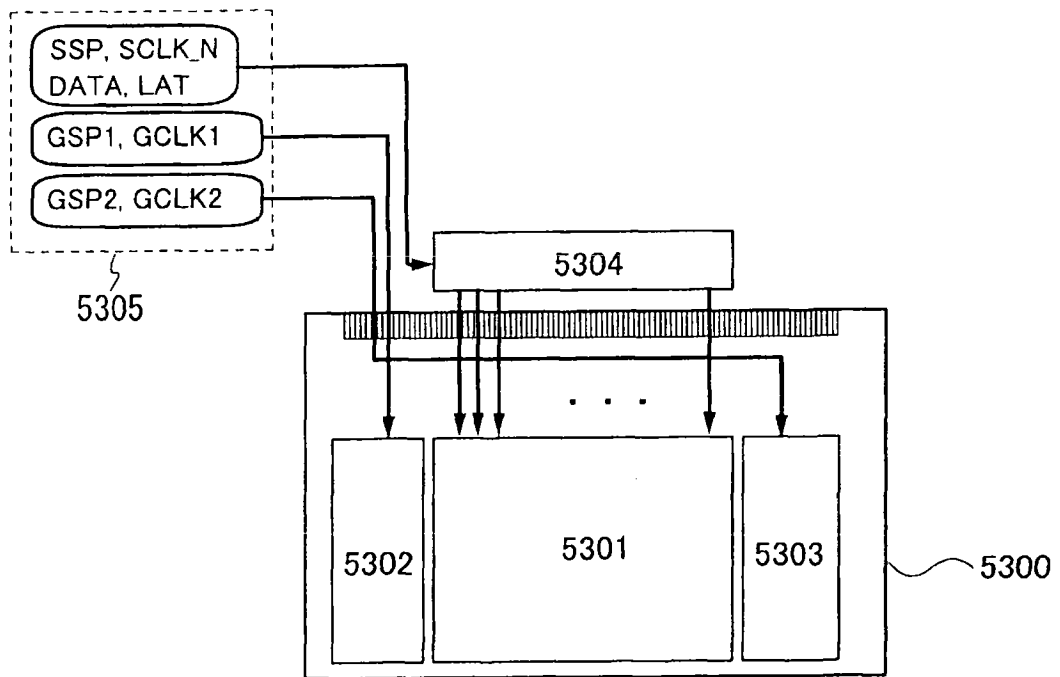


图 12B

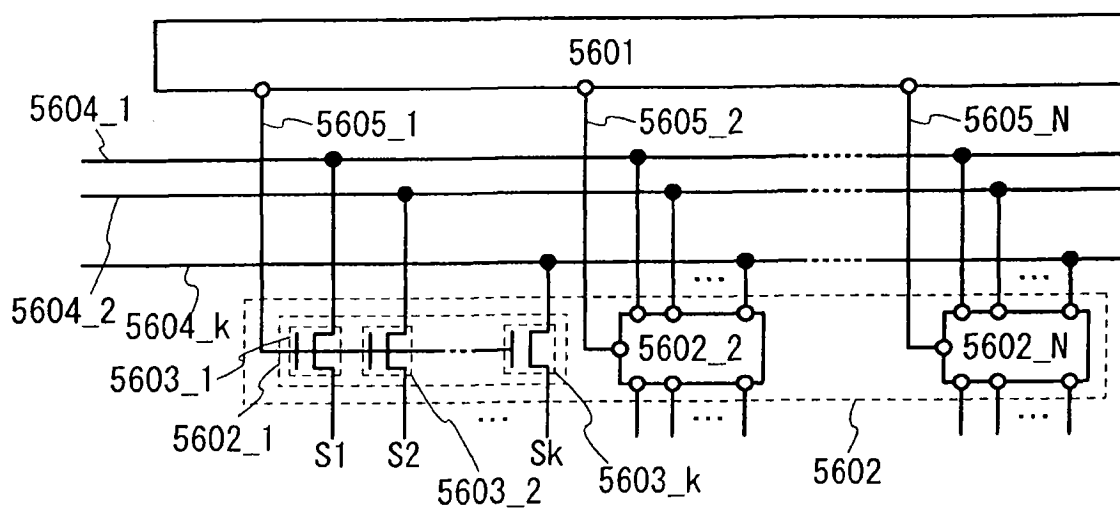


图 13A

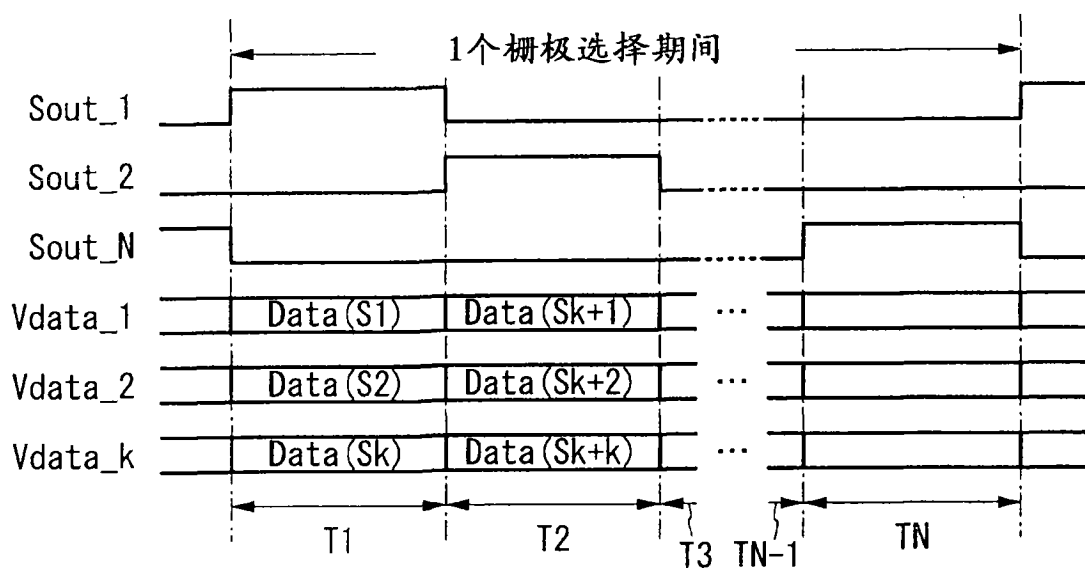


图 13B

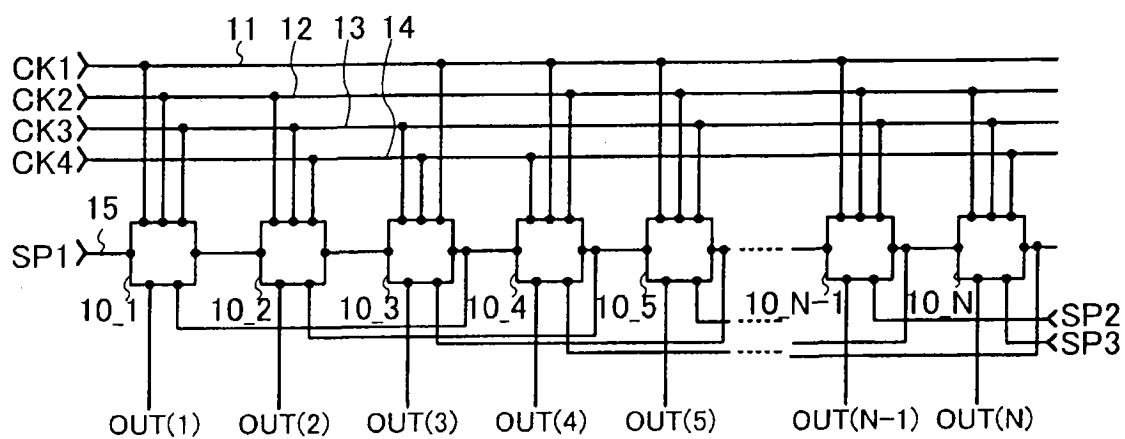


图 14A

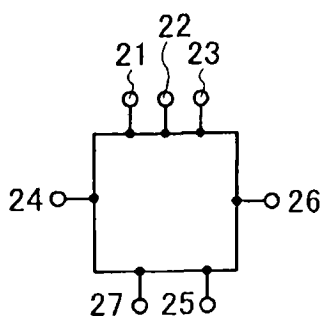


图 14B

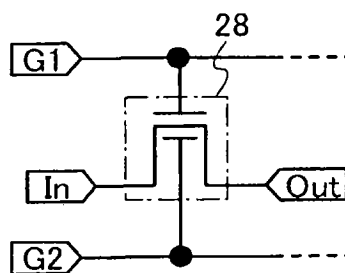


图 14C

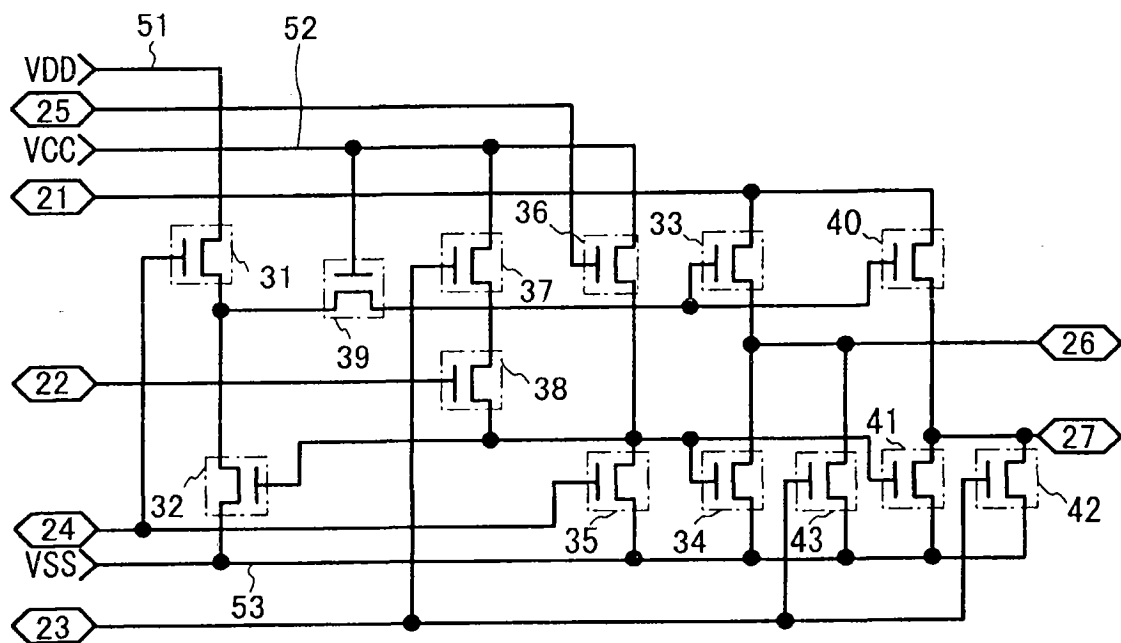


图 14D

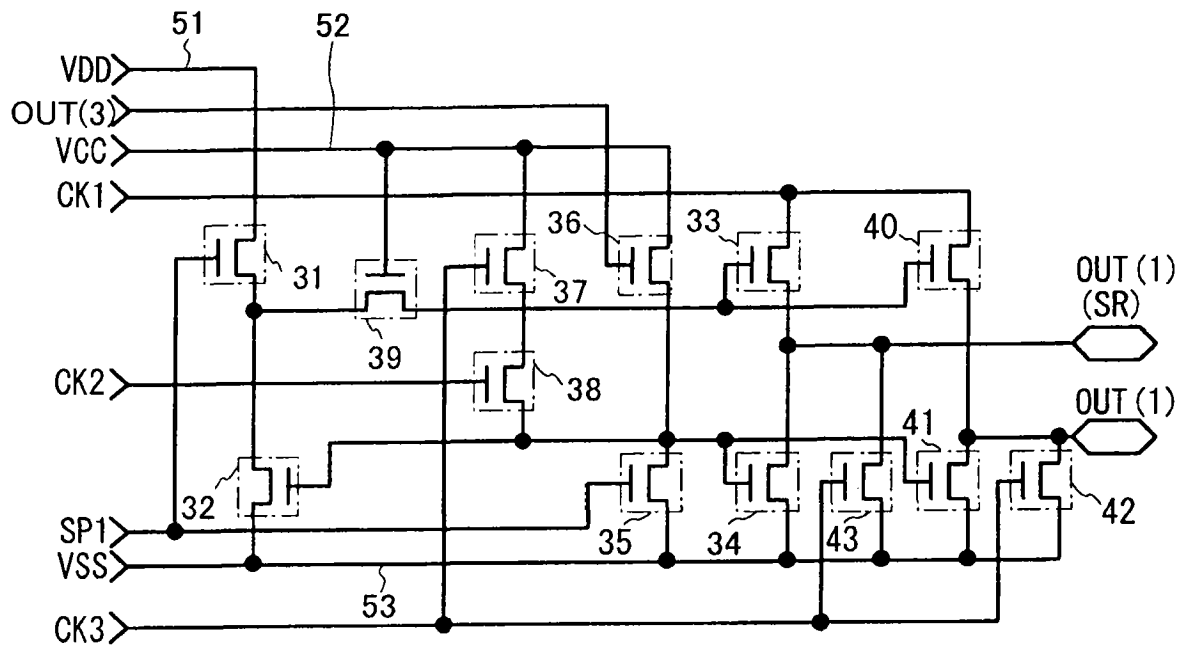


图 15A

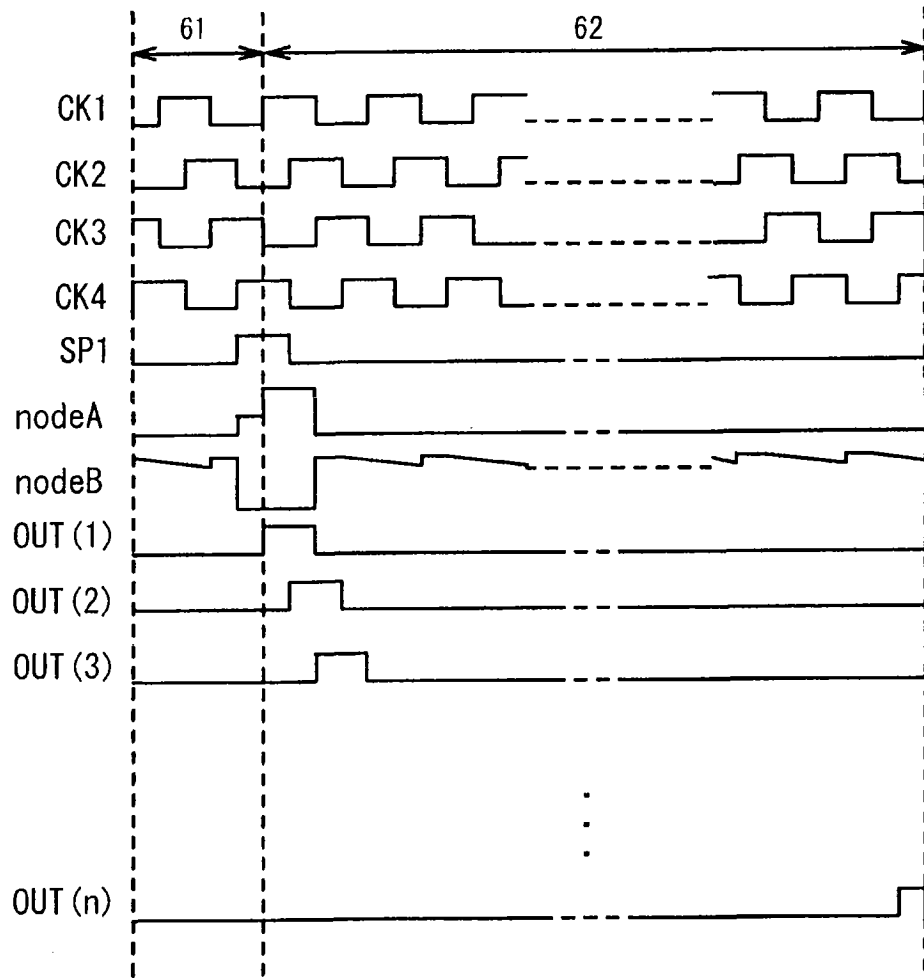


图 15B

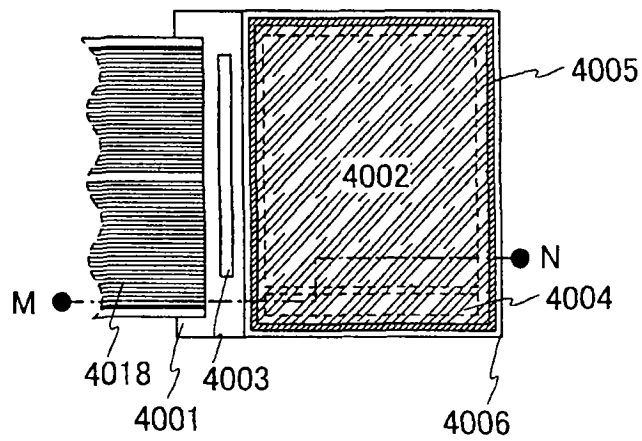


图 16A

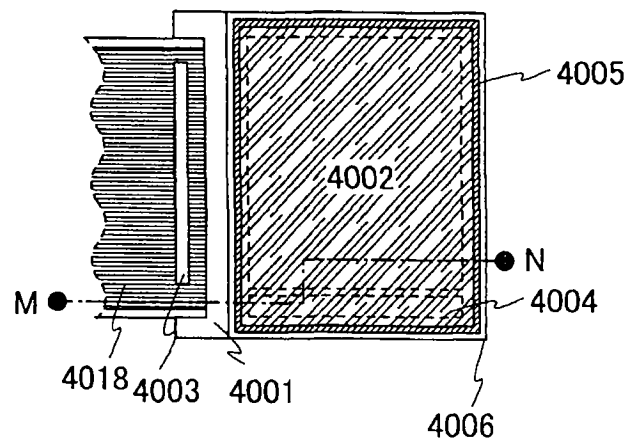


图 16B

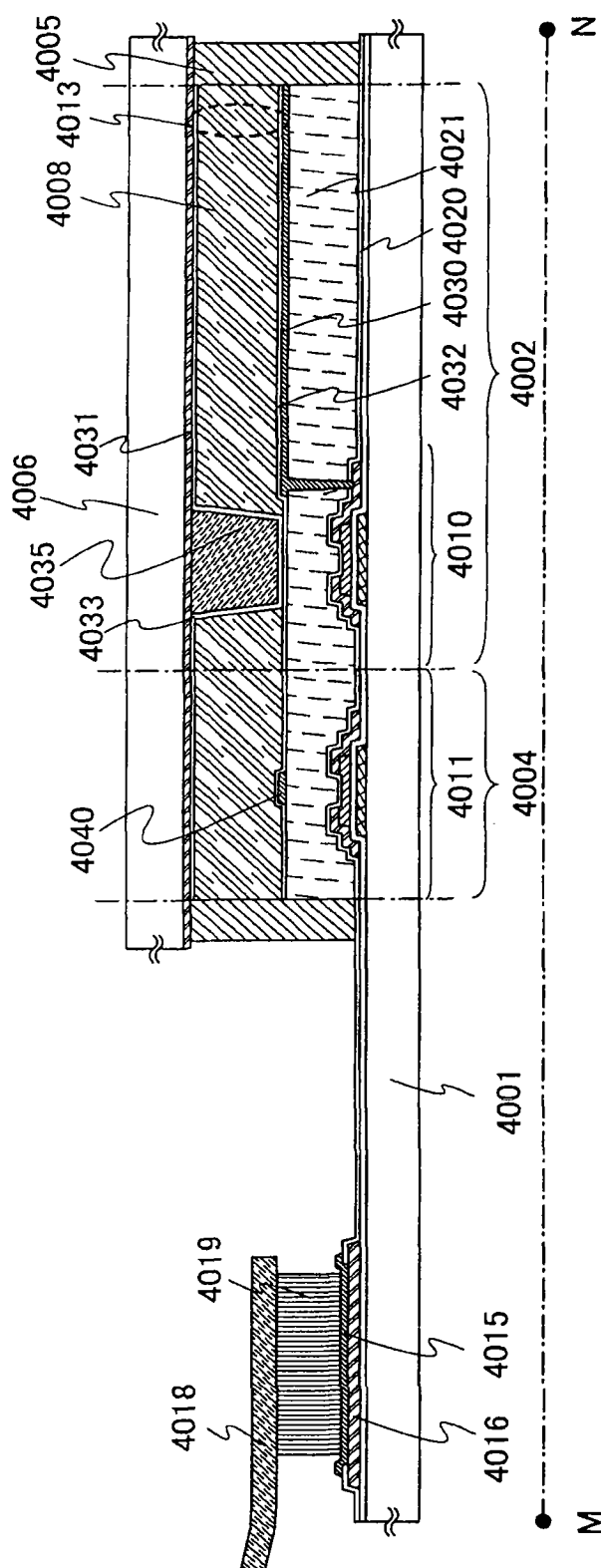


图 16C

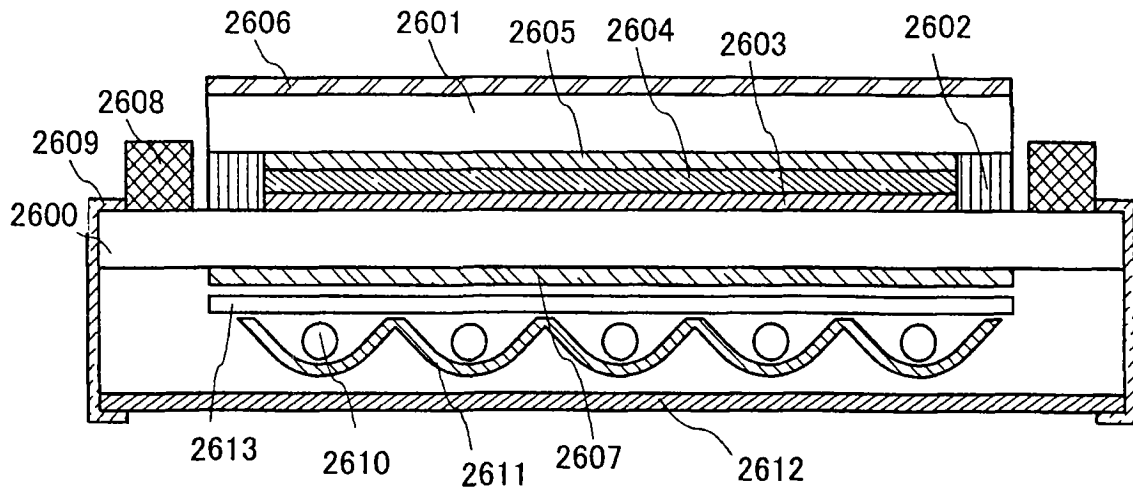


图 17

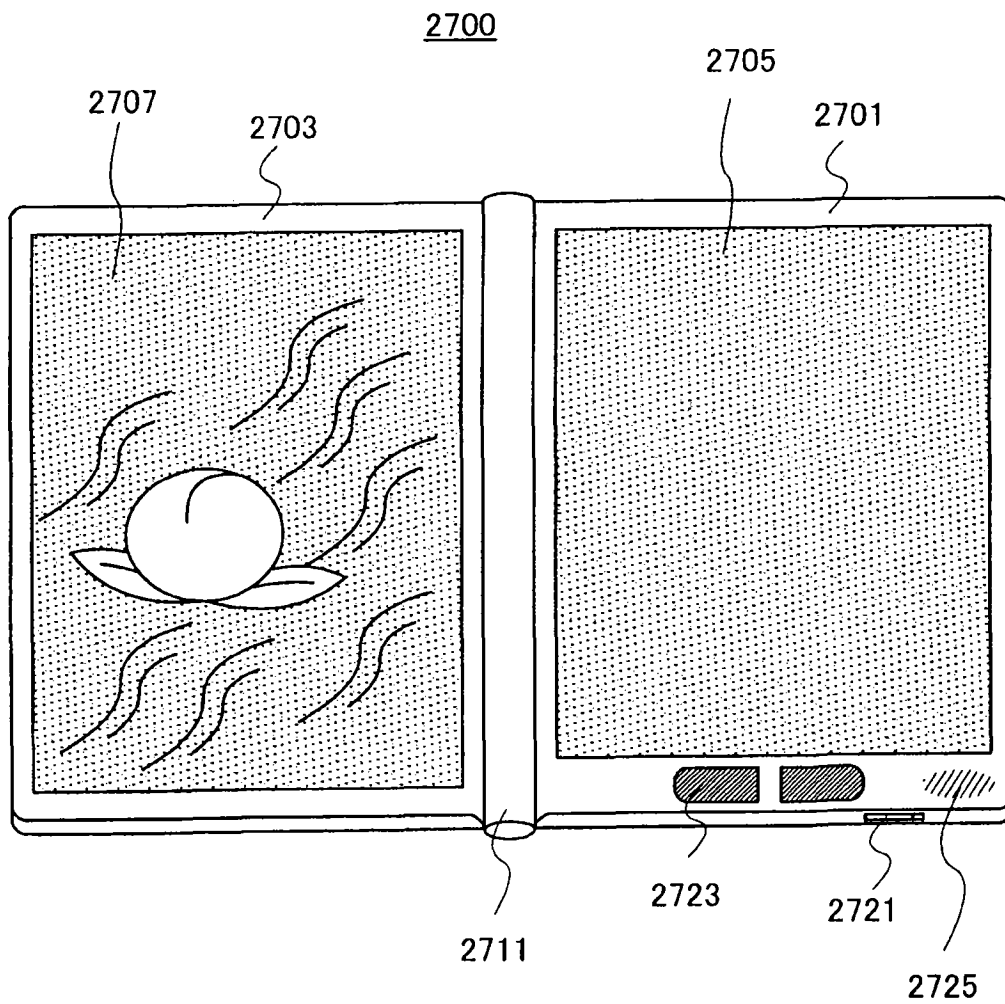


图 18

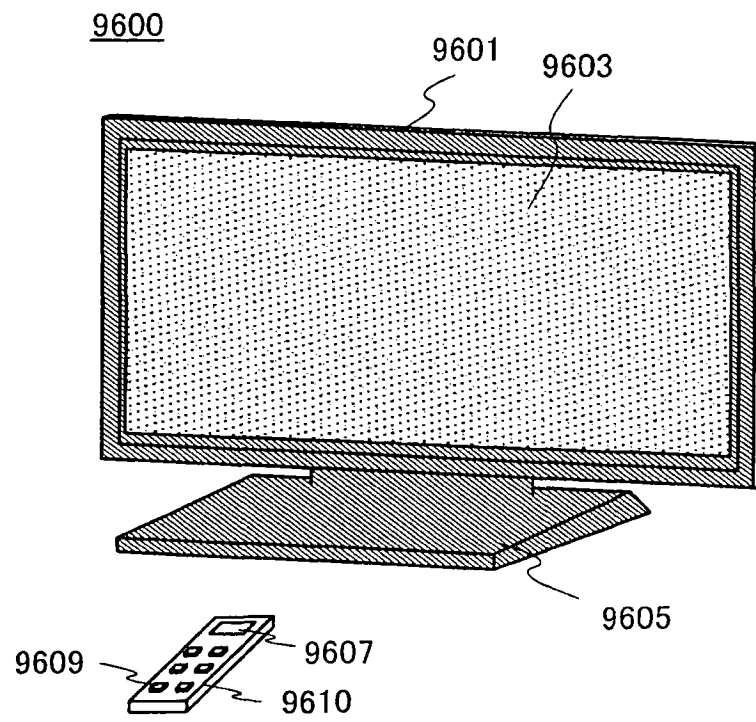


图 19A

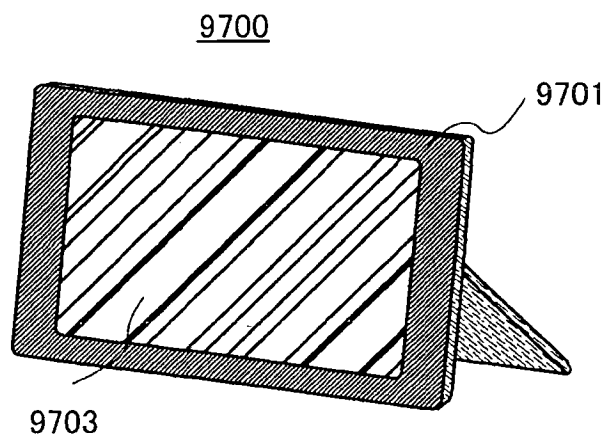


图 19B

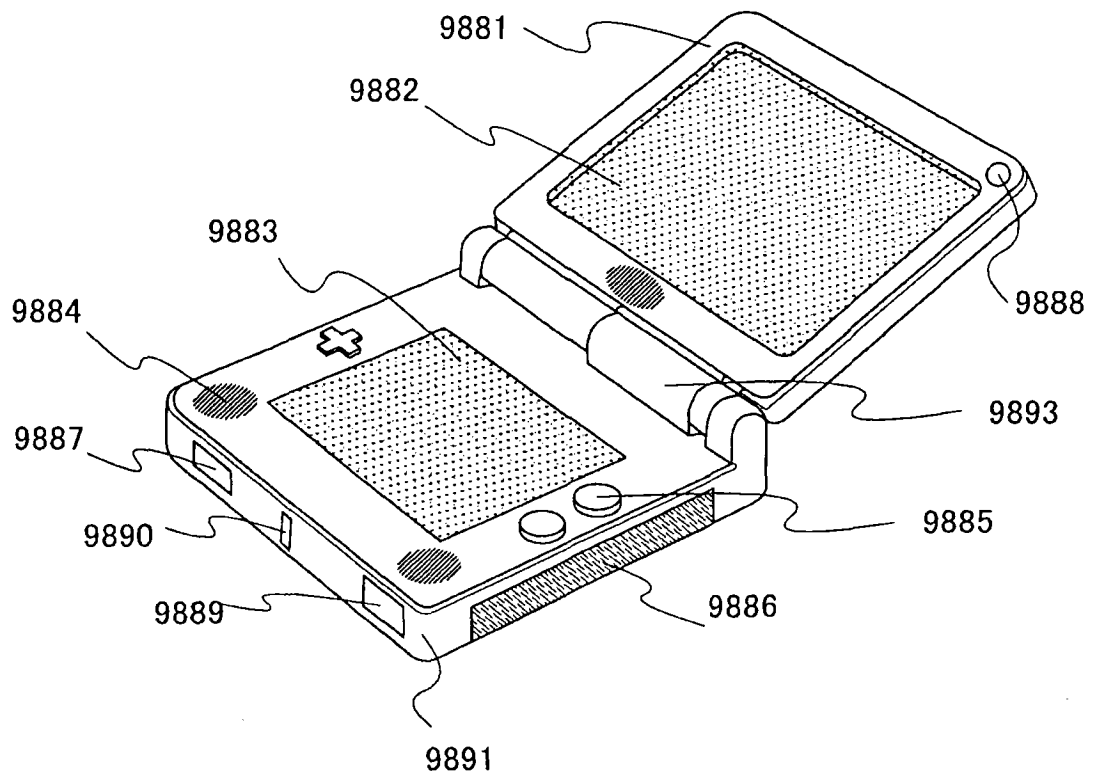


图 20A

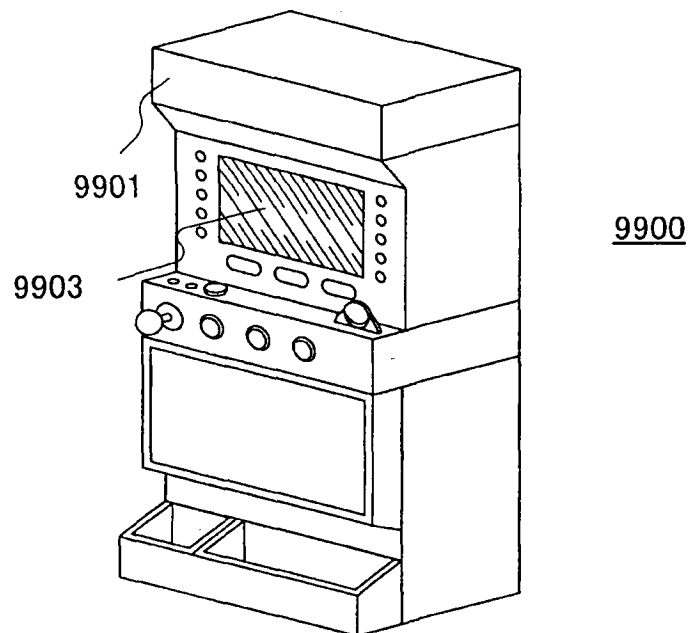


图 20B

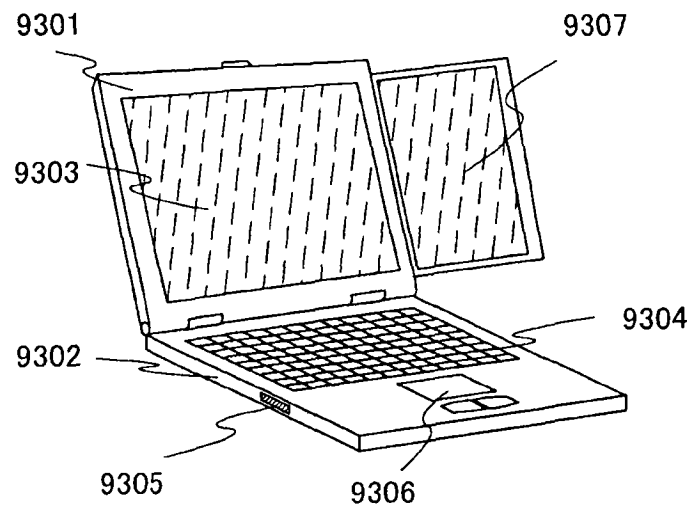


图 21A

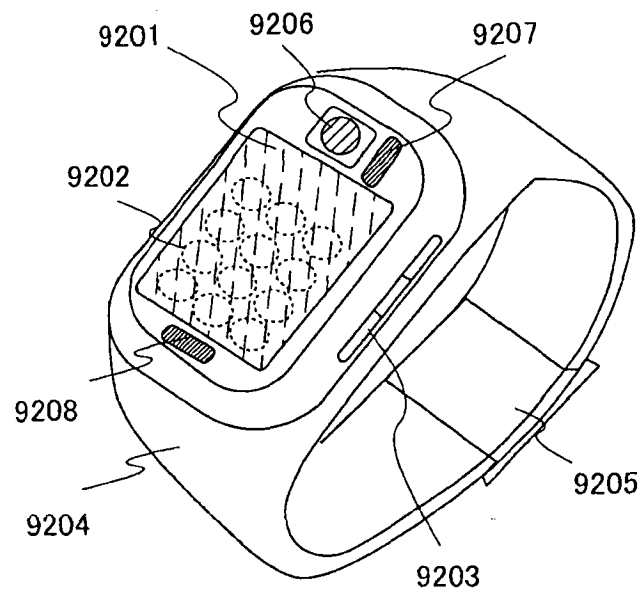


图 21B

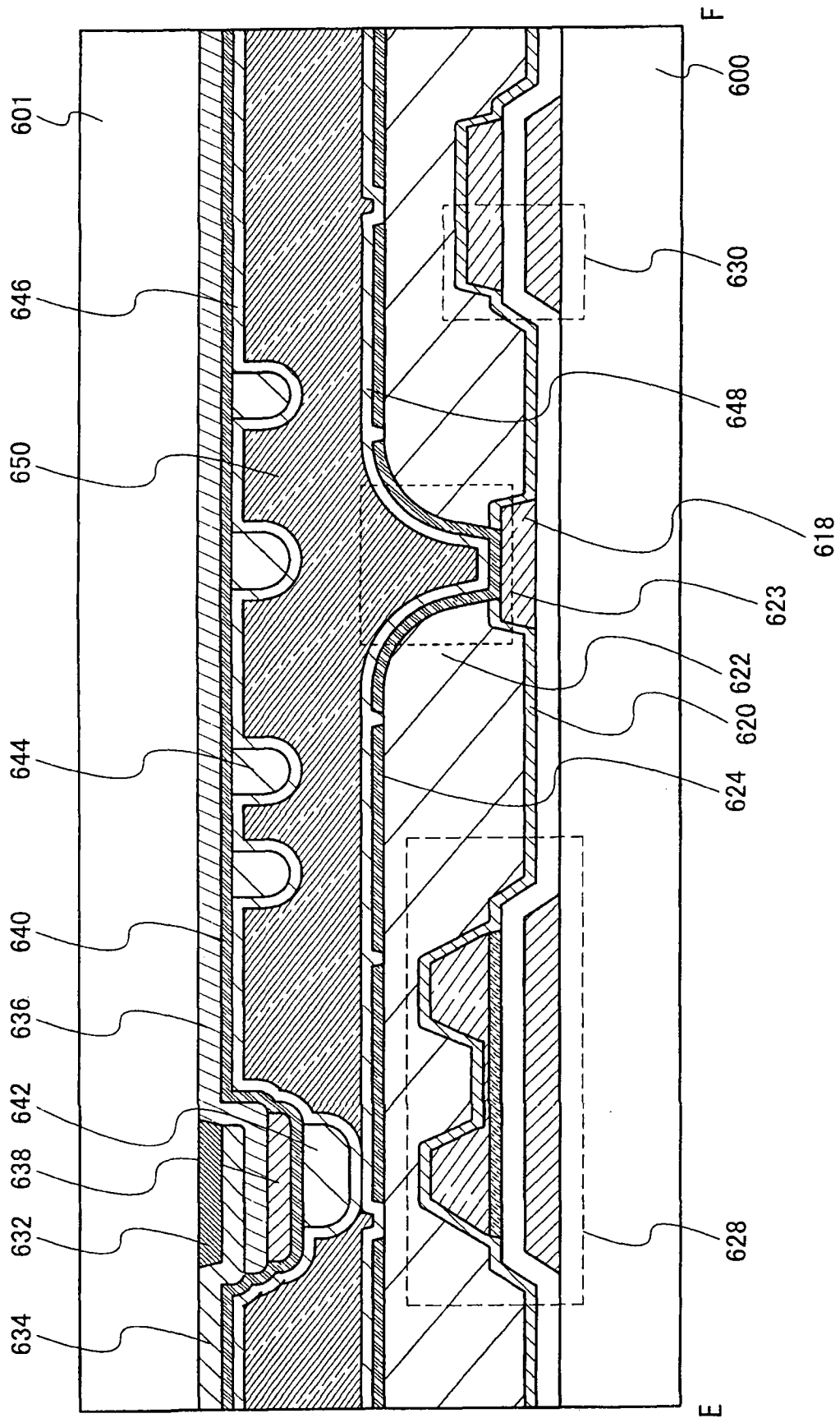


图 22

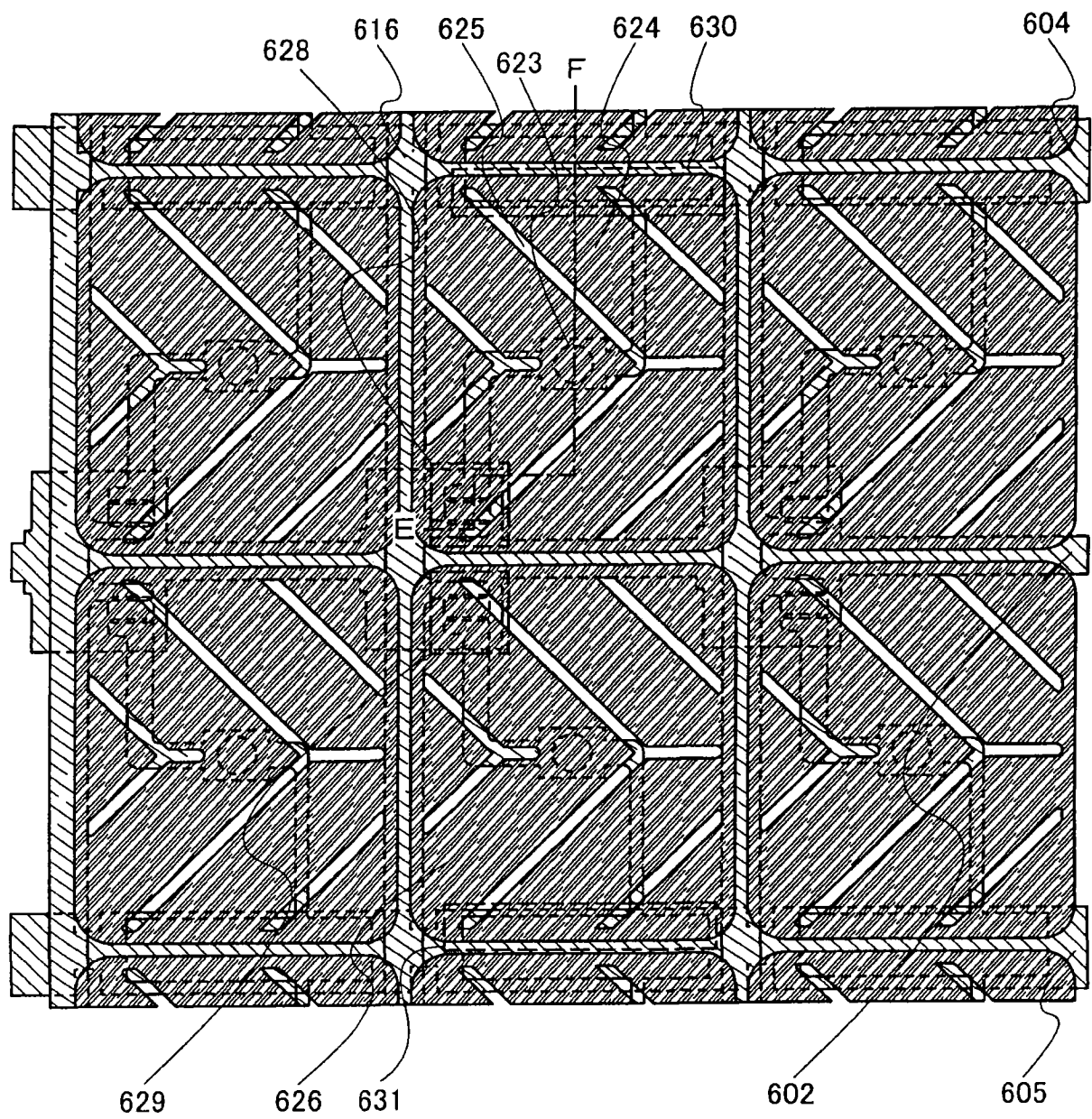


图 23

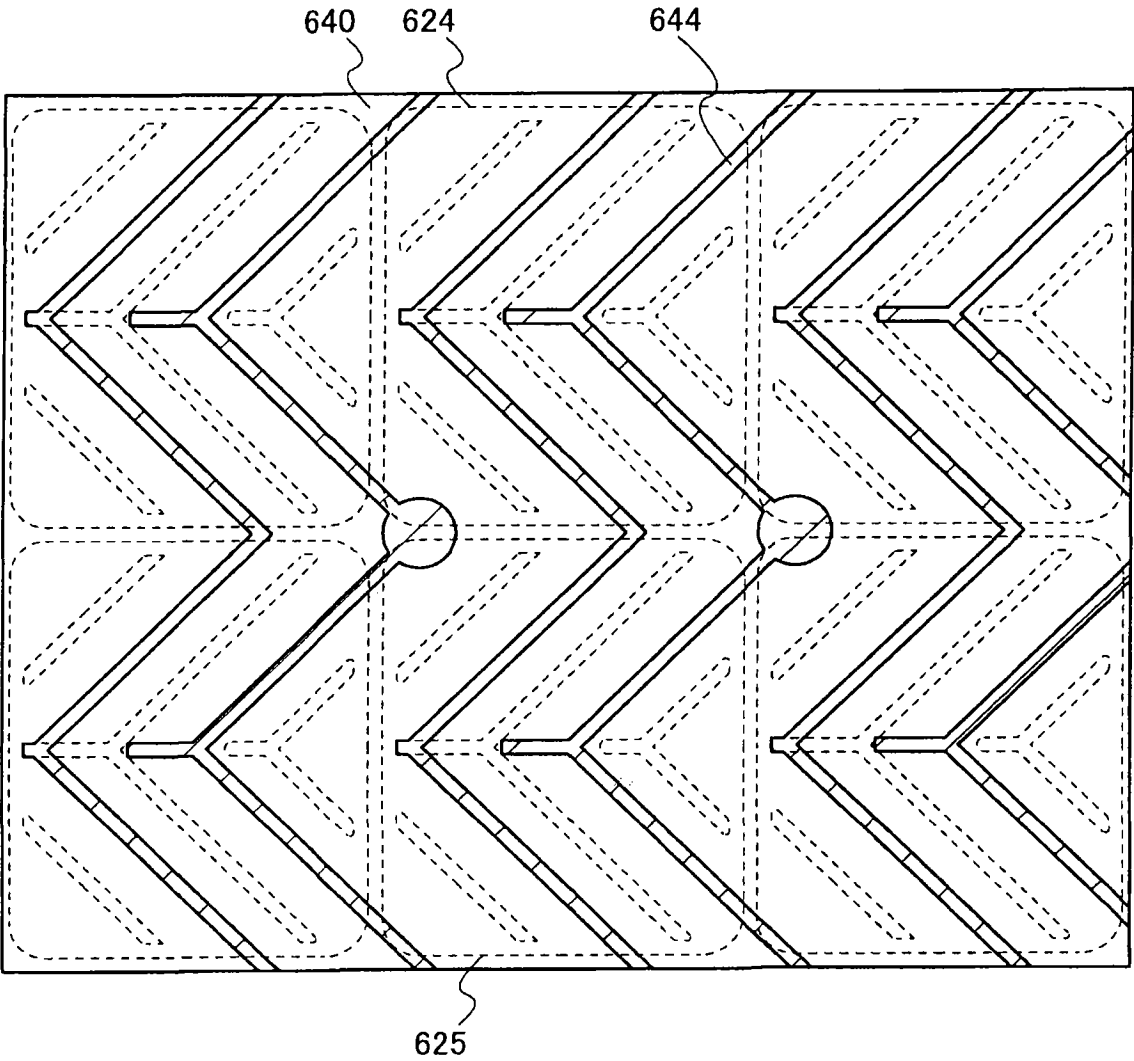


图 24

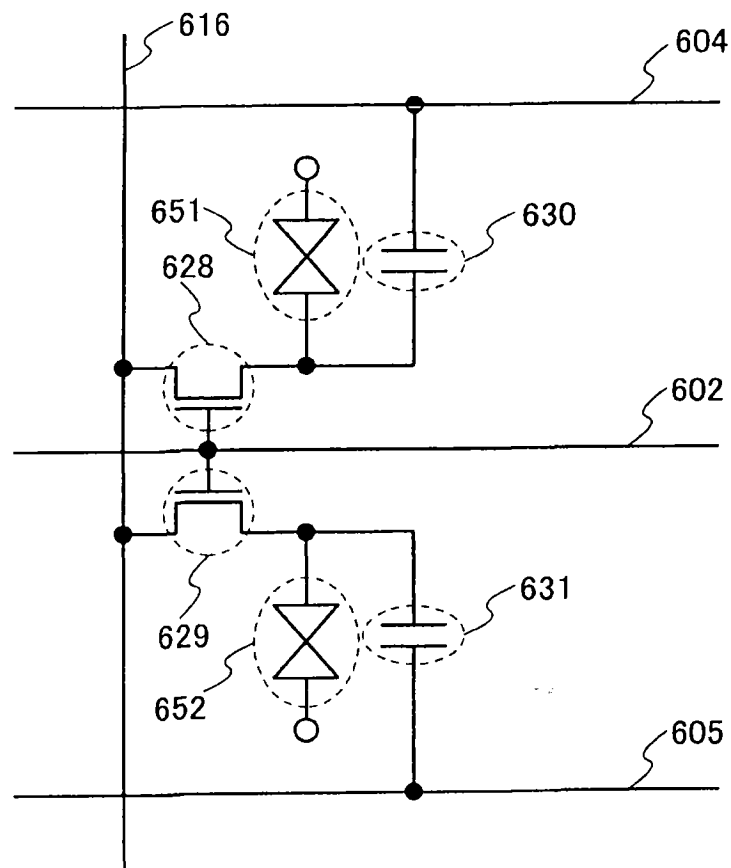


图 25

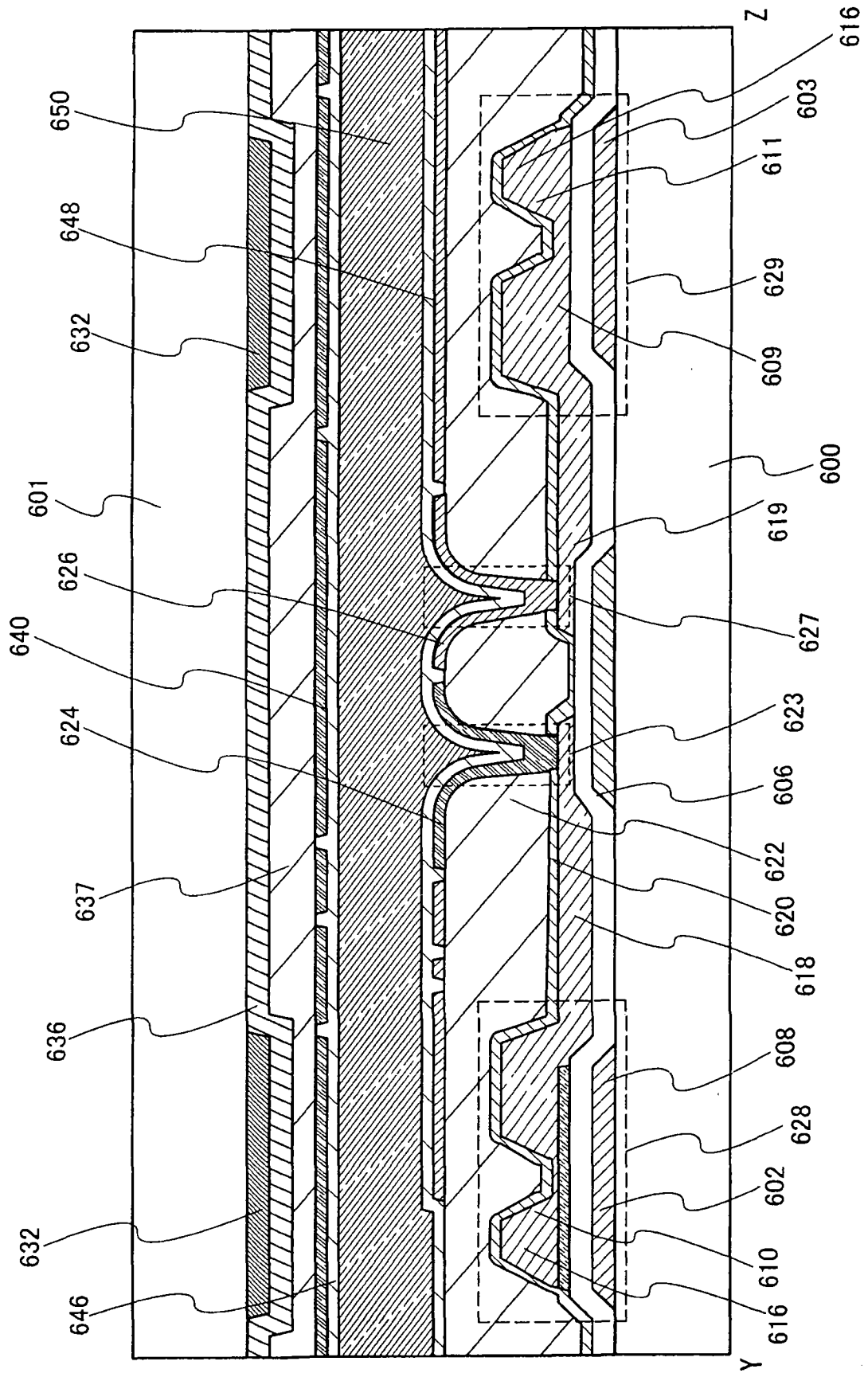


图 26

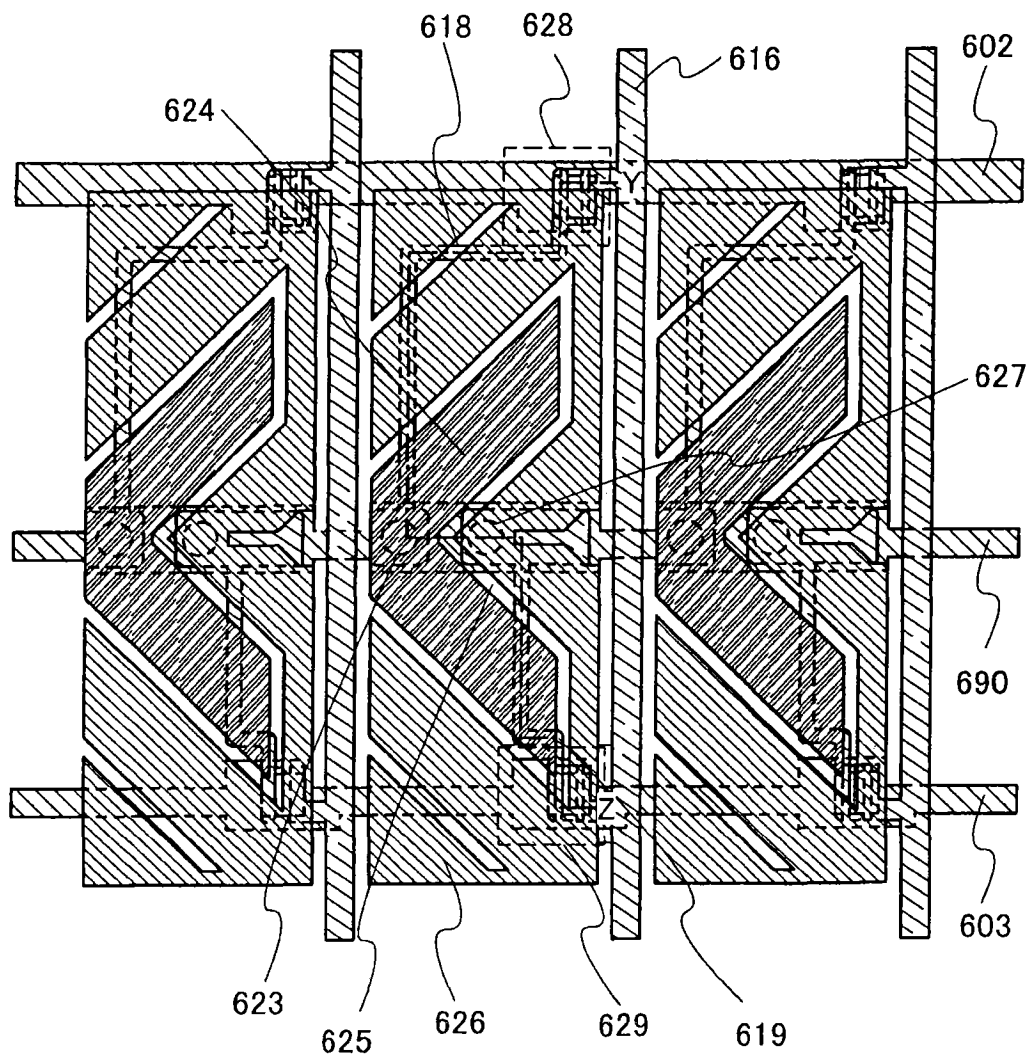


图 27

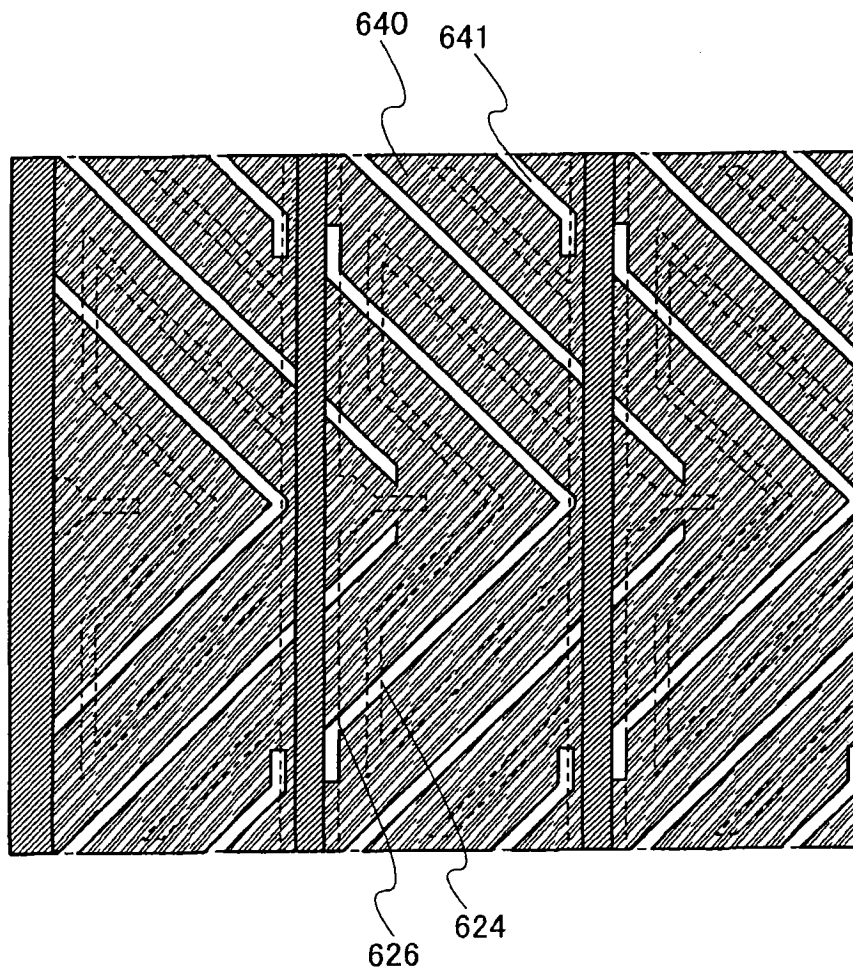


图 28

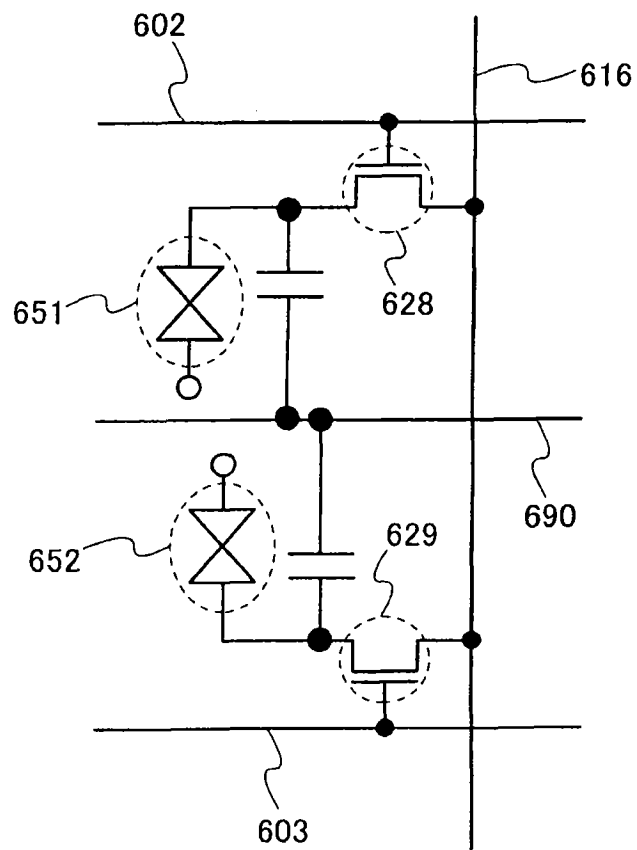


图 29

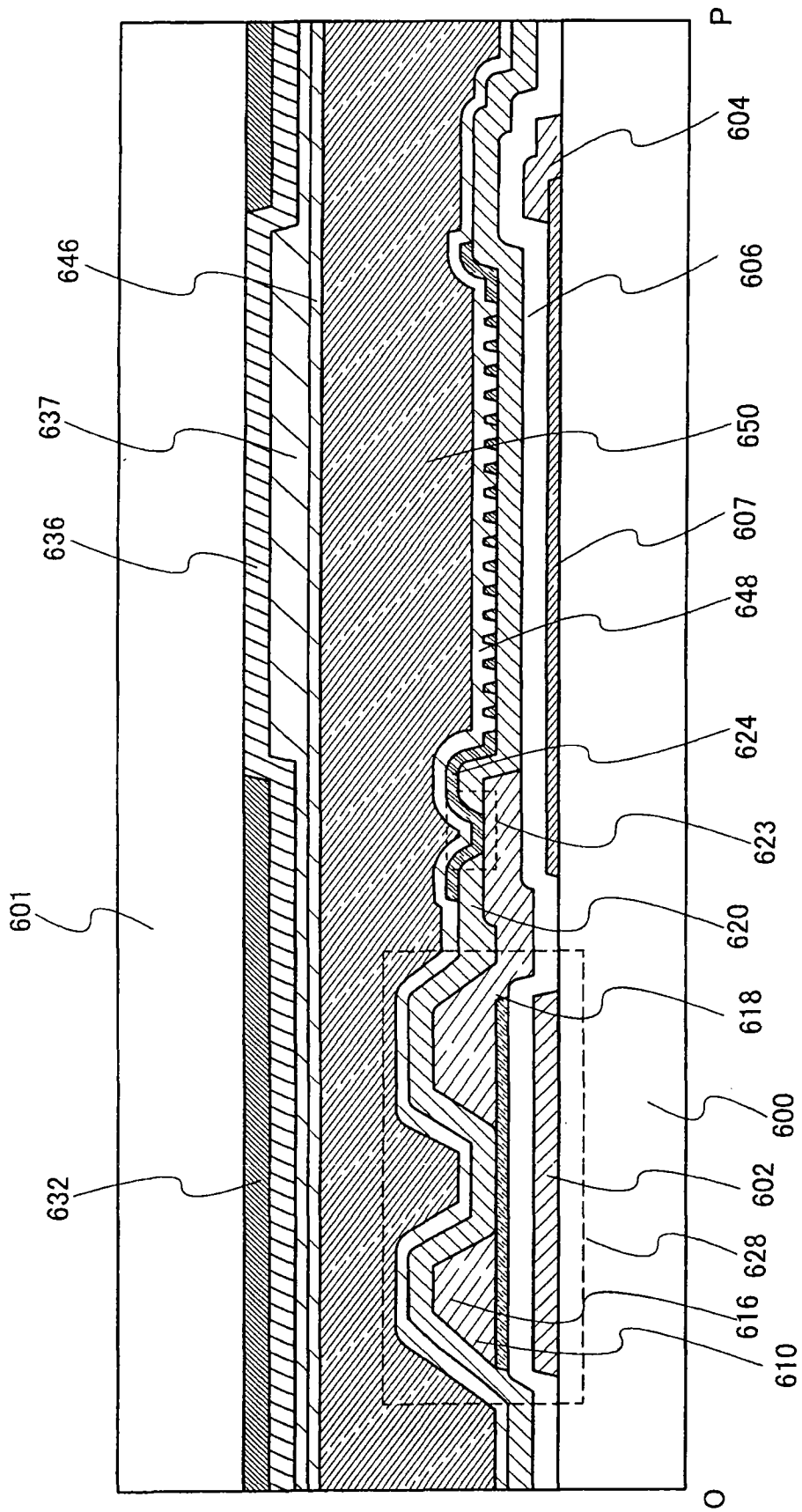


图 30

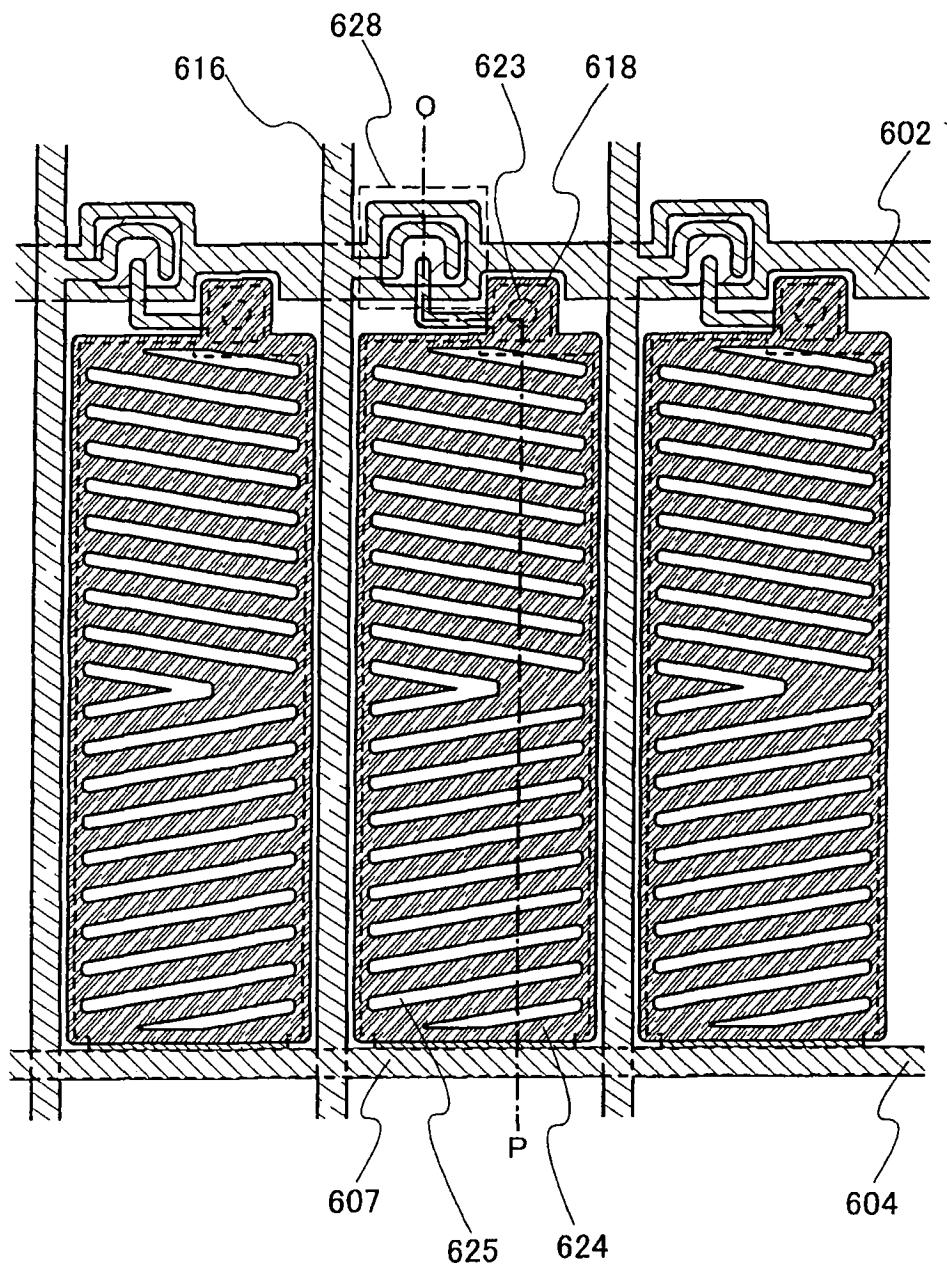


图 31

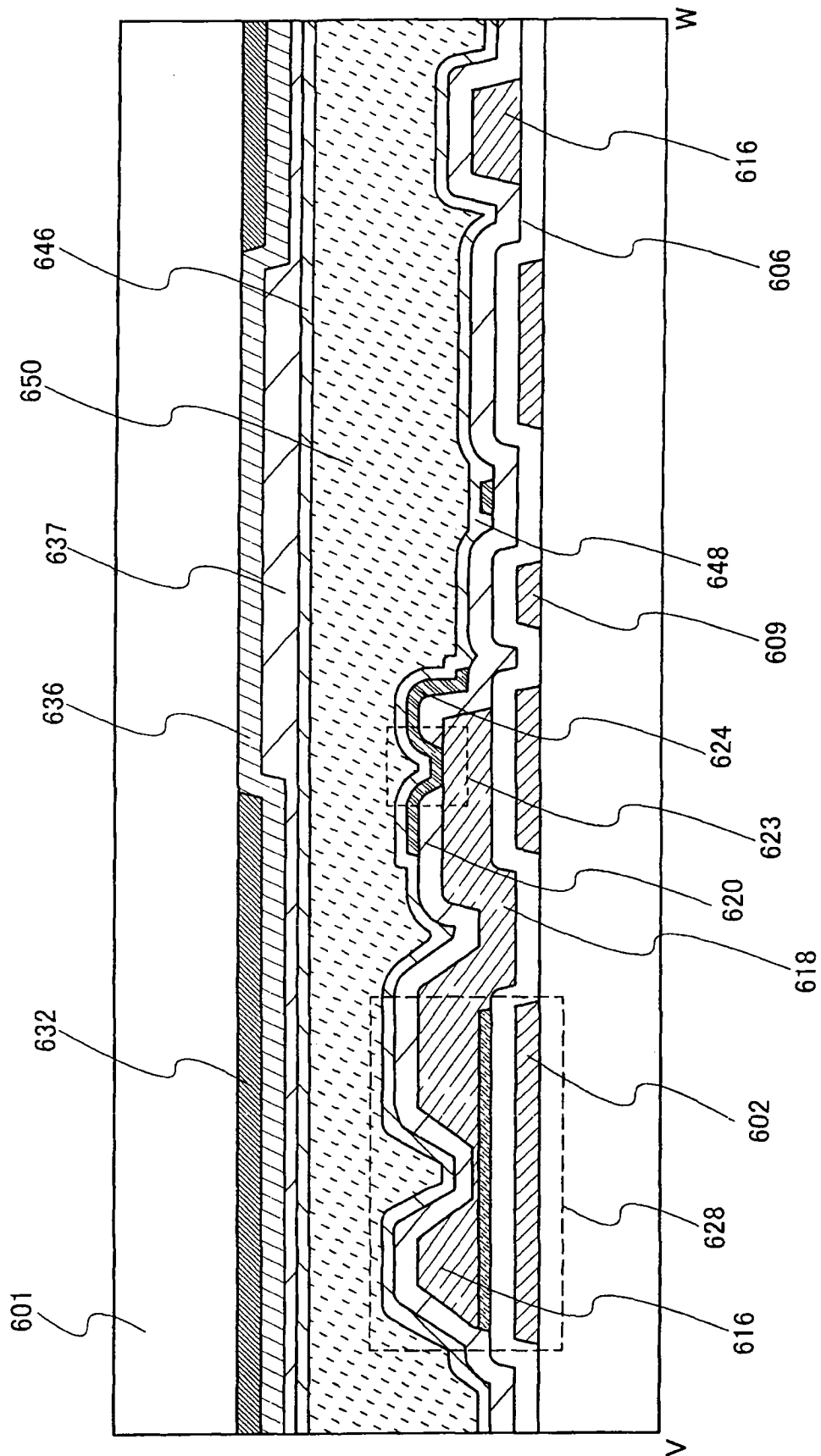


图 32

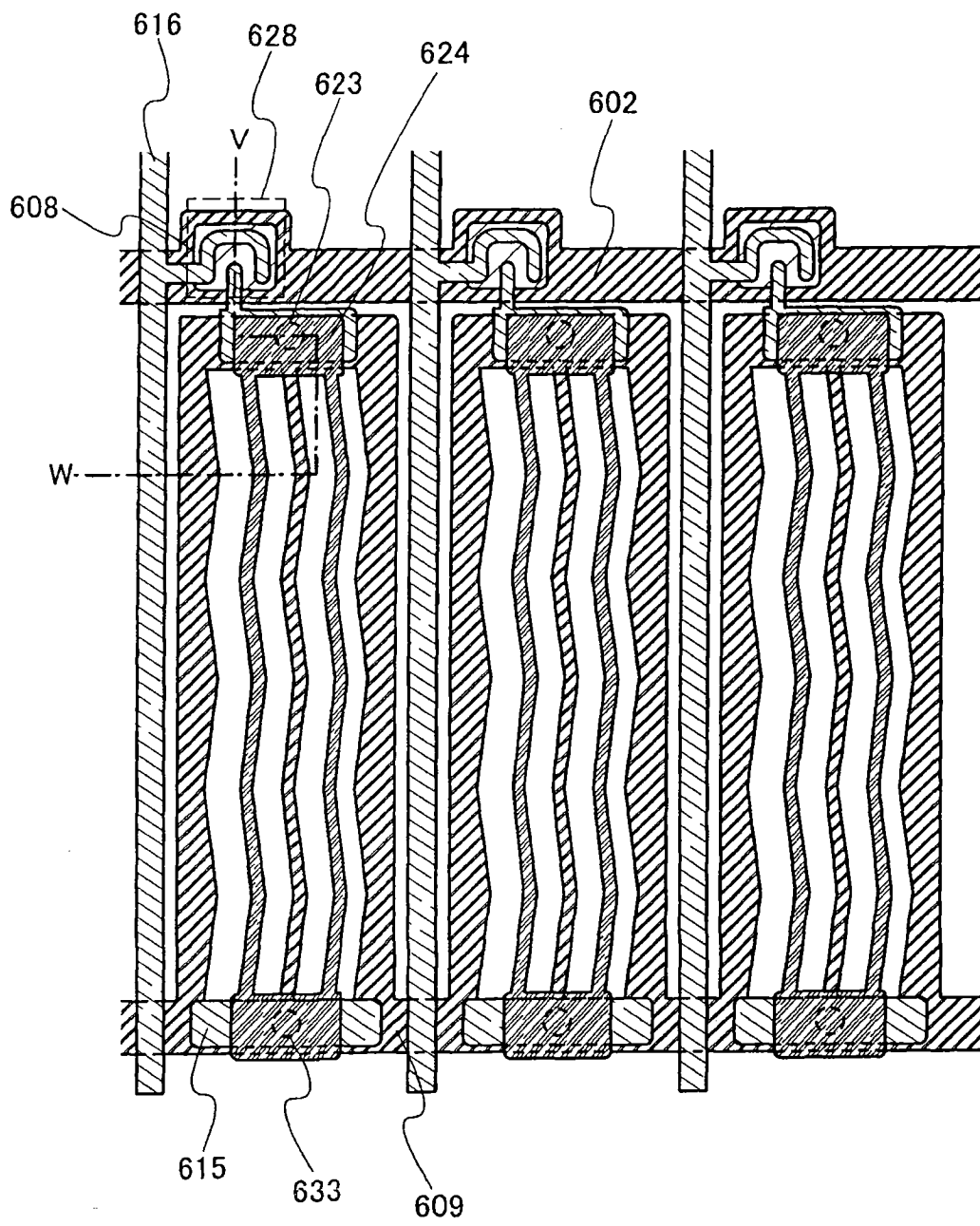


图 33

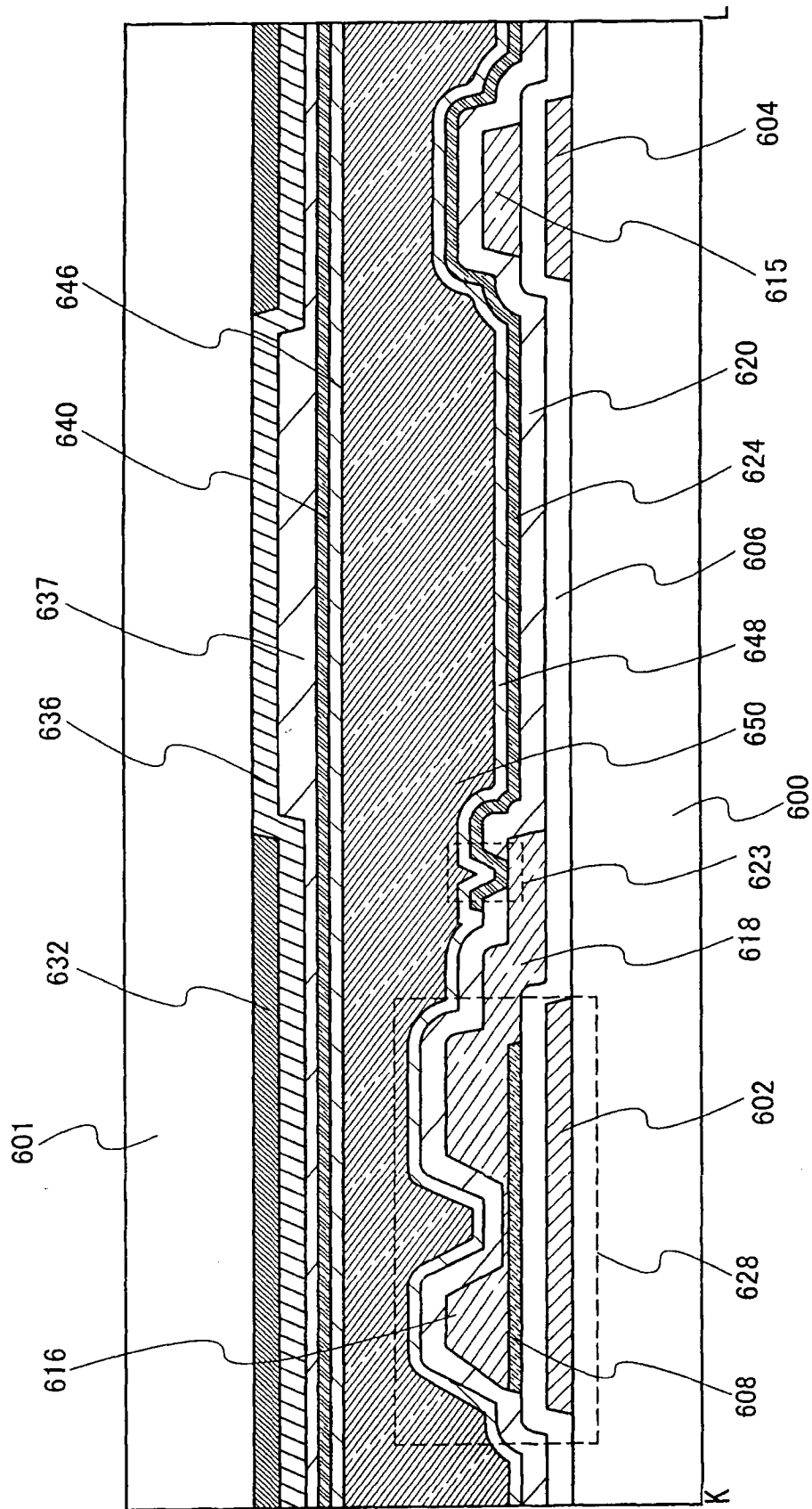


图 34

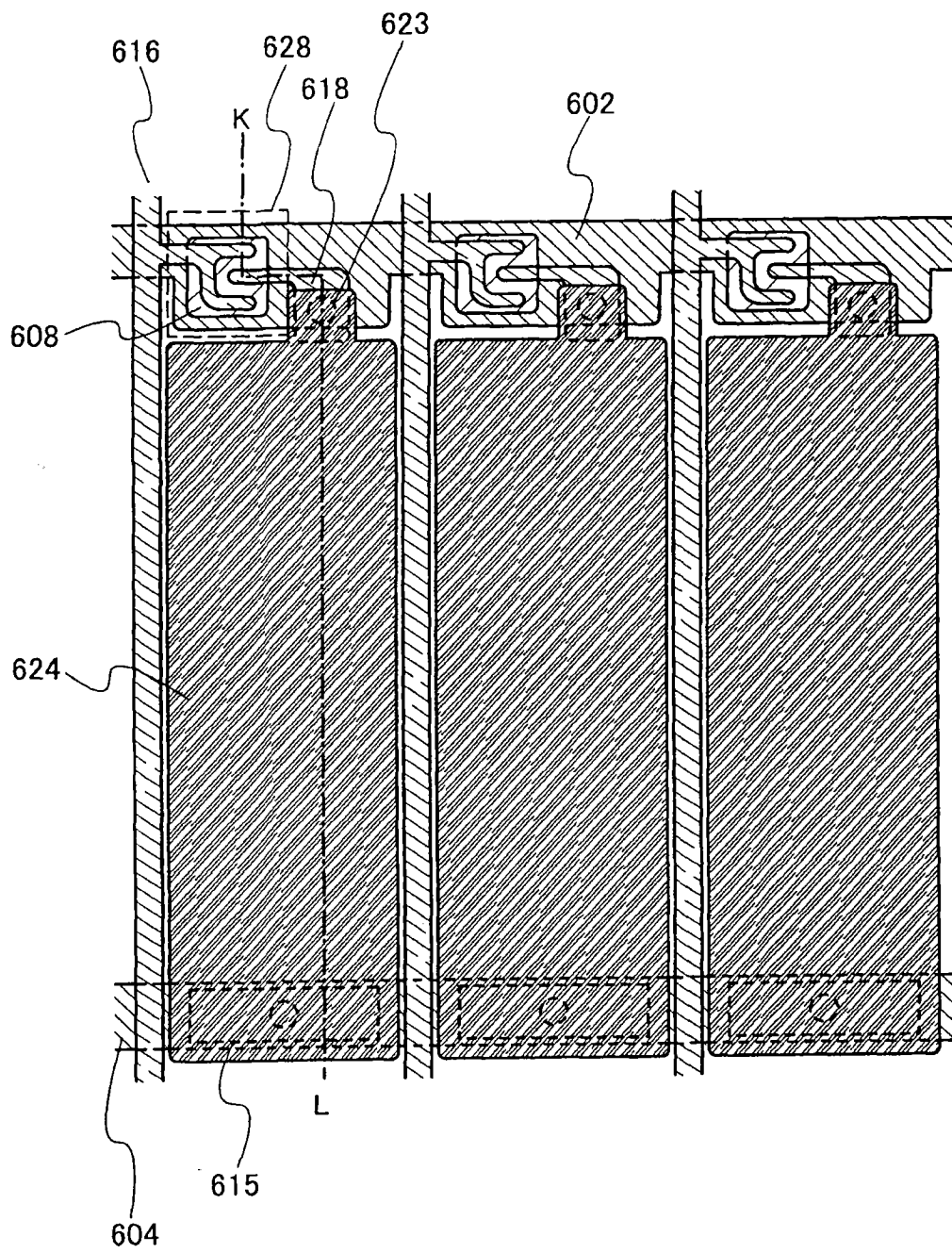


图 35

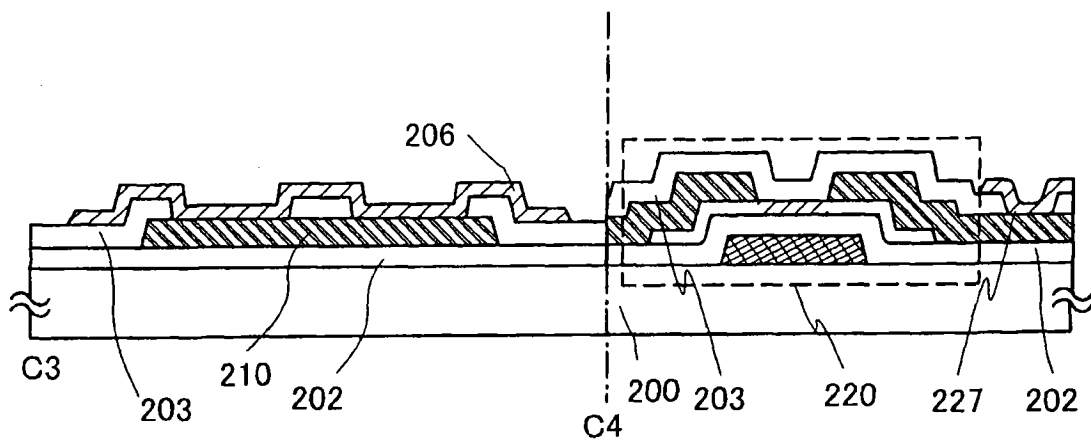


图 36A

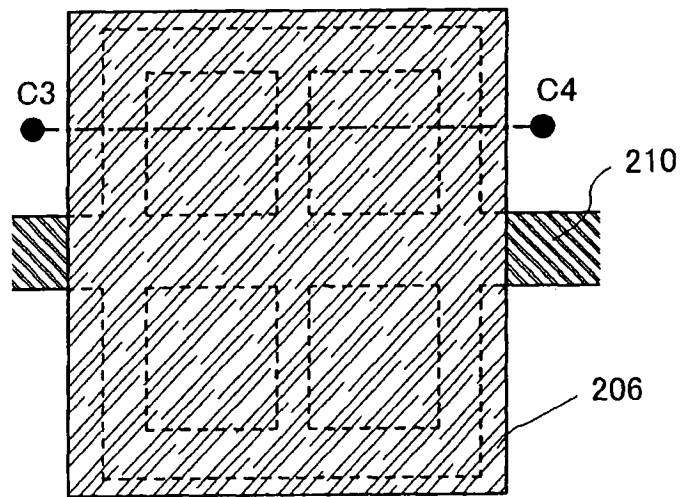


图 36B

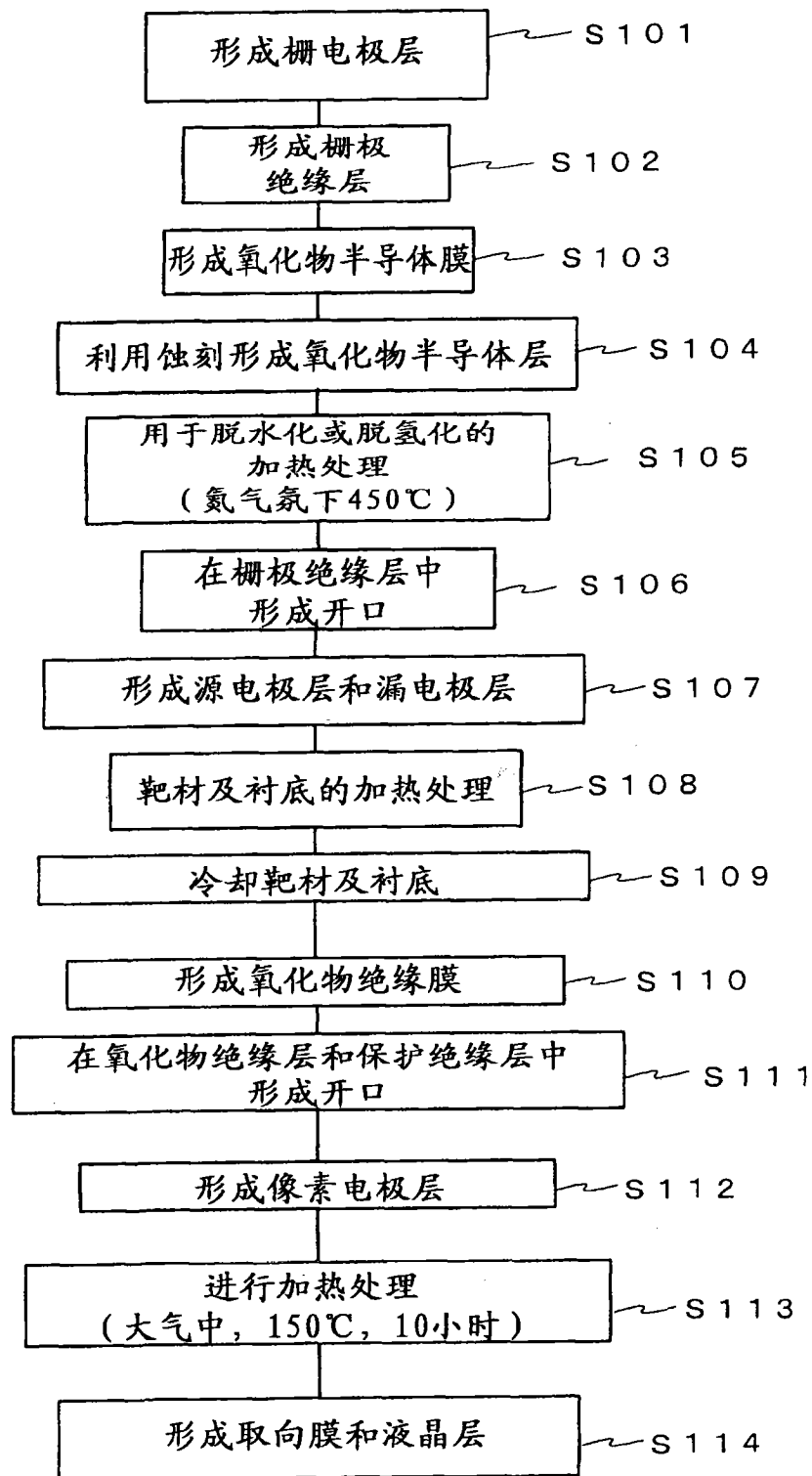


图 37

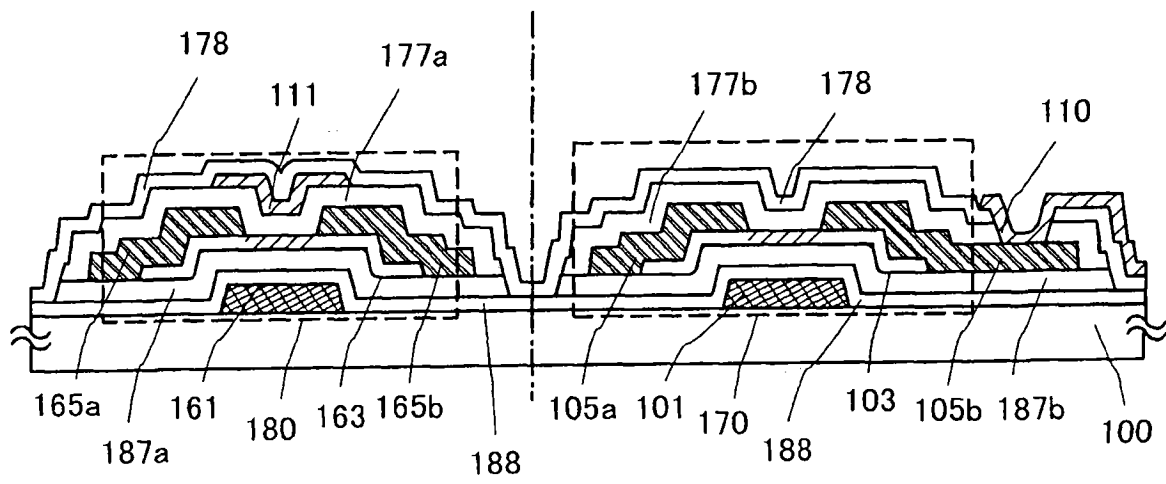


图 38

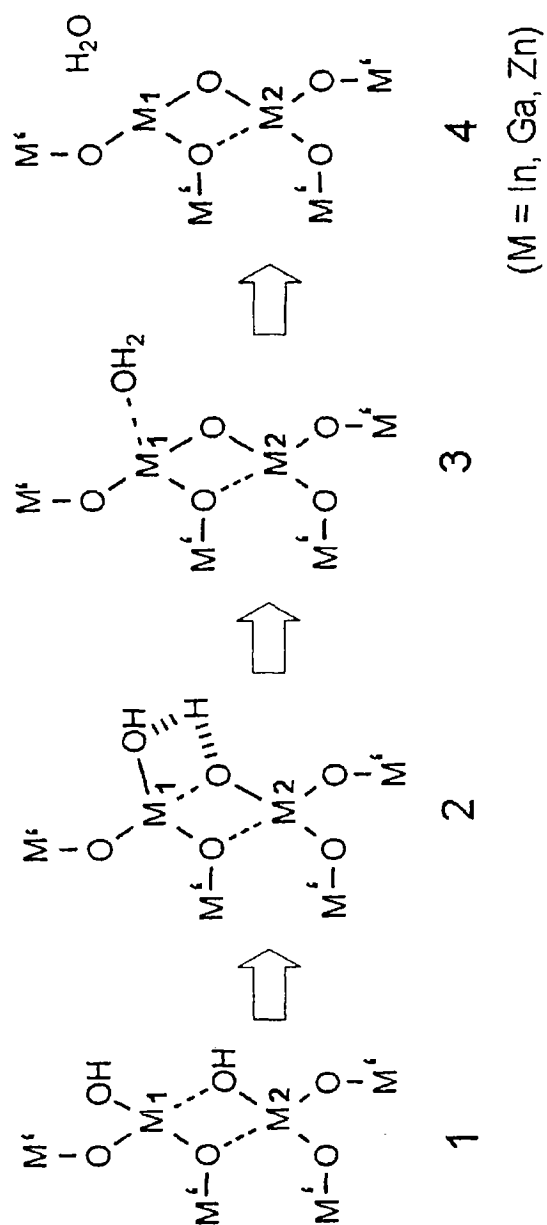


图 39

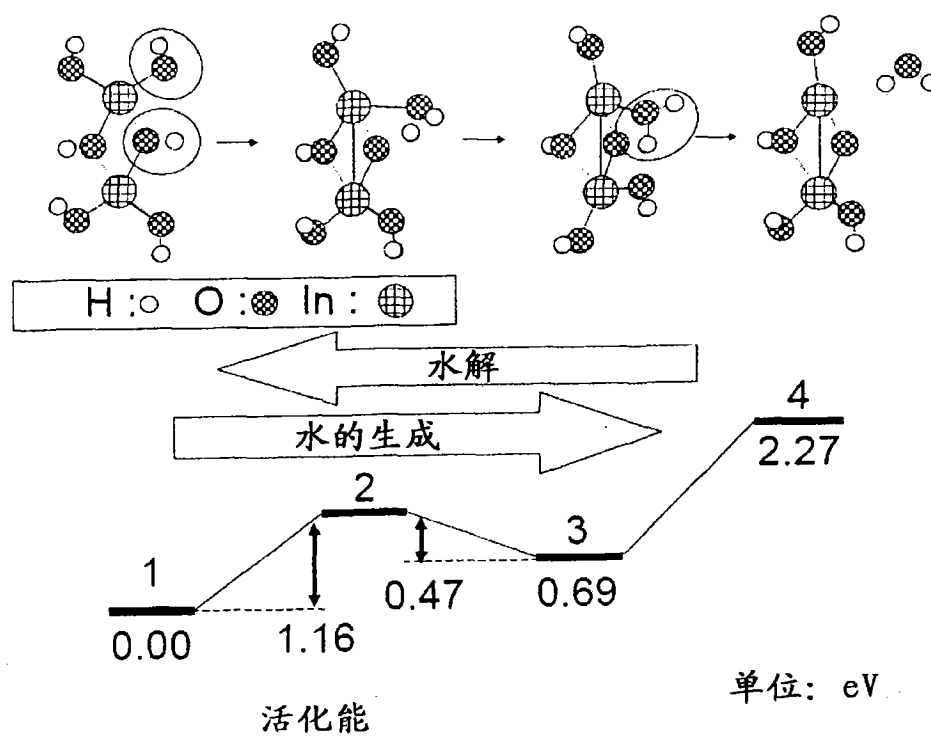


图 40