



[B] (11) **KUULUTUSJULKAISU**
UTLÄGGNINGSSKRIFT

74166

C
(45) Patenti on myönnetty
1987.12.10

(51) Kv.lk./Int.Cl.⁴ H 01 L 27/06 // H 01 L 23/56,
H 02 H 7/20

SUOMI-FINLAND

(FI)

Patentti- ja rekisterihallitus
Patent- och registerstyrelsen

(21) Patentihakemus – Patentansökning 820197
(22) Hakemispäivä – Ansökningsdag 22.01.82
(23) Alkupäivä – Giltighetsdag 22.01.82
(41) Tullut julkiseksi – Blivit offentlig 31.07.82
(44) Nähtäväksipanon ja kuuljulkaisun pvm. –
Ansökan utlagd och utskriften publicerad 31.08.87
(86) Kv. hakemus – Int. ansökan
(32) (33) (31) Pyydetty etuoikeus – Begärd prioritet 30.01.81
01.12.81 USA(US) 230357, 326219
Toteennäytetty-Styrkt

(71) RCA Corporation, 30 Rockefeller Plaza, New York, New York, USA(US)

(72) Leslie Ronald Avery, Flemington, New Jersey, USA(US)

(74) Oy Kolster Ab

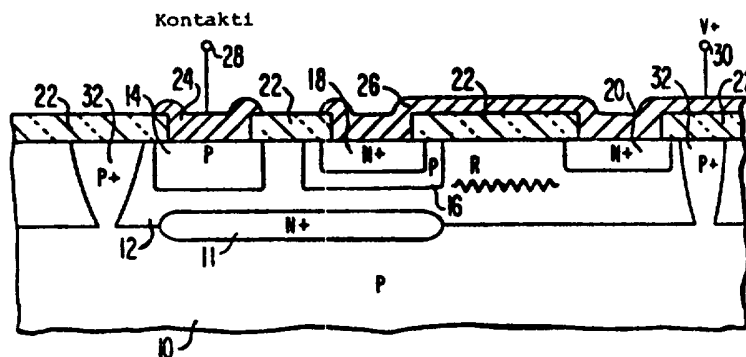
(54) Suojapiiri integroiduille piirilaitteille –
Skyddskrets för integrerade kretsanordningar

(57) Tiivistelmä

Suojapiiri, jota voidaan käyttää esimerkiksi televisiovastaanottimessa suojaamaan integroidussa piirissä olevaa piiristöä suurjännitetransienttien aiheuttamalta vahingoittumiselta. Suojapiiri käsittää PNPN-rakenteen, joka muodostaa ohjattavan piitasa-suuntaajan (SCR) ja SCR-rakenteeseen integroidun resistiivisen elementin. Yhdessä suoritusmuodossa resistiivinen elementti on lineaarinen vastus (R) ja toisessa suoritusmuodossa ei-lineaarinen resistiivinen elementti diodiksi kytketyn transistorin muodossa. Tyristori (SCR) ja resistiivinen elementti on sovitettu muodostamaan kaksinapainen (28, 30) suurivirtainen suojapiiri, joka tulee johtavaksi kahden navan (28, 30) yli vaikuttavan jännite-eron ylittäessä yhden myötäsuntaan biasoidun PN-liitoksen jännitepudotuksen. Suojapiirin yksi napa (28) on kytketty suojattavan piirin otto- tai antonapaan ja toinen napa (30) on kytketty positiivisimpaan tehon syöttöjännitteeseen (V+). Positiivisen tehon syöttöjännitteen (V+) yläpuolella olevaa yhden PN-liitoksen jännitepudotusta suuremmat integroidun piirin napaan (28) ilmestyvät jännitetransientit aikaansaavat suojapiirin virranjohtumisen, hävittäen siten suurjännitetransientin energian ja suojaten integroidua piiriä vahingoittumiselta.

(57) Sammandrag

Skyddskrets, vilket t.ex. kan användas i en televisionsmottagare för skyddande av komponenterna inom en integrerad krets från skada till följd av högspännings-övergångsströmmar. Skyddskretsen omfattar en PNPN-struktur, vilken bildar en styrbar kisel-likriktare (SCR) och ett med SCR-strukturen integralt resistivt element. I ett utförande bildar det resistiva elementet ett lineärt motstånd (R) och i ett annat utförande är det icke lineära motståndselementet i form av en diodkopplad transistor. Tyristorn (SCR) och det resistiva elementet har anordnats för att bilda en tvåpolig (28, 30) starkström-skyddskrets, vilken blir ledande då spänningsskillnaden över de bägge polerna (28, 30) är större än spänningsfallet i en framåt förspänd PN-förbindelse. En pol (28) i skyddskretsen har kopplats till en in- eller utanslutning i den skyddade kretsen och den andra polen (30) har kopplats till den mest positiva kraftmatningsspänningen (V+). Övergångsspänningar som uppträder vid den integrerade kretsens pol (28) och är större än spänningsfallet i en PN-förbindelse ovanför den positiva kraftmatningsspänningen (V+), åstadkommer att skyddskretsen blir strömledande, varigenom energin avleds från högspännings-övergångsströmmen och den integrerade kretsen skyddas från skada.



Suojapiiri integroiduille piirilaitteille

Esillä oleva keksintö kohdistuu integroidun piirin (IC) suojalaitteisiin.

5 Monen tyyppiset sähköiset laitteet sisältävät IC-piirejä, jotka ovat suurjännitetransienteista aiheutuville vahingoille alttiita.

Esimerkiksi televisiovastaanottimessa, joka sisältää integroituja piirejä video- ja äänisignaalien käsittelyä varten, kuvan synnyttävän kuvaputken anodi on tyyppillisesti esiasetettu suureen potentiaaliin, noin 25 000 volttiin. Suurjännitetransientteja synnyttää kuvaputkessa tapahtuva valokaarien muodostuminen, mitä esiintyy kuvaputken suurjänniteanodin nopeasti purkautuessa. Kuvaput-

10 kessa tapahtuva valokaarien muodostuminen voi esiintyä myös ennalta arvaamattomasti anodin ja kuvaputken yhden tai useamman muun matalampijännitteisen elektrodin välillä televisiovastaanottimen ollessa normaalitoiminnassa. Kummassakin tapauksessa kuvaputkessa tapahtuva valokaarien muodostuminen johtaa integroidun piirin navoissa suur-

20 jännitetransientteihin, joiden positiiviset ja negatiiviset huiput usein ylittävät 100 volttia ja jotka kestävät yhdestä mikrosekunnista useisiin mikrosekunteihin.

Suurjännitetransienttien toinen aiheuttaja televisiovastaanottimessa on elektrostaattinen purkaus. Käyttä-

25 jä voi purkaa elektrostaattisen varauksen muodostuman televisiovastaanottimen säätimien kautta synnyttäen siten suurjännitetransientin, joka voi vahingoittaa integroituja piirejä televisiovastaanottimessa.

30 Esillä oleva keksintö toteutetaan integroidun piirin puolijohdesuojapiirillä, joka käsittää puolijohdesubstraatin, ensimmäistä johtavuustyyppiä olevan puolijohdekerroksen, joka on sijoitettu puolijohdesubstraatille, ensimmäisen ja toisen puolijohdealueen, jotka ovat toista

35 johtavuustyyppiä, jolloin molemmat puolijohdealueet on sovitettu puolijohdekerrokseen, ensimmäistä johtavuustyyppiä olevan emitterialueen, joka on muodostettu toiseen

puolijohdealueeseen, jolloin emitterialue on kontaktoitu ensimmäisen liitäntäjohtimen avulla. Keksinnön mukaiselle puolijohdepiirille on puolestaan tunnusomaista se, että ensimmäinen liitäntäjohtin on yhdistetty käyttöjännitelähteen liittimeen, ensimmäinen puolijohdealue on kontaktoitu toisella liitäntäjohtimella ja yhdistetty liittimellä suojattavaan hyötypiiriin, puolijohdekerrokseen on sovitettu ensimmäistä johtavuustyyppiä oleva kontaktialue, joka on välimatkan päässä toisesta puolijohdealueesta, ja että kontaktialue on ensimmäisen liitäntäjohtimen avulla yhdistetty käyttöjännitelähteen liittimeen.

Suojapiiri on siis kytketty yhdestä navastaan suojattavan piirin piirinapaan ja toisesta navastaan toimintajännitelähteeseen. Kun suojattavan piirin piirinavassa vaikuttava jännite ylittää toimintajännitteen määrällä, joka on yhtä suuri kuin ennalta määrätty kynnysarvo, tulee suojapiiri johtavaksi suojaten siten integroitua piiriä vahingoittumiselta.

Seuraavassa keksintöä selitetään tarkemmin viitaten oheisten piirustusten mukaisiin esimerkkeihin, joissa kuvio 1 on esillä olevan keksinnön mukaisesti suojapiirin toteuttavan puolijohderakenteen yhden suoritusmuodon poikkileikkauskuvanto;

kuvio 2 on kuvion 1 puolijohdesuojapiirin suoritusmuodon kaavio;

kuvio 3 on esillä olevan keksinnön mukaisesti suojapiirin toteuttavan puolijohderakenteen toisen suoritusmuodon poikkileikkauskuvanto; ja

kuvio 4 on kuvion 3 puolijohdesuojapiirin suoritusmuodon kaavio.

Kuten on esitetty kuviossa 1, puolijohdepiiri on valmistettu substraatille 10, joka voi muodostaa P-tyyppisestä piimateriaalista. Epitaksiaalinen kerros 12, joka voi muodostua N-johtavuustyyppistä, on sijoitettu substraatille 10. P-tyyppinen alue 14 on muodostettu N-tyyppiseen epitaksiaaliseen kerrokseen 12, muodostaen PN-liitoksen N-tyypin kerroksen 12 kanssa. Toinen P-tyyppinen alue 16

on muodostettu N-tyyppiseen epitaksiaaliseen kerrokseen 12, muodostaen PN-liitoksen epitaksiaalisen kerroksen 12 kanssa. N+-alue 18 on muodostettu P-tyyppiseen alueeseen 16, ja se muodostaa PN-liitoksen P-tyypin alueen 16 kanssa. Toinen N+-tyyppinen alue 20 on muodostettu N-tyyppiseen epitaksiaaliseen kerrokseen 12. Upotettu N+-alue 11 sijaitsee P-alueiden 14 ja 16 alapuolella.

Eristekerros 22, joka voi olla piidioksidia, päällystää N-epitaksiaalisen kerroksen 12 pinnan. Eristekerrokseen 22 muodostetaan aukot alueiden 14, 18 ja 20 kohdalle vastaavien sähköisten kontaktien muodostamiseksi niihin. Johtava kerros 26, joka voi olla esimerkiksi alumiinia, sijaitsee eristekerroksen 22 päällä ja muodostaa kontaktin alueisiin 18 ja 20. Johtava kerros 26 on edelleen kytketty napaan 30, joka vastaanottaa syöttölähteen positiivisen toimintajännitteen V+. Johtava kerros 24, joka voi myös olla alumiinia, ulottuu eristekerroksessa 22 olevan aukon läpi kontaktin muodostamiseksi alueeseen 14. Kontakti 28 on kytketty alueeseen 14 johtavan kerroksen 24 kautta. Kontakti 28 on edelleen kytketty muualla integroidussa piirissä olevan hyötypiirin (ei esitetty) otto- tai antonapaan. P+-alue 32 ulottuu epitaksiaalisen kerroksen 12 pinnalta substraattiin 10. Alue 32 ympäröi epitaksiaalista kerrosta 12 eristäen suojapiirin substraattilla 12 olevista muista piireistä.

Kuvio 2 on kuviossa 2 esitetyn rakenteen kaavio resistiivisen elementin ollessa lineaarinen. Suojapiiri käsittää NPN-transistorin Q1, PNP-transistorin Q2 ja lineaarisen resistiivisen elementin, joka on merkitty vastuksena R. Transistorin Q1 emitterielektrodi 118, kantaelektrodi 116 ja kollektorielektrodi 112 vastaavat vastaavasti alueita 18, 16 ja 12 kuviossa 1. Transistorin Q2 emitterielektrodi 114, kantaelektrodi 112 ja kollektorielektrodi 116 vastaavat vastaavasti alueita 14, 12 ja 16 kuviossa 1. Vastus R, merkitty viitenumerolla 120, on kytketty transistorin Q2 kantaelektrodin 112 ja transistorin Q1 emitterielektrodin 118 välille ja vastaa sitä N-tyyppisen epi-

taksiaalisen kerroksen 12 aluetta, joka on P-alueen 16 ja N+-alueen 20 välissä kuviossa 1. Transistorin Q1 emitterielektrodin ja vastuksen R välillä oleva johdin 126 vastaa johtavaa kerrosta 26 kuviossa 1.

5 Vastuksen R arvon määrää N-epitaksiaalisen kerroksen 12 resistiivisyys ja P-alueen 16 ja N+-alueen 20 (kuvio 1) välissä sijaitsevan N-epitaksiaalisen kerroksen geometria. Vastuksen R resistanssia voidaan esimerkiksi kasvattaa sijoittamalla N+-alue 20 kauemmaksi P-alueesta 16.

10 Upotettu N+-alue 11 vähentää myös merkittävästi N-epitaksiaalisen kerroksen 12 resistiivisyyttä. Siten upotettu N+-alue, suoraan P-alueiden 14 ja 16 alle sijoitettuna, ei ulotu N-epitaksiaalisen kerroksen 12 sen osan alapuolelle, joka on P-alueen 16 ja N+-alueen 20 välillä.

15 Kuviossa 2 transistorit Q1 ja Q2 on kytketty yhteen ohjattavan piitasasuuntaajan (SCR) muodostamiseksi. Tarkemmin esittäen, transistorin Q1 kantaelektrodi on kytketty transistorin Q2 kollektorielektrodiin, ja transistorin Q2 kantaelektrodi on kytketty transistorin Q1 kollektorielektrodiin. Vastus R tehollisesti kytketty transistorin Q1 kollektori-emitteri -tien kanssa sarjaan.

Viitaten nyt kuvioon 3, esitetään puolijohdepiiri, joka on valmistettu substraatille 10, joka voi tyypillisesti koostua P-tyypin piimateriaalista ja jossa on N+-tyypin johtavuuden omaava upotettu alue 11. N-tyypin johtavuuden omaava epitaksiaalinen kerros 12 on sijoitettu substraatille 10. P-tyyppinen alue 14 on muodostettu N-tyyppiseen epitaksiaaliseen kerrokseen 12, muodostaen PN-liitoksen N-tyyppisen kerroksen 12 kanssa. Toinen P-tyyppinen

25 alue 16 on muodostettu N-tyyppiseen epitaksiaaliseen kerrokseen 12, muodostaen PN-liitoksen epitaksiaalisen kerroksen 12 kanssa. N+-tyyppinen alue 18 on muodostettu P-tyyppiseen alueeseen 16 PN-liitoksen muodostamiseksi P-tyyppisen alueen 16 kanssa. Alueiden 12, 16 ja 18 yhdistelmä

30 edustaa vastaavasti transistorin Q1 kollektoria, kantaa ja emitteriä. Tässä suoritusmuodossa P-tyyppinen alue 38 on

35

muodostettu N-tyyppiseen epitaksiaaliseen kerrokseen 12 ja N+-alue 20 on muodostettu P-tyyppiseen alueeseen 38. Alueet 20 ja 38 yhdessä P-tyyppisen alueen 38 viereen N-epitaksiaaliseen kerrokseen 12 muodostettu N+-alue 36 edustavat vastaavasti transistorin Q3 emitteriä, kantaa ja kollektoria. Upotettu N+-alue 11 sijaitsee P-alueiden 14, 16 ja 38 alapuolella.

Eristekerros 22, joka voi olla piidioksidia, päällystää N-epitaksiaalisen kerroksen 12 pinnan. Eristekerrokseen 22 on muodostettu aukot alueiden 14, 18, 36, 38 ja 20 kohdalle vastaavien sähköisten kontaktien muodostamiseksi niihin. Johtava kerros 26, joka voi olla esimerkiksi alumiinia, ulottuu eristekerroksen 22 lävitse ja aikaansa ohmisen kontaktin alueeseen 18. Johtava kontakti 34, joka voi olla alumiinia, aikaansa ohmisen kontaktin alueisiin 36 ja 38 transistorin Q3 kanta- ja kollektorialueiden oikosulkemiseksi diodin muodostamiseksi. Johtava kontakti 26 on edelleen kytketty, johtimen 42 avulla, napaan 30, joka vastaanottaa syöttölähteen positiivisen toimintajännitteen V+. Johtava kerros 24, joka voi myös olla alumiinia, ulottuu eristekerroksessa 22 olevan aukon lävitse kontaktin aikaansaamiseksi alueeseen 14. Kontakti 28 on kytketty alueeseen 14 johtavan kerroksen 24 kautta. Kontakti 28 on edelleen kytketty muualla integroidussa piirissä olevan hyötypiirin (ei esitetty) otto- tai antonapaan. P+-eristysalue 32 ulottuu epitaksiaalisen kerroksen 12 pinnalta substraattiin 10 ja se myös ympäröi epitaksiaalista kerrosta 12 suojapiirin eristämiseksi substraatilla 12 olevista muista piireistä. Tässä yhteydessä tulee huomata, että kun eristealue 32 on muodostettu, alueeseen 14 voidaan muodostaa myös P+-alue 40. Tämä lisätty alue 40 pyrkii parantamaan emitterin injektiohyötysuhdetta ja pienentämään kontaktiresistanssia tai transistorin Q2 "on"-resistanssia.

Kuvio 4 on kuviossa 3 esitetyn rakenteen kaaviollinen piiridiagrammi resistiivisen elementin ollessa ei-li-

neaarinen resistiivinen elementti diodin muodossa. Suoja-
piiri käsittää NPN-transistorin Q1, PNP-transistorin Q2
ja ei-lineaarisen resistiivisen elementin, jonka muodos-
taa diodiksi kytketty NPN-transistori Q3. Transistorin
5 Q1 emitterielektrodi 118, kantaelektrodi 116 ja kollektori-
elektrodi 112 vastaavat vastaavasti alueita 18, 16 ja 12
kuviossa 3. Transistorin Q2 emitterielektrodi 114, kanta-
elektrodi 112 ja kollektorielektrodi 116 vastaavat vastaa-
vasti alueita 14, 12 ja 16 kuviossa 3. Transistori Q3, dio-
10 diksi kytkettynä, on kytketty transistorin Q2 kantaelek-
trodin ja toimintajännitelähteen 30 välille. Transistorin
Q3 kanta-alue 138 ja kollektorialue 136 on oikosuljettu
kontaktilla 34 (kuvio 3) diodin muodostamiseksi, kun taas
emitterialue 120 (alue 20, kuvio 3) on kytketty toiminta-
15 jännitteen lähteeseen 30 johtimella 144 (johdon 44, kuvio
3). Laitteen saattamiseksi täydelliseksi johdin 142 kyt-
kee transistorin Q3 emitterin 120 ja transistorin Q1 emit-
terin 118 (kontaktin 126 kautta) lähteeseen 30.

Vastuksen R (kuvio 1) arvo määräytyi yksinomaan N
20 epitaksiaalisen kerroksen 21 resistiivisyydestä ja P-alueen
16 ja N+-alueen 20 välillä sijaitsevan N-epitaksiaalisen
kerroksen 12 geometriasta. Vastuksen R resistanssia voidaan
esimerkiksi kasvattaa sijoittamalla N+-alue kauemmaksi
P-alueesta 16. Kuten kuvion 2 piirissä, kantavirta tarvi-
25 taan sytyttämään Q2 regeneratiivisen toiminnan sallimisek-
si aiheuttaen transistoriyhdistelmän Q1/Q2 jäämisen tilaan-
sa. Kuvion 4 piirikaaviossa transistorin Q3 (ei-lineaarinen
resistiivinen elementti) läsnäolo ollessaan päästösuuntaan
esijännitetty lisää noin 0,6 voltin suuruisen ylimääräisen
30 jännitepudotuksen, joka täytyy voittaa ennen sytytystoimin-
nan tapahtumista. Transistorin Q3 läsnäolo lisää kuitenkin
estosuuntaista esiläpilyöntijännitettä noin 7 voltilla,
joka on diodille luonteenomaista, yhdessä estosuuntaisen 8
voltin suuruisen esiläpilyöntijännitteen kanssa, joka ai-
35 heutuu syvän diffuusioalueen 40 olemassaolosta kosketuk-
sessa N+-alueen kanssa. Siten on saavutettu noin 15 voltin

suuruinen estosuuntainen kokonaisläpilyöntijännite, joka on tarpeen käytettäessä noin 12 voltin teholähdettä.

Kuten kuviossa 2 on esitetty, kuvion 4 transistorit Q1 ja Q2 on kytketty ohjattavan piitasasuuntaajan (SCR) muodostamiseksi. Tarkemmin esitettynä, transistorin Q1 kantaelektrodi on kytketty transistorin Q2 kollektorielektrodiin ja transistorin Q2 kantaelektrodi on kytketty transistorin Q1 kollektorielektrodiin. Diodiksi kytketty transistori Q3 on tehollisesti kytketty transistorin Q1 kollektori-emitteri -tien kanssa sarjaan.

Lopputuloksena saatava suojapiiri eroaa tavanomaisesta SCR-laitteesta siinä, että resistiivinen elementti (kuvion 2 lineaarinen vastus R tai kuvion 4 diodikytketty transistori) muuntaa tavanomaisen kolminapaisen SCR-laitteen kaksinapaiseksi laitteeksi, joka muuttuu johtavaksi sen napojen yli vaikuttavan jännite-eron ylittäessä ennalta määrätyn kynnysarvon. Edelleen, päinvastoin kuin tavanomainen SCR, esillä oleva keksintö ei vaadi vastusta kummankaan transistorin Q1 tai Q2 kanta- ja emitterielektrodien välille.

Kummankin suoritusmuodon (kuviot 2 ja 4) mukainen suojapiiri on kytketty napaan 30 johtimen 126 kautta, joka vastaanottaa syöttölähteen positiivisen toimintajännitteen V_+ . Suojapiiri on myös kytketty kontaktiin 28 transistorin Q2 emitterielektrodin kautta, johon on kytketty suojattava hyötypiiri.

Toimintatilanteessa kontaktissa 28 vaihtelee signaali, joka on jännitteen V_+ alapuolella. Niin kauan kuin jännite kontaktissa 28 on jännitteen V_+ alapuolella, transistorin Q2 kanta-emitteri -liitos on estosuuntaisesti biasoitu, ja transistorit Q1 ja Q2 ovat ei-johtavia.

Kontaktiin 28 ilmestynvä suurjännitetransientti aiheuttaa kontaktin 28 jännitteen tulemisen positiivisemmaksi kuin V_+ . Kun jännite-ero kontaktin 28 ja tehon syöttävän 30 välillä on suurempi kuin transistorien Q2 ja Q3 yhdistetyt myötäsuuntaisesti biasoidut kanta-emitteri-jännitteet (V_{BE}), transistori Q2 alkaa johtaa kollektori-

virtaa. Transistorin Q2 kollektorielektrodin kautta tapah-
tuva johtuminen aikaansaa transistorin Q2 kantavirran joh-
tumisen. Transistorin Q1 kollektorielektrodin kautta tapah-
tuva johtuminen puolestaan aikaansaa transistorin Q2 kan-
5 tavirran aiheuttaen siten transistorin Q2 ja transistorin
Q1 suuren johtavuuden. Kun suurjännitetransientin kontak-
tista 28 tehon syöttönapaan 30 syöttämä virta putoaa mini-
miylläpitovirran alapuolelle, transistori kytkeytyy esto-
tilaan, mikä estää transistorin Q1 kantavirran ja suojapii-
10 ri tulee ei-johtavaksi. Kyseisellä tavalla suurjännitetrans-
sientin energia, joka synnyttää positiivisen jännitteen
kontaktiin 28, hävitetään transistorien Q1 ja Q2 johtumi-
sella tehon syöttönapaan 30 suojaten siten hyötypiiri va-
hingoittumiselta.

Patenttivaatimukset

1. Puolijohdesuojapiiri, joka käsittää
- puolijohdesubstraatin (10),
 - 5 - ensimmäistä johtavuustyyppiä (N) olevan puolijohdekerroksen (12), joka on sijoitettu puolijohdesubstraatille (10),
 - ensimmäisen (14) ja toisen (16) puolijohdealueen, jotka ovat toista johtavuustyyppiä (P), jolloin molemmat
 - 10 puolijohdealueet (14,16) on sovitettu puolijohdekerrokseen (12),
 - ensimmäistä johtavuustyyppiä (N) olevan emitterialueen (18), joka on muodostettu toiseen puolijohdealueeseen (16), jolloin emitterialue (18) on kontaktoitu
 - 15 ensimmäisen liitántäjohtimen (26) avulla, t u n n e t t u siitä, että
 - ensimmäinen liitántäjohdin (26) on yhdistetty käyttöjännitelähteen liittimeen (30),
 - ensimmäinen puolijohdealue (14) on kontaktoitu
 - 20 toisella liitántäjohtimella (24) ja yhdistetty liittimellä (28) suojattavaan hyötypiiriin,
 - puolijohdekerrokseen (12) on sovitettu ensimmäistä johtavuustyyppiä (N) oleva kontaktialue (20), joka on välimatkan päässä toisesta puolijohdealueesta (16), ja
 - 25 että
 - kontaktialue (20) on ensimmäisen liitántäjohtimen (26) avulla yhdistetty käyttöjännitelähteen liittimeen (30).
2. Patenttivaatimuksen 1 mukainen puolijohdesuojapiiri, t u n n e t t u siitä, että siinä on ensimmäistä johtavuustyyppiä oleva haudattu puolijohdealue (11), jolla on puolijohdekerrokseen (12) verrattuna pieni ominaisvastus ja joka sijaitsee ensimmäisen ja toisen puolijohdealueen (14,16) alapuolella puolijohdekerroksen
- 35 (12) ja puolijohdesubstraatin (10) välissä.
3. Patenttivaatimuksen 1 tai 2 mukainen puolijohdesuojapiiri, t u n n e t t u siitä, että siinä on tois-

ta johtavuustyyppiä oleva erityisalue (32), joka ulottuu puolijohdekerroksen (12) puolijohdesubstraattia (10) vastapäätä sijaitsevalta pääninnalta puolijohdesubstraatile (10) ja joka ympäröi puolijohdekerrosta (12).

5 4. Jonkin patenttivaatimuksen 1-3 mukainen puolijohdesuojapiiri, t u n n e t t u siitä, että puolijohdesubstraatti (10) on P-tyypin johtavuuden omaavaa piitä.

10 5. Jonkin patenttivaatimuksen 1-4 mukainen puolijohdesuojapiiri, t u n n e t t u siitä, että puolijohdekerros (12) on N-tyypin johtavuuden omaava epitaksiaalinen kerros.

15 6. Jonkin patenttivaatimuksen 1-5 mukainen puolijohdesuojapiiri, t u n n e t t u siitä, että kontaktialuetta (20) ympäröi täydellisesti toista johtavuustyyppiä oleva kanta-alue (38), joka ulottuu puolijohdekerroksen (12) puolijohdesubstraattia (10) vastapäätä olevalta pääninnalta puolijohdesubstraatin sisään, että puolijohdekerroksen (12) puolijohdesubstraattia (10) vastapäätä olevalta pinnalta ulottuu puolijohdekerroksen (12) sisään ensimmäistä johtavuustyyppiä oleva kollektorialue (36), joka rajoittuu kanta-alueeseen (38), ja että kontakti-, kanta- ja kollektorialueet (20,38,36) muodostavat yhdessä kanta- (38) ja kollektorialueet (36) yhdistävän
20 liitännäjohtimen (34) kanssa diodiksi kytketyn transist
25 torin (Q3).

Patentkrav

1. Halvledarskyddskrets, omfattande

- ett halvledarsubstrat (10),
- 5 - ett halvledarskikt (12) av en första ledningstyp (N), vilket skikt är anordnat på halvledarsubstratet (10),
- ett första (14) och ett andra (16) halvledarområde, vilka är av en andra ledningstyp (P), varvid bägge halvledarområdena (14, 16) är anordnade i halvledarskiktet (12),
- 10 - ett emitterområde (18) av den första ledningstypen (N), vilket är bildat i det andra halvledarområdet (16), varvid emitterområdet (18) är kontakterat medelst en första anslutningsledning (26), k ä n n e t e c k n a d därav, att
- 15 - den första anslutningsledningen (26) är kopplad till en klämma (30) i en driftspänningskälla,
- det första halvledarområdet (14) är kontakterat med en andra anslutningsledare (24) och kopplat medelst en klämma (28) till nyttokrets som skall skyddas,
- 20 - ett kontaktområde (20) av den första ledningstypen (N) är anordnat i halvledarskiktet (12), vilket kontaktområde ligger på ett avstånd från det andra halvledarområdet (16), och att
- kontaktområdet (20) är medelst den första anslutningsledningen (26) kopplat till driftspänningskällans klämma (30).

2. Halvledarskyddskrets enligt patentkravet 1, k ä n n e t e c k n a d därav, att den uppvisar ett begrävat halvledarområde (11) av den första ledningstypen, vilket

30 jämfört med halvledarskiktet (12) har en låg specifik resistans och vilket är beläget nedanför det första och det andra halvledarområdet (14, 16) mellan halvledarskiktet (12) och halvledarsubstratet (10).

3. Halvledarskyddskrets enligt patentkravet 1 eller

35 2, k ä n n e t e c k n a d därav, att den uppvisar en isoleringsområde (32) av den andra ledningstypen, vilket område

sträcker sig från halvledarskiktets (12) mittemot halvledarsubstratet (10) belägna huvudyta till halvledarsubstratet (10) och vilket omger halvledarskiktet (12).

5 4. Halvledarskyddskrets enligt något av patentkraven 1-3, k ä n n e t e c k n a d därav, att halvledarsubstratet (10) är kisel med P-typens ledningsförmåga.

5 5. Halvledarskyddskrets enligt något av patentkraven 1-4, k ä n n e t e c k n a d därav, att halvledarskiktet (12) är ett epitaxiellt skikt med N-typens ledningsförmåga.

10 6. Halvledarskyddskrets enligt något av patentkraven 1-5, k ä n n e t e c k n a d därav, att kontaktområdet (20) omges fullständigt av ett basområde (38) av den andra ledningstypen, vilket basområde sträcker sig från halvledarskiktets (12) mittemot halvledarsubstratet (10) belägna
15 huvudyta inne i halvledarsubstratet, att ett kollektorområde (36) av den första ledningstypen sträcker sig från halvledarskiktets (12) mittemot halvledarsubstratet (10) belägna yta inne i halvledarskiktet (12) och gränsar sig till basområdet (38), och att kontakt-, bas- och kollektor-
20 områdena (20, 38, 36) tillsammans med en anslutningsledning (34) som sammankopplar bas- (38) och kollektorområdena (36) bildar en transistor (Q3) som är kopplad till en diod.

Viitejulkaisuja-Anförda publikationer

Patenttijulkaisuja:-Patentskrifter: Iso-Britannia-Storbritannien(GB)
1 551 760 (H 03 K 19/08). USA(US) 3 524 113 (H 01 L 19/00).

