

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：94147472

※申請日期：94.12.30

※IPC 分類：H03K19/094(2006.01)

一、發明名稱：(中文/英文)

驅動電路

DRIVING CIRCUIT

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

三洋電機股份有限公司

SANYO ELECTRIC CO., LTD.

代表人：(中文/英文)(簽章) 井植敏雅 / IUE, TOSHIMASA

住居所或營業所地址：(中文/英文)

日本國大阪府守口市京阪本通2丁目5番5號

5-5, Keihan-Hondori 2-chome, Moriguchi-shi, Osaka, Japan

國籍：(中文/英文) 日本國 / JAPAN

三、發明人：(共 2 人)

姓名：(中文/英文)

1. 名野隆夫 / MYONO, TAKAO

2. 女屋佳隆 / ONAYA, YOSHITAKA

國籍：(中文/英文)

1. 2. 日本國 / JAPAN

四、聲明事項：

☐ 主張專利法第二十二條第二項 ☐ 第一款或 ☐ 第二款規定之事實，其事實發生日期為： 年 月 日。

☒ 申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

☒ 有主張專利法第二十七條第一項國際優先權：

1. 日本國；2005 年 01 月 24 日；特願 2005-015282（主張優先權）

☐ 無主張專利法第二十七條第一項國際優先權：

☐ 主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

☐ 主張專利法第三十條生物材料：

☐ 須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

☐ 不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

九、發明說明：

【發明所屬之技術領域】

本發明係關於一種驅動電路，關於例如 CCD 相機控制用的驅動電路。

【先前技術】

以往，將搭載在行動電話等之行動資訊機器的 CCD(charge-coupled Device; 電荷耦合元件)作為攝像元件以控制 CCD 相機的驅動電路，在規格上必須有可進行高電壓輸出之驅動電路。第 3 圖係該驅動電路的電路圖。

該第 3 圖中，INV1 係輸入段的反相器(inverter)，係由 P 通道型 MOS 電晶體 10 及 N 通道型 MOS 電晶體 11 串聯連接於低電源電位 Vdd(例如+3V)與接地電位 0V 之間而構成。12 係根據低電源電位 Vdd 產生正的高電源電位 VH(例如+15V)的正昇壓充電泵電路，13 係產生負的高電源電位 VL(例如-7.5V)的負昇壓充電泵電路。

在反相器 INV1 之輸入端子施加有 CCD 控制電壓 VIN，反相器 INV1 之輸出電壓係通過下一段之位準位移電路 14(level shift circuit 14)，以其高位準成為 VH、低位準成為 VL 之方式位準位移。

位準位移電路 14 之輸出電壓係施加至由 P 通道型 MOS 電晶體 15 及 N 通道型 MOS 電晶體 16 所構成之反相器 INV2 的輸入端子，反相器 INV2 之輸出電壓係施加至由 P 通道型 MOS 電晶體 17 及 N 通道型 MOS 電晶體 18 所構成之輸出段的反相器 INV3 之輸入端子。

再者，將正的高電源電位 V_H 供給為反相器 INV2、INV3 的高電位側電源，將負的高電源電位 V_L 供給為低電位側電源。在輸出段的反相器 INV3 之輸出端子 19 與負的高電源電位 V_L 之間，經由 IC 外部的外部配線 20、21 連接有外接於 IC 的輸出電容器 C。外部配線 20、21 係分別具有寄生電感 L_1 、 L_2 。且正昇壓充電泵電路 12 及負昇壓充電泵電路 13 係記載在專利文獻 1。

[專利文獻 1] 日本特開 2001-231249 號公報

【發明內容】

(發明所欲解決之課題)

然而，在前述驅動電路中，如第 4 圖所示，輸出段的反相器 INV3 之輸出電壓 V_{out} 從高位準變化為低位準後，會產生正昇壓充電泵電路之輸出電位的正的高電源電位 V_H 異常降低的現象。吾人得知，該異常現象係在輸出電容器 C 的值為 500pF 時不會產生，而在輸出電容器 C 之值成為作為 CCD 相機控制用之規格上需要的 1000pF 之較大值時產生。

產生該異常現象時，會有將正的高電源電位 V_H 作為電源電位使用的 IC 內之其他電路之動作不穩定，或產生誤動作的問題。

(解決課題之手段)

本發明係追究該異常現象的原因，而開發本發明之驅動電路。首先說明該原因之探討。第 5 圖係構成本發明之驅動電路之輸出段的反相器 INV3 的 P 通道型 MOS 電晶體

17 及 N 通道型 MOS 電晶體 18 之構造的剖視圖。

P 通道型 MOS 電晶體 17 係形成在 P 型半導體基板 50 之表面所形成之第 1N 阱 51 中，N 通道型 MOS 電晶體 18 係在 P 型半導體基板 50 之表面，形成在與前述第 1N 阱 51 隣接而形成之第 2N 阱 52 中所形成的 P 阱 53 中。而且，第 1 及第 2N 阱 51、52 之電位係分別藉由第 1n 型層 54 及第 2n 型層 55 而設定為正的高電源電位 V_H (例如 +15V)，P 阱 53 係藉由 p 型層 56 而設定為負的高電源電位 V_L (例如 -7.5V)。

根據第 3 圖及第 5 圖所示之驅動電路，將輸出電壓 V_{out} 從高位準變化為低位準時的模擬結果顯示在第 6 圖。在第 6 圖(a)、(b)中，縱軸表示 V_{out} ，橫軸表示時間。第 6 圖(b)係第 6 圖(a)之部分放大圖。由該模擬結果可得知，輸出電容器 C 為 1000pF 時，與 500pF 之情形相比較，輸出電壓 V_{out} 之振鈴(Ringing)較大。

特別是，輸出電容器 C 為 500pF 時，輸出電壓 V_{out} 在負的高電源電位 V_L (-7.5V) 以下過衝(overshoot)的期間為 40ns(毫微秒)左右，但輸出電容器 C 為 1000pF 時，輸出電壓 V_{out} 在負的高電源電位 V_L (-7.5V) 以下過衝(overshoot)的期間為 60ns(毫微秒)左右而較長。而在模擬上，寄生電感 L_1 、 L_2 之合成電感值係設定為 200nH(毫微亨利，nanohenry)。

據推測，該過衝期間係相當於由第 5 圖之 P 阱 53 及 N 通道型 MOS 電晶體 18 之 n 型汲極層 57 所構成之寄生二

極體導通的期間。亦即，輸出電容器 C 為 1000pF 時會引起大的過衝，因此前述寄生二極體會流通大的電流，該電流成為基極電流 I_B ，而使寄生雙極電晶體呈導通狀態。

該寄生雙極電晶體係將第 5 圖之 n 型汲極層 57 設為射極，將 P 阱 53 設為基極，將第 $2N$ 型阱 52 設為集極者。使該寄生雙極電晶體導通時，集極電流 I_c 從正的高電源電位 $V_H(+15\text{V})$ 通過第 $2N$ 型阱 52 流通。據了解，由於該集極電流 I_c 之流通，正昇壓充電泵電路 12 所輸出之正的高電源電位 $V_H(+15\text{V})$ 會異常降低。

因此，正的高電源電位 $V_H(+15\text{V})$ 之異常降低的原因，係由於輸出電容器 C 與付屬在外部配線 20、21 的寄生電感 $L1$ 、 $L2$ 所構成之 LC 電路，而使輸出段之反相器 $INV3$ 之輸出電壓 V_{out} 在負的高電源電位 $V_L(-7.5\text{V})$ 以下過衝之故。為了要減低該過衝，可考慮將與前述輸出電容器 C 串聯地將輸出電阻插入於輸出端子 19。如此，輸出段之反相器 $INV3$ 之輸出電感會增加，而不能滿足電路規格。

因此，本發明係如第 1 圖所示，在輸出段之反相器 $INV6$ 之前段的反相器 $INV4$ 設置用以限制過衝的第 1 電阻 $R1$ 。由此，在不使輸出段之反相器 $INV6$ 之輸出阻抗增加的情形下，限制輸出段之反相器 $INV6$ 之輸出電壓 V_{out} 過衝到負的高電源電位 $V_L(-7.5\text{V})$ 以下而防止前述寄生雙極電晶體導通。

(發明之效果)

根據本發明之驅動電路，由於限制輸出段之反相器

INV3 之輸出電壓的過衝，在驅動電路之輸出段之反相器進行切換時，可防止正昇壓充電泵電路 12 所輸出之正的高電源電位 $V_H(+15V)$ 異常降低。特別是，在高電壓輸出(例如 15V 左右以上)的驅動電路中，由於輸出電壓之振鈴及過衝較大，寄生雙極電晶體容易導通，因此使用在該驅動電路的效果較大。

【實施方式】

其次，參照圖式說明本發明實施形態之驅動電路。第 1 圖係驅動電路之電路圖。在第 1 圖中，對於與第 3 圖(習知例之電路)相同的構成部分，附註同一符號並省略其說明。構成輸出段之反相器 INV6 的 P 通道型 MOS 電晶體 17 與 N 通道型 MOS 電晶體 18 的構造，係與第 5 圖所示之剖面構造相同。

本實施形態之驅動電路與習知例之電路不同的點在於：將反相器 INV2 的輸出電壓分別施加在用以控制輸出段之反相器 INV6 用之反相器 INV4、INV5 的輸入端子，而將反相器 INV4 的輸出電壓施加在輸出段之反相器 INV6 的 N 通道型 MOS 電晶體 18(輸出電晶體)的閘極，並將反相器 INV5 的輸出電壓施加在輸出段之反相器 INV6 的 P 通道型 MOS 電晶體 17(輸出電晶體)的閘極。

反相器 INV4 係將 P 通道型 MOS 電晶體 25、第 1 電阻 R1、N 通道型 MOS 電晶體 26，依序連接在正的高電源電位 V_H (例如 +15V)與負的高電源電位 V_L (例如 -7.5V)而構成，並將第 1 電阻 R1 與 N 通道型 MOS 電晶體 26 的連接

點作為該反相器 INV4 的輸出端子。第 1 電阻 R1 係插入作為 P 通道型 MOS 電晶體 25 之汲極電阻者，當 P 通道型 MOS 電晶體 25 導通時，藉由該第 1 電阻 R1，而限制流通在 P 通道型 MOS 電晶體 25 的電流。

於是，輸出段之反相器 INV6 之 N 通道型 MOS 電晶體 18(輸出電晶體)的閘極之電位會緩慢上昇，響應於此，N 通道型 MOS 電晶體 18(輸出電晶體)亦緩慢導通。由此，可抑制輸出段之反相器 INV6 的輸出電壓 V_{out} 的振鈴，且限制過衝。

第 1 電阻 R1 最好係由將雜質離子植入半導體基板 50 中而形成的離子植入電阻層所構成。並且，亦可使 P 通道型 MOS 電晶體 25 之導通電阻提高，來取代插入第 1 電阻 R1。具體而言，在限制過衝之前提下，最好將前述 P 通道型 MOS 電晶體 25 之尺寸比(通道寬度 W /通道長度 L)設為 N 通道型 MOS 電晶體 26 之尺寸比的 $1/5$ 以下。

再者，亦可插入第 1 電阻 R1，並將前述 P 通道型 MOS 電晶體 25 之尺寸比(通道寬度 W /通道長度 L)設為 N 通道型 MOS 電晶體 26 之尺寸比的 $1/5$ 以下，由此更加限制輸出段之反相器 INV6 之輸出電壓 V_{out} 的過衝。

第 2 圖係輸出段之反相器 INV6 的輸出電壓 V_{out} 從高位準變化為低位準時之模擬結果的示意圖。縱軸係表示 V_{out} ，橫軸係表示時間。由該模擬結果可得知，可減低輸出電壓 V_{out} 之振鈴及過衝。且在本實施例之實際的驅動電路中，亦確認不會發生該正的高電源電位 V_H 之異常降低

現象。

上述之驅動電路之構成，係為了限制輸出段之反相器 INV6 的輸出電壓 V_{out} 從高位準變化為低位準時之過衝，而插入第 1 電阻 R1 者，但同樣地，如第 1 圖所示，為了限制輸出段之反相器 INV6 的輸出電壓 V_{out} 從低位準變化為高位準時之過衝，亦可插入第 2 電阻 R2。

亦即，反相器 INV5 係將 P 通道型 MOS 電晶體 27、第 2 電阻 R2、N 通道型 MOS 電晶體 28，依序連接在正的高電源電位 V_H (例如 +15V) 與負的高電源電位 V_L (例如 -7.5V) 之間而構成，並將第 2 電阻 R2 與 P 通道型 MOS 電晶體 27 的連接點作為該反相器 INV5 的輸出端子。第 2 電阻 R2 係插入作為 N 通道型 MOS 電晶體 28 之汲極電阻者，當 N 通道型 MOS 電晶體 28 導通時，藉由該第 2 電阻 R2，而限制流通在 N 通道型 MOS 電晶體 28 的電流。

於是，輸出段之反相器 INV6 之 P 通道型 MOS 電晶體 17(輸出電晶體)的閘極之電位會緩慢下降，響應於此，P 通道型 MOS 電晶體 17(輸出電晶體)亦緩慢導通。由此，可抑制輸出段之反相器 INV6 的輸出電壓 V_{out} 的過衝。

第 2 電阻 R2 最好係由將雜質離子植入半導體基板 50 中而形成的離子植入電阻層所構成。亦可使 N 通道型 MOS 電晶體 28 之導通電阻變高，來取代插入第 2 電阻 R2。具體而言，在限制過衝之前提下，最好將前述 N 通道型 MOS 電晶體 28 之尺寸比(通道寬度 W /通道長度 L)設為 P 通道型 MOS 電晶體 27 之尺寸比的 $1/5$ 以下。

再者，亦可插入第 2 電阻 R2，並將前述 N 通道型 MOS 電晶體 28 之尺寸比(通道寬度 W/通道長度 L)設為 P 通道型 MOS 電晶體 27 之尺寸比的 1/5 以下，由此更加限制輸出段之反相器 INV6 之輸出電壓 Vout 的過衝。再者，在本實施形態中，第 1 及第 2 電阻 R1、R2 的電阻值最好為 20K Ω 至 30K Ω 左右。

【圖式簡單說明】

第 1 圖係本發明實施形態之驅動電路之電路圖。

第 2 圖係本發明實施形態之驅動電路之模擬結果的示意圖。

第 3 圖係習知例之驅動電路之電路圖。

第 4 圖係習知之驅動電路的動作波形圖。

第 5 圖係驅動電路之輸出段之反相器 INV3 之構造的剖視圖。

第 6 圖(a)及(b)係習知驅動電路之模擬結果的示意圖。

【主要元件符號說明】

10、15、17、25、27	P 通道型 MOS 電晶體
11、16、18、26、28	N 通道型 MOS 電晶體
12 正昇壓充電泵電路	13 負昇壓充電泵電路
14 位準位移電路	19 輸出端子
20、21 外部配線	51 第 1N 阱
52 第 2N 阱	53 P 阱
54 第 1n 型層	55 第 2n 型層
56 p 型層	57 n 型汲極層

C 輸出電容器

INV1、INV2、INV3、INV4、INV5、INV6 反相器

Vout 輸出電壓

VH 正的高電源電位

VL 負的高電源電位

VIN CCD 控制電壓

R1 第 1 電阻

R2 第 2 電阻

L1、L2 寄生電感

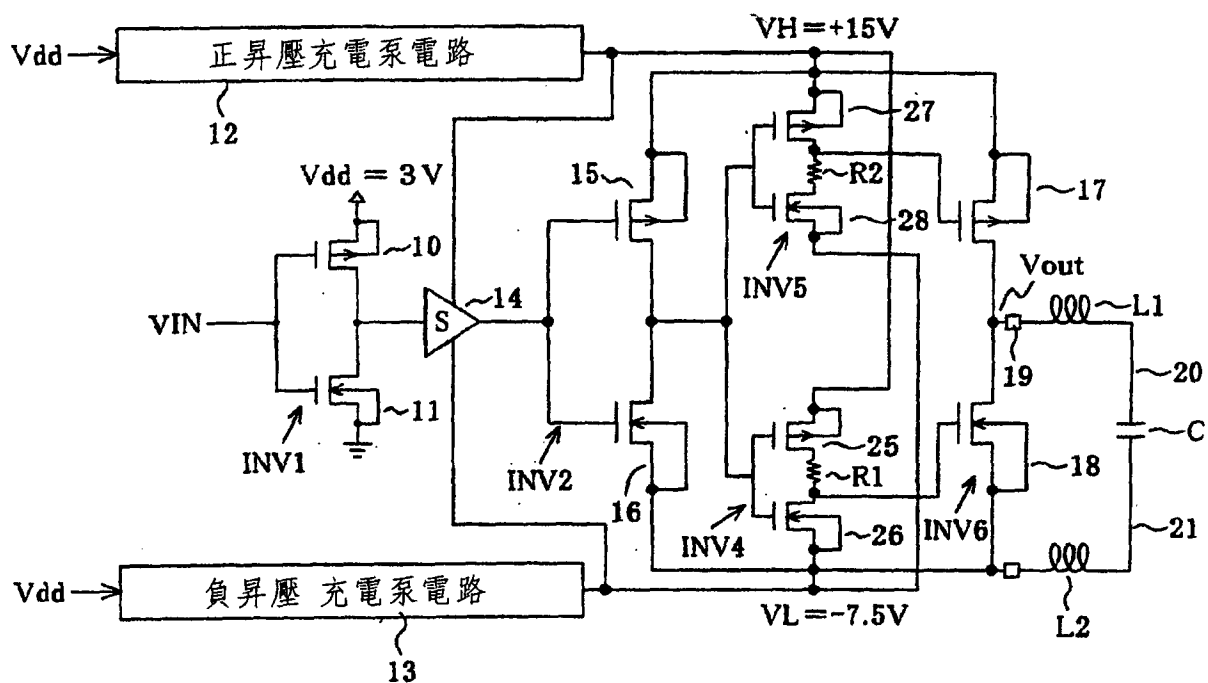
五、中文發明摘要：

本發明提供一種驅動電路，係在驅動電路之輸出段之反相器進行切換時，可防止正昇壓充電泵電路(12)所輸出之正的高電源電位(VH)異常降低。

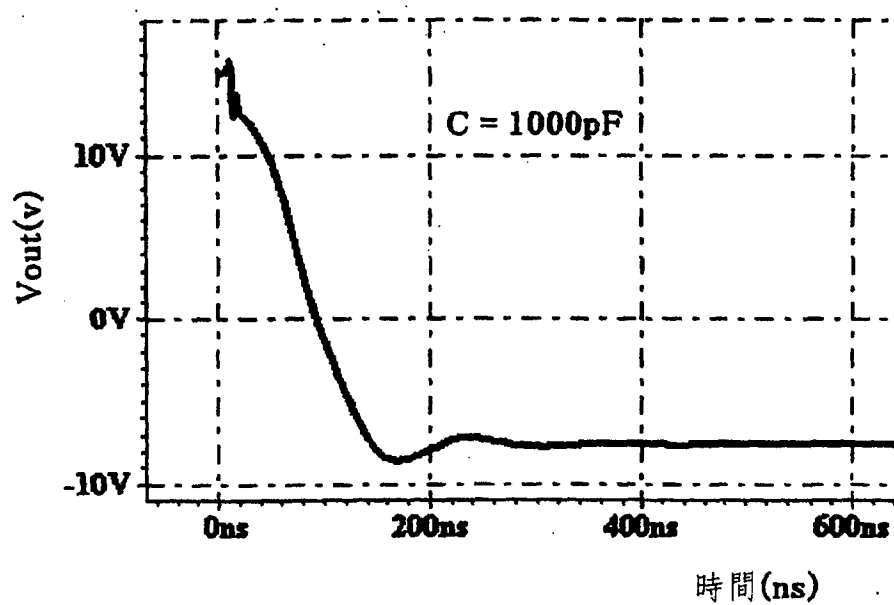
本發明之驅動電路係將反相器(INV2)之輸出電壓施加至輸出電晶體控制用的反相器(INV4)的輸出端子，將反相器(INV4)之輸出電壓施加至輸出段的反相器(INV6)之 N 通道型 MOS 電晶體(18)。反相器(INV4)係將 P 通道型 MOS 電晶體(25)、第 1 電阻(R1)、N 通道型 MOS 電晶體(26)，連接在正的高電源電位(VH)與負的高電源電位(VL)而構成，並將第 1 電阻(R1)與 N 通道型 MOS 電晶體(26)的連接點作該反相器(INV4)的輸出端子。

六、英文發明摘要：

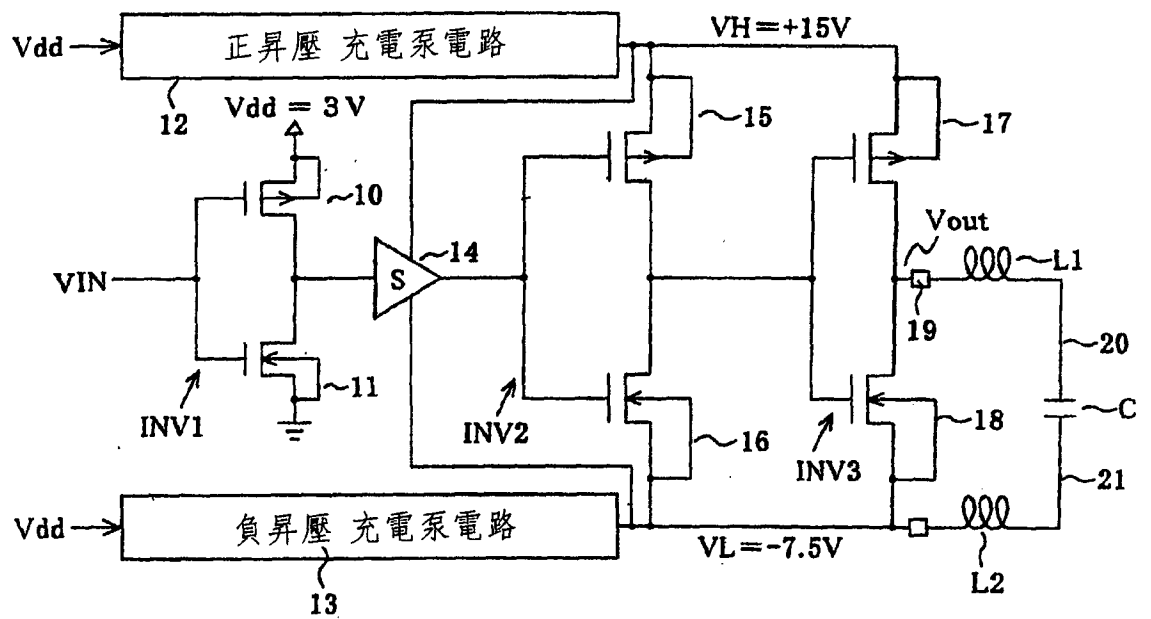
This invention provides a driving circuit which prevents a positive high power source voltage (VH) outputted from a positive boost up charge pump circuit (12) from abnormally lowering when an inverter of the output stage of the driving circuit performs a switching operation. An output voltage of inverter (INV2) is applied to an input terminal of the inverter for controlling an output transistor and the output voltage from the inverter (INV4) is applied to the gate of an N channel type MOS transistor (18) of an inverter (INV6) of the output stage. The inverter (INV4) is composed of a P channel type MOS transistor (25), a first resistor (R1), and an N channel type MOS transistor (26) that are connected between the positive high power source voltage (VH) and a negative high power source voltage (VL), and the junction of the first resistor (R1) and the N channel type MOS transistor (26) is used as an output terminal of the inverter (INV4).



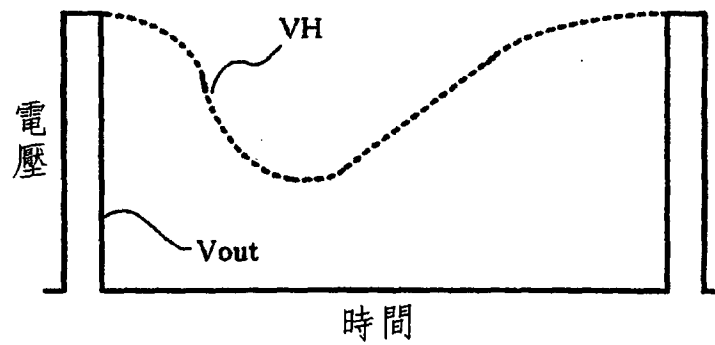
第1圖



第2圖



第3圖



第4圖

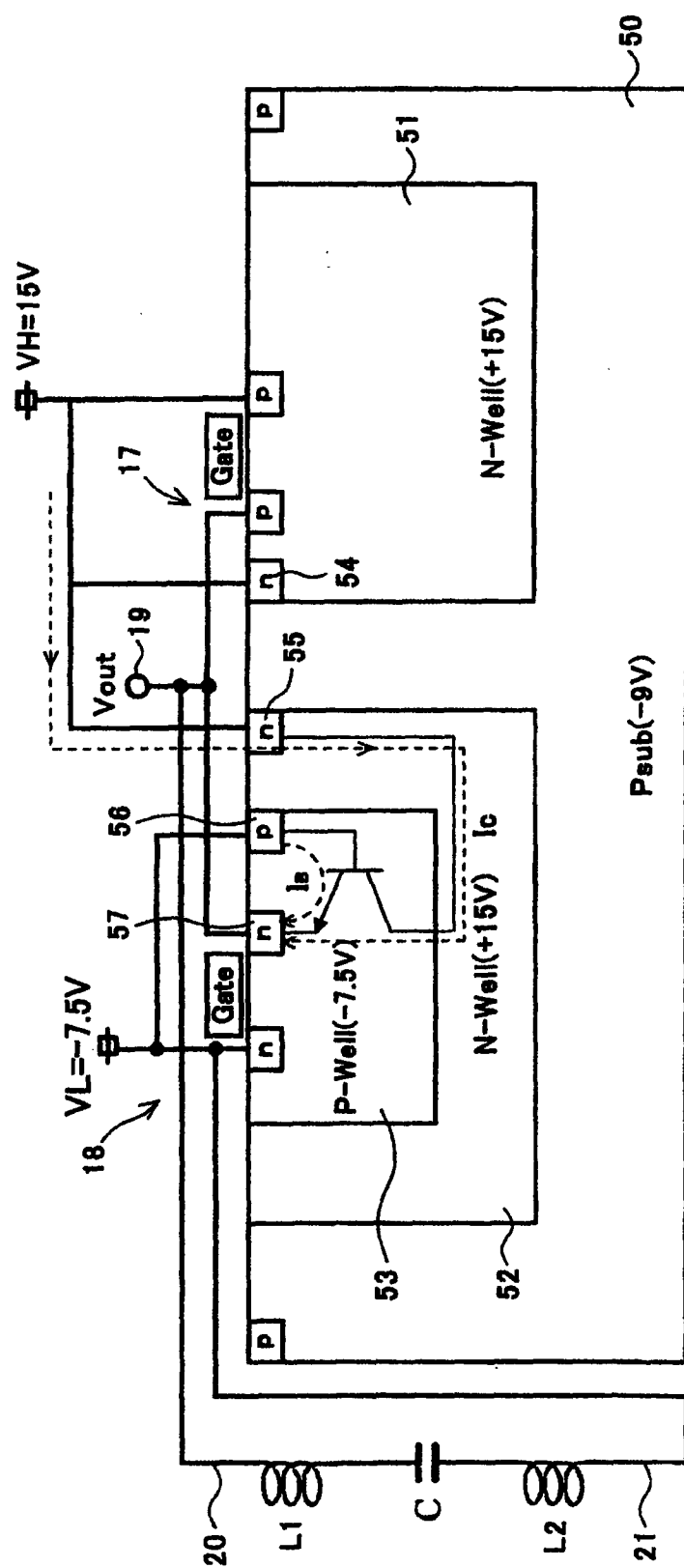
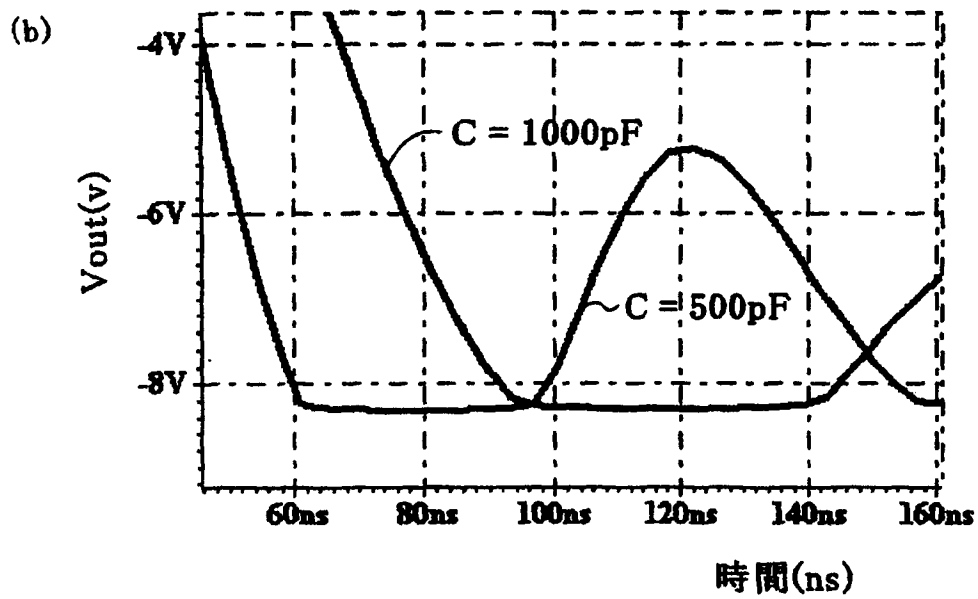
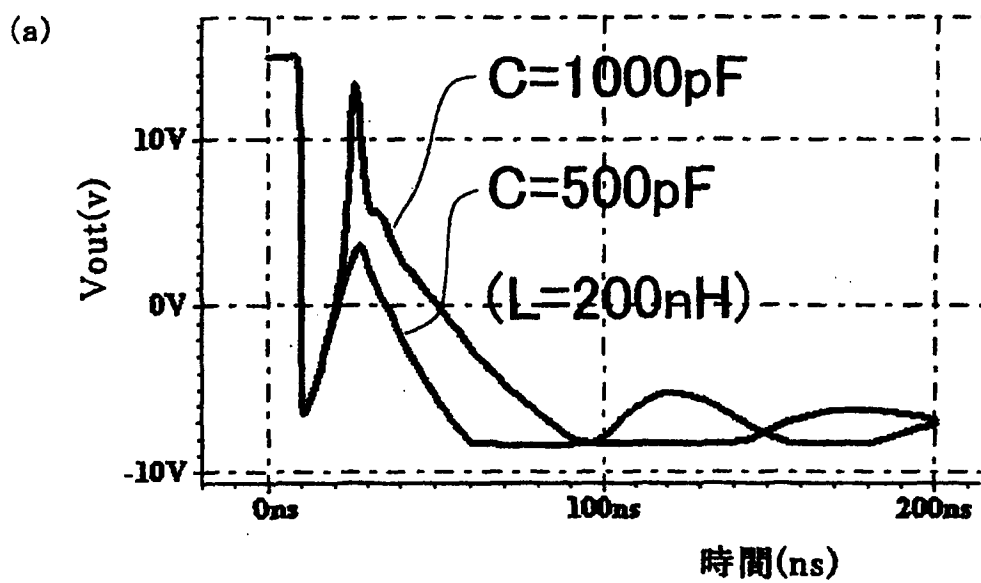


圖
5
第



第6圖

七、指定代表圖：

(一)本案指定代表圖為：第 (1) 圖。

(二)本代表圖之元件符號簡單說明：

10、15、17、25、27	P 通道型 MOS 電晶體
11、16、18、26、28	N 通道型 MOS 電晶體
12 正昇壓充電泵電路	13 負昇壓充電泵電路
14 位準位移電路	19 輸出端子
20、21 外部配線	C 輸出電容器
INV1、INV2、INV4、INV5、INV6	反相器
L1、L2 寄生電感	R1 第 1 電阻
R2 第 2 電阻	VH 正的高電源電位
VIN CCD 控制電壓	VL 負的高電源電位
Vout 輸出電壓	

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

本案無代表化學式

十、申請專利範圍：

1. 一種驅動電路，係具備：

97年10月28日修正替換頁

串聯連接在第 1 電位與第 2 電位間之由形成在第 1 導電型半導體基板之表面所形成之第 2 導電型之第 2 阱中所形成的第 1 導電型之第 3 阱中的第 1 MOS 電晶體、及形成在前述半導體基板之表面所形成之第 2 導電型之第 1 阱中的第 2 MOS 電晶體所構成的第 1 反相器；

產生前述第 1 電位的第 1 電源電路；

產生前述第 2 電位的第 2 電源電路；

串聯連接在第 1 電位與第 2 電位間，且具有第 3 及第 4 MOS 電晶體的第 2 反相器；

串聯連接在第 1 電位與第 2 電位間，且具有第 5 及第 6 MOS 電晶體的第 3 反相器；前述第 2 反相器之輸出係施加在前述第 1 MOS 電晶體之閘極，前述第 3 反相器之輸出係施加在前述第 2 MOS 電晶體之閘極，該驅動電路之特徵為：

在前述第 3 MOS 電晶體與前述第 4 MOS 電晶體之間，插入用以限制前述第 1 反相器之輸出過衝的第 1 電阻。

2. 如申請專利範圍第 1 項之驅動電路，其中，在前述第 5 MOS 電晶體與前述第 6 MOS 電晶體之間，插入用以限制前述第 1 反相器之輸出過衝的第 2 電阻。

3. 如申請專利範圍第 1 項之驅動電路，其中，該第 1 電阻係由離子植入電阻層所構成。

4. 一種驅動電路，係具備：

97年10月28日 審判換頁

串聯連接在第 1 電位與第 2 電位間之由第 1 及第 2MOS 電晶體所構成的第 1 反相器；

產生前述第 1 電位的第 1 電源電路；

產生前述第 2 電位的第 2 電源電路；

串聯連接在第 1 電位與第 2 電位間，且具有第 3 及第 4MOS 電晶體的第 2 反相器；

串聯連接在第 1 電位與第 2 電位間，且具有第 5 及第 6MOS 電晶體的第 3 反相器；前述第 2 反相器之輸出係施加在前述第 1MOS 電晶體之閘極，前述第 3 反相器之輸出係施加在前述第 2MOS 電晶體之閘極，該驅動電路之特徵為：

將前述第 3 MOS 電晶體之尺寸比設為前述第 4 MOS 電晶體之尺寸比的 $1/5$ 以下。

5. 如申請專利範圍第 4 項之驅動電路，其中，在前述第 3MOS 電晶體與前述第 4MOS 電晶體之間，插入用以限制前述第 1 反相器之輸出過衝的第 1 電阻。

6. 一種驅動電路，係具備：

串聯連接在第 1 電位與第 2 電位間之由第 1 及第 2MOS 電晶體所構成的第 1 反相器；

產生前述第 1 電位的第 1 電源電路；

產生前述第 2 電位的第 2 電源電路；

串聯連接在第 1 電位與第 2 電位間，且具有第 3 及第 4MOS 電晶體的第 2 反相器；

串聯連接在第 1 電位與第 2 電位間，且具有第 5 及第 6MOS 電晶體的第 3 反相器；前述第 2 反相器之輸出係施加在前述第 1MOS 電晶體之閘極，前述第 3 反相器之輸出係施加在前述第 2MOS 電晶體之閘極，該驅動電路之特徵為：

將前述第 6MOS 電晶體之通道寬度對通道長度比設為前述第 5 MOS 電晶體之通道寬度對通道長度比的 $1/5$ 以下。

7. 如申請專利範圍第 4 項之驅動電路，其中，在前述第 5 MOS 電晶體與前述第 6MOS 電晶體之間，插入用以限制前述第 1 反相器之輸出過衝的第 2 電阻。

8. 如申請專利範圍第 4 項至第 7 項中任一項之驅動電路，其中，前述第 2MOS 電晶體係形成在第 1 導電型半導體基板之表面所形成之第 2 導電型之第 1 阱中，

前述第 1MOS 電晶體係形成在前述半導體基板之表面所形成之第 2 導電型之第 2 阱中所形成的第 1 導電型之第 3 阱中。

9. 如申請專利範圍第 8 項之驅動電路，其中，第 1 及第 2 阱之電位係設定在前述第 1 電位，第 3 阱係設定在前述第 2 電位。