



(12) 发明专利申请

(10) 申请公布号 CN 101834140 A

(43) 申请公布日 2010.09.15

(21) 申请号 201010139407.4

(22) 申请日 2010.03.09

(30) 优先权数据

2009-055878 2009.03.10 JP

(71) 申请人 株式会社半导体能源研究所

地址 日本神奈川县

(72) 发明人 宫入秀和 加藤绘里香 铃木邦彦

(74) 专利代理机构 上海专利商标事务所有限公司 31100

代理人 李玲

(51) Int. Cl.

H01L 21/336(2006.01)

H01L 29/786(2006.01)

H01L 29/36(2006.01)

H01L 27/12(2006.01)

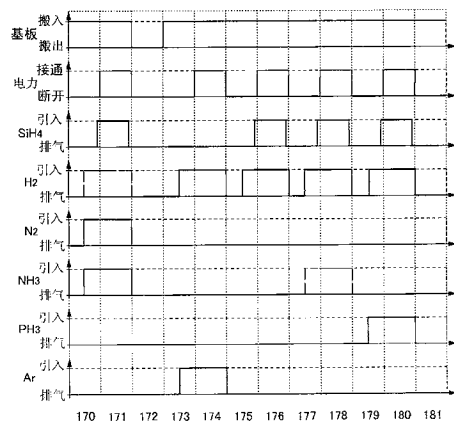
权利要求书 2 页 说明书 19 页 附图 18 页

(54) 发明名称

薄膜晶体管及该薄膜晶体管的制造方法

(57) 摘要

不容易发生工作初期中的退化的薄膜晶体管和该薄膜晶体管的制造方法。制造一种薄膜晶体管,包括:至少最外表面为氮化硅层的栅极绝缘层;设置在该栅极绝缘层上的半导体层;以及在该半导体层上的缓冲层,其中该半导体层中的与栅极绝缘层的界面附近的氮浓度低于缓冲层及半导体层的其他部分的氮浓度。这种薄膜晶体管在形成半导体层之前将栅极绝缘层暴露于大气气氛,并且进行等离子体处理来制造。



1. 一种薄膜晶体管的制造方法,包括如下步骤:  
形成氮化硅层;  
将所述氮化硅层暴露于大气气氛;  
对所述氮化硅层进行等离子体处理;以及  
在所述氮化硅层上形成包含晶粒的半导体层。
2. 根据权利要求1所述的薄膜晶体管的制造方法,其特征在于,所述等离子体处理利用氩气体等离子体或氦气体等离子体进行。
3. 根据权利要求1所述的薄膜晶体管的制造方法,其特征在于,所述氮化硅层是栅极绝缘层。
4. 根据权利要求2所述的薄膜晶体管的制造方法,其特征在于,所述氮化硅层是栅极绝缘层。
5. 根据权利要求1所述的薄膜晶体管的制造方法,其特征在于,所述薄膜晶体管组装到选自电子书籍、数码相框、电视装置及便携电话中的一种。
6. 根据权利要求1所述的薄膜晶体管的制造方法,其特征在于,将所述氮化硅层暴露于大气气氛2秒以上且10分钟以下。
7. 根据权利要求1所述的薄膜晶体管的制造方法,其特征在于,所述氮化硅层通过CVD法形成。
8. 根据权利要求1所述的薄膜晶体管的制造方法,其特征在于,所述氮化硅层通过溅射法形成。
9. 根据权利要求1所述的薄膜晶体管的制造方法,其特征在于,所述氮化硅层通过等离子体CVD法形成。
10. 根据权利要求1所述的薄膜晶体管的制造方法,其特征在于,所述氮化硅层通过利用1GHz以上的频率的等离子体CVD法形成。
11. 一种薄膜晶体管,包括:  
至少最外表面为氮化硅层的栅极绝缘层;  
设置在所述栅极绝缘层上的半导体层;以及  
所述半导体层上的缓冲层,  
其中所述半导体层中的所述半导体层与所述栅极绝缘层的界面附近的氮浓度低于所述缓冲层及所述半导体层的其他部分的氮浓度。
12. 根据权利要求11所述的薄膜晶体管,其特征在于,所述半导体层中的所述半导体层与所述栅极绝缘层的界面附近存在于距界面5nm以上且50nm以下的区域中。
13. 根据权利要求11所述的薄膜晶体管,其特征在于,所述半导体层中的所述半导体层与所述栅极绝缘层的界面附近的氮浓度低于 $1 \times 10^{19}/\text{cm}^3$ 。
14. 根据权利要求11所述的薄膜晶体管,其特征在于,所述薄膜晶体管组装到选自电子书籍、数码相框、电视装置及便携电话中的一种。
15. 根据权利要求11所述的薄膜晶体管,其特征在于,所述缓冲层包括其他半导体层。
16. 根据权利要求16所述的薄膜晶体管,其特征在于,所述其他半导体层包括NH基。
17. 根据权利要求16所述的薄膜晶体管,其特征在于,所述其他半导体层包括 $\text{NH}_2$ 基。
18. 根据权利要求16所述的薄膜晶体管,其特征在于,还包括设置在所述其他半导体

层上的源区。

19. 根据权利要求 16 所述的薄膜晶体管,其特征在于,还包括设置在所述其他半导体层上的漏区。

## 薄膜晶体管及该薄膜晶体管的制造方法

### 技术领域

[0001] 本发明的一个方式涉及薄膜晶体管及该薄膜晶体管的制造方法。还涉及显示装置及电子设备。

### 背景技术

[0002] 近年来,由具有绝缘表面的基板(例如,玻璃基板)上的半导体薄膜(厚度是几 nm 至几百 nm 左右)构成的薄膜晶体管(TFT;Thin Film Transistor。下面称为 TFT)受到注目。TFT 已被广泛地应用于如 IC(集成电路;IntegratedCircuit)及电光装置那样的电子设备。尤其,目前正在加快开发作为以液晶显示装置等为代表的图像显示装置的开关元件的 TFT。在液晶显示装置等图像显示装置中,作为开关元件,主要使用利用非晶半导体膜或多晶半导体膜的 TFT。

[0003] 使用非晶半导体膜的 TFT 的迁移率低。即,其电流驱动能力低。因此,当以使用非晶半导体膜的 TFT 设置保护电路时,为了充分防止静电破坏,需要设置尺寸大的 TFT,存在阻碍窄边框化的问题。此外,还有如下问题:由于设置尺寸大的 TFT,电连接到栅电极的扫描线和电连接到源电极或漏电极的信号线之间的寄生电容增大,而导致耗电量的增大。

[0004] 另一方面,与使用非晶半导体膜的 TFT 相比,使用多晶半导体膜的 TFT 的迁移率高两位数以上,可以在同一基板上设置液晶显示装置的像素部和其周边的驱动电路。然而,与使用非晶半导体膜的 TFT 相比,使用多晶半导体膜的 TFT 由于半导体膜的晶化及杂质元素的引入(掺杂)等而制造工序变得复杂。因此,存在成品率低且成本高的问题。作为多晶半导体膜的晶化方法,例如已知通过使用光学系统将脉冲振荡受激准分子激光束加工为线形并通过使用线形激光束对非晶半导体膜进行扫描及照射以实现晶化的技术。

[0005] 另外,作为图像显示装置的开关元件,除了使用非晶半导体膜的 TFT 或使用多晶半导体膜的 TFT 之外,还已知使用微晶半导体膜的 TFT(参照专利文献 1)。

[0006] 专利文献 1:日本专利申请特开 2009-044134 号公报

### 发明内容

[0007] 本发明的一个方式的目的在于提供抑制在工作初期发生的退化的 TFT。

[0008] 本发明的一个方式的目的在于提供通过简单的工序制造抑制在工作初期发生的退化的 TFT 的方法。

[0009] 本发明的一个方式是一种在氮化硅层上形成半导体层的 TFT 的制造方法,包括如下步骤:形成氮化硅层;在氮化硅层上形成半导体层之前,将氮化硅层暴露于大气气氛;优选在氮化硅层上形成半导体层之前,将氮化硅层暴露于 H<sub>2</sub> 气体等离子体或 Ar 气体等离子体;在该氮化硅层上使用结晶半导体形成半导体层。注意,在此 Ar 表示氩,在下面的本说明书中也同样。

[0010] 本发明的一个方式是一种 TFT,包括:至少最外表面为氮化硅层的栅极绝缘层;设置在该栅极绝缘层上的半导体层;以及在该半导体层上的缓冲层,其中该半导体层中的半

导体层与栅极绝缘层界面附近的氮浓度低于缓冲层及半导体层的其他部分的氮浓度。注意,在此作为浓度采用通过二次离子质谱分析法(下面称为 SIMS 法)决定的值,在下面的本说明书中也同样。

[0011] 注意,在本说明书中,膜是指形成在被形成面的整个面上的。层是指通过构图(patterning)等将膜加工为所希望的形状的。但是,层和膜并不需要严格的区别,尤其有时在层叠有多个膜的层叠膜中不区别层和膜。

[0012] 可以获得抑制在工作初期发生的退化的 TFT。

#### 附图说明

[0013] 图 1 是说明 TFT 的制造方法的一例的图;

[0014] 图 2 是说明 TFT 的制造方法的一例的图;

[0015] 图 3 是说明 TFT 的制造方法的一例的图;

[0016] 图 4 是说明半导体层的一例的图;

[0017] 图 5 是说明等离子体 CVD 装置的一例的图;

[0018] 图 6 是说明 TFT 的制造方法的一例的时序图;

[0019] 图 7 是说明栅极绝缘层和半导体层的 SIMS 测量结果的图;

[0020] 图 8 是说明 TFT 的电特性的图;

[0021] 图 9 是说明氢的迁移反应的图;

[0022] 图 10 是说明 TFT 的制造方法的一例的图;

[0023] 图 11 是说明 TFT 的制造方法的一例的图;

[0024] 图 12 是说明多级灰度掩模的一例的图;

[0025] 图 13 是说明显示装置的一例的图;

[0026] 图 14 是说明液晶显示装置的一例的图;

[0027] 图 15 是说明发光装置的一例的图;

[0028] 图 16 是说明电子设备的一例的图;

[0029] 图 17 是说明电子设备的一例的图;

[0030] 图 18 是用来说明 TFT 的制造方法的一例的图。

#### 具体实施方式

[0031] 以下,参照附图对本发明的实施方式进行详细说明。但是,本发明不局限于以下的说明,本技术领域的普通技术人员很容易理解:本发明的方式和细节可以在不脱离本发明的宗旨及其范围的条件下作各种各样的变换。因此,本发明不应该被解释为仅限于以下所示的实施方式的记载内容。此外,当借助附图说明本发明的结构时,在不同附图之间共同使用相同的附图标记来表示相同的部分。另外,也有如下情况:当表示相同的部分时使用相同的阴影线,而不特别附加附图标记。另外,为了方便起见,有时将绝缘层不表示在俯视图中。

[0032] 实施方式 1

[0033] 在本实施方式中说明本发明的一个方式的 TFT 及该 TFT 的制造方法。

[0034] 注意,本发明的一个方式的 TFT 具有结晶半导体。具有结晶半导体的 n 型 TFT 的载流子迁移率高于具有结晶半导体的 p 型 TFT 的载流子迁移率。再者,在将形成在同一基

板上的 TFT 都统一为相同极性的情况下,可以抑制制造工序数目。因此,在此说明 n 型 TFT 的制造方法。但是不局限于此。

[0035] 首先,在基板 100 上形成栅电极层 102(参照图 1A)。基板 100 可以使用钽硼硅酸盐玻璃、铝硼硅酸盐玻璃或铝硅酸盐玻璃等通过熔化法或浮法制造的无碱玻璃基板、陶瓷基板,还可以使用具有本制造工序的处理温度以上的耐热性的塑料基板等。或者,也可以使用在不锈钢合金等金属基板表面上设置绝缘层的基板。换言之,作为基板 100,使用具有绝缘表面的基板。在基板 100 是玻璃母板的情况下,采用第一代(例如,320mm×400mm)至第十代(例如,2950mm×3400mm)等的基板即可。

[0036] 栅电极层 102 使用导电材料形成即可。作为导电材料,可以使用如 Mo、Ti、Cr、Ta、W、Al、Cu、Nd 或 Sc 等金属材料或以这些为主要成分的合金材料形成。或者,也可以使用添加有赋予一种导电型的杂质元素的结晶硅。注意,栅电极层 102 可以由单层形成或者层叠多个层来形成。例如优选采用在 Al 层或 Cu 层上层叠有 Ti 层或 Mo 层的两层层叠结构,或者由 Ti 层或 Mo 层夹有 Al 层或 Cu 层的三层层叠结构。或者,可以使用氮化 Ti 层而代替 Ti 层。

[0037] 注意,在此 Mo 表示钼,Ti 表示钛,Cr 表示铬,Ta 表示钽,W 表示钨,Al 表示铝,Cu 表示铜,Nd 表示钕,Sc 表示钪,下面在本说明书中也同样。

[0038] 栅电极层 102 可以通过溅射法或真空蒸镀法在基板 100 上使用导电材料形成导电层,通过光刻法或喷墨法等形成抗蚀剂掩模,并使用该抗蚀剂掩模蚀刻导电层来形成。或者,也可以通过喷墨法将 Ag、Au 或 Cu 等的导电性纳米膏吐出在基板 100 上,进行焙烧来形成。另外,作为提高栅电极层 102 和基板 100 的密接性并防止构成栅电极层 102 的材料扩散到基底的阻挡金属,可以将上述金属材料的氮化物层设置在基板 100 和栅电极层 102 之间。

[0039] 注意,栅电极层 102 优选采用锥形状。这是为了便于在后面的工序中,在栅电极层 102 上形成半导体层及源极布线(信号线)。注意,在该工序中,可以同时形成栅极布线(扫描线)。注意,扫描线是指选择像素的布线。

[0040] 接着,覆盖栅电极层 102 地形成栅极绝缘层 104(参照图 1B)。栅极绝缘层 104 可以通过利用 CVD 法或溅射法等由氮化硅形成。或者,可以由氮氧化硅、氧氮化硅或氧化硅形成栅极绝缘层 104,但至少栅极绝缘层 104 的表面由氮化硅形成。将栅极绝缘层 104 形成为其厚度 50nm 以上,优选为 50nm 以上且 400nm 以下,更优选为 150nm 以上且 300nm 以下。但是,不局限于此。注意,在使用频率高(例如 1GHz 以上)的等离子体 CVD 装置形成栅极绝缘层 104 的情况下,作为栅极绝缘层 104 可以形成致密的氮化硅层,这是优选的。

[0041] 注意,“氮氧化硅”是指在其组成中氮含量多于氧含量的,优选当使用卢瑟福背散射光谱学法(RBS:Rutherford Backscattering Spectrometry)以及氢前方散射法(HFS:Hydrogen Forward Scattering)测量时,作为组成范围包含:5原子%至30原子%的氧;20原子%至55原子%的氮;25原子%至35原子%的硅;以及10原子%至30原子%的氢。

[0042] 另一方面,“氧氮化硅”是指在其组成中氧含量多于氮含量的,优选当使用 RBS 及 HFS 测量时,作为组成范围包含:50原子%至70原子%的氧;0.5原子%至15原子%的氮;25原子%至35原子%的硅;以及0.1原子%至10原子%的氢。

[0043] 注意,在将构成氧氮化硅或氮氧化硅的原子的总计设定为 100 原子%时,氮、氧、

硅及氢的含量比率包括在上述范围内。

[0044] 接着,在栅极绝缘层 104 上形成第一半导体膜 106A。注意,将栅极绝缘层 104 和第一半导体膜 106A 暴露于大气气氛,优选对它们进行等离子体处理,而不在同一处理室内连续形成。通过将栅极绝缘层 104 的表面暴露于大气气氛并进行等离子体处理,可以高效地减少栅极绝缘层 104 的表面的氮浓度。在此,将栅极绝缘层 104 暴露于大气气氛的时间大约为 2 秒以上且 10 分钟以下,优选为 1 分钟以上且 5 分钟以下,并且等离子体处理可以使用 Ar 气体或 H<sub>2</sub> 气体。注意,优选在同一处理室内连续形成第一半导体膜 106A、第二半导体膜 108A 及杂质半导体膜 110A。这是因为如下缘故:在形成第一半导体膜 106A 之后且形成杂质半导体膜 110A 之前,将第一半导体膜 106A 或第二半导体膜 108A 的表面暴露于大气气氛,而第一半导体膜 106A 或第二半导体膜 108A 被氧化或氮化,在第一半导体膜 106A 和第二半导体膜 108A 之间的界面,或在第二半导体膜 108A 和杂质半导体膜 110A 之间的界面形成氧化硅层或氮化硅层,这成为导致导通电流下降的一个原因。

[0045] 使用多室方式的等离子体 CVD 装置,即可如上所述地将栅极绝缘层 104 暴露于大气气氛,之后进行等离子体处理。图 18 示出多室方式的等离子体 CVD 装置的结构的一例。在图 18 的多室方式的等离子体 CVD 装置中,公共室 190 联结有装载/卸载室 191、第一处理室 192、第二处理室 193 及第三处理室 194。注意,公共室 190、装载/卸载室 191、第一处理室 192、第二处理室 193 及第三处理室 194 被排气,保持为真空状态(优选为高真空)。

[0046] 首先,将基板搬入装载/卸载室 191,对装载/卸载室 191 进行排气。然后,将基板搬入公共室 190,然后从公共室 190 搬入第一处理室 192。

[0047] 在第一处理室 192 中形成栅极绝缘层 104。

[0048] 将形成有栅极绝缘层 104 的基板搬入公共室 190,然后搬入第二处理室 193。第二处理室 193 是用来将栅极绝缘层 104 暴露于大气气氛的处理室。搬入了基板的第二处理室 193 暴露于大气中。在第二处理室 193 中将栅极绝缘层 104 暴露于大气中之后,第二处理室 193 再被排气。

[0049] 将栅极绝缘层 104 暴露于大气气氛的基板搬入公共室 190,然后搬入第三处理室 194。第三处理室 194 是用来对栅极绝缘层 104 进行等离子体处理的处理室。在第三处理室中栅极绝缘层 104 进行了等离子体处理的基板被搬出到公共室 190。

[0050] 注意,多室方式的等离子体 CVD 装置不局限于上述结构。例如,也可以装载/卸载室 191 兼作第二处理室 193。或者,也可以第一处理室 192 兼作第三处理室 194。就是说,对栅极绝缘层 104 进行的等离子体处理也可以通过等离子体 CVD 装置进行。

[0051] 在本实施方式中,半导体层具有在第一半导体膜 106A 上设置有第二半导体膜 108A 的层叠结构,与第二半导体膜 108A 相比,第一半导体膜 106A 优选由迁移率更高的半导体层设置。注意,由第一半导体膜 106A 形成的第一半导体层 106 用作沟道形成区,由第二半导体膜 108A 形成的第二半导体层 108B 用作缓冲层。在第一半导体膜 106A 中,由结晶半导体构成的晶粒分散地存在于包含非晶结构的半导体层中(参照图 4)。

[0052] 第一半导体膜 106A 具有第一区域 131 和第二区域 132(参照图 4)。第一区域 131 包含非晶结构,并且具有微小晶粒 134。第二区域 132 具有分散地存在的多个晶粒 133、微小晶粒 134、填充多个晶粒 133 和微小晶粒 134 之间的非晶结构。第一区域 131 接触于栅

极绝缘层 104 上,其是距与栅极绝缘层 104 的界面厚度为  $t_1$  的区域。第二区域 132 接触于第一区域 131 上,其是距与第一区域 131 的界面厚度为  $t_2$  的区域。就是说,晶粒 133 的核生成位置(起点)被调整为在第一半导体膜 106A 的厚度方向上距与栅极绝缘层 104 的界面  $t_1$  的位置。晶粒 133 的核生成位置根据抑制第一半导体膜 106A 所包含的晶核的生成的杂质元素的浓度来决定。作为抑制晶核生成的杂质元素,可以举出如氮。在此,栅极绝缘层 104 供给该氮。

[0053] 晶粒 133 的形状是倒锥形。在此,倒锥形是由 (i) 由多个平面构成的面 (ii) 连接所述面的外周和存在于所述面外部的顶点而成的线的集合构成的立体形状,并且该顶点位于基板 100 一侧。换言之,“倒锥形”是晶粒 133 从离栅极绝缘层 104 和第一半导体膜 106A 的界面有距离的位置向第一半导体膜 106A 淀积的方向(优选在不到达源区及漏区的区域中)以大致放射状生长的形状。分散形成的各晶核随着第一半导体膜 106A 的形成沿晶体方位生长,而晶粒 133 以晶核为起点在与晶体的生长方向垂直的面的面内方向上扩展并生长。若具有这样的晶粒,则可以比非晶半导体进一步提高导通电流。注意,晶粒 133 中包含单晶或双晶。

[0054] 如上所说明,晶粒是分散而存在的。为了使晶粒分散而存在,调整晶体的核生成密度即可。

[0055] 另外,如上那样,若抑制晶核生成的杂质元素以高浓度(通过 SIMS 法测得的浓度大致为  $1 \times 10^{20}/\text{cm}^3$  以上)存在,则晶体生长也被抑制。

[0056] 注意,在此说明的第一半导体膜 106A 的方式是一例,不局限于此。

[0057] 第一半导体膜 106A 的第一区域 131 包含非晶结构及微小晶粒 134。另外,与现有的非晶半导体相比,第一区域 131 以 CPM(Constant Photocurrent Method。下面称为 CPM)或光致发光谱测量得到的 Urbach 端的能级小,并且缺陷吸收光谱少。由此,与现有的非晶半导体相比,第一半导体膜 106A 是缺陷少且在价带端中的能级的尾(tail)的倾斜率陡峭的秩序性高的半导体膜。注意,通过低温光致发光谱的第一半导体膜 106A 的第一区域 131 的光谱的峰值区域为 1.31eV 以上且 1.39eV 以下。注意,通过低温光致发光谱的微晶半导体(如微晶硅)的光谱的峰值区域为 0.98eV 以上且 1.02eV 以下。

[0058] 在此,第二半导体膜 108A 用作高电阻区域,因此减少 TFT 的截止电流而提高开关特性。当将开关特性高的 TFT 用于例如液晶显示装置的开关元件时,可以提高液晶显示装置的对比度。注意,第二半导体膜 108A 优选包含 NH 基或  $\text{NH}_2$  基。通过使第二半导体膜 108A 包含 NH 基,可以交联悬空键,或者通过使第二半导体膜 108A 包含  $\text{NH}_2$  基,可以饱和悬空键,因此可以抑制截止电流且提高导通电流。注意,为了使第二半导体膜 108A 包含 NH 基或  $\text{NH}_2$  基,在用于形成的气体中包含  $\text{NH}_3$ (氨)气体即可。

[0059] 第二半导体膜 108A 优选包含非晶结构及微小晶粒。就是说,可以说是与第一半导体膜 106A 具有的第一区域 131 同质。与现有的非晶半导体相比,第二半导体膜 108A 以 CPM 或光致发光谱测量得到的 Urbach 端的能级小,并且缺陷吸收光谱少。就是说,与现有的非晶半导体相比,第二半导体膜 108A 是缺陷少且在价带端(迁移率端)中的能级的尾(tail)的倾斜率陡峭的秩序性高的半导体膜。这种半导体膜可以通过采用与结晶半导体膜的形成同样的条件,并且使原料气体包含氮来形成。

[0060] 但是,第二半导体膜 108A 不局限于上述说明,也可以由非晶半导体形成。就是说,



第二半导体膜 108A 由其载流子迁移率低于第一半导体膜 106A 的半导体材料设置即可。或者,在由非晶半导体形成第二半导体膜 108A 的情况下,也可以使第二半导体膜 108A 包含 NH 基或 NH<sub>2</sub> 基。

[0061] 也可以对用作 TFT 的沟道形成区的第一半导体膜 106A 在其形成的同时或形成之后添加赋予 p 型的杂质元素而调整阈值电压 V<sub>th</sub>。作为赋予 p 型的杂质元素,可以举出如硼,并且可以通过以 1ppm 至 1000ppm、优选为 1ppm 至 100ppm 的比例将包含 B<sub>2</sub>H<sub>6</sub>、BF<sub>3</sub> 等杂质元素的气体含于氢化硅来形成。再者,将第一半导体膜 106A 中的硼的浓度设定为如  $1 \times 10^{14}/\text{cm}^3$  至  $6 \times 10^{16}/\text{cm}^3$ ,即可。

[0062] 注意,第一半导体膜 106A 以 2nm 以上且 60nm 以下,优选的是以 10nm 以上且 30nm 以下的厚度形成。通过将第一半导体膜 106A 的厚度设定为 2nm 以上且 60nm 以下,可以使 TFT 作为完全耗尽型进行工作。注意,第二半导体膜 108A 优选以 10nm 以上且 500nm 以下的厚度形成。这些厚度可以根据 SiH<sub>4</sub>(硅烷)的流量和形成时间进行调整。

[0063] 注意,第二半导体膜 108A 优选不包含赋予一种导电型的杂质元素如磷、硼等。或者,在第二半导体膜 108A 中包含磷、硼等的情况下,优选进行调整以使磷、硼等的浓度为 SIMS 法中的检测下限以下。例如,在第一半导体膜 106A 包含硼且第二半导体膜 108A 包含磷的情况下,在第一半导体膜 106A 和第二半导体膜 108A 之间形成 PN 结。或者,在第二半导体膜 108A 包含硼且杂质半导体膜 110A 包含磷的情况下,在第二半导体膜 108A 和杂质半导体膜 110A 之间形成 PN 结。或者,在硼和磷都含于第二半导体膜 108A 中时,发生复合中心,而成为发生漏电流的原因。因此,通过在杂质半导体膜 110A 和第一半导体膜 106A 之间具有不包含硼或磷等杂质元素的第二半导体膜 108A,可以防止杂质元素侵入到成为沟道形成区的第一半导体膜 106A。

[0064] 由杂质半导体膜 110A 形成的源区及漏区 110 用来使第二半导体层 108 和源电极层及漏电极层 112 实现欧姆接触而设置。这种杂质半导体膜 110A 可以通过使原料气体包含赋予一种导电型的杂质元素来形成。在形成导电型为 n 型的 TFT 的情况下,例如作为杂质元素添加磷即可,并且对氢化硅添加 PH<sub>3</sub> 等包含赋予 n 型导电型的杂质元素的气体来形成。在形成导电型为 p 型的 TFT 的情况下,例如作为杂质元素添加硼即可,并且对氢化硅添加 B<sub>2</sub>H<sub>6</sub> 等包含赋予 p 型导电型的杂质元素的气体来形成。注意,成为源区及漏区 110 的杂质半导体膜 110A 的晶性没有特别的限定,既可以为结晶半导体,又可以为非晶半导体,但优选由结晶半导体形成。这是因为通过由结晶半导体形成源区及漏区 110 可使导通电流增高的缘故。因此,在与第一半导体膜 106A 相同的条件下形成杂质半导体膜 110A。注意,杂质半导体膜 110A 优选以 2nm 以上且 60nm 以下的厚度形成。

[0065] 在此,参照用于形成的等离子体 CVD 装置的概略图(参照图 5)和时序图说明从第一半导体膜 106A 到成为源区及漏区 110 的杂质半导体膜 110A 的形成。

[0066] 图 5 所示的等离子体 CVD 装置 161 连接于气体供应单元 150 及排气单元 151,并且具备处理室 141、载物台 142、气体供应部 143、簇射极板(showerplate)144、排气口 145、上部电极 146、下部电极 147、交流电源 148、以及温度控制部 149。

[0067] 处理室 141 由具有刚性的原材料形成,并可以对其内部进行真空排气的方式构成。在处理室 141 中具备有上部电极 146 和下部电极 147。另外,虽然在图 5 示出电容耦合型(平行平板型)的结构,但是只要是通过施加两种以上的高频功率可以在处理室

141 内部产生等离子体的结构,就可以应用电感耦合型等的其他结构。

[0068] 在使用图 5 所示的等离子体 CVD 装置进行处理时,从气体供应部 143 将预定的气体引入。引入的气体经过簇射极板 144 引入到处理室 141 中。通过连接到上部电极 146 和下部电极 147 的交流电源 148 供给高频电力,处理室 141 内的气体被激发,而产生等离子体。注意,利用连接到真空泵的排气口 145 对处理室 141 内的气体进行排气,并且利用温度控制部 149,可以加热被处理物并进行等离子体处理。

[0069] 气体供应单元 150 由填充反应气体的汽缸 152、压力调节阀 153、停止阀 154、以及质量流量控制器 155 等构成。在处理室 141 内,在上部电极 146 和基板 100 之间具有簇射极板。该簇射极板加工成板状并设置有多个细孔。从气体供应部 143 引入的反应气体经过上部电极 146 内部的中空结构,从簇射极板的细孔引入到处理室 141 内。

[0070] 连接到处理室 141 的排气单元 151 具有进行真空排气的功能和在引入反应气体时控制处理室 141 内保持预定压力的功能。排气单元 151 包括蝶阀 156、导气阀 (conductance valve) 157、涡轮分子泵 158、干燥泵 159 等。在并联配置蝶阀 156 和导气阀 157 的情况下,通过关闭蝶阀 156 并使导气阀 157 工作,可以控制反应气体的排气速度而将处理室 141 的压力保持在预定范围内。此外,通过打开传导性高的蝶阀 156,可以提高处理室 141 内的排气速度。

[0071] 另外,在对处理室 141 进行超高真空排气直到其压力成为低于 10<sup>-5</sup>Pa 的压力的情况下,优选一起使用低温泵 160。此外,在进行排气到超高真空的程度的情况下,也可以对处理室 141 的内壁进行镜面加工,并且设置焙烧用加热器以减少源于内壁的气体释放。

[0072] 另外,通过如图 5 所示那样以覆盖处理室 141 的内壁整体地形成(淀积)膜的方式进行预涂处理,可以防止附着在处理室 141 内壁的杂质元素或构成处理室 141 内壁的杂质元素侵入到元件中。

[0073] 注意,在此产生的等离子体可以使用如 RF (13.56MHz、27MHz) 等离子体、VHF 等离子体 (30MHz 至 300MHz)、微波 (2.45GHz) 等离子体。另外,当生成等离子体时优选将放电设定为脉冲放电。

[0074] 此外,等离子体 CVD 装置也可以连接有准备室。通过在形成膜之前在准备室中加热基板,可以缩短在各处理室中的直到形成膜的加热时间,而可以提高处理量。

[0075] 注意,作为等离子体 CVD 装置使用多室等离子体 CVD 装置的情况下,可以在各处理室中形成一种膜或其组成类似的多种膜。因此,可以在界面不被已形成的膜的残留物及漂浮在大气中的杂质元素污染的状态下形成层叠膜。

[0076] 注意,利用氟基对等离子体 CVD 装置的处理室 141 内部进行清洗。注意,在形成膜之前在处理室 141 内优选形成保护膜。在上述说明的工序中通过形成成为栅极绝缘层 104 的膜,可以在处理室内壁形成保护膜(氮化硅膜)。

[0077] 接着,参照图 6 所示的时序图对从形成栅极绝缘层 104 的膜到杂质半导体膜的工序进行说明。

[0078] 首先,将设置有栅电极层 102 的基板 100 在等离子体 CVD 装置的处理室 141 内加热,并且将用来形成氮化硅膜的材料气体引入处理室 141 内(图 6 的预处理 170)。在此,作为一例,引入将 SiH<sub>4</sub> 气体的流量设定为 40sccm、H<sub>2</sub> 气体的流量设定为 500sccm、N<sub>2</sub> 气体的流量设定为 550sccm、NH<sub>3</sub> 气体的流量设定为 140sccm 的材料气体并使它稳定,并且在处理

室 141 内的压力为 100Pa、基板温度为 280℃的条件下,以 RF 电源频率为 13.56MHz、功率为 370W 进行等离子体放电,来形成大约 300nm 的氮化硅膜。然后,只停止 SiH<sub>4</sub> 气体的引入,并且在几秒后(在此 5 秒后)停止等离子体放电(图 6 的氮化硅膜的形成 171)。注意,使用 N<sub>2</sub> 气体及 NH<sub>3</sub> 气体中的任一方即可,在混合它们使用时适当地调整流量即可。另外,在不需要时未必引入 H<sub>2</sub> 气体。然后,将基板从处理室 141 搬出,并且将氮化硅膜的表面暴露于大气气氛(图 6 的大气暴露 172)。在暴露于大气气氛之后,将基板再搬入处理室 141 内。

[0079] 接着,将用来形成氮化硅膜的材料气体从处理室 141 排气,并且将用于等离子体处理的材料气体引入处理室 141 内(图 6 的气体置换 173)。然后,对氮化硅膜的表面进行等离子体处理(图 6 的等离子体处理 174)。在此,作为等离子体处理的一例,引入将 Ar 气体的流量设定为 1500sccm、H<sub>2</sub> 气体的流量设定为 1500sccm 的气体并使它稳定,并且在处理室 141 内的压力为 280Pa、基板温度为 280℃的条件下,以 RF 电源频率为 13.56MHz、功率为 370W 进行等离子体放电。

[0080] 在此,虽然在将氮化硅膜的表面暴露于大气气氛之后进行处理室 141 的气体置换,但是不局限于此。在将氮化硅膜的表面暴露于大气气氛之后进行等离子体处理时,可以如在进行处理室 141 内的气体置换之后从处理室 141 搬出基板。

[0081] 接着,对用于等离子体处理的气体进行排气,将用来形成半导体膜的材料气体引入处理室 141 内(图 6 的气体置换 175)。

[0082] 接着,在本实施方式中,在氮化硅膜的整个面上形成硅膜。首先,将用来形成硅膜的材料气体引入处理室 141 内。在此,作为一例,引入将 SiH<sub>4</sub> 气体的流量设定为 10sccm、H<sub>2</sub> 气体的流量设定为 1500sccm、Ar 气体的流量设定为 1500sccm 的材料气体并使它稳定,并且在处理室 141 内的压力为 280Pa、基板温度为 280℃的条件下,以 RF 电源频率为 13.56MHz、功率为 50W 进行等离子体放电,来形成硅膜作为第一半导体膜 106A。然后,与上述氮化硅膜等的形成同样,只停止 SiH<sub>4</sub> 气体的引入,并且在几秒后(在此 5 秒后)停止等离子体放电(图 6 的硅膜的形成 176)。然后,排气这些气体,引入用来形成第二半导体膜 108A 的气体(图 6 的气体置换 177)。注意,不局限于此,在不需要时不必进行气体置换。

[0083] 在上述例子中,在用来形成硅膜的材料气体中,将对于 SiH<sub>4</sub> 气体的流量的 H<sub>2</sub> 气体的流量设定为 150 倍,因此逐渐地淀积硅。在本实施方式的栅极绝缘层 104 中,至少接触于半导体层的最上层具有氮化硅,因此在栅极绝缘层 104 的表面存在有大量氮。如上所述,氮抑制硅的晶核生成。因此,在形成膜的初期阶段不容易生成硅的晶核。在形成硅膜的初期阶段所形成的该层成为图 4 所示的第一区域 131。由于成为第一半导体膜 106A 的半导体膜是在一定条件下形成的,因此在相同成膜条件下形成第一区域 131 和第二区域 132。在形成第一半导体膜 106A 的同时减少氮浓度,并且在氮浓度成为一定值以下时生成晶核。然后,该晶核生长,而形成晶粒 133。

[0084] 接着,在第一半导体膜 106A 的整个面上形成第二半导体膜 108A。第二半导体膜 108A 是在后面的工序中加工成第二半导体层 108 的。首先,将用来形成第二半导体膜 108A 的材料气体引入处理室 141 内。在此,作为一例,引入将 SiH<sub>4</sub> 气体的流量设定为 20sccm、H<sub>2</sub> 气体的流量设定为 1475sccm、使用 H<sub>2</sub> 气体稀释到 1000ppm 的 NH<sub>3</sub> 气体的流量设定为 25sccm 的材料气体并使它稳定,并且在处理室 141 内的压力为 280Pa、基板温度为 280℃的条件下,以 RF 电源频率为 13.56MHz、功率为 50W 进行等离子体放电,来由硅形成第二半导体膜

108A。然后,与上述氮化硅膜等的形成同样,只停止  $\text{SiH}_4$  气体的引入,并且在几秒后(在此 5 秒后)停止等离子体放电(图 6 的缓冲膜的形成 178)。通过将  $\text{NH}_3$  气体引入处理室 141 内,可以抑制晶核的生成,并且可以形成包含结晶的比率小的缓冲膜,因此可以减少截止电流。然后,排气这些气体,引入用来形成包含成为供体的杂质元素的杂质半导体膜 110A 的气体(图 6 的气体置换 179)。

[0085] 接着,在第二半导体膜 108A 的整个面上形成包含成为供体的杂质元素的杂质半导体膜 110A。包含成为供体的杂质元素的杂质半导体膜 110A 是在后面的工序中加工成源区及漏区 110 的。首先,将用来形成包含成为供体的杂质元素的杂质半导体膜 110A 的材料气体引入处理室 141 内。在此,作为一例,引入将  $\text{SiH}_4$  气体的流量设定为 100sccm、使用  $\text{H}_2$  气体将其流量稀释到 0.5vol% 的  $\text{PH}_3$ (磷化氢)气体的混合气体流量设定为 170sccm 的材料气体并使它稳定,并且在处理室 141 内的压力为 170Pa、基板温度为  $280^\circ\text{C}$  的条件下,以 RF 电源频率为 13.56MHz、功率为 60W 进行等离子体放电,来形成包含成为供体的杂质元素的杂质半导体膜 110A。然后,与上述氮化硅膜等的形成同样,只停止  $\text{SiH}_4$  气体的引入,并且在几秒后(在此 5 秒后)停止等离子体放电(图 6 的杂质半导体膜的形成 180)。然后排气这些气体(图 6 的排气 181)。注意在此,在将用来形成包含成为供体的杂质元素的杂质半导体膜的  $\text{SiH}_4$  气体和  $\text{H}_2$  气体的流量比设定为与第一半导体膜 106A 相同程度的情况下,可以形成包含成为供体的杂质元素的结晶半导体膜,这是优选的。

[0086] 如此,可以形成从栅极绝缘层 104 直到杂质半导体膜 110A(参照图 1C)。

[0087] 在此,说明对以上述条件形成的第一半导体膜 106A 使用 SIMS 法进行测量的结果。

[0088] 图 7 中的实线表示对一种样品通过 SIMS 法进行分析而求得的氮浓度,在该样品中在如上所述那样(即,进行大气暴露及等离子体处理双方)形成的氮化硅膜上形成第一半导体膜 106A。

[0089] 图 7 中的虚线表示使用一种样品通过 SIMS 法进行分析而求得的氮浓度,该样品是通过不进行氮化硅膜的“大气气氛中的暴露”及“等离子体处理”的任一方或双方的处理来制造的。

[0090] 根据图 7 可知如下:通过如上所述那样形成从氮化硅膜直到第一半导体膜 106A(即,对氮化硅膜进行大气暴露及(优选为)等离子体处理双方),可以在氮化硅膜和第一半导体膜 106A 的界面附近的第一半导体膜 106A 中的氮浓度抑制得低。该界面附近的区域存在于离界面 3nm 以上且 100nm 以下的区域即可,优选存在于 5nm 以上且 50nm 以下的区域,更优选存在于 5nm 以上且 30nm 以下的区域。注意,在该区域中的氮浓度越低越好,优选低于  $1 \times 10^{19}/\text{cm}^3$ ,更优选低于  $1 \times 10^{18}/\text{cm}^3$ 。

[0091] 接着,在杂质半导体膜 110A 上形成抗蚀剂掩模 120(参照图 2A)。抗蚀剂掩模 120 可以通过光刻法形成。另外,也可以通过喷墨法等来形成。

[0092] 接着,使用抗蚀剂掩模 120 通过蚀刻加工第一半导体膜 106A、第二半导体膜 108A 及杂质半导体膜 110A。通过该处理,对第一半导体膜 106A、第二半导体膜 108A 及杂质半导体膜 110A 的每个元件进行分离,来形成具有第一半导体层 106、第二半导体层 108B 及的杂质半导体层 110B 的层叠体 122(参照图 2B)。然后,去除抗蚀剂掩模 120。

[0093] 注意,在该蚀刻处理中优选以具有第一半导体层 106、第二半导体层 108B 及杂质半导体层 110B 的层叠体 122 成为锥形状的方式进行蚀刻。将锥形角设定为  $30^\circ$  以上且

90° 以下、优选为 40° 以上且 80° 以下。通过使侧面具有锥形状,还可以提高在后面的工序中形成在这些上的层(例如,布线层)的覆盖率。从而,可以防止在具有水平差的部分发生的布线断开等。

[0094] 接着,在杂质半导体层 110B 及栅极绝缘层 104 上形成导电膜 112A(参照图 2C)。导电膜 112A 是在后面加工成源电极层及漏电极层 112 的,并且它只要是导电材料,就没有特别的限定。作为导电材料,可以使用如 Mo、Ti、Cr、Ta、W、Al、Cu、Nd 或 Sc 等金属材料或以这些为主要成分的合金材料。或者,也可以使用添加有赋予一种导电型的杂质元素的结晶硅。另外可以由单层或层叠形成。例如优选采用在 Al 层或 Cu 层上层叠有 Ti 层或 Mo 层的两层层叠结构,或者由 Ti 层或 Mo 层夹有 Al 层或 Cu 层的三层层叠结构。或者,可以使用氮化 Ti 层而代替 Ti 层。

[0095] 导电膜 112A 通过溅射法或真空蒸镀法形成。或者,导电膜 112A 也可以通过利用丝网印刷法或喷墨法等吐出 Ag、Au 或 Cu 等的导电性纳米膏,进行焙烧来形成。

[0096] 接着,在导电膜 112A 上形成抗蚀剂掩模 124(参照图 2C)。抗蚀剂掩模 124 与抗蚀剂掩模 120 同样地通过光刻法或喷墨法形成。

[0097] 接着,通过使用抗蚀剂掩模 124 对导电膜 112A 进行蚀刻而加工,来形成源电极层及漏电极层 112(参照图 3A)。当进行蚀刻时,优选利用湿蚀刻。通过湿蚀刻,从抗蚀剂掩模 124 露出的部分的导电膜 112A(即,不重叠于抗蚀剂掩模 124 的导电膜 112A)被各向同性地蚀刻。除了 TFT 的源电极及漏电极之外,该源电极层及漏电极层 112 还构成信号线。

[0098] 接着,在具有抗蚀剂掩模 124 的状态下,对杂质半导体层 110B 及第二半导体层 108B 进行蚀刻来形成源区及漏区 110 和背沟道部(参照图 3A)。以残留其一部分的方式蚀刻第二半导体层 108B,并且形成具有背沟道部的第二半导体层 108。

[0099] 在此,优选蚀刻采用使用包含氧的气体的干蚀刻。通过使用包含氧的气体,可以一边使抗蚀剂掩模缩小一边蚀刻杂质半导体层 110B 和第二半导体层 108B,而可以将源区及漏区 110 的侧面和第二半导体层 108 的侧面形成为具有锥形的形状。作为蚀刻气体,优选使用例如 CF<sub>4</sub> 气体中包含 O<sub>2</sub> 气体的蚀刻气体或氯气体中包含 O<sub>2</sub> 气体的蚀刻气体。将源区及漏区 110 的侧面和第二半导体层 108 的侧面形成为锥形形状来防止电场集中,而可以减少截止电流。作为一例,在将 CF<sub>4</sub> 气体和 O<sub>2</sub> 气体的流量比设定为 45 : 55(sccm)、处理室内的压力设定为 2.5Pa、处理室侧壁的温度设定为 70°C、使用线圈型电极且 RF 电源频率为 13.56MHz、功率为 500W 的条件下进行等离子体放电。此时,可以对基板一侧施加 RF 电源频率为 13.56MHz、200W 的功率,实际上施加负偏压,产生自偏压,来进行蚀刻。

[0100] 第二半导体层 108 通过蚀刻设有凹部(背沟道部),但是优选具有重叠于凹部的第二半导体层 108 的至少一部分残留的厚度。即,在背沟道部中,优选第一半导体层 106 不被露出。重叠于源区及漏区 110 的部分的第二半导体层 108 的厚度大约为 80nm 以上且 500nm 以下,优选为 150nm 以上且 400nm 以下,更优选为 200nm 以上且 300nm 以下。如上所述,通过使第二半导体层 108 充分厚,可以防止杂质元素混入第一半导体层 106 等。如此,第二半导体层 108 也用作第一半导体层 106 的保护层。

[0101] 接着,去除抗蚀剂掩模 124(参照图 3A)。

[0102] 注意,如下成为截止电流增高的一个原因,即:在源区和漏区之间的第二半导体层 108 上(即,背沟道部)附着或者堆积在蚀刻工序中产生的副生成物、抗蚀剂掩模的渣滓及

会成为用于去除抗蚀剂掩模的装置内的污染源的物质、剥离液的成分物质等。因此,以去除这些为目的,可以进行低损伤条件,优选为无偏压的干蚀刻。或者,也可以对背沟道部进行等离子体处理,也可以进行清洗。另外,也可以组合这些工序。

[0103] 通过上述工序可以制造 TFT。

[0104] 在将如上所述那样制造的 TFT 的漏电压设定为一定的情况下,使栅电压变为  $-20V$  至  $+20V$  并测量漏电流的变化 10 次。图 8A 和 8B 示出该结果。

[0105] 注意,在此漏电压是指以源极的电位为基准时的漏电位和源电位之间的电位差。

[0106] 图 8A 示出一种 TFT 的对于栅电压的漏电流的测量结果,该 TFT 是通过如下步骤制造的:将栅极绝缘层 104 的表面不暴露于大气气氛且不对栅极绝缘层 104 的表面进行等离子体处理,并且将第一半导体膜 106A 形成为  $20nm$ ,重叠于第二半导体膜 108A 的源区及漏区 110 的部分形成为  $80nm$ ,杂质半导体膜 110A 形成为  $50nm$  的厚度,然后进行加工。

[0107] 图 8B 示出一种 TFT 的对于栅电压的漏电流的测量结果,该 TFT 是通过如下步骤制造的:将栅极绝缘层 104 的表面暴露于大气气氛且对栅极绝缘层 104 的表面进行等离子体处理,然后将第一半导体膜 106A(微晶半导体膜)形成为  $5nm$ ,第二半导体膜 108A 形成为  $155nm$ ,杂质半导体膜 110A 形成为  $50nm$  的厚度,然后进行加工。

[0108] 当对图 8A 和图 8B 进行比较时,在图 8A 中从第一次测量到第十次测量电压向正极一侧偏移  $1.41V$ ,与此相对,在图 8B 中电压偏移  $0.40V$ 。因此,在图 8B 中,可知电压偏移小,并且抑制 TFT 的工作初期的退化(当施加负极的栅电压时发生  $V_{th}$  的向正极一侧偏移)。

[0109] 在此,对获得了图 8A 的结果的 TFT 中的工作初期发生退化的原因进行考察。在此,将获得了图 8A 的结果的 TFT 设定为晶体管 A,将获得了图 8B 的结果的 TFT 设定为晶体管 B。

[0110] 晶体管 A 和晶体管 B 的主要区别在于:在形成栅极绝缘层 104 之后且在形成成为第一半导体层 106 的第一半导体膜 106A 之前,将栅极绝缘层 104 暴露于大气气氛,并且进行等离子体处理。这可以认为因为如下缘故,即:通过暴露于大气气氛且进行等离子体处理,存在于栅极绝缘层 104 的表面的氮减少,并且含于第一半导体层 106 中的氮浓度减少。注意,在此优选进行等离子体处理,但是未必进行等离子体处理。

[0111] 晶体管 A 有当施加负极的栅电压时,阈值电压偏移得特别大的趋势。当施加负极的栅电压时,在栅极绝缘层附近的第一半导体层中感应空穴。

[0112] 在此,针对在栅极绝缘层 104 和第一半导体层 106 的界面附近存在有 NH 基的情况下 H 原子怎样迁移反应,以图 9 所示的下面四个反应的反应模型进行计算。图 9A 示出从 Si 原子脱离的 H 原子离开得无限远的反应模型,图 9B 示出脱离的 H 原子和别的 H 原子键合并成为氢分子 ( $H_2$ ) 脱离的反应模型,图 9C 示出脱离的 H 原子和 Si 原子键合并插入在 Si 之间的键合的反应模型,图 9D 示出脱离的 H 原子和 N 原子键合并形成  $NH_2$  基的反应模型。下面表 1 表示计算结果。

[0113] 表 1

[0114]

	(A)	(B)	(C)	(D)
没有载流子	3.71eV	3.50eV	2.44eV	1.88eV
有空穴	3.10eV	2.10eV	0.65eV	-0.09eV
有电子	1.66eV	0.67eV	0.61eV	0.51eV

[0115] 在图 9A 至 9C 中示出模型的反应是 N 原子不涉及 H 原子的脱离的反应（能够不考虑 N 原子），并且在图 9D 中示出模型的反应是 N 原子涉及 H 原子的脱离的反应。因此，在硅层中不存在 NH 基时，会起图 9A 至 9C 中的任一种反应。在硅层中存在 NH 基时，会起图 9D 的反应。

[0116] 根据图 9D，当存在空穴时，图 9D 所示的反应是发热反应，可以说容易起反应。因此，存在 N 原子时更容易引起 H 原子的脱离，所以容易产生悬空键，通过施加负极的栅电压来感应空穴，产生电子的陷阱，因该陷阱而使阈值电压偏移到正极一侧。因此，存在 N 原子时阈值电压容易偏移到正极一侧，在工作初期发生的退化认为起因于 N 原子的存在。

[0117] 注意，在此栅电压是指以源极的电位为基准的与栅电极的电位的电位差。

[0118] 如上所述，通过将氮化硅膜暴露于大气气氛且对该氮化硅膜进行等离子体处理，可以减少与栅极绝缘层的界面附近的半导体层中的氮浓度，并且减少阈值电压的偏移，而可以防止工作初期发生的退化。

[0119] 注意，可以将上述说明的 TFT 应用于显示装置的像素 TFT（像素晶体管）。下面说明后面的工序。

[0120] 首先，覆盖如上述所制造的 TFT 地形成绝缘层 114（参照图 3B）。绝缘层 114 可以与栅极绝缘层 104 同样地形成，但是特别优选使用氮化硅形成。特别地，为了防止悬浮在大气中的有机物、金属、水蒸汽等有可能成为污染源的杂质侵入到 TFT 中，优选采用致密的氮化硅层。通过以高频率（具体的是 13.56MHz 以上）的等离子体 CVD 法形成氮化硅膜，并且形成开口部 116，可以形成致密的氮化硅层。

[0121] 注意，绝缘层 114 具有到达源电极层及漏电极层 112 的开口部 116，源电极层及漏电极层 112 的一方通过设置在绝缘层 114 中的开口部 116 连接到像素电极层 118（参照图 3C）。

[0122] 像素电极层 118 可以使用包含具有透光性的导电高分子（也称为导电聚合物）的导电组成物形成。使用导电组成物而形成的像素电极层 118 优选薄层电阻为  $10000 \Omega / \square$  以下，且波长为 550nm 时的透射率为 70% 以上。注意，包含在导电组成物中的导电高分子的电阻率优选为  $0.1 \Omega \cdot \text{cm}$  以下。

[0123] 注意，作为导电高分子，可以使用所谓的  $\pi$  电子共轭导电高分子。例如，可以举出聚苯胺或其衍生物、聚吡咯或其衍生物、聚噻吩或其衍生物或者上述两种以上的共聚物等。

[0124] 可以例如使用如下材料形成像素电极层 118：包含氧化钨的铟氧化物、包含氧化钨的铟锌氧化物、包含氧化钛的铟氧化物、包含氧化钛的铟锡氧化物、铟锡氧化物（以下记载为 ITO）、铟锌氧化物或添加有氧化硅的铟锡氧化物等。

[0125] 像素电极层 118 与源电极层及漏电极层 112 等同样，在整个表面上形成膜之后，使

用抗蚀掩模等进行蚀刻来进行加工即可。

[0126] 注意,虽然未图示,但是也可以在绝缘层 114 和像素电极层 118 之间具有通过旋涂法等由有机树脂形成的绝缘层。

[0127] 注意,虽然在上述说明中,表示了以同一工序形成栅电极和扫描线,并且以同一工序形成源电极及漏电极和信号线的情况,但是本发明不局限于此。也可以以不同工序分别形成电极、连接到该电极的布线。

[0128] 如上所述,可以制造本发明的一个方式的显示装置的阵列基板。

[0129] 注意,在本实施方式中,说明底栅型 TFT,但是不局限于此。在通过将成为栅极绝缘层和半导体层的界面的部分暴露于大气气氛来制造 TFT 的情况下,TFT 的形态不局限于此,例如可以是隔着绝缘层将半导体层以栅电极夹住的双栅型 TFT,也可以为顶栅型 TFT。

[0130] 实施方式 2

[0131] 在本实施方式中,说明本发明的一个方式的 TFT 的制造方法且与实施方式 1 不同的方法。具体而言,通过使用具有厚度不同的区域的抗蚀剂掩模,使用更少数目的光掩模来制造 TFT。

[0132] 首先,与实施方式 1 同样,通过覆盖设置在基板 200 上的栅电极层 202 形成栅极绝缘层 204,在栅极绝缘层 204 上形成第一半导体膜 206A、第二半导体膜 208A 及杂质半导体膜 210A。

[0133] 再者,在杂质半导体膜 210A 上形成导电膜 212A。

[0134] 接着,在导电膜 212A 上形成抗蚀剂掩模(参照图 10A)。本实施方式中的抗蚀剂掩模 220 可以说是由厚度不同的多个区域(在此为两个区域)构成的抗蚀剂掩模。在抗蚀剂掩模 220 中,将厚的区域称为抗蚀剂掩模 220 的凸部,而将薄的区域称为抗蚀剂掩模 220 的凹部。

[0135] 在抗蚀剂掩模 220 中,在形成源电极层及漏电极层 212 的区域中形成凸部,并且在第二半导体层 208 露出的区域中形成凹部。

[0136] 可以使用多级灰度掩模形成抗蚀剂掩模 220。以下,参照图 12,就多级灰度掩模进行说明。

[0137] 多级灰度掩模是指能够以多阶段的光量进行曝光的掩模,例如有以曝光区域、半曝光区域及未曝光区域的三个阶段的光量进行曝光的掩模。通过使用多级灰度掩模,可以以一次曝光及显影步骤形成具有多种(例如两种)厚度的抗蚀剂掩模。因此,通过使用多级灰度掩模,可以缩减所使用的光掩模的数目。

[0138] 图 12A-1 及图 12B-1 是典型多级灰度掩模的截面图。图 12A-1 示出灰色调掩模 240,并且图 12B-1 示出半色调掩模 245。

[0139] 图 12A-1 所示的灰色调掩模 240 由在具有透光性的基板 241 上使用遮光材料设置的遮光部 242 及衍射光栅部 243 构成。

[0140] 衍射光栅部 243 通过以用于曝光的光的分辨率极限以下的间隔设置的狭缝、点或网眼等来调整光透过量。注意,设置在衍射光栅部 243 的狭缝、点或网眼可以是周期性的或非周期性的。

[0141] 作为具有透光性的基板 241,可以使用石英等。作为构成遮光部 242 及衍射光栅部 243 的遮光材料可以举出金属材料,优选使用 Cr 或氧化 Cr 等。



[0142] 在对灰色调掩模 240 照射用于曝光的光的情况下,如图 12A-1 及 12A-2 所示,重叠于遮光部 242 的区域中的透射率为 0%,而不设置有遮光部 242 及衍射光栅部 243 的区域中的透射率为 100%。此外,衍射光栅部 243 中的透射率大致为 10%至 70%的范围,并且根据衍射光栅的狭缝、点或网眼的间隔等可以调整该透射率。

[0143] 图 12B-1 所示的半色调掩模 245 由使用半透光材料形成在具有透光性的基板 246 上的半透光部 247 以及使用遮光材料形成的遮光部 248 构成。

[0144] 半透光部 247 可以使用 MoSiN、MoSi、MoSiO<sub>2</sub>、MoSiON、CrSi 等形成。遮光部 248 使用与灰色调掩模的遮光部 242 同样的金属材料形成即可,优选使用 Cr 或氧化 Cr 等。

[0145] 在对半色调掩模 245 照射用于曝光的光的情况下,如图 12B-1 及 12B-2 所示,重叠于遮光部 248 的区域中的透射率为 0%,而不设置有遮光部 248 及半透光部 247 的区域中的透射率为 100%。此外,半透光部 247 中的透射率大致为 10%至 70%的范围,并且根据所使用的材料种类或膜厚度等可以调整该透射率。

[0146] 通过使用多级灰度掩模进行曝光和显影,可以形成具有厚度不同的区域的抗蚀剂掩模 220。但是,不局限于此,还可以不使用多级灰度掩模地形成抗蚀剂掩模 220。作为不使用多级灰度掩模地形成抗蚀剂掩模 220 的方法,可以举出如对凹部照射激光束的方法。

[0147] 接着,通过使用抗蚀剂掩模 220 进行构图,形成第一半导体层 206、第二半导体层 208、杂质半导体层 210B 及导电层 212B(参照图 10B)。

[0148] 接着,使抗蚀剂掩模 220 缩小,形成抗蚀剂掩模 224。然后,使用抗蚀剂掩模 224 进行蚀刻(参照图 10B)。为了使抗蚀剂掩模 220 缩小,进行利用 O<sub>2</sub> 等离子体的灰化等即可。蚀刻条件等与实施方式 1 相同。

[0149] 接着,通过使用抗蚀剂掩模 224 对导电层 212B 进行蚀刻,来形成源电极层及漏电极层 212(参照图 10C)。然后,通过对杂质半导体层 210B 及第二半导体层 208B 的一部分进行蚀刻,形成源区及漏区 210 及具有背沟道部的第二半导体层 208(参照图 11A)。然后去除抗蚀剂掩模 224(参照图 11B)。

[0150] 如本实施方式所说明,通过利用多级灰度掩模,可以制造 TFT。通过利用多级灰度掩模,可以进一步减少所利用的光掩模数目。

[0151] 注意,也可以与实施方式 1 同样覆盖如上述所制造的 TFT 地形成绝缘层,并且形成连接到源电极层及漏电极层 212 的像素电极层。

[0152] 注意,虽然在本实施方式中说明底栅型 TFT,但是不局限于此,例如也可以是隔着绝缘层将半导体层以栅电极夹住的双栅型 TFT,也可以为顶栅型 TFT。

[0153] 实施方式 3

[0154] 在本实施方式中,参照附图对显示面板或发光面板的一个方式进行说明。

[0155] 在本实施方式的显示装置或发光装置中,连接到像素部的信号线驱动电路及扫描线驱动电路既可以设置在不同的基板(例如,半导体基板或者 SOI 基板等)上且连接,又可以在与像素电路同一基板上形成。

[0156] 另外,对于另行形成的情况下的连接方法没有特别的限制,可以使用已知的 COG 法、引线键合法或 TAB 法等。此外,只要可以实现电连接,就对于连接位置没有特别的限制。另外,也可以另行形成控制器、CPU 及存储器等并将其连接到像素电路。

[0157] 图 13 示出显示装置的框图。图 13 所示的显示装置包括:具有多个具备显示元件

的像素的像素部 300、选择各像素的扫描线驱动电路 302、控制对被选择的像素的视频信号的输入的信号线驱动电路 303。

[0158] 注意,显示装置不局限于图 13 所示的方式。换言之,信号线驱动电路不局限于只具有移位寄存器和模拟开关的方式。除了移位寄存器和模拟开关以外,还可以具有缓冲器、电平转移器、源极跟随器等其他电路。注意,不需要必须设置移位寄存器及模拟开关,例如既可以具有如译码电路那样的能够选择信号线的其他电路而代替移位寄存器,又可以具有锁存器等而代替模拟开关。

[0159] 图 13 所示的信号线驱动电路 303 包括移位寄存器 304 和模拟开关 305。对移位寄存器 304 输入时钟信号 (CLK) 和起始脉冲信号 (SP)。当输入时钟信号 (CLK) 和起始脉冲信号 (SP) 时,在移位寄存器 304 中产生时序信号,而其输入到模拟开关 305。

[0160] 对模拟开关 305 提供视频信号 (video signal)。模拟开关 305 根据被输入的时序信号对视频信号进行取样,然后提供给后级的信号线。

[0161] 图 13 所示的扫描线驱动电路 302 包括移位寄存器 306 以及缓冲器 307。此外,也可以包括电平转移器。在扫描线驱动电路 302 中,在对移位寄存器 306 输入时钟信号 (CLK) 及起始脉冲信号 (SP) 时,产生选择信号。产生了的选择信号在缓冲器 307 中被缓冲放大,并被提供给对应的扫描线。在一线中的所有像素 TFT 的栅极均连接到一个扫描线。并且,由于当工作时需要使一线的像素 TFT 同时导通,因此缓冲器 307 采用能够使大电流流过的结构。

[0162] 当在全彩色的显示装置中,对对应于 R(红)、G(绿)、B(蓝)的视频信号按顺序进行取样而提供给对应的信号线时,用来连接移位寄存器 304 和模拟开关 305 的端子数相当于用来连接模拟开关 305 和像素部 300 的信号线的端子数的 1/3 左右。因此,通过将模拟开关 305 设置在与像素部 300 同一基板上,与将模拟开关 305 设置在与像素部 300 不同的基板上的情况相比,可以抑制用来连接另行形成的基板的端子数,从而可以抑制连接缺陷的产生几率,以提高成品率。

[0163] 此外,虽然图 13 的扫描线驱动电路 302 包括移位寄存器 306 和缓冲器 307,但是不局限于此。也可以只利用移位寄存器 306 构成扫描线驱动电路 302,而不设置缓冲器 307。

[0164] 另外,图 13 所示的结构只表示显示装置的一个方式,而信号线驱动电路和扫描线驱动电路的结构不局限于此。

[0165] 接着,参照图 14 和图 15 说明相当于显示装置的一个方式的液晶显示面板及发光面板的俯视图和截面图。图 14 示出如下面板的俯视图:利用密封材料 315 将设置在第一基板 311 上的具有结晶半导体层的 TFT320 及液晶元件 323 密封在第一基板 311 和第二基板 316 之间。图 14B 相当于沿着图 14A 的线 K-L 的截面图。图 15 示出发光装置的情况。注意,在图 15 中,只对与图 14 不同的部分附上附图标记。

[0166] 围绕设置在第一基板 311 上的像素部 312 和扫描线驱动电路 314 地设置有密封材料 315。在像素部 312 及扫描线驱动电路 314 上设置有第二基板 316。使用第一基板 311、密封材料 315 以及第二基板 316 与液晶层 318 或填充材料 331 一起密封像素部 312 及扫描线驱动电路 314。在第一基板 311 上的由密封材料 315 围绕的区域的外侧区域中安装有信号线驱动电路 313。此外,利用具有结晶半导体的 TFT 在另行准备的基板上设置信号线驱动电路 313。另外,虽然在本实施方式中说明将使用具有结晶半导体的 TFT 而形成的信号线驱

动电路 313 贴合到第一基板 311 的情况,但是优选采用使用单晶半导体构成的 TFT 形成信号线驱动电路,并且将其贴合。图 14 例示包括在信号线驱动电路 313 中的由结晶半导体形成的 TFT319。

[0167] 设置在第一基板 311 上的像素部 312 包括多个 TFT,并且图 14B 例示包括在像素部 312 中的 TFT320。此外,扫描线驱动电路 313 也包括多个 TFT,并且图 14B 例示包括在扫描线驱动电路 314 中的 TFT319。在本实施方式的发光装置中,TFT320 既可以是驱动用 TFT 或是电流控制用 TFT,又可以是擦除用 TFT。TFT320 相当于实施方式 1 所说明的 TFT。

[0168] 此外,液晶元件 323 所具有的像素电极 322 通过布线 328 电连接到 TFT320。而且,液晶元件 323 的对置电极 327 设置在第二基板 316 上。像素电极 322、对置电极 327 以及液晶层 318 重叠的部分相当于液晶元件 323。

[0169] 此外,发光元件 330 所具有的像素电极通过布线电连接到 TFT320 的源电极或漏电极。而且,在本实施方式中,发光元件 330 的共同电极和具有透光性的像素电极电连接。另外,发光元件 330 的结构不局限于本实施方式所示的结构。可以根据从发光元件 330 取出的光的方向、TFT320 的极性,适当地决定发光元件 330 的结构。

[0170] 另外,作为第一基板 311 以及第二基板 316 的材料,可以使用玻璃、金属(例如是不锈钢)、陶瓷或者塑料等。作为塑料,可以使用 FRP(纤维增强塑料)板、PVF(聚氟乙烯)薄膜、聚酯薄膜或丙烯酸树脂薄膜等。此外,也可以采用具有使用 PVF 薄膜、聚酯薄膜夹住铝箔的结构薄片。

[0171] 隔离物 321 是珠状隔离物,并且隔离物 321 是为了保持像素电极 322 和对置电极 327 之间的距离(单元间隙)而设置的。注意,也可以使用通过选择性地对绝缘层进行蚀刻而得到的隔离物(支柱间隔物)。

[0172] 注意,提供到另行形成的信号线驱动电路 313、扫描线驱动电路 314 以及像素部 312 的各种信号(电位)从 FPC317(柔性印刷电路)通过迂回布线 324 以及迂回布线 325 供给。

[0173] 在本实施方式中,连接端子 326 由与液晶元件 323 所具有的像素电极 322 相同的导电层形成。迂回布线 324 以及迂回布线 325 由与布线 328 相同的导电层形成。

[0174] 连接端子 326 通过各向异性导电层 329 电连接到 FPC317 所具有的端子。

[0175] 注意,虽然未图示,但是本实施方式所示的液晶显示装置具有取向膜以及偏振片,还可以具有滤色片、遮光层等。

[0176] 在本实施方式中,连接端子 326 由与发光元件 330 所具有的像素电极相同的导电层设置。另外,迂回布线 325 由与布线 328 相同的导电层设置。但是,不局限于此。

[0177] 另外,作为在从发光元件 330 的光的取出方向上的基板的第二基板,使用透光基板。在此情况下,利用由玻璃板、塑料板、聚酯薄膜或丙烯酸树脂薄膜等具有透光性的材料形成的基板。在从发光元件 330 的光的取出方向是第一基板的方向的情况下,作为第一基板使用透光基板。

[0178] 注意,作为填充材料 331,可以使用  $N_2$  气体、Ar 气体等惰性气体、紫外线固化树脂或热固化树脂等,可以使用 PVC(聚氯乙烯)、丙烯酸树脂、聚酰亚胺、环氧树脂、硅酮树脂、PVB(聚乙烯醇缩丁醛)或者 EVA(乙烯-醋酸乙烯酯)等。在此,例如使用  $N_2$  气体,即可。

[0179] 注意,也可以在发光元件的发射面上适当地设置偏振片、圆偏振片(包括椭圆偏

振片)、相位差板( $\lambda/4$ 板、 $\lambda/2$ 板)或者滤色片等的光学薄膜。或者,也可以在偏振片或圆偏振片上设置防反射层。

#### [0180] 实施方式 4

[0181] 可以将实施方式 1 至实施方式 3 所示的发明应用于各种电子设备(包括游戏机)。作为电子设备,例如可以举出电视装置(也称为电视或电视接收机);用于计算机等的监视器;电子纸;数码相机、数码摄像机;数码相框;便携电话(也称为移动电话、移动电话装置);便携式游戏机;便携式信息终端;声音再现装置;弹珠机等的大型游戏机等。

[0182] 可以将实施方式 1 至实施方式 3 所示的发明应用于例如电子纸。电子纸可以用于显示信息的所有领域的电子设备。例如,能够将电子纸应用于电子书籍(电子书)、海报、电车等交通工具的车厢广告、信用卡等各种卡片中的显示等。图 16A 示出电子设备的一例。

[0183] 图 16A 示出电子书籍的一例。例如,图 16A 所示的电子书籍由框体 400 及框体 401 构成。框体 400 及框体 401 由铰链 404 形成为一体,而可以进行开闭工作。通过采用这种结构,可以如纸的书籍那样使用。

[0184] 框体 400 组装有显示部 402,而框体 401 组装有显示部 403。显示部 402 及显示部 403 的结构既可以是显示连续的画面的结构,又可以是显示不同的画面的结构。通过采用显示不同的画面的结构,例如在右边的显示部(图 16A 中的显示部 402)能够显示文章,而在左边的显示部(图 16A 中的显示部 403)能够显示图像。可以将实施方式 3 所示的显示装置应用于显示部 402 及显示部 403。

[0185] 此外,在图 16A 中示出框体 400 具备操作部等的例子。例如,在框体 400 中,具备电源输入端子 405、操作键 406、扬声器 407 等。操作键 406 例如可以具备翻页的功能。此外,也可以采用在与框体的显示部相同的面上具备键盘及定位装置等的结构。另外,也可以采用在框体的背面或侧面具备外部连接用端子(耳机端子、USB 端子及可以与 USB 电缆等各种电缆连接的端子等)、记录介质插入部等的结构。再者,图 16A 所示的电子书籍也可以具有电子词典的功能。

[0186] 此外,图 16A 所示的电子书籍也能够具备以无线方式收发信息的结构。还可以采用如下结构:以无线的方式从电子书籍服务器购买所希望的书籍数据等,然后下载。

[0187] 图 16B 示出数码相框的一例。例如,在图 16B 所示的数码相框中,框体 411 组装有显示部 412。显示部 412 可以显示各种图像,例如通过显示使用数码相机等拍摄的图像数据,能够发挥与一般的相框同样的功能。作为显示部 412,可以使用实施方式 3 所说明的显示装置。

[0188] 此外,图 16B 所示的数码相框优选采用具备操作部、外部连接用端子(USB 端子、可以连接到诸如 USB 电缆等电缆的端子等)、记录介质插入部等的结构。这些结构也可以组装到与显示部相同的面上,但是当将它们设置在侧面或背面上时,设计性提高,所以是优选的。例如,能够对数码相框的记录介质插入部插入储存有由数码相机拍摄的图像数据的存储器并提取图像数据,然后将所提取的图像数据显示于显示部 412。

[0189] 注意,图 16B 所示的数码相框也可以采用能够以无线方式收发信息的结构。还能采用以无线方式提取所希望的图像数据并进行显示的结构。

[0190] 图 16C 示出电视装置的一例。在图 16C 所示的电视装置中,框体 421 组装有显示部 422。通过利用显示部 422,可以显示影像。此外,在此示出利用支架 423 支撑框体 421

的结构。作为显示部 422,能够应用实施方式 3 所说明的显示装置。

[0191] 能够通过利用框体 421 所具备的操作开关或分体形成的遥控操作机进行图 16C 所示的电视装置的操作。通过利用遥控操作机所具备的操作键,能够进行对频道及音量的操作,并能够对在显示部 422 上显示的影像进行操作。注意,也可以采用在遥控操作机中设置显示从该遥控操作机输出的信息的显示部的结构。

[0192] 此外,图 16C 所示的电视装置采用具备接收机及调制解调器等的结构。能够通过利用接收机接收一般的电视广播,再者,通过调制解调器连接到有线或无线方式的通信网络,也可以进行单向(从发送者到接收者)或双向(发送者和接收者之间或接收者彼此之间等)的信息通信。

[0193] 图 16D 示出便携电话的一例。图 16D 所示的便携电话除了安装在框体 431 中的显示部 432 之外还具备操作按钮 433、操作按钮 437、外部连接端口 434、扬声器 435 及麦克风 436 等。作为显示部 432,能够应用实施方式 3 所说明的显示装置。

[0194] 图 16D 所示的便携电话的显示部 432 既可以是触摸面板(touchpanel),也可以是能够用手指等触摸显示部 432 来操作显示部 432 的显示内容的结构。在此情况下,能够用手指等触摸显示部 432 来打电话或制作电子邮件等。

[0195] 显示部 432 的画面主要有三种模式。第一模式是以图像的显示为主的显示模式,第二模式是以文字等信息的输入为主的输入模式。第三模式是混合有显示模式和输入模式这两种模式的显示与输入模式。

[0196] 例如,在打电话或制作电子邮件的情况下,将显示部 432 设定为以文字输入为主的文字输入模式,并进行在画面上显示的文字的输入操作,即可。在此情况下,优选的是,在显示部 432 的画面的大多部分中显示键盘或号码按钮。

[0197] 注意,通过在图 16D 所示的便携电话的内部设置具有陀螺仪和加速度传感器等检测倾斜度的传感器的检测装置,判断便携电话的方向(纵向或横向),能够对显示部 432 的显示信息进行自动切换。

[0198] 通过触摸显示部 432 或利用框体 431 的操作按钮 437 进行的操作,切换画面模式,即可。此外,还能根据显示在显示部 432 上的图像种类切换画面模式。例如,当显示在显示部上的图像信号为动态图像的数据时,将画面模式切换成显示模式,而当显示在显示部上的图像信号为文本数据时,将画面模式切换成输入模式,即可。

[0199] 注意,当在输入模式中通过检测出显示部 432 的光传感器所检测的信号得知在一定期间没有显示部 432 的触摸操作输入时,也可以以将画面模式从输入模式切换成显示模式的方式进行控制。

[0200] 还能够将显示部 432 用作图像传感器。例如,通过用手掌或手指触摸显示部 432,并利用图像传感器拍摄掌纹、指纹等,能够进行个人识别。注意,通过在显示部中使用发射近红外光的背光灯或发射近红外光的感测光源,还能拍摄手指静脉、手掌静脉等。

[0201] 图 17 是便携电话的一例,图 17A 是前视图,图 17B 是后视图,图 17C 是滑动两个框体时的前视图。便携电话由两个框体,即框体 451 以及框体 452 构成。便携电话具有便携电话和便携式信息终端双方的功能,内置有计算机,并且除了进行声音通话之外还可以处理各种各样的数据,即是所谓的智能电话(Smart phone)。

[0202] 框体 451 具备显示部 453、扬声器 454、麦克风 455、操作键 456、定位装置 457、表面

相机用透镜 458、外部连接端子插口 459、以及耳机端子 460 等,并且框体 452 由键盘 461、外部存储器插槽 462、背面相机 463、灯 464 等构成。注意,天线被内置在框体 451 中。

[0203] 此外,便携电话还可以在上述结构的基础上内置非接触型 IC 芯片、小型记录装置等。

[0204] 相重合的框体 451 和框体 452(示出于图 17A)可以滑动,若滑动则如图 17C 那样展开。可以将应用实施方式 1 及实施方式 3 所说明的显示装置的制造方法的显示面板或显示装置安装到显示部 453 中。由于在与显示部 453 相同的面上具备表面相机用透镜 458,因此可以进行视频通话。此外,通过将显示部 453 用作取景器,可以使用背面相机 463 以及灯 464 进行静态图像以及动态图像的拍摄。

[0205] 通过利用扬声器 454 和麦克风 455,可以将便携电话用作声音记录装置(录音装置)或声音再现装置。此外,可以利用操作键 456 进行电话的拨打和接收、电子邮件等的简单的信息输入操作、显示于显示部的画面的滚动操作、选择显示于显示部的信息等的指针移动操作等。

[0206] 此外,当处理的信息较多时如制作文件、用作便携式信息终端等,使用键盘 461 是较方便的。再者,通过使相重叠的框体 451 和框体 452(图 17A)滑动,可以如图 17C 那样展开。当用作便携式信息终端时,使用键盘 461 及定位装置 457 可以顺利进行光标操作。外部连接端子插口 459 可以与 AC 适配器以及 USB 电缆等各种电缆连接,并可以进行充电以及与个人计算机等的通信。此外,通过对外部存储器插槽 462 插入记录介质,可以进行大量的数据存储以及转移。

[0207] 框体 452 的背面(图 17B)具备背面相机 463 及灯 464,并且可以将显示部 453 用作取景器而进行静态图像以及动态图像的拍摄。

[0208] 注意,除了上述功能结构之外,还可以具备红外线通信功能、USB 端口、数字电视(one-seg)接收功能、非接触 IC 芯片或耳机插口等。

[0209] 如上所说明,可以将实施方式 1 至实施方式 3 所示的发明应用于各种电子设备。

[0210] 本申请基于 2009 年 3 月 10 日在日本专利局提交的日本专利申请序列号 2009-055878,在此引用其全部内容作为参考。

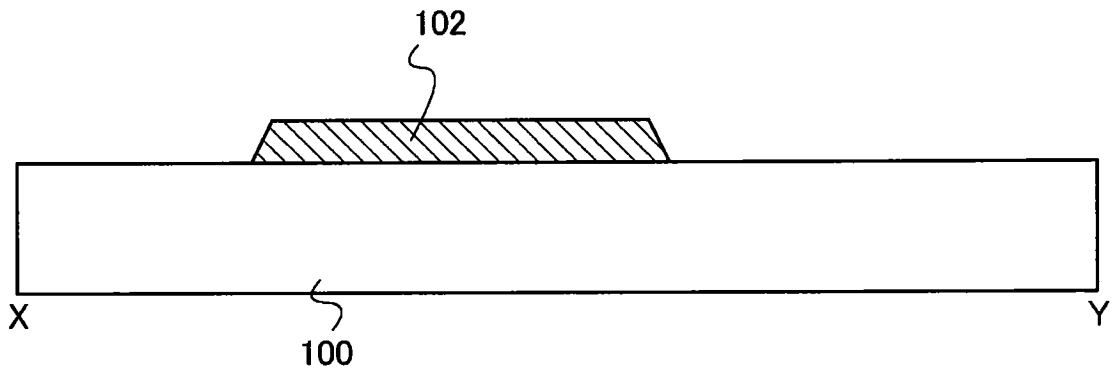


图 1A

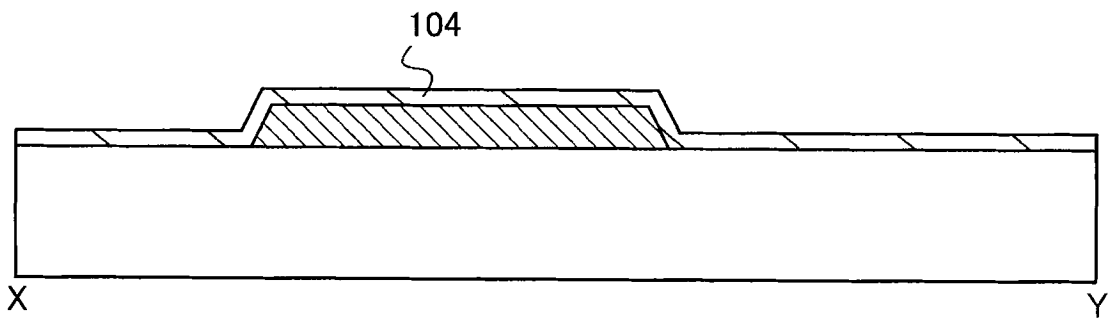


图 1B

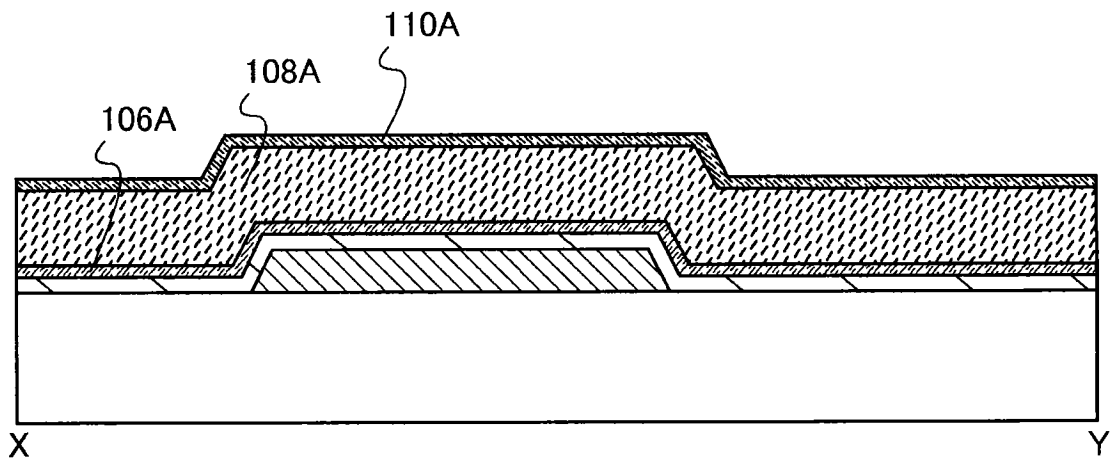


图 1C

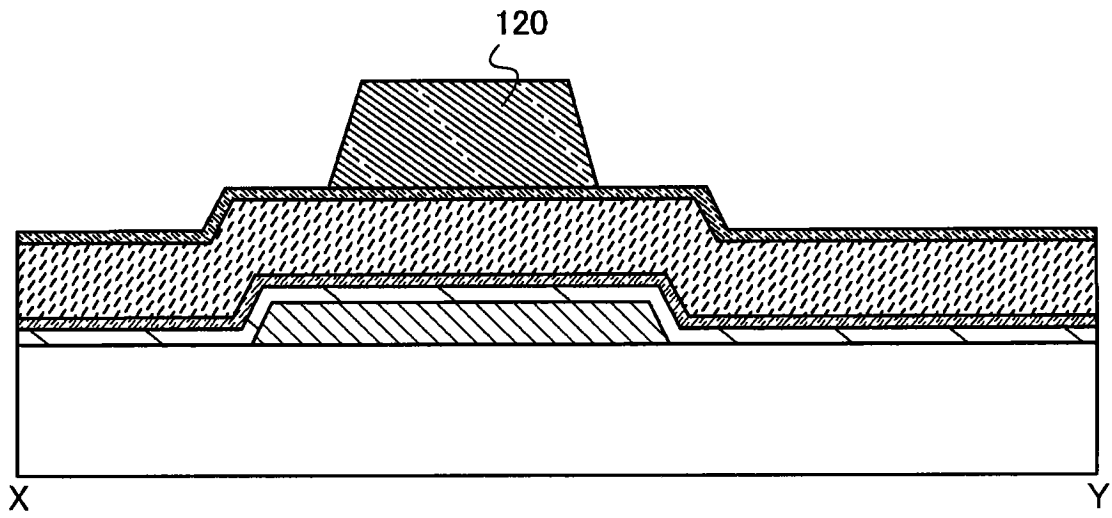


图 2A

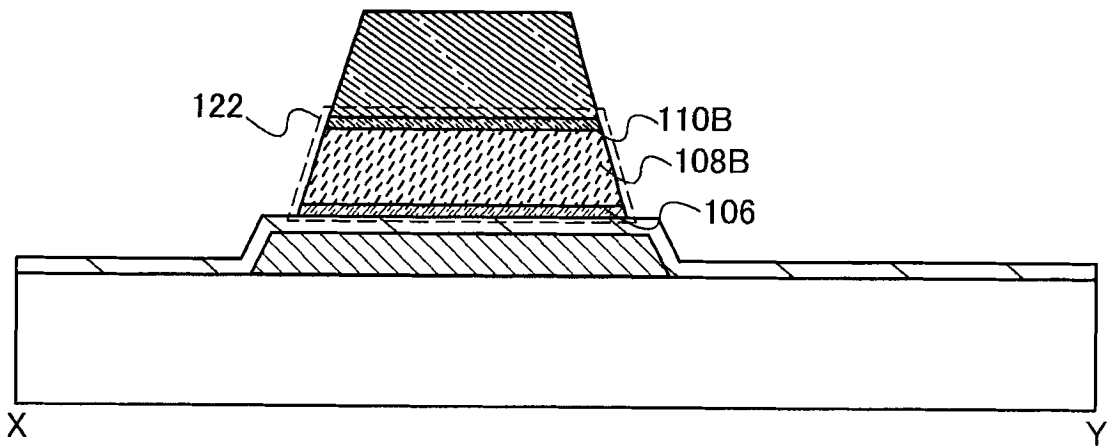


图 2B



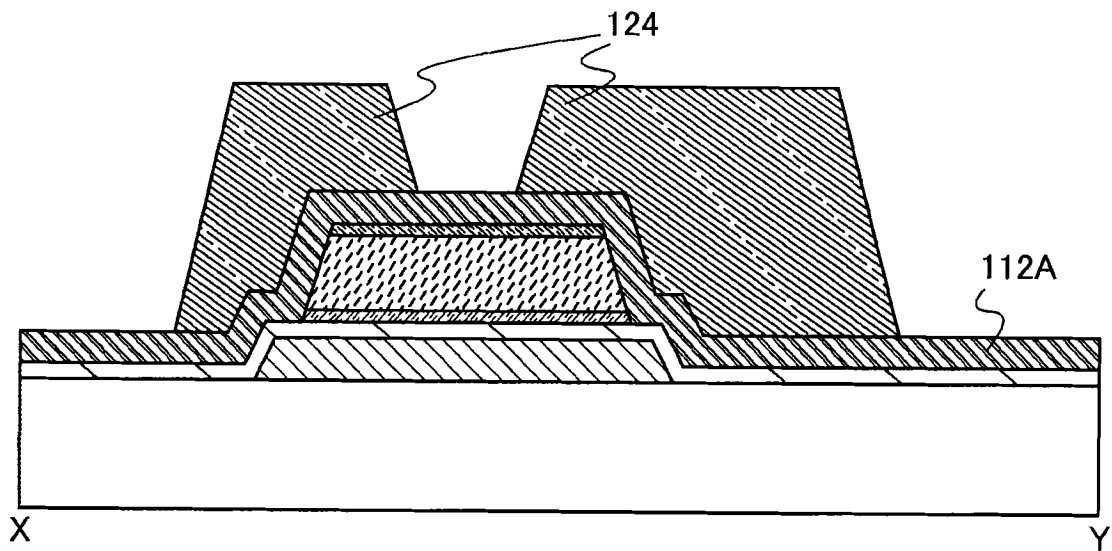


图 2C

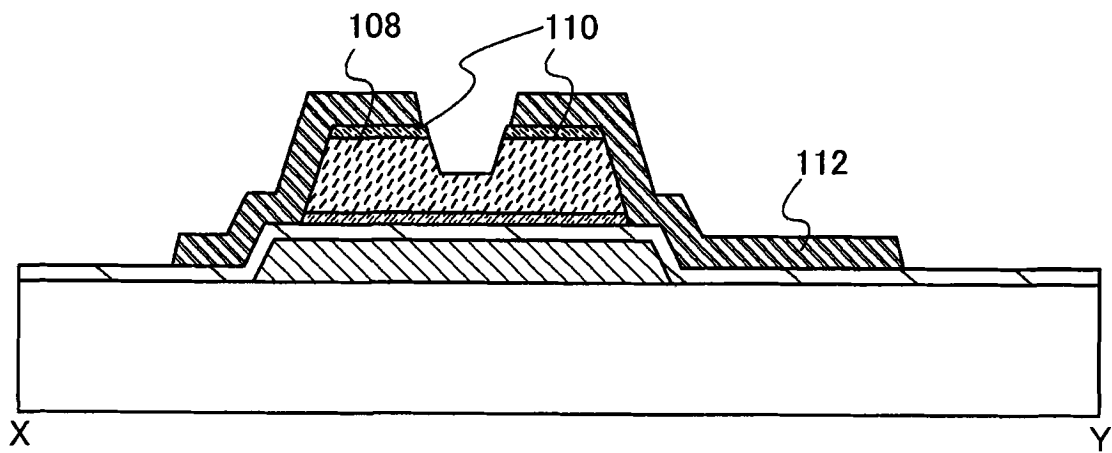


图 3A

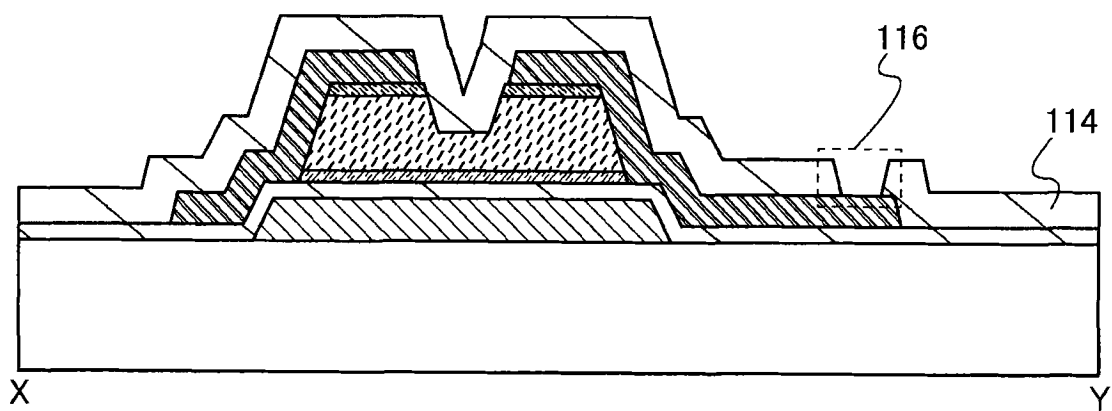


图 3B

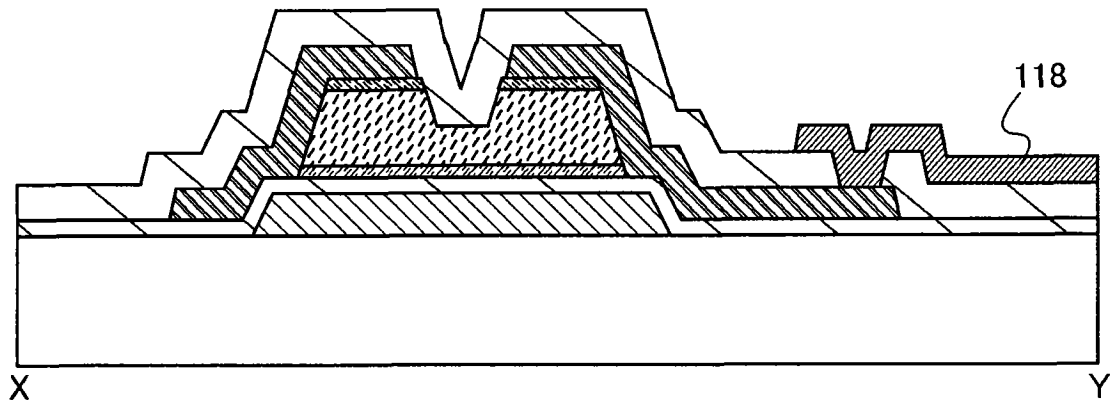


图 3C

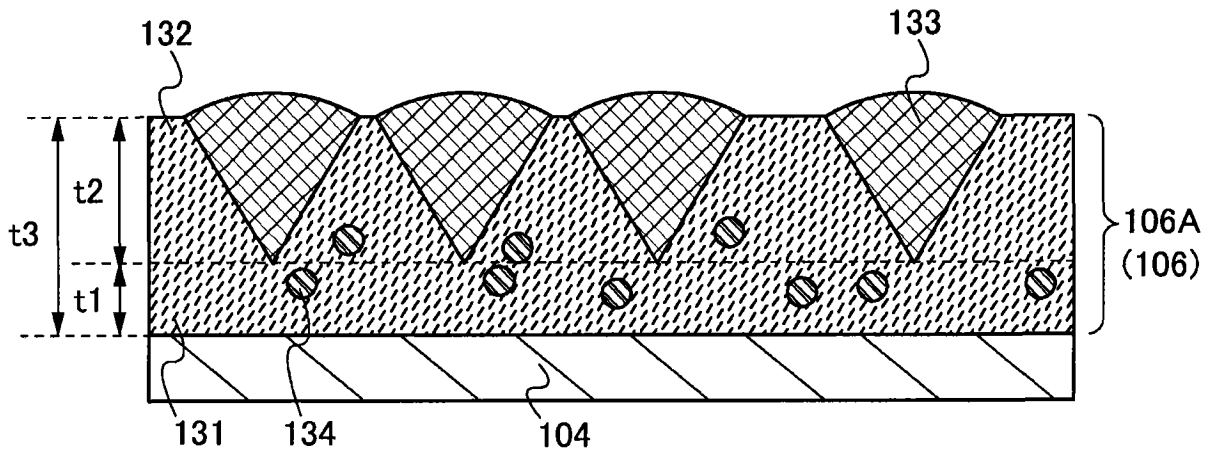


图 4

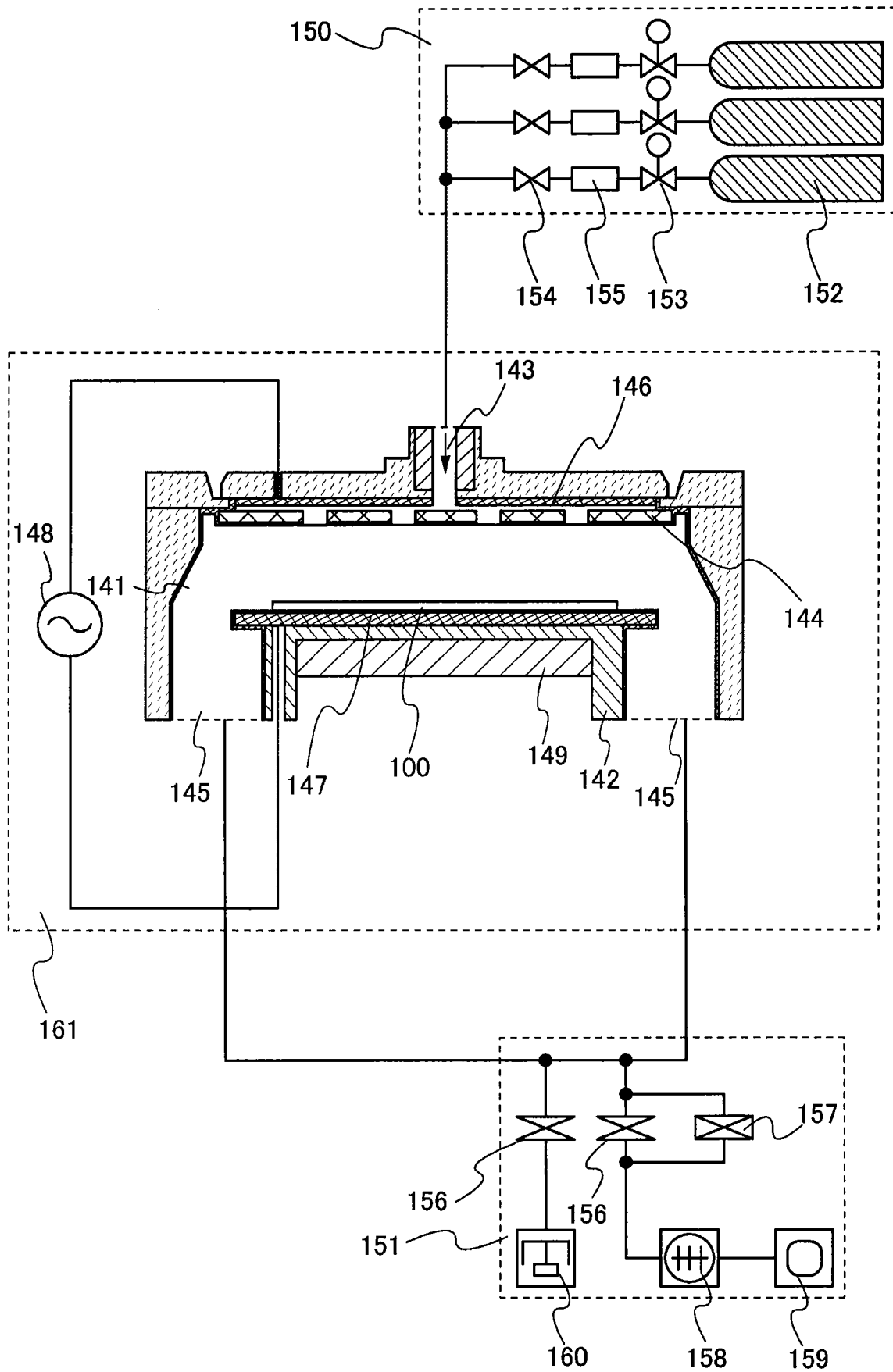


图 5

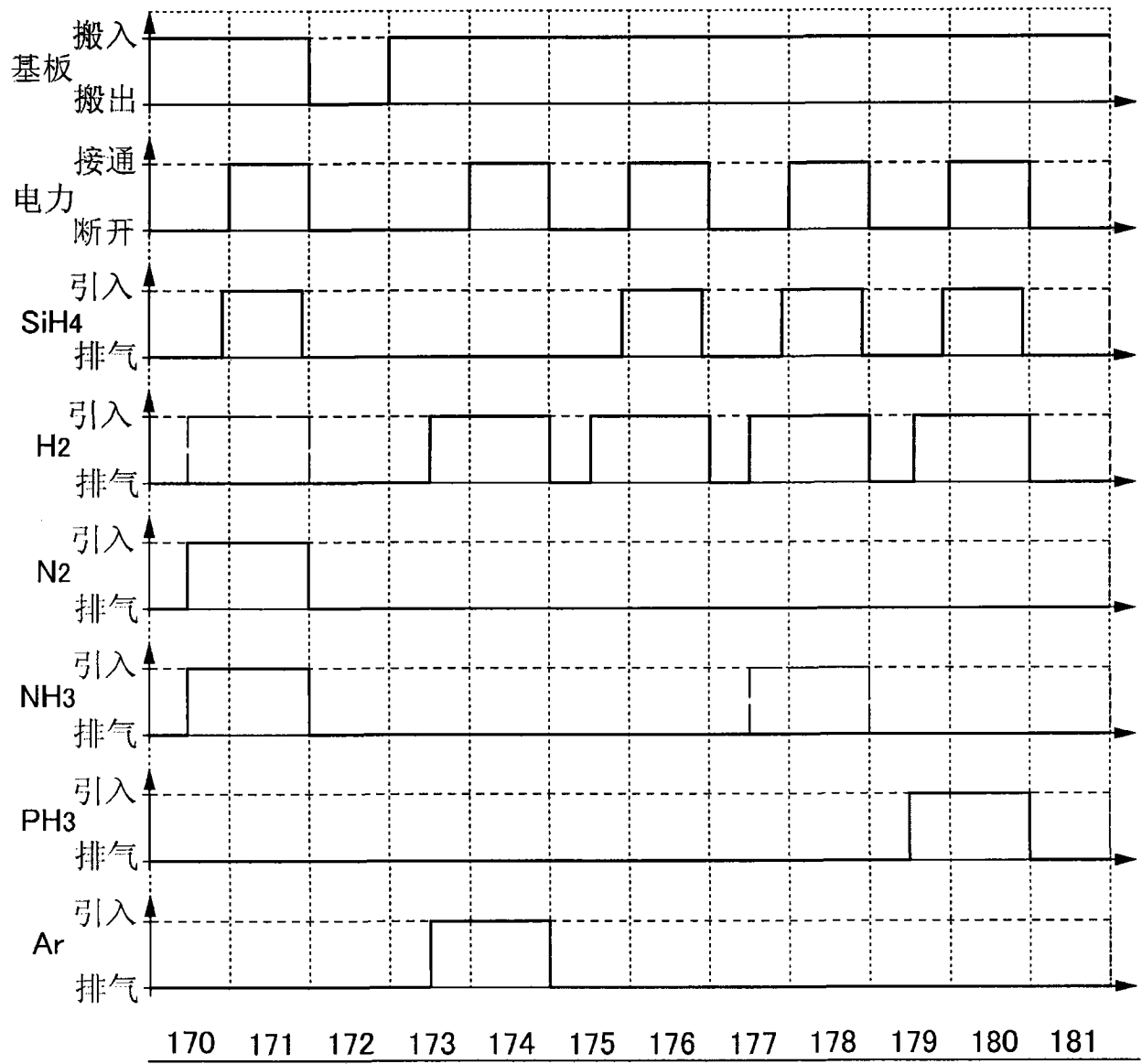


图 6

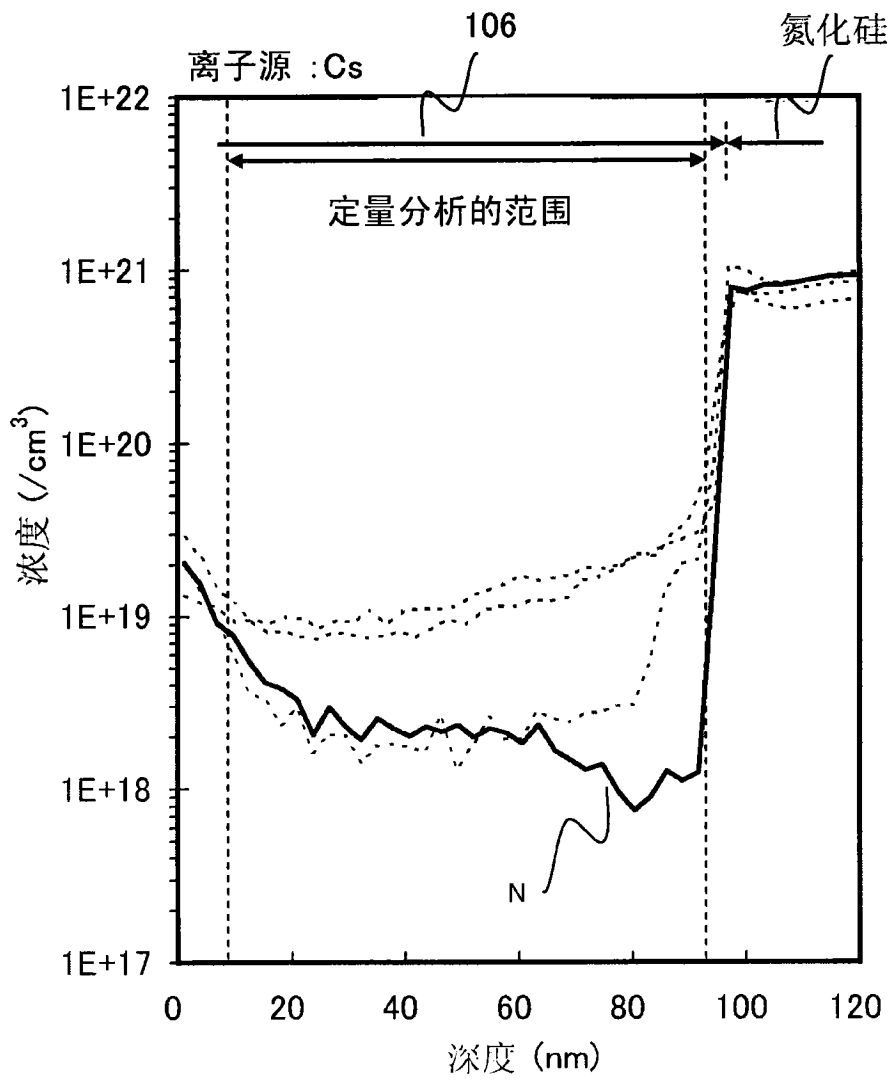


图 7

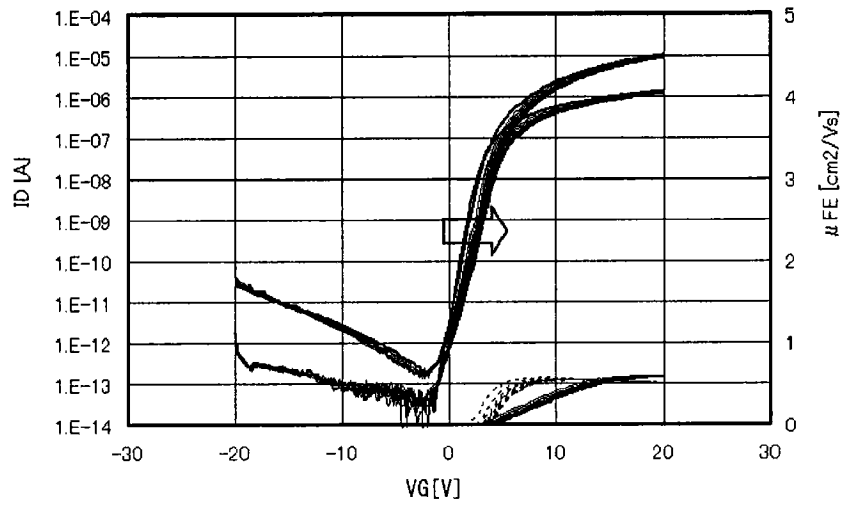


图 8A

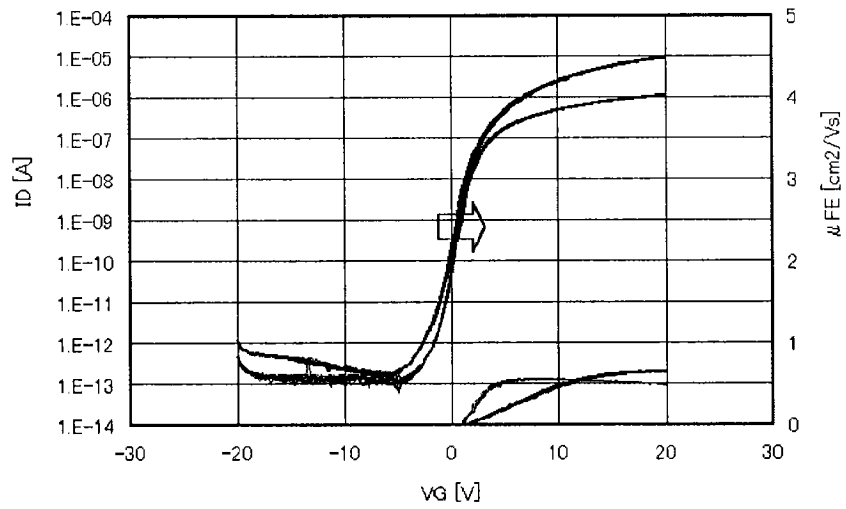


图 8B

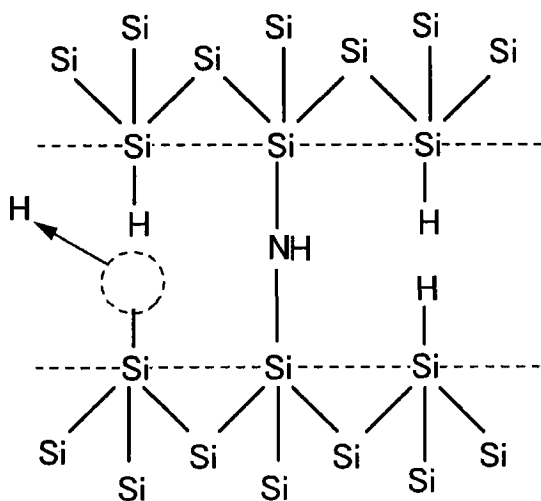


图 9A

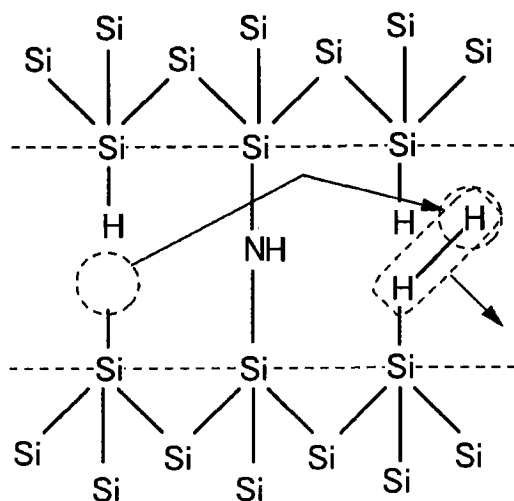


图 9B

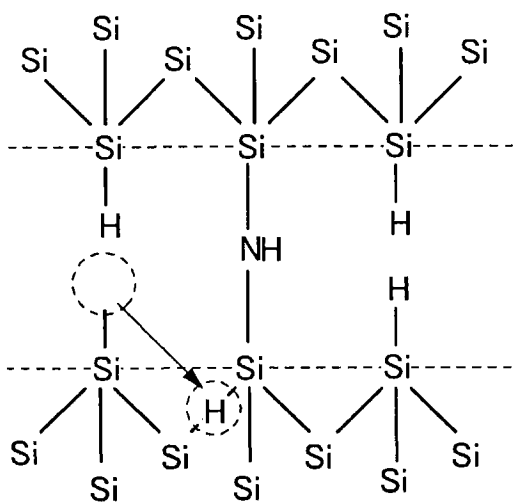


图 9C

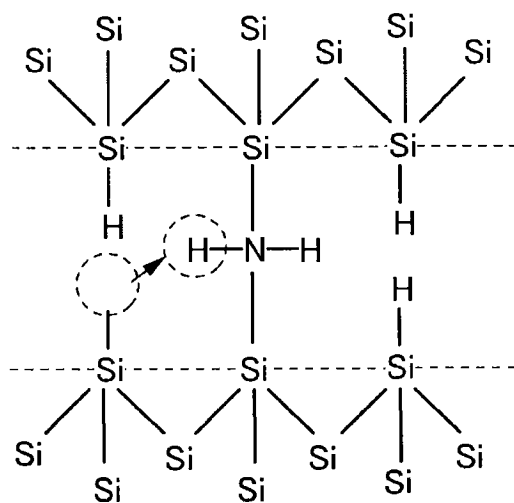


图 9D

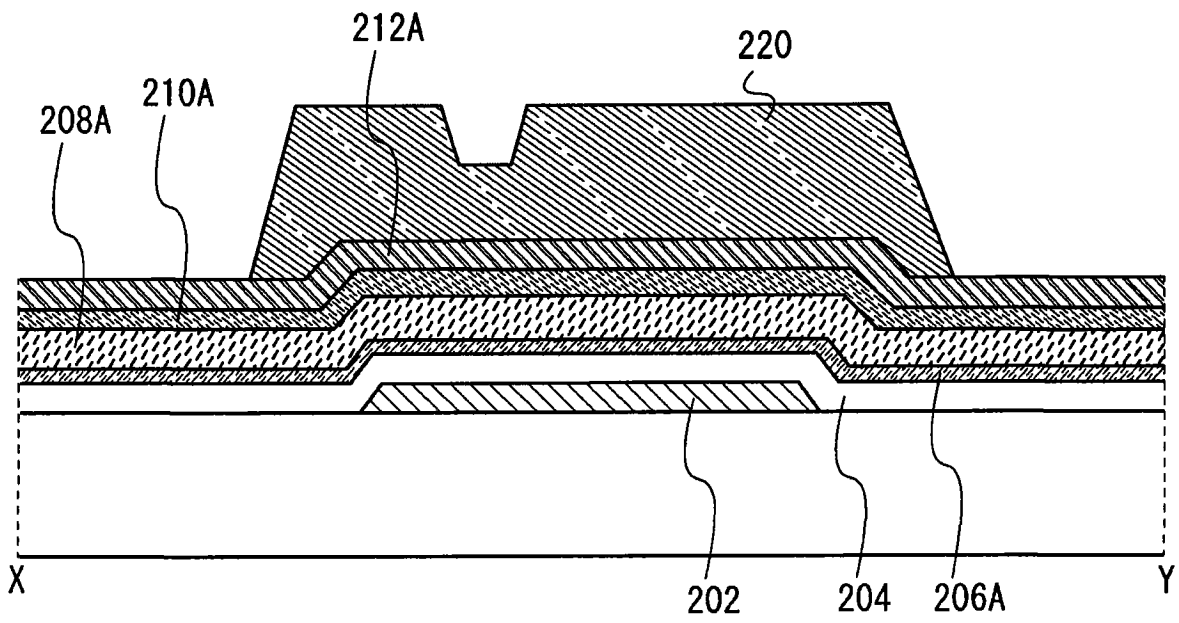


图 10A

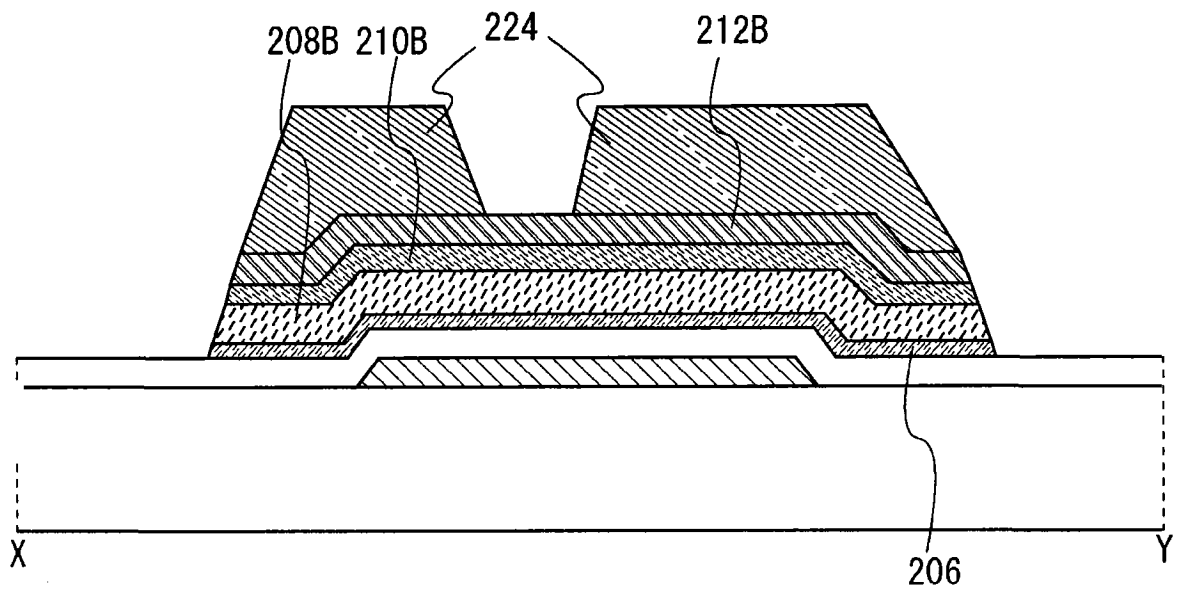


图 10B



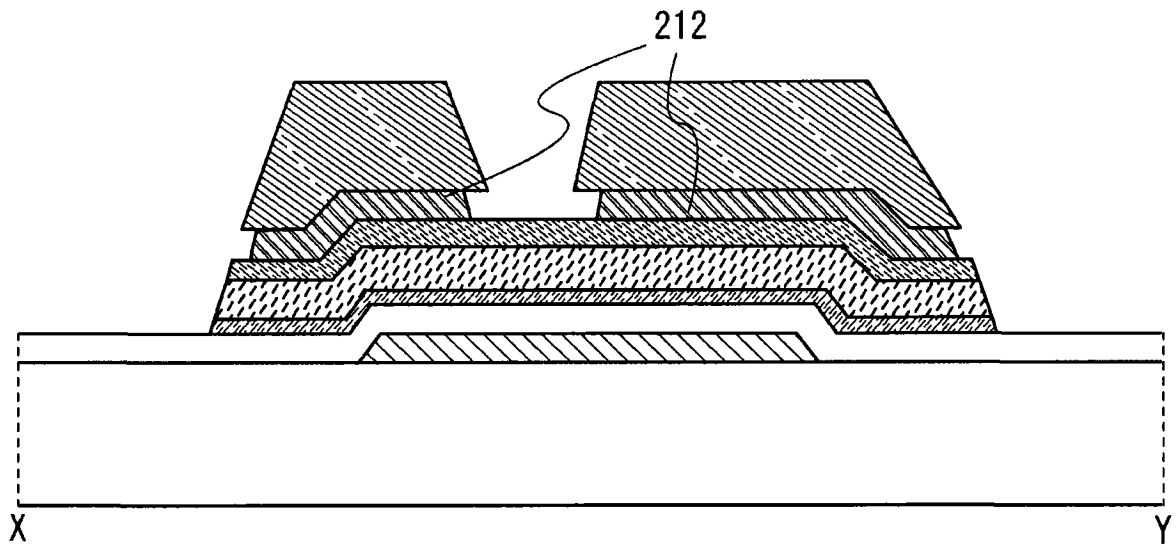


图 10C

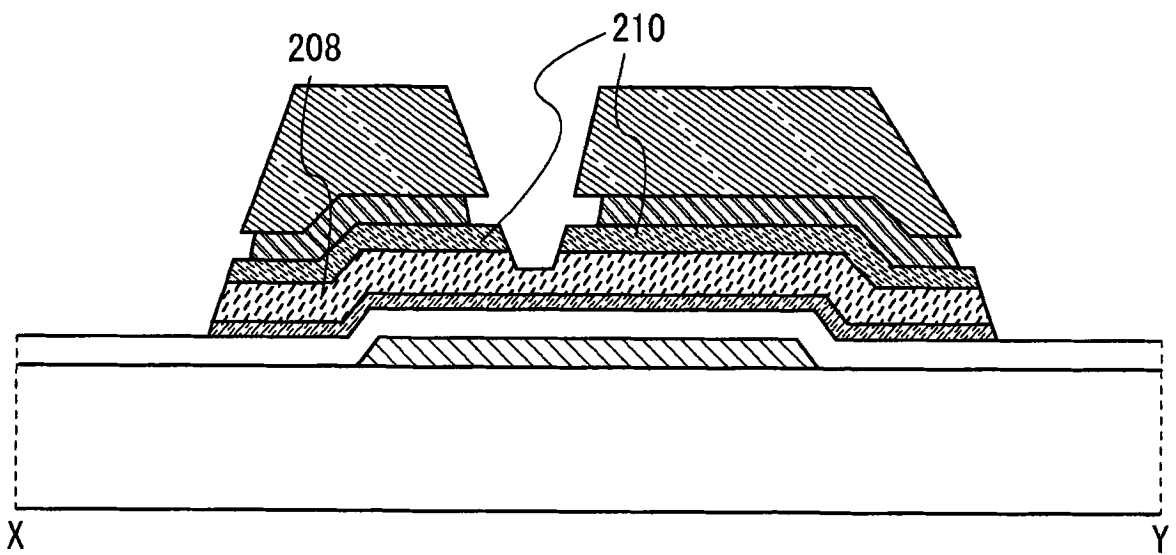


图 11A

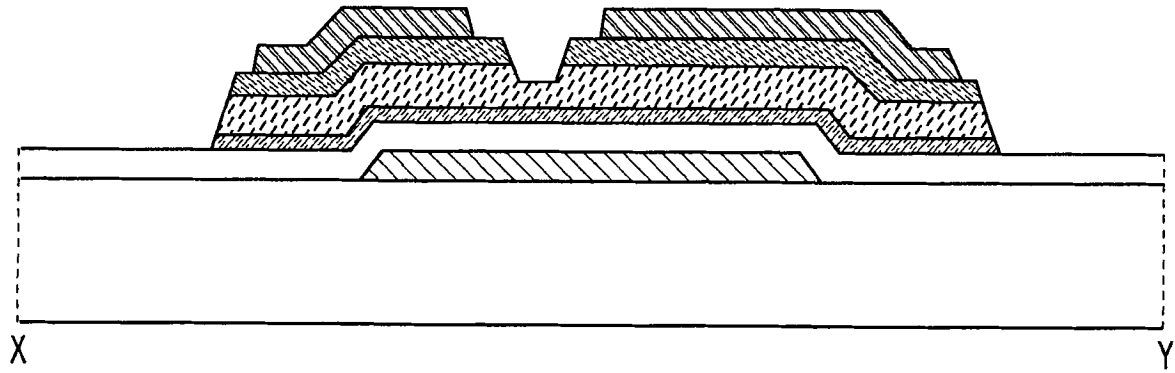


图 11B

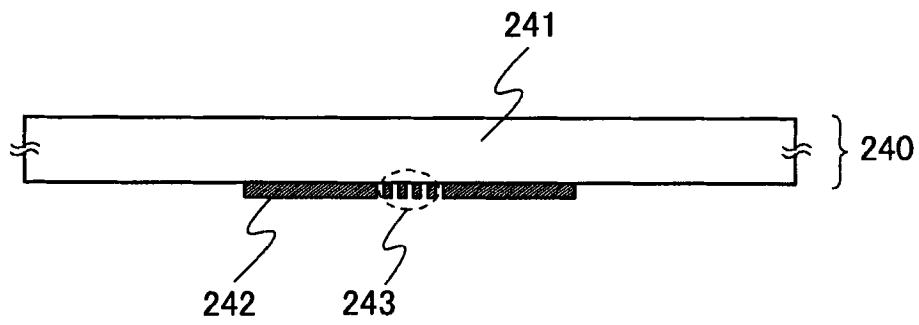


图 12A-1

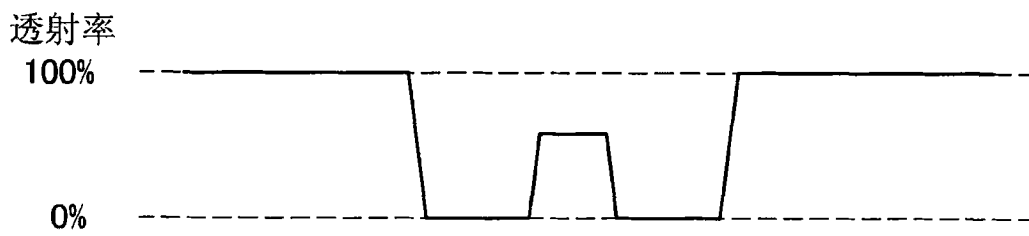


图 12A-2

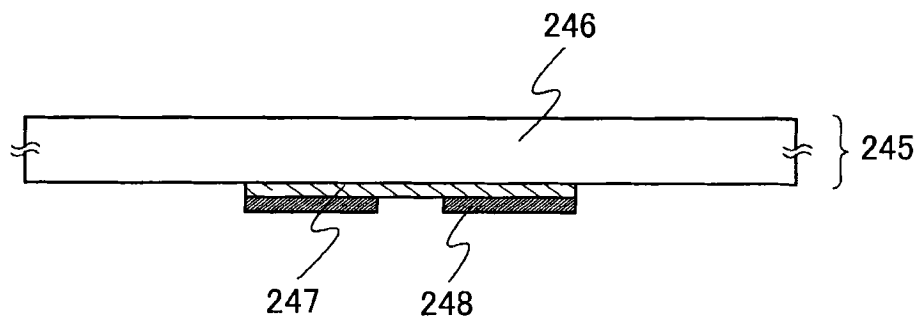


图 12B-1

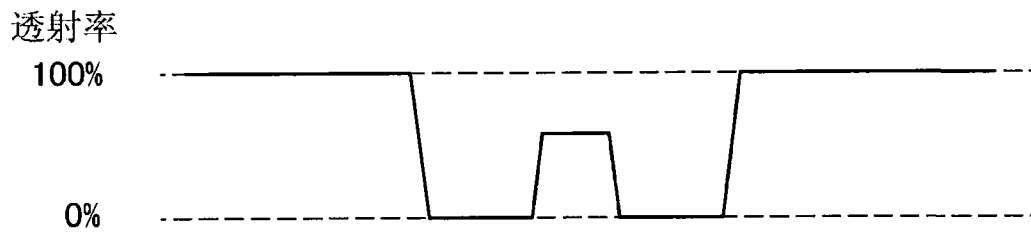


图 12B-2

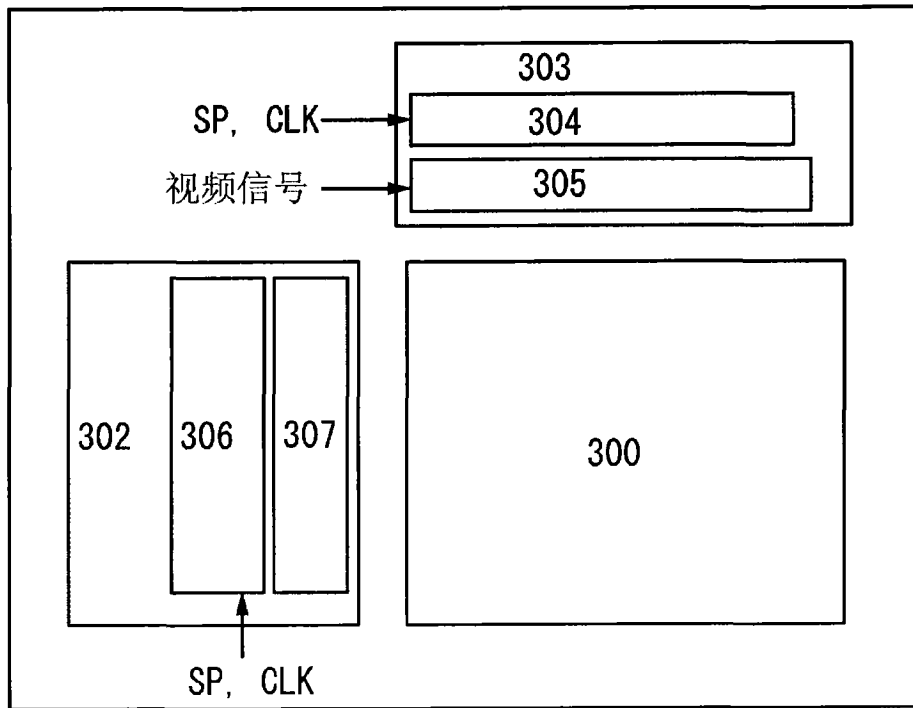


图 13

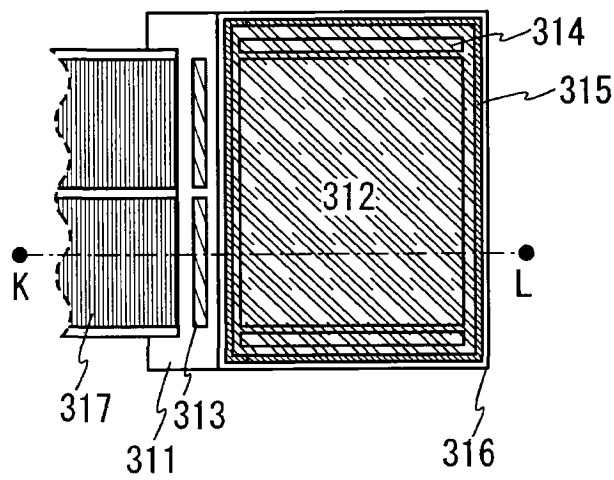


图 14A

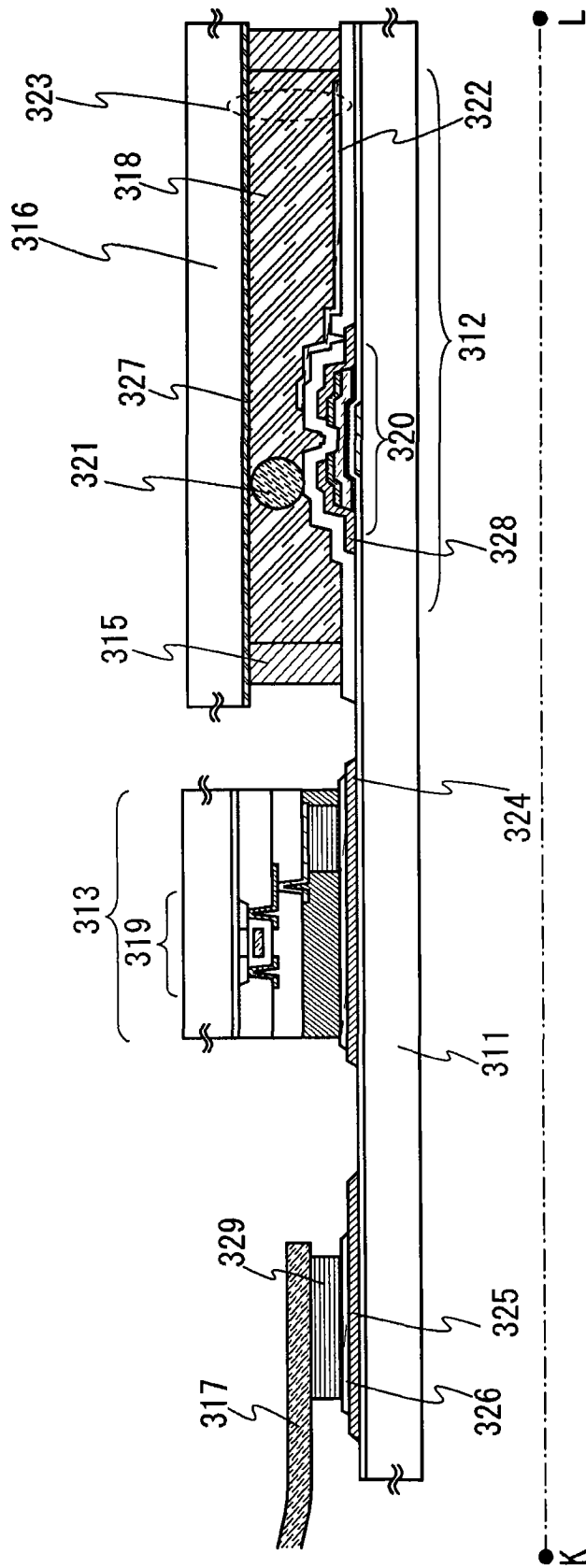


图 14B

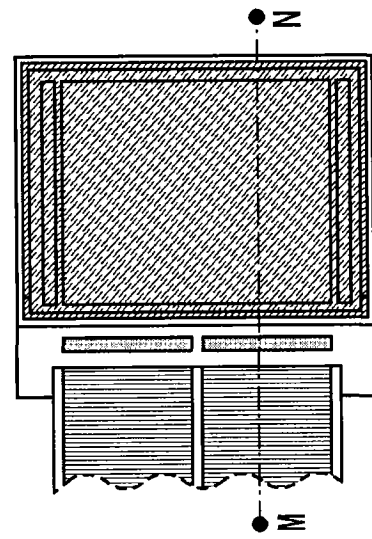


图 15A

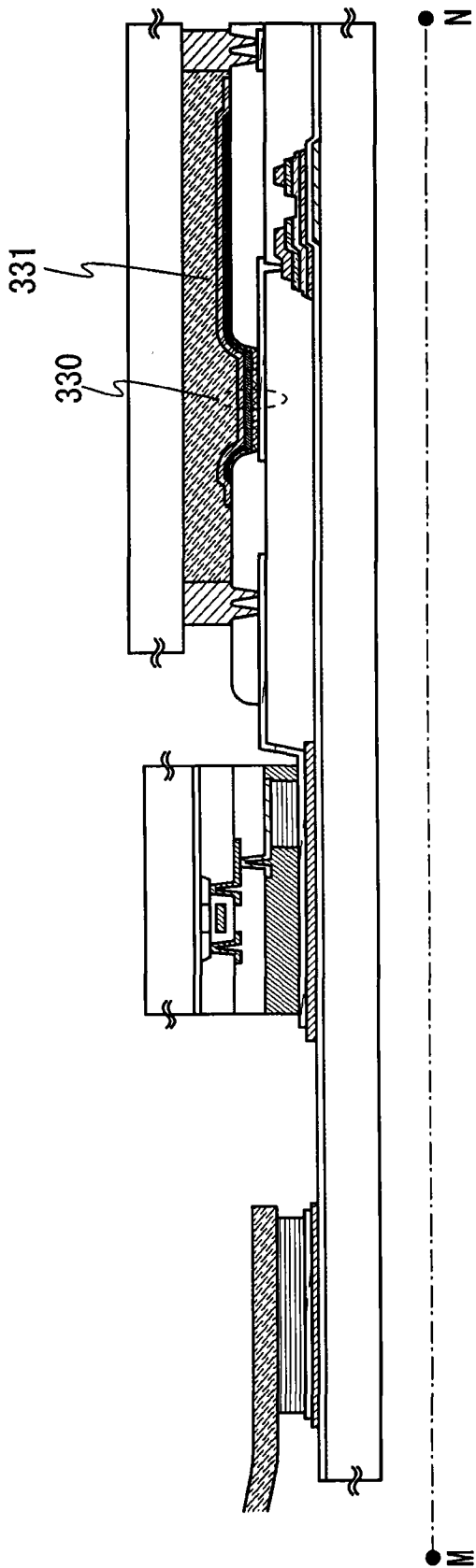


图 15B

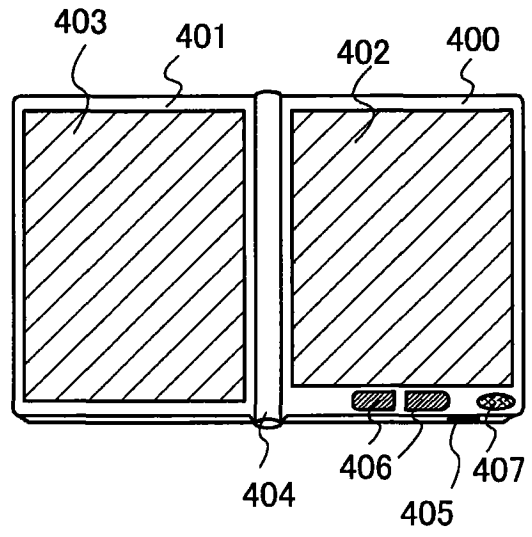


图 16A

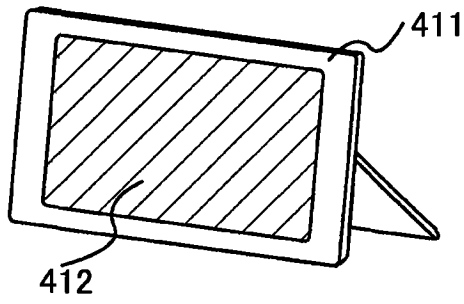


图 16B

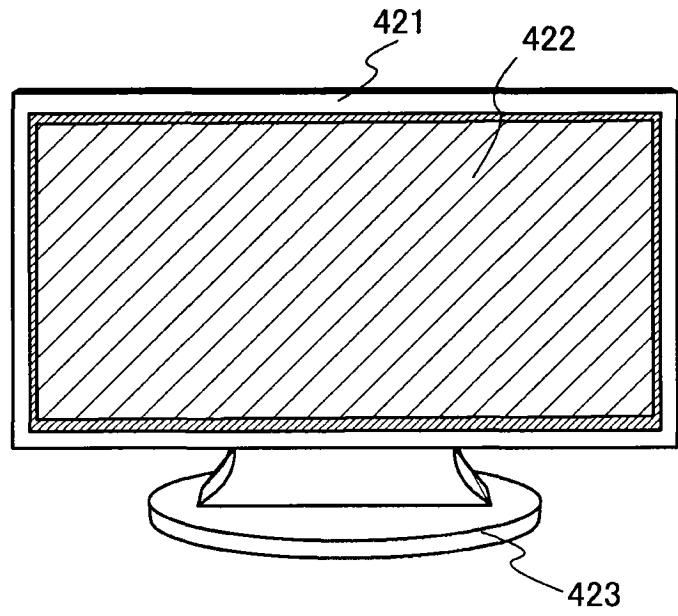


图 16C

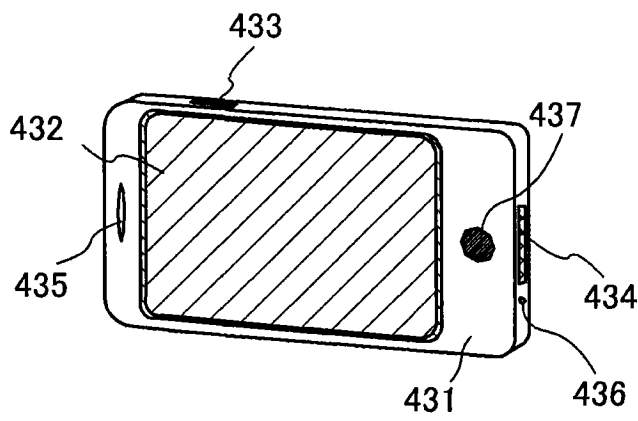


图 16D

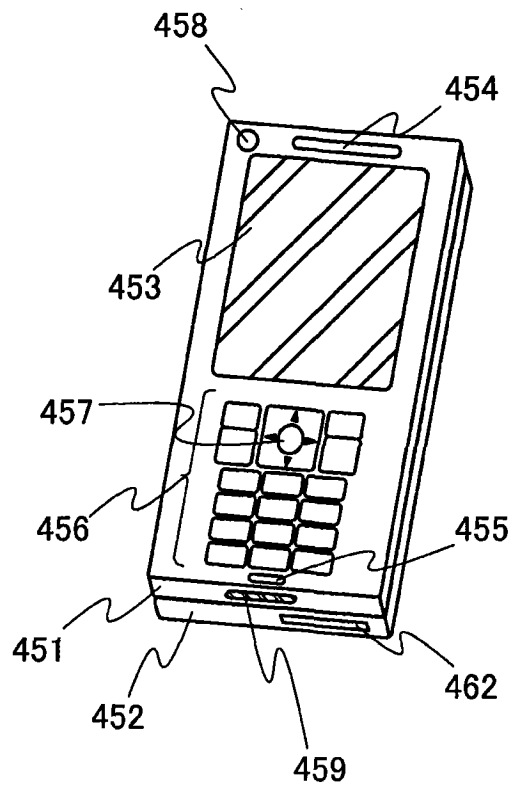


图 17A

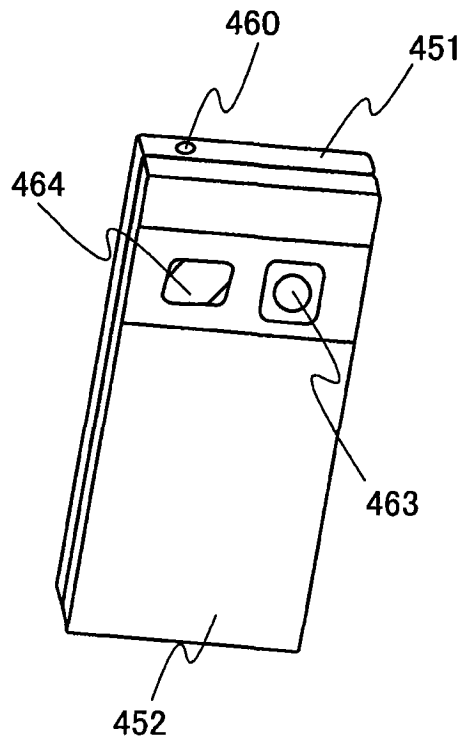


图 17B

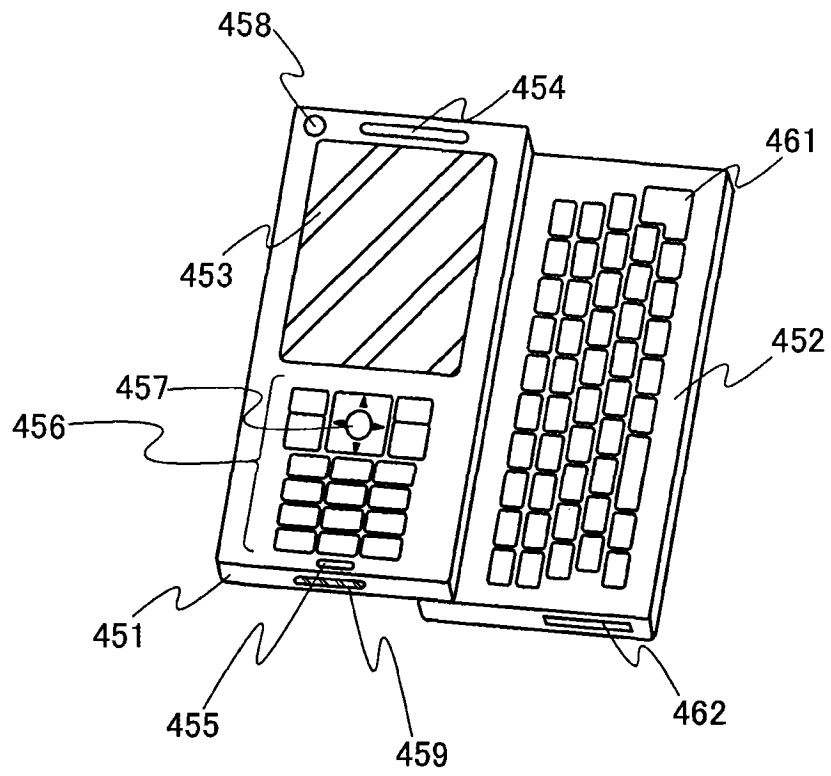


图 17C

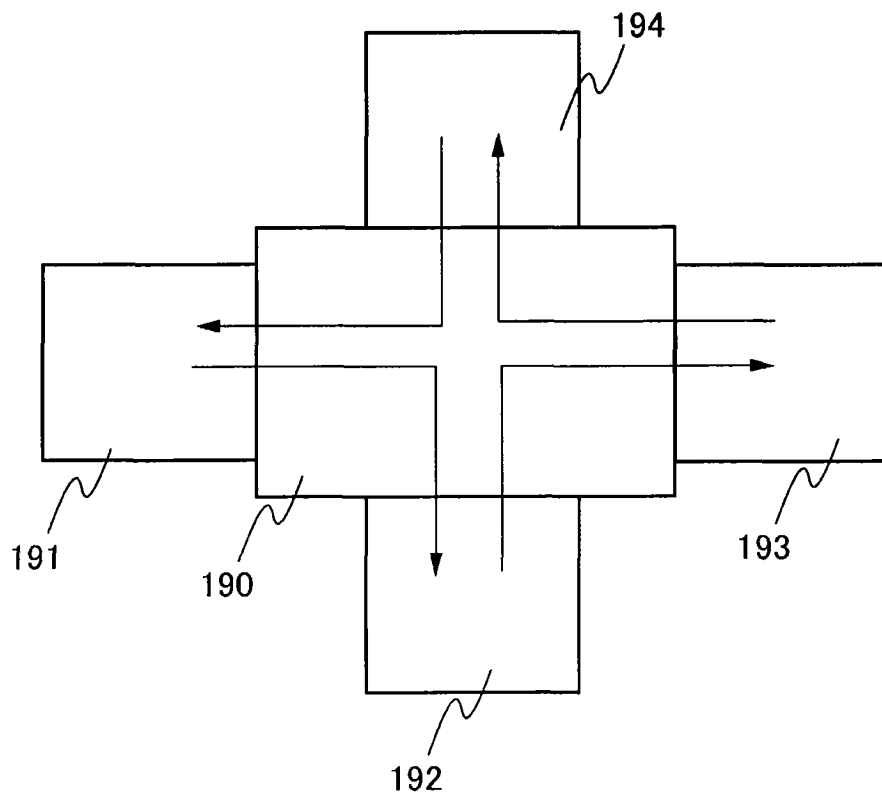


图 18