

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2008-218876

(P2008-218876A)

(43) 公開日 平成20年9月18日(2008.9.18)

(51) Int.Cl.

H01L 29/78 (2006.01)
H01L 21/8238 (2006.01)
H01L 27/092 (2006.01)
H01L 21/28 (2006.01)
H01L 29/423 (2006.01)

F 1

H01L 29/78
H01L 27/08
H01L 21/28
H01L 29/58

301G
321D
301S
G

テーマコード(参考)

4M104
5FO48
5F140

審査請求 未請求 請求項の数 18 O L (全 20 頁) 最終頁に続く

(21) 出願番号

特願2007-57074 (P2007-57074)

(22) 出願日

平成19年3月7日 (2007.3.7)

(71) 出願人 000005821

松下電器産業株式会社
大阪府門真市大字門真1006番地

(74) 代理人 100077931

弁理士 前田 弘

(74) 代理人 100110939

弁理士 竹内 宏

(74) 代理人 100110940

弁理士 嶋田 高久

(74) 代理人 100113262

弁理士 竹内 祐二

(74) 代理人 100115059

弁理士 今江 克実

(74) 代理人 100115691

弁理士 藤田 篤史

最終頁に続く

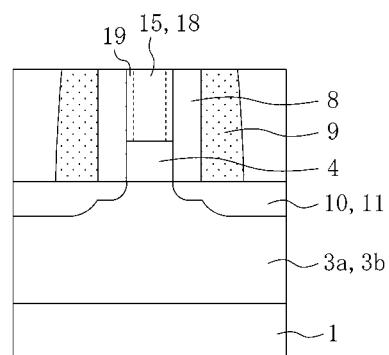
(54) 【発明の名称】MIS型半導体装置の製造方法およびMIS型半導体装置

(57) 【要約】

【課題】微細化してもリーク電流の少ない、信頼性に優れたフルシリサイド化ゲート電極を備えたMIS型半導体装置の製造方法を提供することにある。

【解決手段】シリコン基板1上に、ゲート絶縁膜4及び多結晶シリコン膜5からなるゲート領域を形成した後、プラズマ窒化処理を行って、多結晶シリコン膜5の側面に窒素を導入する。その後、ゲート領域をマスクに、シリコン基板表面にソース、ドレイン領域10、11を形成した後、多結晶シリコン膜5上に金属膜14、17を形成し、然る後、多結晶シリコン膜5と金属膜14、17とをシリサイド化反応させて、多結晶シリコン膜5の全領域がフルシリサイド化されてなるゲート電極15、18を形成する。

【選択図】図4



【特許請求の範囲】**【請求項 1】**

半導体基板上に、ゲート絶縁膜及び多結晶シリコン膜からなるゲート領域を形成する工程（a1）と、

前記ゲート領域における前記多結晶シリコン膜の側面に窒素を導入する工程（b1）と

、
前記ゲート領域をマスクに、前記半導体基板表面にソース、ドレイン領域を形成する工程（c1）と、

前記多結晶シリコン膜上に金属膜を形成する工程（d1）と、

前記多結晶シリコン膜と前記金属膜とをシリサイド化反応させて、前記多結晶シリコン膜の全領域がフルシリサイド化されてなるゲート電極を形成する工程（e1）と
を含む、MIS型半導体装置の製造方法。 10

【請求項 2】

前記工程（b1）の後に、前記ゲート領域の側壁に、側壁絶縁膜を形成する工程をさらに含む、請求項1に記載のMIS型半導体装置の製造方法。

【請求項 3】

前記側壁絶縁膜はシリコン窒化膜で構成されている、請求項2に記載のMIS型半導体装置の製造方法。

【請求項 4】

前記工程（b1）は、前記多結晶シリコン膜の側面をプラズマ窒化処理することによって実行される、請求項1に記載のMIS型半導体装置の製造方法。 20

【請求項 5】

前記工程（b1）において、前記ゲート領域の前記ゲート絶縁膜の側面にも窒素が導入される、請求項1に記載のMIS型半導体装置の製造方法。

【請求項 6】

前記工程（c1）の後、前記ゲート領域の側方に平坦化された絶縁膜を形成する工程をさらに含み、

前記工程（d1）において、前記金属膜は、前記多結晶シリコン膜上を含む前記絶縁膜上に形成される、請求項1に記載のMIS型半導体装置の製造方法。 30

【請求項 7】

半導体基板上に、ゲート絶縁膜及び金属膜からなるゲート電極を形成する工程（a2）と、

前記ゲート電極の側面に窒素を導入する工程（b2）と、

前記ゲート電極をマスクに、前記半導体基板表面にソース、ドレイン領域を形成する工程（c2）と
を含む、MIS型半導体装置の製造方法。 40

【請求項 8】

前記工程（b2）において、前記ゲート絶縁膜の側面にも窒素が導入される、請求項7に記載のMIS型半導体装置の製造方法。

【請求項 9】

前記工程（b2）の後に、前記ゲート電極の側面に、側壁絶縁膜を形成する工程をさらに含む、請求項7に記載のMIS型半導体装置の製造方法。

【請求項 10】

前記側壁絶縁膜はシリコン窒化膜で構成されている、請求項9に記載のMIS型半導体装置の製造方法。

【請求項 11】

半導体基板上に、ゲート絶縁膜及びダミーゲート電極からなるゲート領域を形成する工程（a3）と、

前記ゲート領域の側壁に、側壁絶縁膜を形成する工程（b3）と、

前記ゲート領域及び前記側壁絶縁膜をマスクに、前記半導体基板表面にソース、ドレイ 50

ン領域を形成する工程（c 3）と、

前記ゲート領域の側方に平坦化された絶縁膜を形成する工程（d 3）と、

前記ゲート領域における前記ダミーゲート電極を除去して、前記側壁絶縁膜で画された凹部を形成する工程（e 3）と、

前記凹部の側面及び底面上に、表面が窒化された第1の金属薄膜を形成し、さらに、前記凹部内に、第2の金属膜を埋設して、第1の金属薄膜及び第2の金属膜からなるゲート電極を形成する工程（f 3）と

を含む、MIS型半導体装置の製造方法。

【請求項12】

前記工程（a 3）の後に、前記ゲート領域における前記ダミーゲート電極の側面に窒素を導入する工程（g 3）をさらに含む、請求項11に記載のMIS型半導体装置の製造方法。 10

【請求項13】

前記側壁絶縁膜はシリコン窒化膜で構成されている、請求項11に記載のMIS型半導体装置の製造方法。

【請求項14】

前記工程（g 3）において、前記ゲート絶縁膜の側面にも窒素が導入される、請求項12に記載のMIS型半導体装置の製造方法。

【請求項15】

請求項1～6の何れかに記載の方法により製造されたMIS型半導体装置であって、

前記MIS型半導体装置は、多結晶シリコン膜がフルシリサイド化されてなるゲート電極を備え、該ゲート電極の側面には、窒素が導入されている、MIS型半導体装置。 20

【請求項16】

請求項7～10の何れかに記載の方法により製造されたMIS型半導体装置であって、該MIS型半導体装置は金属ゲート電極を備え、該ゲート電極の側面には、窒素が導入されている、MIS型半導体装置。

【請求項17】

請求項11～14の何れかに記載の方法により製造されたMIS型半導体装置であって、

該MIS型半導体装置は、側壁絶縁膜で画されたゲート領域内に、第2の金属膜が埋設された金属ゲート電極を備え、前記第2の金属膜と前記側壁絶縁膜との間に、表面が窒化された第1の金属薄膜が形成されている、MIS型半導体装置。 30

【請求項18】

前記側壁絶縁膜で画されたゲート領域内のゲート絶縁膜の側面に、窒素が導入されている、請求項17に記載のMIS型半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、フルシリサイド化ゲート電極または金属ゲート電極を備えたMIS型半導体装置の製造方法に関するものである。 40

【背景技術】

【0002】

MIS型半導体装置のゲート電極として用いられてきたシリコン（ゲルマニウムとの合金も含む）は、近年の半導体装置の微細化・高集積化に伴い、ゲート電極の高抵抗化、ゲート電極の空乏化、及びゲート電極中のボロンのゲート酸化膜または基板中への拡散（ボロンの突き抜け）等の問題が顕在化し、デバイス特性の性能や信頼性が低下するという問題がある。

【0003】

このようなSiゲート電極における問題の解決策として、モリブデン、タンゲステン、タンタル、チタンなどの高融点金属をゲート電極に用いたメタルゲート電極の導入が検討

されている。

【0004】

メタルゲート電極はSiゲート電極に比べ比抵抗が低く、ゲート電極内部の自由電子濃度も高いため、ゲート電極の空乏化の影響も極めて少ない。また、低抵抗化するための不純物の導入が不要であり、ゲート電極中の不純物のゲート絶縁膜中や基板への拡散は起こらない。

【0005】

しかしながら、メタルゲート電極では、しきい値電圧の制御が高精度で要求される。特に、CMOSに用いる場合、pMOS用とnMOS用とに、それぞれ別の仕事関数を持つ金属をゲート電極に用いた、いわゆるデュアルメタルゲート電極を用いる必要がある。それ故、pMOS用、nMOS用にそれぞれ別の金属膜を成膜することになり、工程が複雑になると共に、製造コストも増加してしまうという問題がある。

【0006】

そんな中、多結晶シリコン膜を全てシリサイド化して形成したフルシリサイド化ゲート電極(FUSI(FULLy SILicided)ゲート電極)が、メタルゲート電極の候補として注目されている。

【0007】

図14(a)～(d)は、従来のFUSIゲート電極を備えたMIS型半導体装置の一般的な製造方法を示した工程断面図である。

【0008】

まず、図14(a)に示すように、半導体基板101上に、ゲート絶縁膜102、多結晶シリコン膜103、及び保護膜104を順次形成した後、エッティングにより、ゲート領域を形成する。そして、ゲート領域の側壁に側壁絶縁膜105を形成した後、半導体基板101表面に、ソース、ドレイン106をゲート領域に対して自己整合的に形成する。

【0009】

次に、図14(b)に示すように、半導体基板101上に絶縁膜107を形成した後、多結晶シリコン膜103が露出するまで絶縁膜107を平坦化し、ゲート領域の側方に平坦化された絶縁膜107を形成する。

【0010】

次に、図14(c)に示すように、半導体基板101上に、Ti、Ni、Co等の金属膜108を形成した後、図14(d)に示すように、熱処理により、多結晶シリコン膜103を金属膜108と反応させて、多結晶シリコン膜103をフルシリサイド化する。そして、未反応の金属膜108を除去することによって、ゲート領域にFUSIゲート電極109を形成する。

【0011】

なお、デュアルゲート電極に適用する場合には、金属とシリコンの組成比を変えたシリサイド膜(例えば、NiSiとNi₂Si)を形成することによって、仕事関数の異なる2種類のフルシリサイド化ゲート電極を形成することができる。組成比の異なるシリサイド膜は、例えば、多結晶シリコン膜及び金属膜との膜厚比を変えることで形成することができる(例えば、特許文献1を参照)。

【特許文献1】米国特許第6562718号明細書

【非特許文献1】Hi-Deok Lee et al.: International Workshop on Junction Technology 2006(IWJT'06), 15-16 May 2006, Page 143-146

【発明の開示】

【発明が解決しようとする課題】

【0012】

上記したFUSIゲート電極は、従来のSiゲート電極を用いたプロセスと整合性が高いことから、微細化されたMIS型半導体装置のゲート電極として有望である。

【0013】

しかしながら、本発明者等がFUSIゲート電極を備えたMIS型半導体装置の信頼性

10

20

30

40

50

を評価している中、ゲート絶縁膜の劣化に起因すると思われるリーク電流の増加に気が付いた。さらに、詳しく検討すると、面積が同じゲート電極においては、ゲート電極の周辺長が大きいものほど、リーク電流の増加が顕著であることが分かった。このことは、リーク電流が、ゲート領域の周辺部で発生していることを示唆する。

【0014】

そこで、本発明者等は、このリーク電流の発生原因を検討するに、FUSIゲート電極の形成工程における特有の現象に着目した。すなわち、FUSIゲート電極は、多結晶シリコン膜と金属膜とのシリサイド化反応により形成されるが、その際、形成されたシリサイドは体積膨張を起こす。しかしながら、図14(c)に示したように、ゲート領域に形成された多結晶シリコン膜103は、その周辺を絶縁膜107で覆われているため、金属膜108とシリサイド化反応してシリサイド膜109を形成する際、体積膨張に伴う大きな応力が、絶縁膜107側から多結晶シリコン膜103の側面に作用するものと考えられる。

10

【0015】

ところで、金属膜108中の金属元素は、シリサイド化反応の熱処理時に、多結晶シリコン膜103中に拡散されるが、金属元素の拡散速度が、多結晶シリコン膜103中の応力によって加速されると、図15に示すように、シリサイド膜109と側壁絶縁膜103との界面に沿って、金属元素がゲート絶縁膜102中に拡散される懼れがある。本発明は、かかる知見に基づきなされたもので、その主な目的は、微細化してもリーク電流の少ない、信頼性に優れたフルシリサイド化ゲート電極を備えたMIS型半導体装置の製造方法を提供することにある。

20

【課題を解決するための手段】

【0016】

上記目的を達成するために、本発明のMIS型半導体装置の製造方法は、ゲート領域に形成された多結晶シリコン膜の側面に予め窒素を導入し、然る後に、多結晶シリコン膜を金属膜と反応させることによって、フルシリサイド化ゲート電極を形成する方法を採用する。すなわち、応力の集中する多結晶シリコン膜の側面に導入された窒素に、金属膜中の金属元素の拡散を抑制する作用をもたらすことによって、その後のシリサイド化の熱処理において、金属膜中の金属元素が多結晶シリコン膜の側面に沿ってゲート絶縁膜中に拡散するのを効果的に防ぐことができる。

30

【0017】

本発明に係わるMIS型半導体装置の製造方法は、半導体基板上にゲート絶縁膜及び多結晶シリコン膜からなるゲート領域を形成する工程と、ゲート領域における多結晶シリコン膜の側面に窒素を導入する工程と、ゲート領域をマスクに半導体基板表面にソース、ドレイン領域を形成する工程と、多結晶シリコン膜上に金属膜を形成する工程と、多結晶シリコン膜と金属膜とをシリサイド化反応させて、多結晶シリコン膜の全領域がフルシリサイド化されてなるゲート電極を形成する工程とを含むことを特徴とする。

【0018】

このような方法により、フルシリサイド化ゲート電極の形成時に、金属膜中の金属元素がゲート絶縁膜中に拡散するのを防止することができ、リーク電流の少ない、信頼性の高いMIS型半導体装置を製造することができる。

40

【発明の効果】

【0019】

本発明に係るMIS型半導体装置の製造方法によれば、ゲート領域に形成された多結晶シリコン膜の側面に予め窒素を導入しておくことによって、フルシリサイド化ゲート電極の形成時に、金属膜中の金属元素がゲート絶縁膜中に拡散するのを防止することができ、リーク電流の少ない、信頼性の高いMIS型半導体装置を製造することができる。

【発明を実施するための最良の形態】

【0020】

以下に、本発明の実施の形態について、図面を参照しながら説明する。以下の図面にお

50

いては、説明の簡略化のため、実質的に同一の機能を有する構成要素を同一の参照符号で示す。なお、本発明は以下の実施形態に限定されない。

【0021】

(第1の実施形態)

図1(a)～図3(d)は、本発明の第1の実施形態におけるMIS型半導体装置の製造方法を模式的に示した工程断面図である。なお、本実施形態においては、デュアルゲート構造を備えたMIS型半導体装置を例に説明するが、勿論、単独のMIS型半導体装置についても、本発明を適用することができる。

【0022】

まず、図1(a)に示すように、素子分離酸化膜2、pウェル3a、及びnウェル3bが形成されたシリコン基板(半導体基板)1上に、ゲート絶縁膜(例えば、 SiO_2 膜)4、10～200nmの多結晶シリコン膜5、及び SiO_2 等からなる保護膜6を形成する。その後、保護膜6上に、nチャネル及びpチャネルのゲート領域を画定するレジストパターン7を形成する。

10

【0023】

次に、図1(b)に示すように、レジストパターン7をマスクに、保護膜6、多結晶シリコン膜5、及びゲート絶縁膜4をエッチングして、ゲート領域(ゲート絶縁膜4、多結晶シリコン膜5、及び保護膜6の積層構造からなる)を形成した後、レジストパターン7を除去する。この状態で、ゲート領域における多結晶シリコン膜5の側面に、例えば、プラズマ窒化処理により、窒素を導入する。プラズマ窒化処理の条件としては、例えば、電力1500W～2500W、圧力1mT～10T、周波数1KHZ～1MHZ、時間10～300secが好適である。なお、プラズマ窒化処理工程において、ゲート絶縁膜4の側面にも窒素が同時に導入される。

20

【0024】

次に、図1(c)に示すように、ゲート領域の側面に、例えば、 SiO_2 または Si_3N_4 からなるオフセットサイドウォール8及びサイドウォール9(以下、「側壁絶縁膜」という)を形成する。その後、ゲート領域及び側壁絶縁膜8、9をマスクに、シリコン基板1の表面に、それぞれ砒素及びボロンを選択的にイオン注入して、nチャネルMISFETのn型ソース、ドレイン領域10、及びpチャネルMISFETのp型ソース、ドレイン領域11を形成する。

30

【0025】

次に、図1(d)に示すように、例えば、熱CVD法により、300～450の温度で、 SiO_2 からなる層間絶縁膜12を400～700nm堆積した後、表面を平坦化して、ゲート領域の側方に平坦化された層間絶縁膜12を形成する。

【0026】

次に、図2(a)に示すように、nチャネルのゲート領域上に、レジストパターン13を形成した後、図2(b)に示すように、pチャネルのゲート領域の保護膜6をエッチングにより除去する。その後、図2(c)に示すように、レジストパターン13を除去した後、シリサイド化用の金属膜(例えば、Ni膜)14を堆積する。

40

【0027】

次に、図2(d)に示すように、350～450の温度で、10～120secの熱処理を行い、多結晶シリコン膜5と金属膜14とをシリサイド化反応させて、pチャネルMISFETの多結晶シリコン膜5の全領域がフルシリサイド化されてなるゲート電極15を形成する。例えば、金属膜14にNi膜を用いた場合、ゲート電極15は、金属過剰の Ni_2Si 膜となる。その後、未反応の余剰金属膜14を除去する。

【0028】

次に、図3(a)に示すように、pチャネルのゲート領域上に、レジストパターン16を形成した後、図3(b)に示すように、nチャネルのゲート領域の保護膜6をエッチングにより除去する。その後、図3(c)に示すように、レジストパターン16を除去した後、シリサイド化用の金属膜(例えば、Ni膜)17を堆積する。

50

【0029】

最後に、図3(d)に示すように、400～500の温度で、10～120secの熱処理を行い、多結晶シリコン膜5と金属膜17とをシリサイド化反応させて、nチャネルMISFETの多結晶シリコン膜5の全領域がフルシリサイド化されてなるゲート電極18を形成する。例えば、金属膜17にNi膜を用いた場合、ゲート電極18は、NiSi膜となる。その後、未反応の余剰金属膜17を除去する。

【0030】

図4は、本実施形態の方法により製造されたMIS型半導体装置の構成を模式的に示した断面図である。ゲート絶縁膜4上には、多結晶シリコン膜がフルシリサイド化されたゲート電極15、18が形成されており、ゲート電極15、18の側面近傍の領域19には、窒素が導入されている。10

【0031】

本実施形態によれば、ゲート領域に形成された多結晶シリコン膜5の側面に予め窒素を導入することによって、フルシリサイド化ゲート電極15、18の形成時に、金属膜14、17中の金属元素がゲート絶縁膜4中に拡散するのを防止することができる。これは、ゲート領域の側面に導入した窒素が、多結晶シリコン膜5中での金属元素の拡散速度を抑制する効果(例えば、非特許文献1を参照)によるものと考えられる。これにより、リーク電流の少ない、信頼性の高いMIS型半導体装置を実現することができる。

【0032】

ここで、多結晶シリコン膜5の側面に窒素を導入する方法は、プラズマ窒化処理以外に、例えば、窒素のイオン注入、窒素雰囲気中のアニール、窒素含有ガス(例えば、NH₃、NF₃等)中のアニール等を用いることができる。ゲート電極15、18(若しくは、多結晶シリコン膜5)中の窒素濃度は、例えば、1～57at% (57%は完全なSi₃N₄の側壁絶縁膜が形成される状態)程度であり、より好適には、5～30at% (シリサイドの結晶粒界が減少する5at%以上で、かつ、抵抗値も低く保つことができる30at%以下)程度である。20

【0033】

また、シリサイド化用の金属膜14、17としては、Ni以外に、例えば、Ti、Co、Pt、Ge、Hf、Zr、Pd等を用いることができる。また、ゲート絶縁膜4としては、例えば、SiO₂、SiON、Si₃N₄、または、HfO₂、HfSiO_x、HfSiON、HfAlO_x、HfAlON、HfLaO_x、HfLaON、HfTaO_x、HfTaON、HfErO_x、ZrO₂、La₂O₃、Y₂O₃、Al₂O₃、TiO₂、Ta₂O₅、MgO、CeO₂、Ce₂O₃、Sc₂O₃、Dy₂O₃、Pr₂O₃、Gd₂O₃等の高誘電率材料、もしくはそれらの混晶を用いることができる。また、ゲート絶縁膜4は、単層構造、積層構造のどちらでもよい。30

【0034】

また、ゲート絶縁膜4の堆積後、多結晶シリコン膜5の堆積前に、仕事関数調整のために、金属酸化物や金属酸窒化物によるキャップ層(例えば、LaO_x、AlO_x、ScO_x、DyO_x、LaO_xN_y、AlO_xN_y、ScO_xN_y、DyO_xN_y)を挿入してもよい。40

【0035】

また、側壁絶縁膜8、9に窒化膜を用いることにより、側壁絶縁膜8、9内や、ゲート絶縁膜4と側壁絶縁膜8、9の界面における金属元素の拡散を抑制することができる。これにより、ゲート端でのリーク電流の増加、トランジスタの信頼性と歩留まりの低下を抑制することができる。

【0036】

なお、多結晶シリコン膜5の側面に窒素を導入する際、ゲート絶縁膜4の側面にも窒素が導入されるが、これにより、ゲート絶縁膜4形成時に膜中に含まれるH、C、Clなどの不純物元素を窒素で置換することができる。その結果、ゲート絶縁膜4の比誘電率の増加による駆動電流の向上や、ゲート絶縁膜4の熱安定性の向上、ゲート絶縁膜4中の不純

10

20

30

40

50

物準位を介したリーク電流の低減等の効果も、併せ得ることができる。

【0037】

この時、ゲート絶縁膜4中の窒素濃度は、例えば、0~57at%（57at%はSi₃N₄の窒素濃度に相当）程度であり、より好適には、5~7at%程度である。窒素濃度を5~7at%程度にすることでBTI（Bias Temperature Instability）の劣化を避けることができる。

【0038】

また、本実施形態において、多結晶シリコン膜5の側面に窒素を導入することによって、フルシリサイド化されたゲート電極15、18の電極中心部分の結晶性は高く、シリサイドの粒径は大きくなり、他方、ゲート電極15、18の側壁部分の結晶性は低く、シリサイドの粒径は小さい構造となる。これにより、シリサイド形成速度が、窒素濃度の高いゲート電極15、18の側壁部分において多少遅くなるために、フルシリサイド化ゲート電極15、18の形成過程の後半において、応力発生のピークを低減することができる。その結果、Ni等の金属がゲート絶縁膜4を突き抜けることによる歩留まり低下を飛躍的に改善することができる。

10

【0039】

さらに、多結晶シリコン膜5の側面に窒素を導入する際に、フルシリサイド化されたゲート電極15、18の端部からの中中央部へ向かうに連れて、窒素濃度が小さくなるような濃度勾配を持たせた構成にしてもよい。これにより、ソース領域からドレイン領域の方向において、チャネル中心部でゲート絶縁膜中の窒素濃度を低下させることができ、高温時のトランジスタの閾値電圧の変動に関するBTIの劣化を避ける効果が期待できる。

20

【0040】

本実施形態において、ゲート絶縁膜4の結晶性は非晶質であってもよい。ゲート絶縁膜4が非晶質の場合、良好な電気特性を得ることができ、さらに窒素が導入されることにより、比誘電率を上昇させ、また、結晶化に対する熱安定性も向上することができる。

【0041】

また、ゲート絶縁膜4の結晶性は多結晶であってもよい。ゲート絶縁膜4が多結晶の場合、結晶粒界に窒素が導入されることにより、比誘電率を上昇させ、また、ゲート絶縁膜4上部の電極を構成する金属材料の拡散を抑制することができる。結晶性は非晶質の占める割合が多くなり、結晶粒界を流れるリーク電流が減少し、電気特性も改善することができる。これによりトランジスタの歩留まりを向上させることができる。

30

【0042】

また、ゲート絶縁膜4の結晶性は単結晶であってもよい。ゲート絶縁膜4が単結晶の場合、膜中に含まれる欠陥が少ないために、良好な絶縁特性を得ることができる。

【0043】

また、ゲート絶縁膜4の結晶性は非晶質と多結晶から構成されてもよい。この場合、結晶粒界に窒素が導入されることにより、比誘電率を上昇させ、また、ゲート絶縁膜上部の電極を構成する金属材料の拡散を抑制することができる。結晶性は非晶質の占める割合が多くなり、結晶粒界を流れるリーク電流が減少し、電気特性も改善することができる。これによりトランジスタの歩留まりを向上させることができる。

40

【0044】

また、ゲート絶縁膜4の結晶性が、側壁近傍では非晶質であり、中心部分では多結晶で構成されていてもよい。この場合、ゲート絶縁膜4上部の電極を構成する金属材料の、ゲート絶縁膜4側壁部分からの拡散を抑制することができる。これによりトランジスタの歩留まりを向上させることができる。窒素が導入されることにより、比誘電率を上昇させ、また結晶性は非晶質の占める割合が多くなり、結晶粒界を流れるリーク電流が減少し、電気特性も改善することができる。

【0045】

（第1の実施形態の変形例）

第1の実施形態においては、デュアルゲート構造を備えたMIS型半導体装置を例に説

50

明したが、仕事関数の異なる2種類のフルシリサイド化ゲート電極の形成には、種々の製造方法が適用できる。ここでは、第1の実施形態におけるデュアルゲート電極の他の製造方法の一例を説明する。

【0046】

図5(a)～図6(d)は、第1の実施形態の変形例におけるMIS型半導体装置の製造方法を模式的に示した工程断面図である。

【0047】

図5(a)は、第1の実施形態における図1(a)～図1(d)で示した製造工程と同様の方法により、ゲート領域(ゲート絶縁膜4、多結晶シリコン膜5、保護膜6の積層構造からなる)の側方に、平坦化された絶縁膜12を形成した状態を示す。

10

【0048】

次に、図5(b)に示すように、保護膜6を除去した後、図5(c)に示すように、nチャネル上にレジストパターン13を形成し、さらに、図5(d)に示すように、レジストパターン13をマスクに、pチャネル上の多結晶シリコン膜5の一部を除去する。次に、図6(a)に示すように、レジストパターン13を除去した後、シリコン基板1上にシリサイド化用の金属膜(例えば、Ni膜)14を堆積した後、図6(b)に示すように、pチャネル上にレジストパターン16を形成し、さらに、図6(c)に示すように、レジストパターン16をマスクに、nチャネル上の金属膜14の一部をエッチングする。

【0049】

最後に、図6(d)に示すように、レジストパターン16を除去した後、300～600の温度で、10～120sec熱処理を行い、多結晶シリコン膜5をフルシリサイド化してなるゲート電極15、18を形成する。その後、未反応の余剰金属膜14を除去する。

20

【0050】

本変形例においては、2つのゲート領域に、膜厚比の異なる多結晶シリコン膜5及び金属膜14の積層膜を形成することによって、1回の熱処理で、2つのゲート領域における多結晶シリコン膜5をフルシリサイド化して、組成比の異なるフルシリサイド化ゲート電極15、18を同時に形成することができる。これにより、製造コストの削減を図ることができる。

30

【0051】

(第2の実施形態)

第1の実施形態におけるMIS型半導体装置の製造方法は、ゲート領域に形成された多結晶シリコン膜の側面に予め窒素を導入することによって、フルシリサイド化ゲート電極の形成時に、シリサイド化用の金属膜中の金属元素がゲート絶縁膜中に拡散するのを防止するという効果を奏する。当該方法を金属ゲート電極に適用しても、同様の効果を発揮することができる。すなわち、金属ゲート電極の側面に予め窒素を導入することによって、その後の熱処理(例えば、ソース、ドレイン領域にイオン注入された不純物の活性化熱処理)時に、金属ゲート電極の側面に沿って、金属ゲート電極中の金属元素がゲート絶縁膜中に拡散するのを防止することができる。これにより、金属の仕事関数が安定し、しきい値電圧のばらつきを小さくすることができる。

40

【0052】

図7(a)～図9(c)は、本発明の第2の実施形態におけるMIS型半導体装置の製造方法を模式的に示した工程断面図である。なお、ゲート電極以外の構成は、第1の実施形態と基本的に同じであるため、同符号を付すとともに、これらの説明を省略する。

【0053】

まず、図7(a)に示すように、素子分離酸化膜2、pウェル3a、及びnウェル3bが形成されたシリコン基板1上に、ゲート絶縁膜4、10～200nm程度の厚さのnチャネル用の金属膜(例えば、TaN, TaCN, TaSiN, TaC, TaLaN, TaCO, TaCN, Ta₂C, ZrN, HfC, HfSi, W, WN, WO, TiN, Mo, MoAl膜)20、保護膜6を形成する。その後、保護膜6上にレジストパターン7を

50

形成した後、図7(b)に示すように、レジストパターン7をマスクに、nウェル3b上に位置する金属膜20及び保護膜6をエッティングにより除去する。その後、図7(c)に示すように、レジストパターン7を除去する。

【0054】

次に、図8(a)に示すように、シリコン基板1上に、pチャネル用の金属膜(例えば、TaN, TaCNO, TaCN, TaCO, TaAlN, TiN, TiSiN, TiAlN, ZrN, MoO, MoN, Ru, RuO_x, RuAlO, RuAlN, WO, WAlN, MoAlN, MoHfO, Pt, PtGe, Ir膜)21及び保護膜6を形成した後、nウェル3b上に位置する保護膜6上に、レジストパターン7を形成する。その後、エッチバック法により、pウェル3a上の金属膜21が露出するまで平坦化を行う。

10

【0055】

次に、図8(b)に示すように、CMP(Chemical Mechanical Polishing)法により、保護膜6が露出するまで平坦化を行い、さらに、図8(c)に示すように、エッチバック法により、金属膜20、21が露出するまで異平坦化を行う。なお、このとき、保護膜6と金属膜21とのエッティング速度の差により、素子分離酸化膜2上の金属膜21も除去される場合がある。

【0056】

次に、図9(a)に示すように、金属膜20、21上に、金属キャップ層(例えば、WN, Ti, TiN, TaN)22を形成した後、図9(b)に示すように、金属キャップ層22、金属膜20、21、及びゲート絶縁膜4を選択的にエッティングして、nチャネル及びpチャネルのゲート領域(ゲート絶縁膜4、金属膜20、21、及び金属キャップ層22の積層構造からなる)を形成する。この状態で、ゲート領域における金属膜20、21および、金属キャップ膜22の側面に、プラズマ窒化処理により、窒素を導入する。プラズマ窒化処理の条件としては、例えば、電力1500W～2500W、圧力1mT～10T、周波数1KHz～1MHz、時間10～300secが好適である。なお、プラズマ窒化処理工程において、ゲート絶縁膜4の側面にも窒素が同時に導入される。

20

【0057】

最後に、図9(c)に示すように、ゲート領域の側面に、側壁絶縁膜(オフセットサイドウォール8及びサイドウォール9)を形成する。その後、ゲート領域及び側壁絶縁膜8、9をマスクに、シリコン基板1の表面に、それぞれ砒素及びボロンを選択的にイオン注入して、nチャネルMISFETのn型ソース、ドレイン領域10、及びpチャネルMISFETのp型ソース、ドレイン領域11を形成する。

30

【0058】

本実施形態によれば、金属ゲート電極20、21の側面に予め窒素を導入することによって、その後の熱処理時に、金属ゲート電極20、21中の金属元素がゲート絶縁膜4中に拡散するのを防止することができ、リーク電流の少ない、信頼性の高いMIS型半導体装置を製造することができる。

【0059】

ここで、金属ゲート電極20、21の側面に窒素を導入する方法は、第1の実施形態と同様に、プラズマ窒化処理以外に、例えば、窒素のイオン注入、窒素雰囲気中のアニール、窒素含有ガス中のアニール等を用いることができる。ここで、ゲート電極20、21中の窒素濃度は、例えば、10～57at%程度であり、より好適には、10～30%at程度である。

40

【0060】

なお、金属ゲート電極20、21の側面に窒素を導入する際、ゲート絶縁膜4の側面にも窒素が導入されるが、これにより、ゲート絶縁膜4形成時に膜中に含まれるH, C, C₁などの不純物元素を窒素で置換することができる。その結果、ゲート絶縁膜4の比誘電率の増加による駆動電流の向上や、ゲート絶縁膜4の熱安定性の向上、ゲート絶縁膜4中の不純物準位を介したリーク電流の低減等の効果も、併せ得ることができる。この時、ゲート絶縁膜4中の窒素濃度は、例えば、0～57at%程度であり、より好適には、5～

50

7 at % 程度である。

【0061】

なお、本実施形態において、ゲート絶縁膜4の結晶性は、第1の実施形態と同様に、非晶質、多結晶、若しくは単結晶、または、これらを組み合わたものであってもよい。特に、非晶質の場合、良好な電気特性を得ることができ、さらに窒素が導入されることにより、比誘電率を上昇させ、また、結晶化に対する熱安定性も向上することができるのより好適である。

【0062】

また、金属ゲート電極20、21の材料としては、例えば、Sc, Ti, Y, Zr, Nb, Mo, Ru, Rh, Pd, Hf, Ta, W, Re, Ir, Pt等の高融点金属を用いることができる。その場合、ソース・ドレインの不純物を活性化するためのアニール(例えば、1000以上)に耐えうるトランジスタを作製することができる。

【0063】

また、金属ゲート電極は、単層構造、積層構造のどちらでもよい。なお、必ずしもデュアルメタルの構成にする必要はなく、n型、p型とも同じ種類の金属ゲート電極を用いてもよい。

【0064】

また、ゲート絶縁膜4としては、例えば、 SiO_2 、 SiON 、 Si_3N_4 、または、 HfO_2 , HfSiO_x , HfSiON , HfAlO_x , HfAlON , HfLaO_x , HfLaON , HfTaO_x , HfTaON , HfErO_x , ZrO_2 , La_2O_3 , Y_2O_3 , Al_2O_3 , TiO_2 , Ta_2O_5 , MgO , CeO_2 , Ce_2O_3 , Sc_2O_3 , Dy_2O_3 , Pr_2O_3 , Gd_2O_3 , 等の高誘電率材料もしくはそれらの混晶を用いることができる。また、ゲート絶縁膜4は、単層構造、積層構造のどちらでもよい。

【0065】

また、ゲート絶縁膜4と金属ゲート電極20、21の間に、仕事関数調整のために金属酸化物や金属酸窒化物によるキャップ層(例えば、 LaO_x , AlO_x , ScO_x , DyO_x , LaO_xN_y , AlO_xN_y , ScO_xN_y , DyO_xN_y)を挿入してもよい。

【0066】

(第2の実施形態の変形例)

第1の実施形態では、図9(a)に示した工程において、金属膜20、21上に、金属キャップ層22を形成したが、金属キャップ層22の代わりに、多結晶シリコンからなるキャップ層を形成して、MIPS(Metal Inserted Poly-Silicon)構造のゲート電極としてもよい。このMIPS構造においては、ポリシリコン電極の側壁部分を窒化することにより、薄い金属膜との界面を熱的に安定化し、仕事関数を安定化することができる。これによりしきい値電圧のばらつきを小さくすることができる。

【0067】

また、多結晶シリコンのキャップ層を形成した後、例えば、図1(d)～図3(d)に示したようなフルシリサイド化工程を適用して、多結晶シリコンをフルシリサイド化したMIST(Metal Inserted Silicide Technology)構造のゲート電極としてもよい。

【0068】

これらMIPS構造とMIST構造においては、薄い金属膜の側壁部分を窒化することにより、絶縁膜と薄い金属膜の界面、ポリシリコン電極と薄い金属膜の界面を熱的に安定化することができる。これにより、熱処理によって金属原子がサイドウォールから基板や絶縁膜へと拡散するのを防ぐことができる。このため、金属の仕事関数は安定し、しきい値電圧のばらつきを小さくすることができる。

【0069】

なお、本実施形態においては、nMOSとpMOSで異なるゲート絶縁膜を形成してもよい。その場合は、pMOS側の金属電極をパターニング、エッチバックする工程後に、その下のゲート絶縁膜までエッチバックを行い、それから新たに、異なる材料からなるpMOS用ゲート絶縁膜の堆積とpMOS用金属電極の堆積を行う。この構成を設けること

10

20

30

40

50

により、デバイスアプリケーションにあわせた最適な閾値電圧を有するトランジスタをcMOSとして構成できるとともに、所望のI_{off}電流とそれに伴う最も高い駆動能力を有することができる。

【0070】

(第3の実施形態)

第1及び第2の実施形態においては、ゲート領域に形成された多結晶シリコン膜の側面、または金属ゲートの側面に窒素を導入する方法として、プラズマ窒化処理等の方法を用いたが、本実施形態では、リプレースメントゲート構造の製造工程を利用して、ゲート電極の側面に窒素を導入する方法を説明する。

【0071】

図10(a)～図13(b)は、本発明の第3の実施形態におけるMIS型半導体装置の製造方法を模式的に示した工程断面図である。なお、ゲート電極以外の構成は、第1の実施形態と基本的に同じであるため、同符号を付すとともに、これらの説明を省略する。

【0072】

図10(a)に示すように、素子分離酸化膜2、pウェル3a、及びnウェル3bが形成されたシリコン基板1上に、ゲート絶縁膜4、10～200nmの多結晶シリコン膜(ダミーゲート電極)5a、及び保護膜6aを形成する。その後、保護膜6a上に、nチャネル及びpチャネルのゲート領域を画定するレジストパターン7を形成する。

【0073】

次に、図10(b)に示すように、レジストパターン7をマスクに、保護膜6a、多結晶シリコン膜5a、及びゲート絶縁膜4をエッチングして、ゲート領域(ゲート絶縁膜4、多結晶シリコン膜5a、及び保護膜6aの積層構造からなる)を形成した後、レジストパターン7を除去する。この状態で、ゲート領域における多結晶シリコン膜5の側面に、例えば、プラズマ窒化処理により、窒素を導入する。プラズマ窒化処理の条件としては、例えば、電力1500W～2500W、圧力1mT～10T、周波数1KHz～1MHz、時間10～300secが好適である。なお、プラズマ窒化処理工程において、ゲート絶縁膜4の側面にも窒素が同時に導入される。

【0074】

次に、図10(c)に示すように、ゲート領域の側面に、側壁絶縁膜(オフセットサイドウォール8及びサイドウォール9)を形成した後、ゲート領域及び側壁絶縁膜8、9をマスクに、シリコン基板1の表面に、それぞれ砒素及びボロンを選択的にイオン注入して、nチャネルMISFETのn型ソース、ドレイン領域10、及びpチャネルMISFETのp型ソース、ドレイン領域11を形成する。

【0075】

次に、図10(d)に示すように、シリコン基板1の表面に層間絶縁膜12を堆積した後、表面を平坦化して、ゲート領域の側方に平坦化された層間絶縁膜12を形成する。

【0076】

次に、図11(a)に示すように、nチャネルのゲート領域上に、レジストパターン13を形成した後、図11(b)に示すように、pチャネルのゲート領域の保護膜6a及び多結晶シリコン膜5aをエッチングにより除去し、側壁絶縁膜8、9で画された凹部30を形成する。

【0077】

次に、図11(c)に示すように、レジストパターン13を除去した後、凹部30の側面及び底面上に、表面が窒化された第1の金属薄膜(例えば、TaN, TaCNO, TaCN, TaAlN, TiN, TiSiN, TiAlN, MoN, ZrN, MoN, MoAlN, RuAlN, WAlN膜)23を0.2nm～10nm形成し、然る後、図11(d)に示すように、凹部30内に、第2の金属膜(例えば、Cu, Al, W, Ru, Mo, Ag膜)24を埋設する。さらに、図12(a)に示すように、平坦化を行って、pチャネルのゲート領域のみに、表面が窒化された第1の金属薄膜23及び第2の金属膜24からなるゲート電極を形成する。

10

20

30

40

50

【0078】

次に、図12(b)に示すように、pチャネルのゲート領域上に、レジストパターン16を形成した後、図12(c)に示すように、nチャネルのゲート領域の保護膜6a及び多結晶シリコン膜5aをエッチングにより除去し、側壁絶縁膜8、9で画された凹部31を形成する。

【0079】

次に、図12(d)に示すように、レジストパターン16を除去した後、凹部31の側面及び底面上に、表面が窒化された第1の金属薄膜(例えば、TaN, TaCN, TaSiN, TaLaN, WN, TaCN, TiN, WN)25を0.2nm~10nm形成し、然る後、図13(a)に示すように、凹部31内に、第2の金属膜(例えはCu, Al, W, Ru, Mo, Ag)26を埋設する。さらに、図13(b)に示すように、平坦化を行って、nチャネルのゲート領域のみに、表面が窒化された第1の金属薄膜25及び第2の金属膜26からなるゲート電極を形成する。

10

【0080】

ここで、表面が窒化された第1の金属薄膜23、25は、例えは、凹部30、31の側面及び底面上に、第1の金属薄膜23、25を形成した後、プラズマ窒化等の処理を行うことによって、形成することができる。もしくは、最初から窒化金属薄膜を堆積してもよい。なお、表面が窒化された第1の金属薄膜23、25は、2層以上の積層構造にしてもよい。また、第2の金属膜24、26は、仕事関数のことなる金属材料が選択される。

20

【0081】

本実施形態によれば、第2の金属膜24、26と側壁絶縁膜8、9との間に、表面が窒化された第1の金属薄膜23、25を形成することによって、側面に窒素が導入された金属ゲート電極と実質的に同一の構成をなす金属ゲート電極を得ることができる。これにより、その後の熱処理時に、金属ゲート電極中の金属元素がゲート絶縁膜4中に拡散するのを防止することができ、リーク電流の少ない、信頼性の高いMIS型半導体装置を製造することができる。

20

【0082】

ここで、第1の金属薄膜23の材料としては、例えは、TaN, TaCNO, TaCN, TaAlN, TiN, TiSiN, TiAlN, MoN, ZrN, MoN, MoAlN, RuAlN, Wa1N膜等を、25の材料としては、例えは、TaN, TaCN, TaSiN, TaLaN, WN, TaCN, TiN, WN等を用いうことができる。また、第2の金属膜24、26の材料としては、例えは、Cu, Al, W, Ru, Mo, Ag等を用いうことができる。

30

【0083】

また、ゲート絶縁膜4としては、例えは、 SiO_2 、 SiON 、 Si_3N_4 、または、 HfO_2 , HfSiO_x , HfSiON , HfAlO_x , HfAlON , HfLaO_x , HfLaON , HfTaO_x , HfTaON , HfErO_x , ZrO_2 , La_2O_3 , Y_2O_3 , Al_2O_3 , TiO_2 , Ta_2O_5 , MgO , CeO_2 , Ce_2O_3 , Sc_2O_3 , Dy_2O_3 , Pr_2O_3 , Gd_2O_3 , 等の高誘電率材料もしくはそれらの混晶を用いることができる。また、ゲート絶縁膜4は、単層構造、積層構造のどちらでもよい。

40

また、ゲート絶縁膜4と表面が窒化された第1の金属薄膜23、25の間に、仕事関数調整のために金属酸化物や金属酸窒化物によるキャップ層(例えは、 LaO_x , AlO_x , ScO_x , DyO_x , LaO_xN_y , AlO_xN_y , ScO_xN_y , DyO_xN_y)を挿入してもよい。

【0084】

なお、本実施形態においては、ゲート絶縁膜4上にも、表面が窒化された第1の金属薄膜23、25が形成されているため、金属ゲート電極中の金属元素が、金属ゲート電極とゲート絶縁膜4との界面を通ってゲート絶縁膜4中へ拡散するのを防止する効果も併せ發揮することができる

また、ゲート領域における多結晶シリコン膜5の側面をプラズマ窒化処理する工程にお

50

いて、ゲート絶縁膜4の側面にも窒素が同時に導入される。ゲート領域の側面を窒化することにより、窒化されていない多結晶シリコンよりもエッチングに対する耐性が向上し、後の工程で多結晶シリコン膜5aをエッチングして、側壁絶縁膜8、9で画された凹部30、31を形成する際に発生する側壁絶縁膜へのダメージを低減することができる。

【0085】

また、ゲート絶縁膜4の側面に窒素が導入されることにより、ゲート絶縁膜4形成時に膜中に含まれるH, C, Clなどの不純物元素を窒素で置換することができる。その結果、ゲート絶縁膜4の比誘電率の増加による駆動電流の向上や、ゲート絶縁膜4の熱安定性の向上、ゲート絶縁膜4中の不純物準位を介したリーク電流の低減等の効果も、併せ得ることができる。この時、ゲート絶縁膜4中の窒素濃度は、例えば、0~57at%程度であり、より好適には、5~7at%程度である。10

【0086】

なお、本実施形態において、ゲート絶縁膜4の結晶性は、第1の実施形態と同様に、非晶質、多結晶、若しくは単結晶、または、これらを組み合わたものであってもよい。特に、非晶質の場合、良好な電気特性を得ることができ、さらに窒素が導入されることにより、比誘電率を上昇させ、また、結晶化に対する熱安定性も向上することができるのでより好適である。

【0087】

また、第1の金属薄膜23、25の堆積は、例えば、CVD, ALD, AVD, PVD法を組み合わせて用いて行うことができる。例えば、1層目の金属薄膜ALD法で、2層目の金属薄膜をPVD法で成膜することで、膜の組成を変化させて、金属やSiなどの原子の拡散を抑制させる障壁とすることができます。20

【0088】

また、ポリシリコン電極の除去を行う際、ポリシリコン電極下部のゲート絶縁膜も続けて除去を行ってもよい。その場合は、金属ゲート絶縁膜だけではなく、新たなゲート絶縁膜と金属ゲート電極を形成する。この構成を設けることにより、ゲート電極除去時のエッチングダメージやプラズマダメージがまったくないゲート絶縁膜を設けることができ、信頼性の高いトランジスタを実現できる。

【0089】

以上、本発明を好適な実施形態により説明してきたが、こうした記述は限定事項ではなく、勿論、種々の改変が可能である。30

【産業上の利用可能性】

【0090】

本発明は、微細化してもリーク電流の少ない、信頼性に優れたフルシリサイド化ゲート電極を備えたMIS型半導体装置に有用である。

【図面の簡単な説明】

【0091】

【図1】(a)~(d)は、本発明の第1の実施形態におけるMIS型半導体装置の製造方法を示した工程断面図である。

【図2】(a)~(d)は、本発明の第1の実施形態におけるMIS型半導体装置の製造方法を示した工程断面図である。40

【図3】(a)~(d)は、本発明の第1の実施形態におけるMIS型半導体装置の製造方法を示した工程断面図である。

【図4】本発明の第1の実施形態におけるMIS型半導体装置の構成を示した断面図である。

【図5】(a)~(d)は、第1の実施形態の変形例におけるMIS型半導体装置の製造方法を模式的に示した工程断面図である。

【図6】(a)~(d)は、第1の実施形態の変形例におけるMIS型半導体装置の製造方法を模式的に示した工程断面図である。

【図7】(a)~(c)は、本発明の第2の実施形態におけるMIS型半導体装置の製造

10

20

30

40

50

方法を示した工程断面図である。

【図8】(a)～(c)は、本発明の第2の実施形態におけるMIS型半導体装置の製造方法を示した工程断面図である。

【図9】(a)～(c)は、本発明の第2の実施形態におけるMIS型半導体装置の製造方法を示した工程断面図である。

【図10】(a)～(d)は、本発明の第3の実施形態におけるMIS型半導体装置の製造方法を示した工程断面図である。

【図11】(a)～(d)は、本発明の第3の実施形態におけるMIS型半導体装置の製造方法を示した工程断面図である。

【図12】(a)～(d)は、本発明の第3の実施形態におけるMIS型半導体装置の製造方法を示した工程断面図である。

【図13】(a)～(b)は、本発明の第3の実施形態におけるMIS型半導体装置の製造方法を示した工程断面図である。

【図14】(a)～(d)は、従来のFUSIゲート電極を備えたMIS型半導体装置の製造方法を示した工程断面図である。

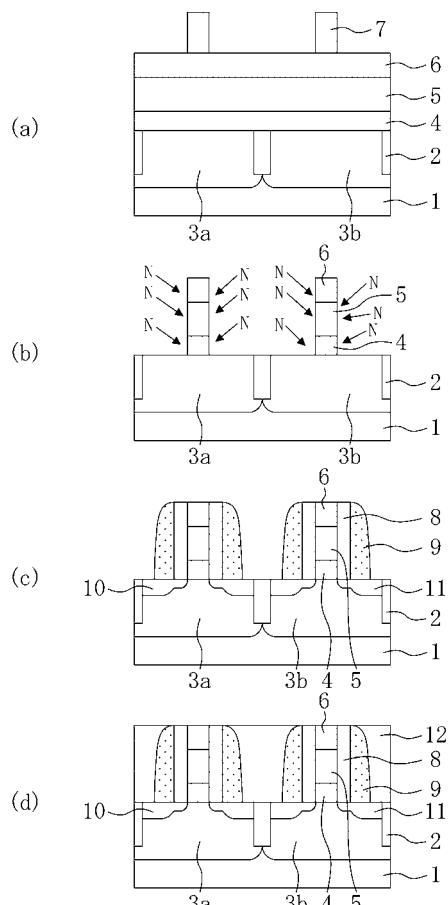
【図15】従来のFUSIゲート電極における課題を説明した断面図である。

【符号の説明】

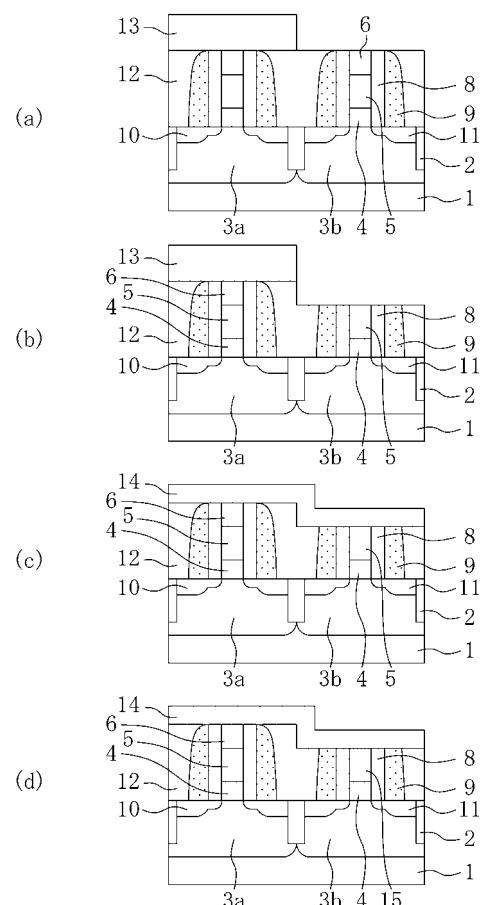
【0092】

1	シリコン基板(半導体基板)	20
2	素子分離酸化膜	
3 a	pウェル	
3 b	nウェル	
4	ゲート絶縁膜	
5	多結晶シリコン膜	
5 a	多結晶シリコン膜(ダミーゲート電極)	
6、6 a	保護膜	
7、13、16	レジストパターン	
8	オフセットサイドウォール	
9	サイドウォール	
10、11	ソース、ドレイン領域	30
12	層間絶縁膜	
14、17	シリサイド化用金属膜	
15、18	フルシリサイド化ゲート電極	
20、21	金属膜	
22	金属キャップ層	
23、25	第1の金属薄膜	
24、26	第2の金属膜	
30、31	凹部	

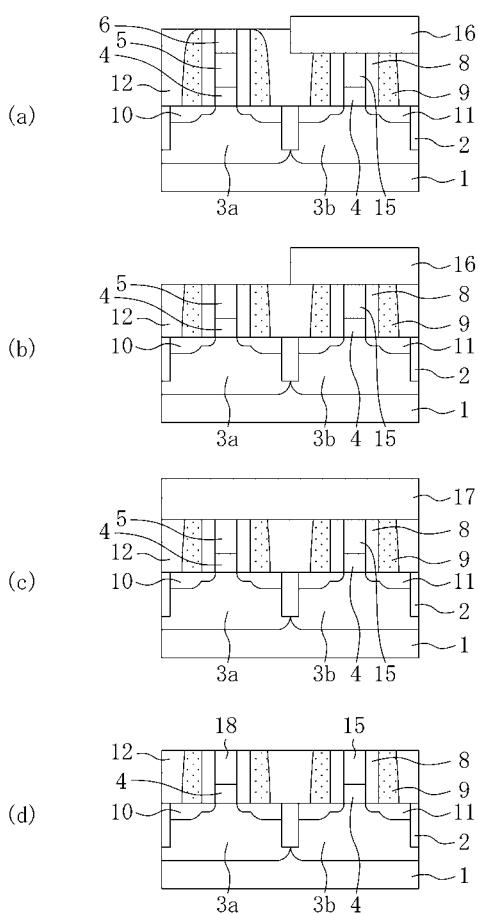
【図1】



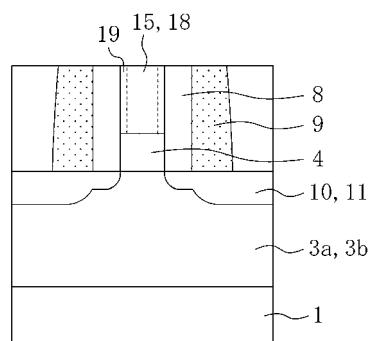
【図2】



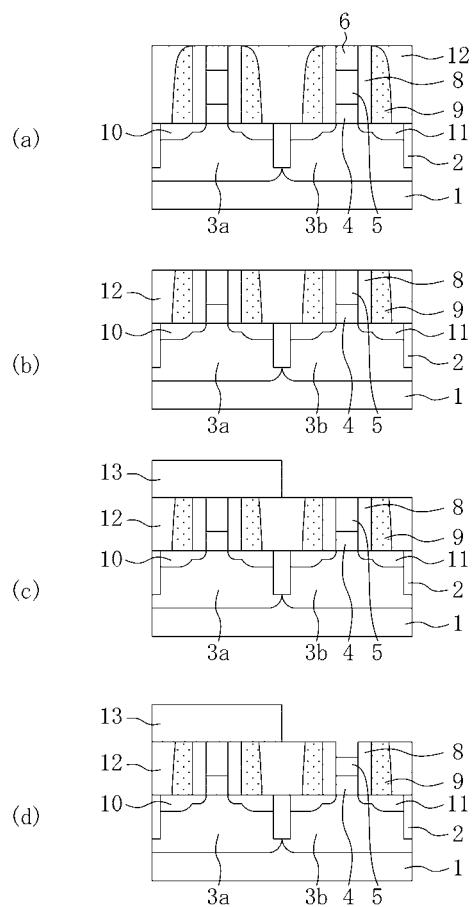
【図3】



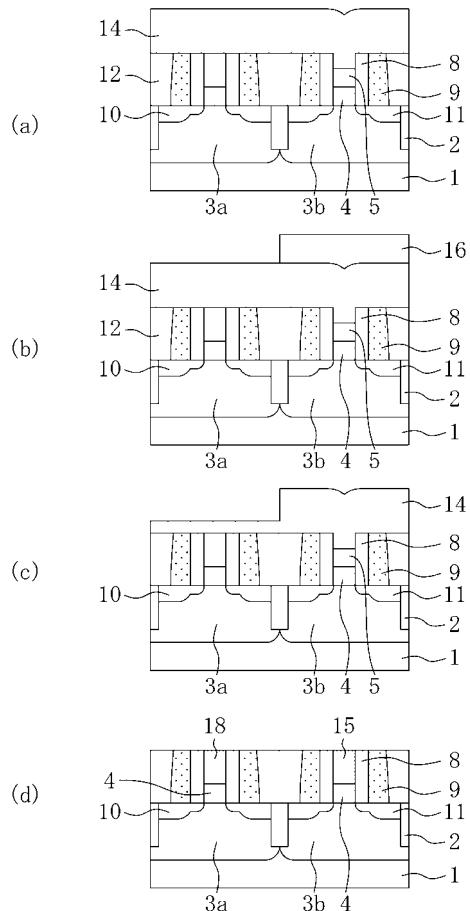
【図4】



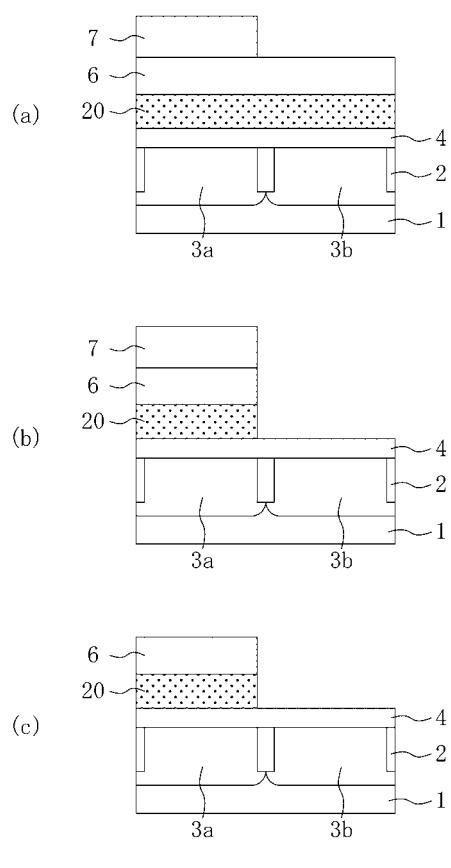
【図5】



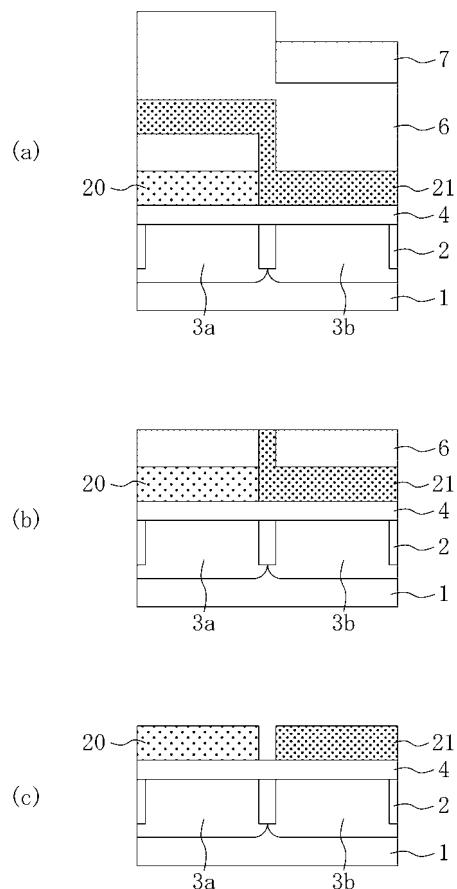
【図6】



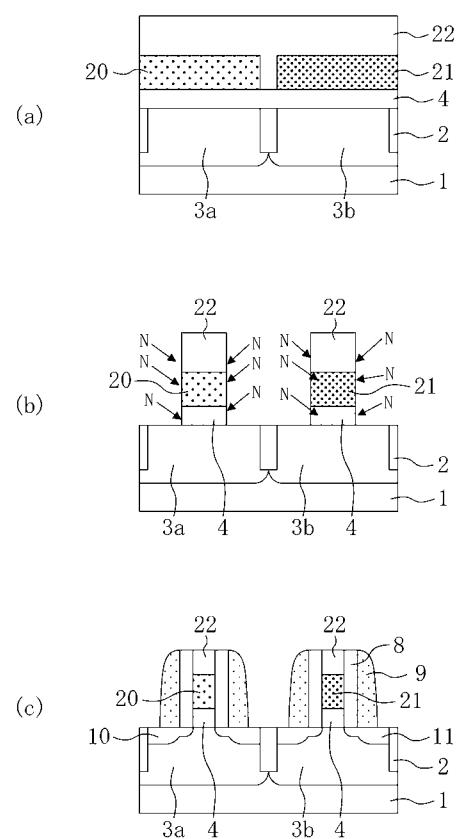
【図7】



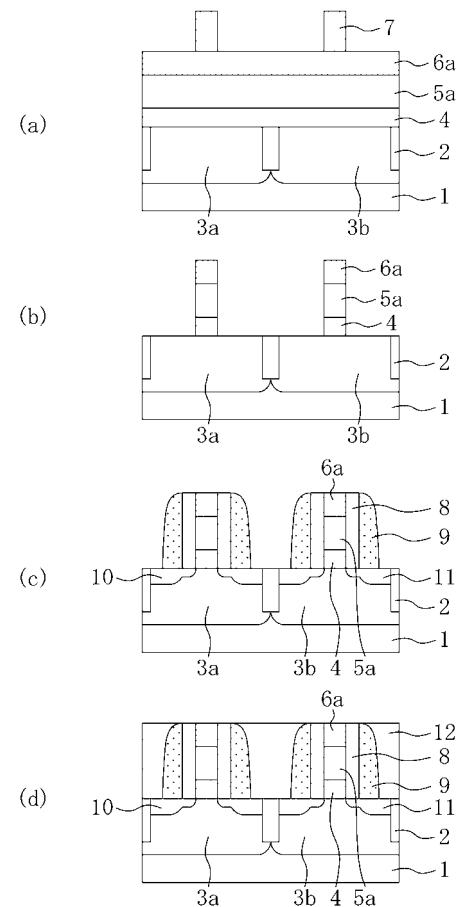
【図8】



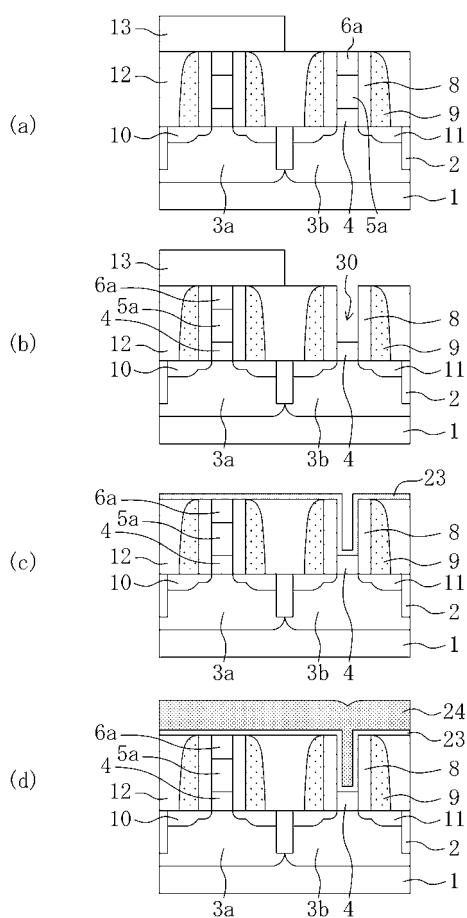
【図9】



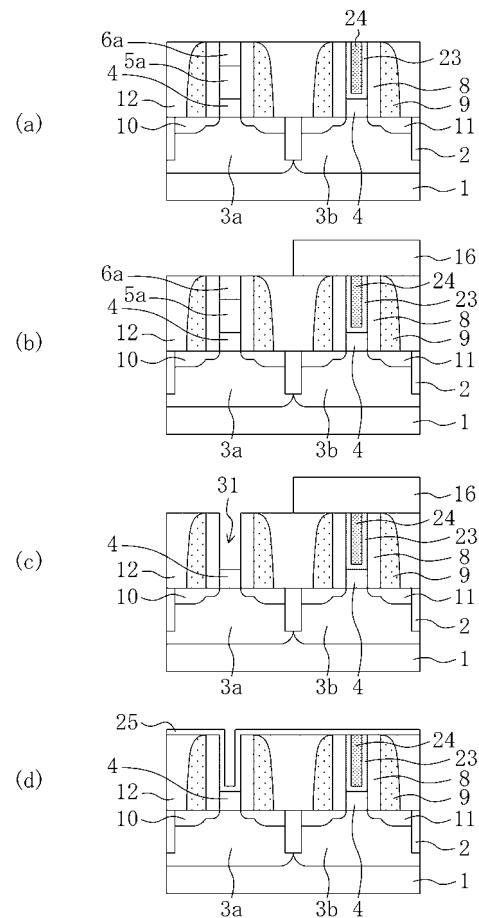
【図10】



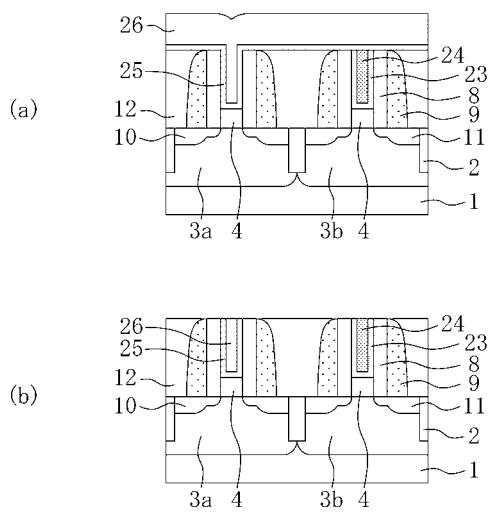
【図11】



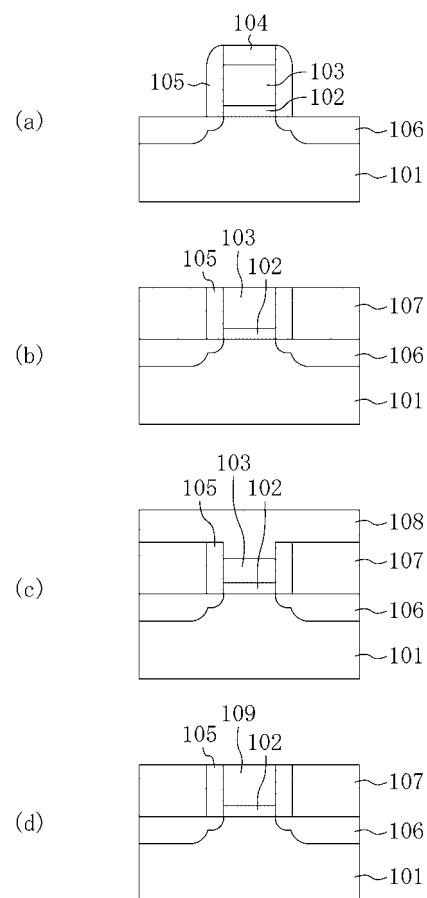
【図12】



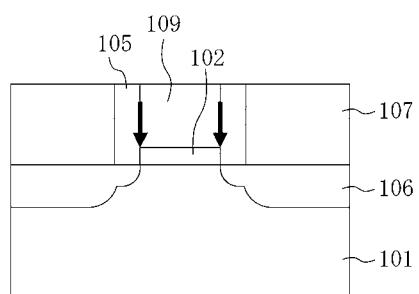
【図13】



【図14】



【図15】



フロントページの続き

(51) Int.CI. F I テーマコード(参考)
H 0 1 L 29/49 (2006.01)

(74)代理人 100117581
弁理士 二宮 克也
(74)代理人 100117710
弁理士 原田 智雄
(74)代理人 100121728
弁理士 井関 勝守
(74)代理人 100124671
弁理士 関 啓
(74)代理人 100131060
弁理士 杉浦 靖也
(72)発明者 田邊 正明
大阪府門真市大字門真 1006番地 松下電器産業株式会社内
(72)発明者 林 重徳
大阪府門真市大字門真 1006番地 松下電器産業株式会社内

F ターム(参考) 4M104 AA01 BB04 BB06 BB13 BB14 BB16 BB17 BB18 BB20 BB21
BB22 BB23 BB24 BB25 BB29 BB30 BB31 BB32 BB33 BB34
BB38 CC05 DD04 DD63 DD82 DD84 DD86 DD88 EE03 EE12
EE14 EE16 FF13 GG09 GG10 GG14
5F048 AA07 AA09 AC03 BA01 BB01 BB05 BB08 BB09 BB10 BB11
BB12 BB14 BC06 BE03 DA25 DA27 DA30
5F140 AA24 AB03 BA01 BD01 BD04 BD07 BD09 BD11 BD12 BD13
BD15 BD17 BE08 BF01 BF05 BF06 BF07 BF08 BF10 BF11
BF16 BF17 BF32 BF38 BG04 BG09 BG10 BG12 BG14 BG27
BG34 BG36 BG37 BG42 BG43 BG45 BG48 BG49 BK05 BK13
BK21 CB04 CB08 CC03 CE07