



(12)发明专利

(10)授权公告号 CN 104537980 B

(45)授权公告日 2017.03.29

(21)申请号 201510055859.7

审查员 孟慧慧

(22)申请日 2015.02.03

(65)同一申请的已公布的文献号

申请公布号 CN 104537980 A

(43)申请公布日 2015.04.22

(73)专利权人 京东方科技集团股份有限公司

地址 100015 北京市朝阳区酒仙桥路10号

(72)发明人 马占洁 孙拓

(74)专利代理机构 北京中博世达专利商标代理

有限公司 11274

代理人 申健

(51)Int.Cl.

G09G 3/20(2006.01)

G09G 3/36(2006.01)

G11C 19/28(2006.01)

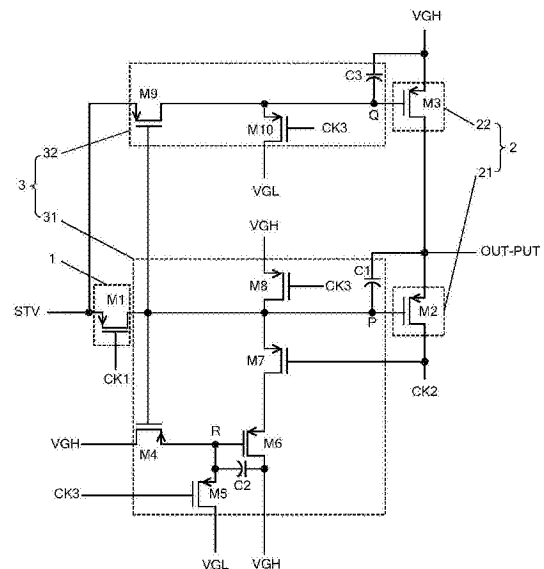
权利要求书6页 说明书16页 附图5页

(54)发明名称

一种移位寄存器及其驱动方法、栅极驱动电路、显示装置

(57)摘要

本发明实施例公开了一种移位寄存器及其驱动方法、栅极驱动电路和显示装置,涉及显示技术领域,能够降低输出模块关联的时钟信号的变化对输出信号的影响,改善移位寄存器的输出效果。该移位寄存器包括输入模块、输出模块和输出控制模块;输出模块包括第一输出单元和第二输出单元,其中,第一节点控制第一输出单元,第一输出单元控制第二时钟信号输入端和信号输出端之间的信号传输,第二节点控制第二输出单元,第二输出单元控制高电平信号输入端和信号输出端之间的信号传输;输出控制模块包括第一控制单元和第二控制单元,其中,第一控制单元控制第一节点的电平,第二控制单元控制第二节点的电平。



1. 一种移位寄存器,其特征在于,包括:输入模块、输出模块和输出控制模块;

所述输入模块控制起始信号输入端和第一节点之间的信号传输;

所述输出模块控制信号输出端的信号输出,所述输出模块包括第一输出单元和第二输出单元,其中,所述第一输出单元连接第一节点,所述第一节点控制所述第一输出单元,所述第一输出单元控制第二时钟信号输入端和所述信号输出端之间的信号传输,所述第二输出单元连接第二节点,所述第二节点控制所述第二输出单元,所述第二输出单元控制高电平信号输入端和所述信号输出端之间的信号传输;

所述输出控制模块包括第一控制单元和第二控制单元,其中,所述第一控制单元控制所述第一节点的电平,所述第二控制单元控制所述第二节点的电平;

所述第一控制单元包括第四薄膜晶体管、第五薄膜晶体管、第六薄膜晶体管、第七薄膜晶体管、第八薄膜晶体管、第一电容和第二电容;所述第四至第八薄膜晶体管均为p型薄膜晶体管;

其中,所述第四薄膜晶体管的栅极连接所述第一节点,源极连接第三节点,漏极连接所述高电平信号输入端;

所述第五薄膜晶体管的栅极连接第三时钟信号输入端,源极连接所述第三节点,漏极连接低电平信号输入端;

所述第六薄膜晶体管的栅极连接所述第三节点,源极连接所述第七薄膜晶体管的漏极,漏极连接所述高电平信号输入端;

所述第七薄膜晶体管的栅极连接所述第二时钟信号输入端,源极连接所述第一节点,漏极连接所述第六薄膜晶体管的源极;

所述第八薄膜晶体管的栅极连接所述第三时钟信号输入端,源极连接所述高电平信号输入端,漏极连接所述第一节点;

所述第一电容的一端连接所述信号输出端,另一端连接所述第一节点;

所述第二电容的一端连接所述第三节点,另一端连接所述高电平信号输入端;

或者,

所述第一控制单元包括第四薄膜晶体管、第五薄膜晶体管、第六薄膜晶体管、第七薄膜晶体管、第八薄膜晶体管、第一电容和第二电容;所述第四至第八薄膜晶体管均为n型薄膜晶体管;

其中,所述第四薄膜晶体管的栅极连接所述第一节点,源极连接第三节点,漏极连接低电平信号输入端;

所述第五薄膜晶体管的栅极连接第三时钟信号输入端,源极连接所述第三节点,漏极连接所述高电平信号输入端;

所述第六薄膜晶体管的栅极连接所述第三节点,源极连接所述第七薄膜晶体管的漏极,漏极连接所述低电平信号输入端;

所述第七薄膜晶体管的栅极连接所述第二时钟信号输入端,源极连接所述第一节点,漏极连接所述第六薄膜晶体管的源极;

所述第八薄膜晶体管的栅极连接所述第三时钟信号输入端,源极连接所述低电平信号输入端,漏极连接所述第一节点;

所述第一电容的一端连接所述信号输出端,另一端连接所述第一节点;

所述第二电容的一端连接所述第三节点,另一端连接所述低电平信号输入端。

2. 根据权利要求1所述的移位寄存器,其特征在于,所述输入模块包括第一薄膜晶体管,所述第一薄膜晶体管为p型薄膜晶体管或者n型薄膜晶体管,所述第一薄膜晶体管的栅极连接第一时钟信号输入端,源极连接所述起始信号输入端,漏极连接所述第一节点。

3. 根据权利要求1所述的移位寄存器,其特征在于,所述第一输出单元包括第二薄膜晶体管,所述第二薄膜晶体管为p型薄膜晶体管或者n型薄膜晶体管,所述第二薄膜晶体管的栅极连接所述第一节点,源极连接所述信号输出端,漏极连接所述第二时钟信号输入端。

4. 根据权利要求1所述的移位寄存器,其特征在于,所述第二输出单元包括第三薄膜晶体管,所述第三薄膜晶体管为p型薄膜晶体管,所述第三薄膜晶体管的栅极连接所述第二节点,源极连接所述高电平信号输入端,漏极连接所述信号输出端。

5. 根据权利要求1所述的移位寄存器,其特征在于,所述第二控制单元包括第九薄膜晶体管、第十薄膜晶体管和第三电容;所述第九、第十薄膜晶体管均为p型薄膜晶体管;

其中,所述第九薄膜晶体管的栅极连接所述第一节点,源极连接所述起始信号输入端,漏极连接所述第二节点;

所述第十薄膜晶体管的栅极连接第三时钟信号输入端,源极连接所述第二节点,漏极连接低电平信号输入端;

所述第三电容的一端连接所述第二节点,另一端连接所述高电平信号输入端。

6. 根据权利要求1所述的移位寄存器,其特征在于,所述第二输出单元包括第三薄膜晶体管,所述第三薄膜晶体管为n型薄膜晶体管,所述第三薄膜晶体管的栅极连接所述第二节点,源极连接低电平信号输入端,漏极连接所述信号输出端。

7. 根据权利要求1所述的移位寄存器,其特征在于,所述第二控制单元包括第九薄膜晶体管、第十薄膜晶体管和第三电容;所述第九、第十薄膜晶体管均为n型薄膜晶体管;

其中,所述第九薄膜晶体管的栅极连接所述第一节点,源极连接所述起始信号输入端,漏极连接所述第二节点;

所述第十薄膜晶体管的栅极连接第三时钟信号输入端,源极连接所述第二节点,漏极连接所述高电平信号输入端;

所述第三电容的一端连接所述第二节点,另一端连接低电平信号输入端。

8. 一种栅极驱动电路,其特征在于,包括多个相互级联的如权利要求1-7任一项所述的移位寄存器。

9. 一种显示装置,其特征在于,包括如权利要求8所述的栅极驱动电路。

10. 一种包括如权利要求1-7任一项所述的移位寄存器的驱动方法,其特征在于,包括:

通过输入模块控制起始信号输入端和第一节点之间的信号传输;

通过输出模块控制信号输出端的信号输出;

通过输出控制模块控制输出模块,所述输出控制模块包括第一控制单元和第二控制单元,所述输出模块包括第一输出单元和第二输出单元,其中,通过所述第一控制单元控制所述第一节点的电平,所述第一节点控制所述第一输出单元,通过所述第二控制单元控制所述第二节点的电平,所述第二节点控制所述第二输出单元。

11. 根据权利要求10所述的移位寄存器的驱动方法,其特征在于,

第一阶段

第二时钟信号输入端输入的第二时钟信号和第三时钟信号输入端输入的第三时钟信号为高电平,起始信号输入端输入的起始信号和第一时钟信号输入端输入的第一时钟信号为低电平;

第一薄膜晶体管开启,所述起始信号传输至所述第一节点,第八薄膜晶体管关闭,所述第一节点处于低电平,第二薄膜晶体管开启,所述第二时钟信号传输至所述信号输出端,并对第一电容充电,第四薄膜晶体管开启,高电平信号输入端输入的高电平信号传输至第三节点,所述第三节点处于高电平,第六薄膜晶体管关闭,并对第二电容充电,第五薄膜晶体管关闭,第七薄膜晶体管关闭;

第九薄膜晶体管开启,第十薄膜晶体管关闭,所述起始信号传输至所述第二节点,所述第二节点处于低电平,第三薄膜晶体管开启,所述高电平信号输入端的高电平信号传输至所述信号输出端,并对第三电容充电;

#### 第二阶段

所述起始信号输入端输入的起始信号、所述第一时钟信号输入端输入的第一时钟信号和所述第三时钟信号输入端输入的第三时钟信号为高电平,所述第二时钟信号输入端输入的第二时钟信号为低电平;

所述第一薄膜晶体管关闭,所述第八薄膜晶体管关闭,所述第二薄膜晶体管的栅极和漏极之间的耦合电容使所述第一节点的电平继续降低,且所述第一电容放电使所述第二薄膜晶体管开启,所述第二时钟信号传输至所述信号输出端,所述第四薄膜晶体管开启,所述高电平信号传输至所述第三节点,所述第三节点处于高电平,所述第二电容放电使所述第六薄膜晶体管关闭,所述第五薄膜晶体管关闭,所述第七薄膜晶体管开启;

所述第九薄膜晶体管开启,所述起始信号传输至所述第二节点,所述第十薄膜晶体管关闭,所述第三电容放电使所述第三薄膜晶体管开启,所述高电平信号传输至所述信号输出端;

#### 第三阶段

所述起始信号输入端输入的起始信号、所述第一时钟信号输入端输入的第一时钟信号和所述第二时钟信号输入端输入的第二时钟信号为高电平,所述第三时钟信号输入端输入的第三时钟信号为低电平;

所述第一薄膜晶体管关闭,所述第八薄膜晶体管开启,所述高电平信号传输至所述第一节点,所述第一节点处于高电平,所述第二薄膜晶体管关闭,并对所述第一电容充电,所述第四薄膜晶体管关闭,所述第五薄膜晶体管开启,低电平信号输入端输入的低电平信号传输至所述第三节点,所述第三节点处于低电平,所述第六薄膜晶体管开启,并对所述第二电容充电,所述第七薄膜晶体管关闭;

所述第九薄膜晶体管关闭,所述第十薄膜晶体管开启,所述低电平信号传输至所述第二节点,所述第三薄膜晶体管开启,所述高电平信号传输至所述信号输出端,并对所述第三电容充电;

#### 第四阶段

所述起始信号输入端输入的起始信号、所述第二时钟信号输入端输入的第二时钟信号和所述第三时钟信号输入端输入的第三时钟信号为高电平,所述第一时钟信号输入端输入的第一时钟信号为低电平;

所述第一薄膜晶体管开启,所述起始信号传输至所述第一节点,所述第八薄膜晶体管关闭,所述第一节点处于高电平,所述第二薄膜晶体管关闭,并对所述第一电容充电,所述第四薄膜晶体管关闭,所述第五薄膜晶体管关闭,所述第二电容放电使所述第六薄膜晶体管开启,所述第七薄膜晶体管关闭;

所述第九薄膜晶体管关闭,所述第十薄膜晶体管关闭,所述第三电容放电使所述第三薄膜晶体管开启,所述高电平信号传输至所述信号输出端;

#### 第五阶段

所述起始信号输入端输入的起始信号、所述第一时钟信号输入端输入的第一时钟信号和所述第三时钟信号输入端输入的第三时钟信号为高电平,所述第二时钟信号输入端输入的第二时钟信号为低电平;

所述第一薄膜晶体管关闭,所述第八薄膜晶体管关闭,所述第二电容放电使所述第六薄膜晶体管开启,所述第七薄膜晶体管开启,所述高电平信号传输至所述第一节点,所述第一节点处于高电平,所述第二薄膜晶体管关闭,并对所述第一电容充电,所述第四薄膜晶体管关闭,所述第五薄膜晶体管关闭;

所述第九薄膜晶体管关闭,所述第十薄膜晶体管关闭,所述第三电容放电使所述第三薄膜晶体管开启,所述高电平信号传输至所述信号输出端;

#### 第六阶段

所述起始信号输入端输入的起始信号、所述第一时钟信号输入端输入的第一时钟信号和所述第二时钟信号输入端输入的第二时钟信号为高电平,所述第三时钟信号输入端输入的第三时钟信号为低电平;

所述第一薄膜晶体管关闭,所述第八薄膜晶体管开启,所述高电平信号传输至所述第一节点,所述第一节点处于高电平,所述第二薄膜晶体管关闭,并对所述第一电容充电,所述第四薄膜晶体管关闭,所述第五薄膜晶体管开启,所述低电平信号传输至所述第三节点,所述第三节点处于低电平,所述第六薄膜晶体管开启,并对所述第二电容充电,所述第七薄膜晶体管关闭;

所述第九薄膜晶体管关闭,所述第十薄膜晶体管开启,所述低电平信号传输至所述第二节点,所述第三薄膜晶体管开启,所述高电平信号传输至所述信号输出端,并对所述第三电容充电;

其中,所述第一薄膜晶体管至所述第十薄膜晶体管均为p型薄膜晶体管。

12. 根据权利要求10所述的移位寄存器的驱动方法,其特征在于,

#### 第一阶段

第二时钟信号输入端输入的第二时钟信号和第三时钟信号输入端输入的第三时钟信号为低电平,起始信号输入端输入的起始信号和第一时钟信号输入端输入的第一时钟信号为高电平;

第一薄膜晶体管开启,所述起始信号传输至所述第一节点,第八薄膜晶体管关闭,所述第一节点处于高电平,第二薄膜晶体管开启,所述第二时钟信号传输至所述信号输出端,并对第一电容充电,第四薄膜晶体管开启,低电平信号输入端输入的低电平信号传输至第三节点,所述第三节点处于低电平,第六薄膜晶体管关闭,并对第二电容充电,第五薄膜晶体管关闭,第七薄膜晶体管关闭;

第九薄膜晶体管开启,第十薄膜晶体管关闭,所述起始信号传输至所述第二节点,所述第二节点处于高电平,第三薄膜晶体管开启,所述低电平信号输入端的低电平信号传输至所述信号输出端,并对第三电容充电;

#### 第二阶段

所述起始信号输入端输入的起始信号、所述第一时钟信号输入端输入的第一时钟信号和所述第三时钟信号输入端输入的第三时钟信号为低电平,所述第二时钟信号输入端输入的第二时钟信号为高电平;

所述第一薄膜晶体管关闭,所述第八薄膜晶体管关闭,所述第二薄膜晶体管的栅极和漏极之间的耦合电容使所述第一节点的电平继续升高,且所述第一电容放电使所述第二薄膜晶体管开启,所述第二时钟信号传输至所述信号输出端,所述第四薄膜晶体管开启,所述低电平信号传输至所述第三节点,所述第三节点处于低电平,所述第二电容放电使所述第六薄膜晶体管关闭,所述第五薄膜晶体管关闭,所述第七薄膜晶体管开启;

所述第九薄膜晶体管开启,所述起始信号传输至所述第二节点,所述第十薄膜晶体管关闭,所述第三电容放电使所述第三薄膜晶体管开启,所述低电平信号传输至所述信号输出端;

#### 第三阶段

所述起始信号输入端输入的起始信号、所述第一时钟信号输入端输入的第一时钟信号和所述第二时钟信号输入端输入的第二时钟信号为低电平,所述第三时钟信号输入端输入的第三时钟信号为高电平;

所述第一薄膜晶体管关闭,所述第八薄膜晶体管开启,所述低电平信号传输至所述第一节点,所述第一节点处于低电平,所述第二薄膜晶体管关闭,并对所述第一电容充电,所述第四薄膜晶体管关闭,所述第五薄膜晶体管开启,高电平信号输入端输入的高电平信号传输至所述第三节点,所述第三节点处于高电平,所述第六薄膜晶体管开启,并对所述第二电容充电,所述第七薄膜晶体管关闭;

所述第九薄膜晶体管关闭,所述第十薄膜晶体管开启,所述高电平信号传输至所述第二节点,所述第三薄膜晶体管开启,所述低电平信号传输至所述信号输出端,并对所述第三电容充电;

#### 第四阶段

所述起始信号输入端输入的起始信号、所述第二时钟信号输入端输入的第二时钟信号和所述第三时钟信号输入端输入的第三时钟信号为低电平,所述第一时钟信号输入端输入的第一时钟信号为高电平;

所述第一薄膜晶体管开启,所述起始信号传输至所述第一节点,所述第八薄膜晶体管关闭,所述第一节点处于低电平,所述第二薄膜晶体管关闭,并对所述第一电容充电,所述第四薄膜晶体管关闭,所述第五薄膜晶体管关闭,所述第二电容放电使所述第六薄膜晶体管开启,所述第七薄膜晶体管关闭;

所述第九薄膜晶体管关闭,所述第十薄膜晶体管关闭,所述第三电容放电使所述第三薄膜晶体管开启,所述低电平信号传输至所述信号输出端;

#### 第五阶段

所述起始信号输入端输入的起始信号、所述第一时钟信号输入端输入的第一时钟信号

和所述第三时钟信号输入端输入的第三时钟信号为低电平,所述第二时钟信号输入端输入的第二时钟信号为高电平;

所述第一薄膜晶体管关闭,所述第八薄膜晶体管关闭,所述第二电容放电使所述第六薄膜晶体管开启,所述第七薄膜晶体管开启,所述低电平信号传输至所述第一节点,所述第一节点处于低电平,所述第二薄膜晶体管关闭,并对所述第一电容充电,所述第四薄膜晶体管关闭,所述第五薄膜晶体管关闭;

所述第九薄膜晶体管关闭,所述第十薄膜晶体管关闭,所述第三电容放电使所述第三薄膜晶体管开启,所述低电平信号传输至所述信号输出端;

#### 第六阶段

所述起始信号输入端输入的起始信号、所述第一时钟信号输入端输入的第一时钟信号和所述第二时钟信号输入端输入的第二时钟信号为低电平,所述第三时钟信号输入端输入的第三时钟信号为高电平;

所述第一薄膜晶体管关闭,所述第八薄膜晶体管开启,所述低电平信号传输至所述第一节点,所述第一节点处于低电平,所述第二薄膜晶体管关闭,并对所述第一电容充电,所述第四薄膜晶体管关闭,所述第五薄膜晶体管开启,所述高电平信号传输至所述第三节点,所述第三节点处于高电平,所述第六薄膜晶体管开启,并对所述第二电容充电,所述第七薄膜晶体管关闭;

所述第九薄膜晶体管关闭,所述第十薄膜晶体管开启,所述高电平信号传输至所述第二节点,所述第三薄膜晶体管开启,所述低电平信号传输至所述信号输出端,并对所述第三电容充电;

其中,所述第一薄膜晶体管至所述第十薄膜晶体管均为n型薄膜晶体管。

## 一种移位寄存器及其驱动方法、栅极驱动电路、显示装置

### 技术领域

[0001] 本发明涉及显示技术领域,尤其涉及一种移位寄存器及其驱动方法、栅极驱动电路、显示装置。

### 背景技术

[0002] 为了实现显示装置的正常显示,显示装置需要包括栅极驱动电路。具体地,栅极驱动电路包括多个相互级联的移位寄存器。

[0003] 具体地,移位寄存器的结构如图1所示,该移位寄存器包括输入模块、输出模块和输出控制模块,其中,输入模块包括M1,输出模块包括M2和M3,输出控制模块包括M4、M5、C1和C2,其中,M1-M5均为低电平开启的PMOSFET。其工作过程的时序图如图2所示,在t1阶段,起始信号输入端STV输入的起始信号和第一时钟信号输入端CK1输入的第一时钟信号为低电平信号,第二时钟信号输入端CK2输入的第二时钟信号为高电平信号,此时,M1、M2、M3、M4和M5均开启,信号输出端Output无信号输出;在t2阶段,起始信号输入端STV输入的起始信号和第一时钟信号输入端CK1输入的第一时钟信号为高电平信号,第二时钟信号输入端CK2输入的第二时钟信号为低电平信号,M1、M4和M5关闭,由于C2和C1的作用,M2和M3开启,信号输出端Output输出输出信号。

[0004] 发明人发现,在第二时钟信号输入端CK2输入的第二时钟信号变化时,M2的栅极上的信号会受到M2的栅极和漏极之间形成的耦合电容的影响,进而影响输出端Output输出的输出信号,导致输出信号变差,影响移位寄存器的输出效果。

### 发明内容

[0005] 本发明所要解决的技术问题在于提供一种移位寄存器及其驱动方法、栅极驱动电路、显示装置,能够降低输出模块关联的时钟信号的变化对输出信号的影响,改善移位寄存器的输出效果。

[0006] 为解决上述技术问题,本发明实施例提供了一种移位寄存器,采用如下技术方案:

[0007] 一种移位寄存器包括:输入模块、输出模块和输出控制模块;

[0008] 所述输入模块控制起始信号输入端和第一节点之间的信号传输;

[0009] 所述输出模块控制信号输出端的信号输出,所述输出模块包括第一输出单元和第二输出单元,其中,所述第一输出单元连接第一节点,所述第一节点控制所述第一输出单元,所述第一输出单元控制第二时钟信号输入端和所述信号输出端之间的信号传输,所述第二输出单元连接第二节点,所述第二节点控制所述第二输出单元,所述第二输出单元控制高电平信号输入端和所述信号输出端之间的信号传输;

[0010] 所述输出控制模块包括第一控制单元和第二控制单元,其中,所述第一控制单元控制所述第一节点的电平,所述第二控制单元控制所述第二节点的电平。

[0011] 所述输入模块包括第一薄膜晶体管,所述第一薄膜晶体管为p型薄膜晶体管或者n型薄膜晶体管,所述第一薄膜晶体管的栅极连接第一时钟信号输入端,源极连接所述起始



信号输入端,漏极连接所述第一节点。

[0012] 所述第一输出单元包括第二薄膜晶体管,所述第二薄膜晶体管为p型薄膜晶体管或者n型薄膜晶体管,所述第二薄膜晶体管的栅极连接所述第一节点,源极连接所述信号输出端,漏极连接所述第二时钟信号输入端。

[0013] 所述第二输出单元包括第三薄膜晶体管,所述第三薄膜晶体管为p型薄膜晶体管,所述第三薄膜晶体管的栅极连接所述第二节点,源极连接所述高电平信号输入端,漏极连接所述信号输出端。

[0014] 所述第一控制单元包括第四薄膜晶体管、第五薄膜晶体管、第六薄膜晶体管、第七薄膜晶体管、第八薄膜晶体管、第一电容和第二电容;所述第四至第八薄膜晶体管均为p型薄膜晶体管;

[0015] 其中,所述第四薄膜晶体管的栅极连接所述第一节点,源极连接第三节点,漏极连接所述高电平信号输入端;

[0016] 所述第五薄膜晶体管的栅极连接第三时钟信号输入端,源极连接所述第三节点,漏极连接低电平信号输入端;

[0017] 所述第六薄膜晶体管的栅极连接所述第三节点,源极连接所述第七薄膜晶体管的漏极,漏极连接所述高电平信号输入端;

[0018] 所述第七薄膜晶体管的栅极连接所述第二时钟信号输入端,源极连接所述第一节点,漏极连接所述第六薄膜晶体管的源极;

[0019] 所述第八薄膜晶体管的栅极连接所述第三时钟信号输入端,源极连接所述高电平信号输入端,漏极连接所述第一节点;

[0020] 所述第一电容的一端连接所述信号输出端,另一端连接所述第一节点;

[0021] 所述第二电容的一端连接所述第三节点,另一端连接所述高电平信号输入端。

[0022] 所述第二控制单元包括第九薄膜晶体管、第十薄膜晶体管和第三电容;所述第九、第十薄膜晶体管均为p型薄膜晶体管;

[0023] 其中,所述第九薄膜晶体管的栅极连接所述第一节点,源极连接所述起始信号输入端,漏极连接所述第二节点;

[0024] 所述第十薄膜晶体管的栅极连接第三时钟信号输入端,源极连接所述第二节点,漏极连接低电平信号输入端;

[0025] 所述第三电容的一端连接所述第二节点,另一端连接所述高电平信号输入端。

[0026] 所述第二输出单元包括第三薄膜晶体管,所述第三薄膜晶体管为n型薄膜晶体管,所述第三薄膜晶体管的栅极连接所述第二节点,源极连接所述低电平信号输入端,漏极连接所述信号输出端。

[0027] 所述第一控制单元包括第四薄膜晶体管、第五薄膜晶体管、第六薄膜晶体管、第七薄膜晶体管、第八薄膜晶体管、第一电容和第二电容;所述第四至第八薄膜晶体管均为n型薄膜晶体管;

[0028] 其中,所述第四薄膜晶体管的栅极连接所述第一节点,源极连接第三节点,漏极连接低电平信号输入端;

[0029] 所述第五薄膜晶体管的栅极连接第三时钟信号输入端,源极连接所述第三节点,漏极连接所述高电平信号输入端;

[0030] 所述第六薄膜晶体管的栅极连接所述第三节点,源极连接所述第七薄膜晶体管的漏极,漏极连接所述低电平信号输入端;

[0031] 所述第七薄膜晶体管的栅极连接所述第二时钟信号输入端,源极连接所述第一节点,漏极连接所述第六薄膜晶体管的源极;

[0032] 所述第八薄膜晶体管的栅极连接所述第三时钟信号输入端,源极连接所述低电平信号输入端,漏极连接所述第一节点;

[0033] 所述第一电容的一端连接所述信号输出端,另一端连接所述第一节点;

[0034] 所述第二电容的一端连接所述第三节点,另一端连接所述低电平信号输入端。

[0035] 所述第二控制单元包括第九薄膜晶体管、第十薄膜晶体管和第三电容;所述第九、第十薄膜晶体管均为n型薄膜晶体管;

[0036] 其中,所述第九薄膜晶体管的栅极连接所述第一节点,源极连接所述起始信号输入端,漏极连接所述第二节点;

[0037] 所述第十薄膜晶体管的栅极连接第三时钟信号输入端,源极连接所述第二节点,漏极连接所述高电平信号输入端;

[0038] 所述第三电容的一端连接所述第二节点,另一端连接低电平信号输入端。

[0039] 本发明实施例提供了一种移位寄存器,该移位寄存器包括:输入模块、输出模块和输出控制模块;输入模块控制起始信号输入端和第一节点之间的信号传输;输出模块控制信号输出端的信号输出,输出模块包括第一输出单元和第二输出单元,其中,第一输出单元连接第一节点,第一节点控制第二时钟信号输入端和信号输出端之间的信号传输,第二输出单元连接第二节点,第二节点控制高电平信号输入端和信号输出端之间的信号传输;输出控制模块包括第一控制单元和第二控制单元,其中,第一控制单元控制第一节点的电平,第二控制单元控制第二节点的电平,从而能够稳定第一节点和第二节点的电平,降低输出模块关联的时钟信号的变化对输出信号的影响,改善移位寄存器的输出效果。

[0040] 此外,本发明实施例还提供了一种栅极驱动电路,该栅极驱动电路包括多个相互级联的以上任一项所述的移位寄存器。

[0041] 本发明实施例还提供了一种显示装置,该显示装置包括以上所述的栅极驱动电路。

[0042] 为了进一步解决上述技术问题,本发明实施例还提供了一种移位寄存器的驱动方法,采用如下技术方案:

[0043] 一种移位寄存器的驱动方法包括:

[0044] 通过输入模块控制起始信号输入端和第一节点之间的信号传输;

[0045] 通过输出模块控制信号输出端的信号输出;

[0046] 通过输出控制模块控制输出模块,所述输出控制模块包括第一控制单元和第二控制单元,所述输出模块包括第一输出单元和第二输出单元,其中,通过所述第一控制单元控制所述第一节点的电平,所述第一节点控制所述第一输出单元,通过所述第二控制单元控制所述第二节点的电平,所述第二节点控制所述第二输出单元。

[0047] 第一阶段

[0048] 第二时钟信号输入端输入的第二时钟信号和第三时钟信号输入端输入的第三时钟信号为高电平,起始信号输入端输入的起始信号和第一时钟信号输入端输入的第一时钟

信号为低电平；

[0049] 第一薄膜晶体管开启,所述起始信号传输至所述第一节点,第八薄膜晶体管关闭,所述第一节点处于低电平,第二薄膜晶体管开启,所述第二时钟信号传输至所述信号输出端,并对第一电容充电,第四薄膜晶体管开启,高电平信号输入端输入的高电平信号传输至第三节点,所述第三节点处于高电平,第六薄膜晶体管关闭,并对第二电容充电,第五薄膜晶体管关闭,第七薄膜晶体管关闭；

[0050] 第九薄膜晶体管开启,第十薄膜晶体管关闭,所述起始信号传输至所述第二节点,所述第二节点处于低电平,第三薄膜晶体管开启,所述高电平信号输入端的高电平信号传输至所述信号输出端,并对第三电容充电；

[0051] 第二阶段

[0052] 所述起始信号输入端输入的起始信号、所述第一时钟信号输入端输入的第一时钟信号和所述第三时钟信号输入端输入的第三时钟信号为高电平,所述第二时钟信号输入端输入的第二时钟信号为低电平；

[0053] 所述第一薄膜晶体管关闭,所述第八薄膜晶体管关闭,所述第二薄膜晶体管的栅极和漏极之间的耦合电容使所述第一节点的电平继续降低,且所述第一电容放电使所述第二薄膜晶体管开启,所述第二时钟信号传输至所述信号输出端,所述第四薄膜晶体管开启,所述高电平信号传输至所述第三节点,所述第三节点处于高电平,所述第二电容放电使所述第六薄膜晶体管关闭,所述第五薄膜晶体管关闭,所述第七薄膜晶体管开启；

[0054] 所述第九薄膜晶体管开启,所述起始信号传输至所述第二节点,所述第十薄膜晶体管关闭,所述第三电容放电使所述第三薄膜晶体管开启,所述高电平信号传输至所述信号输出端；

[0055] 第三阶段

[0056] 所述起始信号输入端输入的起始信号、所述第一时钟信号输入端输入的第一时钟信号和所述第二时钟信号输入端输入的第二时钟信号为高电平,所述第三时钟信号输入端输入的第三时钟信号为低电平；

[0057] 所述第一薄膜晶体管关闭,所述第八薄膜晶体管开启,所述高电平信号传输至所述第一节点,所述第一节点处于高电平,所述第二薄膜晶体管关闭,并对所述第一电容充电,所述第四薄膜晶体管关闭,所述第五薄膜晶体管开启,低电平信号输入端输入的低电平信号传输至所述第三节点,所述第三节点处于低电平,所述第六薄膜晶体管开启,并对所述第二电容充电,所述第七薄膜晶体管关闭；

[0058] 所述第九薄膜晶体管关闭,所述第十薄膜晶体管开启,所述低电平信号传输至所述第二节点,所述第三薄膜晶体管开启,所述高电平信号传输至所述信号输出端,并对所述第三电容充电；

[0059] 第四阶段

[0060] 所述起始信号输入端输入的起始信号、所述第二时钟信号输入端输入的第二时钟信号和所述第三时钟信号输入端输入的第三时钟信号为高电平,所述第一时钟信号输入端输入的第一时钟信号为低电平；

[0061] 所述第一薄膜晶体管开启,所述起始信号传输至所述第一节点,所述第八薄膜晶体管关闭,所述第一节点处于高电平,所述第二薄膜晶体管关闭,并对所述第一电容充电，

所述第四薄膜晶体管关闭,所述第五薄膜晶体管关闭,所述第二电容放电使所述第六薄膜晶体管开启,所述第七薄膜晶体管关闭;

[0062] 所述第九薄膜晶体管关闭,所述第十薄膜晶体管关闭,所述第三电容放电使所述第三薄膜晶体管开启,所述高电平信号传输至所述信号输出端;

[0063] 第五阶段

[0064] 所述起始信号输入端输入的起始信号、所述第一时钟信号输入端输入的第一时钟信号和所述第三时钟信号输入端输入的第三时钟信号为高电平,所述第二时钟信号输入端输入的第二时钟信号为低电平;

[0065] 所述第一薄膜晶体管关闭,所述第八薄膜晶体管关闭,所述第二电容放电使所述第六薄膜晶体管开启,所述第七薄膜晶体管开启,所述高电平信号传输至所述第一节点,所述第一节点处于高电平,所述第二薄膜晶体管关闭,并对所述第一电容充电,所述第四薄膜晶体管关闭,所述第五薄膜晶体管关闭;

[0066] 所述第九薄膜晶体管关闭,所述第十薄膜晶体管关闭,所述第三电容放电使所述第三薄膜晶体管开启,所述高电平信号传输至所述信号输出端;

[0067] 第六阶段

[0068] 所述起始信号输入端输入的起始信号、所述第一时钟信号输入端输入的第一时钟信号和所述第二时钟信号输入端输入的第二时钟信号为高电平,所述第三时钟信号输入端输入的第三时钟信号为低电平;

[0069] 所述第一薄膜晶体管关闭,所述第八薄膜晶体管开启,所述高电平信号传输至所述第一节点,所述第一节点处于高电平,所述第二薄膜晶体管关闭,并对所述第一电容充电,所述第四薄膜晶体管关闭,所述第五薄膜晶体管开启,所述低电平信号传输至所述第三节点,所述第三节点处于低电平,所述第六薄膜晶体管开启,并对所述第二电容充电,所述第七薄膜晶体管关闭;

[0070] 所述第九薄膜晶体管关闭,所述第十薄膜晶体管开启,所述低电平信号传输至所述第二节点,所述第三薄膜晶体管开启,所述高电平信号传输至所述信号输出端,并对所述第三电容充电;

[0071] 其中,所述第一薄膜晶体管至所述第十薄膜晶体管均为p型薄膜晶体管。

[0072] 第一阶段

[0073] 第二时钟信号输入端输入的第二时钟信号和第三时钟信号输入端输入的第三时钟信号为低电平,起始信号输入端输入的起始信号和第一时钟信号输入端输入的第一时钟信号为高电平;

[0074] 第一薄膜晶体管开启,所述起始信号传输至所述第一节点,第八薄膜晶体管关闭,所述第一节点处于高电平,第二薄膜晶体管开启,所述第二时钟信号传输至所述信号输出端,并对第一电容充电,第四薄膜晶体管开启,低电平信号输入端输入的低电平信号传输至第三节点,所述第三节点处于低电平,第六薄膜晶体管关闭,并对第二电容充电,第五薄膜晶体管关闭,第七薄膜晶体管关闭;

[0075] 第九薄膜晶体管开启,第十薄膜晶体管关闭,所述起始信号传输至所述第二节点,所述第二节点处于高电平,第三薄膜晶体管开启,所述低电平信号输入端的低电平信号传输至所述信号输出端,并对第三电容充电;

[0076] 第二阶段

[0077] 所述起始信号输入端输入的起始信号、所述第一时钟信号输入端输入的第一时钟信号和所述第三时钟信号输入端输入的第三时钟信号为低电平,所述第二时钟信号输入端输入的第二时钟信号为高电平;

[0078] 所述第一薄膜晶体管关闭,所述第八薄膜晶体管关闭,所述第二薄膜晶体管的栅极和漏极之间的耦合电容使所述第一节点的电平继续升高,且所述第一电容放电使所述第二薄膜晶体管开启,所述第二时钟信号传输至所述信号输出端,所述第四薄膜晶体管开启,所述低电平信号传输至所述第三节点,所述第三节点处于低电平,所述第二电容放电使所述第六薄膜晶体管关闭,所述第五薄膜晶体管关闭,所述第七薄膜晶体管开启;

[0079] 所述第九薄膜晶体管开启,所述起始信号传输至所述第二节点,所述第十薄膜晶体管关闭,所述第三电容放电使所述第三薄膜晶体管开启,所述低电平信号传输至所述信号输出端;

[0080] 第三阶段

[0081] 所述起始信号输入端输入的起始信号、所述第一时钟信号输入端输入的第一时钟信号和所述第二时钟信号输入端输入的第二时钟信号为低电平,所述第三时钟信号输入端输入的第三时钟信号为高电平;

[0082] 所述第一薄膜晶体管关闭,所述第八薄膜晶体管开启,所述低电平信号传输至所述第一节点,所述第一节点处于低电平,所述第二薄膜晶体管关闭,并对所述第一电容充电,所述第四薄膜晶体管关闭,所述第五薄膜晶体管开启,高电平信号输入端输入的高电平信号传输至所述第三节点,所述第三节点处于高电平,所述第六薄膜晶体管开启,并对所述第二电容充电,所述第七薄膜晶体管关闭;

[0083] 所述第九薄膜晶体管关闭,所述第十薄膜晶体管开启,所述高电平信号传输至所述第二节点,所述第三薄膜晶体管开启,所述低电平信号传输至所述信号输出端,并对所述第三电容充电;

[0084] 第四阶段

[0085] 所述起始信号输入端输入的起始信号、所述第二时钟信号输入端输入的第二时钟信号和所述第三时钟信号输入端输入的第三时钟信号为低电平,所述第一时钟信号输入端输入的第一时钟信号为高电平;

[0086] 所述第一薄膜晶体管开启,所述起始信号传输至所述第一节点,所述第八薄膜晶体管关闭,所述第一节点处于低电平,所述第二薄膜晶体管关闭,并对所述第一电容充电,所述第四薄膜晶体管关闭,所述第五薄膜晶体管关闭,所述第二电容放电使所述第六薄膜晶体管开启,所述第七薄膜晶体管关闭;

[0087] 所述第九薄膜晶体管关闭,所述第十薄膜晶体管关闭,所述第三电容放电使所述第三薄膜晶体管开启,所述低电平信号传输至所述信号输出端;

[0088] 第五阶段

[0089] 所述起始信号输入端输入的起始信号、所述第一时钟信号输入端输入的第一时钟信号和所述第三时钟信号输入端输入的第三时钟信号为低电平,所述第二时钟信号输入端输入的第二时钟信号为高电平;

[0090] 所述第一薄膜晶体管关闭,所述第八薄膜晶体管关闭,所述第二电容放电使所述

第六薄膜晶体管开启,所述第七薄膜晶体管开启,所述低电平信号传输至所述第一节点,所述第一节点处于低电平,所述第二薄膜晶体管关闭,并对所述第一电容充电,所述第四薄膜晶体管关闭,所述第五薄膜晶体管关闭;

[0091] 所述第九薄膜晶体管关闭,所述第十薄膜晶体管关闭,所述第三电容放电使所述第三薄膜晶体管开启,所述低电平信号传输至所述信号输出端;

[0092] 第六阶段

[0093] 所述起始信号输入端输入的起始信号、所述第一时钟信号输入端输入的第一时钟信号和所述第二时钟信号输入端输入的第二时钟信号为低电平,所述第三时钟信号输入端输入的第三时钟信号为高电平;

[0094] 所述第一薄膜晶体管关闭,所述第八薄膜晶体管开启,所述低电平信号传输至所述第一节点,所述第一节点处于低电平,所述第二薄膜晶体管关闭,并对所述第一电容充电,所述第四薄膜晶体管关闭,所述第五薄膜晶体管开启,所述高电平信号传输至所述第三节点,所述第三节点处于高电平,所述第六薄膜晶体管开启,并对所述第二电容充电,所述第七薄膜晶体管关闭;

[0095] 所述第九薄膜晶体管关闭,所述第十薄膜晶体管开启,所述高电平信号传输至所述第二节点,所述第三薄膜晶体管开启,所述低电平信号传输至所述信号输出端,并对所述第三电容充电;

[0096] 其中,所述第一薄膜晶体管至所述第十薄膜晶体管均为n型薄膜晶体管。

[0097] 本发明实施例提供了一种移位寄存器的驱动方法,该驱动方法包括:通过输入模块控制起始信号输入端和第一节点之间的信号输入;通过输出模块控制信号输出端的信号输出;通过输出控制模块控制输出模块,输出控制模块包括第一控制单元和第二控制单元,输出模块包括第一输出单元和第二输出单元,其中,通过第一控制单元控制第一节点的电平,第一节点控制第一输出单元,通过第二控制单元控制第二节点的电平,第二节点控制第二输出单元,从而能够稳定第一节点和第二节点的电平,降低输出模块关联的时钟信号的变化对输出信号的影响,改善移位寄存器的输出效果。

## 附图说明

[0098] 为了更清楚地说明本发明实施例或现有技术中的技术方案,下面将对实施例描述中所需要使用的附图作简单地介绍,显而易见地,下面描述中的附图仅仅是本发明的一些实施例,对于本领域普通技术人员来讲,在不付出创造性劳动的前提下,还可以根据这些附图获得其他的附图。

[0099] 图1为现有技术中移位寄存器的电路示意图;

[0100] 图2为现有技术中移位寄存器的驱动过程的时序图;

[0101] 图3为本发明实施例提供的第一种移位寄存器的电路示意图;

[0102] 图4为本发明实施例提供的第二种移位寄存器的电路示意图;

[0103] 图5为本发明实施例提供的第一种移位寄存器的驱动过程的时序图;

[0104] 图6为本发明实施例提供的第二种移位寄存器的驱动过程的时序图。

[0105] 附图标记说明:

[0106] 1—输入模块; 2—输出模块; 21—第一输出单元;

[0107] 22—第二输出单元;3—输出控制模块;31—第一控制单元;

[0108] 32—第二控制单元。

### 具体实施方式

[0109] 下面将结合本发明实施例中的附图,对本发明实施例中的技术方案进行清楚、完整地描述,显然,所描述的实施例是本发明一部分实施例,而不是全部的实施例。基于本发明中的实施例,本领域普通技术人员在没有做出创造性劳动前提下所获得的所有其他实施例,都属于本发明保护的范围。

[0110] 实施例一

[0111] 本发明实施例提供了一种移位寄存器,如图3和图4所示,该移位寄存器包括输入模块1、输出模块2和输出控制模块3。

[0112] 具体地,输入模块1控制起始信号输入端STV和第一节点P之间的信号传输。

[0113] 输出模块2控制信号输出端OUTPUT的信号输出,输出模块2包括第一输出单元21和第二输出单元22,其中,第一输出单元21连接第一节点P,第一节点P控制第一输出单元21,第一输出单元21控制第二时钟信号输入端CK2和信号输出端OUTPUT之间的信号传输,第二输出单元22连接第二节点Q,第二节点Q控制第二输出单元22,第二输出单元22控制高电平信号输入端VGH和信号输出端OUTPUT之间的信号传输。

[0114] 输出控制模块3包括第一控制单元31和第二控制单元32,其中,第一控制单元31控制第一节点P的电平,第二控制单元32控制第二节点Q的电平。此时,当第二时钟信号输入端CK2输入的第二时钟信号在高电平和低电平之间变化时,第一控制单元31能够稳定第一节点P的电平,从而降低第二时钟信号时钟信号的变化对输出信号的影响,改善移位寄存器的输出效果。

[0115] 为了便于本领域技术人员理解,本发明实施例提供了以上所述的各个模块和单元的具体的结构:

[0116] 可选地,如图3和图4所示,输入模块1包括第一薄膜晶体管M1,第一薄膜晶体管M1为p型薄膜晶体管或者n型薄膜晶体管,第一薄膜晶体管M1的栅极连接第一时钟信号输入端CK1,源极连接起始信号输入端STV,漏极连接第一节点P,从而可以通过第一时钟信号输入端CK1输入的第一时钟信号,控制第一薄膜晶体管M1的开启和关闭,从而控制起始信号输入端STV和第一节点P之间的信号传输。

[0117] 可选地,如图3和图4所示,第一输出单元21包括第二薄膜晶体管M2,第二薄膜晶体管M2为p型薄膜晶体管或者n型薄膜晶体管,第二薄膜晶体管M2的栅极连接第一节点P,源极连接信号输出端OUTPUT,漏极连接第二时钟信号输入端CK2,从而可以通过第一节点P的电平,控制第二薄膜晶体管M2的开启和关闭,从而控制第二时钟信号输入端CK2和信号输出端OUTPUT之间的信号传输。

[0118] 可选地,如图3和图4所示,第二输出单元22包括第三薄膜晶体管M3,当第三薄膜晶体管M3为p型薄膜晶体管时,如图3所示,第三薄膜晶体管M3的栅极连接第二节点Q,源极连接高电平信号输入端VGH,漏极连接信号输出端OUTPUT,从而可以通过第二节点Q的电平,控制第三薄膜晶体管M3的开启和关闭,从而控制高电平信号输入端VGH和信号输出端OUTPUT之间的信号传输。

[0119] 当第三薄膜晶体管M3为n型薄膜晶体管时,如图4所示,第三薄膜晶体管M3的栅极连接第二节点Q,源极连接低电平信号输入端VGL,漏极连接信号输出端OUTPUT,从而可以通过第二节点Q的电平,控制第三薄膜晶体管M3的开启和关闭,从而控制低电平信号输入端VGL和信号输出端OUTPUT之间的信号传输。

[0120] 可选地,如图3和图4所示,第一控制单元31包括第四薄膜晶体管M4、第五薄膜晶体管M5、第六薄膜晶体管M6、第七薄膜晶体管M7、第八薄膜晶体管M8、第一电容C1和第二电容C2。

[0121] 当第四至第八薄膜晶体管均为p型薄膜晶体管时,如图3所示,第四薄膜晶体管M4的栅极连接第一节点P,源极连接第三节点R,漏极连接高电平信号输入端VGH,从而可以通过第一节点P的电平,控制第四薄膜晶体管M4的开启和关闭,从而控制高电平信号输入端VGH和第三节点R之间的信号传输。

[0122] 第五薄膜晶体管M5的栅极连接第三时钟信号输入端CK3,源极连接第三节点R,漏极连接低电平信号输入端VGL,从而可以通过第三时钟信号,控制第五薄膜晶体管M5的开启和关闭,从而控制低电平信号输入端VGL和第三节点R之间的信号传输。

[0123] 第六薄膜晶体管M6的栅极连接第三节点R,源极连接第七薄膜晶体管M7的漏极,漏极连接高电平信号输入端VGH,从而可以通过第三节点R的电平,控制第六薄膜晶体管M6的开启和关闭,从而控制高电平信号输入端VGH和第七薄膜晶体管M7的漏极之间的信号传输。

[0124] 第七薄膜晶体管M7的栅极连接第二时钟信号输入端CK2,源极连接第一节点P,漏极连接第六薄膜晶体管M6的源极,从而可以通过第二时钟信号,控制第七薄膜晶体管M7的开启和关闭,从而控制第一节点P和第六薄膜晶体管M6的源极之间的信号传输。

[0125] 第八薄膜晶体管M8的栅极连接第三时钟信号输入端CK3,源极连接高电平信号输入端VGH,漏极连接第一节点P,从而可以通过第三时钟信号,控制第八薄膜晶体管M8的开启和关闭,从而控制高电平信号输入端VGH和第一节点P之间的信号传输。

[0126] 第一电容C1的一端连接信号输出端OUTPUT,另一端连接第一节点P,从而可以通过第一电容C1控制第一节点P的电平。

[0127] 第二电容C2的一端连接第三节点R,另一端连接高电平信号输入端VGH,从而可以通过第二电容C2控制第三节点R的电平。

[0128] 当第四至第八薄膜晶体管均为n型薄膜晶体管时,如图4所示,第四薄膜晶体管M4的栅极连接第一节点P,源极连接第三节点R,漏极连接低电平信号输入端VGL,从而可以通过第一节点P的电平,控制第四薄膜晶体管M4的开启和关闭,从而控制低电平信号输入端VGL和第三节点R之间的信号传输。

[0129] 第五薄膜晶体管M5的栅极连接第三时钟信号输入端CK3,源极连接第三节点R,漏极连接高电平信号输入端VGH,从而可以通过第三时钟信号控制第五薄膜晶体管M5的开启和关闭,从而控制高电平信号输入端VGH和第三节点R之间的信号传输。

[0130] 第六薄膜晶体管M6的栅极连接第三节点R,源极连接第七薄膜晶体管M7的漏极,漏极连接低电平信号输入端VGL,从而可以通过第三节点R的电平,控制第六薄膜晶体管M6的开启和关闭,从而控制低电平信号输入端VGL和第七薄膜晶体管M7的漏极之间的信号传输。

[0131] 第七薄膜晶体管M7的栅极连接第二时钟信号输入端CK2,源极连接第一节点P,漏极连接第六薄膜晶体管M6的源极,从而可以通过第二时钟信号控制第七薄膜晶体管M7的开



启和关闭,从而控制第一节点P和第六薄膜晶体管M6的源极之间的信号传输。

[0132] 第八薄膜晶体管M8的栅极连接第三时钟信号输入端CK3,源极连接低电平信号输入端VGL,漏极连接第一节点P,从而可以通过第三时钟信号控制第八薄膜晶体管M8的开启和关闭,从而控制低电平信号输入端VGL和第一节点P之间的信号传输。

[0133] 第一电容C1的一端连接信号输出端OUTPUT,另一端连接第一节点P,从而可以通过第一电容C1控制第一节点P的电平。

[0134] 第二电容C2的一端连接第三节点R,另一端连接低电平信号输入端VGL,从而可以通过第二电容C2控制第三节点R的电平。

[0135] 可选地,如图3和图4所示,第二控制单元32包括第九薄膜晶体管M9、第十薄膜晶体管M10和第三电容C3。

[0136] 当第九、第十薄膜晶体管均为p型薄膜晶体管时,如图3所示,第九薄膜晶体管M9的栅极连接第一节点P,源极连接起始信号输入端,漏极连接第二节点

[0137] 第十薄膜晶体管M10的栅极连接第三时钟信号输入端CK3,源极连接第二节点Q,漏极连接低电平信号输入端VGL,从而可以通过第三时钟信号,控制第十薄膜晶体管M10的开启和关闭,从而控制低电平信号输入端VGL和第二节点Q之间的信号传输。

[0138] 第三电容C3的一端连接第二节点Q,另一端连接高电平信号输入端VGH,从而可以通过第三电容C3控制第二节点Q的电平。

[0139] 当第九、第十薄膜晶体管均为n型薄膜晶体管时,如图4所示,第九薄膜晶体管M9的栅极连接第一节点P,源极连接起始信号输入端STV,漏极连接第二节点Q,从而可以通过第一节点P的电平,控制第九薄膜晶体管M9的开启和关闭,从而控制起始信号输入端STV和第二节点Q之间的信号传输。

[0140] 第十薄膜晶体管M10的栅极连接第三时钟信号输入端CK3,源极连接第二节点Q,漏极连接高电平信号输入端VGH,从而可以通过第三时钟信号,控制第十薄膜晶体管M10的开启和关闭,从而控制高电平信号输入端VGH和第二节点Q之间的信号传输。

[0141] 第三电容C3的一端连接第二节点Q,另一端连接低电平信号输入端VGL,从而可以通过第三电容C3控制第二节点Q的电平。

[0142] 需要说明的是,本发明实施例中的移位寄存器中的所有薄膜晶体管均为同种类型的薄膜晶体管,即,图3中的第一至第十薄膜晶体管均为p型薄膜晶体管,图4中的第一至第十薄膜晶体管均为n型薄膜晶体管。

[0143] 本发明实施例提供了一种移位寄存器,该移位寄存器包括:输入模块、输出模块和输出控制模块;输入模块控制起始信号输入端和第一节点之间的信号传输;输出模块控制信号输出端的信号输出,输出模块包括第一输出单元和第二输出单元,其中,第一输出单元连接第一节点,第一节点控制第二时钟信号输入端和信号输出端之间的信号传输,第二输出单元连接第二节点,第二节点控制高电平信号输入端和信号输出端之间的信号传输;输出控制模块包括第一控制单元和第二控制单元,其中,第一控制单元控制第一节点的电平,第二控制单元控制第二节点的电平,从而能够稳定第一节点和第二节点的电平,降低输出模块关联的时钟信号的变化对输出信号的影响,改善移位寄存器的输出效果。

[0144] 此外,本发明实施例还提供了一种栅极驱动电路,该栅极驱动电路包括多个相互级联的以上任一项所述的移位寄存器。

[0145] 本发明实施例还提供了一种显示装置,该显示装置包括以上所述的栅极驱动电路。该显示装置可以为:液晶面板、平板电脑、电视机、显示器、笔记本电脑、电子纸、手机、数码相机、导航仪等任何具有显示功能的产品或部件。

[0146] 实施例二

[0147] 本发明实施例提供了一种实施例一所述的移位寄存器的驱动方法,该移位寄存器的驱动方法包括:

[0148] 通过输入模块1控制起始信号输入端STV和第一节点P之间的信号传输。

[0149] 通过输出模块2控制信号输出端OUTPUT的信号输出。

[0150] 通过输出控制模块3控制输出模块2。

[0151] 其中,输出控制模块3包括第一控制单元31和第二控制单元32,输出模块2包括第一输出单元21和第二输出单元22,其中,通过第一控制单元31控制第一节点P的电平,第一节点P控制第一输出单元21,通过第二控制单元32控制第二节点Q的电平,第二节点Q控制第二输出单元22,从而能够稳定第一节点P和第二节点Q的电平,降低输出模块2关联的时钟信号的变化对输出信号的影响,改善移位寄存器的输出效果。

[0152] 具体地,如图3所示的移位寄存器的驱动方法分为六个阶段,驱动过程的时序图如图5所示,此时,第一至第十薄膜晶体管均为p型薄膜晶体管,即栅极上施加的信号为低电平信号时开启,高电平信号时关闭的薄膜晶体管。

[0153] 第一阶段 $t_1$ :

[0154] 如图5所示,第二时钟信号输入端CK2输入的第二时钟信号和第三时钟信号输入端CK3输入的第三时钟信号为高电平,起始信号输入端STV输入的起始信号和第一时钟信号输入端CK1输入的第一时钟信号为低电平。

[0155] 此时,第一薄膜晶体管M1开启,起始信号传输至第一节点P,第八薄膜晶体管M8关闭,第一节点P处于低电平,第二薄膜晶体管M2开启,第二时钟信号传输至信号输出端OUTPUT,并对第一电容C1充电,第四薄膜晶体管M4开启,高电平信号输入端VGH输入的高电平信号传输至第三节点R,第三节点R处于高电平,第六薄膜晶体管M6关闭,并对第二电容C2充电,第五薄膜晶体管M5关闭,第七薄膜晶体管M7关闭。由于第六薄膜晶体管M6和第七薄膜晶体管M7均关闭,从而使得高电平信号输入端VGH输入的高电平信号无法传输至第一节点P,进而不会影响第二薄膜晶体管M2的栅极上施加的信号。

[0156] 第九薄膜晶体管M9开启,第十薄膜晶体管M10关闭,起始信号传输至第二节点Q,第二节点Q处于低电平,第三薄膜晶体管M3开启,高电平信号输入端VGH的高电平信号传输至信号输出端OUTPUT,从而进一步稳定信号输出端OUTPUT上输出的高电平信号,并对第三电容C3充电。

[0157] 第二阶段 $t_2$ :

[0158] 如图5所示,起始信号输入端STV输入的起始信号、第一时钟信号输入端CK1输入的第一时钟信号和第三时钟信号输入端CK3输入的第三时钟信号为高电平,第二时钟信号输入端CK2输入的第二时钟信号为低电平。

[0159] 此时,第一薄膜晶体管M1关闭,第八薄膜晶体管M8关闭,第二薄膜晶体管M2的栅极和漏极之间的耦合电容使第一节点P的电平继续降低,且第一电容C1放电使第二薄膜晶体管M2开启,第二时钟信号传输至信号输出端OUTPUT,第四薄膜晶体管M4开启,高电平信号传

输至第三节点R,第三节点R处于高电平,第二电容C2放电使第六薄膜晶体管M6关闭,第五薄膜晶体管M5关闭,第七薄膜晶体管M7开启。由于第六薄膜晶体管M6关闭,因此,即使第七薄膜晶体管M7开启,高电平信号输入端VGH输入的高电平信号也无法传输至第一节点P,进而不会影响第二薄膜晶体管M2的栅极上施加的信号。

[0160] 第九薄膜晶体管M9开启,起始信号传输至第二节点Q,第十薄膜晶体管M10关闭,第三电容C3放电使第三薄膜晶体管M3开启,高电平信号传输至信号输出端OUTPUT。

[0161] 在第二阶段中,信号输出端OUTPUT的输出信号为高电平信号和第二时钟信号之和,从而第二阶段中输出信号的电平较低。

[0162] 第三阶段 $t_3$ :

[0163] 如图5所示,起始信号输入端STV输入的起始信号、第一时钟信号输入端CK1输入的第一时钟信号和第二时钟信号输入端CK2输入的第二时钟信号为高电平,第三时钟信号输入端CK3输入的第三时钟信号为低电平。

[0164] 此时,第一薄膜晶体管M1关闭,第八薄膜晶体管M8开启,高电平信号传输至第一节点P,第一节点P处于高电平,第二薄膜晶体管M2关闭,并对第一电容C1充电,第四薄膜晶体管M4关闭,第五薄膜晶体管M5开启,低电平信号输入端VGL输入的低电平信号传输至第三节点R,第三节点R处于低电平,第六薄膜晶体管M6开启,并对第二电容C2充电,第七薄膜晶体管M7关闭。由于第七薄膜晶体管M7关闭,因此,即使第六薄膜晶体管M6开启,高电平信号输入端VGH输入的高电平信号仍然无法传输至第一节点P。

[0165] 第九薄膜晶体管M9关闭,第十薄膜晶体管M10开启,低电平信号传输至第二节点Q,第三薄膜晶体管M3开启,高电平信号传输至信号输出端OUTPUT,并对第三电容C3充电。

[0166] 第四阶段 $t_4$ :

[0167] 如图5所示,起始信号输入端STV输入的起始信号、第二时钟信号输入端CK2输入的第二时钟信号和第三时钟信号输入端CK3输入的第三时钟信号为高电平,第一时钟信号输入端CK1输入的第一时钟信号为低电平。

[0168] 此时,第一薄膜晶体管M1开启,起始信号传输至第一节点P,第八薄膜晶体管M8关闭,第一节点P处于高电平,第二薄膜晶体管M2关闭,并对第一电容C1充电,第四薄膜晶体管M4关闭,第五薄膜晶体管M5关闭,第二电容C2放电使第六薄膜晶体管M6开启,第七薄膜晶体管M7关闭。由于第七薄膜晶体管M7关闭,因此,即使第六薄膜晶体管M6开启,高电平信号输入端VGH输入的高电平信号仍然无法传输至第一节点P。

[0169] 第九薄膜晶体管M9关闭,第十薄膜晶体管M10关闭,第三电容C3放电使第三薄膜晶体管M3开启,高电平信号传输至信号输出端OUTPUT。

[0170] 第五阶段 $t_5$ :

[0171] 如图5所示,起始信号输入端STV输入的起始信号、第一时钟信号输入端CK1输入的第一时钟信号和第三时钟信号输入端CK3输入的第三时钟信号为高电平,第二时钟信号输入端CK2输入的第二时钟信号为低电平。

[0172] 此时,第一薄膜晶体管M1关闭,第八薄膜晶体管M8关闭,第二电容C2放电使第六薄膜晶体管M6开启,第七薄膜晶体管M7开启,高电平信号传输至第一节点P,第一节点P处于高电平,第二薄膜晶体管M2关闭,并对第一电容C1充电,第四薄膜晶体管M4关闭,第五薄膜晶体管M5关闭。此时,由于第六薄膜晶体管M6开启,第七薄膜晶体管M7开启,高电平信号能够

传输至第一节点P,维持第一节点P的高电平,从而使得第二时钟信号由高电平变为低电平时,第二薄膜晶体管M2的栅极和漏极之间的耦合电容不会影响在第二薄膜晶体管M2的栅极上施加的信号。

[0173] 第九薄膜晶体管M9关闭,第十薄膜晶体管M10关闭,第三电容C3放电使第三薄膜晶体管M3开启,高电平信号传输至信号输出端OUTPUT。

[0174] 第六阶段 $t_6$ :

[0175] 如图5所示,起始信号输入端STV输入的起始信号、第一时钟信号输入端CK1输入的第一时钟信号和第二时钟信号输入端CK2输入的第二时钟信号为高电平,第三时钟信号输入端CK3输入的第三时钟信号为低电平。

[0176] 此时,第一薄膜晶体管M1关闭,第八薄膜晶体管M8开启,高电平信号传输至第一节点P,第一节点P处于高电平,第二薄膜晶体管M2关闭,并对第一电容C1充电,第四薄膜晶体管M4关闭,第五薄膜晶体管M5开启,低电平信号传输至第三节点R,第三节点R处于低电平,第六薄膜晶体管M6开启,并对第二电容C2充电,第七薄膜晶体管M7关闭。其中,对第二电容C2充电的目的在于,使第二电容C2在下一个第二时钟信号为低电平时能够稳定地维持第六薄膜晶体管M6的开启,从而使得第六薄膜晶体管M6和第七薄膜晶体管M7能够在第二时钟信号为低电平同时打开,进而将高电平信号传输至第一节点P,以避免第二时钟信号在高电平和低电平之间变化时,影响在第二薄膜晶体管M2的栅极上施加的信号,从而稳定第二薄膜晶体管M2的关闭,稳定信号输出端OUTPUT上的信号输出,改善移位寄存器的输出效果。

[0177] 第九薄膜晶体管M9关闭,第十薄膜晶体管M10开启,低电平信号传输至第二节点Q,第三薄膜晶体管M3开启,高电平信号传输至信号输出端OUTPUT,并对第三电容C3充电。

[0178] 需要补充的是,在第一至第六阶段结束后,移位寄存器将会重复第四至第六阶段,直至下一次起始信号输入端STV输入的起始信号为低电平时,再从第一阶段开始。

[0179] 具体地,如图4所示的移位寄存器的驱动方法分为六个阶段,驱动过程的时序图如图6所示,此时,第一至第十薄膜晶体管均为n型薄膜晶体管,即栅极上施加的信号为高电平时开启,低电平信号时关闭的薄膜晶体管。

[0180] 第一阶段 $t_1$ :

[0181] 如图6所示,第二时钟信号输入端CK2输入的第二时钟信号和第三时钟信号输入端CK3输入的第三时钟信号为低电平,起始信号输入端STV输入的起始信号和第一时钟信号输入端CK1输入的第一时钟信号为高电平。

[0182] 此时,第一薄膜晶体管M1开启,起始信号传输至第一节点P,第八薄膜晶体管M8关闭,第一节点P处于高电平,第二薄膜晶体管M2开启,第二时钟信号传输至信号输出端OUTPUT,并对第一电容C1充电,第四薄膜晶体管M4开启,低电平信号输入端VGL输入的低电平信号传输至第三节点R,第三节点R处于低电平,第六薄膜晶体管M6关闭,并对第二电容C2充电,第五薄膜晶体管M5关闭,第七薄膜晶体管M7关闭。由于第六薄膜晶体管M6和第七薄膜晶体管M7均关闭,从而使得低电平信号输入端VGL输入的低电平信号无法传输至第一节点P,进而不会影响第二薄膜晶体管M2的栅极上施加的信号。

[0183] 第九薄膜晶体管M9开启,第十薄膜晶体管M10关闭,起始信号传输至第二节点Q,第二节点Q处于高电平,第三薄膜晶体管M3开启,低电平信号输入端VGL的低电平信号传输至信号输出端OUTPUT,从而进一步稳定信号输出端OUTPUT上输出的低电平信号,并对第三电

容C3充电。

[0184] 第二阶段 $t_2$ :

[0185] 如图6所示,起始信号输入端STV输入的起始信号、第一时钟信号输入端CK1输入的第一时钟信号和第三时钟信号输入端CK3输入的第三时钟信号为低电平,第二时钟信号输入端CK2输入的第二时钟信号为高电平。

[0186] 此时,第一薄膜晶体管M1关闭,第八薄膜晶体管M8关闭,第二薄膜晶体管M2的栅极和漏极之间的耦合电容使第一节点P的电平继续升高,且第一电容C1放电使第二薄膜晶体管M2开启,第二时钟信号传输至信号输出端OUTPUT,第四薄膜晶体管M4开启,低电平信号传输至第三节点R,第三节点R处于低电平,第二电容C2放电使第六薄膜晶体管M6关闭,第五薄膜晶体管M5关闭,第七薄膜晶体管M7开启。由于第六薄膜晶体管M6关闭,因此,即使第七薄膜晶体管M7开启,低电平信号输入端VGL输入的低电平信号也无法传输至第一节点P,进而不会影响第二薄膜晶体管M2的栅极上施加的信号。

[0187] 第九薄膜晶体管M9开启,起始信号传输至第二节点Q,第十薄膜晶体管M10关闭,第三电容C3放电使第三薄膜晶体管M3开启,低电平信号传输至信号输出端OUTPUT。

[0188] 在第二阶段中,信号输出端OUTPUT的输出信号为低电平信号和第二时钟信号之和,从而第二阶段中输出信号的电平较高。

[0189] 第三阶段 $t_3$ :

[0190] 如图6所示,起始信号输入端STV输入的起始信号、第一时钟信号输入端CK1输入的第一时钟信号和第二时钟信号输入端CK2输入的第二时钟信号为低电平,第三时钟信号输入端CK3输入的第三时钟信号为高电平。

[0191] 此时,第一薄膜晶体管M1关闭,第八薄膜晶体管M8开启,低电平信号传输至第一节点P,第一节点P处于低电平,第二薄膜晶体管M2关闭,并对第一电容C1充电,第四薄膜晶体管M4关闭,第五薄膜晶体管M5开启,高电平信号输入端VGH输入的高电平信号传输至第三节点R,第三节点R处于高电平,第六薄膜晶体管M6开启,并对第二电容C2充电,第七薄膜晶体管M7关闭。由于第七薄膜晶体管M7关闭,因此,即使第六薄膜晶体管M6开启,低电平信号输入端VGL输入的低电平信号仍然无法传输至第一节点P。

[0192] 第九薄膜晶体管M9关闭,第十薄膜晶体管M10开启,高电平信号传输至第二节点Q,第三薄膜晶体管M3开启,低电平信号传输至信号输出端OUTPUT,并对第三电容C3充电。

[0193] 第四阶段 $t_4$ :

[0194] 如图6所示,起始信号输入端STV输入的起始信号、第二时钟信号输入端CK2输入的第二时钟信号和第三时钟信号输入端CK3输入的第三时钟信号为低电平,第一时钟信号输入端CK1输入的第一时钟信号为高电平。

[0195] 此时,第一薄膜晶体管M1开启,起始信号传输至第一节点P,第八薄膜晶体管M8关闭,第一节点P处于低电平,第二薄膜晶体管M2关闭,并对第一电容C1充电,第四薄膜晶体管M4关闭,第五薄膜晶体管M5关闭,第二电容C2放电使第六薄膜晶体管M6开启,第七薄膜晶体管M7关闭。由于第七薄膜晶体管M7关闭,因此,即使第六薄膜晶体管M6开启,低电平信号输入端VGL输入的低电平信号仍然无法传输至第一节点P。

[0196] 第九薄膜晶体管M9关闭,第十薄膜晶体管M10关闭,第三电容C3放电使第三薄膜晶体管M3开启,低电平信号传输至信号输出端OUTPUT。

[0197] 第五阶段 $t_5$ :

[0198] 如图6所示,起始信号输入端STV输入的起始信号、第一时钟信号输入端CK1输入的第一时钟信号和第三时钟信号输入端CK3输入的第三时钟信号为低电平,第二时钟信号输入端CK2输入的第二时钟信号为高电平。

[0199] 此时,第一薄膜晶体管M1关闭,第八薄膜晶体管M8关闭,第二电容C2放电使第六薄膜晶体管M6开启,第七薄膜晶体管M7开启,低电平信号传输至第一节点P,第一节点P处于低电平,第二薄膜晶体管M2关闭,并对第一电容C1充电,第四薄膜晶体管M4关闭,第五薄膜晶体管M5关闭。此时,由于第六薄膜晶体管M6开启,第七薄膜晶体管M7开启,低电平信号能够传输至第一节点P,维持第一节点P的低电平,从而使得第二时钟信号由低电平变为高电平时,第二薄膜晶体管M2的栅极和漏极之间的耦合电容不会影响在第二薄膜晶体管M2的栅极上施加的信号。

[0200] 第九薄膜晶体管M9关闭,第十薄膜晶体管M10关闭,第三电容C3放电使第三薄膜晶体管M3开启,低电平信号传输至信号输出端OUTPUT。

[0201] 第六阶段 $t_6$ :

[0202] 如图6所示,起始信号输入端STV输入的起始信号、第一时钟信号输入端CK1输入的第一时钟信号和第二时钟信号输入端CK2输入的第二时钟信号为低电平,第三时钟信号输入端CK3输入的第三时钟信号为高电平。

[0203] 此时,第一薄膜晶体管M1关闭,第八薄膜晶体管M8开启,低电平信号传输至第一节点P,第一节点P处于低电平,第二薄膜晶体管M2关闭,并对第一电容C1充电,第四薄膜晶体管M4关闭,第五薄膜晶体管M5开启,高电平信号传输至第三节点R,第三节点R处于高电平,第六薄膜晶体管M6开启,并对第二电容C2充电,第七薄膜晶体管M7关闭。其中,对第二电容C2充电的目的在于,使第二电容C2在下一个第二时钟信号为高电平时能够稳定地维持第六薄膜晶体管M6的开启,从而使得第六薄膜晶体管M6和第七薄膜晶体管M7能够在第二时钟信号为高电平时同时打开,进而将低电平信号传输至第一节点P,以避免第二时钟信号在低电平和高电平之间变化时,影响在第二薄膜晶体管M2的栅极上施加的信号,从而稳定第二薄膜晶体管M2的关闭,稳定信号输出端OUTPUT上的信号输出,改善移位寄存器的输出效果。

[0204] 第九薄膜晶体管M9关闭,第十薄膜晶体管M10开启,高电平信号传输至第二节点Q,第三薄膜晶体管M3开启,低电平信号传输至信号输出端OUTPUT,并对第三电容C3充电。

[0205] 需要补充的是,在第一至第六阶段结束后,移位寄存器将会重复第四至第六阶段,直至下一次起始信号输入端STV输入的起始信号为高电平时,再从第一阶段开始。

[0206] 本发明实施例提供了一种移位寄存器的驱动方法,该驱动方法包括:通过输入模块控制起始信号输入端和第一节点之间的信号输入;通过输出模块控制信号输出端的信号输出;通过输出控制模块控制输出模块,输出控制模块包括第一控制单元和第二控制单元,输出模块包括第一输出单元和第二输出单元,其中,通过第一控制单元控制第一节点的电平,第一节点控制第一输出单元,通过第二控制单元控制第二节点的电平,第二节点控制第二输出单元,从而能够稳定第一节点和第二节点的电平,降低输出模块关联的时钟信号的变化对输出信号的影响,改善移位寄存器的输出效果。

[0207] 通过以上的实施方式的描述,所属领域的技术人员可以清楚地了解到本发明可借助软件加必需的通用硬件的方式来实现,当然也可以通过硬件,但很多情况下前者是更佳

的实施方式。基于这样的理解,本发明的技术方案本质上或者说对现有技术做出贡献的部分可以以软件产品的形式体现出来,该计算机软件产品存储在可读取的存储介质中,如计算机的软盘,硬盘或光盘等,包括若干指令用以使得一台计算机设备(可以是个人计算机,服务器,或者网络设备等)执行本发明各个实施例所述的方法。

[0208] 以上所述,仅为本发明的具体实施方式,但本发明的保护范围并不局限于此,任何熟悉本技术领域的技术人员在本发明揭露的技术范围内,可轻易想到变化或替换,都应涵盖在本发明的保护范围之内。因此,本发明的保护范围应以所述权利要求的保护范围为准。





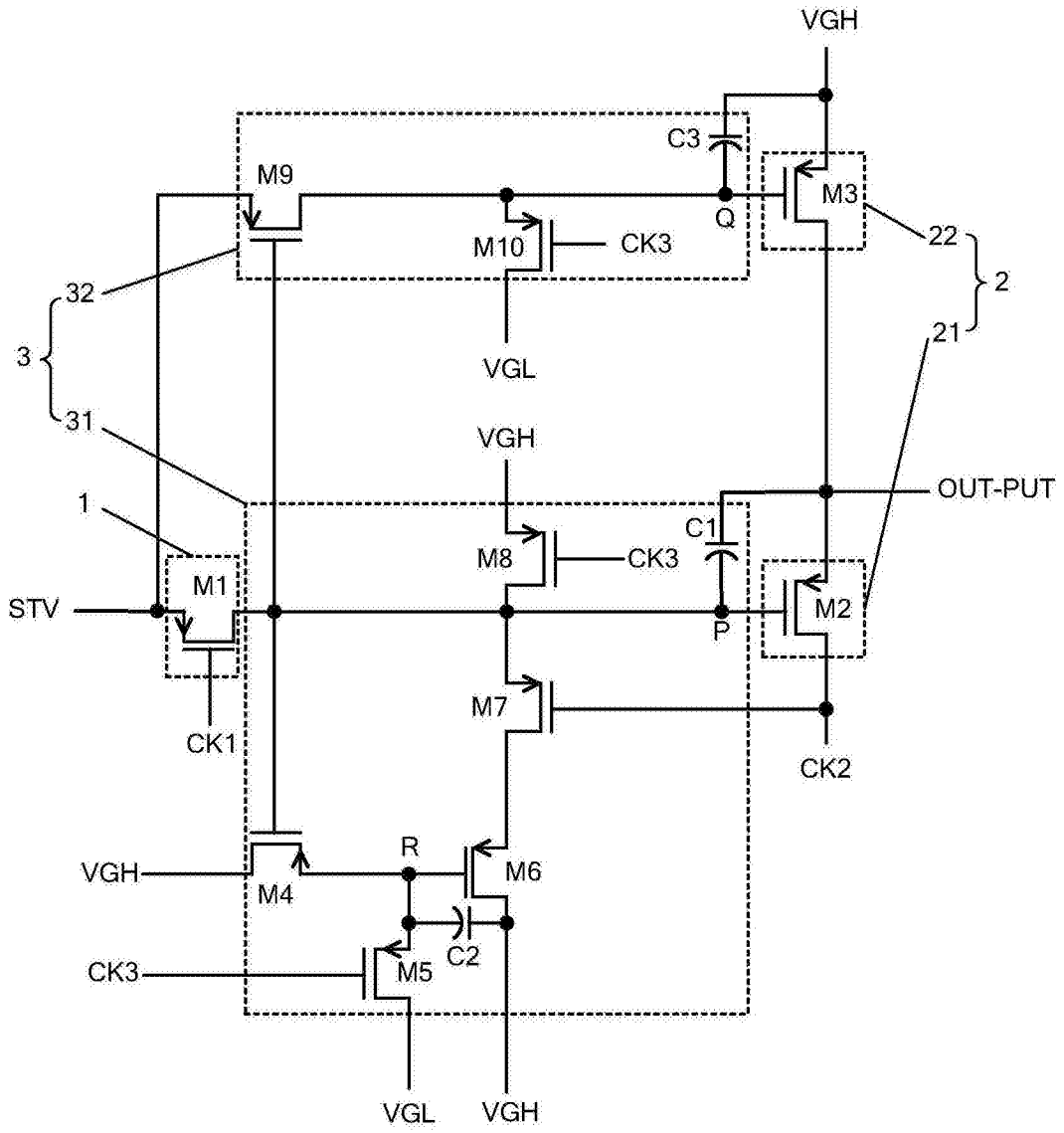


图3



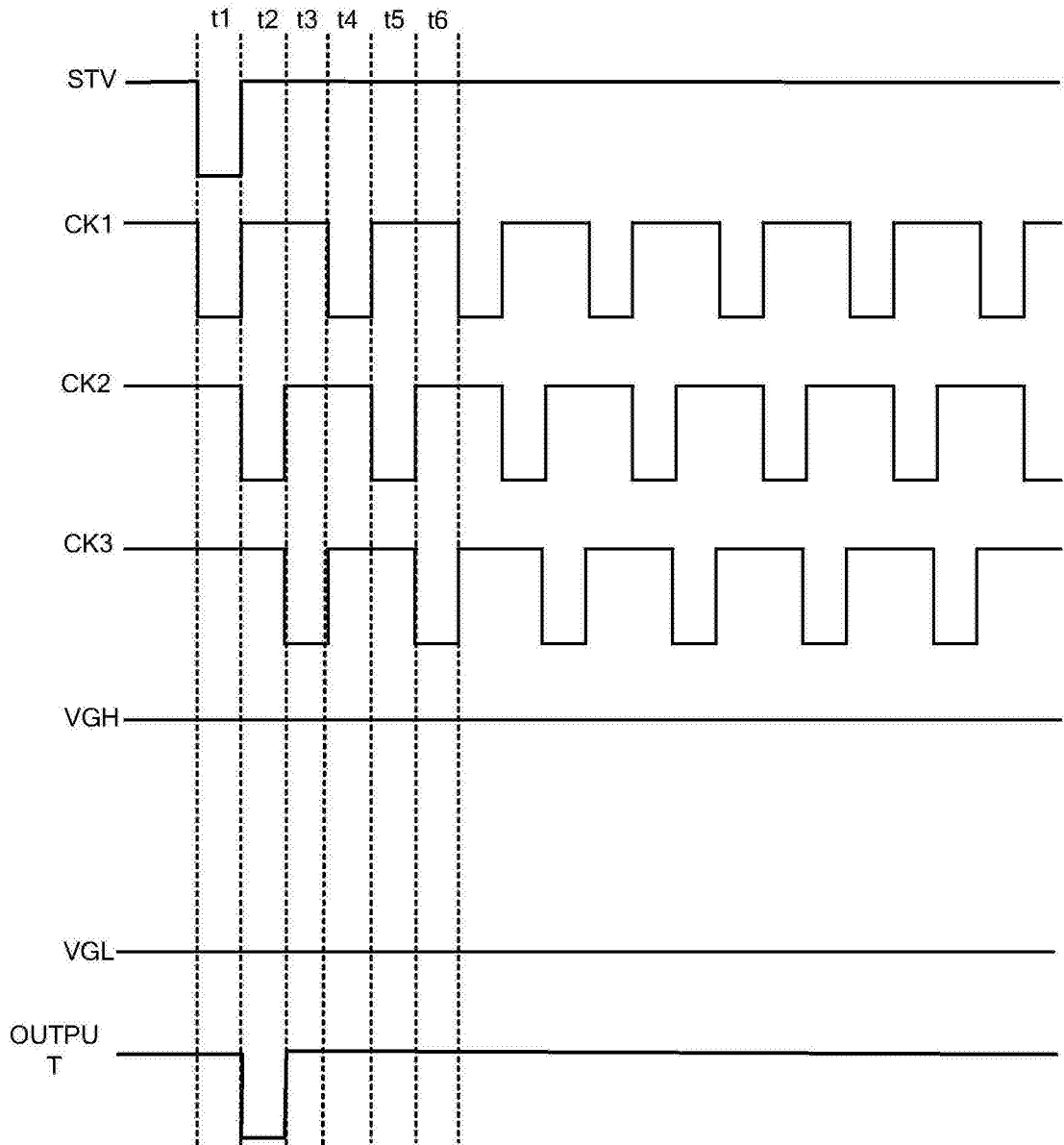


图5

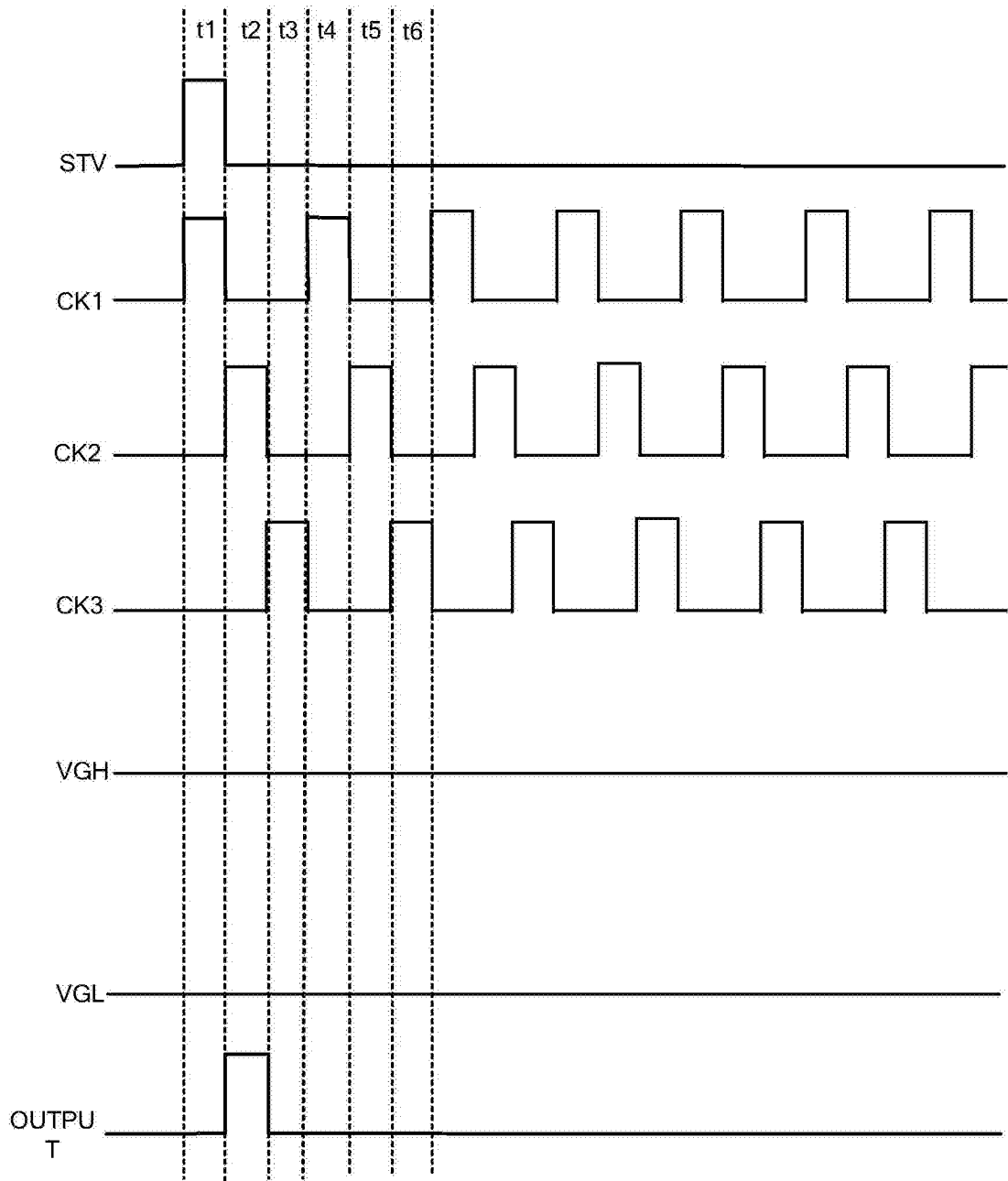


图6