

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関  
国際事務局

(43) 国際公開日  
2012年6月28日(28.06.2012)



(10) 国際公開番号  
WO 2012/086102 A1

- (51) 国際特許分類:  
H01L 21/8238 (2006.01) H01L 29/423 (2006.01)  
H01L 21/28 (2006.01) H01L 29/49 (2006.01)  
H01L 27/092 (2006.01) H01L 29/78 (2006.01)
- (21) 国際出願番号: PCT/JP2011/004170
- (22) 国際出願日: 2011年7月25日(25.07.2011)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:  
特願 2010-287329 2010年12月24日(24.12.2010) JP
- (71) 出願人(米国を除く全ての指定国について): パナソニック株式会社(PANASONIC CORPORATION)  
[JP/JP]; 〒5718501 大阪府門真市大字門真1006番地 Osaka (JP).
- (72) 発明者; および
- (75) 発明者/出願人(米国についてのみ): 松山 征嗣(MATSUYAMA, Seiji).
- (74) 代理人: 前田 弘, 外(MAEDA, Hiroshi et al.); 〒5410053 大阪府大阪市中央区本町2丁目5番7号 大阪丸紅ビル Osaka (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

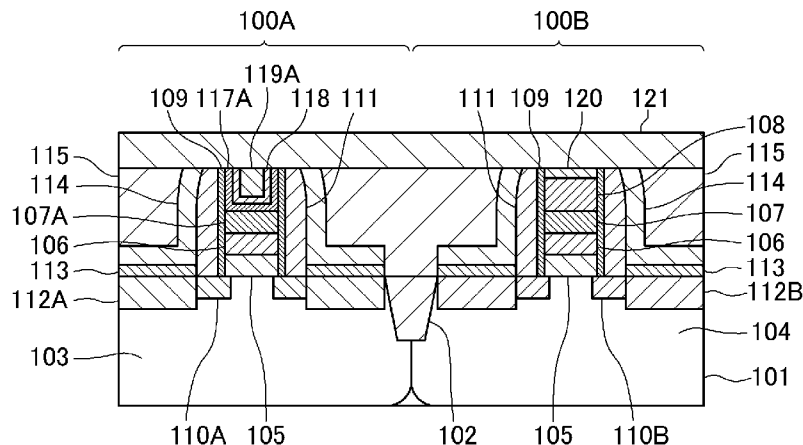
添付公開書類:

- 国際調査報告(条約第21条(3))

(54) Title: SEMICONDUCTOR DEVICE AND METHOD FOR MANUFACTURING SAME

(54) 発明の名称: 半導体装置及びその製造方法

[図4]



(57) Abstract: First, in a state wherein an upper region of a p-type gate stack structure on an interlayer insulating film (115) is masked, a polysilicon film (108) in an n-type gate pattern is removed by having an etch stop film (107) as an etch stop. Then, nitriding treatment is performed to the etch stop film (107) exposed from the interlayer insulating film (115), and a nitrogen-rich etch stop film (107A) is formed. Then, on the etch stop film (107A) in the n-type gate stack structure, an Nch work function metal laminate film (117A) is formed.

(57) 要約: まず、層間絶縁膜(115)の上におけるp型ゲートスタック構造の上側の領域をマスクした状態で、n型ゲートパターンにおけるポリシリコン膜(108)を、エッチストップ膜(107)をエッチストップとして除去する。その後、層間絶縁膜(115)から露出するエッチストップ膜(107)に対して窒素処理を行って、窒素リッチなエッチストップ膜(107A)を形成する。その後、n型ゲートスタック構造におけるエッチストップ膜(107A)の上に、Nch仕事関数メタル積層膜(117A)を形成する。



WO 2012/086102 A1

## 明 細 書

### 発明の名称：半導体装置及びその製造方法

#### 技術分野

[0001] 本発明は、半導体装置及びその製造方法に関し、特に、高誘電率（high-k）膜とメタルゲート電極とが積層されたゲート構造を有するトランジスタを備えた半導体装置及びその製造方法に関する。

#### 背景技術

[0002] トランジスタの動作の高速化及び低消費電力化は、スケーリング則に基づき、トランジスタの微細化により実現されてきている。一般に、トランジスタにおけるゲート絶縁膜とゲート電極との積層材料（ゲート絶縁膜／ゲート電極のゲートスタック材料）として、酸化シリコン（ $\text{SiO}_2$ ）又は酸化窒化シリコン（ $\text{SiON}$ ）／ポリシリコンが用いられているが、ゲートリーク電流の増大により、ゲート絶縁膜を薄膜化することが困難となってきた。そこで、高誘電率（High-k）ゲート絶縁膜とメタルゲート電極とを組み合わせ、High-k／メタルゲート技術が注目されている。

[0003] 例えば、バルクCMOS（相補型MOS：Complementary Metal Oxide Semiconductor）に、メタルゲート電極を適用する場合は、チャンネルへの不純物注入による閾値制御を可能とするために、n型のMOSトランジスタ（nMOS）とp型のMOSトランジスタ（pMOS）とに、互いに異なる仕事関数（work function）を有する金属材料を用いる。このようなゲート構造は、デュアルメタルゲート構造とも呼ばれている。具体的には、nMOSの場合は、シリコンの伝導バンド端の近傍の仕事関数値を有する金属材料を用い、pMOSの場合は、価電子バンド端の近傍の仕事関数値を有する金属材料を用いる。さらには、ランタン（La）系又はアルミニウム（Al）系のキャップ材料と呼ばれる、仕事関数値をシフトする材料を各ゲート電極又はゲート絶縁膜に混入させることにより、nMOS及びpMOSを作り分ける方法も提案されている（例えば、特許文献1を参照。）。

- [0004] ところで、High-k/メタルゲートを用いたトランジスタの製造方法は、MIPS (Metal Inserted Poly-Silicon) といわれる、high-k膜/メタルゲート/ポリシリコン膜を順次成膜し、ゲートエッチを行った後、ソースドレイン拡散層及びシリサイド層を形成する。このような従来型のCMOSプロセスに準じた製造方法は、いわゆるゲートファーストプロセスと呼ばれる。この方法は、比較的複雑な工程は要しないものの、次のような不具合がある。
- [0005] すなわち、メタルゲートを形成した後に、ゲートエッチ、拡散層の形成、活性化アニール等高温熱処理、及びシリサイドの形成等を行なう方法であるが、high-k膜とメタルゲートとからなるスタックゲートの実効仕事関数 ( $eWF$ : effective Work Function) の値が熱負荷によりミッドギャップ側に変化することが知られている。このため、所望のバンド端の近傍の仕事関数値を得ることが困難となる。また、nMOSとpMOSとにそれぞれ異なるキャップ材料を用いた場合も、ゲートエッチを1回で行うため、各MOSの特にゲート絶縁膜の端部におけるゲートエッチ形状を両立させることが難しく、各MOSの信頼性及びナローチャネル特性の劣化等が大きな課題となっている。ここで、実効仕事関数 ( $eWF$ ) とは、メタルゲートのシリコン基板側に作用する実効的な仕事関数をいう。
- [0006] そこで、最初にダミーゲートを形成し、それをマスクとして拡散層、活性化アニール及びシリサイドを形成し、ダミーゲートを除去した後に、メタルゲートを形成するプロセス (以下、ゲートラストプロセスと呼ぶ。) が報告されている (例えば、特許文献2を参照。)。ゲートラストプロセスは、デュアルメタルのインテグレーションを実現し、極めて良好なデバイス特性を得ることができる。特に、ゲートラストプロセスの場合は、実効仕事関数の値を制御するための金属材料を成膜した後に、比較的低温のプロセスでデバイスを形成することができる。このため、スタックゲートの実効的な仕事関数の値をバンド端の近傍に制御することが可能となる。また、ダミーゲート自体は、nMOS及びpMOSとも同一の材料で形成されるため、ゲートエッチ工程における形状の制御もゲートファーストプロセスと比較して難易

度は低い。

## 先行技術文献

## 特許文献

[0007] 特許文献1：特開2007-324594号公報

特許文献2：米国特許出願公開第2010/0052070号明細書

## 発明の概要

### 発明が解決しようとする課題

[0008] しかしながら、前記従来のゲートラストプロセスにも、以下のような問題がある。

[0009] まず、層間絶縁膜からダミーゲートを露出する際の研磨工程、例えば化学機械研磨（CMP：Chemical Mechanical Polishing）法によるゲートの頭だしが必要となり、CMPに起因したゲートの高さのばらつき、すなわち抵抗のばらつき等が懸念される。

[0010] また、ダミーゲートを除去する工程において、high-k膜にダメージが入らないように、該high-k膜の上にエッチストップ膜として金属膜、例えば窒化チタン（TiN）膜があらかじめ形成される必要があり、ダミーゲートを除去した後、TiN膜の上にnMOS用又はpMOS用にそれぞれ適当な電極材料が成膜される。このとき、エッチストップ膜であるTiN膜の表面に酸化物が残留している場合は、先に述べた電極材料を成膜しても、必要な仕事関数値のシフト量を得られないという問題が生じる。

[0011] なお、ゲートラストプロセスにおいて、High-k膜もダミー絶縁膜とし、ダミーゲートを除去した後、ダミー絶縁膜を除去し、High-k膜及び電極膜を成膜する方式も検討されている。しかしながら、工程数が増えて複雑になると共に、ダミー絶縁膜を除去する際の側壁スペーサの端部の下側に生じるサイドエッチ、及びhigh-k膜の焼き締め不足等による特性の劣化及び歩留まりの劣化も懸念される。

[0012] さらに、pMOS側のダミーゲートの上に形成される保護絶縁膜をマス

クとして、ダミーゲートをウェットエッチ法で除去する際に、pMOS側の保護絶縁膜と層間絶縁膜との境界部分から薬液が浸入する場合がある。この浸入した薬液によりpMOS側のダミーゲートに空孔が生じ、生じた空孔からnMOS側の金属材料が混入したり、後工程でpMOS側のダミーゲートを除去する際のダミーゲートの除去性が低下したりして、pMOSの特性劣化が生じるという問題もある。

- [0013] 本発明は、前記の問題を解決し、高誘電率 (high-k) 膜及びメタルゲートを有するトランジスタにおいて、メタルゲートにおける仕事関数及びhigh-k膜における換算膜厚等に所望の特性を持つ半導体装置を実現できるようにすることを目的とする。

#### 課題を解決するための手段

- [0014] 前記の目的を達成するため、本発明は、半導体装置の製造方法を、ダミーゲートを除去してその下のエッチストップ膜を露出した後、露出したエッチストップ膜に窒化処理を施し、高濃度窒化層を形成する構成とする。
- [0015] 具体的に、本発明に係る半導体装置の製造方法は、半導体基板の上に、高誘電率膜、第1の金属膜及びシリコン膜を順次形成する工程 (a) と、シリコン膜、第1の金属膜及び高誘電率膜をエッチングして、第1のゲートパターン及び第2のゲートパターンを形成する工程 (b) と、第1のゲートパターンをマスクとして、半導体基板に第1導電型の第1のソースドレイン領域を形成する工程 (c) と、第2のゲートパターンをマスクとして、半導体基板に第2導電型の第2のソースドレイン領域を形成する工程 (d) と、工程 (c) 及び工程 (d) よりも後に、半導体基板の上に、第1のゲートパターン及び第2のゲートパターンを覆うように層間絶縁膜を形成する工程 (e) と、層間絶縁膜の上における第2のゲートパターンの上側の領域をマスクした状態で、第1のゲートパターンにおけるシリコン膜を第1の金属膜をエッチストップ膜として除去する工程 (f) と、工程 (f) よりも後に、層間絶縁膜から露出する第1の金属膜に対して窒化処理を行う工程 (g) と、工程 (g) よりも後に、第1のゲートパターンにおける窒化処理された第1の金

属膜の上に、第2の金属膜を形成する工程（h）と、第2の金属膜の上に第3の金属膜を形成する工程（i）とを備え、第2の金属膜は、第3の金属膜の実効仕事関数の値を調整する。

- [0016] 本発明の半導体装置の製造方法によると、第1のゲートパターンにおけるシリコン膜を除去した後、層間絶縁膜から露出する第1の金属膜に対して窒化処理を行う。このため、第1のゲートパターンにおけるエッチストップ膜である第1の金属膜の表面の酸化物を除去（置換）できるので、しきい値電圧の劣化並びにゲート容量の低下及びばらつきを防止することができる。その上、第2のゲートパターンを有するトランジスタにおける動作特性及び製造歩留まりを低下させることがない。
- [0017] 本発明の半導体装置の製造方法において、第1導電型はn型であり、第2導電型はp型であることが好ましい。
- [0018] この場合に、第2の金属膜は、アルミニウムとチタンと窒化チタンとからなる積層膜であってよい。
- [0019] 本発明の半導体装置の製造方法において、第1の金属膜には、窒化チタンを用いることができる。
- [0020] 本発明の半導体装置の製造方法において、工程（g）における窒化処理は、プラズマ窒化処理又はラジカル窒化処理であってもよい。
- [0021] 本発明の半導体装置の製造方法において、高誘電率膜は、ハフニウム、ジルコニウム及びシリコンのうち少なくともハフニウム又はジルコニウムを含む絶縁膜であってもよい。
- [0022] 本発明の半導体装置の製造方法は、工程（e）と工程（f）との間に、層間絶縁膜の上面を平坦化して、層間絶縁膜から、第1のゲートパターン及び第2のゲートパターンを露出する工程（j）をさらに備え、工程（h）において、第2の金属膜は、層間絶縁膜にシリコン膜の除去により形成され、窒化処理された第1の金属膜の上面を底面とする溝部の該底面上及び壁面上に形成してもよい。
- [0023] 本発明の半導体装置の製造方法は、工程（e）と工程（f）との間、又は

工程（h）と工程（i）との間に、層間絶縁膜の上における第1のゲートパターンの上側の領域をマスクした状態で、第2のゲートパターンにおけるシリコン膜を除去する工程（k）と、工程（k）よりも後に、第2のゲートパターンにおける第1の金属膜の上に、第4の金属膜を形成する工程（l）とをさらに備え、工程（i）において、第3の金属膜は、第2のゲートパターンにおける第4の金属膜の上にも形成してよい。

[0024] 本発明の半導体装置の製造方法は、工程（c）及び工程（d）よりも後で且つ工程（e）よりも前に、第1のソースドレイン領域及び第2のソースドレイン領域の上部にシリサイド層を形成する工程（m）をさらに備えていてもよい。

[0025] 本発明に係る半導体装置は、半導体基板に形成され、第1導電型の第1のトランジスタと、第2導電型の第2のトランジスタとを備えた半導体装置を対象とし、第1のトランジスタは、半導体基板の上に順次形成された高誘電率膜、窒化チタンからなる第1の金属膜、第2の金属膜及び第3の金属膜を有する第1のゲートパターンを有し、第2のトランジスタは、半導体基板の上に順次形成された高誘電率膜、窒化チタンからなる第4の金属膜、シリコン膜を有する第2のゲートパターンを有し、第2の金属膜は、ゲート長方向の断面が凹状であり、第1の金属膜のチタンに対する窒素の組成比の値は1.2以上であり、且つ、第4の金属膜のチタンに対する窒素の組成比の値は1.2未満である。

[0026] 本発明の半導体装置によると、第1のゲートパターンにおける第1の金属膜のチタンに対する窒素の組成比の値は1.2以上であり、且つ、第2のゲートパターンにおける第4の金属膜のチタンに対する窒素の組成比の値は1.2未満である。このため、第1の金属膜の表面の酸化物が除去（置換）されるので、第1のトランジスタのしきい値電圧の劣化並びにゲート容量の低下及びばらつきを防止することができる。

[0027] 本発明の半導体装置において、第1導電型はn型であり、第2導電型はp型であり、第2の金属膜は、アルミニウムとチタンと窒化チタンとからなる

積層膜であってもよい。

[0028] また、本発明の半導体装置において、第2のゲートパターンは、第4の金属膜の上に形成され、ゲート長方向の断面が凹状の窒化チタンからなる第5の金属膜を有していてもよい。

[0029] 本発明の半導体装置において、第1のゲートパターンにおける第2の金属膜は、第1の金属膜の上にチタン酸化物を介在させることなく直接に形成されている。

### 発明の効果

[0030] 本発明に係る半導体装置及びその製造方法によると、例えば、nMIS (n-type Metal Insulator Semiconductor) トランジスタを構成するメタルゲート材料の酸化が防止されるので、しきい値電圧の劣化並びにゲート容量の低下及びばらつきを防止することができる。

### 図面の簡単な説明

[0031] [図1] 図1 (a) は本発明に係る評価用の半導体装置を示す製造途中の断面図である。図1 (b) は従来例に係る半導体装置を示す製造途中の断面図である。

[図2] 図2は図1 (b) に示す従来例における半導体装置のゲートスタック構造における高さ方向の組成を表すグラフである。

[図3] 図3はエッチストップ膜上のチタン酸化物によるnMISの実効仕事関数及び酸化膜換算膜厚の劣化と本発明の概念構造による特性の改善とを示すグラフである。

[図4] 図4は本発明の第1の実施形態に係る半導体装置を示す断面図である。

[図5] 図5 (a) ~ 図5 (c) は本発明の第1の実施形態に係る半導体装置の製造方法を示す工程順の断面図である。

[図6] 図6 (a) ~ 図6 (c) は本発明の第1の実施形態に係る半導体装置の製造方法を示す工程順の断面図である。

[図7] 図7 (a) ~ 図7 (c) は本発明の第1の実施形態に係る半導体装置の製造方法を示す工程順の断面図である。



[図8] 図8(a)～図8(c)は本発明の第2の実施形態に係る半導体装置の製造方法の要部を示す工程順の断面図である。

[図9] 図9は本発明の第2の実施形態に係る半導体装置の製造方法の一工程を示す断面図である。

[図10] 図10(a)～図10(c)は本発明の第2の実施形態の一変形例に係る半導体装置の製造方法の要部を示す工程順の断面図である。

### 発明を実施するための形態

[0032] 本発明の実施形態について図面を参照しつつ説明する。

[0033] なお、本発明の技術的範囲は、以下に記述する各実施形態に限定されることはなく、発明の構成要件及びその組み合わせによって得られる特定の効果を導き出せる範囲において、種々の変更又は改良を加えた形態をも含む。

[0034] まず、本発明に係る半導体装置(nMIS)と従来例に係る半導体装置(nMIS)とを図面を用いて比較する。

[0035] 図1(a)は本発明に係るnMISの製造途中の断面構成を示し、図1(b)は従来例に係る半導体装置nMISの製造途中の断面構成を示している。

[0036] 図1(a)に示すように、本発明に係る製造途中の半導体装置は、p型のシリコン(Si)からなるpウェル10の上に界面酸化層を介在させて形成されたhigh-k膜であるゲート絶縁膜11、該ゲート絶縁膜11の上に、窒素の組成が化学量論比よりも大きい、いわゆる窒素リッチに形成された窒化チタン(TiN)からなるエッチストップ膜12Aと、該エッチストップ膜12Aの上に形成されたアルミニウム(Al)、チタン(Ti)及び窒化チタン(TiN)との積層膜(Nch仕事関数メタル積層膜)18と、該Nch仕事関数メタル積層膜18の上に形成されたアルミニウム(Al)又はタングステン(W)からなる埋め込みメタル材料膜19とを有している。

[0037] Nch仕事関数メタル積層膜18及び埋め込みメタル材料膜19は、ゲートスタックを埋める層間絶縁膜17の上にも形成されており、この後の工程において、Nch仕事関数メタル積層膜18及び埋め込みメタル材料膜19

は、CMP法等によって、ゲートスタックを除く領域が除去されて、メタルゲート電極が形成される。

[0038] ゲートスタックの両側方には、オフセットスペーサ膜を介在させて形成されたサイドウォール14が形成され、pウェル10におけるゲートスタックの両側方の領域には、n型ソースドレイン拡散層13が形成されている。また、n型ソースドレイン拡散層13の上部におけるサイドウォール14の両側方の領域には、シリサイド層15が形成されている。サイドウォール14と層間絶縁膜17との間には、ストレスライナ膜16が形成されている。

[0039] これに対し、従来例に係る半導体装置は、図1(b)に示すように、窒素リッチではない、すなわちチタン(Ti)に対する窒素(N)の組成比の値が1.2未満であるエッチストップ膜12とNch仕事関数メタル積層膜18との間には、酸化チタン(TiO<sub>x</sub>)等からなる酸化膜20が形成されている。

[0040] 該酸化膜20の存在は、図2に示すEDS (Energy Dispersive x-ray Spectroscopy) 又はEDX (Energy Dispersive X-ray spectroscopy) を用いて分析した結果から明らかである。なお、図2に示すグラフの横軸は、基板面からの高さを表す。

[0041] 次に、図3にゲートスタック構造の形成方法による実効仕事関数(eWF)とゲート絶縁膜における酸化膜換算膜厚(EOT: Equivalent Oxide Thickness)との測定結果を示す。

[0042] 図3において、3種類の条件でのeWF特性とEOT特性との比較を行っている。

(1) 左側の条件は、ダミーゲートの成膜及び除去を行うことなく、High-k膜(HfO<sub>2</sub>膜)上に、膜厚が5nmのTiN膜とその上に埋め込みメタル材料としてのタングステン(W)膜を積層した第1のゲートスタック構造を示す。

(2) 中央の条件は、従来のゲートラストの製造方法を適用し、High-k膜上のエッチストップ膜である膜厚が5nmのTiN膜の上に形成されたダミー

ポリシリコン膜を除去した後、膜厚が2 nmのAl/Ti膜、膜厚が2 nmのTiN膜、及びW膜を連続して積層した第2のゲートスタック構造を示す。

(3) 右側の条件は、第1ゲートスタック構造と同様に、High-k膜上に膜厚が5 nmのTiN膜を形成し、ダミーゲートの成膜及び除去を行うことなく、膜厚が2 nmのAl/Ti膜、膜厚が2 nmのTiN膜、及びW膜を連続して積層した第3のゲートスタック構造を示す。ここで、 $eWF$ 値を棒グラフで表し、EOTを折れ線グラフで表す。

[0043] 第1のゲートスタック構造は、pMISにおけるゲートスタック構造に相当し、実効仕事関数の値は4.8 eV程度を示す。

[0044] また、第3のゲートスタック構造は、nMISにおけるゲートスタック構造に相当し、実効仕事関数の値は、nMISで必要とされる4.2 eV程度にまで下方にシフトしていることが分かる。

[0045] これに対し、従来のプロセスフローを適用した場合のnMISにおけるゲートスタック構造に相当する第2のゲートスタック構造は、実効仕事関数の値が4.6 eV程度であり、図2に示したように、エッチストップ膜であるTiN膜の表面にチタン酸化物(TiO<sub>x</sub>)が残留し、それがnMOSの仕事関数調整用の材料であるTi/Al膜を酸化し、実効仕事関数のシフトを阻害している原因であることが明らかとなった。

[0046] また、TiO<sub>x</sub>膜が残留する第2のゲートスタック構造の場合は、酸化膜換算膜厚(EOT)が0.1 nm程度増大することも明らかとなっている。

[0047] このように、nMISにおいて、ポリシリコンからなるダミーゲートを除去した後、TiO<sub>x</sub>等の酸化物を残留させた状態でメタル電極を形成すると、nMISにおける動作特性を劣化させることが明らかとなった。これは、本願発明者が新たに見出したことである。

[0048] 本発明は、nMISのダミーゲートを除去した後に、エッチストップ膜の表面に残留する酸化物を窒化処理で窒化物に置換することにより、ゲートラストッププロセスを採用しながらも、図3の右側に示す第3のゲートスタック構

造と同等の特性を得られるようにする。

[0049] (第1の実施形態)

以下、上述した知見に基づいた、本発明の第1の実施形態に係る半導体装置について図4を参照しながら説明する。

[0050] 図4に示すように、例えば、シリコン(Si)からなる半導体基板101の上部には、素子分離領域102により互いに分離されたnMIS領域100A及びpMIS領域100Bが形成されている。

[0051] 半導体基板101におけるnMIS領域100Aには、pウェル103が形成され、また、半導体基板101におけるpMIS領域100Bには、nウェル104が形成されている。

[0052] nMISを構成する第1のゲートパターンであるn型ゲートスタック構造は、pウェル103の上に順次形成された界面シリコン酸化膜105、高誘電率(high-k)膜106、窒素リッチな窒化チタン(TiN)からなる第1の金属膜としてのエッチストップ膜107A、第2の金属膜としてのNch仕事関数メタル積層膜117A、及び第3の金属膜としてのアルミニウム(Al)又はタングステン(W)からなる埋め込みメタル材料膜119Aを有している。ここで、窒素リッチな窒化チタン(TiN)とは、Tiに対するNの組成比の値が1.2以上であるTiNをいう。また、エッチストップ膜は、窒化処理された窒化チタン(TiN)に限られず、それぞれ窒化処理されたチタン(Ti)、窒化タンタル(TaN)又は窒化チタンアルミニウム(TiAlN)等を用いることができる。

[0053] なお、Nch仕事関数メタル積層膜117Aは、エッチストップ膜107Aの上面だけでなく、オフセットスペーサ膜109の壁面(内壁)上に形成されることにより、ゲート長方向の断面が凹状に形成されている。

[0054] n型ゲートスタック構造の両側面上には、絶縁体からなるオフセットスペーサ膜109が形成され、該オフセットスペーサ膜109の外側には、絶縁体からなるサイドウォール111がそれぞれ形成されている。

[0055] pウェル103の上部におけるn型ゲートスタック構造の両側部からサイ

ドウオール 111 の下側の領域には、接合深さが比較的に浅い n 型エクステンション拡散層 110A が形成されている。また、p ウェル 103 の上部における各 n 型エクステンション拡散層 110A の外側の領域には、それぞれ n 型エクステンション拡散層 110A と接続され、該 n 型エクステンション拡散層 110A よりも接合深さが深い n 型ソースドレイン拡散層 112A が形成されている。ここで、各 n 型ソースドレイン拡散層 112A の上部には、それぞれシリサイド層 113 が形成されている。

[0056] さらに、シリサイド層 113 及びサイドウォール 111 の上には、絶縁体からなるストレスライナ膜 114 が形成され、該ストレスライナ膜 114 を覆うように、上面が平坦化された層間絶縁膜 115 が形成されている。また、平坦化された層間絶縁膜 115 の上には、該層間絶縁膜 115 から露出するストレスライナ膜 114、サイドウォール 111、オフセットスペーサ膜 109 及び N c h 仕事関数メタル積層膜 117A の各上端面、並びに埋め込みメタル材料膜 119A の上面を覆うように、ライナ窒化膜 121 が形成されている。

[0057] 次に、p M I S を構成する第 2 のゲートパターンである p 型ゲートスタック構造について、n M I S を構成する n 型ゲートスタック構造との相異点のみを説明する。

[0058] p 型ゲートスタック構造における高誘電率膜 106 の上に形成されるエッチストップ膜 107 は、窒素リッチではない通常の窒化チタン (T i N)、すなわち T i に対する N の組成比の値が 1. 2 未満である T i N から構成されている。また、エッチストップ膜 107 の上には、n 型のポリシリコン膜 108 が形成され、該ポリシリコン膜 108 の上部には、シリサイド層 120 が形成されている。

[0059] n ウェル 104 の上部における p 型ゲートスタック構造の両側部からサイドウォール 111 の下側の領域には、接合深さが比較的に浅い p 型エクステンション拡散層 110B が形成されている。また、n ウェル 104 の上部における各 p 型エクステンション拡散層 110B の外側の領域には、それぞれ

p型エクステンション拡散層110Bと接続され、該p型エクステンション拡散層110Bよりも接合深さが深いp型ソースドレイン拡散層112Bが形成されている。ここで、各p型ソースドレイン拡散層112Bの上には、それぞれシリサイド層113が形成されている。このように、pMISを構成するp型ゲートスタック構造は、いわゆるMIPS構造を採る。

[0060] 以下、前記のように構成された半導体装置の製造方法について図5～図7を参照しながら説明する。

[0061] まず、図5(a)に示すように、Siからなる半導体基板101の上部に、酸化シリコン(SiO<sub>2</sub>)等からなる素子分離領域102を形成して、半導体基板101をnMIS領域100AとpMIS領域100Bとに区画する。ここで、素子分離領域102は、LOCOS(local oxidation of silicon)法又はSTI(shallow trench isolation)法等により形成すればよい。

[0062] 続いて、半導体基板101におけるnMIS領域100Aに、p型ドーパントであるボロン(B)等を選択的に注入して、pウェル103を形成する。その後、半導体基板101におけるpMIS領域100Bに、n型ドーパントである砒素(As)又は燐(P)等を選択的に注入して、nウェル104を形成する。なお、pウェル103とnウェル104との形成順序は特に問われない。

[0063] 次に、図5(b)に示すように、半導体基板101の上の全面に、界面シリコン酸化膜105を形成する。界面シリコン酸化膜105には、酸化シリコン(SiO<sub>2</sub>)又は酸窒化シリコン(SiON)等を用いることができる。より詳細には、光学膜厚が0.5nm～1nm程度のケミカル酸化膜、又は膜厚が0.5nm～1.0nm程度のラジカル酸化膜を用いることができる。ケミカル酸化膜は、一般的な塩酸(HCl)及び過酸化水素水(H<sub>2</sub>O<sub>2</sub>)の混合溶液、又は硫酸(H<sub>2</sub>SO<sub>4</sub>)及び過酸化水素水(H<sub>2</sub>O<sub>2</sub>)混合薬液により半導体基板101を処理することにより形成すればよい。一方、ラジカル酸化膜は、水素(H<sub>2</sub>)及び一酸化二窒素(N<sub>2</sub>O)の混合ガス雰囲気中で温度が600℃～850℃程度の熱処理を行うことにより形成すればよい。

[0064] 続いて、例えば原子層堆積（ALD：Atomic Layer Deposition）法により、界面シリコン酸化膜105の上に、高誘電率膜106を形成する。高誘電率膜106には、ハフニウムシリケート（ $\text{HfSiO}$ ）、窒素添加ハフニウムシリケート（ $\text{HfSiON}$ ）、酸化ハフニウム（ $\text{HfO}$ ）又は酸化ハフニウムジルコニウム（ $\text{HfZrO}$ ）等のハフニウム（ $\text{Hf}$ ）系の絶縁膜を用いることができる。ALD法を用いる場合の原料は、テトラキス（エチルメチルアミノ）ハフニウム  $\{\text{Hf}[\text{N}(\text{C}_2\text{H}_5)\text{CH}_3]_4\}$  等のハフニウム（ $\text{Hf}$ ）を含む有機系材料と、モノシラン（ $\text{SiH}_4$ ）等のシリコン（ $\text{Si}$ ）を含むガス又はトリス（ジメチルアミノ）シラン  $\{\text{SiH}[\text{N}(\text{CH}_3)_2]_3\}$  等のシリコン（ $\text{Si}$ ）を含む有機系材料とを用いて、温度が $300^\circ\text{C}\sim 600^\circ\text{C}$ 程度の成膜温度で、短時間に且つ交互に堆積を行い、余剰原料のパーズを行いながら、酸素（ $\text{O}_2$ ）ガス、オゾン（ $\text{O}_3$ ）ガス又は水蒸気（ $\text{H}_2\text{O}$ ）等を用いて酸化する。なお、 $\text{Hf}$ 系の原料は、有機系材料に代えて、塩化ハフニウム（ $\text{HfCl}_4$ ）又は塩化ジルコニウム（ $\text{ZrCl}_4$ ）等の無機系材料を用いることができる。

[0065] ここで、高誘電率膜106の膜厚は、EOTとして $0.5\text{nm}\sim 1.5\text{nm}$ 程度とする場合には、界面シリコン酸化膜105と合わせた物理膜厚を $1\text{nm}\sim 3\text{nm}$ 程度とすればよい。なお、高誘電率膜106は、上述したように、酸化ジルコニウム（ $\text{ZrO}$ ）を含む $\text{Hf}$ 系の誘電体膜としてもよく、また、 $\text{Hf}$ 系以外の高誘電率膜として、酸化ジルコニウム（ $\text{ZrO}$ ）からなる単体の誘電体膜としてもよい。

[0066] 続いて、必要に応じて高誘電率膜106に対してプラズマ窒化処理を行う。ここでのプラズマ窒化処理は、高誘電率膜106中に窒素（ $\text{N}$ ）を、 $\text{Hf}$ 、 $\text{O}$ 及び $\text{Si}$ の元素組成に対して $5\%\sim 10\%$ 程度導入すればよい。このプラズマ窒化処理により、高誘電率膜106の結晶化を阻止して、該高誘電率膜106の信頼性の向上を図るためである。なお、この窒素の導入により、トランジスタの界面特性（ゲート絶縁膜と半導体基板との界面特性）の劣化、並びにpMISに対しては、実効仕事関数値の低下、及び負バイアス温

度不安定性（NBTI：Negative Bias Temperature Instability）等の信頼性の低下が問題となるため、高誘電率膜106に対する窒素の導入量は適当な量に調整することが望ましい。

[0067] 続いて、高誘電率膜106に対して、酸素（ $O_2$ ）又は窒素（ $N_2$ ）の雰囲気において熱処理を行ってもよい。これにより、高誘電率膜106中の不純物の除去及び欠陥の修復を行うことができる。また、高誘電率膜106の下側に形成されている界面シリコン酸化膜105との密着性を向上させることができる。

[0068] 続いて、例えば、物理的気相堆積（PVD：Physical Vapor Deposition）法、化学的気相堆積（CVD：Chemical Vapor Deposition）法又はALD法等により、高誘電率膜106の上の全面に、組成比がほぼ化学量論比に相当する窒化チタン（TiN）からなるエッチストップ膜107を形成する。なお、エッチストップ膜107の膜厚は、ゲート電極の実効仕事関数（ $eWF$ ）の値に影響を与える。従って、エッチストップ膜107の膜厚は1nm～15nm程度とすることが好ましい。

[0069] 続いて、CVD法等により、エッチストップ膜107上の全面に、膜厚が80nm～150nm程度で、燐（P）がドーパされたポリシリコン膜108を堆積する。ここで、燐の濃度は $1 \times 10^{14} / \text{cm}^2 \sim 2 \times 10^{15} / \text{cm}^2$ 程度とすればよい。なお、ノンドープのポリシリコン膜108を形成した後に、砒素（As）等のn型ドーパントをイオン注入してもよい。その後、CVD法等により、ポリシリコン膜108の上の全面に、膜厚が10nm～50nm程度の酸化シリコン（ $SiO_2$ ）からなるハードマスク膜130を形成する。

[0070] 次に、図5（c）に示すように、公知のリソグラフィ法及びエッチング法により、成膜したハードマスク膜130、ポリシリコン膜108、エッチストップ膜107、高誘電率膜106及び界面シリコン酸化膜105に対して、nMIS用及びpMIS用の各ゲートパターンを形成する（ゲートエッチング）。これにより、nMIS領域100Aには、n型ゲートスタック構造



が形成され、pMIS領域100Bには、p型ゲートスタック構造が形成される。なお、この状態では、n型ゲートスタック構造及びp型ゲートスタック構造は、同一の構成を持つ。続いて、ALD法により、半導体基板101の上面並びに各ゲートスタック構造の上面及び側面の全面に、膜厚が5nm～10nm程度のシリコン窒化（ALD-SiN）膜を成膜する。その後、成膜したシリコン窒化膜に対してエッチバックを行って、シリコン窒化膜における各ゲートスタック構造の両側面上を除く部分を除去することにより、各ゲートスタック構造の両側面上に、それぞれオフセットスペーサ膜109を形成する。

[0071] 次に、図6（a）に示すように、公知の方法により、pMIS領域100Bをマスクした状態で、nMIS領域100Aにおけるpウェル103に、n型ゲートスタック構造及びオフセットスペーサ膜109をマスクとしてn型ドーパントを注入することにより、接合深さが比較的浅いn型エクステンション拡散層110Aを形成する。その後、nMIS領域100Aをマスクした状態で、pMIS領域100Bにおけるnウェル104に、p型ゲートスタック構造及びオフセットスペーサ膜109をマスクとしてp型ドーパントを注入することにより、接合深さが比較的浅いp型エクステンション拡散層110Bを形成する。なお、n型エクステンション拡散層110Aとp型エクステンション拡散層110Bとの形成順序は特に問われない。

[0072] 続いて、各ゲートスタック構造にサイドウォール111を形成する。すなわち、半導体基板101上の全面に、オフセットスペーサ膜109を含む各ゲートスタック構造を覆うように、CVD法又はALD法を用いて、シリコン酸化膜を成膜する。その後、成膜したシリコン酸化膜に対してエッチバックを行うことにより、各ゲートスタック構造の側面にそれぞれサイドウォール111が形成される。

[0073] 続いて、pMIS領域100Bをマスクした状態で、nMIS領域100Aにおけるpウェル103に、n型ゲートスタック構造、オフセットスペーサ膜109及びサイドウォール111をマスクとしてn型ドーパントを注入

することにより、 $n$ 型エクステンション拡散層 110A よりも接合深さが深い $n$ 型ソースドレイン拡散層 112A を形成する。その後、 $n$ MIS 領域 100A をマスクした状態で、 $p$ MIS 領域 100B における $n$ ウェル 104 に、 $p$ 型ゲートスタック構造、オフセットスペーサ膜 109 及びサイドウォール 111 をマスクとして $p$ 型ドーパントを注入することにより、 $p$ 型エクステンション拡散層 110B よりも接合深さが深い $p$ 型ソースドレイン拡散層 112B を形成する。なお、 $n$ 型ソースドレイン拡散層 112A と $p$ 型ソースドレイン拡散層 112B との形成順序は特に問われない。

[0074] 続いて、PVD法又はCVD法等により、各ソースドレイン拡散層 112A、112B が形成された半導体基板 101 の上に全面にわたって、コバルト (Co)、タングステン (W) 又はニッケル (Ni) 等からなる金属膜を堆積する。その後、所定の熱処理を行って、各ソースドレイン拡散層 112A、112B の上部に、それぞれ金属シリサイドであるシリサイド層 113 を形成する。その後、未反応の金属膜を酸性溶液等を用いて除去する。

[0075] 次に、図 6 (b) に示すように、CVD法等により、 $n$ MIS 及び $p$ MIS をそれぞれ覆うように、窒化シリコン (SiN) からなるストレスライナ膜 114 を成膜する。このストレスライナ膜 114 を設けることにより、各シリサイド層 113 の酸化が防止されると共に、各トランジスタにおけるチャネル方向の歪み効果を生じさせることができる。その後、CVD法等により、半導体基板 101 の上に、ストレスライナ膜 114 を覆うと共に、各ゲートスタック構造の間を埋めるように、酸化シリコンからなる層間絶縁膜 115 を堆積する。

[0076] 次に、図 6 (c) に示すように、CMP法により、層間絶縁膜 115 に対して平坦化処理を行って、各ゲートスタック構造におけるハードマスク膜 130 を除去することにより、各ゲートスタック構造からそれぞれポリシリコン膜 108 を露出する。続いて、公知のリソグラフィ法により、 $p$ MIS 領域 100B をマスクし、且つ $n$ MIS 領域 100A を露出するレジスト膜 131 を形成する。

- [0077] 次に、図7(a)に示すように、ウェットエッチング法により、レジスト膜131をマスクとし、且つ、エッチストップ膜107をストップパとして、n型ゲートスタック構造からポリシリコン膜108を除去する。該ポリシリコン膜108が除去された結果、n型ゲートスタック構造には、互いに対向するオフセットスペーサ膜109を壁面とし、露出したエッチストップ膜107を底面とする溝部132Aが形成される。その後、レジスト膜131を除去する。
- [0078] ここで、ダミーゲートであるポリシリコン膜108を除去する際には、エッチングダメージがなく、且つ酸化シリコンとの選択性が高い、水酸化テトラメチルアンモニウム（TMAH：TetraMethyl Ammonium Hydroxide）溶液を用いた洗浄による除去が望ましい。
- [0079] なお、第1の実施形態においては、図6(c)に示す工程において、酸化シリコンからなるハードマスク膜130を除去したが、ハードマスク膜130を残し、残したハードマスク膜130をマスクとして、ポリシリコン膜108を除去する方法を採ることも可能である。しかしながら、層間絶縁膜115とハードマスク膜130との間に隙間が生じている場合には、その隙間から薬液が浸入することにより、pMIS領域100Bにおけるp型ゲートスタック構造がダメージを被るおそれがある。このため、本実施形態においては、pMIS領域100Bを区画する素子分離領域102までを含むパターンを持つレジスト膜131を形成する方法を採る。
- [0080] ところで、レジスト膜131を除去した後、図7(a)並びに図2及び図3に示したように、n型ゲートスタック構造において、エッチストップ膜107の表面には、チタン酸化物（ $TiO_x$ ）116が形成されてしまう。
- [0081] そこで、図7(b)に示すように、第1の実施形態においては、溝部132Aから露出するエッチストップ膜107に対して窒化処理を行って、チタン酸化物の窒化物への置換を行うと共に、さらに、窒化チタン（ $TiN$ ）の組成をチタン（ $Ti$ ）に対する窒素（ $N$ ）の組成比の値が1.2以上（ $N/Ti \geq 1.2$ ）となるように、窒化チタンにおける窒素を高濃度化する窒化

処理を施す。これにより、*n*型ゲートスタック構造においては、エッチストップ膜107が窒素リッチなエッチストップ膜107Aとなる。

- [0082] ここでの窒化処理は、低温で且つ高濃度の窒化処理を行え、且つダメージが少ない条件、例えば、通常のゲート絶縁膜に対して行うプラズマ窒化処理条件で行うことが望ましい。一例として、圧力が数mTorr~数十mTorr (1mTorr=133.322mPa) の窒素(N<sub>2</sub>) 雰囲気、数百W程度の処理条件が好ましい。目安としては、膜厚が1nm程度の酸化ハフニウム(HfO) 膜に対して、10%程度の窒素を導入する条件を用いればよい。
- [0083] なお、エッチストップ膜107の窒化処理には、上述したように、プラズマ窒化処理が好ましいが、ラジカル窒化処理を用いてもよい。例えば、ラジカル窒化処理には、リモートプラズマ、ダウンフロープラズマ若しくは窒素原子ビームによるラジカル主体の窒化、又は500°C~600°C程度の温度下でアンモニア(NH<sub>3</sub>) ガスによる熱窒化等を用いた窒化処理も可能である。
- [0084] 次に、図7(c)に示すように、溝部132Aから露出するエッチストップ膜107Aの上に、*n*MISの実効仕事関数の値をシフトする、Nch仕事関数メタル積層膜117Aを成膜する。具体的には、溝部132Aのエッチストップ膜107Aの底面及びオフセットスペーサ膜109からなる壁面を覆うように、層間絶縁膜115の上及び露出したストレスライナ膜114等の上に全面にわたって、膜厚がそれぞれ1nm~5nm程度のアルミニウム(Al) 膜、チタン(Ti) 膜及び窒化チタン(TiN) 膜からなる積層膜117Aを積層する。ここで、Nch仕事関数メタル積層膜117Aは、溝部132Aを埋め込まない程度に成膜する必要があり、従って、成膜法としては、PVD法が好ましく、可能であれば、溝部132Aの被覆性に優れたIonized PVD法による成膜が望ましい。
- [0085] 続いて、溝部132Aに金属材料を埋め込む。例えば、ALD法又はスパッタ法等により、Nch仕事関数メタル積層膜117Aの上の全面に溝部1

32Aが埋め込まれるように、タングステン（W）又はアルミニウム（Al）からなる埋め込みメタル材料膜119を成膜する。

[0086] なお、溝部132Aに埋め込みメタル材料膜119を埋め込むよりも前に、Nch仕事関数メタル積層膜117A上への埋め込みメタル材料膜119の被覆時の密着性、該埋め込みメタル材料膜119のNch仕事関数メタル積層膜117A中への拡散防止、及び界面抵抗の改善のために、PVD法又はALD法により、膜厚が2～3nm程度のTiNからなる下敷き膜118を形成してもよい。

[0087] 次に、CMP法により、成膜された埋め込みメタル材料膜119、下敷き膜118及びNch仕事関数メタル積層膜117Aに対して研磨を行って、p型ゲートスタック構造におけるポリシリコン膜108を露出する。これにより、n型ゲートスタック構造の溝部132Aにのみ、Nch仕事関数メタル積層膜117A及び埋め込みメタル材料膜119が残存して、図4に示すように、n型ゲートスタック構造の上部に、埋め込みメタル材料膜119Aが形成される。続いて、nMIS領域100Aを覆うレジスト膜（図示せず）を形成し、pMIS領域100Bにおけるp型ゲートスタック構造のポリシリコン膜108の上部に、コバルト等のシリサイド層120を選択的に形成する。その後、CVD法等により、各ゲートスタック構造を含む層間絶縁膜115の上に、ライナ窒化膜121を形成して、図4に示す半導体装置を得る。

[0088] この後は、図示はしていないが、層間絶縁膜115及びストレスライナ膜114を貫通して各ソースドレイン拡散層112A、112Bと接続されるコンタクト及び各ゲートスタック構造と接続されるコンタクトをそれぞれ形成する。続いて、層間絶縁膜115の上にコンタクト層と接続される配線層を形成する。

[0089] 以上、説明したように、第1の実施形態によると、nMISを構成するn型ゲートスタック構造におけるTiNからなるエッチストップ膜107を、その上のポリシリコン膜108を除去した後に窒素リッチなエッチストップ

膜107Aとするため、エッチストップ膜107A上の酸化物は窒化物に置換される。これにより、実効仕事関数の値をシフトするNch仕事関数メタル積層膜117Aの酸化が防止されるので、nMISのしきい値電圧の劣化並びにゲート容量の低下及びばらつきを防止することができる。

[0090] その上、n型ゲートスタック構造からポリシリコン膜108を除去する際に、p型ゲートスタック構造をpMIS領域100Bごとマスクするため、p型ゲートスタック構造を有するpMISの動作特性及び製造歩留まりを低下させることがない。

[0091] (第2の実施形態)

以下、本発明の第2の実施形態に係る半導体装置について図8及び図9を参照しながら説明する。図8及び図9において、図4と同一の構成部材には同一の符号を付すことにより、説明を省略する。

[0092] 第1の実施形態においては、nMISに対してゲートラストプロセスを適用したが、第2の実施形態においては、pMISに対しても、該pMISにおける実効仕事関数の制御性の向上を図るべく、ゲートラストプロセスを適用する。

[0093] まず、第1の実施形態で説明した、図7(c)の工程の後に、CMP法により、層間絶縁膜115の上に堆積した余剰の埋め込みメタル材料膜119を除去すると共に、pMIS領域110Bにおけるp型ゲートスタックからポリシリコン膜108を露出する。

[0094] 続いて、図8(a)に示すように、公知のリソグラフィ法により、nMIS領域100Aをマスクし、且つpMIS領域100Bを露出するレジスト膜133を形成する。続いて、ウェットエッチング法により、レジスト膜133をマスクとし、且つ、p型ゲートスタック構造のエッチストップ膜107をストップパとして、該p型ゲートスタック構造からポリシリコン膜108を除去する。このとき、ポリシリコン膜108が除去された結果、p型ゲートスタック構造には、互いに対向するオフセットスペーサ膜109を壁面とし、露出したエッチストップ膜107を底面とする溝部132Bが形成され

る。その後、エッチストップ膜107を残した状態で、レジスト膜133を除去する。なお、ポリシリコン膜108を除去する際には、nMISの場合と同様に、エッチングダメージがなく、且つ酸化シリコンとの選択性が高い、水酸化テトラメチルアンモニウム（TMAH）溶液を用いた洗浄による除去が望ましい。

[0095] 次に、図8（b）に示すように、溝部132Bから露出するエッチストップ膜107の上に、Pch仕事関数メタル膜117Bを成膜する。具体的には、ALD法又はPVD法により、溝部132Bのエッチストップ膜107の底面及びオフセットスペーサ膜109からなる壁面を覆うように、層間絶縁膜115の上及び露出したストレスライナ膜114等の上に全面にわたって、例えば膜厚が2nm～10nm程度の窒化チタン（TiN）からなるPch仕事関数メタル膜117Bを成膜する。なお、Pch仕事関数メタル膜117Bは、TiN以外にも、窒化チタンアルミニウム（TiAlN）又は窒化タンタル（TaN）等を用いることができる。

[0096] ところで、nMISにおけるエッチストップ膜107Aに対しては、窒化処理を施したが、pMISにおけるエッチストップ膜107に対しては、窒化処理を施す必要はない。なぜなら、pMISのp型ゲートスタック構造に対して窒化処理を施すと、実効仕事関数の値が低下するからである。その上、高誘電率膜106、さらには半導体基板101に窒素が混入することにより、負バイアス温度（NBT：Negative Bias Temperature）特性が劣化するおそれがあるためである。

[0097] 次に、図8（c）に示すように、ALD法又はスパッタ法等により、TiN膜117Bの上の全面に溝部132Bが埋め込まれるように、タングステン（W）又はアルミニウム（Al）からなる埋め込みメタル材料膜119を成膜する。なお、ここでも、埋め込みメタル材料膜119を成膜する前に、TiNからなる下敷き膜118を形成してもよい。

[0098] 次に、CMP法により、成膜された埋め込みメタル材料膜119及びPch仕事関数メタル膜117Bに対して研磨を行って、n型ゲートスタック構

造における埋め込み金属材料膜 119A を露出する。これにより、p 型ゲートスタック構造の溝部 132B にのみ、Pch 仕事関数金属材料膜 117B 及び埋め込み金属材料膜 119 が残存して、図 9 に示すように、p 型ゲートスタック構造の上部に、埋め込み金属材料膜 119B が形成される。

[0099] 続いて、CVD 法等により、各ゲートスタック構造を含む層間絶縁膜 115 の上に、ライナ窒化膜 121 を形成して、図 9 に示す半導体装置を得る。

[0100] この後は、図示はしていないが、層間絶縁膜 115 及びストレスライナ膜 114 を貫通して各ソースドレイン拡散層 112A、112B と接続されるコンタクト及び各ゲートスタック構造と接続されるコンタクト層を形成する。続いて、層間絶縁膜 115 の上にコンタクト層と接続される配線層を形成する。

[0101] このように、第 2 の実施形態によると、nMIS のしきい値電圧の劣化並びにゲート容量の低下及びばらつきを防止することができ、その上、pMIS における実効仕事関数の制御性を向上することができる。

[0102] なお、第 2 の実施形態においては、nMIS の n 型ゲートスタック構造から先にポリシリコン膜 108 を除去して埋め込み金属材料膜 119A を形成し、続いて、pMIS の p 型ゲートスタック構造からポリシリコン膜 108 を除去して埋め込み金属材料膜 119B を形成したが、これとは逆に、pMIS から先に埋め込み金属材料膜 119B を形成してもよい。

[0103] (第 2 の実施形態の一変形例)

以下、本発明の第 2 の実施形態の一変形例に係る半導体装置について図 10 を参照しながら説明する。図 10 において、図 8 と同一の構成部材には同一の符号を付すことにより説明を省略する。

[0104] 第 2 の実施形態においては、図 7 (c) の後の n 型ゲートスタック構造の形成時における埋め込み金属材料膜 119 に対する CMP 処理と、図 8 (c) の後の p 型ゲートスタック構造の形成時における埋め込み金属材料膜 119 に対する CMP 処理との 2 回の CMP 処理を行っている。

[0105] 本変形例は、埋め込み金属材料膜 119 に対して、1 回の CMP 処理を



行うことにより、それぞれnMISの埋め込みメタル材料膜119AとpMISの埋め込みメタル材料膜119Bとを形成する構成とする。これにより、半導体基板（ウェハ）101の面内における各ゲート電極の高さ及び抵抗値等のばらつきを低減することができる。

[0106] まず、第1の実施形態で示した、図7（b）の工程の後、すなわちn型ゲートスタック構造におけるエッチストップ膜107に対するプラズマ窒化処理を行った後、PVD法により、溝部132Aの底面及び壁面を含む層間絶縁膜の上に、Nc h仕事関数メタル積層膜117Aを成膜する。

[0107] 続いて、図10（a）に示すように、Nc h仕事関数メタル積層膜117Aの上に、例えばPVD法により、TiN等からなる導電性膜122Aを成膜する。このとき、導電性膜122Aの膜厚は底面上及び壁面上において5nm程度とし、溝部132Aを埋め込まないようにする。なお、導電性膜122AをNc h仕事関数メタル積層膜117Aの上に形成するのは、該Nc h仕事関数メタル積層膜117Aを保護するためである。続いて、導電膜122Aの上にレジスト膜を塗布し、リソグラフィ法により、レジスト膜134に対して全面露光を行う。

[0108] 次に、図10（b）に示すように、レジスト膜134を現像すると、該レジスト膜134は溝部132Aに残存する。続いて、層間絶縁膜115の上に堆積した導電性膜122A及びNc h仕事関数メタル積層膜117Aを酸性溶液等によりエッチングして除去する。その後、リソグラフィ法により、層間絶縁膜115におけるnMIS領域110Aをマスクするレジスト膜135を成膜する。続いて、ウェットエッチング法により、レジスト膜135をマスクとし、且つ、エッチストップ膜107をストップパとして、p型ゲートスタック構造におけるポリシリコン膜108を除去する。これにより、p型ゲートスタック構造には、互いに対向するオフセットスペーサ膜109を壁面とし、露出したエッチストップ膜107を底面とする溝部132Bが形成される。続いて、レジスト膜134、135をアッシングにより除去し、さらに、硫酸と過酸化水素水との混合溶液（硫酸過水）等を用いた洗浄を行

って、レジスト残渣を取り除く。

- [0109] 次に、図10(c)に示すように、ALD法又はPVD法により、n型ゲートスタック構造の溝部132Aを埋めると共に、p型ゲートスタック構造の溝部132Bの底面及び壁面を含む層間絶縁膜115の上に、TiNからなるPch仕事関数メタル膜117Bを成膜する。続いて、ALD法又はスパッタ法等により、Pch仕事関数メタル膜117Bの上の全面に、溝部132Bが埋め込まれるように、タングステン(W)又はアルミニウム(Al)からなる埋め込みメタル材料膜119を成膜する。
- [0110] その後、CMP法により、成膜された埋め込みメタル材料膜119及びPch仕事関数メタル膜117Bに対して研磨を行って、各ストレスライナ膜114を露出する。これにより、n型ゲートスタック構造とp型ゲートスタック構造とが共にメタルゲート構造となる。
- [0111] この後は、CVD法等により、各ゲートスタック構造を含む層間絶縁膜115の上に、ライナ窒化膜121を形成して、実質的に第2の実施形態と同等の半導体装置を得る。
- [0112] 本変形例によると、埋め込みメタル材料膜119に対するCMP工程を1回で済ませることができる。このため、ゲート電極の高さの面内ばらつきを大幅に改善できる上に、層間絶縁膜115の薄膜化が可能となる。層間絶縁膜115が薄膜化されると、各ゲートスタック構造を埋め込む際のボイドの発生、及びCMP時に生じるディッシングの発生を軽減できると共に、ストレスライナ膜114の膜減りも減少する。従って、インテグレーションの自由度が向上する。
- [0113] 以上説明したように、本発明の第1及び第2の各実施形態及びその変形例によると、nMISにおける実効仕事関数値を確実に制御することができると共に、pMISにおける動作特性及び製造歩留まりを低下させることがない半導体装置を実現することができる。

### 産業上の利用可能性

- [0114] 本発明に係る半導体装置及びその製造方法は、nMISトランジスタを構

成するメタルゲートの酸化が防止されるので、しきい値電圧の劣化並びにゲート容量の低下及びばらつきをなくすことができ、高誘電率膜とメタルゲート電極とが積層されたゲート構造を有するトランジスタを備えた半導体装置等に有用である。

### 符号の説明

[0115]	10	pウェル
	11	ゲート絶縁膜
	12A	(窒素リッチ) エッチストップ膜
	12	エッチストップ膜
	13	n型ソースドレイン拡散層
	14	サイドウォール
	15	シリサイド層
	16	ストレスライナ膜
	17	層間絶縁膜
	18	Al/Ti膜
	19	電極形成膜
	100A	nMIS領域
	100B	pMIS領域
	101	半導体基板
	102	素子分離領域
	103	pウェル
	104	nウェル
	105	界面シリコン酸化膜
	106	高誘電率 (high-k) 膜
	107	エッチストップ膜 (第4の金属膜)
	107A	(窒素リッチ) エッチストップ膜 (第1の金属膜)
	108	ポリシリコン膜
	109	オフセットスペーサ膜

- 1 1 0 A n型エクステンション拡散層
- 1 1 0 B p型エクステンション拡散層
- 1 1 1 サイドウォール
- 1 1 2 A p型ソースドレイン拡散層
- 1 1 2 B n型ソースドレイン拡散層
- 1 1 3 シリサイド層
- 1 1 4 ストレスライナ膜
- 1 1 5 層間絶縁膜
- 1 1 6 チタン酸化物
- 1 1 7 A N c h仕事関数メタル積層膜
- 1 1 7 B P c h仕事関数メタル膜（第5の金属膜）
- 1 1 8 下敷き膜
- 1 1 9 埋め込みメタル材料膜（第3の金属膜）
- 1 1 9 A 埋め込みメタル材料膜
- 1 1 9 B 埋め込みメタル材料膜
- 1 2 0 シリサイド層
- 1 2 1 ライナ窒化膜
- 1 2 2 A 導電性膜
- 1 3 0 ハードマスク膜
- 1 3 1 レジスト膜
- 1 3 2 A 溝部
- 1 3 2 B 溝部
- 1 3 3 レジスト膜
- 1 3 4 レジスト膜
- 1 3 5 レジスト膜

## 請求の範囲

- [請求項1] 半導体基板の上に、高誘電率膜、第1の金属膜及びシリコン膜を順次形成する工程（a）と、
- 前記シリコン膜、第1の金属膜及び高誘電率膜をエッチングして、第1のゲートパターン及び第2のゲートパターンを形成する工程（b）と、
- 前記第1のゲートパターンをマスクとして、前記半導体基板に第1導電型の第1のソースドレイン領域を形成する工程（c）と、
- 前記第2のゲートパターンをマスクとして、前記半導体基板に第2導電型の第2のソースドレイン領域を形成する工程（d）と、
- 前記工程（c）及び工程（d）よりも後に、前記半導体基板の上に、前記第1のゲートパターン及び第2のゲートパターンを覆うように層間絶縁膜を形成する工程（e）と、
- 前記層間絶縁膜の上における前記第2のゲートパターンの上側の領域をマスクした状態で、前記第1のゲートパターンにおける前記シリコン膜を前記第1の金属膜をエッチストップ膜として除去する工程（f）と、
- 前記工程（f）よりも後に、前記層間絶縁膜から露出する前記第1の金属膜に対して窒化処理を行う工程（g）と、
- 前記工程（g）よりも後に、前記第1のゲートパターンにおける窒化処理された前記第1の金属膜の上に、第2の金属膜を形成する工程（h）と、
- 前記第2の金属膜の上に第3の金属膜を形成する工程（i）とを備え、
- 前記第2の金属膜は、前記第3の金属膜の実効仕事関数の値を調整する半導体装置の製造方法。
- [請求項2] 請求項1において、
- 前記第1導電型はn型であり、前記第2導電型はp型である半導体

装置の製造方法。

[請求項3]

請求項2において、

前記第2の金属膜は、アルミニウムとチタンと窒化チタンとの積層膜である半導体装置の製造方法。

[請求項4]

請求項1～3のいずれか1項において、

前記第1の金属膜は、窒化チタンからなる半導体装置の製造方法。

[請求項5]

請求項1～4のいずれか1項において、

前記工程(g)における前記窒化処理は、プラズマ窒化処理又はラジカル窒化処理である半導体装置の製造方法。

[請求項6]

請求項1～5のいずれか1項において、

前記高誘電率膜は、ハフニウム、ジルコニウム及びシリコンのうち少なくともハフニウム又はジルコニウムを含む絶縁膜である半導体装置の製造方法。

[請求項7]

請求項1～6のいずれか1項において、

前記工程(e)と前記工程(f)との間に、前記層間絶縁膜の上面を平坦化して、前記層間絶縁膜から、前記第1のゲートパターン及び第2のゲートパターンを露出する工程(j)をさらに備え、

前記工程(h)において、前記第2の金属膜は、前記層間絶縁膜に前記シリコン膜の除去により形成され、窒化処理された前記第1の金属膜の上面を底面とする溝部の該底面上及び壁面上に形成する半導体装置の製造方法。

[請求項8]

請求項1～7のいずれか1項において、

前記工程(e)と前記工程(f)との間、又は前記工程(h)と前記工程(i)との間に、

前記層間絶縁膜の上における前記第1のゲートパターンの上側の領域をマスクした状態で、前記第2のゲートパターンにおける前記シリコン膜を除去する工程(k)と、

前記工程(k)よりも後に、前記第2のゲートパターンにおける前

記第 1 の金属膜の上に、第 4 の金属膜を形成する工程 ( l ) とをさらに備え、

前記工程 ( i ) において、第 3 の金属膜は、前記第 2 のゲートパターンにおける前記第 4 の金属膜の上にも形成する半導体装置の製造方法。

[請求項 9] 請求項 1 ~ 8 のいずれか 1 項において、

前記工程 ( c ) 及び工程 ( d ) よりも後で且つ前記工程 ( e ) よりも前に、前記第 1 のソースドレイン領域及び第 2 のソースドレイン領域の上部にシリサイド層を形成する工程 ( m ) をさらに備えている半導体装置の製造方法。

[請求項 10] 半導体基板に形成され、第 1 導電型の第 1 のトランジスタと、第 2 導電型の第 2 のトランジスタとを備えた半導体装置であって、

前記第 1 のトランジスタは、前記半導体基板の上に順次形成された高誘電率膜、窒化チタンからなる第 1 の金属膜、第 2 の金属膜及び第 3 の金属膜を有する第 1 のゲートパターンを有し、

前記第 2 のトランジスタは、前記半導体基板の上に順次形成された前記高誘電率膜、窒化チタンからなる第 4 の金属膜、シリコン膜を有する第 2 のゲートパターンを有し、

前記第 2 の金属膜は、ゲート長方向の断面が凹状であり、

前記第 1 の金属膜のチタンに対する窒素の組成比の値は 1. 2 以上であり、

且つ、前記第 4 の金属膜のチタンに対する窒素の組成比の値は 1. 2 未満である半導体装置。

[請求項 11] 請求項 10 において、

前記第 1 導電型は n 型であり、前記第 2 導電型は p 型であり、

前記第 2 の金属膜は、アルミニウムとチタンと窒化チタンとの積層膜である半導体装置。

[請求項 12] 請求項 10 又は 11 において、

前記第2のゲートパターンは、前記第4の金属膜の上に形成され、ゲート長方向の断面が凹状の窒化チタンからなる第5の金属膜を有している半導体装置。

[請求項13]

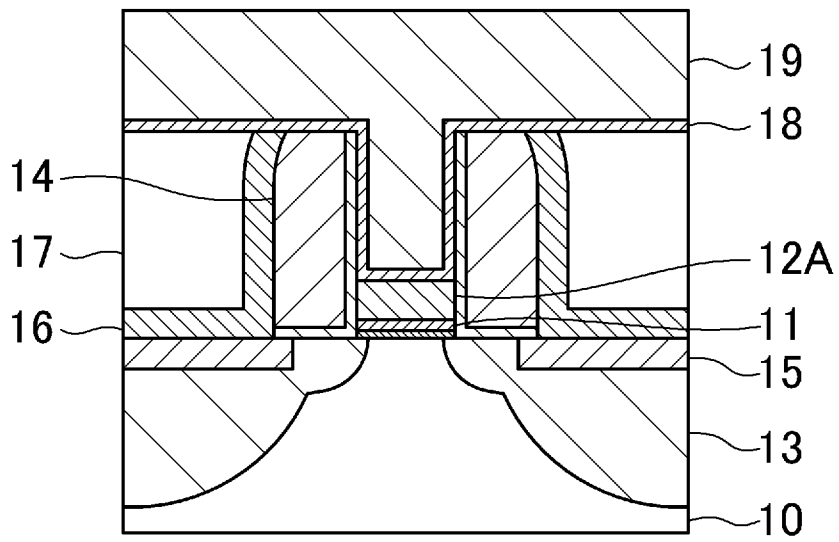
請求項10～12のいずれか1項において、

前記第1のゲートパターンにおける前記第2の金属膜は、前記第1の金属膜の上にチタン酸化物を介在させることなく直接に形成されている半導体装置。

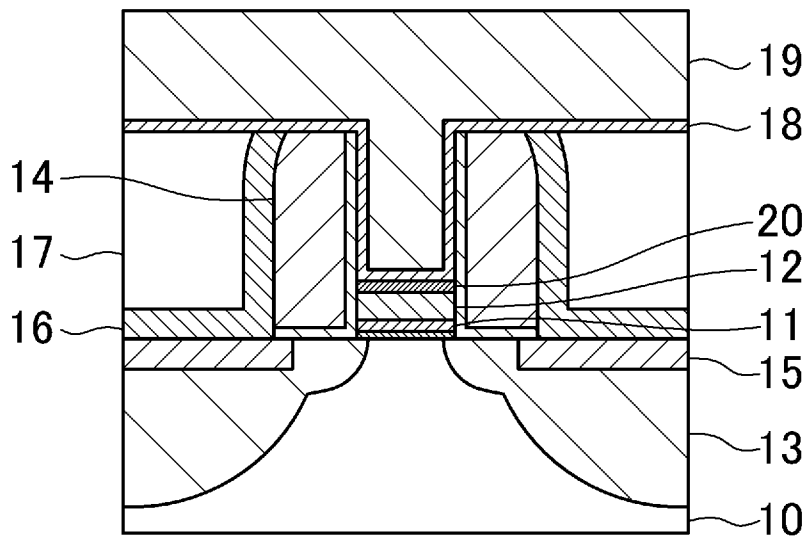


[図1]

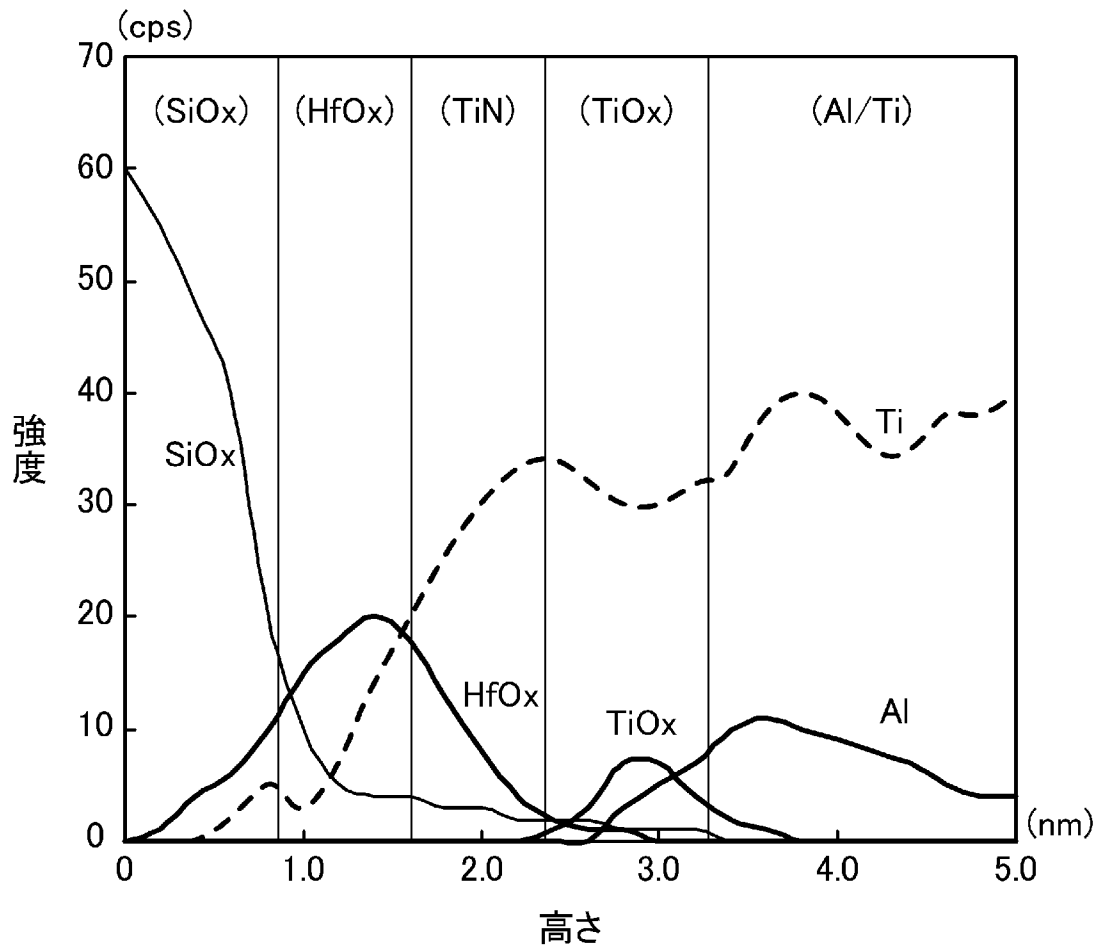
(a)



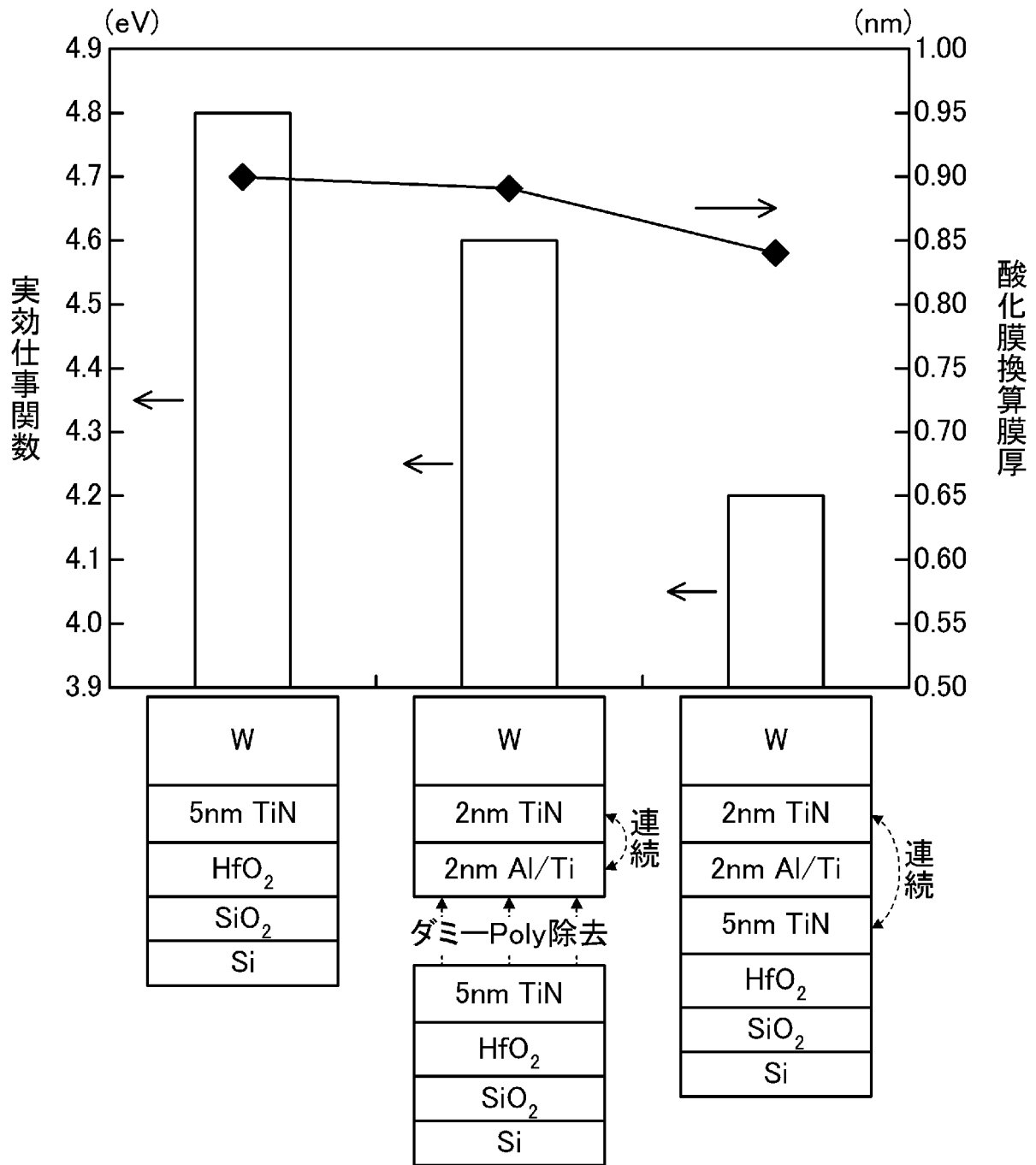
(b)



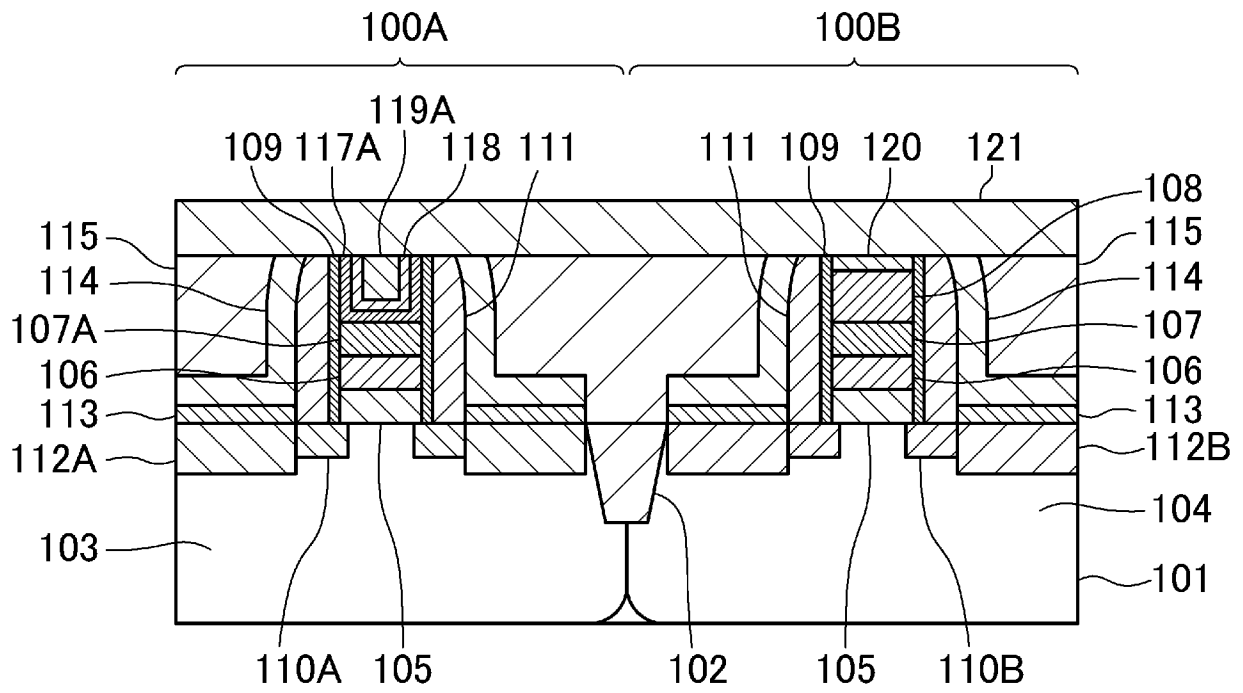
[図2]



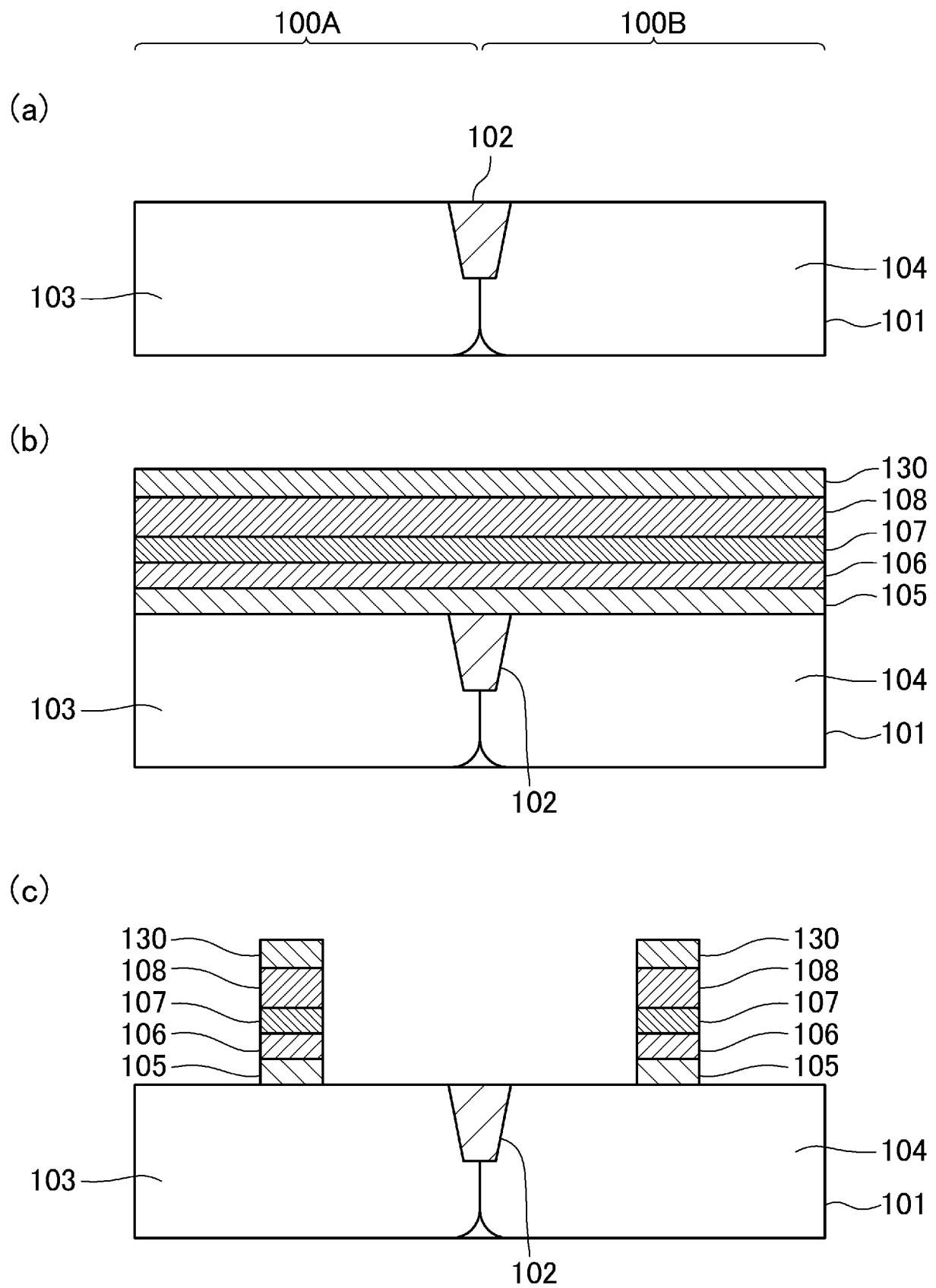
[図3]



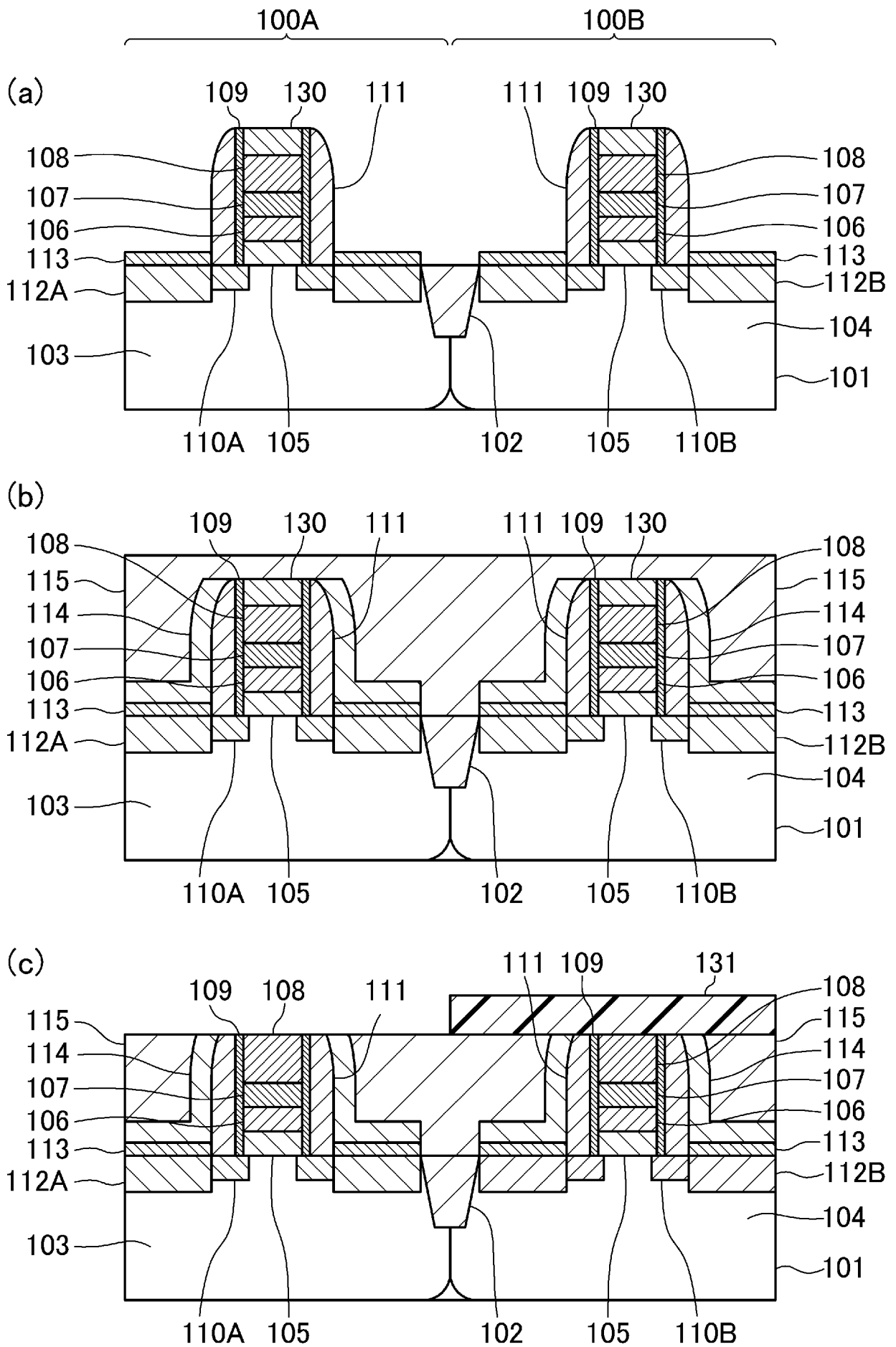
[図4]



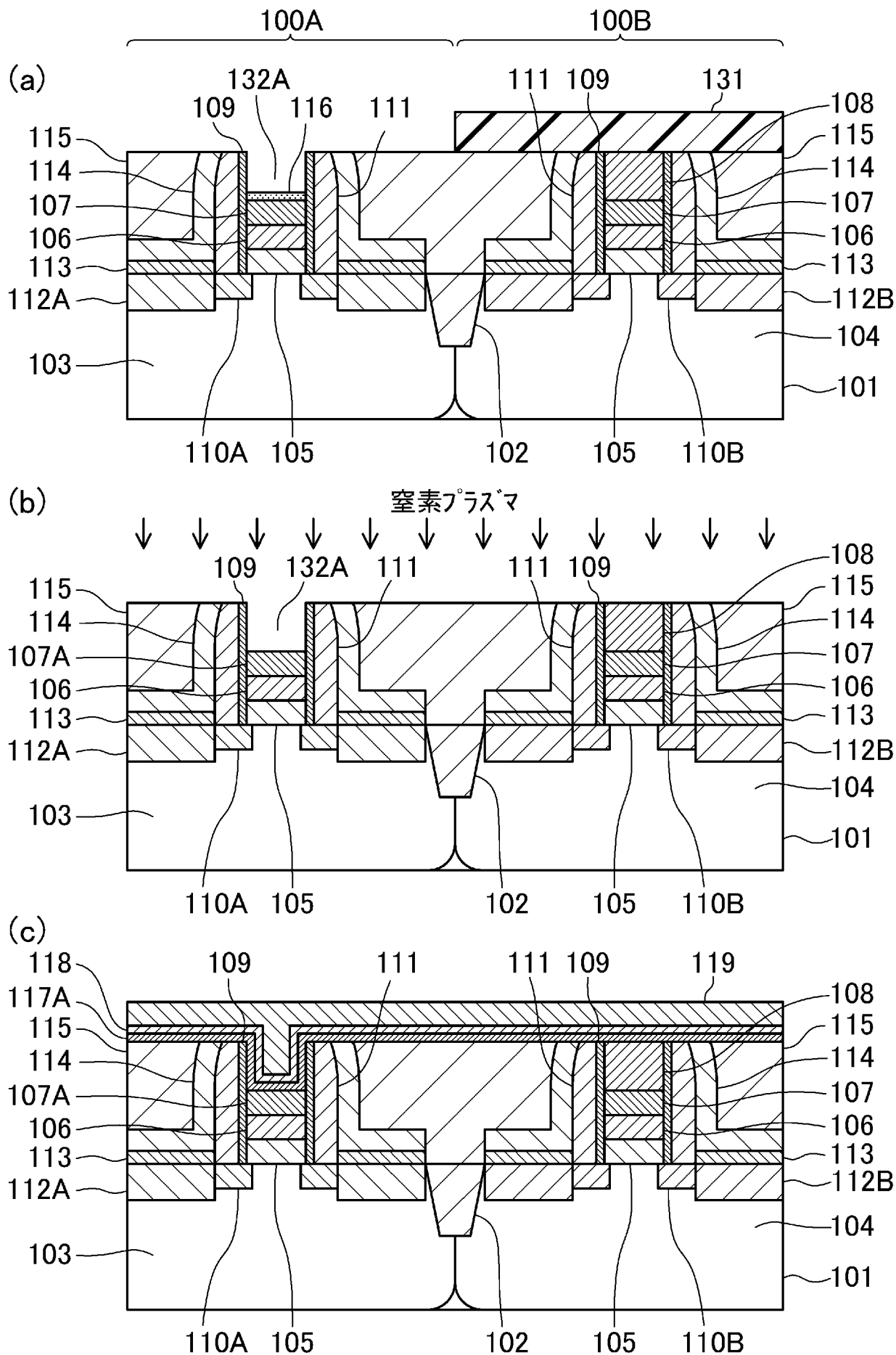
[図5]



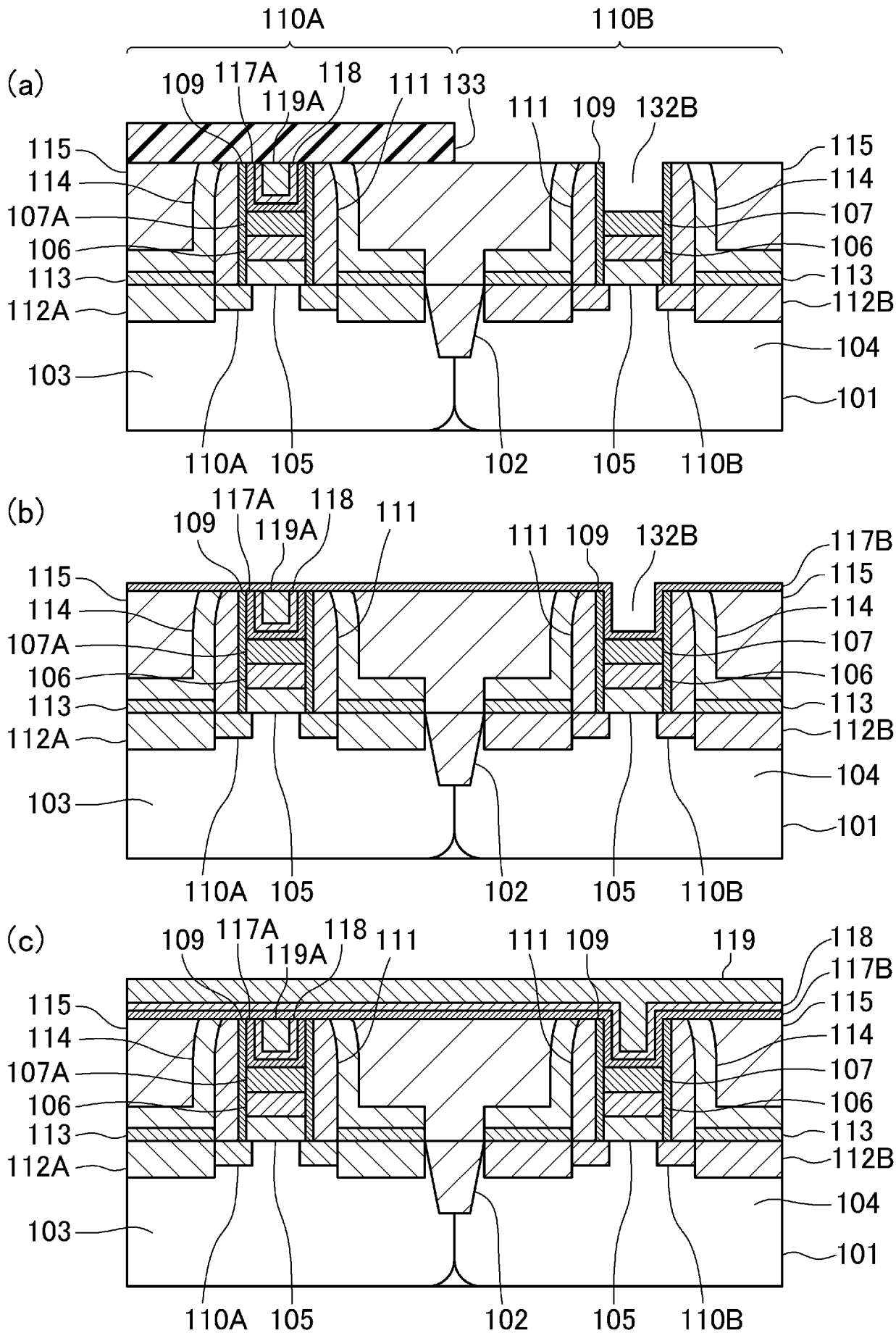
[圖6]



[図7]

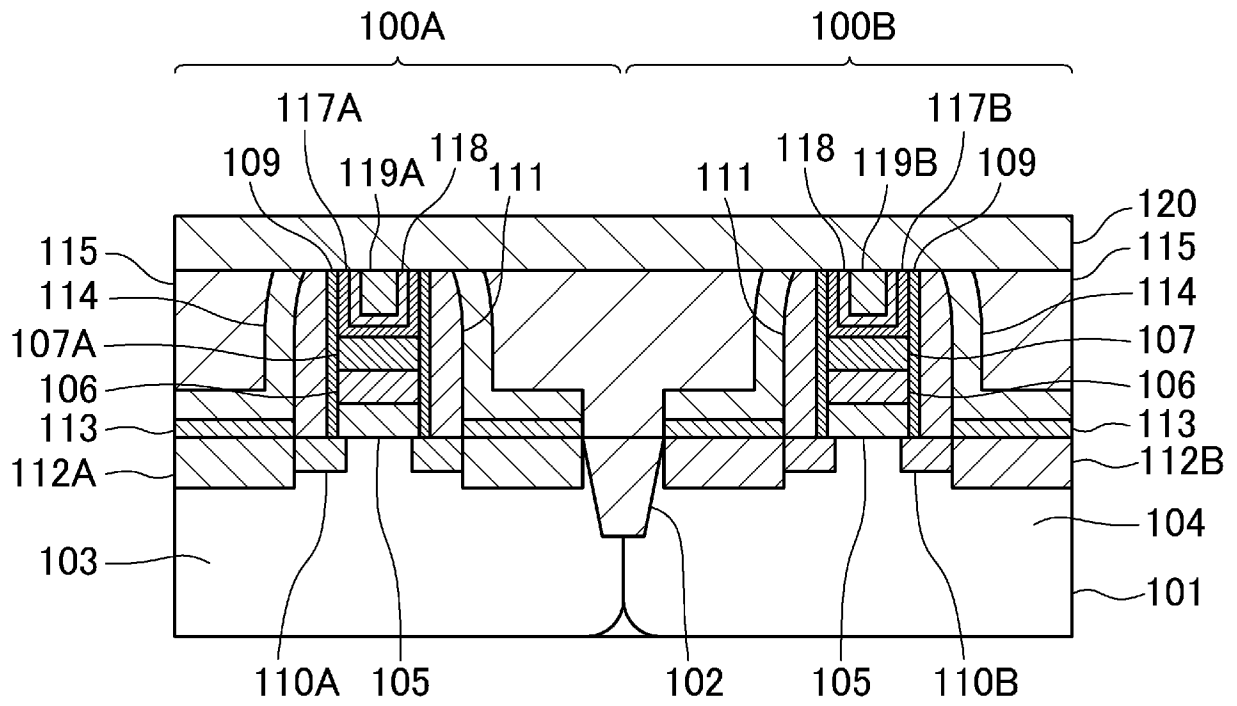


[図8]

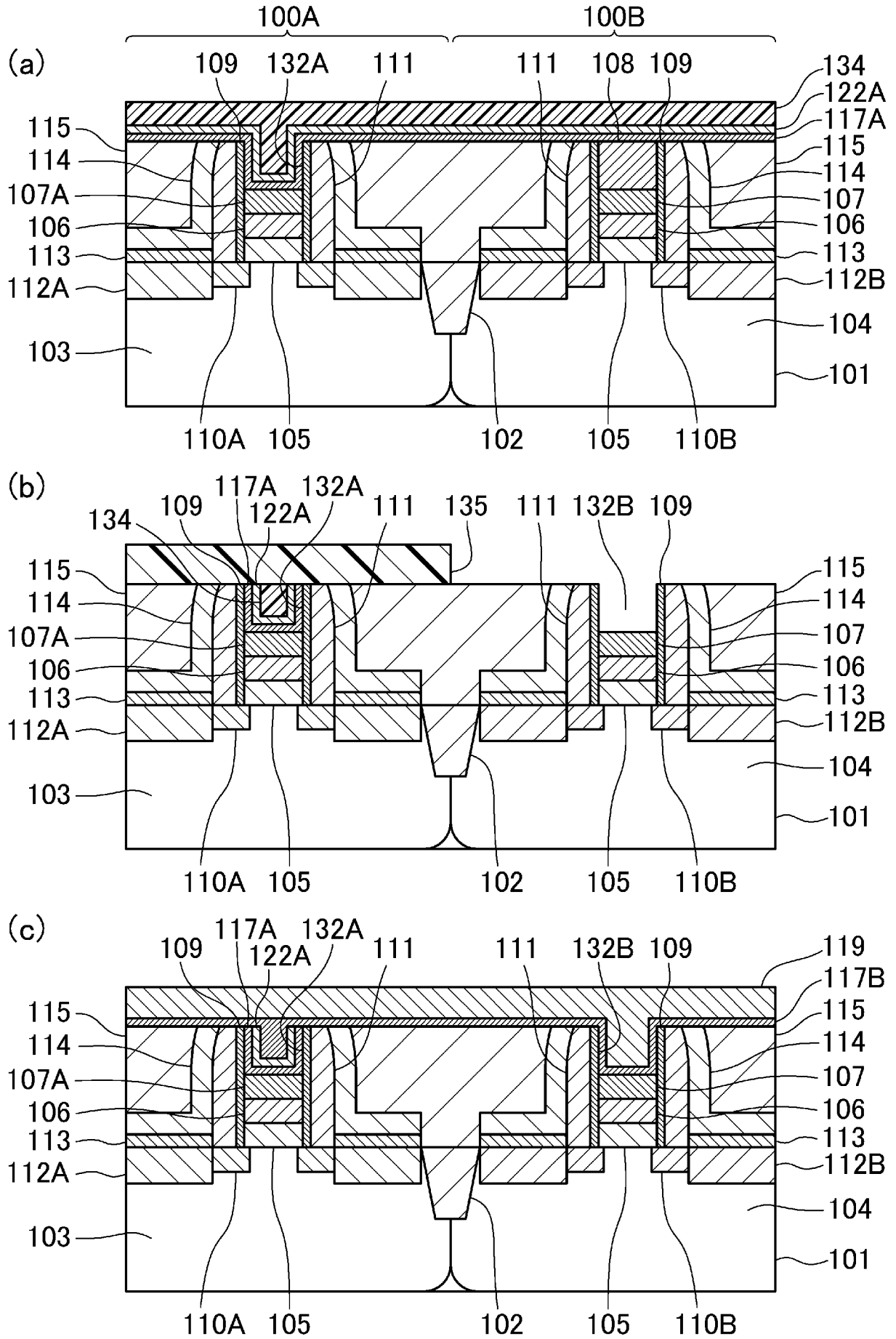




[図9]



[図10]



**INTERNATIONAL SEARCH REPORT**

International application No.

PCT/JP2011/004170

**A. CLASSIFICATION OF SUBJECT MATTER**

H01L21/8238(2006.01)i, H01L21/28(2006.01)i, H01L27/092(2006.01)i,  
H01L29/423(2006.01)i, H01L29/49(2006.01)i, H01L29/78(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

**B. FIELDS SEARCHED**

Minimum documentation searched (classification system followed by classification symbols)

H01L21/8238, H01L21/28, H01L27/092, H01L29/423, H01L29/49, H01L29/78

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2011
Kokai Jitsuyo Shinan Koho	1971-2011	Toroku Jitsuyo Shinan Koho	1994-2011

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

**C. DOCUMENTS CONSIDERED TO BE RELEVANT**

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 2001-203276 A (NEC Corp.), 27 July 2001 (27.07.2001), fig. 4 & US 2001/0015463 A1 fig. 5 & KR 10-2001-0076304 A	10-13 1-9
Y A	JP 2000-315789 A (Toshiba Corp.), 14 November 2000 (14.11.2000), fig. 9 & US 6376888 B1 fig. 7 & KR 10-2001-0020803 A	10-13 1-9

Further documents are listed in the continuation of Box C.

See patent family annex.

\* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search  
03 October, 2011 (03.10.11)

Date of mailing of the international search report  
11 October, 2011 (11.10.11)

Name and mailing address of the ISA/  
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2011/004170

## C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2010-114436 A (IMEC), 20 May 2010 (20.05.2010), entire text; all drawings & US 2010/0109095 A1 entire text; all drawings & EP 2197028 A1	1-13
A	JP 2009-200213 A (Renesas Technology Corp.), 03 September 2009 (03.09.2009), entire text; all drawings (Family: none)	1-13
A	JP 2006-518106 A (Koninklijke Philips Electronics N.V.), 03 August 2006 (03.08.2006), entire text; all drawings & US 2006/0134848 A1 entire text; all drawings & EP 1593154 A & WO 2004/070833 A1 & KR 10-2005-0094474 A	1-13
A	JP 2008-84970 A (Toshiba Corp.), 10 April 2008 (10.04.2008), entire text; all drawings (Family: none)	1-13
A	JP 2007-258267 A (Toshiba Corp.), 04 October 2007 (04.10.2007), entire text; all drawings & US 2007/0215950 A1 entire text; all drawings	1-13
A	JP 2007-535171 A (Advanced Micro Devices, Inc.), 29 November 2007 (29.11.2007), entire text; all drawings & US 2005/0245016 A1 entire text; all drawings & EP 1741132 A & WO 2005/109493 A1 & DE 602005016790 D & KR 10-2007-0004095 A & CN 1947243 A	1-13

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl. H01L21/8238(2006.01)i, H01L21/28(2006.01)i, H01L27/092(2006.01)i, H01L29/423(2006.01)i, H01L29/49(2006.01)i, H01L29/78(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl. H01L21/8238, H01L21/28, H01L27/092, H01L29/423, H01L29/49, H01L29/78

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2011年
日本国実用新案登録公報	1996-2011年
日本国登録実用新案公報	1994-2011年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y A	JP 2001-203276 A (日本電気株式会社) 2001.07.27, 第4図 & US 2001/0015463 A1, 第5図 & KR 10-2001-0076304 A	10-13 1-9
Y A	JP 2000-315789 A (株式会社東芝) 2000.11.14, 第9図 & US 6376888 B1, 第7図 & KR 10-2001-0020803 A	10-13 1-9
A	JP 2010-114436 A (アイメック) 2010.05.20, 全文, 全図 & US 2010/0109095 A1, 全文, 全図 & EP 2197028 A1	1-13

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

\* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的な技術水準を示すもの  
 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの  
 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)  
 「O」口頭による開示、使用、展示等に言及する文献  
 「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献  
 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの  
 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの  
 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの  
 「&」同一パテントファミリー文献

国際調査を完了した日

03.10.2011

国際調査報告の発送日

11.10.2011

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)  
 郵便番号100-8915  
 東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

宇多川 勉

電話番号 03-3581-1101 内線 3498

4L

3125

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2009-200213 A (株式会社ルネサステクノロジ) 2009.09.03, 全文, 全図 (ファミリーなし)	1-13
A	JP 2006-518106 A (コーニンクレッカ フィリップス エレクトロニクス エヌ ヴィ) 2006.08.03, 全文, 全図 & US 2006/0134848 A1, 全文, 全図 & EP 1593154 A & WO 2004/070833 A1 & KR 10-2005-0094474 A	1-13
A	JP 2008-84970 A (株式会社東芝) 2008.04.10, 全文, 全図 (ファミリーなし)	1-13
A	JP 2007-258267 A (株式会社東芝) 2007.10.04, 全文, 全図 & US 2007/0215950 A1, 全文, 全図	1-13
A	JP 2007-535171 A (アドバンスト・マイクロ・デバイス・インコーポレイテッド) 2007.11.29, 全文, 全図 & US 2005/0245016 A1, 全文, 全図 & EP 1741132 A & WO 2005/109493 A1 & DE 602005016790 D & KR 10-2007-0004095 A & CN 1947243 A	1-13