

公告本

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號： 96148594

※ 申請日期： 96.12.19

※IPC 分類： G11C 16/00

(2006.01)

一、發明名稱：(中文/英文)

積體電路與放電電路

Integrated circuits and discharge circuits

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)(簽章)

力晶半導體股份有限公司/Powerchip Semiconductor Corp.

代表人：(中文/英文)(簽章) 黃崇仁/Frank Huang

住居所或營業所地址：(中文/英文)

新竹科學工業園區力行一路十二號/No. 12, Li-Hsin Rd. I, Science-Based
Industrial Park, Hsin-Chu, Taiwan, R.O.C.

國 籍：(中文/英文) 中華民國/TW

三、發明人：(共 4 人)

姓 名：(中文/英文)

1. 曾德彰/ TE-CHANG TSENG
2. 杜君毅/ Chun-Yi TU
3. 荒川秀貴/ Hideki Arakawa
4. 山崎恭治/Yamasaki Kyoji

國 籍：(中文/英文)

1. 中華民國/TW
2. 中華民國/TW
3. 日本/JP
4. 日本/JP

四、聲明事項：

☐ 主張專利法第二十二條第二項 ☐ 第一款或 ☐ 第二款規定之事實，其事實
發生日期為： 年 月 日。

☐ 申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

☐ 有主張專利法第二十七條第一項國際優先權：

☐ 無主張專利法第二十七條第一項國際優先權：

☐ 主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

☐ 主張專利法第三十條生物材料：

☐ 須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註

記】

☐ 不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

九、發明說明：

【發明所屬之技術領域】

本發明係有關於一種放電電路，特別是有關於一種快閃記憶體之放電電路。

【先前技術】

快閃記憶體近年來被大量使用在極大型積體電路 (ultra large scale integration, ULSI) 中。快閃記憶體為一種非揮發性記憶體 (nonvolatile memory)，非揮發性記憶體的 特性在於，當沒有電源供應時也能夠長久地保持資料，其 存儲特性相當於硬碟，而在非揮發性記憶體中，由於快閃 記憶體又具有高速度、高元件密度、系統中可重新程式化 (in-system reprogram ability) …等的特性，因此快閃記憶體 成為各類可攜帶型數位設備的存儲介質的基礎。一般高速 的六電晶體靜態隨機存取記憶體 (6T SRAM) 單一記憶體單 元需要六個電晶體來完成，而高速的動態隨機存取記憶體 (DRAM) 也需要四個以上的元件面積，相對地，快閃記憶體 只需要單一元件即可代表單一記憶體單元，具有極高的元 件密度。此外，由於快閃記憶體使用堆疊式浮動金屬氧化 物半導體場效電晶體 (stacked-gate MOSFET) 的元件結構， 使得快閃記憶體同時具有簡便的製程技術的特性。因此， 快閃記憶體無論是作為可攜帶型數位設備的儲存介質，或 是大量數位資料儲存介質等方面都是理想的選擇，尤其是在行動電話的語音處理以及數位個人助理的影音資料等方

面的應用更受到青睞。

快閃記憶體可分成 NAND 快閃記憶體(NAND flash)與 NOR 快閃記憶體(NOR flash)。NAND 快閃記憶體的存儲單元採用串列結構，存儲單元的讀寫是以頁和塊為單位來進行，其中一頁包含若干位元組，若干頁則組成儲存塊，NAND 快閃記憶體的存儲塊大小為 8 到 32KB，這種結構最大的優點在於記憶體容量可以做得很大，於是超過 512MB 容量的 NAND 產品相當普遍，並且 NAND 快閃記憶體的成本較低，使得 NAND 快閃記憶體可普遍地被使用。NOR 快閃記憶體的存儲單元則採用並列結構，因此 NOR 快閃記憶體的輸入/輸出埠比 NAND 快閃記憶體多，於是由於 NOR 快閃記憶體的平行傳輸模式使得其讀取速度比 NAND 快閃記憶體快。NAND 快閃記憶體目前被廣泛用於移動存儲、數碼相機、MP3 播放器、掌上電腦等新興數位設備中。

第 1 圖係顯示快閃記憶體裝置 10 的剖面圖，圖中標號 P_{sub} 代表基底、標號 P well 與 LV_P well 代表 P 井區、標號 N_{well} 代表 N 井區，快閃記憶體裝置 10 包括記憶體單元 11 與選擇電晶體 12。快閃記憶體裝置 10 包含許多電壓線，這些電壓線提供電壓用以執行記憶體的操作，其中標號 WL 為字元線，標號 BL 為耦接於記憶體單元 11 與選擇電晶體 12 之間的位元線，標號 SL 為耦接至記憶體單元 11 之選擇線，標號 VPW 為耦接至記憶體單元 P 井區之井區電壓線，標號 YBL 為耦接至選擇電晶體 12 之閘極的電

壓線，而標號 Virpwr 為耦接至選擇電晶體 12 之電壓線。

第 2 圖係顯示傳統技術中快閃記憶體裝置執行抹除操作時各電壓線的電壓位準圖。從第 2 圖中可看出，在時間區間 A 時，一外部電壓源(第 1 圖中未示)供應一抹除電壓 Verase 至電壓線 VPW，以提供一高電壓至 P 井區，使得被寫入資料的浮動閘(顯示於第 1 圖中的 FG)的電子可如第 1 圖中所示的虛線箭頭方向被吸回 P 井區，藉此抹除被寫入快閃記憶體裝置 10 之資料，以上所述之動作即為用以抹除記憶體儲存資料的 F-N 隧道效應(F-N tunneling)。而在時間區間 A 中，選擇線 SL、位元線 BL、以及電壓線 YBL 與 Virpwr 皆為浮接(floating)的狀態，因此會被耦合至小於 VPW 電壓位準之電壓值。例如，如圖中所示，當供應 20V 之抹除電壓至 VPW 時，SL、BL、YBL 與 Virpwr 的電壓會被耦合至小於 20V 的電壓，用以維持快閃記憶體適當地操作。當記憶體中的資料完成抹除後，各電壓線上的電壓在時間區間 B 開始放電，然而由於記憶體中各元件的放電速度不一致，因此可能會由於殘存電壓不同，使得 PN 介面會導通，因而產生大電流，導致快閃記憶體元件受損。

因此，需要一種改良的放電電路，用以適當地控制各電壓線的放電過程，使得各電壓線可同時執行放電，並且達到所需的穩定電壓值。

【發明內容】

有鑑於此，本發明提供一種積體電路包括記憶體裝置與放電電路，其中記憶體裝置包括記憶體單元、井區電壓

線、第一極電壓線以及第一電壓源，第一電壓源用以於一抹除階段時，供應第一電壓至井區電壓線，並於第一極電壓線耦合出一耦合電壓，其中第一電壓足以抹除記憶體單元中儲存之一資料。放電電路包括第一開關電路、第二開關電路、第一控制電壓源與第二控制電壓源，第一開關電路耦接於井區電壓線、第一極電壓線以及一第二電壓源之間，其中第二電壓源供應小於第一電壓與耦合電壓之第二電壓。第二開關電路耦接於第一開關電路與一參考位準之間，其中參考位準小於第一電壓。第一控制電壓源耦接至第一開關電路，於第一放電階段供應第一控制電壓以導通第一開關電路，使得井區電壓線與第一極電壓線耦接至第二電壓源。第二控制電壓源耦接至第二開關電路，於第二放電階段供應第二控制電壓以導通第二開關電路，使得井區電壓線與第一極電壓線耦接至參考位準。

另外，本發明提供一種放電電路，適用於將記憶體裝置之複數電壓線放電，其中電壓線包括耦接至記憶體裝置之井區之一井區電壓線、以及耦接記憶體裝置之一記憶體單元之第一第一極之一第一極電壓線，其中記憶體裝置更包括第一電壓源，用以於記憶體裝置之抹除階段供應足以抹除記憶體單元中儲存之一資料之一第一電壓至井區電壓線，並且於第一極電壓線耦合出一耦合電壓，上述放電電路包括：準備電路、第一階段放電電路以及第二階段放電電路。準備電路包括第二電壓源、耦接至第二電壓源之第一開關電路、耦接至參考位準之電容器、以及耦接於第一

開關電路與電容器之間之第二開關電路，其中第二電壓源供應一第二電壓至第一開關電路，並且第一開關電路與第二開關電路於一準備階段導通，使得電容器充電至第二電壓。第一階段放電電路包括耦接至井區電壓線與第一極電壓線之第三開關電路，第三開關電路與第一開關電路以及第二開關電路耦接於一連接點，並且第三開關電路於第一放電階段導通，用以將井區電壓線與第一極電壓線耦接至連接點。第二階段放電電路包括耦接於電容器與參考位準之間之第四開關電路，第四開關電路於第二放電階段導通，用以將連接點耦接至參考位準。

【實施方式】

為使本發明之製造、操作方法、目標和優點能更明顯易懂，下文特舉幾個較佳實施例，並配合所附圖式，作詳細說明如下：

實施例：

第 3 圖係根據本發明之一實施例顯示放電電路 20，放電電路 20 係用於如第 1 圖中所示之記憶體裝置，用以在記憶體裝置完成資料抹除動作後，將記憶體裝置中電壓線 VPW 上的抹除電壓 V_{erase} 以及選擇線 SL 上的耦合電壓 V_{couple} 放電。放電電路 20 包括開關電路 201 與 202、電壓源 VPASS、以及控制電壓源 VCTS1 與 VCTS2。如圖所示，開關電路 201 耦接於井區電壓線 VPW、選擇線 SL、以及電壓源 VPASS 之間，其中電壓源 VPASS 供應小於抹

除電壓 V_{erase} 與耦合電壓 V_{couple} 之電壓 V_{pass} 。開關電路 202 耦接於開關電路 201 與一參考位準 VSS 之間，根據本發明之一實施例，參考位準 VSS 可為一接地點。控制電壓源 $VCTS1$ 耦接至開關電路 201，並且於第一放電階段供應控制電壓 V_{ctrl1} 以導通開關電路 201，使得井區電壓線 VPW 與選擇線 SL 可耦接至電壓源 $VPASS$ 。控制電壓源 $VCTS2$ 耦接至開關電路 202，並且於第二放電階段供應供應控制電壓 V_{ctrl2} 以導通開關電路 202，使得井區電壓線 VPW 與選擇線 SL 可耦接至參考位準 VSS 。

如第 3 圖中所示，開關電路 201 包括電晶體 $T21$ 、 $T22$ 與 $T23$ ，電晶體 $T21$ 耦接至井區電壓線 VPW ，電晶體 $T22$ 耦接至選擇線 SL ，電晶體 $T23$ 耦接至電壓源 $VPASS$ ，而電晶體 $T21$ 、 $T22$ 與 $T23$ 之閘極皆耦接至控制電壓源 $VCTS1$ ，並且開關電路 202 與電晶體 $T21$ 、 $T22$ 與 $T23$ 耦接於一連接點 $N1$ 。開關電路 202 可為一電晶體 $T24$ ，耦接於連接點 $N1$ 與參考位準 VSS 之間，並且其閘極耦接至控制電壓源 $VCTS2$ 。根據本發明之一實施例，控制電壓源 $VCTS1$ 也可供應至第 1 圖中所示之電壓線 YBL ，並且將連接點 $N1$ 耦接至電壓線 $Virpwr$ ，透過放電電路 20 的操作將電壓線 $Virpwr$ 與位元線 BL 上的耦合電壓放電。在放電電路 20 的第一放電階段中，由於控制電壓源 $VCTS1$ 供應之控制電壓 V_{ctrl1} 足以導通電晶體 $T21$ 、 $T22$ 與 $T23$ ，並且電壓源 $VPASS$ 供應之電壓 V_{pass} 小於井區電壓線 VPW 上的抹除電壓 V_{erase} 以及選擇線 SL 上的耦合電壓

V_couple，因此可產生自井區電壓線 VPW 流至連接點 N1 之電流 I21，與自選擇線 SL 流至連接點 N1 之電流 I22，而電流 I21 與電流 I22 可進一步自連接點 N1 流至電壓源 VPASS 以形成電流 I23，如此一來，井區電壓線 VPW、選擇線 SL、以及電壓線 Virpwr 上的電壓可在第一放電階段被放電至接近於電壓 V_pass 之電壓值。在放電電路 20 的第二放電階段中，由於控制電壓源 VCTS2 供應一控制電壓 V_ctrl2 足以導通電晶體 T24，因此可產生自連接點 N1 流至參考位準 VSS 之電流 I24，如此一來，井區電壓線 VPW、選擇線 SL、以及電壓線 Virpwr 上的電壓可在第二放電階段更進一步被放電至接近於參考位準 VSS 之電壓值。

第 4 圖係顯示執行資料抹除時記憶體裝置中各電壓線的電壓位準，以及使用第 3 圖所示之放電電路 20 執行記憶體裝置放電時各電壓線的電壓位準，圖中時間區間 C 為記憶體裝置之抹除階段，而時間區間 D 與 E 分別為第一放電階段與第二放電階段。在此實施例中，供應至井區電壓線 VPW 的抹除電壓為 20V，供應至電壓線 YBL 的電壓為 13V，而選擇線 SL、位元線 BL 以及電壓線 Virpwr 上分別耦合出小於 20V 與小於 13V 的電壓，然而值得注意的是，以上所使用的電壓值僅用以說明本發明之實施例，並不用以限制本發明之範圍，本發明之保護範圍當視後附之申請專利範圍所界定者為準。如圖所示，控制電壓 V_ctrl1 在時間區間 D 具有高邏輯位準，用以導通電晶體 T21、T22 與 T23，使得井區電壓線 VPW、選擇線 SL 與位元線 BL 上的

電壓可放電至一電壓值約等於電壓源 VPASS 供應之電壓 V_{pass} (在此實施例中為 13V)，而由於電壓線 Virpwr 耦接至連接點 N1，因此電壓線 Virpwr 上的電壓可放電至一電壓值約等於電壓值 V_{pass} 減去電晶體 T23 之臨界電壓 (在此實施例中為以 10V 為例)。在時間區間 E，控制電壓 V_{ctrl1} 與 V_{ctrl2} 皆具有高邏輯位準，用以將井區電壓線 VPW、選擇線 SL、位元線 BL 以及電壓線 Virpwr 的電壓進一步放電至參考位準 VSS，在此實施例中參考位準 VSS 為一接地點，因此在時間區間 E，電壓線 VPW、選擇線 SL、位元線 BL 以及電壓線 Virpwr 被進一步放電至 0V，完成記憶體裝置各電壓線的放電程序。根據本發明之實施例，控制電壓 V_{ctrl1} 於高邏輯位準時可介於 8V~17V 之間，或是選擇為記憶體裝置之抹除電壓值的一半。

第 5 圖係根據本發明之另一實施例顯示放電電路 30，放電電路 30 係用於如第 1 圖中所示之記憶體裝置，用以在記憶體裝置完成資料抹除動作後，將記憶體裝置中電壓線 VPW 上的抹除電壓 V_{erase} 以及選擇線 SL 上的耦合電壓 V_{couple} 放電。如圖所示，放電電路 30 包括準備電路 301、第一階段放電電路 302、以及第二階段放電電路 303。準備電路 301 包括電壓源 VPASS、耦接至電壓源 VPASS 之電晶體 T31、耦接至參考位準 VSS 之電容器 C、以及耦接於電晶體 T31 與電容器 C 之間之電晶體 T32，其中電壓源 VPASS 供應小於抹除電壓 V_{erase} 與耦合電壓 V_{couple} 之電壓 V_{pass} 至電晶體 T31，並且電晶體 T31 與 T32 於一

準備階段導通，使得電容器 C 充電至電壓 V_{pass} 。第一階段放電電路 302 包括耦接至井區電壓線 VPW 與選擇線 SL 之開關電路 304，開關電路 304 與電晶體 T31 以及電晶體 T32 耦接於一連接點 N2，並且開關電路 304 於一第一放電階段導通，用以將井區電壓線 VPW 與選擇線 SL 耦接至連接點 N2。第二階段放電電路 303 包括耦接於電容器 C 與參考位準 VSS 之間之電晶體 T35，電晶體 T35 於一第二放電階段導通，用以將連接點 N2 耦接至參考位準 VSS。

如第 5 圖中所示，準備電路 301 之電晶體 T31 具有耦接至控制電壓源 VCTS3 之第一閘極，電晶體 T32 具有耦接至控制電壓源 VCTS4 之第二閘極，控制電壓源 VCTS3 與 VCTS4 分別供應控制電壓 V_{ctrl3} 與 V_{ctrl4} 用以控制電晶體 T31 與 T32 於準備階段導通。第一階段放電電路 302 之開關電路 304 包括電晶體 T33 與 T34，電晶體 T33 具有耦接至控制電壓 VCTS5 之第三閘極，而電晶體 T34 具有耦接至控制電壓源 VCTS5 之第四閘極，並且電晶體 T31、T32、T33 與 T34 耦接於連接點 N2，控制電壓源 VCTS5 供應控制電壓 V_{ctrl5} 用以控制電晶體 T33 與 T34 於第一放電階段導通。第二階段放電電路 303 之電晶體 T35 具有耦接至控制電壓源 VCTS6 之第五閘極，控制電壓源 VCTS6 供應控制電壓 V_{ctrl6} 用以控制電晶體 T35 於第二放電階段導通。根據本發明之一實施例，控制電壓源 VCTS5 也可供應至第 1 圖中所示之電壓線 YBL，並且將連接點 N2 耦接至電壓線 Virpwr，透過放電電路 30 的操作將電壓線 Virpwr

與位元線 BL 上的耦合電壓放電。

第 6 圖係顯示執行資料抹除時記憶體裝置中各電壓線的電壓位準，以及使用第 5 圖所示之放電電路 30 執行記憶體裝置放電時各電壓線的電壓位準，圖中時間區間 C 為記憶體裝置之抹除階段，時間區間 F 為準備階段，而時間區間 G 與 H 分別為第一放電階段與第二放電階段。如圖所示，控制電壓 V_{ctrl3} 在準備階段 F 具有高邏輯位準，並且在第一放電階段 G 與第二放電階段 H 具有低邏輯位準。控制電壓 V_{ctrl4} 在準備階段 F、第一放電階段 G 與上述第二放電階段 H 具有高邏輯位準。控制電壓 V_{ctrl5} 在準備階段 F 具有低邏輯位準，並且在第一放電階段 G 與第二放電階段 H 具有高邏輯位準。控制電壓 V_{ctrl6} 在準備階段 F 與第一放電階段 G 具有低邏輯位準，並且在第二放電階段 H 具有高邏輯位準。從第 6 圖中可以發現，準備階段 F 與記憶體裝置之抹除階段 C 部份重疊，用以在放電電路 30 執行記憶體裝置放電前，預先將電容器 C 充電，因此在此準備階段時，控制電壓 V_{ctrl3} 與 V_{ctrl4} 具有高邏輯位準，使得電晶體 T31 導通並產生自電壓源 VPASS 流至連接點 N2 之電流 I31(顯示於第 5 圖)，以及電晶體 T32 導通並產生自連接點 N2 流至電容器 C 之電流 I32，藉由電晶體 T31 與 T32 的導通，電容器 C 可預先充電至一電壓位準接近電壓 V_{pass} 。

第 7 圖係顯示放電電路 30 在第一放電階段時的電流方向，如第 6 圖中的電壓位準所示，在第一放電階段時控制

電壓 V_{ctrl5} 具有高邏輯位準，使得電晶體 T33 導通並產生自井區電壓線 VPW 流至連接點 N2 之電流 I33，以及電晶體導通 T34 並產生自選擇線 SL 流至連接點 N2 之電流 I34，並且此時控制電壓源 VCTS4 控制電晶體 T32 導通用以產生自連接點 N2 流至電容器 C 之電流 I35，因此在第一放電階段時，井區電壓線 VPW 與選擇線 SL 可藉由電晶體 T32、T33 與 T34 的導通耦接至電容器 C，此時由於電容器 C 已充電至一電壓位準接近電壓 V_{pass} ，因此如第 6 圖中所示，井區電壓線 VPW 與選擇線 SL 可在第一放電階段被放電至約等於電壓 V_{pass} ，在此實施例中，在資料抹除階段供應至井區電壓線 VPW 的抹除電壓為 20V，而選擇線 SL 與位元線 BL 分別耦合出小於 20V 的電壓，並且供應至電壓線 YBL 的電壓為 0V，而電壓源 VPASS 供應之電壓 V_{pass} 為 13V，因此在第一放電階段，井區電壓線 VPW、選擇線 SL 以及位元線 BL 皆被放電至約等於 13V 之電壓，而由於電壓線 Virpwr 耦接至連接點 N2，因此電壓線 Virpwr 上的電壓可放電至一電壓值約等於電壓值 V_{pass} 減去電晶體 T32 之臨界電壓(在此實施例中以 10V 為例)，然而值得注意的是，以上所使用的電壓值僅用以說明本發明之實施例，並不用以限制本發明之範圍，本發明之保護範圍當視後附之申請專利範圍所界定者為準。

第 8 圖係顯示放電電路 30 在第二放電階段時的電流方向，如第 6 圖中的電壓位準所示，在第二放電階段時，控制電壓 V_{ctrl4} 、 V_{ctrl5} 與 V_{ctrl6} 皆具有高邏輯位準，

使得電晶體 T32、T33、T34 與 T35 導通，並產生電流 I36 與 I37，電流 I36 自井區電壓線 VPW 經由電晶體 T33、T32、與 T35 流至參考位準 VSS，並且電流 I37 自選擇線 SL 經由電晶體 T34、T32、與 T35 流至參考位準 VSS，在此實施例中，參考位準 VSS 為一接地電壓，因此在第二放電階段，井區電壓線 VPW、選擇線 SL、位元線 BL 以及電壓線 Virpwr 皆被放電至約等於 0V 之電壓。根據本發明之實施例，控制電壓源 VCTS5 供應之高邏輯位準電壓值可介於 8V~17V 之間，或是選擇為記憶體裝置之抹除電壓值的一半。

根據以上介紹之實施例，本發明所提供之放電電路可控制記憶體裝置中各電壓線適當地放電，尤其是用於控制 NAND 快閃記憶體與 NOR 快閃記憶體的抹除電壓放電，藉由控制記憶體裝置中各電壓線同步放電，可避免由於記憶體中各元件的放電速度不一致，而導致 PN 介面導通並產生大電流損壞元件的問題。此外，以上所介紹的放電電路更適用於當記憶體裝置之選擇電晶體為一中電壓的 MOS 電晶體時，藉由放電電路控制記憶體裝置之各電壓線分成兩階段放電，以保護中電壓 MOS 電晶體不會因為將抹除電壓瞬間放電至 0V 而產生崩潰(Break down)。

本發明雖以較佳實施例揭露如上，然其並非用以限定本發明的範圍，任何熟習此項技藝者，在不脫離本發明之精神和範圍內，當可做些許的更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。

【圖式簡單說明】

第 1 圖係顯示快閃記憶體裝置的剖面圖。

第 2 圖係顯示傳統技術中快閃記憶體裝置執行抹除操作時各電壓線的電壓位準圖。

第 3 圖係根據本發明之一實施例顯示放電電路。

第 4 圖係顯示執行資料抹除時記憶體裝置中各電壓線的電壓位準，以及使用第 3 圖所示之放電電路執行記憶體裝置放電時各電壓線的電壓位準。

第 5 圖係根據本發明之另一實施例顯示放電電路。

第 6 圖係顯示執行資料抹除時記憶體裝置中各電壓線的電壓位準，以及使用第 5 圖所示之放電電路執行記憶體裝置放電時各電壓線的電壓位準。

第 7 圖係顯示如第 5 圖所示之放電電路在第一放電階段時的電流方向。

第 8 圖係顯示如第 5 圖所示之放電電路在第二放電階段時的電流方向。

【主要元件符號說明】

10～快閃記憶體裝置；

11～記憶體單元；

12～選擇電晶體；

20、30、302、303～放電電路；

201、202、304～開關電路；

301～準備電路

A、B、C、D、E、F、G、H～時間區間；

BL～位元線；

FG～浮動閘；

I21、I22、I23、I24、I31、I32、I33、I34、I35、I36、

I37～電流

N1、N2～連接點；

N_well～N 井區；

P_sub～基底；

P_well、LV_P_well～P 井區；

SL～選擇線；

T21、T22、T23、T24、T31、T32、T33、T34、T35～

電晶體；

WL～字元線；

V_couple、V_ctrl1、V_ctrl2、V_ctrl3、V_ctrl4、V_ctrl5、

V_ctrl6、V_erase、V_pass、VSS～電壓；

VCTS1、VCTS2、VCTS3、VCTS4、VCTS5、VCTS6、

VPASS～電壓源；

VPW、YBL、Virpwr～電壓線。

五、中文發明摘要：

一種積體電路，包括記憶體裝置與放電電路，其中記憶體裝置包括記憶體單元、井區電壓線、第一極電壓線以及第一電壓源，第一電壓源於抹除階段供應第一電壓至井區電壓線，並於第一極電壓線耦合出一耦合電壓。放電電路包括第一開關電路耦接於井區電壓線、第一極電壓線以及一第二電壓源之間，第二電壓源供應小於第一電壓與耦合電壓之第二電壓；第二開關電路耦接於第一開關電路與參考位準之間；第一控制電壓源耦接至第一開關電路，於第一放電階段供應第一控制電壓導通第一開關電路，使得井區電壓線與第一極電壓線耦接至第二電壓源；第二控制電壓源耦接至第二開關電路，於第二放電階段供應第二控制電壓導通第二開關電路，使得井區電壓線與第一極電壓線耦接至參考位準。

六、英文發明摘要：

An integrated circuit. The integrated circuit comprises a memory device and a discharge circuit. Memory device comprises a memory cell, a well voltage line, a first electrode voltage line, and a first voltage supplier. First voltage supplier supplies a first voltage to well voltage line, and a coupled voltage is coupled on first electrode voltage line during the erase operation of the memory device. Discharge circuit comprises a first switch circuit coupled

between the well voltage line, first electrode voltage line and a second voltage supplier, wherein the second voltage supplier supplies a second voltage smaller than the first voltage and the coupled voltage; second switch circuit coupled between the first switch circuit and a reference voltage; a first control voltage supplier coupled to the first switch circuit, and supplies a first voltage to turn on the first switch circuit during a first discharge period so as to the well voltage line and the first electrode voltage line are coupled to the second voltage supplier; a second control voltage supplier coupled to the second switch circuit, and supplies a second voltage to turn on the second switch circuit during a second discharge period so as to the well voltage line and the first electrode voltage line are coupled to the reference voltage.

七、指定代表圖：

(一)本案指定代表圖為：第 3 圖。

(二)本代表圖之元件符號簡單說明：

20～放電電路；

201、202～開關電路；

I21、I22、I23、I24～電流

N1～連接點；

T21、T22、T23、T24～電晶體；

VSS～電壓；

VCTS1、VCTS2、VPASS～電壓源。

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

略

十、申請專利範圍：

1. 一種積體電路，包括：

一記憶體裝置，包括：

一記憶體單元；

一井區電壓線，耦接至上述記憶體裝置之一井區；

一第一極電壓線，耦接至上述記憶體單元之一第一第一極；以及

一第一電壓源，用以於一抹除階段時，供應一第一電壓至上述井區電壓線，並於上述第一極電壓線耦合出一耦合電壓，其中上述第一電壓足以抹除上述記憶體單元中儲存之一資料；以及

一放電電路，用以在上述抹除階段結束後將上述井區電壓線與上述第一極電壓線放電，上述放電電路包括：

一第一開關電路，具有複數開關，上述複數開關之一端分別耦接於上述井區電壓線、上述第一極電壓線以及一第二電壓源，且上述複數開關一另一端相互耦接，其中上述第二電壓源供應小於上述第一電壓與上述耦合電壓之一第二電壓；

一第二開關電路，耦接於上述複數開關之該另一端與一參考位準之間，其中上述參考位準小於上述第一電壓；

一第一控制電壓源，耦接至上述第一開關電路，於一第一放電階段供應一第一控制電壓以導通上述第一開關電路，使得上述井區電壓線與上述第一極電壓

線耦接至上述第二電壓源；以及

一第二控制電壓源，耦接至上述第二開關電路，於一第二放電階段供應一第二控制電壓以導通上述第二開關電路，使得上述井區電壓線與上述第一極電壓線耦接至上述參考位準。

2.如申請專利範圍第 1 項所述之積體電路，其中上述第一開關電路包括：

一第一電晶體，其中一端耦接至上述井區電壓線，且具有一第一閘極；

一第二電晶體，其中一端耦接至上述第一極電壓線，且具有一第二閘極；以及

一第三電晶體，其中一端耦接至上述第二電壓源，且具有一第三閘極，其中上述第一閘極、上述第二閘極以及上述第三閘極分別耦接至上述第一控制電壓源，且上述第二開關電路與上述第一電晶體、上述第二電晶體以及上述第三電晶體之另一端耦接於一連接點。

3.如申請專利範圍第 2 項所述之積體電路，其中上述第二開關電路為一第四電晶體，耦接於上述連接點與上述參考位準之間，並具有一第四閘極耦接至上述第二控制電壓源。

4.如申請專利範圍第 2 項所述之積體電路，其中上述記憶體裝置更包括：

一位元線，耦接至上述記憶體單元之一第一第二極；以及

一第五電晶體，具有耦接至一選擇電壓線之一第五閘極、耦接至上述位元線之一第二第一極，以及耦接至一源汲極電壓線之一第二第二極，其中上述源汲極電壓線更耦接至上述連接點，並且上述選擇電壓線耦接至上述第一控制電壓源。

5.如申請專利範圍第 2 項所述之積體電路，其中在上述第一放電階段時，上述第一電晶體導通並產生自上述井區電壓線流至上述連接點之一第一電流，上述第二電晶體導通並產生自上述第一極電壓線流至上述連接點之一第二電流，以及上述第三電晶體導通並產生自上述連接點流至上述第二電壓源之一第三電流。

6.如申請專利範圍第 3 項所述之積體電路，其中在上述第二放電階段時，上述第四電晶體導通並產生自上述連接點流至上述參考位準之一第四電流。

7.如申請專利範圍第 1 項所述之積體電路，其中上述第一控制電壓在上述第一放電階段與上述第二放電階段具有高邏輯位準，並且上述第二控制電壓在上述第一放電階段具有低邏輯位準而在上述第二放電階段具有高邏輯位準。

8.如申請專利範圍第 1 項所述之積體電路，其中上述第一控制電壓介於 8V~17V 之間。

9.如申請專利範圍第 4 項所述之積體電路，其中上述井區電壓線、上述第一極電壓線、上述位元線以及上述源汲極電壓線於上述第一放電階段具有介於上述第一電壓與

上述參考位準之電壓位準，並且於上述第二放電階段具有約略等於上述參考位準之電壓位準。

10.如申請專利範圍第1項所述之積體電路，其中上述記憶體裝置為快閃記憶體。

11.一種放電電路，適用於將一記憶體裝置之複數電壓線放電，其中上述電壓線包括耦接至上述記憶體裝置之一井區之一井區電壓線、以及耦接上述記憶體裝置之一記憶體單元之一第一第一極之一第一極電壓線，其中上述記憶體裝置更包括一第一電壓源，用以於上述記憶體裝置之一抹除階段供應足以抹除上述記憶體單元中儲存之一資料之一第一電壓至上述井區電壓線，並且於上述第一極電壓線耦合出一耦合電壓，上述放電電路包括：

一準備電路，包括：一第二電壓源；一第一開關電路，其一端耦接至上述第二電壓源；一電容器，其一端耦接至一參考位準；以及一第二開關電路，其一端耦接於上述第一開關電路之另一端，且該第二開關電路之另一端耦接於上述電容器之另一端，其中上述第二電壓源供應一第二電壓至上述第一開關電路，並且上述第一開關電路與上述第二開關電路於一準備階段導通，使得上述電容器充電至上述第二電壓；

一第一階段放電電路，包括具有複數開關之一第三開關電路，上述複數開關之一端分別耦接於上述井區電壓線與上述第一極電壓線，上述複數開關之該另一端與上述第一開關電路之該另一端以及上述第二開關電路耦接於一連

接點，並且上述複數開關於一第一放電階段導通，用以將上述井區電壓線與上述第一極電壓線耦接至上述連接點；以及

一第二階段放電電路，包括耦接於上述電容器之該另一端與上述參考位準之間之一第四開關電路，上述第四開關電路於一第二放電階段導通，用以將上述連接點經由上述第二開關電路耦接至上述參考位準。

12.如申請專利範圍第 11 項所述之放電電路，其中上述第一開關電路為一第一電晶體，上述第二開關電路為一第二電晶體，上述第一電晶體具有耦接至一第一控制電壓之一第一閘極，上述第二電晶體具有耦接至一第二控制電壓之一第二閘極。

13.如申請專利範圍第 12 項所述之放電電路，上述第三開關電路包括一第三電晶體與一第四電晶體，上述第三電晶體具有耦接至一第三控制電壓之一第三閘極，上述第四電晶體具有耦接至上述第三控制電壓之一第四閘極。

14.如申請專利範圍第 13 項所述之放電電路，上述第四開關電路為一第五電晶體，具有耦接至一第四控制電壓之一第五閘極，其中上述第一控制電壓在上述準備階段具有高邏輯位準，並且在上述第一放電階段與上述第二放電階段具有低邏輯位準，上述第二控制電壓在上述準備階段、上述第一放電階段與上述第二放電階段具有高邏輯位準，上述第三控制電壓在上述準備階段具有低邏輯位準，並且在上述第一放電階段與上述第二放電階段具有高邏輯

位準，以及上述第四控制電壓在上述準備階段與上述第一放電階段具有低邏輯位準，並且在上述第二放電階段具有高邏輯位準。

15.如申請專利範圍第 11 項所述之放電電路，其中上述第二電壓小於上述第一電壓與上述耦合電壓。

16.如申請專利範圍第 12 項所述之放電電路，其中在上述準備階段時，上述第一電晶體導通並產生自上述第二電壓源流至上述連接點之一第一電流，以及上述第二電晶體導通並產生自上述連接點流至上述電容器之一第二電流。

17.如申請專利範圍第 13 項所述之放電電路，其中在上述第一放電階段時，上述第三電晶體導通並產生自上述井區電壓線流至上述連接點之一第三電流，上述第四電晶體導通並產生自上述第一極電壓線流至上述連接點之一第四電流，以及上述第二電晶體導通並產生自上述連接點流至上述電容器之一第五電流。

18.如申請專利範圍第 14 項所述之放電電路，其中在上述第二放電階段時，上述第二電晶體、上述第三電晶體、上述第四電晶體以及上述第五電晶體導通，並產生一第六電流與一第七電流，上述第六電流經由上述第三電晶體、上述第二電晶體、以及上述第五電晶體至上述參考位準，並且上述第七電流經由上述第四電晶體、上述第二電晶體、以及上述第五電晶體至上述參考位準。

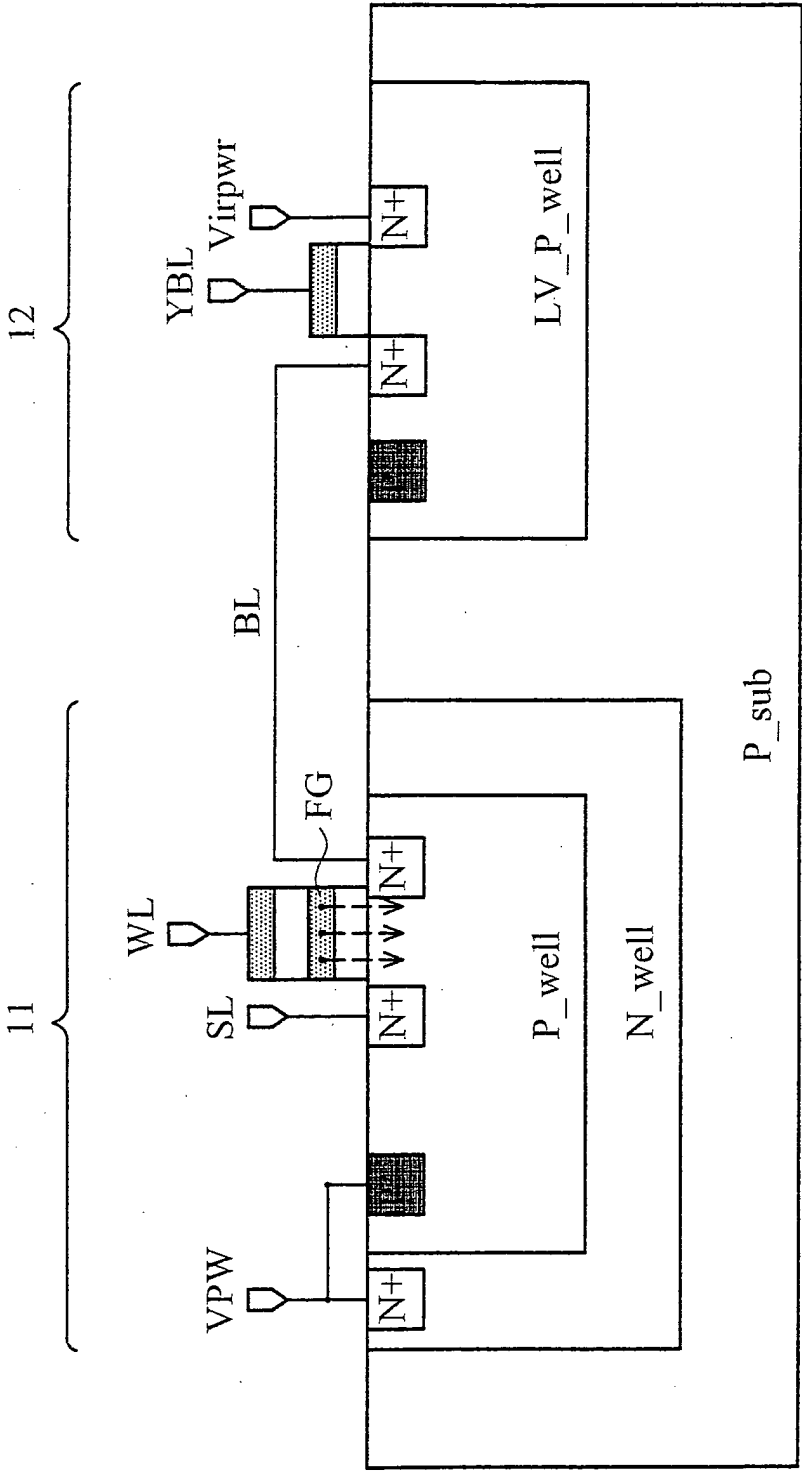
19.如申請專利範圍第 13 項所述之放電電路，其中上

述記憶體裝置更包括一選擇電晶體、一位元線、一源汲極電壓線以及一選擇電壓線，其中上述位元線耦接於上述記憶體單元之一第一第二極與上述選擇電晶體之一第二第一極之間，上述源汲極電壓線耦接之上述選擇電晶體之一第二第二極，以及上述選擇電壓線耦接上述選擇電晶體之一第六閘極，並且上述源汲極電壓線更耦接至上述連接點，以及上述選擇電壓線耦接至上述第三控制電壓。

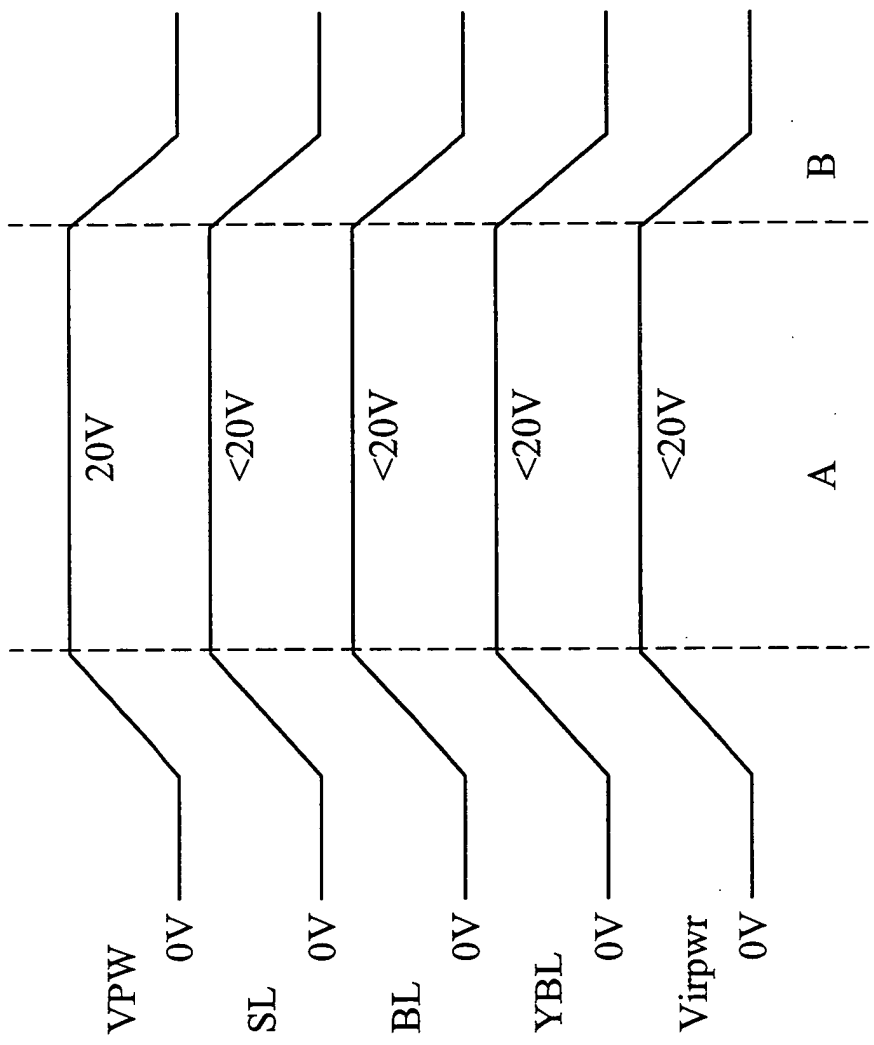
20.如申請專利範圍第 19 項所述之放電電路，其中上述井區電壓線、上述第一極電壓線、上述位元線以及上述源汲極電壓線於上述第一放電階段具有介於上述第一電壓與上述參考位準之電壓位準，並且於上述第二放電階段具有約略等於上述參考位準之電壓位準。

21.如申請專利範圍第 11 項所述之放電電路，其中上述記憶體裝置為快閃記憶體。

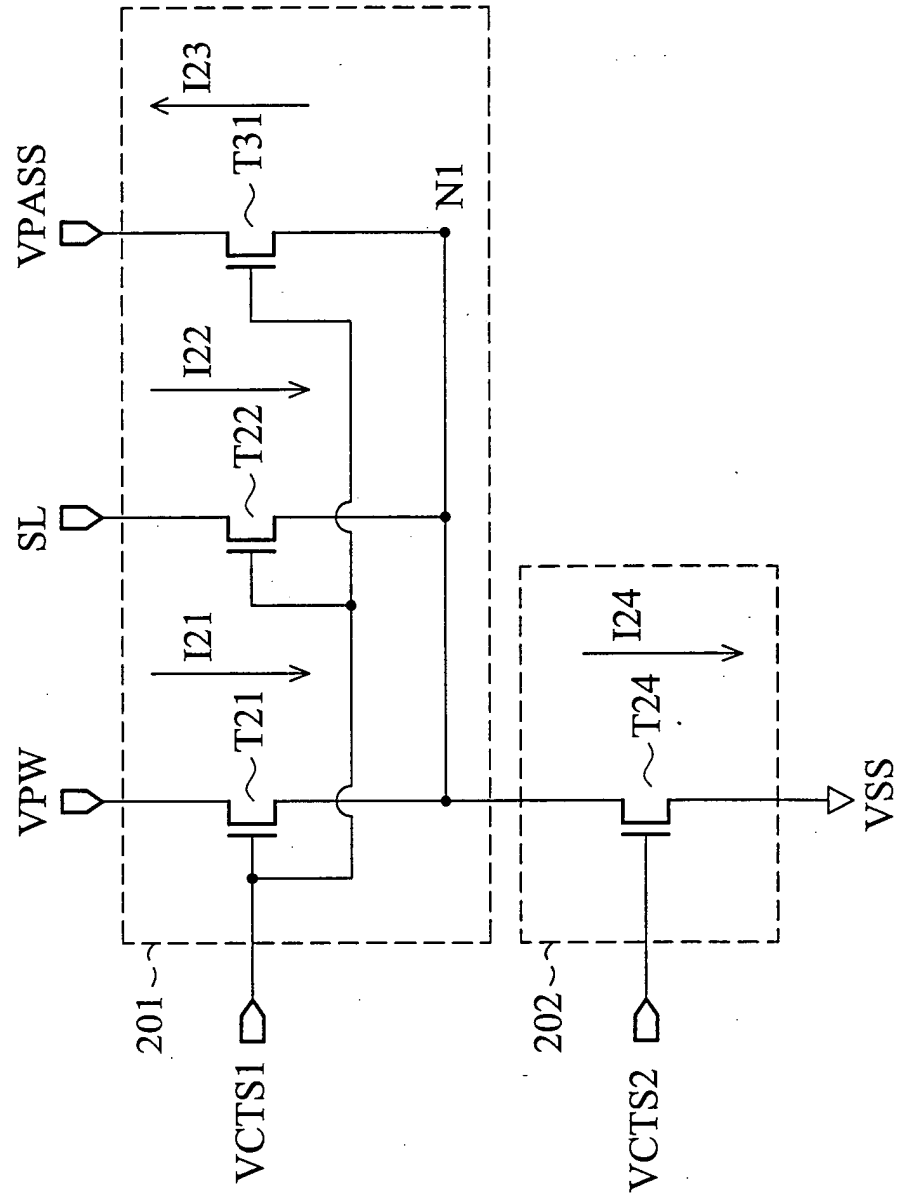
10



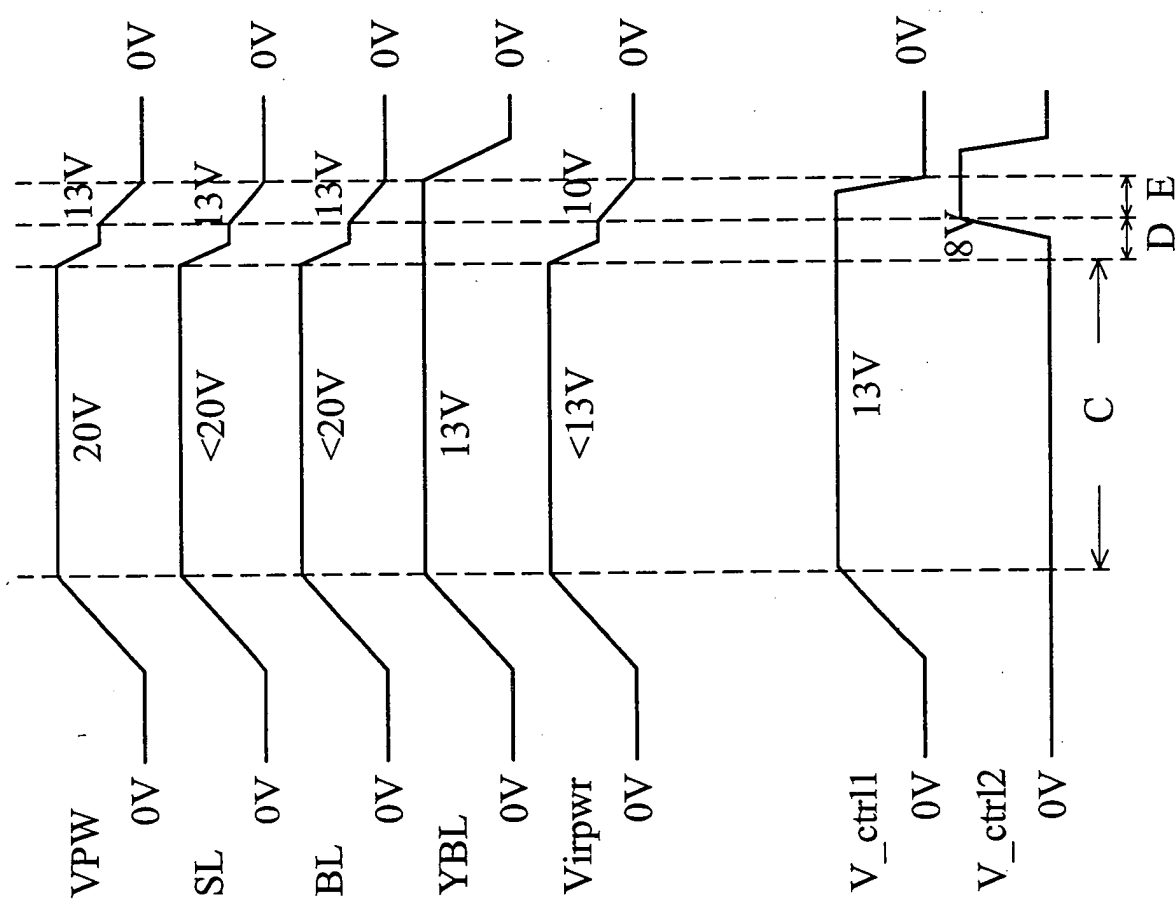
第 1 圖



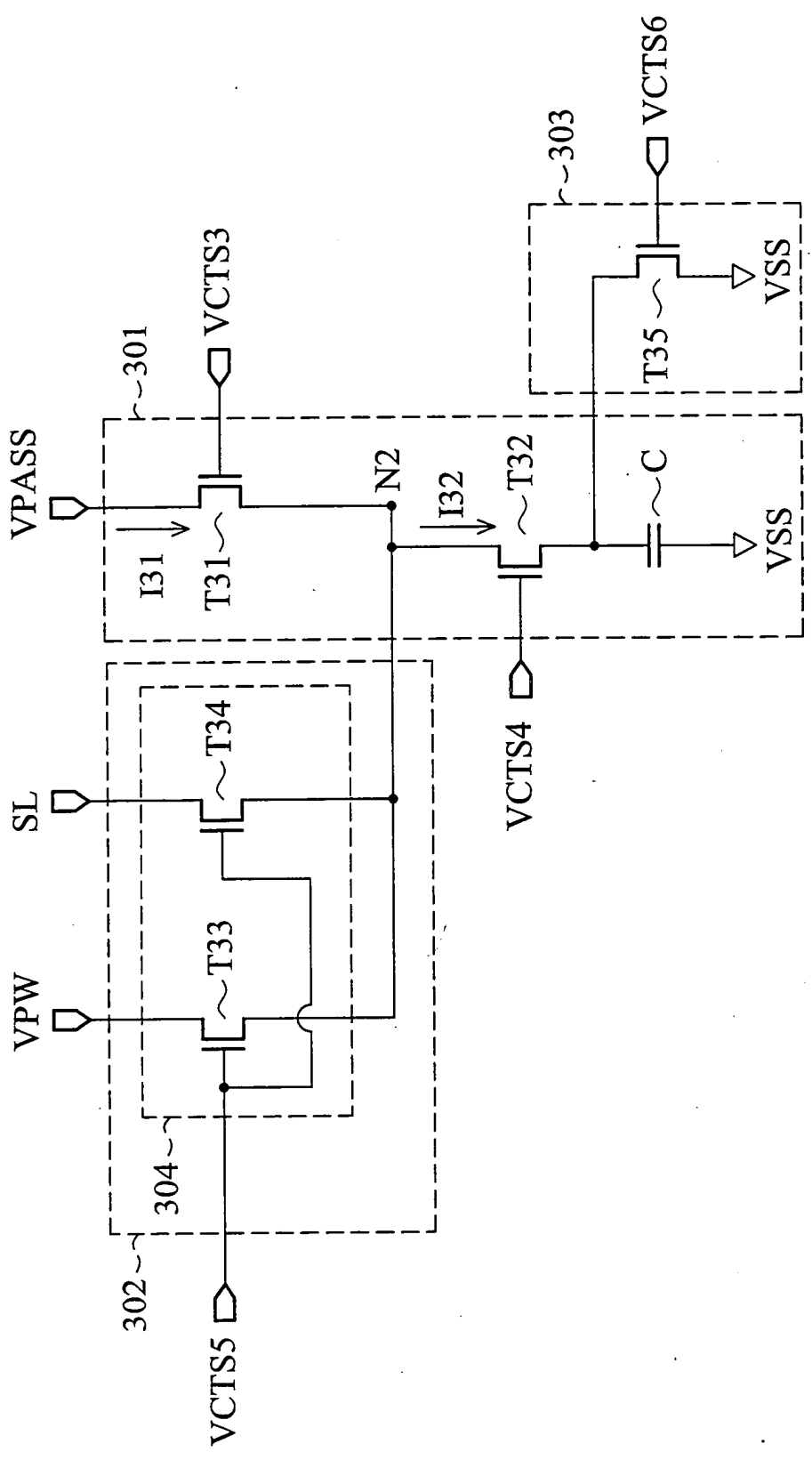
第 2 圖



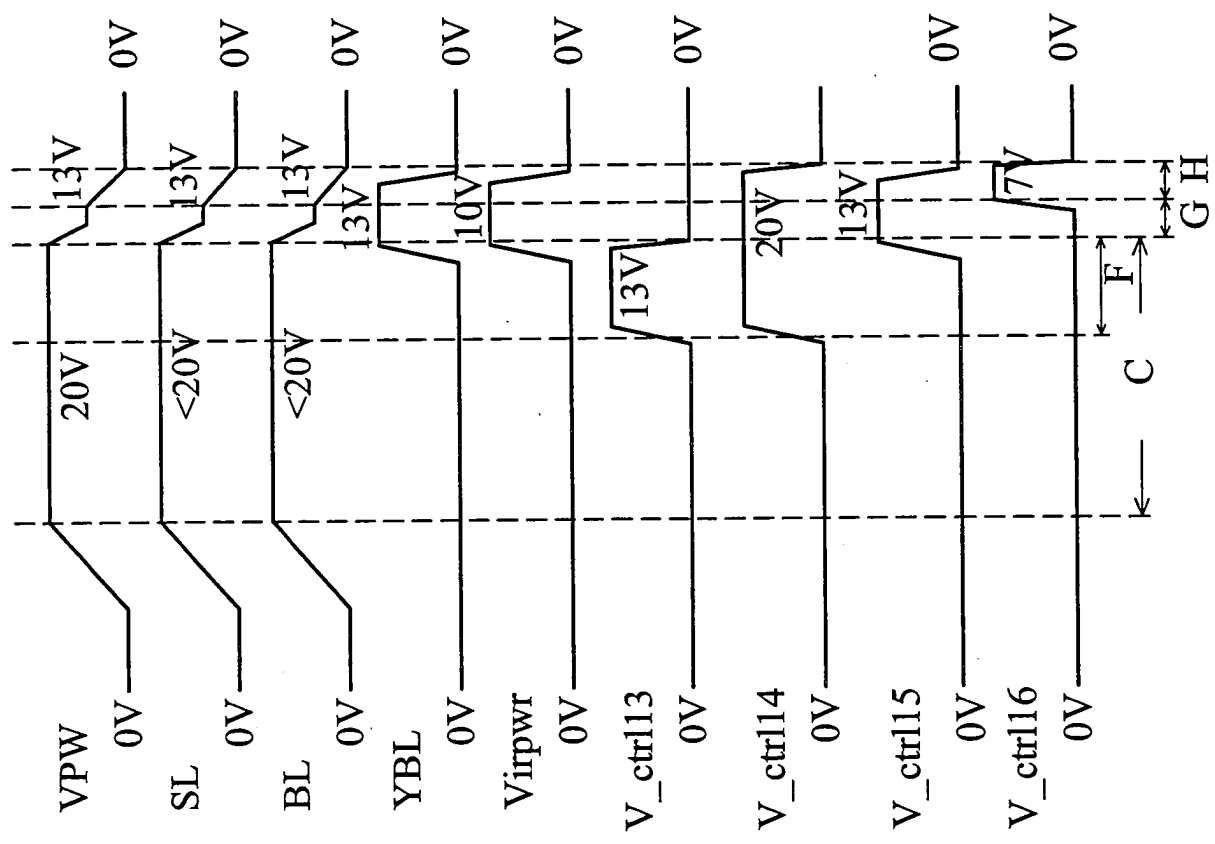
第 3 圖



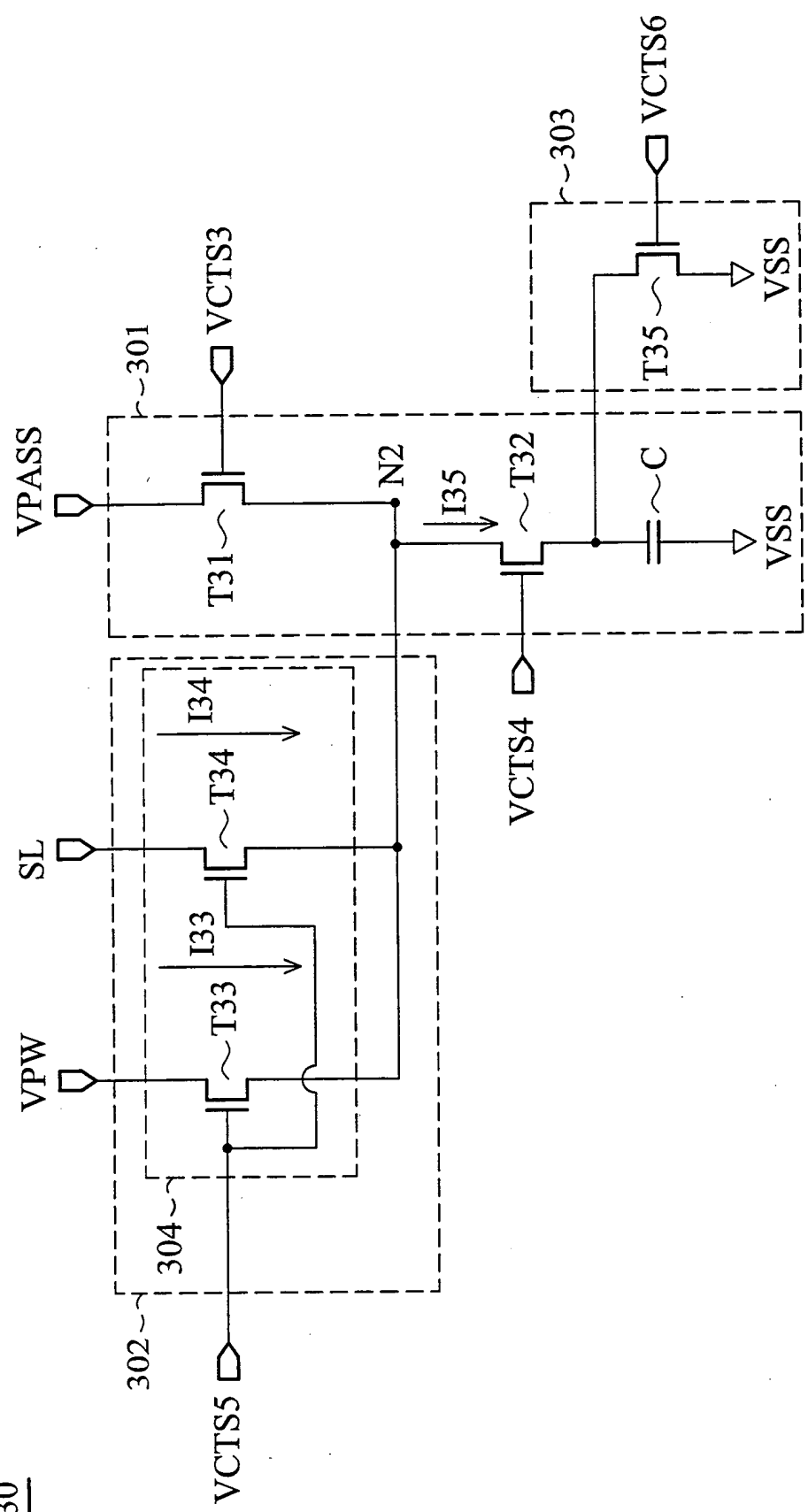
第 4 圖



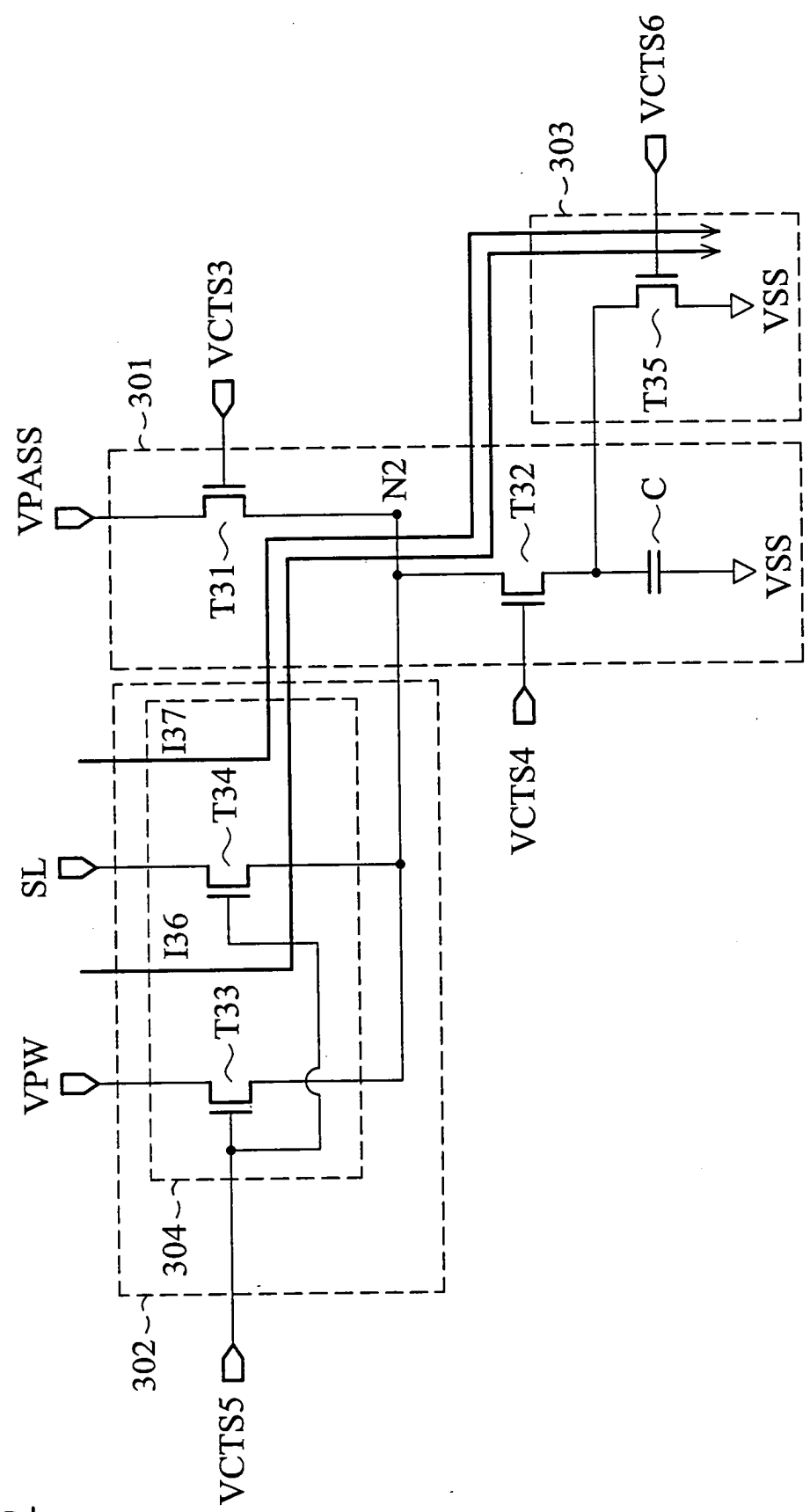
第 5 圖



第 6 圖



第 7 圖



第 8 圖