

 (19) 대한민국특허청(KR) (12) 공개특허공보(A)	(11) 공개번호 10-2013-0035579 (43) 공개일자 2013년04월09일
(51) 국제특허분류(Int. Cl.) <i>H01L 29/73</i> (2006.01) <i>H01L 21/328</i> (2006.01) (21) 출원번호 10-2011-0099967 (22) 출원일자 2011년09월30일 심사청구일자 2011년09월30일	(71) 출원인 고려대학교 산학협력단 서울 성북구 안암동5가 1 (72) 발명자 성만영 서울 중랑구 묵동 20 신내5단지 두산아파트 521동 604호 오주현 서울특별시 도봉구 창3동 신도브레뉴아파트 101동 605호 이현웅 제주특별자치도 제주시 전농로7길 26 (삼도일동) (74) 대리인 특허법인충현

전체 청구항 수 : 총 9 항

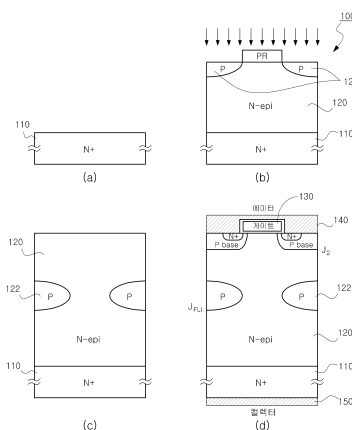
(54) 발명의 명칭 **절연 게이트 바이폴라 트랜지스터 및 이의 제조방법**

(57) 요약

본 발명은 절연 게이트 바이폴라 트랜지스터 및 이의 제조방법에 관한 것으로, 보다 구체적으로는 기판; 상기 기판의 상부에 에피택시 공정을 통해 형성되는 N형 드리프트영역; 상기 N형 드리프트영역의 상부에 에미터와 게이트를 포함하도록 형성되는 상부단자; 및 상기 기판의 하부에 컬렉터를 포함하도록 형성되는 하부단자; 를 포함하되, 상기 N형 드리프트영역은 내부에 적어도 하나의 플로팅 아일랜드 구조를 갖는 P층이 형성되는 것을 특징으로 한다.

이러한 구성에 의해, 본 발명의 절연 게이트 바이폴라 트랜지스터 및 이의 제조방법은 N 드리프트 영역에 플로팅 아일랜드 구조를 갖는 P층을 삽입함에 따라, 드리프트 층의 농도를 높이는 경우, 항복전압이 감소하는 것을 방지하며, 온 상태에서의 전압강하를 감소시킬 수 있는 효과가 있다.

대표도 - 도2



특허청구의 범위

청구항 1

절연 게이트 바이폴라 트랜지스터에 있어서,

기판의 상부에 형성되는 N형 드리프트 영역 내 적어도 하나의 플로팅 아일랜드(Floating Island) 구조를 갖는 P층이 형성되는 것을 특징으로 하는 절연 게이트 바이폴라 트랜지스터.

청구항 2

절연 게이트 바이폴라 트랜지스터에 있어서,

기판;

상기 기판의 상부에 에피택시 공정을 통해 형성되는 N형 드리프트영역;

상기 N형 드리프트영역의 상부에 에미터와 게이트를 포함하도록 형성되는 상부단자; 및

상기 기판의 하부에 컬렉터를 포함하도록 형성되는 하부단자;

를 포함하되,

상기 N형 드리프트영역은 내부에 적어도 하나의 플로팅 아일랜드 구조를 갖는 P층이 형성되는 것을 특징으로 하는 절연 게이트 바이폴라 트랜지스터.

청구항 3

절연 게이트 바이폴라 트랜지스터에 있어서,

상부에 적어도 하나의 플로팅 아일랜드 구조를 갖는 P층이 형성되는 기판;

상기 기판의 상부에 에피택시 공정을 통해 형성되는 N형 드리프트영역;

상기 N형 드리프트영역의 상부에 에미터와 게이트를 포함하도록 형성되는 상부단자; 및

상기 기판의 하부를 CMP공정을 통해 연마한 후, 연마된 상기 기판의 하부에 컬렉터를 포함하도록 형성되는 하부단자;

를 포함하는 것을 특징으로 하는 절연 게이트 바이폴라 트랜지스터.

청구항 4

절연 게이트 바이폴라 트랜지스터에 있어서,

적어도 하나의 플로팅 아일랜드 구조를 갖는 P층이 상부에 형성되는 제1기판;

상기 제1기판의 상부에 웨이퍼본딩되는 제2기판;

상기 제2기판의 상부를 CMP(Chemical Mechanical Polishing)공정을 통해 연마한 후, 연마된 상기 제2기판의 상부에 에미터와 게이트를 포함하도록 형성되는 상부단자; 및

상기 제1기판의 하부를 CMP공정을 통해 연마한 후, 연마된 상기 제1기판의 하부에 컬렉터를 포함하도록 형성되는 하부단자;

를 포함하는 것을 특징으로 하는 절연 게이트 바이폴라 트랜지스터.

청구항 5

제4항에 있어서,

상기 제1기관 및 제2기관은

동일한 도핑농도를 갖는 것을 특징으로 하는 절연 게이트 바이폴라 트랜지스터.

청구항 6

절연 게이트 바이폴라 트랜지스터의 제조방법에 있어서,

기관을 준비하는 기관준비단계;

상기 기관의 상부에 에피택시 공정을 통해 N형 드리프트영역을 성장하는 성장단계;

상기 N형 드리프트영역의 상부에 리소그래피 공정을 통해 적어도 하나의 플로팅 아일랜드 구조를 갖는 P층을 형성하는 FLI형성단계;

상기 적어도 하나의 플로팅 아일랜드 구조를 갖는 P층이 형성된 N형 드리프트영역의 상부로 에피택시 공정을 통해 N형 드리프트영역을 재성장하는 재성장단계; 및

재성장된 N형 드리프트영역의 상부로 에미터와 게이트를 포함하는 상부단자 및 상기 기관의 하부에 컬렉터를 포함하는 하부단자를 형성하는 단자형성단계;

를 포함하는 것을 특징으로 하는 절연 게이트 바이폴라 트랜지스터의 제조방법.

청구항 7

절연 게이트 바이폴라 트랜지스터의 제조방법에 있어서,

기관을 준비하는 준비단계;

상기 기관의 상부에 리소그래피 공정을 통해 적어도 하나의 플로팅 아일랜드 구조를 갖는 P층을 형성하는 FLI형성단계;

상기 적어도 하나의 플로팅 아일랜드 구조를 갖는 P층이 형성된 상기 기관의 상부에 에피택시 공정을 통해 N형 드리프트영역을 성장하는 성장단계; 및

성장된 N형 드리프트영역의 상부로 에미터와 게이트를 포함하는 상부단자 및 상기 기관의 하부에 컬렉터를 포함하는 하부단자를 형성하는 단자형성단계;

를 포함하되,

상기 단자형성단계는

상기 기관의 하부를 CMP공정을 통해 연마한 후, 연마된 상기 기관의 하부에 컬렉터를 포함하도록 하부단자를 형성하는 것을 특징으로 하는 절연 게이트 바이폴라 트랜지스터의 제조방법.

청구항 8

절연 게이트 바이폴라 트랜지스터의 제조방법에 있어서,

제1기관의 상부에 적어도 하나의 플로팅 아일랜드 구조를 갖는 P층을 형성하는 FLI형성단계;

상기 제1기관의 상부에 제2기관을 웨이퍼 본딩 공정을 통해 본딩하는 웨이퍼본딩단계;

상기 제2기관의 상부를 CMP(Chemical Mechanical Polishing)공정을 통해 연마한 후, 에미터와 게이트를 포함하는 상부단자를 형성하는 상부단자형성단계;

상기 제1기판의 하부를 CMP공정을 통해 연마한 후, 컬렉터를 포함하는 하부단자를 형성하는 하부단자형성단계; 를 포함하는 것을 특징으로 하는 절연 게이트 바이폴라 트랜지스터의 제조방법.

청구항 9

제8항에 있어서,

상기 제1기판 및 제2기판은

동일한 도핑농도를 갖는 것을 특징으로 하는 절연 게이트 바이폴라 트랜지스터의 제조방법.

명세서

기술분야

[0001] 본 발명은 절연 게이트 바이폴라 트랜지스터 및 이의 제조방법에 관한 것으로, 특히 항복전압이 감소되는 것을 방지하고, 온 상태에서 전압강하를 감소시켜 동작효율을 향상시키는 절연 게이트 바이폴라 트랜지스터 및 이의 제조방법에 관한 것이다.

배경기술

[0002] IT 기술의 발전으로 인해, 다양한 분야의 시스템에서 고성능의 파워 반도체소자의 사용이 요구되고 있는 추세이다. 이러한 파워 반도체소자 중에서도 IGBT(Insulated Gate Bipolar Transistor) 즉, 절연 게이트 바이폴라 트랜지스터가 고전압, 고전류에 적합한 파워 반도체소자로서 각광을 받고 있다. 이러한 절연 게이트 바이폴라 트랜지스터는 스위칭 특성이 탁월한 MOSFET과, 높은 전류 구동 능력과 낮은 순방향 전압강하 및 우수한 순방향 전도 특성을 갖는 BJT를 결합한 구조를 가지고 있어, 고전압 및 고전류에 적합하게 사용된다.

[0003] 이하, 도 1을 참조하여, 종래기술에 따른 절연 게이트 바이폴라 트랜지스터의 구조에 대하여 자세히 살펴보도록 한다.

[0004] 도 1은 종래기술에 따른 절연 게이트 바이폴라 트랜지스터의 구조를 나타낸 도면이다.

[0005] 도 1(a)에 도시된 바와 같이, 종래기술에 따른 절연 게이트 바이폴라 트랜지스터는 소자의 하단에 컬렉터가 위치하고, 소자의 상단에 에미터 및 게이트가 위치한다. 이러한 종래기술에 따른 절연 게이트 바이폴라 트랜지스터는 N⁺ 에미터, P 베이스, N 드리프트영역, 게이트로 구성되는 MOSFET 및 P 베이스, N 드리프트영역, P 컬렉터로 구성되는 PNP BJT가 형성되어, 상호 연결된다.

[0006] 이러한 절연 게이트 바이폴라 트랜지스터는 문턱전압보다 낮은 전압이 인가된 상태에서 컬렉터에 음의 전압이 인가되면 N 드리프트 영역과 P 컬렉터 영역의 접합인 J1 접합영역이 역방향으로 인가된다. 이때, 공핍층은 저농도로 도핑되어 있는 N 드리프트 영역으로 확장하게 되며, 상기 공핍층의 영역이 넓을수록 더 큰 항복전압을 지지함에 따라, 이러한 N 드리프트영역으로 인해 두꺼운 수직형 절연 게이트 바이폴라 트랜지스터가 오프상태에서 고전압을 지지하게 된다. 또한, 상기 절연 게이트 바이폴라 트랜지스터의 오프상태에서 컬렉터에 양의 전압이 인가되는 경우, N 드리프트영역과 P 베이스영역의 접합인 J2 접합영역이 역방향 전압으로 인가된다. 이러한 경우에도, 상기 공핍층은 저농도 도핑되어 있는 N 드리프트영역으로 확장하게 된다.

[0007] 이러한 절연 게이트 바이폴라 트랜지스터는 스위칭 오프시의 저지전압을 나타내는 항복전압을 향상시키고, 스위칭 온 상태에서의 온 상태 전압강하를 감소시키는 특성을 갖는 것이 바람직하다.

[0008] 하지만, 파워 반도체소자의 항복전압과, 온 상태의 전력소모의 두 특성은 트레이드오프관계에 있으므로, 이와 같이, 트레이드오프로 인한 문제를 해결하기 위해, 저농도로 도핑된 N 드리프트 영역에 P형 플로팅 아일랜드를 삽입한 Floating Island MOS(FLIMOS)가 개발되었다. 이러한 FLIMOS는 최고 전계가 플로팅 아일랜드와 P 베이스 양 쪽으로 분산됨에 따라, 기존의 도핑농도를 더 높일 수 있어, JFET영역에서의 온 저항이 감소하도록 한다. 하지만 이러한 FLIMOS를 고전압 영역에서 사용하게 되면, 두꺼워진 드리프트영역으로 인해, 온 저항이 상승할 뿐

만 아니라, 제조공정비용 또한 증가하는 문제점이 발생했다.

[0009] 상술한 바와 같이, 절연 게이트 바이폴라 트랜지스터 및 이의 제조방법에 대한 선행기술을 살펴보면 다음과 같다.

[0010] 선행기술 1은 한국공개특허공보 제2008-0068658호(2008.07.23)로서, SOI 트랜치 횡형 IGBT에 관한 것이다. 이러한 선행기술 1은 n+ 이미터 영역과 p+ 콜렉터 영역 사이의 웨이퍼 전체면에 상단 트랜치와 하단 트랜치로 이루어지는 트랜치를 형성하며, 그 안을 트랜치 매립 절연막으로 메우는 것에 의해, 내압을 담지하는 드리프트 영역을 웨이퍼의 깊이 방향으로 절곡하여, 실효적인 드리프트 길이를 길게 형성하며, 트랜치 매립 절연막 내에 이미터측 필드 플레이트를 매립하고, 트랜치 매립 절연막의 이미터측에 생기는 횡전계를 차폐시킴으로써, n- 드리프트 영역과, p베이스 영역과의 PN접합에서 발생하는 전계를 완화하여 단위면적당 온 저항을 낮게 한다.

[0011] 또한, 선행기술 2는 한국등록특허공보 제0776786호(2007.11.08)로서, 공핍 중지층을 구비한 트랜치 IGBT에 관한 것이다. 이러한 선행기술 2는 250 μ m보다 작은 두께를 갖는 플로트존 실리콘의 N형 웨이퍼와; 상기 웨이퍼의 상부표면상에 형성된 MOS게이트 집합 패턴 및 금속과; 상기 웨이퍼의 바닥 표면에 인접하여 형성된 공핍 중지 N+ 버퍼존과; 상기 N+ 버퍼존 상에 형성되어 상기 웨이퍼의 상기 바닥 표면에까지 연장되는 약하게 도핑된 P형 애노드와; 그리고 상기 약하게 도핑된 P형 애노드에 접속되고 상기 약하게 도핑된 P형 애노드와 교차하는 후면 금속 콘택을 포함함으로써, 낮은 V_{CEON} 과 E_{OFF} 를 획득한다.

발명의 내용

해결하려는 과제

[0012] 상기와 같은 종래 기술의 문제점을 해결하기 위해, 본 발명은 절연 게이트 바이폴라 트랜지스터의 N 드리프트영역에 플로팅 아일랜드(Floating Island, FLI) 구조를 갖는 P층을 삽입하여, 상기 N 드리프트영역의 농도를 높이는 경우의 항복전압이 감소하는 것을 방지하고, 온 상태의 전압강하를 감소시킴으로써, 고전압영역에서도 동작 특성의 신뢰성을 향상시키는 절연 게이트 바이폴라 트랜지스터 및 이의 제조방법을 제공하고자 한다.

과제의 해결 수단

[0013] 위와 같은 과제를 해결하기 위한 본 발명의 한 실시 예에 따른 절연 게이트 바이폴라 트랜지스터는 기관의 상부에 형성되는 N형 드리프트 영역 내 적어도 하나의 플로팅 아일랜드(Floating Island) 구조를 갖는 P층이 형성되는 것을 특징으로 한다.

[0014] 위와 같은 과제를 해결하기 위한 본 발명의 다른 실시 예에 따른 절연 게이트 바이폴라 트랜지스터는 기관; 상기 기관의 상부에 에피택시 공정을 통해 형성되는 N형 드리프트영역; 상기 N형 드리프트영역의 상부에 에미터와 게이트를 포함하도록 형성되는 상부단자; 및 상기 기관의 하부에 컬렉터를 포함하도록 형성되는 하부단자;를 포함하되, 상기 N형 드리프트영역은 내부에 적어도 하나의 플로팅 아일랜드 구조를 갖는 P층이 형성되는 것을 특징으로 한다.

[0015] 위와 같은 과제를 해결하기 위한 본 발명의 또 다른 실시 예에 따른 절연 게이트 바이폴라 트랜지스터는 상부에 적어도 하나의 플로팅 아일랜드 구조를 갖는 P층이 형성되는 기관; 상기 기관의 상부에 에피택시 공정을 통해 형성되는 N형 드리프트영역; 상기 N형 드리프트영역의 상부에 에미터와 게이트를 포함하도록 형성되는 상부단자; 및 상기 기관의 하부를 CMP공정을 통해 연마한 후, 연마된 상기 기관의 하부에 컬렉터를 포함하도록 형성되는 하부단자;를 포함하는 것을 특징으로 한다.

[0016] 위와 같은 과제를 해결하기 위한 본 발명의 또 다른 실시 예에 따른 절연 게이트 바이폴라 트랜지스터는 적어도 하나의 플로팅 아일랜드 구조를 갖는 P층이 상부에 형성되는 제1기관; 상기 제1기관의 상부에 웨이퍼본딩되는 제2기관; 상기 제2기관의 상부를 CMP(Chemical Mechanical Polishing)공정을 통해 연마한 후, 연마된 상기 제2기관의 상부에 에미터와 게이트를 포함하도록 형성되는 상부단자; 및 상기 제1기관의 하부를 CMP공정을 통해 연마한 후, 연마된 상기 제1기관의 하부에 컬렉터를 포함하도록 형성되는 하부단자;를 포함하는 것을 특징으로 한다.

- [0017] 특히, 동일한 도핑농도를 갖는 제1기관 및 제2기관을 포함할 수 있다.
- [0018] 위와 같은 과제를 해결하기 위한 본 발명의 또 다른 실시 예에 따른 절연 게이트 바이폴라 트랜지스터의 제조방법은 기관을 준비하는 기관준비단계; 상기 기관의 상부에 에피택시 공정을 통해 N형 드리프트영역을 성장하는 성장단계; 상기 N형 드리프트영역의 상부에 리소그래피 공정을 통해 적어도 하나의 플로팅 아일랜드 구조를 갖는 P층을 형성하는 FLI형성단계; 상기 적어도 하나의 플로팅 아일랜드 구조를 갖는 P층이 형성된 N형 드리프트영역의 상부로 에피택시 공정을 통해 N형 드리프트영역을 재성장하는 재성장단계; 및 재성장된 N형 드리프트영역의 상부로 에미터와 게이트를 포함하는 상부단자 및 상기 기관의 하부에 컬렉터를 포함하는 하부단자를 형성하는 단자형성단계;를 포함하는 것을 특징으로 한다.
- [0019] 위와 같은 과제를 해결하기 위한 본 발명의 또 다른 실시 예에 따른 절연 게이트 바이폴라 트랜지스터의 제조방법은 기관을 준비하는 준비단계; 상기 기관의 상부에 리소그래피 공정을 통해 적어도 하나의 플로팅 아일랜드 구조를 갖는 P층을 형성하는 FLI형성단계; 상기 적어도 하나의 플로팅 아일랜드 구조를 갖는 P층이 형성된 상기 기관의 상부에 에피택시 공정을 통해 N형 드리프트영역을 성장하는 성장단계; 및 성장된 N형 드리프트영역의 상부로 에미터와 게이트를 포함하는 상부단자 및 상기 기관의 하부에 컬렉터를 포함하는 하부단자를 형성하는 단자형성단계;를 포함하되, 상기 단자형성단계는 상기 기관의 하부를 CMP공정을 통해 연마한 후, 연마된 상기 기관의 하부에 컬렉터를 포함하도록 하부단자를 형성하는 것을 특징으로 한다.
- [0020] 위와 같은 과제를 해결하기 위한 본 발명의 또 다른 실시 예에 따른 절연 게이트 바이폴라 트랜지스터의 제조방법은 제1기관의 상부에 적어도 하나의 플로팅 아일랜드 구조를 갖는 P층을 형성하는 FLI형성단계; 상기 제1기관의 상부에 제2기관을 웨이퍼 본딩 공정을 통해 본딩하는 웨이퍼본딩단계; 상기 제2기관의 상부를 CMP(Chemical Mechanical Polishing)공정을 통해 연마한 후, 에미터와 게이트를 포함하는 상부단자를 형성하는 상부단자형성단계; 상기 제1기관의 하부를 CMP공정을 통해 연마한 후, 컬렉터를 포함하는 하부단자를 형성하는 하부단자형성단계;를 포함하는 것을 특징으로 한다.
- [0021] 특히, 동일한 도핑농도를 갖는 제1기관 및 제2기관을 포함할 수 있다.

발명의 효과

- [0022] 본 발명의 절연 게이트 바이폴라 트랜지스터 및 이의 제조방법은 N 드리프트 영역에 플로팅 아일랜드 구조를 갖는 P층을 삽입함에 따라, N 드리프트 영역의 농도를 높이는 경우에, 항복전압이 감소하는 것을 방지하며, 온 상태에서의 전압강하를 감소시킴에 따라, 동작특성을 향상시킬 수 있는 효과가 있다.
- [0023] 또한, 본 발명의 절연 게이트 바이폴라 트랜지스터 및 이의 제조방법은 N형 웨이퍼 상에 플로팅 아일랜드 구조를 형성하여, N 드리프트 영역의 성장을 위해 에피택시 공정이 생략됨에 따라 절연 게이트 바이폴라 트랜지스터의 제조비용을 감소시킬 수 있는 효과가 있다.
- [0024] 더불어, 본 발명의 절연 게이트 바이폴라 트랜지스터 및 이의 제조방법은 플로팅 아일랜드 구조가 형성된 기관과 다른 기관을 상호 간에 웨이퍼 본딩함으로써, N 드리프트 영역의 성장을 위해 에피택시 공정이 생략됨에 따라 제조비용을 감소시킬 수 있는 효과가 있다.
- [0025] 이와 더불어, 본 발명의 절연 게이트 바이폴라 트랜지스터 및 이의 제조방법은 플로팅 아일랜드 구조가 형성된 기관과 다른 기관을 웨이퍼 본딩하는 경우, 기관이 N 드리프트영역으로 형성되기 때문에 에피택시로 형성시킨 N 드리프트층에 비하여 균일한 도핑농도를 갖는 효과가 있다.

도면의 간단한 설명

- [0026] 도 1은 종래기술에 따른 절연 게이트 바이폴라 트랜지스터의 구조를 나타낸 도면이다.
- 도 2는 본 발명의 일 실시 예에 따른 절연 게이트 바이폴라 트랜지스터의 제조방법을 나타낸 도면이다.
- 도 3은 본 발명의 다른 실시 예에 따른 절연 게이트 바이폴라 트랜지스터의 제조방법을 나타낸 도면이다.
- 도 4는 본 발명의 또 다른 실시 예에 따른 절연 게이트 바이폴라 트랜지스터의 제조방법을 나타낸 도면이다.

도 5는 본 발명에 따른 절연 게이트 바이폴라 트랜지스터의 전체 분포도를 나타낸 도면이다.

발명을 실시하기 위한 구체적인 내용

- [0027] 이하, 본 발명을 바람직한 실시 예와 첨부한 도면을 참고로 하여 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 상세히 설명한다. 그러나 본 발명은 여러 가지 상이한 형태로 구현될 수 있으며, 여기에서 설명하는 실시 예에 한정되는 것은 아니다.
- [0028] 이하, 도 2를 참조하여, 본 발명의 일 실시 예에 따른 절연 게이트 바이폴라 트랜지스터의 제조방법에 대하여 살펴보도록 한다.
- [0029] 도 2는 본 발명의 일 실시 예에 따른 절연 게이트 바이폴라 트랜지스터의 제조방법을 나타낸 도면이다.
- [0030] 도 2에 도시된 바와 같이, 본 발명의 일 실시 예에 따른 절연 게이트 바이폴라 트랜지스터의 제조방법은 먼저, 도 2(a)에 도시된 바와 같이, 소자를 형성하기 위한 P형 기판(110)을 준비한다.
- [0031] 이어서, 도 2(b)에 도시된 바와 같이, 상기 P형 기판(110)의 상부에 에피택시(epitaxi) 공정을 통해 소정의 두께를 갖는 N형 드리프트영역(120)을 성장한다. 이와 같이, 성장된 N형 드리프트영역(120)의 상부에 포토 레지스트(Photo Resist)를 도포하여 리소그래피 공정을 수행한다. 이어서, 도포된 포토 레지스트의 상부로 붕소(Boron)을 이온 주입법(ion implant)에 의해 주입하여, 플로팅 아일랜드(Floating Island)구조를 갖는 P층(122)을 적어도 하나 형성한다.
- [0032] 이후, 도 2(c)에 도시된 바와 같이, 적어도 하나의 플로팅 아일랜드 구조를 갖는 P층(122)이 형성된 N형 드리프트영역(120)의 상부에 에피택시 공정을 통해 N형 드리프트영역(120)을 재성장한다. 이러한 에피택시 공정은 단결정 기판 위에 결정방위가 같은 단결정 박막을 성장시키는 공정의 하나로서, 초진공실 안에서 원료물질을 가열하여 증발시킨 분자 빔으로 기판 위에 결정을 성장시키는 공정을 말한다. 이러한 에피택시공정은 불과 몇 개의 원자층 정도의 두께밖에 안 되는 매우 얇은 결정막이나 초격자와 같은 복잡한 다층구조막을 정밀제어하면서 형성할 수 있는 특징을 갖는다.
- [0033] 이어서, 도 2(d)에 도시된 바와 같이, 앞선 도 2(c)의 과정을 통해 재성장된 N형 드리프트영역(120)의 상부로 에미터(140)와 게이트(130)를 포함하는 상부단자를 형성하고, 상기 기판(110)의 하부에 컬렉터(150)를 포함하는 하부단자를 형성하여, 플로팅 아일랜드 구조를 갖는 P층이 N형 드리프트영역에 형성된 절연 게이트 바이폴라 트랜지스터를 제조한다.
- [0034] 이하, 도 3을 참조하여, 본 발명의 다른 실시 예에 따른 절연 게이트 바이폴라 트랜지스터의 제조방법에 대하여 살펴보도록 한다.
- [0035] 도 3(a)에 도시된 바와 같이, N-형 기판(210)을 준비한다. 이때, 준비된 N-형 기판(210)은 추후공정을 통해 플로팅 아일랜드 구조를 갖는 P층이 형성될 수 있도록 소정의 두께를 갖는 것이 바람직하다.
- [0036] 도 3(b)에 나타난 바와 같이, 상기 N-형 기판의 상부에 포토 레지스트(Photo Resist)를 도포하여 리소그래피 공정을 수행한다. 이어서, 도포된 포토 레지스트의 상부로 붕소(Boron)을 이온 주입법(ion implant)에 의해 주입하여, 플로팅 아일랜드(Floating Island)구조를 갖는 P층(212)을 적어도 하나 형성한다.
- [0037] 이어서, 도 3 (c)에 도시된 바와 같이, 적어도 하나의 플로팅 아일랜드 구조를 갖는 P층(212)이 형성된 상기 기판(210)의 상부에 에피택시 공정을 통해 N형 드리프트영역(220)을 성장한다. 이때, 상기 N형 드리프트영역(220)은 상기 플로팅 아일랜드와 추후 형성되는 상부단자 내 P 베이스 간의 거리를 고려하여 소정의 두께를 갖도록 성장되는 것이 바람직하다.
- [0038] 이후, 도 3 (d)에 도시된 바와 같이, 성장된 N형 드리프트영역(220)의 상부로 에미터(240)와 게이트(230)를 포함하는 상부단자를 형성한다. 이어서, 상기 기판(210)의 하부를 CMP공정을 통해 연마하고, 연마된 상기 기판(210)의 하부에 P형 컬렉터(250)를 포함하도록 하부단자를 형성하여, 기판에 플로팅 아일랜드 구조를 갖는 P층이 형성되는 절연 게이트 바이폴라 트랜지스터를 제조한다.
- [0039] 또한, 상술한 실시 예 외에도 도 4를 참조하여, 본 발명의 또 다른 실시 예에 따른 절연 게이트 바이폴라 트랜지스터의 제조방법에 대하여 자세히 살펴보도록 한다.
- [0040] 도 4는 본 발명의 또 다른 실시 예에 따른 절연 게이트 바이폴라 트랜지스터의 제조방법을 나타낸 도면이다.
- [0041] 도 4 (a)에 도시된 바와 같이, 본 발명의 절연 게이트 바이폴라 트랜지스터의 제조방법은 먼저, 제1기판(310)을

준비한다. 준비된 상기 제1기판(310)의 상부에 포토 레지스트(Photo Resist)를 도포하여 리소그래피 공정을 수행한다. 이어서, 도포된 포토 레지스트의 상부로 붕소(Boron)을 이온 주입법(ion implant)에 의해 주입하여, 플로팅 아일랜드(Floating Island)구조를 갖는 P층(312)을 적어도 하나 형성한다. 이때, 상기 제1기판(310)은 낮은 도핑농도를 NPT용 N형 기판임이 바람직하다.

- [0042] 이어서, 상기 제1기판(310)과 동일한 도핑농도를 갖는 제2기판(320)을 준비하고, 상기 플로팅 아일랜드 구조를 갖는 P층(312)이 형성된 상기 제1기판(310)의 상부에 준비된 상기 제2기판(320)을 웨이퍼 본딩한다.
- [0043] 도 4(b)에 도시된 바와 같이, 웨이퍼 본딩이 된 상기 제1기판(310)과 제2기판(320)은 본딩으로 인해 N형 드리프트 영역이 된다.
- [0044] 이어서, 도 4(c)에 도시된 바와 같이, 상기 제1기판(310)과 본딩된 상기 제2기판(320)의 상부를 CMP(Chemical Mechanical Polishing)공정을 통해 연마하고, 에미터(340)와 게이트(330)를 포함하는 상부단자를 형성한다.
- [0045] 이후, 도 4(d)에 도시된 바와 같이, 상기 제1기판(310)의 하부를 CMP공정을 통해 연마하고, 연마된 상기 제1기판(310)의 하부에 컬렉터(350)를 포함하는 하부단자를 형성하여, 제1기판의 상부에 플로팅 아일랜드 구조를 갖는 P층이 형성된 절연 게이트 바이폴라 트랜지스터를 제조한다.
- [0046] 본 발명의 또 다른 실시 예에 따른 절연 게이트 바이폴라 트랜지스터의 구성을 살펴보면 기판, N형 드리프트 영역, 상부단자 및 하부단자를 포함하도록 형성된다.
- [0047] N형 드리프트영역은 상기 기판의 상부에 에피택시 공정을 통해 형성되며, 내부에 적어도 하나의 플로팅 아일랜드 구조를 갖는 P층이 형성될 수 있다.
- [0048] 상부단자는 상기 N형 드리프트영역의 상부에 에미터와 게이트를 포함하도록 형성된다.
- [0049] 하부단자는 상기 기판의 하부에 컬렉터를 포함하도록 형성된다.
- [0050] 또는 이와 달리, 본 발명의 다른 실시 예에 따른 절연 게이트 바이폴라 트랜지스터는 상술한 바와 같이, 기판, N형 드리프트영역, 상부단자 및 하부단자를 포함하도록 형성될 수 있다. 다만, 상술한 바와 달리, 상기 기판의 상부에 적어도 하나의 플로팅 아일랜드 구조를 갖는 P층이 형성될 수 있다.
- [0051] 또는, 본 발명의 다른 실시 예에 따른 절연 게이트 바이폴라 트랜지스터는 제1기판, 제2기판, 상부단자 및 하부단자를 포함한다.
- [0052] 제1기판은 적어도 하나의 플로팅 아일랜드 구조를 갖는 P층이 상부에 형성된다.
- [0053] 제2기판은 상기 제1기판의 상부에 웨이퍼본딩이 되어, 상기 제1기판과 접촉되도록 한다.
- [0054] 상부단자는 상기 제2기판의 상부를 CMP(Chemical Mechanical Polishing)공정을 통해 연마한 후, 연마된 상기 제2기판의 상부에 에미터와 게이트를 포함하도록 형성된다.
- [0055] 하부단자는 상기 제1기판의 하부를 CMP공정을 통해 연마한 후, 연마된 상기 제1기판의 하부에 컬렉터를 포함하도록 형성된다.
- [0056] 이하, 도 5를 참조하여, 본 발명에 따른 절연 게이트 바이폴라 트랜지스터의 전계분포도를 살펴보도록 한다.
- [0057] 도 5는 본 발명에 따른 절연 게이트 바이폴라 트랜지스터의 전계 분포도를 나타낸 도면이다.
- [0058] 도 5에 도시된 바와 같이, 1번 그래프는 종래기술에 따른 절연 게이트 바이폴라 트랜지스터의 전계분포도를 나타낸 그래프이고, 2번 그래프는 본 발명의 플로팅 아일랜드 구조를 갖는 P층이 형성된 절연 게이트 바이폴라 트랜지스터의 전계분포도를 나타낸 그래프이다. 상기 2번 그래프를 통해 알 수 있는 바와 같이, 플로팅 아일랜드 구조를 갖는 P층이 형성된 본 발명의 절연 게이트 바이폴라 트랜지스터의 경우, N형 드리프트영역의 농도가 높은 관계로 전계의 기울기가 더 높지만 상기 N형 드리프트영역에 형성된 플로팅 아일랜드에 의해 전계가 분산됨에 따라, 높은 전압에서도 동작특성이 유지되는 것을 알 수 있다.
- [0059] 본 발명의 절연 게이트 바이폴라 트랜지스터 및 이의 제조방법은 N 드리프트 영역에 플로팅 아일랜드 구조를 갖는 P층을 삽입함에 따라, N 드리프트 영역의 농도를 높이는 경우에, 항복전압이 감소하는 것을 방지하며, 온 상태에서의 전압강하를 감소시킴에 따라, 동작특성을 향상시킬 수 있는 효과가 있다.
- [0060] 또한, 본 발명의 절연 게이트 바이폴라 트랜지스터 및 이의 제조방법은 N형 웨이퍼 상에 플로팅 아일랜드 구조를 형성하여, N 드리프트 영역의 성장을 위해 에피택시 공정이 생략됨에 따라 절연 게이트 바이폴라 트랜지스터

의 제조비용을 감소시킬 수 있는 효과가 있다.

[0061] 더불어, 본 발명의 절연 게이트 바이폴라 트랜지스터 및 이의 제조방법은 플로팅 아일랜드 구조가 형성된 기판과 다른 기판을 상호 간에 웨이퍼 본딩함으로써, N 드리프트 영역의 성장을 위해 에피택시 공정이 생략됨에 따라 제조비용을 감소시킬 수 있는 효과가 있다.

[0062] 이와 더불어, 본 발명의 절연 게이트 바이폴라 트랜지스터 및 이의 제조방법은 플로팅 아일랜드 구조가 형성된 기판과 다른 기판을 웨이퍼 본딩하는 경우, 기판이 N 드리프트영역으로 형성되기 때문에 에피택시로 형성시킨 N 드리프트층에 비하여 균일한 도핑농도를 갖는 효과가 있다.

[0063] 상기에서는 본 발명의 바람직한 실시 예에 대하여 설명하였지만, 본 발명은 이에 한정되는 것이 아니고 본 발명의 기술 사상 범위 내에서 여러 가지로 변형하여 실시하는 것이 가능하고 이 또한 첨부된 특허청구범위에 속하는 것은 당연하다.

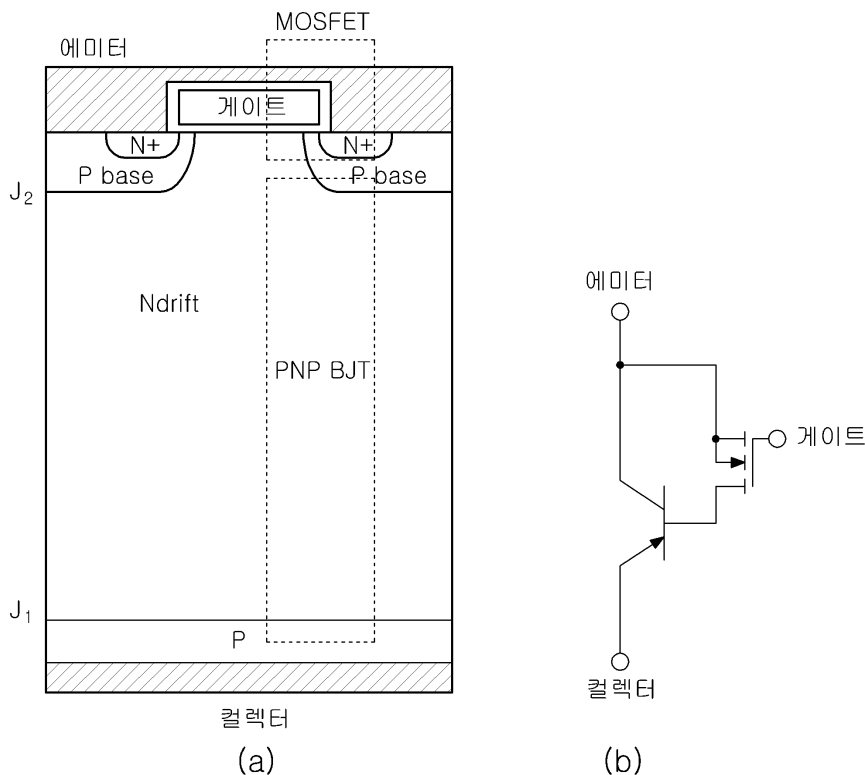
부호의 설명

[0064]

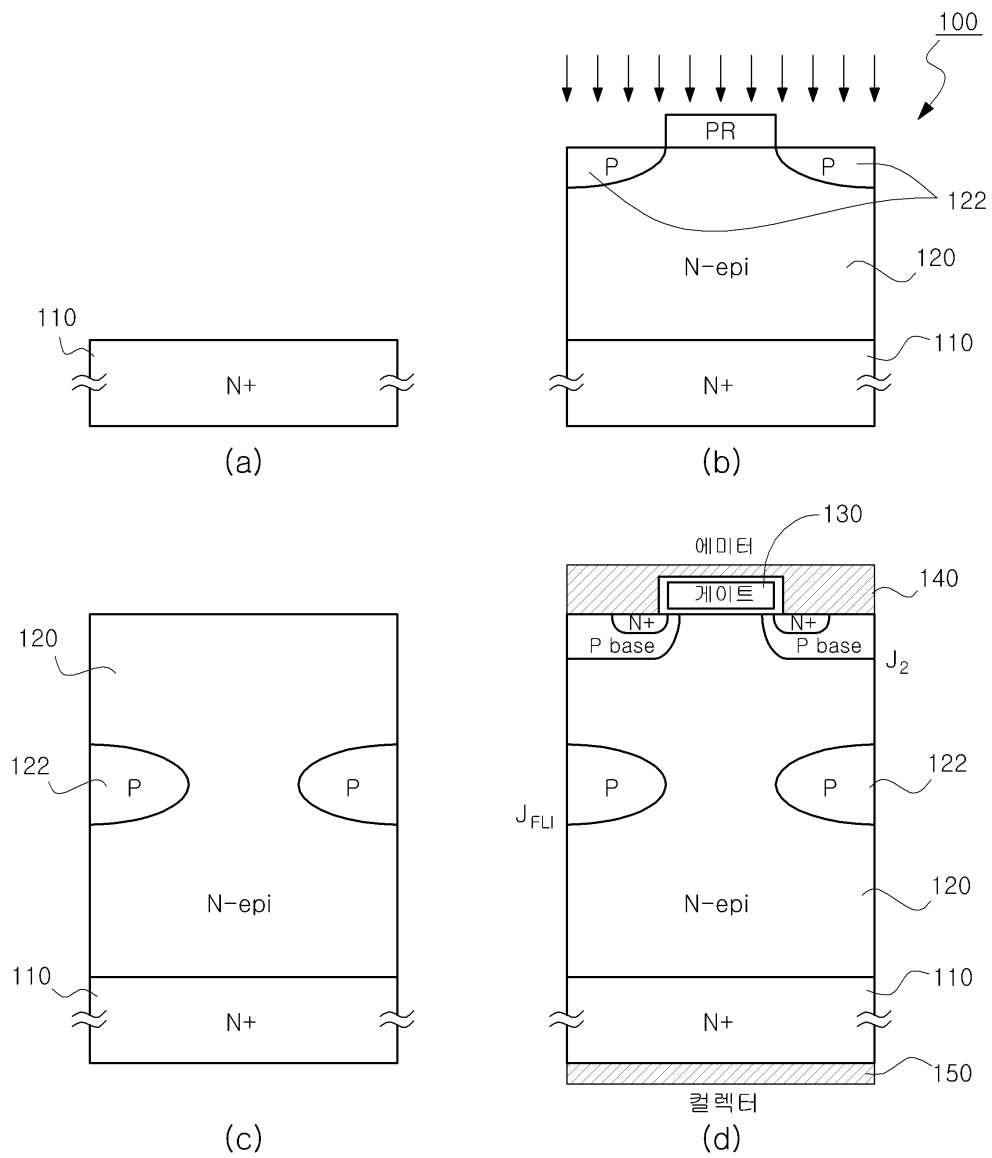
110: P+ 기판	120: N층 드리프트영역
122: FLI구조의 P층	130: 게이트
140: 에미터	150: 컬렉터

도면

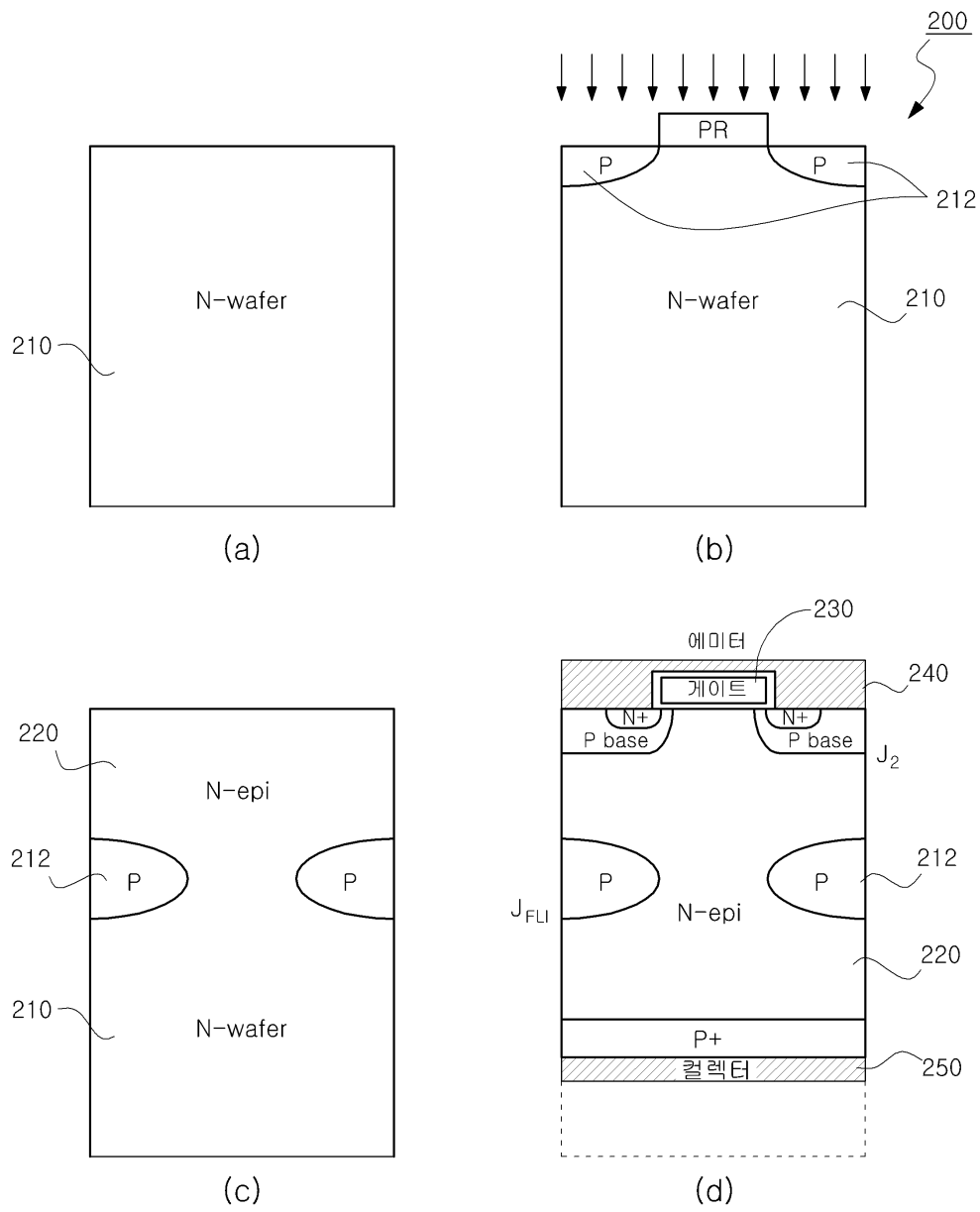
도면1



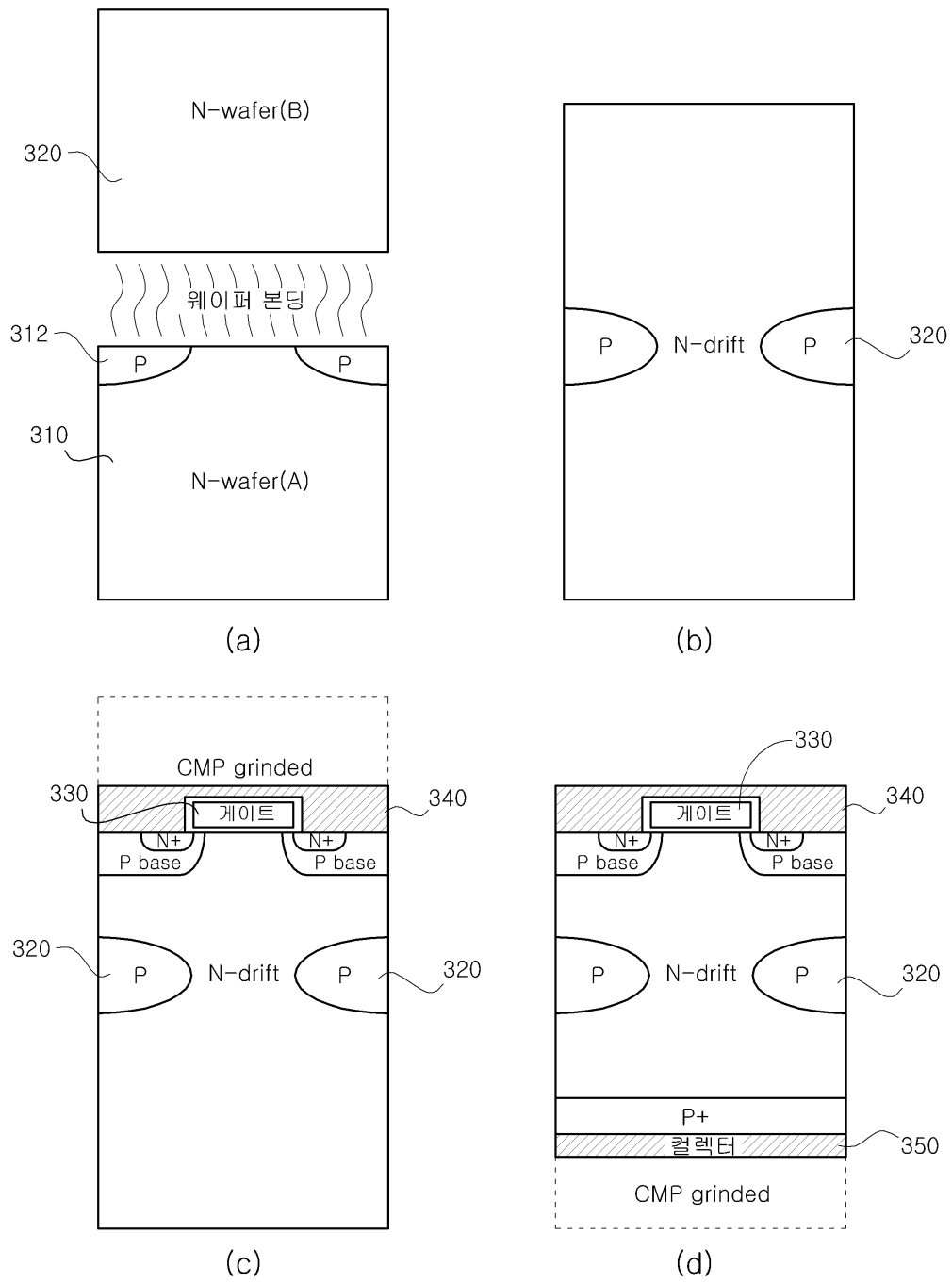
도면2



도면3



도면4



도면5

