(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.[6]
G06F 13/16

(45) 공고일자 2004년12월29일
(11) 등록번호 10-0453118
(24) 등록일자 2004년10월06일

(21) 출원번호	10-1997-0706876	(65) 공개번호	10-1998-0703472
(22) 출원일자	1997년09월27일	(43) 공개일자	1998년11월05일
번역문제출일자	1997년09월27일		
(86) 국제출원번호	PCT/IB1996/001499	(87) 국제공개번호	WO 1997/27547
(86) 국제출원일자	1996년12월20일	(87) 국제공개일자	1997년07월31일
(81) 지정국	국내특허 : 중국 일본 대한민국 미국 EP 유럽특허 : 오스트리아 벨기에 스위스 리히텐슈타인 사이프러스 독일 덴마크 스페인 핀랜드 프랑스 영국 그리스 아일랜드 이탈리아 룩셈부르크 모나코 네덜란드 포르투칼 스웨덴		

(30) 우선권주장 9601693.6 1996년01월27일 영국(GB)

(73) 특허권자 모토로라 이스라엘 리미티드
이스라엘, 텔 아비브 67899, 크리메네스키 스트리트 16
(72) 발명자 갤런티, 데이비드
이스라엘, 나타니아 4200, 사크라브 스트리트 51
즈모라 아이탄
이스라엘, 예루살렘 97830, 네티브 하마자로트 스트리트 9/10
고렌, 아브너
이스라엘, 로샤인 40800, 지바트-탈, 시트바니트 4
(74) 대리인 이병호

심사관 : 김지강

(54) 마이크로프로세서및마이크로프로세서시스템

명세서

기술분야

<1> 본 발명은 마이크로프로세서들에 관한 것으로, 특히 다이내믹 랜덤 액세스 메모리(DRAM)를 갖는 시스템들에 사용하기 위한 마이크로프로세서들에 관한 것이다.

배경기술

<2> 많은 공지된 프로세싱 시스템들에서, 몇 개의 프로세서들, 또는 공통 버스에 결합된 프로세싱 유닛(이하 마스터(master)들이라 함)을 포함하는 다른 회로들이 있는데, 이들 마스터 장치들은 각종의 메모리 장치들, 예컨대 DRAM들, 스태틱 랜덤 액세스 메모리(SRAM)들 및 판독 전용 메모리(ROM)들, 또는 다른 유형들의 주변 장치들 예컨대 기억 장치들 또는 통신 인터페이스들과 같은, 버스와 결합된 다양한 슬레이브 장치들(slave devices)을 모두 액세스할 수 있다. 그러나, 어떤 경우에, 단일의 단일 마스터 장치가 특정한 DRAM만을 액세스하므로, 그 DRAM이 하나의 마스터 장치의 전유(proprietary) 또는 전용(private)으로 인식될 수 있다.

<3> DRAM들은 특정 메모리 셀을 그 셀을 판독하고 셀을 기록하기 위한 행 및 열 액세스에 의해 액세싱하기 위해 이용되는 로우 액세스 스트로브(Row Access Strobe: RAS)와 컬럼 액세스 스트로브(Column Access Strobe: CAS) 라인 입력들이 제공된다. RAS와 CAS 라인들의 사용의 특징은 RAS 입력이 이른바 DRAM의 페이지(page)를 지정하기 위해 이용되는 반면에, CAS 입력은 그 페이지 내의 특정 위치 또는 주소를 지정하여 어드레싱될 연속 셀들이 동일 페이지(이른바, 고속 페이지 모드) 내에 있는 한, CAS 입력만이 변화될 필요가 있으며, RAS 입력은 표명(assert)되지만 매번 판독될 필요는 없으므로, 액세스 기간이 짧아진다. 이는 동일한 마스터 장치가 버스를 제어하는 한 발생할 수 있으며, 어떤 다른 마스터 장치도 두 액세스들 사이에서 DRAM의 또 다른 페이지를 액세스할 수 없다는 것은 분명하다. 그러므로, 매번 마스터 장치가 버스를 제어할 때마다, RAS 및 CAS 라인들 모두를 이용(이른바, 페이지 액세스의 오류)하여 어드레스 하여야 하고, 이는 더 많은 시간을 포함한다.

<4> 더욱이, 잘 알려진 바와 같이, DRAM들은 그 메모리 셀들 내에 데이터를 유지하기 위해 그것들에 대해 순차적으로 리프레시될 필요가 있고, 이것은 어드레싱 동안 실행되는 것과 같이, CAS 입력에 앞서 RAS 입력을 먼저 인에이블링하지 않고, CAS 입력을 먼저 인에이블링하고 그 다음 RAS입력을 인에이블링함으로써 실행될 수 있다. 그러한 리프레싱은 리프레싱을 제어하는 마스터 장치가 버스 제어를 얻고, 그 리프레싱을 수행하고 그 다음 그 버스의 제어를 포기(relinquish)하도록 규칙적으로 행해질 필요가 있다. 이는 다른 마스터 장치들에 의해 사용될 수 있는 가치있는 버스 시간을 소모한다.

<5> 따라서, 본 발명은 위에서 언급한 바와 같은 종래 기술의 문제점들을 극복하거나 또는 적어도 줄이는 전용 DRAM를 사용하는 마이크로프로세서를 제공하는 것이다. 이하에서 용어 "마이크로프로세서" 는 모든 마스터 장치들을 포함하도록 의도된다.

발명의 상세한 설명

<6> (발명의 요약)

<7> 본 발명의 제 1 양상에 따르면, 전용 DRAM의 RAS와 CAS 입력들에, 버스를 통해 배타적으로 결합시키기 위해 적어도 RAS와 CAS 출력들을 갖는 마이크로프로세서에 있어서, DRAM이 마이크로프로세서에 전용인지의 여부를 지정하도록 설정된 적어도 1비트를 갖는 DRAM 제어 레지스터(Control Register)와, 1비트를 판독하고, 비트가 설정되어있는지의 여부를 판정하는 판독회로와, DRAM이 마이크로프로세서에 전용인지의 여부에 따라 마이크로프로세서의 기능들을 제어하기 위해 판독회로에 결합된 제어 논리 회로를 포함하는, 마이크로프로세서가 제공된다.

<8> 일실시예에서, 제어 논리 회로는 DRAM이 전용임을 나타내도록 1비트가 설정될 때, 마이크로프로세서가 버스의 제어를 위한 요구도 행하지 않고, 또한 버스의 제어를 취하지 않으면서도 RAS와 CAS 출력들을 이용하여 DRAM 리프레시 기능을 수행하도록 마이크로프로세서의 DRAM 리프레시(refresh) 기능을 제어한다.

<9> 또 다른 실시예에서, 제어 논리 회로는, 마이크로프로세서가 RAS와 CAS 라인들을 해제(release)함이 없이 버스의 제어를 포기할 수 있도록 마이크로프로세서의 DRAM 어드레싱 기능을 제어하여, DRAM이 전용임을 나타내도록 1비트가 설정될 때, 다음에 마이크로프로세서가 버스를 제어할 때, DRAM에 대한 고속 페이지 모드 액세스(fast page mode access)를 가능하게 한다.

<10> 본 발명의 제 2 양상에 따르면, 버스의 어드레스, 제어, 데이터, RAS 및 CAS 라인들에 각각 결합된 어드레스, 제어, 데이터, RAS 및 CAS 핀들을 갖는 마이크로프로세서와, 버스의 어드레스, 제어, 데이터, RAS 및 CAS 라인들에 각각 결합된 어드레스, 제어, 데이터, RAS 및 CAS의 핀들을 갖는 적어도 1개의 DRAM을 포함하고, DRAM은 마이크로프로세서에 전용이고, DRAM의 RAS와 CAS 핀들 및 마이크로프로세서는 논리적으로 서로 결합되어 마이크로프로세서가 어느 다른 DRAM을 액세스할 수 없고 DRAM은 임의의 다른 마이크로프로세서에 의해 액세스될 수 없으며, 마이크로프로세서는, DRAM이 마이크로프로세서에 전용임을 지정하도록 설정된 적어도 1비트를 갖는 DRAM 제어 레지스터와, 1비트를 판독하고, 비트가 설정되어 있는지의 여부를 판정하는 판독회로와, 판독회로에 결합된 제어 논리 회로를 포함하고, 제어 논리 회로는 1비트가 설정될 때, 마이크로프로세서가 버스의 제어를 위한 요구도 행하지 않고 또한 버스의 제어를 취하지 않으면서도 버스의 RAS와 CAS 라인들을 이용하여 DRAM 리프레시 기능을 수행하도록, 마이크로프로세서의 DRAM 리프레시 기능을 제어하고, 논리 회로는, 원한다면 마이크로프로세서가 RAS와 CAS라인들을 해제하지 않고 버스의 제어를 포기하도록, 비트가 설정될 때, 마이크로프로세서의 DRAM 어드레싱 기능을 제어하여, 다음에 마이크로프로세서가 버스를 제어할 때, DRAM에 인-페이지 액세스(in-page access)를 가능하게 하는 마이크로프로세서 시스템이 제공된다.

도면의 간단한 설명

<11> 도 1은 본 발명에 따른 프로세서와 DRAM 장치를 도시하는 도면.

<12> 도 2는 도 1의 프로세서와 DRAM의 리프레시 기능에 대한 타이밍도.

<13> 도 3은 프로세서와 DRAM의 종래의 어드레싱 기능에 대한 타이밍도.

<14> 도 4는 도 1의 프로세서와 DRAM의 고속 페이지 모드 어드레싱 기능에 대한 타이밍도.

실시예

<15> 이하에서 본 발명의 일실시예를 도면을 참조하여 예로서 상세히 기술하기로 한다.

<16> 도 1을 참조하면, 프로세서와 DRAM 장치(10)가 도시되어 있다. 프로세서(15)는 프로그램가능 레지스터(20)를 포함하며, 이하에서 프로그램가능 레지스터(20)는 DCR(DRAM Control Register)이라 한다. DCR(20)은 상태 비트(30)를 포함한다. 프로세서는 버스(25)를 거쳐 다양한 다른 장치들과 결합되어 있다. 버스(25)는 버스 허가(bus grant: BG) 라인과, 버스 비지(bus busy: BB) 라인 및 버스 요구(bus request: BR) 라인을 포함하며, 중재자(도시되지 않음)에 의해 조작된다.

<17> 장치의 버스 마스터(35)는 버스(25)에 결합되며 버스의 제어를 제공하는 버스 제어 블록(40)을 포함하고 있다. DRAM(45)은 또한 버스(25)에 결합되어 있으며 DRAM 제어 블록(50)을 포함하고 있고, 그 DRAM 제어 블록(50)은 DRAM(45)의 제어를 제공한다. DRAM(45)은 RAS와 CAS 라인들(도시되지 않음)을 갖는다. DCR(20)의 상태 비트(30)가 설정되면, 이때의 DRAM(45)은 프로세서(15)에 효과적으로 전용되고, RAS와 CAS 라인들이 프로세서(15)에 의해 배타적으로 구동된다.

<18> 버스 제어 블록(40)은 버스 허가(BG) 입력(60)과, 버스 비지(BB) 출력(65)과 버스 요구(BR) 출력(70)을 포함하며, 그들은 버스(25)의 각 라인들에 결합되어 있다. DRAM 제어 블록은 DRAM(45)의 CAS와 RAS 라인들을 제어하기 위해 CAS 출력(80)과 RAS(75) 출력을 갖는다. DCR(20)의 상태 비트(30)는 버스(25)를 통해 버스 제어 블록(40)과 DRAM 제어 블록(50)에 의해 병렬 판독되도록 배치되어 있다.

<19> 동작시에, 도 2를 참조하면, 프로세서(15)에 의한 버스(25)의 마스터쉽(mastership)을 요구하지 않는 리프레시 시퀀스가 도시되어 있다. 도시된 모든 제어 라인들은 풀-업(논리 1=로우 전압 레벨)이다.

<20> 섹션(100)은 버스의 해제를 도시하고 있으며, 여기에서 BR(70)은 버스 활성의 끝 부분에서 부정(negated)되고, BG(60)는 중재자(arbitrator)에 의해 부정되고, 그 결과 BB(65)는 프로세서(15)에 의해

부정된다. BB(65)의 부정후, 섹션(200)에서, 모든 프로세서(15) 출력들은 3상태(tristate)(플로팅(floating))가 된다. 또 다른 프로세서(도시되지 않음)가 버스(25)의 마스터로 되고, 이의 마스터쉽을 신호하기 위해 BB(65)를 표명한다. 비트(30)가 DCR(20)에서 설정되면, RAS(75)와 CAS(80) 라인들은 프로세서(15)에 의해 계속 구동되고, 3상태가 되지 않는다.

<21> 섹션(300)에서, DRAM 제어 블록(50)은 앞서 표명되었던 것과 같이 마스터쉽을 상실한 경우에 표명된 RAS(75) 라인의 구동을 유지한다. 이때 DRAM 제어 블록(50)은 필요(need)가 검출됨에 따라, 즉시 리프레시 동작((RAS(75))에 앞서 CAS(80)를 구동함)을 개시하고, 제어 블록(40)은 프로세서(15)의 DRAM 리프레시 기능을 제어하여, 프로세서(15)가 버스(25)의 제어를 위한 요구도 행하지도 않고 버스(25)의 제어를 취하지 않으면서도 버스(25)의 RAS(75)와 CAS(80) 라인들을 사용하여 DRAM 리프레시 기능을 실행한다. 리프레시는 RAS(75)에 앞서 CAS(80)를 표명함으로써 실행된다.

<22> 이에 반하여, 종래 장치는 외부 DRAM를 리프레시할 필요가 검출되는 경우 버스의 마스터쉽을 요구한다. 이때 마스터쉽은 실제 리프레시가 개시하기에 앞서 허가되어야 한다. 이는 또한 상태 비트(30)가 설정되지 않은 경우이다.

<23> 도 3과 도 4를 참조하면, '페이지 모드' 액세스로서 마스터쉽이 얻어진 후 DRAM(45)을 가장 먼저 액세스할 가능성을 보여준다. 도 3의 섹션들(101,201,301 및 401)은 종래 장치의 스테이지들을 나타낸다. 도 4의 섹션들(102,202,302 및 402)은 '페이지 모드' 액세스에서 확인된 스테이지들을 나타낸다.

<24> 섹션들(101 및 102)에서, 행 어드레스가 구동되고, RAS(75)가 표명된다. 섹션들(201 및 202)에서, 2개의 열 어드레스들이 번갈아 구동되고, 그에 따라 CAS(80)가 표명되고 부정된다. 이 기간의 끝 가까이에서, BG(60)는 부정되어 프로세서(15)에 의해 버스 마스터쉽이 상실되었음을 신호한다.

<25> DCR(20)의 상태 비트(30)가 설정되면, 그 다음에 섹션(302)에서, 버스(25)가 해제되고, RAS(75)가 활성 상태로 구동되어 유지되고, CAS(80)는 부정된 상태로 구동되어 유지된다. 섹션(301)에 도시된 바와 같은 종래 장치에서, RAS(75)가 먼저 부정되고, 그 다음에 3상태가 되고, CAS(80)은 이미 부정되어, 3상태이다.

<26> 시간 기간(402)에서, 열 어드레스 구동으로 즉시 개시하는 프로세서(15)에 의해 마스터쉽이 다시 얻어지고, CAS(80) 표명(assertion) 등이 이어져서, 첫 번째 액세스의 액세스 시간이 훨씬 짧아진다.

<27> 이와는 대조적으로, 종래 DRAM 제어 블록은 행 어드레스 구동, RAS 표명, 열 어드레스 구동, 및 CAS 표명 등 모든 필요한 단계들과 함께 섹션(401)에 도시된 바와 같이 완전한 액세스 루틴(routine)을 실행한다. 또한, 이는 상태 비트(30)가 설정되어 있지 않은 경우도 그렇다.

<28> 본 명세서에서는 본 발명에 따른 특정한 일실시예만이 상세하게 기술되었으나, 각종 변형 및 개선된 예가 본 발명의 범위에서 벗어남이 없이 당업자에게 이루어질 수 있음은 분명하다.

(57) 청구의 범위

청구항 1

전용 DRAM의 RAS와 CAS 입력들에, 버스를 통해 배타적으로 결합시키기 위해 적어도 RAS와 CAS 출력들을 갖는 마이크로프로세서에 있어서,

상기 DRAM이 상기 마이크로프로세서에 전용인지의 여부를 지정하도록 설정된 적어도 1비트를 갖는 DRAM 제어 레지스터(Control Register)와,

상기 1비트를 판독하고, 상기 비트가 설정되어있는지의 여부를 판정하는 판독회로와,

상기 DRAM이 상기 마이크로프로세서에 전용인지의 여부에 따라 상기 마이크로프로세서의 기능들을 제어하기 위해 상기 판독회로에 결합된 제어 논리 회로를 포함하는, 마이크로프로세서.

청구항 2

제 1 항에 있어서, 상기 제어 논리 회로는 상기 DRAM이 전용임을 나타내도록 상기 1비트가 설정될 때, 상기 마이크로프로세서가 상기 버스의 제어를 위한 요구도 행하지 않고, 또한 상기 버스의 제어를 취하지 않으면서도 상기 RAS와 CAS 출력들을 이용하여 DRAM 리프레시 기능을 수행하도록 상기 마이크로프로세서의 DRAM 리프레시 기능을 제어하는, 마이크로프로세서.

청구항 3

제 1 항에 있어서, 상기 제어 논리 회로는, 상기 마이크로프로세서가 상기 RAS와 CAS 라인들을 해제(release)함이 없이 상기 버스의 제어를 포기할 수 있도록 상기 마이크로프로세서의 DRAM 어드레싱 기능을 제어하여, 상기 DRAM이 전용임을 나타내도록 1비트가 설정될 때, 다음에 상기 마이크로프로세서가 상기 버스를 제어할 때, 상기 DRAM에 대한 고속 페이지 모드 액세스(fast page mode access)를 가능하게 하는, 마이크로프로세서.

청구항 4

마이크로프로세서 시스템에 있어서,

버스의 어드레스, 제어, 데이터, RAS 및 CAS 라인들에 각각 결합된 어드레스, 제어, 데이터, RAS 및 CAS 핀들을 갖는 마이크로프로세서와, 상기 버스의 어드레스, 제어, 데이터, RAS 및 CAS 라인들에 각각 결합된 어드레스, 제어, 데이터, RAS 및 CAS의 핀들을 갖는 적어도 1개의 DRAM을 포함하고, 상기 DRAM은 상기 마이크로프로세서에 전용이고, 상기 DRAM의 RAS와 CAS 핀들 및 상기 마이크로프로세서는 논리적으로 서로 결합되어 상기 마이크로프로세서가 임의의 다른 DRAM을 액세스할 수 없고 상기 DRAM이 어느 다

른 마이크로프로세서에 의해 액세스될 수 없으며,

상기 마이크로프로세서는,

상기 DRAM이 마이크로프로세서에 전용임을 지정하도록 설정된 적어도 1비트를 갖는 DRAM 제어 레지스터와,

상기 1비트를 판독하고, 상기 비트가 설정되어 있는지의 여부를 판정하는 판독회로와,

상기 판독회로에 결합된 제어 논리 회로를 포함하고,

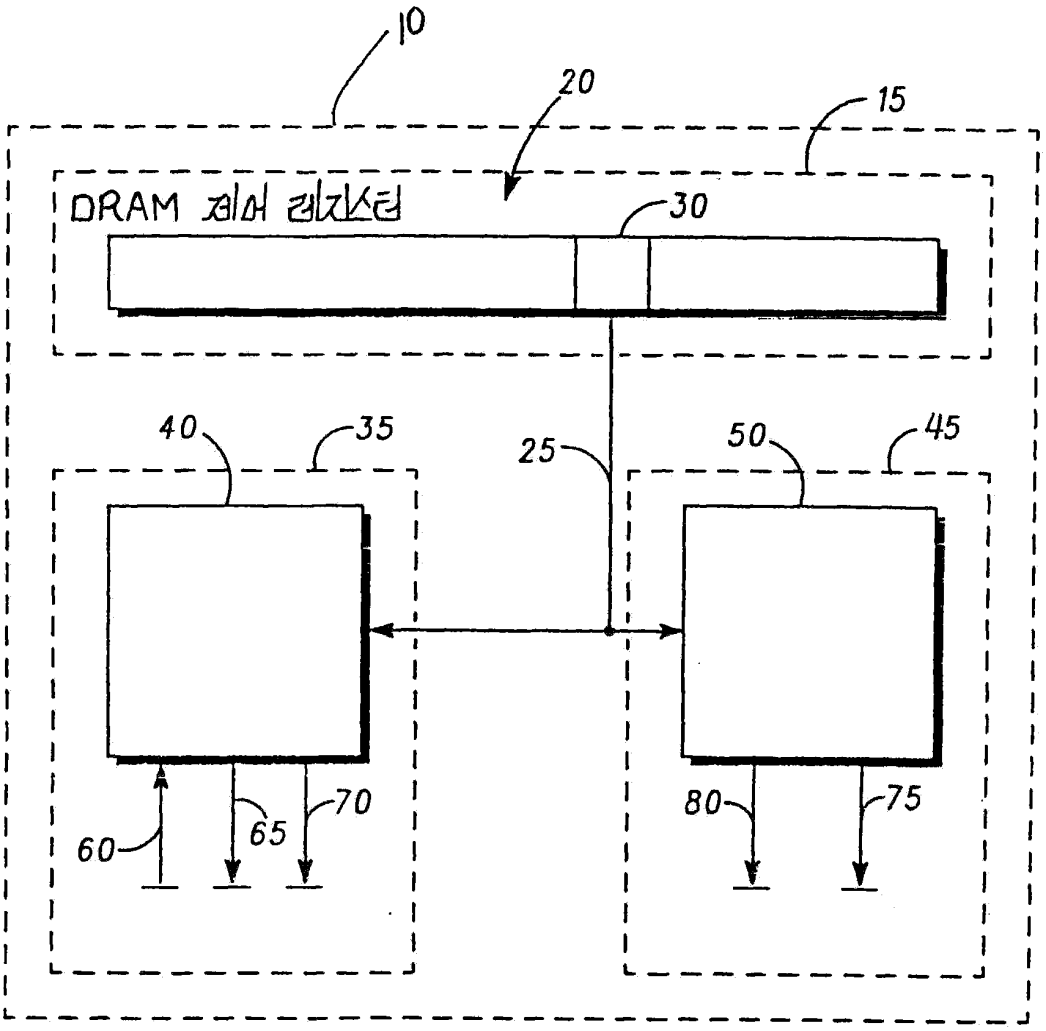
상기 제어 논리 회로는 상기 1비트가 설정될 때, 상기 마이크로프로세서가 상기 버스의 제어를 위한 요구도 행하지 않고 상기 버스의 제어를 취하지 않으면서도 상기 버스의 RAS와 CAS 라인들을 이용하여 DRAM 리프레시 기능을 수행하도록, 상기 마이크로프로세서의 DRAM 리프레시 기능을 제어하고, 상기 제어 논리 회로는, 원한다면 상기 마이크로프로세서가 상기 RAS와 CAS라인들을 해제하지 않고 상기 버스의 제어를 포기하도록, 상기 비트가 설정될 때, 상기 마이크로프로세서의 DRAM 어드레싱 기능을 제어하여, 다음에 상기 마이크로프로세서가 상기 버스를 제어할때, 상기 DRAM에 인-페이지 액세스(in-page access)를 가능하게 하는, 마이크로프로세서 시스템.

요약

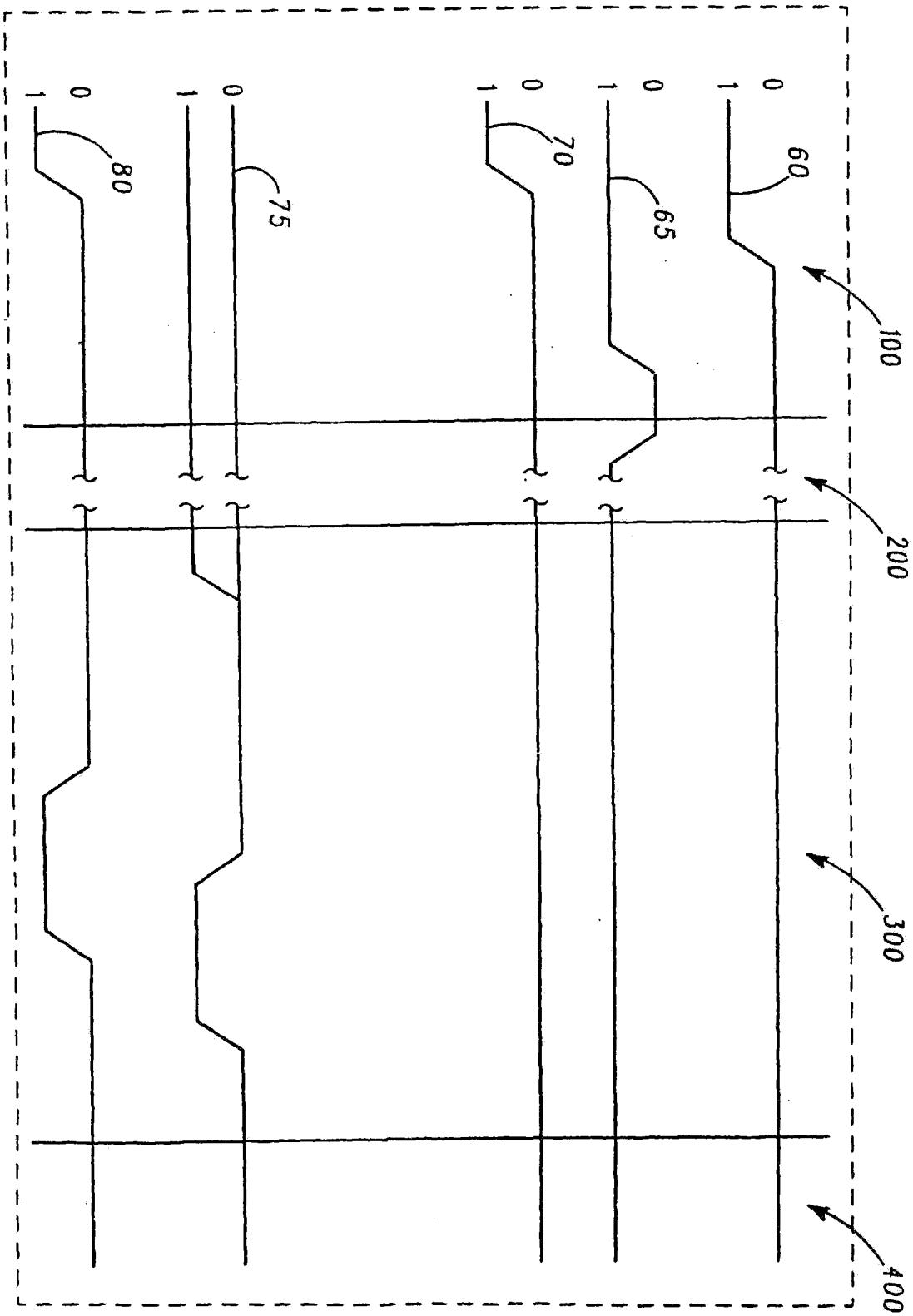
마이크로프로세서는 버스를 통해 전용 DRAM의 RAS와 CAS 입력들에 배타적으로 결합하기 위한 RAS와 CAS 출력들을 갖고 있다. 마이크로프로세서는 DRAM이 마이크로프로세서에 전용인지의 여부를 지정하도록 설정된 적어도 1비트를 갖는 DRAM 제어 논리 레지스터와, 1비트를 판독하고 그 비트가 설정되어 있는지의 여부를 판단하는 판독회로와, DRAM이 마이크로프로세서에 전용인지의 여부에 따라 마이크로프로세서의 기능들을 제어하기 위해 판독회로에 결합된 제어 논리 회로를 포함한다.

도면

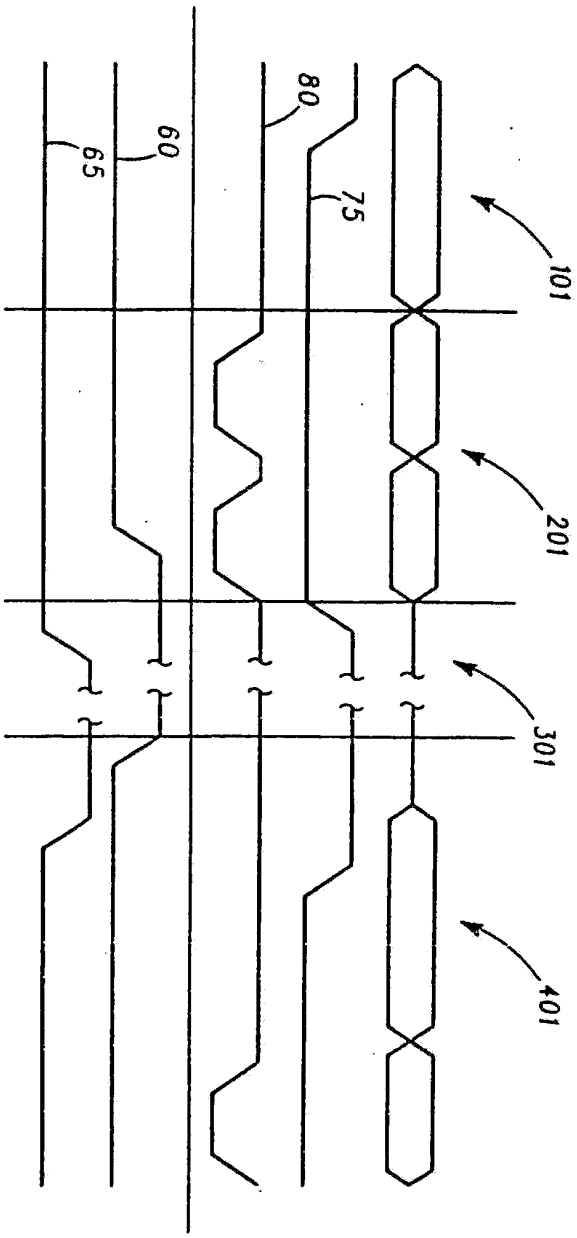
도면1



도면2



도면3



도면4

