

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2022年3月31日(31.03.2022)



(10) 国際公開番号

WO 2022/064315 A1

(51) 国際特許分類:

G11C 11/38 (2006.01)

G11C 11/22 (2006.01)

G11C 7/08 (2006.01)

G11C 13/00 (2006.01)

(21) 国際出願番号:

PCT/IB2021/058288

(22) 国際出願日:

2021年9月13日(13.09.2021)

(25) 国際出願の言語:

日本語

(26) 国際公開の言語:

日本語

(30) 優先権データ:

特願 2020-161173 2020年9月25日(25.09.2020) JP

(71) 出願人: 株式会社半導体エネルギー研究所
(SEMICONDUCTOR ENERGY LABORATORY

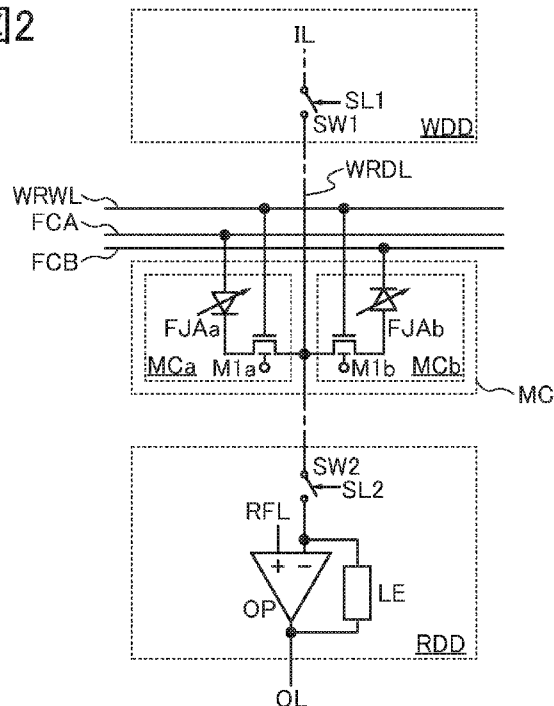
CO., LTD.) [JP/JP]; 〒2430036 神奈川県厚木市長谷398 Kanagawa (JP).

(72) 発明者: 山崎 舜平 (YAMAZAKI, Shunpei); 〒2430036 神奈川県厚木市長谷398株式会社半導体エネルギー研究所内 Kanagawa (JP). 木村 肇(KIMURA, Hajime); 〒2430036 神奈川県厚木市長谷398株式会社半導体エネルギー研究所内 Kanagawa (JP). 魚地 秀貴(UOCHI, Hideki); 〒2430036 神奈川県厚木市長谷398株式会社半導体エネルギー研究所内 Kanagawa (JP). 宮口 厚 (MIYAGUCHI, Atsushi); 〒2430036 神奈川県厚木市長谷398株式会社半導体エネルギー研究所内 Kanagawa (JP). 井上 達則(INOUE, Tatsunori);

(54) Title: SEMICONDUCTOR DEVICE AND ELECTRONIC APPARATUS

(54) 発明の名称: 半導体装置、及び電子機器

図2



(57) Abstract: Provided is a semiconductor device that has reduced power consumption and is capable of non-destructive readout. The semiconductor device has: a first circuit that has a first transistor and a first FTJ element; and a second circuit that has a second transistor and a second FTJ element. A first terminal of the first transistor is electrically connected to an output terminal of the first FTJ element, and a first terminal of the second transistor is electrically connected to an input terminal of the second FTJ element. A second terminal of the first transistor and a second terminal of the second transistor

〒2430036 神奈川県厚木市長谷398株式会社半
導体エネルギー研究所内 Kanagawa (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 一 国際調査報告(条約第21条(3))
- 一 白黒。出願原本にはカラー又はグレースケールの情報が含まれており、PATENTSCOPE からのダウンロードが可能。

are electrically connected to a readout circuit. To write data, voltage is applied between the input and output terminals of each of the first FTJ element and the second FTJ element, and the first FTJ element and the second FTJ element are polarized. To read out data, the differential current flowing in each of the first FTJ element and the second FTJ element is inputted into the readout circuit.

(57) 要約: 消費電力が低減された、非破壊読み出しが可能な半導体装置を提供する。第1トランジスタ及び第1FTJ素子を有する第1回路と、第2トランジスタ及び第2FTJ素子を有する第2回路と、を有する半導体装置である。第1トランジスタの第1端子は、第1FTJ素子の出力端子に電氣的に接続され、第2トランジスタの第1端子は、第2FTJ素子の入力端子に電氣的に接続されている。また、第1トランジスタの第2端子と、第2トランジスタの第2端子と、は、読み出し回路に電氣的に接続されている。データの書き込み方法としては、第1FTJ素子及び第2FTJ素子のそれぞれの入力端子ー出力端子間に電圧を印加して、第1FTJ素子及び第2FTJ素子を分極させる。データの読み出し方法としては、第1FTJ素子と第2FTJ素子のそれぞれに流れる差分電流を読み出し回路に入力することで行われる。

明細書

発明の名称

半導体装置、及び電子機器

技術分野

[0001]

本発明の一態様は、半導体装置、及び電子機器に関する。

[0002]

なお本発明の一態様は、上記の技術分野に限定されない。本明細書等で開示する発明の技術分野は、物、駆動方法、又は、製造方法に関するものである。又は、本発明の一態様は、プロセス、マシン、マニュファクチャ、又は、組成物（コンポジション・オブ・マター）に関するものである。そのため、より具体的に本明細書で開示する本発明の一態様の技術分野としては、半導体装置、表示装置、液晶表示装置、発光装置、蓄電装置、撮像装置、記憶装置、信号処理装置、プロセッサ、電子機器、システム、それらの駆動方法、それらの製造方法、又はそれらの検査方法を一例として挙げることができる。

背景技術

[0003]

近年、半導体装置の開発が進められ、LSI（Large Scale Integration）として、CPU（Central Processing Unit）、メモリなどが主に半導体装置に用いられている。CPUは、半導体素子の集合体であって、半導体ウェハを加工し、チップ化された半導体集積回路（少なくともトランジスタ及びメモリ）を有する。また、CPUには、接続端子である電極が形成されている。

[0004]

また、上述した半導体集積回路に、強誘電性を有する誘電体を用いた、強誘電キャパシタ、FTJ（Ferroelectric Tunnel Junction、又はFerroelectric Transportation Junction）素子、FeFET（Ferroelectric FET）などを設けた半導体装置の開発が進められている。例えば、特許文献1には、バックゲート側のゲート絶縁膜に強誘電体膜を設けたトランジスタを有する半導体メモリセルが開示されている。また、例えば、特許文献2には、トランジスタのゲートに強誘電キャパシタを電氣的に接続した構成のメモリが開示されている。

[先行技術文献]

[特許文献]

[0005]

[特許文献1] 特開2009-164473号公報

[特許文献2] 特開2003-178577号公報

発明の概要

発明が解決しようとする課題

[0006]

近年、電子機器などにおいて扱われるデータ量が増大している傾向にあつて、記憶容量を増やすため、記憶装置、特にメモリセルを微細化する試みが行われている。メモリセルの微細化として、容量のサイズを小さくする場合、その静電容量の値が小さくなるため、長い時間データを保持する

ことが難しくなる。また、データを保持するためのリフレッシュ動作の回数も多くなるため、消費電力も高くなる場合がある。そのため、記憶装置は、長い時間データの保持ができるメモリセルを用いることが好ましい。

[0007]

特に、記憶装置としてDRAM (Dynamic Random Access Memory) の構成の場合、メモリセルからデータを読み出した際に、保持されているデータが破壊されてしまうため(破壊読み出しが起こるため)、データの再書き込みが必須となる。そのため、DRAMには、読み出した後にデータを書き戻すための回路が必要となる場合がある。また、データの再書き込みを行うため、消費電力も高くなる場合がある。

[0008]

本発明の一態様は、データの再書き込みが不要な半導体装置(非破壊読み出しを行う半導体装置)を提供することを課題の一とする。又は、本発明の一態様は、消費電力が低減された半導体装置を提供することを課題の一とする。又は、本発明の一態様は、回路面積が低減された半導体装置を提供することを課題の一とする。又は、本発明の一態様は、新規な半導体装置を提供することを課題の一とする。又は、本発明の一態様は、上述したいずれかの半導体装置を有する電子機器を提供することを課題の一とする。

[0009]

なお本発明の一態様の課題は、上記列挙した課題に限定されない。上記列挙した課題は、他の課題の存在を妨げるものではない。なお他の課題は、以下の記載で述べる、本項目で言及していない課題である。本項目で言及していない課題は、当業者であれば明細書又は図面等の記載から導き出せるものであり、これらの記載から適宜抽出することができる。なお、本発明の一態様は、上記列挙した課題、及び他の課題のうち、少なくとも一つの課題を解決するものである。なお、本発明の一態様は、上記列挙した課題、及び他の課題の全てを解決する必要はない。

課題を解決するための手段

[0010]

(1)

本発明の一態様は、第1回路と、第2回路と、第3回路と、を有する、半導体装置である。特に、第1回路は、第1トランジスタと、第1FTJ素子と、を有し、第2回路は、第2トランジスタと、第2FTJ素子と、を有し、第3回路は、スイッチと、オペアンプと、負荷と、を有する。また、第1FTJ素子、及び第2FTJ素子のそれぞれは、入力端子と、トンネル絶縁膜と、誘電体と、出力端子と、を有し、第1FTJ素子、及び第2FTJ素子のそれぞれは、入力端子、トンネル絶縁膜、誘電体、出力端子、の順に重畳されている構成を有する。また、第1トランジスタのソース又はドレインの一方は、第1FTJ素子の出力端子に電氣的に接続され、第2トランジスタのソース又はドレインの一方は、第2FTJ素子の入力端子に電氣的に接続されている。また、スイッチの第1端子は、第1トランジスタのソース又はドレインの他方と、第2トランジスタのソース又はドレインの他方と、に電氣的に接続され、スイッチの第2端子は、オペアンプの反転入力端子と、負荷の第1端子に電氣的に接続され、オペアンプの出力端子は、負荷の第2端子に電氣的に接続されている。なお、負荷は、抵抗、容量、トランジスタの少なくとも一を有する。

[0011]

(2)

又は、本発明の一態様は、第1トランジスタと、第1F T J素子と、を有する、半導体装置である。第1F T J素子は、入力端子と、トンネル絶縁膜と、誘電体と、出力端子と、を有し、第1F T J素子は、入力端子、トンネル絶縁膜、誘電体、出力端子、の順に重畳されている構成を有する。また、第1トランジスタのソース又はドレインの一方は、第1F T J素子の出力端子に電氣的に接続されている。

[0012]

(3)

又は、本発明の一態様は、上記(1)、又は(2)において、トンネル絶縁膜は、酸化シリコン、又は窒化シリコンを有し、誘電体は、ハフニウム、及びジルコニウムの一方、又は双方を含む酸化物を有する構成としてもよい。

[0013]

(4)

又は、本発明の一態様は、第1回路と、第2回路と、第3回路と、を有し、上記(1)とは異なる、半導体装置である。第1回路は、第1トランジスタと、第1強誘電キャパシタと、を有し、第2回路は、第2トランジスタと、第2強誘電キャパシタと、を有し、第3回路は、スイッチと、オペアンプと、負荷と、を有する。また、第1トランジスタのソース又はドレインの一方は、第1強誘電キャパシタの第1端子に電氣的に接続され、第2トランジスタのソース又はドレインの一方は、第2強誘電キャパシタの第1端子に電氣的に接続されている。また、スイッチの第1端子は、第1トランジスタのソース又はドレインの他方と、第2トランジスタのソース又はドレインの他方と、に電氣的に接続され、スイッチの第2端子は、オペアンプの反転入力端子と、負荷の第1端子に電氣的に接続され、オペアンプの出力端子は、負荷の第2端子に電氣的に接続されている。また、負荷は、抵抗、容量、トランジスタの少なくとも一を有する。また、第1強誘電キャパシタ、及び第2強誘電キャパシタのそれぞれは、誘電体を有し、誘電体は、ハフニウム、及びジルコニウムの一方、又は双方を含む酸化物を有する。

[0014]

(5)

又は、本発明の一態様は、第1回路と、第2回路と、第3回路と、を有し、上記(1)、及び(4)とは異なる半導体装置である。第1回路は、第1トランジスタと、第1回路素子と、を有し、第2回路は、第2トランジスタと、第2回路素子と、を有し、第3回路は、スイッチと、オペアンプと、負荷と、を有する。また、第1トランジスタのソース又はドレインの一方は、第1回路素子の第1端子に電氣的に接続され、第2トランジスタのソース又はドレインの一方は、第2回路素子の第1端子に電氣的に接続されている。また、スイッチの第1端子は、第1トランジスタのソース又はドレインの他方と、第2トランジスタのソース又はドレインの他方と、に電氣的に接続され、スイッチの第2端子は、オペアンプの反転入力端子と、負荷の第1端子に電氣的に接続され、オペアンプの出力端子は、負荷の第2端子に電氣的に接続されている。また、負荷は、抵抗、容量、トランジスタの少なくとも一を有する。また、第1回路素子、及び第2回路素子のそれぞれは、抵抗変化素子、MTJ素子、相変化メモリ素子のいずれか一を有する。

[0015]

(6)

又は、本発明の一態様は、上記(1)乃至(5)のいずれか一の半導体装置と、筐体と、を有す

る、電子機器である。

[0016]

なお、本明細書等において、半導体装置とは、半導体特性を利用した装置であり、半導体素子（トランジスタ、ダイオード、フォトダイオード等）を含む回路、同回路を有する装置等をいう。また、半導体特性を利用することで機能しうる装置全般をいう。例えば、集積回路、集積回路を備えたチップ、パッケージにチップなどを収納した電子部品は半導体装置の一例である。また、記憶装置、表示装置、発光装置、照明装置及び電子機器等は、それ自体が半導体装置である場合があり、半導体装置を有している場合がある。

[0017]

また、本明細書等において、XとYとが接続されていると記載されている場合は、XとYとが電氣的に接続されている場合と、XとYとが機能的に接続されている場合と、XとYとが直接接続されている場合とが、本明細書等の開示されているものとする。したがって、所定の接続関係、例えば、図又は文章に示された接続関係に限定されず、図又は文章に示された接続関係以外のものも、図又は文章の開示されているものとする。X、Yは、対象物（例えば、装置、素子、回路、配線、電極、端子、導電膜、層など）であるとする。

[0018]

XとYとが電氣的に接続されている場合の一例としては、XとYとの電氣的な接続を可能とする素子（例えば、スイッチ、トランジスタ、容量素子、インダクタ、抵抗素子、ダイオード、表示デバイス、発光デバイス、負荷など）が、XとYとの間に1個以上接続されることが可能である。なお、スイッチは、オンオフが制御される機能を有している。つまり、スイッチは、導通状態（オン状態）、又は、非導通状態（オフ状態）になり、電流を流すか流さないかを制御する機能を有している。

[0019]

XとYとが機能的に接続されている場合の一例としては、XとYとの機能的な接続を可能とする回路（例えば、論理回路（インバータ、NAND回路、NOR回路など）、信号変換回路（デジタルアナログ変換回路、アナログデジタル変換回路、ガンマ補正回路など）、電位レベル変換回路（電源回路（昇圧回路、降圧回路など）、信号の電位レベルを変えるレベルシフト回路など）、電圧源、電流源、切り替え回路、増幅回路（信号振幅又は電流量などを大きくできる回路、オペアンプ、差動増幅回路、ソースフォロワ回路、バッファ回路など）、信号生成回路、記憶回路、制御回路など）が、XとYとの間に1個以上接続されることが可能である。なお、一例として、XとYとの間に別の回路を挟んでいても、Xから出力された信号がYへ伝達される場合は、XとYとは機能的に接続されているものとする。

[0020]

なお、XとYとが電氣的に接続されている、と明示的に記載する場合は、XとYとが電氣的に接続されている場合（つまり、XとYとの間に別の素子又は別の回路を挟んで接続されている場合）と、XとYとが直接接続されている場合（つまり、XとYとの間に別の素子又は別の回路を挟まずに接続されている場合）とを含むものとする。

[0021]

また、例えば、「XとYとトランジスタのソース（又は第1の端子など）とドレイン（又は第2の端子など）とは、互いに電氣的に接続されており、X、トランジスタのソース（又は第1の端子

など)、トランジスタのドレイン(又は第2の端子など)、Yの順序で電氣的に接続されている。」と表現することができる。又は、「トランジスタのソース(又は第1の端子など)は、Xと電氣的に接続され、トランジスタのドレイン(又は第2の端子など)はYと電氣的に接続され、X、トランジスタのソース(又は第1の端子など)、トランジスタのドレイン(又は第2の端子など)、Yは、この順序で電氣的に接続されている」と表現することができる。又は、「Xは、トランジスタのソース(又は第1の端子など)とドレイン(又は第2の端子など)とを介して、Yと電氣的に接続され、X、トランジスタのソース(又は第1の端子など)、トランジスタのドレイン(又は第2の端子など)、Yは、この接続順序で設けられている」と表現することができる。これらの例と同様な表現方法を用いて、回路構成における接続の順序について規定することにより、トランジスタのソース(又は第1の端子など)と、ドレイン(又は第2の端子など)とを、区別して、技術的範囲を決定することができる。なお、これらの表現方法は、一例であり、これらの表現方法に限定されない。ここで、X、Yは、対象物(例えば、装置、素子、回路、配線、電極、端子、導電膜、層、など)であるとする。

[0022]

なお、回路図上は独立している構成要素同士が電氣的に接続しているように図示されている場合であっても、1つの構成要素が、複数の構成要素の機能を併せ持っている場合もある。例えば配線の一部が電極としても機能する場合は、一の導電膜が、配線の機能、及び電極の機能の両方の構成要素の機能を併せ持っている。したがって、本明細書における電氣的に接続とは、このような、一の導電膜が、複数の構成要素の機能を併せ持っている場合も、その範疇に含める。

[0023]

また、本明細書等において、「抵抗素子」とは、例えば、 $0\ \Omega$ よりも高い抵抗値を有する回路素子、 $0\ \Omega$ よりも高い抵抗値を有する配線などとすることができる。そのため、本明細書等において、「抵抗素子」は、抵抗値を有する配線、ソースドレイン間に電流が流れるトランジスタ、ダイオード、コイルなどを含むものとする。そのため、「抵抗素子」という用語は、「抵抗」、「負荷」、「抵抗値を有する領域」などの用語に言い換えることができる場合がある。逆に「抵抗」、「負荷」、「抵抗値を有する領域」という用語は、「抵抗素子」などの用語に言い換えることができる場合がある。抵抗値としては、例えば、好ましくは $1\text{ m}\Omega$ 以上 $10\ \Omega$ 以下、より好ましくは $5\text{ m}\Omega$ 以上 $5\ \Omega$ 以下、更に好ましくは $10\text{ m}\Omega$ 以上 $1\ \Omega$ 以下とすることができる。また、例えば、 $1\ \Omega$ 以上 $1 \times 10^9\ \Omega$ 以下としてもよい。

[0024]

また、本明細書等において、「容量素子」とは、例えば、 0 F よりも高い静電容量の値を有する回路素子、 0 F よりも高い静電容量の値を有する配線の領域、寄生容量、トランジスタのゲート容量などとすることができる。そのため、本明細書等において、「容量素子」は、一対の電極と、当該電極の間に含まれている誘電体と、を含む回路素子などを含むものとする。また、「容量素子」、「寄生容量」、「ゲート容量」などという用語は、「容量」などの用語に言い換えることができる場合がある。逆に、「容量」という用語は、「容量素子」、「寄生容量」、「ゲート容量」などの用語に言い換えることができる場合がある。また、「容量」の「一対の電極」という用語は、「一対の導電体」、「一対の導電領域」、「一対の領域」などに言い換えることができる。なお、静電容量の値としては、例えば、 0.05 fF 以上 10 pF 以下とすることができる。また、例えば、 1 pF 以上 $10\ \mu\text{F}$ 以下としてもよい。

[0025]

また、本明細書等において、トランジスタは、ゲート、ソース、及びドレインと呼ばれる3つの端子を有する。ゲートは、トランジスタの導通状態を制御する制御端子である。ソース又はドレインとして機能する2つの端子は、トランジスタの入出力端子である。2つの入出力端子は、トランジスタの導電型（nチャネル型、pチャネル型）及びトランジスタの3つの端子に与えられる電位の高低によって、一方がソースとなり他方がドレインとなる。このため、本明細書等においては、ソース及びドレインの用語は、互いに言い換えることができる場合がある。また、本明細書等では、トランジスタの接続関係を説明する際、「ソース又はドレインの一方」（又は第1電極、又は第1端子）、「ソース又はドレインの他方」（又は第2電極、又は第2端子）という表記を用いる。なお、トランジスタの構造によっては、上述した3つの端子に加えて、バックゲートを有する場合がある。この場合、本明細書等において、トランジスタのゲート又はバックゲートの一方を第1ゲートと呼称し、トランジスタのゲート又はバックゲートの他方を第2ゲートと呼称することがある。更に、同じトランジスタにおいて、「ゲート」と「バックゲート」の用語は互いに入れ換えることができる場合がある。また、トランジスタが、3以上のゲートを有する場合は、本明細書等においては、それぞれのゲートを第1ゲート、第2ゲート、第3ゲートなどと呼称することがある。

[0026]

例えば、本明細書等において、トランジスタの一例としては、ゲート電極が2個以上のマルチゲート構造のトランジスタを用いることができる。マルチゲート構造にすると、チャネル形成領域が直列に接続されるため、複数のトランジスタが直列に接続された構造となる。よって、マルチゲート構造により、オフ電流の低減、トランジスタの耐圧向上（信頼性の向上）を図ることができる。または、マルチゲート構造により、飽和領域で動作する時に、ドレインとソースとの間の電圧が変化しても、ドレインとソースとの間の電流があまり変化せず、傾きがフラットである電圧・電流特性を得ることができる。傾きがフラットである電圧・電流特性を利用すると、理想的な電流源回路、又は非常に高い抵抗値をもつ能動負荷を実現することができる。その結果、特性のよい差動回路又はカレントミラー回路などを実現することができる。

[0027]

また、回路図上では、単一の回路素子が図示されている場合でも、当該回路素子が複数の回路素子を有する場合がある。例えば、回路図上に1個の抵抗が記載されている場合は、2個以上の抵抗が直列に電氣的に接続されている場合を含むものとする。また、例えば、回路図上に1個の容量が記載されている場合は、2個以上の容量が並列に電氣的に接続されている場合を含むものとする。また、例えば、回路図上に1個のトランジスタが記載されている場合は、2個以上のトランジスタが直列に電氣的に接続され、かつそれぞれのトランジスタのゲート同士が電氣的に接続されている場合を含むものとする。また、同様に、例えば、回路図上に1個のスイッチが記載されている場合は、当該スイッチが2個以上のトランジスタを有し、2個以上のトランジスタが直列、又は並列に電氣的に接続され、それぞれのトランジスタのゲート同士が電氣的に接続されている場合を含むものとする。

[0028]

また、本明細書等において、ノードは、回路構成、デバイス構造等に応じて、端子、配線、電極、導電層、導電体、不純物領域等と言い換えることが可能である。また、端子、配線等をノードと言い換えることが可能である。

[0029]

また、本明細書等において、「電圧」と「電位」は、適宜言い換えることができる。「電圧」は、基準となる電位からの電位差のことであり、例えば基準となる電位をグラウンド電位（接地電位）とすると、「電圧」を「電位」に言い換えることができる。なお、グラウンド電位は必ずしも0Vを意味するとは限らない。また、電位は相対的なものであり、基準となる電位が変わることによって、配線に与えられる電位、回路などに印加される電位、回路などから出力される電位なども変化する。

[0030]

また、本明細書等において、「高レベル電位」、「低レベル電位」という用語は、特定の電位を意味するものではない。例えば、2本の配線において、両方とも「高レベル電位を供給する配線として機能する」と記載されていた場合、両方の配線が与えるそれぞれの高レベル電位は、互いに等しくなくてもよい。また、同様に、2本の配線において、両方とも「低レベル電位を供給する配線として機能する」と記載されていた場合、両方の配線が与えるそれぞれの低レベル電位は、互いに等しくなくてもよい。

[0031]

「電流」とは、電荷の移動現象（電気伝導）のことであり、例えば、「正の荷電体の電気伝導が起きている」という記載は、「その逆向きに負の荷電体の電気伝導が起きている」と換言することができる。そのため、本明細書等において、「電流」とは、特に断らない限り、キャリアの移動に伴う電荷の移動現象（電気伝導）をいうものとする。ここでいうキャリアとは、電子、正孔、アニオン、カチオン、錯イオン等が挙げられ、電流の流れる系（例えば、半導体、金属、電解液、真空中など）によってキャリアが異なる。また、配線等における「電流の向き」は、正電荷となるキャリアが移動する方向とし、正の電流量で記載する。換言すると、負電荷となるキャリアが移動する方向は、電流の向きと逆の方向となり、負の電流量で表現される。そのため、本明細書等において、電流の正負（又は電流の向き）について断りがない場合、「素子Aから素子Bに電流が流れる」等の記載は「素子Bから素子Aに電流が流れる」等に言い換えることができるものとする。また、「素子Aに電流が入力される」等の記載は「素子Aから電流が出力される」等に言い換えることができるものとする。

[0032]

また、本明細書等において、「第1」、「第2」、「第3」という序数詞は、構成要素の混同を避けるために付したものである。従って、構成要素の数を限定するものではない。また、構成要素の順序を限定するものではない。例えば、本明細書等の実施の形態の一において「第1」に言及された構成要素が、他の実施の形態、あるいは特許請求の範囲において「第2」に言及された構成要素とすることもありうる。また例えば、本明細書等の実施の形態の一において「第1」に言及された構成要素を、他の実施の形態、あるいは特許請求の範囲において省略することもありうる。

[0033]

また、本明細書等において、「上に」、「下に」などの配置を示す語句は、構成同士的位置関係を、図面を参照して説明するために、便宜上用いている場合がある。また、構成同士的位置関係は、各構成を描写する方向に応じて適宜変化するものである。従って、明細書等で説明した語句に限定されず、状況に応じて適切に言い換えることができる。例えば、「導電体の上面に位置する絶縁体」の表現では、示している図面の向きを180度回転することによって、「導電体の下面に位置する

絶縁体」と言い換えることができる。

[0034]

また、「上」又は「下」の用語は、構成要素の位置関係が直上又は直下で、かつ、直接接していることを限定するものではない。例えば、「絶縁層A上の電極B」の表現であれば、絶縁層Aの上に電極Bが直接接して形成されている必要はなく、絶縁層Aと電極Bとの間に他の構成要素を含むものを除外しない。

[0035]

また、本明細書等において、「膜」、「層」などの語句は、状況に応じて、互いに入れ替えることが可能である。例えば、「導電層」という用語を、「導電膜」という用語に変更することが可能な場合がある。又は、例えば、「絶縁膜」という用語を、「絶縁層」という用語に変更することが可能な場合がある。又は、場合によっては、又は、状況に応じて、「膜」、「層」などの語句を使わずに、別の用語に入れ替えることが可能である。例えば、「導電層」又は「導電膜」という用語を、「導電体」という用語に変更することが可能な場合がある。又は、例えば、「絶縁層」、「絶縁膜」という用語を、「絶縁体」という用語に変更することが可能な場合がある。

[0036]

また、本明細書等において「電極」、「配線」、「端子」などの用語は、これらの構成要素を機能的に限定するものではない。例えば、「電極」は「配線」の一部として用いられることがあり、その逆もまた同様である。さらに、「電極」又は「配線」の用語は、複数の「電極」又は「配線」が一体となって形成されている場合なども含む。また、例えば、「端子」は「配線」又は「電極」の一部として用いられることがあり、その逆もまた同様である。更に、「端子」の用語は、複数の「電極」、「配線」、「端子」などが一体となって形成されている場合なども含む。そのため、例えば、「電極」は「配線」又は「端子」の一部とすることができ、また、例えば、「端子」は「配線」又は「電極」の一部とすることができる。また、「電極」、「配線」、「端子」などの用語は、場合によって、「領域」などの用語に置き換える場合がある。

[0037]

また、本明細書等において、「配線」、「信号線」、「電源線」などの用語は、場合によっては、又は、状況に応じて、互いに入れ替えることが可能である。例えば、「配線」という用語を、「信号線」という用語に変更することが可能な場合がある。また、例えば、「配線」という用語を、「電源線」などの用語に変更することが可能な場合がある。また、その逆も同様で、「信号線」、「電源線」などの用語を、「配線」という用語に変更することが可能な場合がある。「電源線」などの用語は、「信号線」などの用語に変更することが可能な場合がある。また、その逆も同様で「信号線」などの用語は、「電源線」などの用語に変更することが可能な場合がある。また、配線に印加されている「電位」という用語を、場合によっては、又は、状況に応じて、「信号」などという用語に変更することが可能な場合がある。また、その逆も同様で、「信号」などの用語は、「電位」という用語に変更することが可能な場合がある。

[0038]

本明細書等において、半導体の不純物とは、例えば、半導体層を構成する主成分以外をいう。例えば、濃度が0.1原子%未満の元素は不純物である。不純物が含まれることにより、例えば、半導体の欠陥準位密度が高くなること、キャリア移動度が低下すること、結晶性が低下すること、などが起こる場合がある。半導体が酸化物半導体である場合、半導体の特性を変化させる不純物とし

ては、例えば、第1族元素、第2族元素、第13族元素、第14族元素、第15族元素、主成分以外の遷移金属などがあり、特に、例えば、水素（水にも含まれる）、リチウム、ナトリウム、シリコン、ホウ素、リン、炭素、窒素などがある。具体的には、半導体がシリコン層である場合、半導体の特性を変化させる不純物としては、例えば、第1族元素、第2族元素、第13族元素、第15族元素など（但し、酸素、水素は含まない）がある。

[0039]

本明細書等において、スイッチとは、導通状態（オン状態）、又は、非導通状態（オフ状態）になり、電流を流すか流さないかを制御する機能を有するものをいう。又は、スイッチとは、電流を流す経路を選択して切り替える機能を有するものをいう。そのため、スイッチは、制御端子とは別に、電流を流す端子を2つ、又は3つ以上有する場合がある。一例としては、電氣的なスイッチ、機械的なスイッチなどを用いることができる。つまり、スイッチは、電流を制御できるものであればよく、特定のものに限定されない。

[0040]

電氣的なスイッチの一例としては、トランジスタ（例えば、バイポーラトランジスタ、MOSトランジスタなど）、ダイオード（例えば、PNダイオード、PINダイオード、ショットキーダイオード、MIM（Metal Insulator Metal）ダイオード、MIS（Metal Insulator Semiconductor）ダイオード、ダイオード接続のトランジスタなど）、又はこれらを組み合わせた論理回路などがある。なお、スイッチとしてトランジスタを用いる場合、トランジスタの「導通状態」とは、例えば、トランジスタのソース電極とドレイン電極が電氣的に短絡されているとみなせる状態、ソース電極とドレイン電極との間に電流を流すことができる状態、などをいう。また、トランジスタの「非導通状態」とは、トランジスタのソース電極とドレイン電極が電氣的に遮断されているとみなせる状態をいう。なおトランジスタを単なるスイッチとして動作させる場合には、トランジスタの極性（導電型）は特に限定されない。

[0041]

機械的なスイッチの一例としては、MEMS（マイクロ・エレクトロ・メカニカル・システムズ）技術を用いたスイッチがある。そのスイッチは、機械的に動かすことが可能な電極を有し、その電極が動くことによって、導通と非導通とを制御して動作する。

[0042]

本明細書において、「平行」とは、二つの直線が -10° 以上 10° 以下の角度で配置されている状態をいう。したがって、 -5° 以上 5° 以下の場合も含まれる。また、「略平行」又は「概略平行」とは、二つの直線が -30° 以上 30° 以下の角度で配置されている状態をいう。また、「垂直」とは、二つの直線が 80° 以上 100° 以下の角度で配置されている状態をいう。したがって、 85° 以上 95° 以下の場合も含まれる。また、「略垂直」又は「概略垂直」とは、二つの直線が 60° 以上 120° 以下の角度で配置されている状態をいう。

発明の効果

[0043]

本発明の一態様によって、データの再書き込みが不要な半導体装置（非破壊読み出しを行う半導体装置）を提供することができる。又は、本発明の一態様によって、消費電力が低減された半導体装置を提供することができる。又は、本発明の一態様によって、回路面積が低減された半導体装置を提供することができる。又は、本発明の一態様によって、新規な半導体装置を提供することがで

きる。又は、本発明の一態様によって、上述したいずれかの半導体装置を有する電子機器を提供することができる。

[0044]

なお本発明の一態様の効果は、上記列挙した効果に限定されない。上記列挙した効果は、他の効果の存在を妨げるものではない。なお他の効果は、以下の記載で述べる、本項目で言及していない効果である。本項目で言及していない効果は、当業者であれば明細書又は図面等の記載から導き出せるものであり、これらの記載から適宜抽出することができる。なお、本発明の一態様は、上記列挙した効果、及び他の効果のうち、少なくとも一つの効果を有するものである。従って本発明の一態様は、場合によっては、上記列挙した効果を有さない場合もある。

図面の簡単な説明

[0045]

図1A乃至図1Cは、半導体装置に係るメモリセルの構成例を示す回路図である。

図2は、半導体装置の構成例を示す回路図である。

図3は、半導体装置に係るメモリセルの動作例を説明するタイミングチャートである。

図4は、半導体装置に係るメモリセルの動作例を説明するタイミングチャートである。

図5A、及び図5Bは、半導体装置に係るメモリセルの動作例を説明するタイミングチャートである。

図6A、及び図6Bは、半導体装置に係るメモリセルの構成例を示す回路図である。

図7は、記憶装置の構成例を示すブロック図である。

図8は、記憶装置の動作例を説明するタイミングチャートである。

図9は、記憶装置の動作例を説明するタイミングチャートである。

図10は、記憶装置の動作例を説明するタイミングチャートである。

図11は、記憶装置の動作例を説明するタイミングチャートである。

図12は、記憶装置の動作例を説明するタイミングチャートである。

図13は、半導体装置の構成例を示す断面模式図である。

図14A乃至図14Cは、トランジスタの構成例を示す断面模式図である。

図15は、半導体装置の構成例を示す断面模式図である。

図16A、及び図16Bは、トランジスタの構成例を示す断面模式図である。

図17は、トランジスタの構成例を示す断面模式図である。

図18は、半導体装置の構成例を示す断面模式図である。

図19は、半導体装置の構成例を示す断面模式図である。

図20は、半導体装置の構成例を示す断面模式図である。

図21AはIGZOの結晶構造の分類を説明する図であり、図21Bは結晶性IGZOのXRDスペクトルを説明する図であり、図21Cは結晶性IGZOの極微電子線回折パターンを説明する図である。

図22Aは半導体ウェハの一例を示す斜視図であり、図22Bはチップの一例を示す斜視図であり、図22C、及び図22Dは電子部品の一例を示す斜視図である。

図23は、CPUを説明するブロック図である。

図24A乃至図24Iは、製品の一例を説明する斜視図、又は、模式図である。

発明を実施するための形態

[0046]

本明細書等において、金属酸化物（metal oxide）とは、広い意味での金属の酸化物である。金属酸化物は、酸化物絶縁体、酸化物導電体（透明酸化物導電体を含む）、酸化物半導体（Oxide Semiconductor又は単にOSともいう）などに分類される。例えば、トランジスタのチャネル形成領域に金属酸化物が含まれている場合、当該金属酸化物を酸化物半導体と呼称する場合がある。つまり、金属酸化物が増幅作用、整流作用、及びスイッチング作用の少なくとも1つを有するトランジスタのチャネル形成領域を構成し得る場合、当該金属酸化物を、金属酸化物半導体（metal oxide semiconductor）と呼称することができる。また、OSトランジスタと記載する場合においては、金属酸化物又は酸化物半導体を有するトランジスタと換言することができる。

[0047]

また、本明細書等において、窒素を有する金属酸化物も金属酸化物（metal oxide）と総称する場合がある。また、窒素を有する金属酸化物を、金属酸窒化物（metal oxynitride）と呼称してもよい。

[0048]

また、本明細書等において、各実施の形態に示す構成は、他の実施の形態に示す構成と適宜組み合わせ、本発明の一態様とすることができる。また、1つの実施の形態の中に、複数の構成例が示される場合は、互いに構成例を適宜組み合わせることが可能である。

[0049]

なお、ある一つの実施の形態の中で述べる内容（一部の内容でもよい）は、その実施の形態で述べる別の内容（一部の内容でもよい）と、一つ若しくは複数の別の実施の形態で述べる内容（一部の内容でもよい）との少なくとも一つの内容に対して、適用、組み合わせ、又は置き換えなどを行うことができる。

[0050]

なお、実施の形態の中で述べる内容とは、各々の実施の形態において、様々な図を用いて述べる内容、又は明細書に記載される文章を用いて述べる内容のことである。

[0051]

なお、ある一つの実施の形態において述べる図（一部でもよい）は、その図の別の部分、その実施の形態において述べる別の図（一部でもよい）と、一つ若しくは複数の別の実施の形態において述べる図（一部でもよい）との少なくとも一つの図に対して、組み合わせることにより、さらに多くの図を構成させることができる。

[0052]

本明細書に記載の実施の形態について図面を参照しながら説明している。但し、実施の形態は多くの異なる態様で実施することが可能であり、趣旨及びその範囲から逸脱することなく、その形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本発明は、実施の形態の記載内容に限定して解釈されるものではない。なお、実施の形態の発明の構成において、同一部分又は同様な機能を有する部分には同一の符号を異なる図面間で共通して用い、その繰り返しの説明は省略する場合がある。また、斜視図などにおいて、図面の明確性を期すために、一部の構成要素の記載を省略している場合がある。

[0053]

本明細書等において、複数の要素に同じ符号を用いる場合、特に、それらを区別する必要があるときには、符号に“_1”、“[n]”、“[m, n]”等の識別用の符号を付記して記載する場合がある。また、図面等において、符号に“_1”、“[n]”、“[m, n]”等の識別用の符号を付記している場合、本明細書等において区別する必要が無いときには、識別用の符号を記載しない場合がある。

[0054]

また、本明細書の図面において、大きさ、層の厚さ、又は領域は、明瞭化のために誇張されている場合がある。よって、必ずしもそのスケールに限定されない。なお図面は、理想的な例を模式的に示したものであり、図面に示す形状又は値などに限定されない。例えば、ノイズによる信号、電圧、若しくは電流のばらつき、又は、タイミングのずれによる信号、電圧、若しくは電流のばらつきなどを含むことが可能である。

[0055]

(実施の形態1)

本実施の形態では、本発明の一態様の半導体装置について説明する。

[0056]

<構成例1>

図1Aには、本発明の一態様の半導体装置である、記憶装置に備えられる回路MCsの回路構成例を示している。

[0057]

回路MCsは、トランジスタM1と、FTJ素子FJAと、を有する。なお、回路MCsは、例えば、メモリセルなどと呼ばれる場合がある。

[0058]

FTJ素子FJAは、一対の電極と、強誘電性を有しうる材料と、トンネル絶縁膜として機能する絶縁体と、を含むトンネル接合素子である。また、FTJ素子は、強誘電性を有しうる材料の分極の向きに応じて、抵抗値が変化する機能を有する。

[0059]

当該絶縁体は、強誘電性を有しうる材料に重畳するように設けられ、当該絶縁体及び強誘電性を有しうる材料は、当該一対の電極の間に設けられる。また、FTJ素子は、トンネル絶縁膜として機能する絶縁体が強誘電性を有しうる材料に重畳するように設けられているため、整流特性を有する。例えば、FTJ素子が、一対の電極の一方、トンネル絶縁膜として機能する絶縁体、強誘電性を有しうる材料、一対の電極の他方の順に積層されている構成であるとき、FTJ素子の電流が流れる順方向は、一対の電極の一方から一対の電極の他方への方向となる。なお、本明細書では、当該一対の電極の一方を入力端子と記載し、当該一対の電極の他方を出力端子と記載する。

[0060]

例えば、本明細書等で説明するFTJ素子は、平坦な絶縁膜又は導電膜上に、第1の導電体、トンネル絶縁膜、強誘電性を有しうる材料、第2の導電体の順に積層することで、形成することができる。なお、第1の導電体は下部電極と言い換えることができ、第2の導電体は上部電極と言い換えることができる。また、このとき、第1の導電体及び第2の導電体は上述した一対の電極であり、第1の導電体（下部電極）は、一例として、入力端子として機能し、第2の導電体（上部電極）は、一例として、出力端子として機能する。また、例えば、本明細書等で説明するFTJ素子は、平坦

な絶縁膜又は導電膜上に、第1の導電体（下部電極）、強誘電性を有しうる材料、トンネル絶縁膜、第2の導電体（上部電極）の順に積層して形成されてもよい。また、このとき、第1の導電体（下部電極）は、一例として、出力端子として機能し、第2の導電体（上部電極）は、一例として、入力端子として機能する。

[0061]

また、トンネル絶縁膜としては、例えば、酸化シリコン、窒化シリコン、酸化シリコンと窒化シリコンの積層体などを用いることができる。

[0062]

また、前述したとおり、F T J素子は、強誘電性を有しうる材料の分極の向きに応じて、抵抗値が変化する。例えば、F T J素子の入力端子と出力端子との間の強誘電性を有しうる材料において、分極の向きが出力端子から入力端子の方向（このとき分極ベクトルの方向を負とする）となっており、F T J素子において入力端子から出力端子に流れる電流の量は大きくなる。一方、F T J素子の入力端子と出力端子との間の強誘電性を有しうる材料において、分極の向きが入力端子から出力端子（このとき分極ベクトルの方向を正とする）の方向となっており、F T J素子において入力端子から出力端子に流れる電流の量は小さくなる。つまり、F T J素子において、分極の方向が入力端子から出力端子の方向となっている場合、F T J素子の入力端子から出力端子に流れる電流に対する抵抗値は小さくなり、また、F T J素子において、分極の方向が出力端子から入力端子の方向となっている場合、F T J素子の入力端子から出力端子に流れる電流に対する抵抗値は大きくなる。

[0063]

なお、F T J素子の強誘電性を有しうる材料で分極を起こす（分極の方向を変化させる）方法としては、例えば、F T J素子の入力端子と出力端子との間に、高電圧を与えればよい。例えば、F T J素子の入力端子側に高レベル電位、出力端子側に低レベル電位を与えることで、F T J素子の強誘電性を有しうる材料において、分極の向きが入力端子から出力端子の方向（正方向）に向き、一方、F T J素子の入力端子側に低レベル電位、出力端子側に高レベル電位を与えることで、分極の向きが出力端子から入力端子の方向（負方向）に向く。なお、F T J素子は、分極の強度においてヒステリシス性を有するため、分極を起こす（分極の方向を変化させる）には、F T J素子の構造に相応した電圧を印加する必要がある、当該電圧よりも低い電圧では、F T J素子において、分極は起こらない（分極の方向は変化しない）。

[0064]

なお、本明細書の図面において、F T J素子は、ダイオードの回路記号に、矢印を加えたものとして表している。また、本明細書の図面において、配線に接続されているダイオードの回路記号のアノードに相当する三角形の辺を、F T J素子における入力端子とし、配線に接続されているダイオードの回路記号のカソードに相当する三角形の頂点及び線を、F T J素子における出力端子とする。

[0065]

また、強誘電性を有しうる材料としては、例えば、酸化ハフニウムを用いることが好ましい。また、F T J素子に含まれる強誘電性を有しうる材料として酸化ハフニウムを用いる場合、酸化ハフニウムの膜厚（又は、F T J素子の一對の電極の間の距離）は、10 nm以下とすることが好ましく、5 nm以下とすることがより好ましく、2 nm以下とすることがさらに好ましい。

[0066]

または、強誘電性を有しうる材料としては、酸化ハフニウム以外としては、酸化ジルコニウム、酸化ジルコニウムハフニウム (HfZrO_x (x は0よりも大きい実数とする)、又は HZO と記載する場合がある)、酸化ハフニウムに元素J1 (ここでの元素J1は、ジルコニウム (Zr)、シリコン (Si)、アルミニウム (Al)、ガドリニウム (Gd)、イットリウム (Y)、ランタン (La)、ストロンチウム (Sr) など。) を添加した材料、酸化ジルコニウムに元素J2 (ここでの元素J2は、ハフニウム (Hf)、シリコン (Si)、アルミニウム (Al)、ガドリニウム (Gd)、イットリウム (Y)、ランタン (La)、ストロンチウム (Sr) など。) を添加した材料、などが挙げられる。また、強誘電性を有しうる材料として、チタン酸鉛 (PbTiO_x と記載する場合がある)、チタン酸バリウムストロンチウム (BST)、チタン酸ストロンチウム、チタン酸ジルコン酸鉛 (PZT)、タンタル酸ビスマス酸ストロンチウム (SBT)、ビスマスフェライト (BFO)、チタン酸バリウム、などのペロブスカイト構造を有する圧電性セラミックを用いてもよい。また、強誘電性を有しうる材料としては、例えば、上記に列挙した材料から選ばれた混合物又は化合物とすることができる。又は、強誘電性を有しうる材料は、上記に列挙した材料から選ばれた複数の材料からなる積層構造とすることができる。ところで、酸化ハフニウム、酸化ジルコニウム、酸化ジルコニウムハフニウム、および酸化ハフニウムに元素J1を添加した材料などは、成膜条件だけでなく、各種プロセスなどによっても結晶構造 (特性) が変わり得る可能性があるため、本明細書等では、上述した材料は強誘電体だけでなく、強誘電性を有しうる材料とも呼ばれる。

[0067]

また、強誘電性を有しうる材料として酸化ジルコニウムハフニウムを用いる場合、原子層堆積 ($\text{ALD: Atomic Layer Deposition}$) 法、特に熱ALD法を用いて成膜することが好ましい。また、熱ALD法を用いて、強誘電性を有しうる材料を成膜する場合、プリカーサとして炭化水素 (Hydro Carbon 、 HC ともいう) を含まない材料を用いると好適である。強誘電性を有しうる材料中に、水素、及び炭素のいずれか一方または双方が含まれる場合、強誘電性を有しうる材料の結晶化を阻害する場合がある。このため、上記のように、炭化水素を含まないプリカーサを用いることで、強誘電性を有しうる材料中の、水素、及び炭素のいずれか一方または双方の濃度を低減することが好ましい。例えば、炭化水素を含まないプリカーサとしては、塩素系材料があげられる。なお、強誘電性を有しうる材料として、酸化ハフニウムおよび酸化ジルコニウムを有する材料 (酸化ジルコニウムハフニウムなど) を用いる場合、プリカーサとしては、 HfCl_4 、及び/または ZrCl_4 を用いればよい。

[0068]

なお、強誘電性を有しうる材料を用いた膜を成膜する場合、膜中の不純物、ここでは水素、炭化水素、及び炭素の少なくとも一以上を徹底的に排除することで、高純度真性な強誘電性を有しうる膜を形成することができる。なお、高純度真性な強誘電性を有しうる膜と、後述する実施の形態に示す高純度真性な酸化物半導体とは、製造プロセスの整合性が非常に高い。よって、生産性が高い半導体装置の作製方法を提供することができる。

[0069]

また、強誘電性を有しうる材料として酸化ジルコニウムハフニウムを用いる場合、熱ALD法を用いて酸化ハフニウムと酸化ジルコニウムとを1:1の組成になるように交互に成膜すると好まし

い。

[0070]

また、熱ALD法を用いて、強誘電性を有しうる材料を成膜する場合、酸化剤は H_2O または O_3 を用いることができる。ただし、熱ALD法の酸化剤としては、これに限定されない。例えば、熱ALD法の酸化剤としては、 O_2 、 O_3 、 N_2O 、 NO_2 、 H_2O 、及び H_2O_2 の中から選ばれるいずれか一または複数を含んでもよい。

[0071]

また、強誘電性を有しうる材料の結晶構造は、特に限定されない。例えば、強誘電性を有しうる材料の結晶構造としては、立方晶系、正方晶系、直方晶系、及び単斜晶系の中から選ばれるいずれか一の結晶構造または複数を有する複合構造とすればよい。特に強誘電性を有しうる材料としては、直方晶系の結晶構造を有すると、強誘電性が発現するため好ましい。または、強誘電性を有しうる材料として、アモルファス構造と、結晶構造とを有する複合構造としてもよい。

[0072]

トランジスタM1としては、例えば、OSトランジスタを適用することができる。OSトランジスタのチャネル形成領域に含まれる金属酸化物としては、例えば、インジウム、ガリウム、亜鉛の少なくとも一を含む酸化物が含まれていることが好ましい。又は、当該金属酸化物としては、例えば、インジウム、元素M（元素Mとしては、例えば、アルミニウム、イットリウム、銅、バナジウム、ベリリウム、ホウ素、チタン、鉄、ニッケル、ゲルマニウム、ジルコニウム、モリブデン、ランタン、セリウム、ネオジム、ハフニウム、タンタル、タングステン、又はマグネシウムなどから選ばれた一種、又は複数種などが挙げられる。）、亜鉛の少なくとも一を含む酸化物としてもよい。また、トランジスタM1は、実施の形態3に記載するトランジスタの構造であることが更に好ましい。

[0073]

また、トランジスタM1としては、OSトランジスタ以外では、シリコンがチャネル形成領域に含まれるトランジスタ（以後、Siトランジスタと呼称する）を適用してもよい。また、当該シリコンとしては、例えば、非晶質シリコン（水素化アモルファスシリコンと呼ぶ場合がある）、微結晶シリコン、多結晶シリコン、単結晶シリコンなどとしてもよい。

[0074]

また、トランジスタM1としては、OSトランジスタ及びSiトランジスタ以外では、Geなどがチャネル形成領域に含まれているトランジスタ、ZnSe、CdS、GaAs、InP、GaN、SiGeなどの化合物半導体がチャネル形成領域に含まれているトランジスタ、カーボンナノチューブがチャネル形成領域に含まれるトランジスタ、有機半導体がチャネル形成領域に含まれるトランジスタ等を適用してもよい。

[0075]

また、図1Aに図示しているトランジスタは、一例としては、チャネルの上下にゲートを有する構造のトランジスタとしており、トランジスタM1は第1ゲートと第2ゲートとを有する。便宜上、一例として、第1ゲートをゲート（フロントゲートと記載する場合がある。）、第2ゲートをバックゲートとして区別するように記載しているが、第1ゲートと第2ゲートは互いに入れ替えることができる。そのため、本明細書等において、「ゲート」という語句は「バックゲート」という語句と入れ替えて記載することができる。同様に、「バックゲート」という語句は「ゲート」という語

句と入れ替えて記載することができる。具体例としては、「ゲートは第1配線に電氣的に接続され、バックゲートは第2配線に電氣的に接続されている」という接続構成は、「バックゲートは第1配線に電氣的に接続され、ゲートは第2配線に電氣的に接続されている」という接続構成として置き換えることができる。

[0076]

また、本発明の一態様の半導体装置に係る回路MCsは、トランジスタのバックゲートの接続構成に依らない。図1Aに図示されているトランジスタM1には、バックゲートが図示され、当該バックゲートの接続構成については図示されていないが、当該バックゲートの電氣的な接続先は、設計の段階で決めることができる。例えば、バックゲートを有するトランジスタにおいて、そのトランジスタのオン電流を高めるために、ゲートとバックゲートとを電氣的に接続してもよい。つまり、例えば、トランジスタM1のゲートとバックゲートとを電氣的に接続してもよい。また、例えば、バックゲートを有するトランジスタにおいて、そのトランジスタのしきい値電圧を変動させるため、または、そのトランジスタのオフ電流を小さくするために、外部回路などと電氣的に接続されている配線を設けて、当該外部回路などによってトランジスタのバックゲートに固定電位、又は可変電位を与えてもよい。なお、これについては、図1Aだけでなく、明細書の他の箇所に記載されているトランジスタ、又は他の図面に図示されているトランジスタについても同様である。

[0077]

また、本発明の一態様の半導体装置に係る回路MCsは、回路MCsに含まれるトランジスタの構造に依らない。例えば、図1Aに図示しているトランジスタM1は、図1Bに示すとおり、バックゲートを有さないような構成、つまり、シングルゲート構造のトランジスタとしてもよい。また、一部のトランジスタはバックゲートを有している構成とし、別の一部のトランジスタは、バックゲートを有さない構成としてもよい。なお、これについては、図1Aだけでなく、明細書の他の箇所に記載されているトランジスタ、又は他の図面に図示されているトランジスタについても同様である。

[0078]

また、図1Aに図示しているトランジスタM1は、一例として、nチャネル型トランジスタを図示しているが、状況に応じて、又は、場合によって、pチャネル型トランジスタに置き換えてもよい。また、nチャネル型トランジスタをpチャネル型トランジスタに置き換えた場合、回路MCsが正常に動作するように、回路MCsなどに入力される電位などを適切に変更する必要がある。また、回路MCsから出力される結果も変わる場合がある。なお、これについては、図1Aだけでなく、明細書の他の箇所に記載されているトランジスタ、又は他の図面に図示されているトランジスタについても同様である。また、本実施の形態では、トランジスタM1がnチャネル型トランジスタとして、回路MCsの構成、及び動作を説明する。

[0079]

図1Aの回路MCsにおいて、トランジスタM1の第1端子は、配線WRDLに電氣的に接続され、トランジスタM1のゲートは、配線WRWLに電氣的に接続されている。また、FTJ素子FJAの入力端子は、配線FCAに電氣的に接続されている。また、FTJ素子FJAの出力端子は、トランジスタM1の第2端子に電氣的に接続されている。

[0080]

配線WRDLは、一例として、回路MCsに書き込まれるデータを送信する配線として機能する。

また、配線WRDLは、一例として、回路MCsから読み出されたデータを送信する配線としても機能する。つまり、配線WRDLは、書き込みデータ線かつ読み出しデータ線として機能する。

[0081]

配線WRWLは、一例として、データを書き込み先となる回路MCsを選択するための配線として機能する。また、配線WRWLは、一例として、保持されているデータの読み出しが行われる回路MCsを選択するための配線として機能する。つまり、配線WRWLは、書き込みワード線かつ読み出しワード線として機能する。

[0082]

配線FCAは、一例として、回路MCsにデータを書き込むときに、FTJ素子FJAに含まれる、強誘電性を有しうる材料に分極を生じさせる程度の可変電位を与える配線として機能する。また、配線FCAは、一例として、回路MCsからデータを読み出すときに、強誘電性を有しうる材料の分極を変化させない程度の電位を与える配線としても機能する。

[0083]

また、本発明の一態様の半導体装置である、記憶装置に備えられる回路MCsの回路構成例としては、図1Cに示すとおり、図1Aにおいて、FTJ素子FJAの入力端子と、出力端子と、を入れ換えた構成としてもよい。具体的には、図1Cの回路MCsは、FTJ素子FJAの出力端子は、配線FCAに電氣的に接続され、FTJ素子FJAの入力端子は、トランジスタM1の第2端子に電氣的に接続されている構成となっている。

[0084]

ところで、回路MCsの詳細な動作例については、後述するが、FTJ素子FJAの入力端子と出力端子との間に適切な電圧を印加することで、FTJ素子FJAの入力端子と出力端子との間にトンネル電流が流れる。このとき、トランジスタM1を介して、トンネル電流のリークを防ぎたい場合には、トランジスタM1としてはOSトランジスタを用いることが好ましい。OSトランジスタはオフ電流が非常に低いため、FTJ素子FJAに流れるトンネル電流の配線WRDL側へのリークを防ぐことができる場合がある。

[0085]

なお、FTJ素子を流れる電流の大きさは、強誘電性を有しうる材料の膜厚、および強誘電性を有しうる材料を挟む一対の電極の重なり合う面積に依存して変化する。例えば、強誘電性を有しうる材料をHZOとした場合における、FTJ素子に流れる電流を見積もった結果を表1に示す。

[0086]

[表1]

HZO膜厚	電極面積	FTJに流れる電流
4nm	$1\mu\text{m} \times 1\mu\text{m}$	1nA
4nm	$100\text{nm} \times 100\text{nm}$	10pA
6nm	$1\mu\text{m} \times 1\mu\text{m}$	3pA
6nm	$100\text{nm} \times 100\text{nm}$	30fA
8nm	$1\text{mm} \phi$	5nA
8nm	$1\mu\text{m} \times 1\mu\text{m}$	7fA
8nm	$100\text{nm} \times 100\text{nm}$	70aA

[0087]

<動作例>

次に、図1Aの回路MCsを用いたメモリセルと、データの書き込み動作例、及びデータの読み出し動作例について説明する。

[0088]

初めに、データの書き込み動作例、及びデータの読み出し動作例を説明するために、回路MCsを用いたメモリセルと、当該メモリセルの周辺回路について説明する。

[0089]

図2は、メモリセルMCと、その周辺回路である回路WDD及び回路RDDと、を図示した回路図である。

[0090]

メモリセルMCは、一例として、回路MCaと、回路MCbと、を有する。図2において、回路MCaとしては、例えば、図1Aの回路MCsを用いており、回路MCbとしては、例えば、図1Cの回路MCsを用いている。

[0091]

図2において、回路MCaは、トランジスタM1aと、FTJ素子FJAaと、を有する。トランジスタM1aは、図1Aの回路MCsにおけるトランジスタM1に相当し、FTJ素子FJAaは、図1Aの回路MCsにおけるFTJ素子FJAに相当する。また、図2において、回路MCbは、トランジスタM1bと、FTJ素子FJAbと、を有する。トランジスタM1bは、図1Cの回路MCsにおけるトランジスタM1に相当し、FTJ素子FJAbは、図1Cの回路MCsにおけるFTJ素子FJAに相当する。

[0092]

また、図2において、FTJ素子FJAaの入力端子は、配線FCAに電氣的に接続され、FTJ素子FJAbの出力端子は、配線FCBに電氣的に接続されている。また、トランジスタM1aのゲートと、トランジスタM1bのゲートと、は、配線WRWLに電氣的に接続されている。また、トランジスタM1aの第1端子と、トランジスタM1bの第1端子と、は、配線WRDLに電氣的に接続されている。

[0093]

配線FCBは、一例として、配線FCAと同様に、回路MCbにデータを書き込むときに、FTJ素子FJAbに含まれる、強誘電性を有しうる材料に分極を生じさせる程度の可変電位を与える

配線として機能する。また、配線FCBは、一例として、回路MCbからデータを読み出すときに、当該誘電体の分極を変化させない程度の電位を与える配線としても機能する。

[0094]

回路WDDは、例えば、メモリセルMCにおける、書き込みデータ線ドライバ回路として機能する。回路WDDは、一例として、スイッチSW1を有する。なお、図2では、回路WDDには、スイッチSW1、配線IL、及び配線SL1のみを図示している。

[0095]

回路RDDは、例えば、メモリセルMCにおける、読み出し回路として機能する。回路RDDは、一例として、スイッチSW2と、オペアンプOPと、負荷LEと、を有する。なお、図2では、回路RDDには、スイッチSW2、オペアンプOP、負荷LE、配線SL2、配線RFLのみを図示している。

[0096]

スイッチSW1、及びスイッチSW2は、一例として、例えば、アナログスイッチ、トランジスタなどの電氣的なスイッチなどを適用することができる。なお、スイッチSW1、及びスイッチSW2として、例えば、トランジスタを適用する場合、当該トランジスタは、トランジスタM1（トランジスタM1a、トランジスタM1b）と同様の構造のトランジスタとすることができる。また、電氣的なスイッチ以外では、機械的なスイッチを適用してもよい。また、本明細書等において、スイッチSW1、及びスイッチSW2は、制御端子に高レベル電位が入力されたときオン状態となり、制御端子に低レベル電位が入力されたときオフ状態となるものとする。

[0097]

負荷LEとしては、例えば、抵抗、トランジスタなどを用いることができる。特に、負荷LEとして抵抗などとすることで、負荷LEとオペアンプOPとによって電流電圧変換回路を構成することができる。又は、負荷LEとしては、容量を用いることができる。特に、負荷LEとして容量などとすることで、負荷LEとオペアンプOPとによって積分回路を構成することができる。

[0098]

スイッチSW1の第1端子は、配線WRDLに電氣的に接続され、スイッチSW1の第2端子は、配線ILに電氣的に接続されている。また、スイッチSW1の制御端子は、配線SL1に電氣的に接続されている。

[0099]

スイッチSW2の第1端子は、配線WRDLに電氣的に接続され、スイッチSW2の第2端子は、オペアンプOPの反転入力端子と、負荷LEの第1端子と、に電氣的に接続されている。また、オペアンプOPの出力端子は、負荷LEの第2端子と、配線OLと、に電氣的に接続されている。また、オペアンプOPの非反転入力端子は、配線RFLに電氣的に接続されている。

[0100]

配線ILは、回路WDDに含まれる内部回路（図示しない）に電氣的に接続されている。当該内部回路は、例えば、書き込み用のデータを生成する機能と、当該内部回路から配線ILとスイッチSW1と配線WRDLとを介して、メモリセルMCに当該データを送信する機能と、を有する。

[0101]

配線SL1は、一例として、スイッチSW1のオン状態とオフ状態との切り替えを行うための配線として機能する。そのため、配線SL1には、例えば、高レベル電位、又は低レベル電位が供給

される。

[0102]

配線SL2は、一例として、スイッチSW2のオン状態とオフ状態との切り替えを行うための配線として機能する。そのため、配線SL2には、例えば、高レベル電位、又は低レベル電位が供給される。

[0103]

配線RFLは、一例として、定電圧を供給する配線として機能する。当該定電圧としては、例えば、オペアンプOPの非反転入力端子に入力するための参照電位とすることができる。

[0104]

配線OLは、一例として、メモリセルMCから読み出されたデータに応じた電位を送信する配線として機能する。

[0105]

図2に示した回路を用いて、メモリセルMCへのデータの書き込み動作、及びメモリセルMCからのデータの読み出し動作について説明する。

[0106]

<<データの書き込み動作例1>>

図3は、図2の回路構成において、メモリセルMCにデータの書き込みを行う動作の一例を示したタイミングチャートである。図3のタイミングチャートは、時刻T11から時刻T19までの間、及びその近傍の時刻における、配線SL1、配線SL2、配線WRWL、配線WRDL、配線FCA、配線FCB、及び配線OLの電位の変化を示している。

[0107]

なお、本動作例において、配線FCAと、配線FCBと、は互いに等しい電位が与えられるものとする。そのため、図3のタイミングチャートでは、配線FCAの電位変化は、配線FCBの電位変化とまとめて図示している。

[0108]

また、配線RFLが与える電位は、一例として、 V_{RF} とする。 V_{RF} は、例えば、固定電位としてもよいし、可変電位としてもよい。なお、本動作例では、 V_{RF} は、任意の固定電位とする。

[0109]

また、回路RDDに含まれている負荷LEとしては、一例として、抵抗とする。

[0110]

また、図3のタイミングチャートの時刻T14以降の配線WRDL、及び時刻T15以降の配線FCAと配線FCBにおいて、電位の変動を実線と破線で示している。実線で示した電位変化は、本書き込み動作において、メモリセルMCに V_0 が書き込まれた場合の電圧変化を示している。また、破線で示した電位変化は、本書き込み動作において、メモリセルMCに V_1 が書き込まれた場合の電圧変化を示している。なお、 V_0 及び V_1 については、後述する。

[0111]

[時刻T11から時刻T12まで]

時刻T11から時刻T12までの間において、配線SL1、及び配線SL2のそれぞれの電位は、低レベル電位（図3には、Lowと記載している）となっている。このため、スイッチSW1、及びスイッチSW2のそれぞれの制御端子には低レベル電位が入力されて、スイッチSW1、及びス

イッチSW2のそれぞれはオフ状態となっている。

[0112]

また、スイッチSW1がオフ状態となっているため、回路WDDの内部回路から配線WRDLには、メモリセルMCへの書き込み用のデータは送信されない。また、時刻T11から時刻T12までの間における配線WRDLの電位は、一例として、 V_0 としている。なお、 V_0 については後述する。また、 V_0 は、一例として接地電位としてもよい。

[0113]

また、時刻T11から時刻T12までの間において、配線WRWLには、低レベル電位が入力されている。このため、トランジスタM1a、及びトランジスタM1bのそれぞれのゲートには低レベル電位が入力される。したがって、トランジスタM1a、及びトランジスタM1bのそれぞれはオフ状態となっている。

[0114]

また、配線FCA、及び配線FCBのそれぞれが与える電位は、 V_{0A} とする。 V_{0A} は、例えば、基準電位、又は基準電位近傍の値とすることができる。基準電位 V_c としては、例えば、0[V]、又は接地電位とすることが好ましい。また、基準電位近傍の値としては、例えば、基準電位を V_c としたとき、 $V_c - 0.1$ [V] 以上、 $V_c - 0.05$ [V] 以上、又は $V_c - 0.01$ [V] 以上の電位であることが好ましく、かつ $V_c + 0.01$ [V] 以下、 $V_c + 0.05$ [V] 以下、又は $V_c + 0.1$ [V] 以下であることが好ましい。なお、上述した下限値、及び上限値はそれぞれ組み合わせることができるものとする。

[0115]

また、時刻T11から時刻T12までの間において、スイッチSW2はオフ状態となっているため、オペアンプOPの接続構成は、ボルテージフォロワとして機能する。そのため、オペアンプOPの出力端子には、電位 V_{RF} が出力され、結果として、配線OLから電位 V_{RF} が出力される。

[0116]

[時刻T12から時刻T13まで]

時刻T12から時刻T13までの間において、配線SL1には、高レベル電位（図3には、Highと記載している）が与えられる。このため、スイッチSW1の制御端子には高レベル電位が入力されるため、スイッチSW1はオン状態となる。

[0117]

また、本動作例では、時刻T12から時刻T13までの間において、回路WDDの内部回路から配線WRDLには、メモリセルMCへの書き込み用のデータは送信されない。また、本動作例では、時刻T12から時刻T13までの間において、回路WDDの内部回路から配線WRDLに、初期化用の電位が与えられていてもよい。初期化用の電位としては、接地電位、電位 V_0 等とすることができる。なお、本動作例では、初期化用の電位として V_0 が与えられているものとする。

[0118]

[時刻T13から時刻T14まで]

時刻T13から時刻T14までの間において、配線WRWLが与える電位は、低レベル電位から高レベル電位に変化する。このため、トランジスタM1a、及びトランジスタM1bのそれぞれのゲートには高レベル電位が入力されて、トランジスタM1a、及びトランジスタM1bはオン状態となる。つまり、配線WRDLとFTJ素子FJAaの出力端子との間が導通状態となり、配線W

RDLとFTJ素子FJA_bの入力端子との間が導通状態となる。したがって、FTJ素子FJA_aの出力端子、及びFTJ素子FJA_bの入力端子には、配線WRDLから初期化用の電位が与えられる。本動作例では、FTJ素子FJA_aの出力端子及びFTJ素子FJA_bの入力端子の電位は、 V_0 になるものとする。

[0119]

[時刻T14から時刻T15まで]

時刻T14から時刻T15までの間では、回路WDDの内部回路から配線WRDLに、メモリセルMCに書き込むためのデータが送信される。具体的には、例えば、配線WRDLには、当該内部回路から当該データに応じた電位として V_0 、又は V_1 が与えられるものとする。トランジスタM1_a、及びトランジスタM1_bのそれぞれは、時刻T14以前からオン状態となっているため、FTJ素子FJA_aの出力端子及びFTJ素子FJA_bの入力端子には、配線WRDLから V_0 、又は V_1 が与えられる。このため、FTJ素子FJA_aの出力端子及びFTJ素子FJA_bの入力端子の電位は、 V_0 、又は V_1 になるものとする。

[0120]

なお、 V_0 、及び V_1 のそれぞれは、2値のデータ（デジタル値）を表す電位とする。例えば、 V_0 は“0”又は“1”の一方を示す電位とし、 V_1 は、“0”又は“1”の他方を示す電位とすることができる。本動作例では、 V_0 は“0”を示す電位とし、 V_1 は“1”を示す電位として説明する。また、 V_0 、及び V_1 の大きさとしては、 $V_1 - V_0$ がFTJ素子FJA_a、及びFTJ素子FJA_bのそれぞれの分極を起こす、又は分極の方向を書き換える程度の電圧となるように設定することができる。例えば、FTJ素子FJA_a、及びFTJ素子FJA_bのそれぞれにおいて、分極を発生させる（分極の方向を変化）させる程度の電圧を3Vとした場合、 V_1 、 V_0 は、 $V_1 - V_0$ が3V以上となるように設定すればよい。なお、 V_0 は、例えば、電位 V_{0A} と等しいことが好ましい。具体的には、 V_0 を一例として0Vなどとし、 V_1 を一例として3Vなどとすればよい。なお、本動作例では、2値のデータの書き込み、及び読み出しについて説明するが、メモリセルMCは、例えば、多値のデータ、アナログ電位の書き込み、及び／又は、読み出しを行うことができる場合がある。

[0121]

[時刻T15から時刻T16まで]

時刻T15から時刻T16までの間では、配線FCA、及び配線FCBのそれぞれには、時刻T14から時刻T15までの間において回路WDDの内部回路から配線WRDLを介してメモリセルMCに送信されているデータに応じた電位が、入力される。例えば、時刻T14から時刻T15までの間において回路WDDの内部回路から配線WRDLを介してメモリセルMCに送信されているデータに応じた電位が V_0 であるとき、配線FCA、及び配線FCBのそれぞれには、 V_{1A} が入力されるものとする。又は、例えば、時刻T14から時刻T15までの間において回路WDDの内部回路から配線WRDLを介してメモリセルMCに送信されているデータに応じた電位が V_1 であるとき、配線FCA、及び配線FCBのそれぞれには、 V_{0A} が入力されるものとする。

[0122]

V_{1A} は、一例として、 V_{0A} よりも高い電位であるものとする。また、 V_{1A} は、FTJ素子FJA_aの出力端子が V_0 であるときに、FTJ素子FJA_aにて分極が起こる程度（分極の向きが変わる程度）の電位とする。なお、このとき、当該分極の向きは、FTJ素子FJA_aの入力端子から出力端子へ方向（正方向）となる。また、 V_{1A} は、FTJ素子FJA_bの入力端子が V_0 であ

るときに、FTJ素子FJA_bにて分極が起こる程度（分極の向きが変わる程度）の電位とする。なお、このとき、当該分極の向きは、FTJ素子FJA_bの出力端子から入力端子へ（負方向）となる。

[0123]

なお、本動作例では、 V_{1A} は、一例として、 V_1 と等しいことが好ましい。

[0124]

初めに、FTJ素子FJA_aに着目する。FTJ素子FJA_aの出力端子の電位が V_0 であるとき、FTJ素子FJA_aの入力端子（配線FCA）の電位が V_{1A} となっているため、FTJ素子FJA_aに含まれる強誘電性を有する誘電体は、入力端子（配線FCA）から出力端子へ（正方向）に分極する。一方、FTJ素子FJA_aの出力端子の電位が V_1 であるとき、FTJ素子FJA_aの入力端子（配線FCA）の電位が V_{0A} となっているため、FTJ素子FJA_aに含まれる強誘電性を有する誘電体は、出力端子から入力端子（配線FCA）へ（負方向）に分極する。

[0125]

次に、FTJ素子FJA_bに着目する。FTJ素子FJA_bの入力端子の電位が V_0 であるとき、FTJ素子FJA_bの出力端子（配線FCB）の電位が V_{1A} となっているため、FTJ素子FJA_bに含まれる強誘電性を有する誘電体は、出力端子（配線FCB）から入力端子へ（負方向）に分極する。一方、FTJ素子FJA_bの入力端子の電位が V_1 であるとき、FTJ素子FJA_bの出力端子（配線FCB）の電位が V_{0A} となっているため、FTJ素子FJA_bに含まれる強誘電性を有する誘電体は、入力端子から出力端子（配線FCB）へ（正方向）に分極する。

[0126]

つまり、時刻T15から時刻T16までの間において、メモリセルMCに書き込まれたデータ（ V_0 又は V_1 ）に応じて、FTJ素子FJA_a、及びFTJ素子FJA_bの分極の方向が、次の表のとおり定められる。

[0127]

[表2]

配線WRDLから書き込まれた電位	FTJ素子FJA _a の分極の方向	FTJ素子FJA _b の分極の方向
V_0	入力端子（配線FCA）から出力端子へ（正方向）	出力端子（配線FCB）から入力端子へ（負方向）
V_1	出力端子から入力端子（配線FCA）へ（負方向）	入力端子から出力端子（配線FCB）へ（正方向）

[0128]

なお、時刻T16以降において、配線FCA、及び配線FCBが与える電位は、それぞれ V_{0A} とする。つまり、時刻T16以降において、配線FCA、及び配線FCBが与える電位は、時刻T15以前において、配線FCA、及び配線FCBが与える電位と同様としている。

[0129]

[時刻T16から時刻T17まで]

時刻T16から時刻T17までの間において、回路WDDの内部回路から配線WRDLへの、メモリセルMCに書き込むためのデータの送信が終了する。具体的には、例えば、回路WDDの内部回路から配線WRDLに、初期化用の電位を与えるものとする。なお、本動作例では、初期化用の

電位として V_0 が与えられているものとする。

[0130]

トランジスタM1は、時刻T16以前からオン状態となっているため、FTJ素子FJAaの出力端子及びFTJ素子FJAbの入力端子には、配線WRDLが与える初期化用の電位が与えられる。そのため、本動作例では、FTJ素子FJAaの出力端子及びFTJ素子FJAbの入力端子の電位は、 V_0 になるものとする。なお、FTJ素子FJAaの出力端子及びFTJ素子FJAbの入力端子の電位が初期化用の電位になっても、時刻T15から時刻T16の間に書き込まれたFTJ素子FJAa及びFTJ素子FJAbのそれぞれの分極の方向は、変化しない。つまり、メモリセルMCに保持されているデータは、破壊されずに保持される。

[0131]

[時刻T17から時刻T18まで]

時刻T17から時刻T18までの間において、配線WRWLの電位は、高レベル電位から低レベル電位に変化する。このため、トランジスタM1a、及びトランジスタM1bのそれぞれのゲートには低レベル電位が入力されて、トランジスタM1a、及びトランジスタM1bのそれぞれはオフ状態となる。

[0132]

[時刻T18から時刻T19まで]

時刻T18から時刻T19までの間において、配線SL1の電位は、高レベル電位から低レベル電位に変化する。このため、スイッチSW1の制御端子には低レベル電位が入力されて、スイッチSW1はオフ状態となる。

[0133]

これにより、時刻T18から時刻T19までの間では、回路WDDの内部回路と配線WRDLとの間には非導通状態となり、回路WDDの内部回路から配線WRDLへの電位の供給が行われない。

[0134]

上述した時刻T11から時刻T19までの間の動作によって、図2のメモリセルMCにデータを書き込むことができる。

[0135]

<<データの読み出し動作例>>

図4は、図2の回路構成において、メモリセルMCからデータの読み出しを行う動作の一例を示したタイミングチャートである。図4のタイミングチャートは、時刻T21から時刻T30の間、及びその近傍の時刻における、配線SL1、配線SL2、配線WRWL、配線WRDL、配線FCA、配線FCB、及び配線OLの電位の変化を示している。

[0136]

また、配線RFLが与える電位は、一例として、 V_{RF} とする。 V_{RF} は、例えば、固定電位としてもよいし、可変電位としてもよい。なお、本動作例では、 V_{RF} は、 $(V_M + V_{OB}) / 2$ とし、電位 V_M 、及び電位 V_{OB} については後述する。

[0137]

また、回路RDDに含まれている負荷LEとしては、一例として、抵抗とする。

[0138]

また、図4のタイミングチャートの時刻T24以降の配線OLにおいて、電位の変動を実線と破

線で示している。実線で示した電位変化は、図3のタイミングチャートの書き込み動作において、メモリセルMCに V_0 が書き込まれた場合の電圧変化を示している。また、破線で示した電位変化は、図3のタイミングチャートの書き込み動作において、メモリセルMCに V_1 が書き込まれた場合の電圧変化を示している。

[0139]

[時刻T21から時刻T22まで]

時刻T21から時刻T22までの間において、配線SL1、及び配線SL2のそれぞれの電位は、低レベル電位（図4には、Lowと記載している）となっている。このため、スイッチSW1、及びスイッチSW2のそれぞれの制御端子には低レベル電位が入力されて、スイッチSW1、及びスイッチSW2のそれぞれはオフ状態となっている。

[0140]

また、スイッチSW1がオフ状態となっているため、回路WDDの内部回路と配線WRDLとの間は非導通状態となっている。また、時刻T21から時刻T22までの間における配線WRDLの電位は、一例として、接地電位（図4では、GNDと記載している。）としている。なお、本動作例において、接地電位は0Vとすることが好ましい。

[0141]

また、時刻T21から時刻T22までの間において、配線WRWLには、低レベル電位が入力されている。このため、トランジスタM1a、及びトランジスタM1bのそれぞれのゲートには低レベル電位が入力される。したがって、トランジスタM1a、及びトランジスタM1bのそれぞれはオフ状態となっている。

[0142]

また、時刻T21から時刻T22までの間において、配線FCAが与える電位は、時刻T11から時刻T12までの間における配線FCAが与える電位と同様に、 V_{0A} とする。また、配線FCBが与える電位は V_{0B} とする。なお、 V_{0B} は、 V_{0A} と同様に、基準電位、又は基準電位近傍の値とすることができる。また、基準電位、又は基準電位近傍の値については、 V_{0A} の説明を参酌する。

[0143]

また、時刻T21から時刻T22までの間において、配線OLには、図3のタイミングチャートの動作より、電位 V_{RF} が出力されているものとする。

[0144]

[時刻T22から時刻T23まで]

時刻T22から時刻T23までの間において、配線WRWLが与える電位は、低レベル電位から高レベル電位（図4ではHighと記載している）に変化する。このため、トランジスタM1a、及びトランジスタM1bのそれぞれのゲートには高レベル電位が入力されて、トランジスタM1a、及びトランジスタM1bのそれぞれはオン状態となる。

[0145]

このとき、配線WRDLとFTJ素子FJAaの出力端子との間が導通状態となり、配線WRDLとFTJ素子FJAaの出力端子との間が導通状態となるため、配線WRDLと、FTJ素子FJAaの出力端子と、FTJ素子FJAaの入力端子と、は等電位となる。ここでは、配線WRDLと、FTJ素子FJAaの出力端子と、FTJ素子FJAaの入力端子と、のそれぞれは、接地電位になるものとする。

[0146]

[時刻T23から時刻T24まで]

時刻T23から時刻T24までの間において、配線FCAには電位 V_M が与えられ、配線FCBには電位 V_{OB} が与えられる。 V_M は、 V_{OA} 及び V_{OB} よりも高く、かつ V_{1A} よりも低い電位とする。また、 V_M は、FTJ素子FJAaの出力端子の電位が接地電位であるときにおいて、FTJ素子FJAaにて分極の変化が起こらない（分極の方向が変化しない）程度の電位とする。

[0147]

[時刻T24から時刻T25まで]

時刻T24から時刻T25までの間において、配線SL2には、高レベル電位が与えられる。このため、スイッチSW2の制御端子には高レベル電位が入力されるため、スイッチSW2はオン状態となる。

[0148]

このため、配線WRDLと、回路RDDのオペアンプOPの反転入力端子及び負荷LEの第1端子と、の間が導通状態となる。また、負荷LEは抵抗としており、かつオペアンプOPは負帰還の構成となっているため、負荷LEとオペアンプOPは、配線WRDLを入力配線とする電圧変換回路として機能する。また、オペアンプOPは負帰還の構成となっているため、オペアンプOPの反転入力端子と非反転入力端子は仮想短絡となり、配線WRDLの電位は V_{RF} となる。

[0149]

また、このとき、トランジスタM1はオン状態となっているため、配線WRDLと導通状態となっているFTJ素子FJAaの出力端子、及びFTJ素子FJAbの入力端子のそれぞれの電位も V_{RF} となる。

[0150]

このため、FTJ素子FJAaの入力端子（配線FCA）と出力端子にかかる電圧は、 $V_M - V_{RF}$ （ $=V_{FJA}$ とする）となり、FTJ素子FJAbの入力端子（配線FCB）と出力端子にかかる電圧は、 $V_{RF} - V_{OB}$ （ $=V_{FJB}$ とする）となる。なお、FTJ素子FJAaの入力端子と出力端子との電圧が $V_M - V_{RF}$ （ $=V_{FJA}$ ）のとき、FTJ素子FJAaにて分極の変化が起こらない（分極の方向が変化しない）。また、FTJ素子FJAbの入力端子と出力端子との電圧が $V_{RF} - V_{OB}$ （ $=V_{FJB}$ ）のとき、FTJ素子FJAbにて分極の変化が起こらない（分極の方向が変化しない）。

[0151]

また、FTJ素子FJAaにおいて、分極の方向が入力端子（配線FCA）から出力端子への方向（正方向）となっているとき、FTJ素子FJAの抵抗値は高くなり、また、分極の方向が出力端子から入力端子（配線FCA）の方向（負方向）となっているとき、FTJ素子FJAaの抵抗値は低くなる。FTJ素子FJAaの入力端子－出力端子間の電圧 V_{FJA} は一定であるため、FTJ素子FJAaにおける分極の方向が定まることによって、FTJ素子FJAaの入力端子から出力端子に流れる電流の量（ I_A とする）が決まる。具体的には、FTJ素子FJAaにおいて、分極の方向が入力端子（配線FCA）から出力端子への方向（正方向）となっているとき、 I_A は小さくなり、また、分極の方向が出力端子から入力端子（配線FCA）への方向（負方向）となっているとき、 I_A は大きくなる。

[0152]

同様に、F T J 素子 F J A b において、分極の方向が入力端子から出力端子（配線 F C B）へ方向（正方向）となっているとき、F T J 素子 F J A b の抵抗値は高くなり、また、分極の方向が出力端子（配線 F C B）から入力端子の方向（負方向）となっているとき、F T J 素子 F J A b の抵抗値は低くなる。F T J 素子 F J A b の入力端子－出力端子間の電圧は V_{FJb} と一定であるため、F T J 素子 F J A b における分極の方向が定まることによって、F T J 素子 F J A b の入力端子から出力端子に流れる電流の量（ I_B とする）が決まる。具体的には、F T J 素子 F J A b において、分極の方向が入力端子から出力端子（配線 F C B）へ方向（正方向）となっているとき、 I_B は小さくなり、また、分極の方向が出力端子（配線 F C B）から入力端子へ方向（負方向）となっているとき、 I_B は大きくなる。

[0153]

ここで、例えば、図3のタイミングチャートの動作例において、メモリセルMCに書き込まれた電位が V_0 としたとき、F T J 素子 F J A a の分極の方向が入力端子（配線 F C A）から出力端子へ方向（正方向）となるため、 I_A は小さくなり、また、F T J 素子 F J A b の分極の方向が出力端子（配線 F C B）から入力端子へ方向（負方向）となるため、 I_B は大きくなる。つまり、 I_A は、 I_B よりも小さくなるため、その差分電流 $|I_A - I_B|$ は、回路 RDD から配線 WRDL に流れる。また、当該差分電流は、回路 RDD のオペアンプ OP の出力端子から、負荷 LE、及びスイッチ SW2 を介して、配線 WRDL の方向に流れるため、オペアンプ OP と負荷 LE を含む電流電圧変換回路において、オペアンプ OP の出力端子の電位は電位 V_{RF} よりも高い電位（ここでは、 V_{OUT_0} とする）となる。このため、配線 OL からは、 V_{OUT_0} が出力される。

[0154]

また、例えば、図3のタイミングチャートの動作例において、メモリセルMCに書き込まれた電位が V_1 としたとき、F T J 素子 F J A a の分極の方向が出力端子から入力端子（配線 F C A）へ方向（負方向）となるため、 I_A は大きくなり、また、F T J 素子 F J A b の分極の方向が入力端子から出力端子（配線 F C B）へ方向（正方向）となるため、 I_B は小さくなる。つまり、 I_A は、 I_B よりも大きくなるため、その差分電流 $|I_A - I_B|$ は、配線 WRDL から回路 RDD に流れる。また、当該差分電流は、配線 WRDL から、スイッチ SW2、及び負荷 LE を介して、回路 RDD のオペアンプ OP の出力端子に流れるため、オペアンプ OP と負荷 LE を含む電流電圧変換回路において、オペアンプ OP の出力端子の電位は電位 V_{RF} よりも低い電位（ここでは、 V_{OUT_1} とする）となる。このため、配線 OL からは、 V_{OUT_1} が出力される。

[0155]

そのため、配線 OL の電位を取得することによって、メモリセルMCに保持されたデータを読み出すことができる。

[0156]

[時刻 T 2 5 から時刻 T 2 6 まで]

時刻 T 2 5 から時刻 T 2 6 までの間において、配線 SL 2 には、低レベル電位が与えられる。このため、スイッチ SW2 の制御端子には低レベル電位が入力されるため、スイッチ SW2 はオフ状態となる。

[0157]

このため、配線 WRDL と、回路 RDD のオペアンプ OP の反転入力端子及び負荷 LE の第1端子と、の間が非導通状態となる。そのため、オペアンプ OP の仮想短絡された反転入力端子－非反

転入力端子の電位が、配線WRDLに供給されなくなるため、配線WRDLの電位は、 V_{RF} から低下する。なお、本動作例では、接地電位まで低下するものとする。また、後述する時刻T27から時刻T28までの間では、配線WRDLと、FTJ素子FJAaの出力端子と、FTJ素子FJAbの入力端子と、の電位を接地電位にする動作が行われるため、この時刻T25から時刻T26までの間において、配線WRDLと、FTJ素子FJAaの出力端子と、FTJ素子FJAbの入力端子と、のそれぞれの電位が接地電位に低下するまで待たなくてもよい。

[0158]

また、スイッチSW2がオフ状態となっているため、オペアンプOPの接続構成は、ボルテージフォロウとして機能する。そのため、オペアンプOPの出力端子には、電位 V_{RF} が出力され、結果として、配線OLから電位 V_{RF} が出力される。

[0159]

[時刻T26から時刻T27まで]

時刻T26から時刻T27までの間において、配線FCAには電位 V_{0A} が与えられ、配線FCBには電位 V_{0B} が与えられている。つまり、時刻T26以降において、配線FCA、及び配線FCBが与える電位は、時刻T23以前において、配線FCA、及び配線FCBが与える電位と同様としている。

[0160]

[時刻T27から時刻T28まで]

時刻T27から時刻T28までの間において、配線SL1には、高レベル電位が与えられる。このため、スイッチSW1の制御端子には高レベル電位が入力されるため、スイッチSW1はオン状態となる。

[0161]

また、本動作例では、時刻T27から時刻T28までの間において、回路WDDの内部回路から配線WRDLには、メモリセルMCへの書き込み用のデータは送信されない。その代わり、一例として、回路WDDの内部回路から配線WRDLには、接地電位を与えるものとする。

[0162]

また、このとき、トランジスタM1はオン状態となっているため、配線WRDLと導通状態となっているFTJ素子FJAaの出力端子、及びFTJ素子FJAbの入力端子のそれぞれの電位も接地電位となる。なお、配線FCAの電位は V_{0A} であり、配線FCBの電位は V_{0B} であるため、FTJ素子FJAaの出力端子及びFTJ素子FJAbの入力端子の電位が接地電位になっても、FTJ素子FJAa及びFTJ素子FJAbのそれぞれに書き込まれている分極の方向は、変化しない。つまり、メモリセルMCはデータを破壊せずに保持することができる。

[0163]

[時刻T28から時刻T29まで]

時刻T28から時刻T29までの間において、配線SL1には、低レベル電位が与えられる。このため、スイッチSW1の制御端子には低レベル電位が入力されるため、スイッチSW1はオフ状態となる。

[0164]

[時刻T29から時刻T30まで]

時刻T29から時刻T30までの間において、配線WRWLには、低レベル電位が与えられる。

このため、トランジスタM1 a、及びトランジスタM1 bのそれぞれのゲートには低レベル電位が入力されるため、トランジスタM1 a、及びトランジスタM1 bのそれぞれのオフ状態となる。

[0165]

上述した時刻T21から時刻T30までの間の動作例によって、図2のメモリセルMCに書き込まれたデータを読み出すことができる。また、図2のメモリセルMCからデータを読み出したとき、FTJ素子FJAa、及びFTJ素子FJAbのそれぞれの分極の方向は変化しないため、上述したデータの読み出し動作例は、破壊読み出しとならない。つまり、メモリセルMCに書き込まれたデータを保持したまま、メモリセルMCから当該データを読み出すことができる。

[0166]

<<データの書き込み動作例2>>

上述したデータの書き込み動作例1では、メモリセルMCに2値のデータ（デジタル値）を書き込む動作について説明したが、図3に示したタイミングチャートの動作例とは異なる、メモリセルMCへのデータの書き込み方法を適用することで、メモリセルMCは、3値目のデータを書き込むことができる。つまり、メモリセルMCにおいて、3値のデータの書き込み、及び読み出しを実現することができる。

[0167]

図5Aに示すタイミングチャートは、図3に示したタイミングチャートの動作例とは異なる、メモリセルMCに3値目のデータを書き込むことができる動作方法の一例である。図5Aのタイミングチャートは、時刻T31から時刻T41までの間、及びその近傍の時刻における、配線SL1、配線SL2、配線WRWL、配線WRDL、配線FCA、配線FCB、及び配線OLの電位の変化を示している。

[0168]

また、配線RFLが与える電位は、一例として、図3のタイミングチャートの動作と同様に、 V_{RF} とする。 V_{RF} は、例えば、固定電位としてもよいし、可変電位としてもよい。なお、本動作例では、 V_{RF} は、任意の固定電位とする。

[0169]

また、回路RDDに含まれている負荷LEとしては、一例として、図3のタイミングチャートの動作と同様に、抵抗とする。

[0170]

[時刻T31から時刻T34まで]

時刻T31から時刻T34までの間での動作は、図3のタイミングチャートの時刻T11から時刻T14までの動作と同様である。そのため、本動作例における、時刻T31から時刻T34までの間での動作は、図3のタイミングチャートの時刻T11から時刻T14までの動作の説明を参酌する。

[0171]

[時刻T34から時刻T35まで]

時刻T34から時刻T35までの間において、配線FCAには電位 V_{1A} が与えられ、配線FCBには電位 V_{0B} が与えられる。 V_{1A} は、一例として、図3のタイミングチャートの書き込み動作と同様に、 V_{0A} よりも高い電位であるものとする。

[0172]

なお、本動作例では、 V_{1A} は、一例として、 V_1 と等しいことが好ましい。

[0173]

そのため、 V_{1A} は、F T J 素子 F J A a の出力端子が V_0 であるときに、F T J 素子 F J A a にて分極が起こる程度の電位とする。なお、このとき、当該分極の向きは、F T J 素子 F J A a の入力端子から出力端子へ方向（正方向）となる。

[0174]

[時刻 T 3 5 から時刻 T 3 6 まで]

時刻 T 3 5 から時刻 T 3 6 までの間では、回路 WDD の内部回路から配線 WRDL に、メモリセル MC に書き込むためのデータが送信される。具体的には、例えば、配線 WRDL には、当該内部回路から当該データに応じた電位として V_0 、又は V_1 の一方が与えられるものとする。トランジスタ M1 a、及びトランジスタ M1 b のそれぞれは、時刻 T 3 5 以前からオン状態となっているため、F T J 素子 F J A a の出力端子及び F T J 素子 F J A b の入力端子には、配線 WRDL から V_0 、又は V_1 の一方が与えられる。このため、F T J 素子 F J A a の出力端子及び F T J 素子 F J A b の入力端子の電位は、 V_0 、又は V_1 の一方になるものとする。

[0175]

なお、本動作例における V_0 、及び V_1 は、3 値のデータのうち 2 つを表す電位とする。例えば、 V_0 は“−1”又は“1”の一方を示す電位とし、 V_1 は、“−1”又は“1”の他方を示す電位とすることができる。また、メモリセル MC に“−1”又は“1”のデータを書き込む場合、図 3 のタイミングチャートの説明において、「“0”を示す電位」を「“−1”を示す電位」に置き換えて、書き込み動作を行えばよい。そのため、 V_0 、及び V_1 のそれぞれの値については、図 3 のタイミングチャートの説明を参酌する。

[0176]

初めに、F T J 素子 F J A a に着目する。F T J 素子 F J A a の出力端子の電位が V_0 であるとき、F T J 素子 F J A に含まれる強誘電性を有する誘電体は、配線 F C A の電位が V_{1A} であるため、入力端子から出力端子へ方向（正方向）に分極が変化する。一方、F T J 素子 F J A a の出力端子の電位が V_1 であるとき、配線 F C A の電位が V_{1A} であるため、F T J 素子 F J A に含まれる強誘電性を有する誘電体において分極は変化しない。

[0177]

次に、F T J 素子 F J A b に着目する。F T J 素子 F J A b の入力端子の電位が V_0 であるとき、配線 F C B の電位が V_{0B} であるため、F T J 素子 F J A b に含まれる強誘電性を有する誘電体において分極は変化しない。一方、F T J 素子 F J A b の入力端子の電位が V_1 であるとき、F T J 素子 F J A b に含まれる強誘電性を有する誘電体は、配線 F C B の電位が V_{0B} であるため、入力端子から出力端子へ方向（正方向）に分極が変化する。

[0178]

[時刻 T 3 6 から時刻 T 3 7 まで]

時刻 T 3 6 において、回路 WDD の内部回路から配線 WRDL に、メモリセル MC に書き込むためのデータが変化する。具体的には、時刻 T 3 5 から時刻 T 3 6 までの間では、配線 WRDL には、当該内部回路から V_0 、又は V_1 の一方の電位が与えられたが、時刻 T 3 6 から時刻 T 3 7 までの間では、配線 WRDL には、当該内部回路から V_0 、又は V_1 の他方の電位が与えられる。トランジスタ M1 a、及びトランジスタ M1 b のそれぞれは、時刻 T 3 6 以前からオン状態となっているため、

F T J 素子 F J A a の出力端子及び F T J 素子 F J A b の入力端子には、配線 W R D L から V_0 、又は V_1 の他方が与えられる。このため、F T J 素子 F J A a の出力端子及び F T J 素子 F J A b の入力端子の電位は、 V_0 、又は V_1 の他方になるものとする。

[0179]

F T J 素子 F J A a の出力端子及び F T J 素子 F J A b の入力端子の電位が、 V_0 、又は V_1 の一方から、 V_0 、又は V_1 の他方に変化することによって、F T J 素子 F J A a、及び F T J 素子 F J A b のそれぞれに含まれる強誘電性を有する誘電体の分極の方向が変化する場合がある。

[0180]

具体的には、一例として、時刻 T 3 5 から時刻 T 3 6 までの間において、F T J 素子 F J A a の出力端子及び F T J 素子 F J A b の入力端子の電位が V_0 であった場合を考える。この場合、F T J 素子 F J A a に含まれる強誘電性を有する誘電体の分極の方向は入力端子から出力端子の方向（正方向）となっており、F T J 素子 F J A b に含まれる強誘電性を有する誘電体の分極の方向は定まっていない。ここで、時刻 T 3 6 から時刻 T 3 7 までの間において、F T J 素子 F J A a の出力端子及び F T J 素子 F J A b の入力端子の電位を V_1 に変化させると、F T J 素子 F J A a の入力端子－出力端子間の電圧は $V_{1A} - V_1$ となり、また、F T J 素子 F J A b の入力端子－出力端子間の電圧は $V_1 - V_{0B}$ となる。F T J 素子 F J A a の入力端子－出力端子間の電圧が $V_{1A} - V_1$ となっている場合、F T J 素子 F J A a に含まれる強誘電性を有する誘電体の分極の方向は、入力端子から出力端子への方向（正方向）のまま変化しない。一方、F T J 素子 F J A b の入力端子－出力端子間の電圧が $V_1 - V_{0B}$ となっている場合、F T J 素子 F J A b に含まれる強誘電性を有する誘電体の分極の方向は、入力端子から出力端子への方向（正方向）となる。

[0181]

また、一例として、時刻 T 3 5 から時刻 T 3 6 までの間において、F T J 素子 F J A a の出力端子及び F T J 素子 F J A b の入力端子の電位が V_1 であった場合を考える。この場合、F T J 素子 F J A a に含まれる強誘電性を有する誘電体の分極の方向は定まっておらず、F T J 素子 F J A b に含まれる強誘電性を有する誘電体の分極の方向は入力端子から出力端子への方向（正方向）となっている。ここで、時刻 T 3 6 から時刻 T 3 7 までの間において、F T J 素子 F J A a の出力端子及び F T J 素子 F J A b の入力端子の電位を V_0 に変化させると、F T J 素子 F J A a の入力端子－出力端子間の電圧は $V_{1A} - V_0$ となり、また、F T J 素子 F J A b の入力端子－出力端子間の電圧は $V_0 - V_{0B}$ となる。F T J 素子 F J A a の入力端子－出力端子間の電圧が $V_{1A} - V_0$ となっている場合、F T J 素子 F J A a に含まれる強誘電性を有する誘電体の分極の方向は入力端子から出力端子への方向（正方向）に変化する。一方、F T J 素子 F J A b の入力端子－出力端子間の電圧が $V_0 - V_{0B}$ となっている場合、F T J 素子 F J A b に含まれる強誘電性を有する誘電体の分極の方向は、入力端子から出力端子への方向（正方向）のまま変化しない。

[0182]

[時刻 T 3 7 から時刻 T 3 8 まで]

時刻 T 3 7 から時刻 T 3 8 までの間において、回路 W D D の内部回路から配線 W R D L への、メモリセル M C に書き込むためのデータの送信が終了する。具体的には、例えば、回路 W D D の内部回路から配線 W R D L に、接地電位を与えるものとする。

[0183]

トランジスタ M 1 a、及びトランジスタ M 1 b のそれぞれは、時刻 T 3 7 以前からオン状態とな

っているため、FTJ素子FJAaの出力端子及びFTJ素子FJAbの入力端子には、配線WRDLから接地電位が与えられる。このため、FTJ素子FJAaの出力端子及びFTJ素子FJAbの入力端子の電位は、接地電位になるものとする。なお、FTJ素子FJAaの出力端子及びFTJ素子FJAbの入力端子の電位が接地電位になっても、時刻T35から時刻T37までの間に書き込まれたFTJ素子FJAa及びFTJ素子FJAbのそれぞれの分極の方向は、変化しない。つまり、メモリセルMCはデータを破壊せずに保持することができる。

[0184]

時刻T34から時刻T38までの間において、配線FCAの電位を V_{1A} とし、配線FCBの電位を V_{0B} とし、回路WDDの内部回路から、配線WRDLを介して、メモリセルMCへの書き込みデータとして、 V_0 、又は V_1 の一方を入力し、次に、 V_0 、又は V_1 の他方を入力することで、FTJ素子FJAa、及びFTJ素子FJAbの分極の方向は、次の表のとおりに定められる。

[0185]

[表3]

配線WRDLからメモリセルMCに書き込まれた電位の順	FTJ素子FJAaの分極の方向	FTJ素子FJAbの分極の方向
V_0 (時刻T35から時刻T36) ↓ V_1 (時刻T36から時刻T37)	入力端子 (配線FCA) から 出力端子への方向 (正方向)	入力端子から 出力端子 (配線FCB) への 方向 (正方向)
V_1 (時刻T35から時刻T36) ↓ V_0 (時刻T36から時刻T37)	入力端子 (配線FCA) から 出力端子への方向 (正方向)	入力端子から 出力端子 (配線FCB) への 方向 (正方向)

[0186]

[時刻T38から時刻T41まで]

時刻T38から時刻T41までの間での動作は、図3のタイミングチャートの時刻T16から時刻T19までの動作と同様である。そのため、本動作例における、時刻T38から時刻T41までの間での動作は、図3のタイミングチャートの時刻T17から時刻T19までの動作の説明を参酌する。

[0187]

[メモリセルMCに書き込まれたデータを読み出す場合]

ここで、上述した時刻T31から時刻T41までの間の動作で書き込まれたデータをメモリセルMCから読み出す場合を考える。なお、メモリセルMCからのデータの読み出し動作については、図4のタイミングチャートの配線SL1、配線SL2、配線WRWL、配線WRDL、配線FCA、及び配線FCBの電位変化を参酌する。

[0188]

図4のタイミングチャートの読み出し動作を行う場合、時刻T23から時刻T24までの間において、配線FCAには電位 V_M が印加され、配線FCBには電位 V_{0B} が印加される。

[0189]

ここで、図4のタイミングチャートの時刻T24から時刻T25の動作を行うとき、具体的にはスイッチSW2をオン状態にしたとき、配線WRDLの電位は V_{RF} となる。このとき、FTJ素子FJAaの入力端子ー出力端子間の電圧 V_{FJA} ($=V_M - V_{RF}$) と、FTJ素子FJAbの入力端

子ー出力端子間の電圧 V_{FJB} ($=V_{RF}-V_{OB}$) と、のそれぞれは、概ね $(V_M-V_{OB})/2$ となる。

[0190]

図5Aのタイミングチャートの動作によってデータが書き込まれたメモリセルMCのFTJ素子FJAa及びFTJ素子FJAbのそれぞれの分極方向は、入力端子から出力端子の方向（正方向）となっており、かつFTJ素子FJAa及びFTJ素子FJAbのそれぞれの入力端子ー出力端子間の電圧が等しくなっているので、FTJ素子FJAa及びFTJ素子FJAbが同じ構造の場合、FTJ素子FJAa及びFTJ素子FJAbのそれぞれの入力端子ー出力端子間の抵抗値はほぼ等しくなる。つまり、FTJ素子FJAaの入力端子ー出力端子間に流れる電流 I_A と、FTJ素子FJAbの入力端子ー出力端子間に流れる電流 I_B と、はほぼ等しくなる。

[0191]

そのため、 I_A と I_B との差分電流はほぼ0となるので、メモリセルMCから、配線WRDL、スイッチSW2、及び負荷LEを介して、オペアンプOPの出力端子までの間には電流が流れないため、オペアンプOPと負荷LEを含む電流電圧変換回路において、オペアンプOPの出力端子の電位は電位 V_{RF} に近い電位（つまり、 V_{OUT-1} よりも高く、 V_{OUT-0} よりも低い電位）となる。このため、配線OLからは、電位 V_{RF} に近い電位が出力される。

[0192]

上記のとおり、図3、及び図5Aのタイミングチャートの書き込み動作を行うことで、メモリセルMCに3通りのデータを書き込むことができる。また、図4のタイミングチャートの読み出し動作を行うことで、メモリセルMCに保持された3値のデータを読み出すことができる。つまり、記憶装置に図2のメモリセルMC、回路WDD、回路RDDを適用することで、3値のデータを扱うことができる。

[0193]

なお、本実施の形態で説明した、図3、図4、及び図5Aのタイミングチャートの動作は、一例であるため、状況に応じて、又は場合によって、その動作を変更することができる。例えば、図5Aのタイミングチャートの書き込み動作は、図5Bのタイミングチャートの書き込み動作に変更することができる。図5Bのタイミングチャートの書き込み動作は、時刻T35から時刻T37までの間において、配線FCAに電位 V_{0A} を入力し、配線FCBに電位 V_{1B} を入力している点で、図5Aのタイミングチャートの書き込み動作と異なっている。なお、 V_{1B} は、一例として、 V_{0B} よりも高い電位であるものとする。また、 V_{1B} は、FTJ素子FJAbの入力端子が V_0 であるときに、FTJ素子FJAbにて分極が起こる程度（分極の方向が変化する程度）の電位とする。なお、このとき、当該分極の向きは、FTJ素子FJAbの出力端子から入力端子への方向（負方向）となる。このため、 V_{1B} は、 V_{1A} に等しいことが好ましい。つまり、 V_{1B} は、 V_1 に等しいことが好ましい。

[0194]

図5Bのタイミングチャートの書き込み動作を行うことで、時刻T35から時刻T37までの間において、データの書き込みが行われるメモリセルMCのFTJ素子FJAa、及びFTJ素子FJAbの分極の方向は、次の表のとおりに定められる。

[0195]

[表4]

配線WRDLからメモリセルMCに 書き込まれた電位の順	FTJ素子FJAaの分極の方向	FTJ素子FJAbの分極の方向
V_0 (時刻T35から時刻T36) ↓	出力端子から 入力端子(配線FCA)への 方向(負方向)	出力端子(配線FCB)から 入力端子への方向(負方向)
V_1 (時刻T36から時刻T37) ↓	出力端子から 入力端子(配線FCA)への 方向(負方向)	出力端子(配線FCB)から 入力端子への方向(負方向)
V_1 (時刻T35から時刻T36) ↓	出力端子から 入力端子(配線FCA)への 方向(負方向)	出力端子(配線FCB)から 入力端子への方向(負方向)
V_0 (時刻T36から時刻T37)		

[0196]

図5Bのタイミングチャートの書き込み動作によって書き込まれたメモリセルMCのFTJ素子FJAa、及びFTJ素子FJAbの分極の方向は、図5Aのタイミングチャートの書き込み動作によって書き込まれたメモリセルMCのFTJ素子FJAa、及びFTJ素子FJAbの分極の方向と異なる。しかし、図5Bのタイミングチャートの書き込み動作によって書き込まれたメモリセルMCから、図4のタイミングチャートの読み出し動作によって読み出すとき、時刻T24から時刻T25までの間における、FTJ素子FJAaの入力端子ー出力端子間に流れる電流 I_A と、FTJ素子FJAbの入力端子ー出力端子間に流れる電流 I_B と、はほぼ等しくなるため、図5Bのタイミングチャートの書き込み動作によって書き込まれたメモリセルMCの読み出し結果は、図5Aのタイミングチャートの書き込み動作によって書き込まれたメモリセルMCの読み出し結果とほぼ一致することになる。

[0197]

<構成例2>

本発明の一態様の半導体装置である、記憶装置に備えられる回路MCs（回路MCa、回路MCb）は、図1Aの回路構成に限定されない。当該記憶装置に備えられる回路MCsの回路構成は、場合によって、又は、状況に応じて、変更してもよい。本構成例では、図2のメモリセルMCに備えられているFTJ素子FJAa、及びFTJ素子FJAbの一方を、別の回路素子に変更したメモリセルMCについて説明する。

[0198]

例えば、図1Aの回路MCsのFTJ素子FJAは、図6Aに示すとおり、強誘電キャパシタFEAに置き換えてもよい。具体的には、強誘電キャパシタFEAの第1端子は、配線FCAに電氣的に接続され、強誘電キャパシタFEAの第2端子は、トランジスタM1の第2端子に電氣的に接続されている。

[0199]

図6Aの回路MCsを図2に図示した回路MCa、回路MCbに用いる場合、図2の負荷LEとしては、容量を用いることが好ましい。つまり、オペアンプOPと負荷LEによって、積分回路が構成されていることが好ましい。図6Aの回路MCsを回路MCa、回路MCbに用いた場合、配線FCAと配線WRDLとの間には、容量として強誘電キャパシタFEAを介しているため、強誘電キャパシタFEAと負荷LE（容量）の間には、強誘電キャパシタFEAの第1端子と第2端子との間に印加される定電圧と強誘電キャパシタFEAの静電容量の値に応じた電荷量が流れる。当該電荷量は、当該積分回路によって、電圧に変換することができる。

[0200]

また、例えば、図1Aの回路MCsのFTJ素子FJAは、図6Bに示すとおり、抵抗値を変化させることができる回路素子ANAに置き換えてもよい。具体的には、回路素子ANAの入力端子は、配線FCAに電氣的に接続され、回路素子ANAの出力端子は、トランジスタM1の第2端子に電氣的に接続されている。回路素子ANAとしては、例えば、ReRAM (Resistive Random Access Memory) などに用いられる抵抗変化素子、MRAM (Magnetoresistive Random Access Memory) などに用いられるMTJ (Magnetic Tunnel Junction、又はMagnetic Transportation Junction) 素子、相変化メモリ (PCM) 素子などが挙げられる。

[0201]

図6Bの回路MCsのとおり、図1Aの回路MCsのFTJ素子FJAを回路素子ANAに置き換えても、図1Aの回路MCsと同様に、配線FCAとトランジスタM1の第2端子との間の抵抗値を変えることができる。そのため、図6Bの回路MCsは、図1Aの回路MCsと同様に、図6Bの回路MCsに書き込まれるデータに応じて、回路素子ANAの抵抗値を決めることができる。これにより、回路素子ANAの入力端子ー出力端子間に流れる電流量が決められるため、回路MCsへのデータの書き込みと、保持したデータを破壊せずに、当該データを読み出すことができる場合がある。

[0202]

本実施の形態で説明した、半導体装置にメモリセルMCを適用することによって、データの再書き込みが不要な半導体装置（非破壊読み出しを行う半導体装置）を構成することができる。また、半導体装置にメモリセルMCを適用することで、データの再書き込みが不要となるため、再書き込みに必要な消費電力を低減することができる。また、半導体装置にメモリセルMCを適用することで、データの再書き込みを行う回路を設ける必要が無くなるため、半導体装置の回路面積を低減することができる。

[0203]

なお、本実施の形態は、本明細書で示す他の実施の形態と適宜組み合わせることができる。

[0204]

(実施の形態2)

本実施の形態では、上記実施の形態で説明したメモリセルMCを備えることができる記憶装置について説明する。

[0205]

<記憶装置の構成例>

図7は、当該記憶装置の回路構成の一例である。記憶装置100は、メモリセルアレイMCAと、回路WDDと、回路RDDと、回路WRWDと、回路FECと、を有する。なお、図7の記憶装置100に適用できるメモリセルMCは、一例として、図2に示すメモリセルMCとしている。

[0206]

メモリセルアレイMCAは、複数のメモリセルMCを有する。また、メモリセルアレイMCAにおいて、複数のメモリセルMCは、m行n列（m、nは1以上の整数とする）のマトリクス状に配置されている。なお、本明細書等では、i行j列（iは1以上m以下の整数であって、jは1以上n以下の整数である）に位置するメモリセルMCを、メモリセルMC[i, j]と表記する（図7に図示しない）。

[0207]

また、記憶装置100のメモリセルアレイMCAには、配線WRDL [1] 乃至配線WRDL [n] が列方向に延設されている。なお、配線WRDLに付している [j] は、j 列目に位置していることを表している。また、配線WRWL [1] 乃至配線WRWL [m] と、配線FCA [1] 乃至配線FCA [m] と、配線FCB [1] 乃至配線FCB [m] と、が行方向に延設されている。なお、配線WRWL、配線FCA、及び配線FCBに付している [i] は、i 行目に位置していることを示している。

[0208]

配線WRDL [1] 乃至配線WRDL [n] は、図2のメモリセルMCにおける配線WRDLに相当する。また、配線WRWL [1] 乃至配線WRWL [m] は、図2のメモリセルMCにおける配線WRWLに相当し、配線FCA [1] 乃至配線FCA [m] は、図2のメモリセルMCにおける配線FCAに相当し、配線FCB [1] 乃至配線FCB [m] は、図2のメモリセルMCにおける配線FCBに相当する。

[0209]

回路WDDは、配線WRDL [1] 乃至配線WRDL [n] に電氣的に接続されている。また、回路WRWDは、配線WRWL [1] 乃至配線WRWL [m] に電氣的に接続されている。また、回路FEC Dは、配線FCA [1] 乃至配線FCA [m] と、配線FCB [1] 乃至配線FCB [m] と、に電氣的に接続されている。また、回路RDDは、配線WRDL [1] 乃至配線WRDL [n] に電氣的に接続されている。

[0210]

回路WRWDは、一例として、書き込み動作及び読み出し動作のときにおけるワード線ドライバ回路として機能する。例えば、回路WRWDは、配線WRWL [1] 乃至配線WRWL [m] のうち1本の配線に選択信号を送信し、残りの配線に非選択信号を送信することで、メモリセルアレイMCAにおいて、書き込み動作又は読み出し動作を行う複数のメモリセルMCを選択することができる。具体的には、例えば、図2のメモリセルMCの場合、選択信号としては高レベル電位とし、非選択信号としては低レベル電位とすればよい。図2のメモリセルMCにおいて、配線WRWLに高レベル電位が与えられている場合、トランジスタM1a、及びトランジスタM1bのそれぞれがオン状態となるため、配線WRDLからメモリセルMCに書き込み用のデータを送信することができる。又は、メモリセルMCから配線WRDLにメモリセルMCに保持されているデータを送信することができる。一方、図2のメモリセルMCにおいて、配線WRWLに低レベル電位が与えられている場合、トランジスタM1a、及びトランジスタM1bのそれぞれがオフ状態となるため、配線WRDLから別のメモリセルMCに対する書き込み用のデータが送信されたとしても、又は、別のメモリセルMCから配線WRDLへ読み出されたデータが送信されたとしても、配線WRWLから低レベル電位が与えられているメモリセルMCに当該データが書き込まれることはない。

[0211]

回路FEC Dは、一例として、配線FCA及び配線FCBのそれぞれに定電位を与える機能を有する。具体的には、例えば、回路FEC Dは、メモリセルMCへのデータの書き込み時において、配線FCA及び配線FCBのそれぞれに定電位を与えることによって、複数のメモリセルMCのそれぞれに備わるFTJ素子FJAa、及びFTJ素子FJAbの分極を発生させる（分極の方向を変える）ことができる。又は、回路FEC Dは、メモリセルMCからデータの読み出し時において、

配線FCA及び配線FCBのそれぞれに定電位を与えることによって、FTJ素子FJAaの入力端子ー出力端子間、及びFTJ素子FJAbの入力端子ー出力端子間のそれぞれに、電流を流すことができる。

[0212]

回路WDDは、一例として、書き込みデータ線ドライバ回路として機能する。例えば、回路WDDは、配線WRDL[1]乃至配線WRDL[n]のそれぞれに書き込み用のデータ（例えば、電圧）を送信することで、回路WRWDによって選択された特定の行に配置されている複数のメモリセルMCに、当該書き込み用のデータを書き込むことができる。

[0213]

回路RDDは、一例として、読み出し回路として機能する。例えば、回路RDDは、回路WRWDによって選択された特定の行に配置されている複数のメモリセルMCから出力されたデータ（例えば、電圧、電流など）を配線WRDL[1]乃至配線WRDL[n]のそれぞれから取得して、当該データを読み出すことができる。回路RDDは、一例として、プリチャージ回路、センスアンプ回路、電流電圧変換回路などから選ばれた一、又は複数を有する。具体例としては、図2に示した回路RDDに含まれる回路構成としてもよい。

[0214]

<記憶装置の動作例>

次に、記憶装置100の動作例について説明する。

[0215]

<<書き込み動作例1>>

図8は、記憶装置100のメモリセルMCへのデータの書き込み動作の一例を示したタイミングチャートである。なお、上記の実施の形態で説明した、図3のタイミングチャートは、1個のメモリセルMCにおける動作例について示したものであって、図8のタイミングチャートは、メモリセルアレイMCAに含まれる複数のメモリセルMCへのデータ書き込みの動作例を示したものである。

[0216]

図8のタイミングチャートは、時刻U1から時刻U13までの間、及びその近傍の時刻における、配線WRWL[1]、配線WRWL[2]、配線WRWL[m]、配線WRDL[1]、配線WRDL[2]、配線WRDL[n]、配線FCA[1]、配線FCB[1]、配線FCA[2]、配線FCB[2]、配線FCA[m]、及び配線FCB[m]の電位の変化を示している。

[0217]

時刻U1から時刻U2までの間では、例えば、回路WRWDは、配線WRWL[1]乃至配線WRWL[m]に、初期電位として、低レベル電位（図8ではLowと記載している）を与える。そのため、メモリセルアレイMCAに含まれている全てのメモリセルMCのそれぞれのトランジスタM1a、及びトランジスタM1bのそれぞれのゲートには、低レベル電位が与えられるため、トランジスタM1a、及びトランジスタM1bのそれぞれはオフ状態となる。

[0218]

また、時刻U1から時刻U2までの間では、回路WDDは、配線WRDL[1]乃至配線WRDL[n]に、書き込み用のデータを送信しない。そのため、時刻U1から時刻U2までの間では、回路WDDは、配線WRDL[1]乃至配線WRDL[n]に、一例として、接地電位（図8ではGNDと記載している）を与えている。なお、図3の書き込み動作例と同様に、回路WDDが配線

WRDL [1] 乃至配線WRDL [n] に与える電位は接地電位ではなく、 V_0 としてもよい。

[0219]

また、時刻U1から時刻U2までの間では、回路FECDは、配線FCA [1] 乃至配線FCA [m]、及び配線FCB [1] 乃至配線FCB [m] のそれぞれに、電位 V_{0A} を与える。なお、電位 V_{0A} については、図3のタイミングチャートの説明を参酌する。

[0220]

時刻U2から時刻U5までの間では、回路WRWDは、配線WRWL [1] に高レベル電位（図8ではHighと記載している）を与え、配線WRWL [2] 乃至配線WRWL [m] に低レベル電位を与える。そのため、メモリセルアレイMCAにおいて、1行目に配置されているメモリセルMC [1, 1] 乃至メモリセルMC [1, n] のそれぞれに含まれているトランジスタM1a、及びトランジスタM1bのそれぞれのゲートに高レベル電位が与えられるため、メモリセルMC [1, 1] 乃至メモリセルMC [1, n] のそれぞれに含まれているトランジスタM1a、及びトランジスタM1bのそれぞれはオン状態となる。また、メモリセルアレイMCAにおいて、2行目乃至m行目に配置されているメモリセルMC [2, 1] 乃至メモリセルMC [m, n] のそれぞれに含まれているトランジスタM1a、及びトランジスタM1bのそれぞれのゲートに低レベル電位が与えられるため、メモリセルMC [2, 1] 乃至メモリセルMC [m, n] のそれぞれに含まれているトランジスタM1a、及びトランジスタM1bのそれぞれはオフ状態となる。つまり、回路WRWDは、配線WRWL [1] に高レベル電位を与え、配線WRWL [2] 乃至配線WRWL [m] に低レベル電位を与えることで、書き込み先として、メモリセルアレイMCAの1行目に配置されているメモリセルMCを選択することができる。

[0221]

また、時刻U2から時刻U5までの間では、回路WDDは、配線WRDL [1] 乃至配線WRDL [n] のそれぞれに、書き込み用のデータとして、一例として、D [1, 1] 乃至D [1, n] を与える。また、回路WRWDによって、メモリセルアレイMCAの1行目に配置されているメモリセルMCが書き込み先として選択されているため、メモリセルMC [1, 1] 乃至メモリセルMC [1, n] のそれぞれのFTJ素子FJAaの出力端子及びFTJ素子FJAbの入力端子に、D [1, 1] 乃至D [1, n] に応じた電位が与えられる。

[0222]

また、時刻U3から時刻U4までの間では、回路FECDは、配線FCA [1]、配線FCB [1] のそれぞれに V_{0A} 又は V_{1A} の一方を与える。なお、回路FECDは、配線FCA [2] 乃至配線FCA [m] のそれぞれに電位 V_{0A} を与え、また、配線FCB [2] 乃至配線FCB [m] のそれぞれに電位 V_{0A} を与える。

[0223]

さらに、時刻U4から時刻U5までの間では、回路FECDは、配線FCA [1]、配線FCB [1] のそれぞれに V_{0A} 又は V_{1A} の他方を与える。なお、回路FECDは、引き続き、配線FCA [2] 乃至配線FCA [m] のそれぞれに電位 V_{0A} を与え、また、配線FCB [2] 乃至配線FCB [m] のそれぞれに電位 V_{0A} を与える。

[0224]

なお、電位 V_{0A} 、及び電位 V_{1A} については、図3のタイミングチャートの説明を参酌する。

[0225]

時刻U 2から時刻U 5までの間の動作によって、メモリセルアレイMCAの1行目のメモリセルMC [1, 1]乃至メモリセルMC [1, n]のそれぞれに含まれているFTJ素子FJAa、及びFTJ素子FJAbで発生する分極の方向が、配線WRDL [1]乃至配線WRDL [n]から送られているD [1, 1]乃至D [1, n]に応じて定められる。つまり、時刻U 2から時刻U 5までの動作で、メモリセルMC [1, 1]乃至メモリセルMC [1, n]のそれぞれへのD [1, 1]乃至D [1, n]の書き込みが行われる。

[0226]

時刻U 5から時刻U 8までの間では、回路WRWDは、配線WRWL [2]に高レベル電位を与え、配線WRWL [1]、及び配線WRWL [3]乃至配線WRWL [m]に低レベル電位を与える。そのため、メモリセルアレイMCAにおいて、2行目に配置されているメモリセルMC [2, 1]乃至メモリセルMC [2, n]のそれぞれに含まれているトランジスタM1a、及びトランジスタM1bのそれぞれのゲートに高レベル電位が与えられるため、メモリセルMC [2, 1]乃至メモリセルMC [2, n]のそれぞれに含まれているトランジスタM1a、及びトランジスタM1bのそれぞれはオン状態となる。また、メモリセルアレイMCAにおいて、1行目、及び3行目からm行目に配置されているメモリセルMC [1, 1]乃至メモリセルMC [1, n]、及びメモリセルMC [3, 1]乃至メモリセルMC [m, n]のそれぞれに含まれているトランジスタM1a、及びトランジスタM1bのそれぞれのゲートに低レベル電位が与えられるため、メモリセルMC [1, 1]乃至メモリセルMC [1, n]、及びメモリセルMC [3, 1]乃至メモリセルMC [m, n]のそれぞれに含まれているトランジスタM1a、及びトランジスタM1bのそれぞれはオフ状態となる。つまり、回路WRWDは、配線WRWL [2]に高レベル電位を与え、配線WRWL [1]、及び配線WRWL [3]乃至配線WRWL [m]に低レベル電位を与えることで、書き込み先として、メモリセルアレイMCAの2行目に配置されているメモリセルMCを選択することができる。

[0227]

また、時刻U 5から時刻U 8までの間では、回路WDDは、配線WRDL [1]乃至配線WRDL [n]のそれぞれに、書き込み用のデータとして、一例として、D [2, 1]乃至D [2, n]を与える。また、回路WRWDによって、メモリセルアレイMCAの2行目に配置されているメモリセルMCが書き込み先として選択されているため、メモリセルMC [2, 1]乃至メモリセルMC [2, n]のそれぞれのFTJ素子FJAaの出力端子及びFTJ素子FJAbの入力端子に、D [2, 1]乃至D [2, n]に応じた電位が与えられる。

[0228]

また、時刻U 6から時刻U 7までの間では、回路FECDは、配線FCA [2]、配線FCB [2]のそれぞれに V_{0A} 又は V_{1A} の一方を与える。なお、回路FECDは、配線FCA [1]、及び配線FCA [3]乃至配線FCA [m]のそれぞれに電位 V_{0A} を与え、また、配線FCB [1]、配線FCB [3]乃至配線FCB [m]のそれぞれに電位 V_{0A} を与える。

[0229]

さらに、時刻U 7から時刻U 8までの間では、回路FECDは、配線FCA [2]、配線FCB [2]のそれぞれに V_{0A} 又は V_{1A} の他方を与える。なお、回路FECDは、引き続き、配線FCA [1]、及び配線FCA [3]乃至配線FCA [m]のそれぞれに電位 V_{0A} を与え、また、配線FCB [1]、及び配線FCB [3]乃至配線FCB [m]のそれぞれに電位 V_{0A} を与える。

[0230]

時刻U5から時刻U8までの間の動作によって、メモリセルアレイMCAの2行目のメモリセルMC[2, 1]乃至メモリセルMC[2, n]のそれぞれに含まれているFTJ素子FJAa、及びFTJ素子FJAbで発生する分極の方向は、配線WRDL[1]乃至配線WRDL[n]から送られているD[2, 1]乃至D[2, n]に応じて定められる。つまり、時刻U5から時刻U8までの動作で、メモリセルMC[2, 1]乃至メモリセルMC[2, n]のそれぞれへのD[2, 1]乃至D[2, n]の書き込みが行われる。

[0231]

時刻U8から時刻U9までの間では、時刻U2から時刻U5までの間で行われたメモリセルアレイMCAの1行目に配置されているメモリセルMCへのデータの書き込み動作、及び時刻U5から時刻U8までの間で行われたメモリセルアレイMCAの2行目に配置されているメモリセルMCへのデータの書き込み動作、と同様にメモリセルアレイMCAの3行目からm-1行目までに配置されているメモリセルMCへのデータの書き込み動作が行われる。

[0232]

時刻U9から時刻U12までの間では、回路WRWDは、配線WRWL[m]に高レベル電位を与え、配線WRWL[1]乃至配線WRWL[m-1]に低レベル電位を与える。そのため、メモリセルアレイMCAにおいて、m行目に配置されているメモリセルMC[m, 1]乃至メモリセルMC[m, n]のそれぞれに含まれているトランジスタM1a、及びトランジスタM1bのそれぞれのゲートに高レベル電位が与えられるため、メモリセルMC[m, 1]乃至メモリセルMC[m, n]のそれぞれに含まれているトランジスタM1a、及びトランジスタM1bのそれぞれはオン状態となる。また、メモリセルアレイMCAにおいて、1行目乃至m-1行目に配置されているメモリセルMC[1, 1]乃至メモリセルMC[m-1, n]のそれぞれに含まれているトランジスタM1a、及びトランジスタM1bのそれぞれのゲートに低レベル電位が与えられるため、メモリセルMC[1, 1]乃至メモリセルMC[m-1, n]のそれぞれに含まれているトランジスタM1a、及びトランジスタM1bのそれぞれはオフ状態となる。つまり、回路WRWDは、配線WRWL[m]に高レベル電位を与え、配線WRWL[1]乃至配線WRWL[m-1]に低レベル電位を与えることで、書き込み先として、メモリセルアレイMCAのm行目に配置されているメモリセルMCを選択することができる。

[0233]

また、時刻U9から時刻U12までの間では、回路WDDは、配線WRDL[1]乃至配線WRDL[n]のそれぞれに、書き込み用のデータとして、一例として、D[m, 1]乃至D[m, n]を与える。また、回路WRWDによって、メモリセルアレイMCAのm行目に配置されているメモリセルMCが書き込み先として選択されているため、メモリセルMC[m, 1]乃至メモリセルMC[m, n]のそれぞれのFTJ素子FJAaの出力端子及びFTJ素子FJAbの入力端子に、D[m, 1]乃至D[m, n]に応じた電位が与えられる。

[0234]

また、時刻U10から時刻U11までの間では、回路FECDは、配線FCA[m]、配線FCB[m]のそれぞれに V_{0A} 又は V_{1A} の一方を与える。なお、回路FECDは、配線FCA[1]乃至配線FCA[m-1]のそれぞれに電位 V_{0A} を与え、また、配線FCB[1]乃至配線FCB[m-1]のそれぞれに電位 V_{0A} を与える。

[0235]

さらに、時刻U11から時刻U12までの間では、回路FECDは、配線FCA[m]、配線FCB[m]のそれぞれに V_{0A} 又は V_{1A} の他方を与える。なお、回路FECDは、引き続き、配線FCA[1]乃至配線FCA[m-1]のそれぞれに電位 V_{0A} を与え、また、配線FCB[1]乃至配線FCB[m-1]のそれぞれに電位 V_{0A} を与える。

[0236]

時刻U9から時刻U12までの間の動作によって、メモリセルアレイMCAのm行目のメモリセルMC[m, 1]乃至メモリセルMC[m, n]のそれぞれに含まれているFTJ素子FJAa、及びFTJ素子FJAbで発生する分極の方向は、配線WRDL[1]乃至配線WRDL[n]から送られているD[m, 1]乃至D[m, n]に応じて定められる。つまり、時刻U9から時刻U12までの動作で、メモリセルMC[m, 1]乃至メモリセルMC[m, n]のそれぞれへのD[m, 1]乃至D[m, n]の書き込みが行われる。

[0237]

時刻U1から時刻U12までの動作が行われることによって、メモリセルアレイMCAに含まれるメモリセルMC[1, 1]乃至メモリセルMC[m, n]のそれぞれに、D[1, 1]乃至D[m, n]を書き込むことができる。

[0238]

なお、図8のタイミングチャートでは、メモリセルMC[1, 1]乃至メモリセルMC[m, n]へのデータの書き込み動作の終了後の動作（時刻U12から時刻U13までの間の動作）として、回路WRWDは、一例として、配線WRWL[1]乃至配線WRWL[m]に低レベル電位を与えている。また、回路WDDは、一例として、配線WRDL[1]乃至配線WRDL[n]に接地電位を与えている。また、回路FECDは、一例として、配線FCA[1]乃至配線FCA[m]、及び配線FCB[1]乃至配線FCB[m]のそれぞれに、電位 V_{0A} を与えている。

[0239]

なお、図8のタイミングチャートの動作は、一例であるため、状況に応じて、又は場合によって、その動作を変更してもよい。例えば、図8のタイミングチャートの時刻U2から時刻U5までの間の動作において、配線WRWL[1]に高レベル電位が与えられて、配線WRDL[1]乃至配線WRDL[n]にD[1, 1]乃至D[1, n]が与えられているが、配線WRWL[1]に高レベル電位が与えられている期間内に、配線WRDL[1]乃至配線WRDL[n]にD[1, 1]乃至D[1, n]が与えられていてもよいし、配線WRDL[1]乃至配線WRDL[n]にD[1, 1]乃至D[1, n]が与えられている期間内に配線WRWL[1]に高レベル電位が与えられていてもよい。また、配線FCA[1]、配線FCB[1]のそれぞれに電位 V_{1A} が与えられている期間、及び配線FCA[1]、配線FCB[1]のそれぞれに電位 V_{0A} が与えられている期間は、配線WRWL[1]に高レベル電位が与えられ、かつ配線WRDL[1]乃至配線WRDL[n]にD[1, 1]乃至D[1, n]が与えられている期間内であれば、どのタイミングでもよい。

[0240]

<<書き込み動作例2>>

次に、図8のタイミングチャートとは異なる、記憶装置100のメモリセルMCへのデータの書き込み動作の一例について説明する。

[0241]

図9に示すタイミングチャートは、図8のタイミングチャートの書き込み動作例とは異なる、書き込み動作の一例を示している。図9のタイミングチャートは、図8のタイミングチャートと同様に、時刻U1から時刻U13までの間、及びその近傍の時刻における、配線WRWL[1]、配線WRWL[2]、配線WRWL[m]、配線WRDL[1]、配線WRDL[2]、配線WRDL[n]、配線FCA[1]、配線FCB[1]、配線FCA[2]、配線FCB[2]、配線FCA[m]、及び配線FCB[m]の電位の変化を示している。

[0242]

図9のタイミングチャートの書き込み動作は、時刻U2から時刻U12までの間において配線WRWL[1]乃至配線WRWL[m]のそれぞれに高レベル電位（図9ではHighと記載している）が入力されている点と、時刻U1から時刻U13までの間において配線FCA[1]乃至配線FCA[m]及び配線FCB[1]乃至配線FCB[m]のそれぞれの電位変動の点で、図8のタイミングチャートの書き込み動作と異なっている。

[0243]

図9のタイミングチャートの時刻U2から時刻U12までの間において配線WRWL[1]乃至配線WRWL[m]のそれぞれに高レベル電位が入力されているため、時刻U2から時刻U12までの間では、メモリセルアレイMCAに含まれているメモリセルMC[1, 1]乃至メモリセルMC[m, n]のそれぞれのトランジスタM1a、及びトランジスタM1bのそれぞれのゲートに高レベル電位が入力されるため、メモリセルMC[1, 1]乃至メモリセルMC[n, m]のそれぞれのトランジスタM1a、及びトランジスタM1bのそれぞれはオン状態となる。つまり、j列目に着目すると、配線WRDL[j]と、メモリセルMC[1, j]乃至メモリセルMC[m, j]のそれぞれのFTJ素子FJAaの出力端子及びFTJ素子FJAbの入力端子との間は導通状態となる。

[0244]

また、図9のタイミングチャートの時刻U1から時刻U2までの間において、配線FCA[1]乃至配線FCA[m]、及び配線FCB[1]乃至配線FCB[m]には電位 V_{NA} が与えられる。

[0245]

V_{NA} は、例えば、 V_{0A} よりも高く V_{1A} よりも低い電位とすることができる。つまり、 V_{NA} は、配線WRDLからFTJ素子FJAaの出力端子に入力される電位が V_0 、又は V_1 としても、FTJ素子FJAaにて分極が起こらない（変化しない）程度の電位とすることができる。同様に、 V_{NA} は、配線WRDLからFTJ素子FJAbの入力端子に入力される電位が V_0 、又は V_1 としても、FTJ素子FJAbにて分極が起こらない（変化しない）程度の電位とすることができる。

[0246]

また、図9のタイミングチャートの時刻U3から時刻U4までの間において、配線FCA[1]、配線FCB[1]のそれぞれには V_{0A} 、又は V_{1A} の一方が与えられている。なお、配線FCA[2]乃至配線FCA[m]及び配線FCB[2]乃至配線FCB[m]のそれぞれには、引き続き電位 V_{NA} が与えられる。

[0247]

また、図9のタイミングチャートの時刻U4から時刻U5までの間において、配線FCA[1]、配線FCB[1]のそれぞれには V_{0A} 、又は V_{1A} の他方が与えられている。なお、配線FCA[2]

乃至配線FCA[m]及び配線FCB[2]乃至配線FCB[m]のそれぞれには、引き続き電位 V_{NA} が与えられる。

[0248]

図9のタイミングチャートの時刻U2から時刻U5までの間の動作によって、メモリセルアレイMCAの1行目のメモリセルMC[1, 1]乃至メモリセルMC[1, n]のそれぞれに含まれているFTJ素子FJAa、及びFTJ素子FJAbで発生する分極の方向が、配線WRDL[1]乃至配線WRDL[n]から送られているD[1, 1]乃至D[1, n]に応じて定められる。一方、時刻U2から時刻U5までの間において、配線FCA[2]乃至配線FCA[m]、及び配線FCB[2]乃至配線FCB[m]のそれぞれには電位 V_{NA} が与えられているため、メモリセルMC[2, 1]乃至メモリセルMC[m, n]のそれぞれのトランジスタM1a、及びトランジスタM1bのそれぞれがオン状態になっていたとしても、各列のメモリセルMCにD[1, 1]乃至D[1, n]が書き込まれることはない。

[0249]

つまり、図9のタイミングチャートの動作では、配線FCA[1]乃至配線FCA[m]、及び配線FCB[1]乃至配線FCB[m]のそれぞれを、FTJ素子FJAa、及びFTJ素子FJAbの分極の制御用の配線だけでなく、データの書き込みの選択信号線も兼ねて機能させることができる。

[0250]

図9のタイミングチャートにおいて時刻U5以降についても、配線WRDL[1]乃至配線WRDL[n]から送信されるデータにあわせて、配線FCA[1]乃至配線FCA[m]、及び配線FCB[1]乃至配線FCB[m]を用いて、メモリセルアレイMCAの2行目からm行目まで1行ずつメモリセルMCを選択することによって、図8のタイミングチャートの動作例と同様に、メモリセルアレイMCAに含まれるメモリセルMC[2, 1]乃至メモリセルMC[m, n]のそれぞれに、D[2, 1]乃至D[m, n]を書き込むことができる。

[0251]

<<読み出し動作例1>>

図10は、記憶装置100のメモリセルMCからのデータの読み出し動作の一例を示したタイミングチャートである。なお、上記の実施の形態で説明した、図4のタイミングチャートは、1個のメモリセルMCにおける動作例について示したものであつて、図10のタイミングチャートは、メモリセルアレイMCAに含まれる複数のメモリセルMCからのデータ読み出しの動作例を示したものである。

[0252]

図10のタイミングチャートは、時刻U21から時刻U39までの間、及びその近傍の時刻における、配線SL1、配線SL2、配線WRWL[1]、配線WRWL[2]、配線WRWL[m]、配線FCA[1]、配線FCB[1]、配線FCA[2]、配線FCB[2]、配線FCA[m]、配線FCB[m]、配線WRDL[1]、配線WRDL[2]、及び配線WRDL[n]の電位の変化を示している。

[0253]

また、記憶装置100に含まれている回路WDDの構成としては、図2に示した回路WDDと同様に、スイッチSW1を含むものとする。そのため、図10のタイミングチャートには、配線SL1

の電位の変化も示している。

[0254]

また、記憶装置100に含まれる回路RDDの構成は、図2に示した回路RDDの構成を参酌する。そのため、回路RDDの動作などについては、上記実施の形態の説明を参照する。そのため、図10のタイミングチャートには、配線SL2の電位の変化も示している。

[0255]

時刻U21から時刻U22までの間では、例えば、回路WRWDは、配線WRWL[1]乃至配線WRWL[m]に、初期電位として、低レベル電位（図10ではLowと記載している）を与える。そのため、メモリセルアレイMCAに含まれている全てのメモリセルMCのそれぞれのトランジスタM1a、及びトランジスタM1bのそれぞれのゲートには、低レベル電位が与えられるため、トランジスタM1a、及びトランジスタM1bのそれぞれのオフ状態となる。

[0256]

また、時刻U21から時刻U22までの間では、回路FECDは、配線FCA[1]乃至配線FCA[m]、及び配線FCB[1]乃至配線FCB[m]のそれぞれに、電位V_{0A}、及び電位V_{0B}を与える。なお、電位V_{0A}、及び電位V_{0B}については、図3、図4などのタイミングチャートの説明を参酌する。

[0257]

また、時刻U21から時刻U22までの間では、一例として、配線WRDL[1]乃至配線WRDL[n]には、初期電位として、接地電位が与えられているものとする。具体的には、例えば、配線SL1に高レベル電位（図10ではHighと記載している）を与えてスイッチSW1をオン状態にして、回路WDDが配線WRDL[1]乃至配線WRDL[n]のそれぞれに対して接地電位を与えるものとする。また、本動作例では、配線WRDL[1]乃至配線WRDL[n]に接地電位を与えた後、配線SL1に低レベル電位を与えてスイッチSW1をオフ状態にして、回路WDDと、配線WRDL[1]乃至配線WRDL[n]と、のそれぞれの間を非導通状態にしている。

[0258]

また、時刻U21から時刻U22までの間では、配線SL2に低レベル電位を与えてスイッチSW2をオフ状態にして、回路RDDと、配線WRDL[1]乃至配線WRDL[n]と、のそれぞれの間を非導通状態にしている。

[0259]

時刻U22から時刻U27までの間では、回路WRWDは、配線WRWL[1]に高レベル電位を与える。また、回路WRWDは、配線WRWL[2]乃至配線WRWL[m]に低レベル電位を与える。そのため、メモリセルアレイMCAにおいて、1行目に配置されているメモリセルMC[1, 1]乃至メモリセルMC[1, n]のそれぞれに含まれているトランジスタM1a、及びトランジスタM1bのそれぞれのゲートに高レベル電位が与えられるため、メモリセルMC[1, 1]乃至メモリセルMC[1, n]のそれぞれに含まれているトランジスタM1a、及びトランジスタM1bのそれぞれのゲートに低レベル電位が与えられるため、メモリセルMC[2, 1]乃至メモリセルMC[m, n]のそれぞれに含まれているトランジスタM1a、及びトランジスタM1bのそれぞれのゲートに低レベル電位が与えられるため、メモリセルMC[2, 1]乃至メモリセルMC[m, n]のそれぞれに含まれているトランジスタM1a、及びトランジスタM1bのそれぞれのオフ状態となる。

[0260]

時刻U23から時刻U26までの間では、回路FECDは、配線FCA[1]に電位 V_M を与え、配線FCB[1]に電位 V_{0B} を与えている。また、回路FECDは、配線FCA[2]乃至配線FCA[m]に電位 V_{0A} を与え、配線FCB[2]乃至配線FCB[m]に電位 V_{0B} を与えている。

[0261]

なお、電位 V_M については、図4などのタイミングチャートの説明を参酌する。

[0262]

時刻U24から時刻U25までの間では、配線SL2に高レベル電位が与えられる。これにより、スイッチSW2をオン状態となり、回路RDDと、配線WRDL[1]乃至配線WRDL[n]と、のそれぞれの間が導通状態となる。また、図4のタイミングチャートでも説明したが、オペアンプOPの反転入力端子と、非反転入力端子と、が仮想短絡しているため、配線WRDL[1]乃至配線WRDL[n]のそれぞれの電位は V_{RF} となる。

[0263]

なお、電位 V_{RF} については、図4などのタイミングチャートの説明を参酌する。

[0264]

また、このとき、メモリセルアレイMCAの1行目のメモリセルMC[1, 1]乃至メモリセルMC[1, n]のそれぞれのトランジスタM1a、及びトランジスタM1bのそれぞれがオン状態となっているため、メモリセルMC[1, 1]乃至メモリセルMC[1, n]のそれぞれのFTJ素子FJAaの出力端子及びFTJ素子FJAbの入力端子に、電位 V_{RF} が与えられる。そのため、FTJ素子FJAaの入力端子ー出力端子には $V_M - V_{RF}$ の電圧がかかり、FTJ素子FJAbの入力端子ー出力端子には $V_{RF} - V_{0B}$ の電圧がかかる。なお、図4のタイミングチャートより、電位 V_{RF} は、 $(V_M + V_{0B}) / 2$ としているため、FTJ素子FJAa及びFTJ素子FJAbのそれぞれの入力端子ー出力端子間の電圧は、 $(V_M - V_{0B}) / 2$ となる。

[0265]

さらに、図4のタイミングチャートの動作より、FTJ素子FJAa及びFTJ素子FJAbのそれぞれの入力端子ー出力端子間に流れる電流量は、FTJ素子FJAa及びFTJ素子FJAbのそれぞれの含まれる強誘電性を有する誘電体の分極の方向によって決まる。当該誘電体の分極の方向は、メモリセルMCに書き込まれたデータに応じて決まるため、FTJ素子FJAa及びFTJ素子FJAbのそれぞれの入力端子ー出力端子間に流れる電流量の差分から、当該データを読み出すことができる。また、当該電流量の差分は、回路RDDのオペアンプOPと負荷LEとを含む電流電圧回路によって電圧値に変換して取得することができる。

[0266]

したがって、回路FECDによって、配線FCA[1]に電位 V_M を与え、配線FCB[1]に電位 V_{0B} を与えている間に、回路RDDにおいてスイッチSW2をオン状態にして、FTJ素子FJAa及びFTJ素子FJAbのそれぞれの入力端子ー出力端子間に流れる電流の差分を、回路RDDに含まれる電流電圧変換回路を用いて、電圧値に変換することで、メモリセルアレイMCAの1行目のメモリセルMC[1, 1]乃至メモリセルMC[1, n]のそれぞれに保持されているデータD[1, 1]乃至データD[1, n]を当該電圧値として読み出すことができる。

[0267]

時刻U25から時刻U26までの間では、配線SL2に低レベル電位が与えられる。これにより、

スイッチSW2をオフ状態となり、回路RDDと、配線WRDL [1] 乃至配線WRDL [n] と、のそれぞれの間が非導通状態となる。また、このとき、配線WRDL [1] 乃至配線WRDL [n] のそれぞれの電位は、 V_{RF} から低下して、接地電位になるものとする。

[0268]

時刻U27から時刻U32までの間では、回路WRWDは、配線WRWL [2] に高レベル電位を与える。また、回路WRWDは、配線WRWL [1] 及び配線WRWL [3] 乃至配線WRWL [m] に低レベル電位を与える。そのため、メモリセルアレイMCAにおいて、2行目に配置されているメモリセルMC [2, 1] 乃至メモリセルMC [2, n] のそれぞれに含まれているトランジスタM1a、及びトランジスタM1bのそれぞれのゲートに高レベル電位が与えられるため、メモリセルMC [2, 1] 乃至メモリセルMC [2, n] のそれぞれに含まれているトランジスタM1a、及びトランジスタM1bのそれぞれはオン状態となる。また、メモリセルアレイMCAにおいて、1行目及び3行目からm行目に配置されているメモリセルMC [1, 1] 乃至メモリセルMC [1, n]、及びメモリセルMC [3, 1] 乃至メモリセルMC [m, n] のそれぞれに含まれているトランジスタM1a、及びトランジスタM1bのそれぞれのゲートに低レベル電位が与えられるため、メモリセルMC [1, 1] 乃至メモリセルMC [1, n]、及びメモリセルMC [3, 1] 乃至メモリセルMC [m, n] のそれぞれに含まれているトランジスタM1a、及びトランジスタM1bのそれぞれはオフ状態となる。

[0269]

時刻U28から時刻U31までの間では、回路FECDは、配線FCA [2] に電位 V_M を与え、配線FCB [2] に電位 V_{0B} を与えている。また、回路FECDは、配線FCA [1]、及び配線FCA [3] 乃至配線FCA [m] に電位 V_{0A} を与え、配線FCB [1]、及び配線FCB [3] 乃至配線FCB [m] に電位 V_{0B} を与えている。

[0270]

時刻U29から時刻U30までの間では、配線SL2に高レベル電位が与えられる。これにより、スイッチSW2をオン状態となり、回路RDDと、配線WRDL [1] 乃至配線WRDL [n] と、のそれぞれの間が導通状態となる。また、時刻U24から時刻U25までの間の動作と同様に、オペアンプOPの反転入力端子と、非反転入力端子と、が仮想短絡しているため、配線WRDL [1] 乃至配線WRDL [n] のそれぞれの電位は V_{RF} となる。

[0271]

また、このとき、メモリセルアレイMCAの2行目のメモリセルMC [2, 1] 乃至メモリセルMC [2, n] のそれぞれのトランジスタM1がオン状態となっているため、メモリセルMC [2, 1] 乃至メモリセルMC [2, n] のそれぞれのFTJ素子FJAaの出力端子及びFTJ素子FJAbの入力端子に、電位 $V_{RF} = (V_M + V_{0B}) / 2$ が与えられる。そのため、FTJ素子FJAaの入力端子－出力端子には $V_M - V_{RF} = (V_M - V_{0B}) / 2$ の電圧がかかり、FTJ素子FJAbの入力端子－出力端子には $V_{RF} - V_{0B} = (V_M - V_{0B}) / 2$ の電圧がかかる。

[0272]

そして、時刻U24から時刻U25までの間の動作と同様に、FTJ素子FJAa及びFTJ素子FJAbのそれぞれの入力端子－出力端子間に流れる電流量の差分を、回路RDDのオペアンプOPと負荷LEとを含む電流電圧回路によって電圧値に変換することによって、メモリセルアレイMCAの2行目のメモリセルMC [2, 1] 乃至メモリセルMC [2, n] のそれぞれに保持され

ているデータD [2, 1] 乃至データD [2, n] を当該電圧値として読み出すことができる。

[0273]

時刻U30から時刻U31までの間では、配線SL2に低レベル電位が与えられる。これにより、スイッチSW2をオフ状態となり、回路RDDと、配線WRDL [1] 乃至配線WRDL [n] と、のそれぞれの間が非導通状態となる。また、このとき、配線WRDL [1] 乃至配線WRDL [n] のそれぞれの電位は、 V_{RF} から低下して、接地電位になるものとする。

[0274]

時刻U32から時刻U33までの間では、時刻U22から時刻U27までの間で行われたメモリセルアレイMCAの1行目に配置されているメモリセルMCからのデータの読み出し動作、及び時刻U27から時刻U32までの間で行われたメモリセルアレイMCAの2行目に配置されているメモリセルMCからのデータの読み出し動作、と同様にメモリセルアレイMCAの3行目からm-1行目までに配置されているメモリセルMCからのデータの読み出し動作が行われる。

[0275]

時刻U33から時刻U38までの間では、回路WRWDは、配線WRWL [m] に高レベル電位を与える。また、回路WRWDは、配線WRWL [1] 乃至配線WRWL [m-1] に低レベル電位を与える。そのため、メモリセルアレイMCAにおいて、m行目に配置されているメモリセルMC [m, 1] 乃至メモリセルMC [m, n] のそれぞれに含まれているトランジスタM1a、及びトランジスタM1bのそれぞれのゲートに高レベル電位が与えられるため、メモリセルMC [m, 1] 乃至メモリセルMC [m, n] のそれぞれに含まれているトランジスタM1a、及びトランジスタM1bのそれぞれはオン状態となる。また、メモリセルアレイMCAにおいて、1行目乃至m-1行目に配置されているメモリセルMC [1, 1] 乃至メモリセルMC [m-1, n] のそれぞれに含まれているトランジスタM1a、及びトランジスタM1bのそれぞれのゲートに低レベル電位が与えられるため、メモリセルMC [1, 1] 乃至メモリセルMC [m-1, n] のそれぞれに含まれているトランジスタM1a、及びトランジスタM1bのそれぞれはオフ状態となる。

[0276]

時刻U34から時刻U37までの間では、回路FECDは、配線FCA [m] に電位 V_M を与え、配線FCB [m] に電位 V_{OB} を与えている。また、回路FECDは、配線FCA [1] 乃至配線FCA [m-1] に電位 V_{OA} を与え、配線FCB [1] 乃至配線FCB [m-1] に電位 V_{OB} を与えている。

[0277]

時刻U35から時刻U36までの間では、配線SL2に高レベル電位が与えられる。これにより、スイッチSW2をオン状態となり、回路RDDと、配線WRDL [1] 乃至配線WRDL [n] と、のそれぞれの間が導通状態となる。また、時刻U24から時刻U25までの間の動作と同様に、オペアンプOPの反転入力端子と、非反転入力端子と、が仮想短絡しているため、配線WRDL [1] 乃至配線WRDL [n] のそれぞれの電位は V_{RF} となる。

[0278]

また、このとき、メモリセルアレイMCAのm行目のメモリセルMC [m, 1] 乃至メモリセルMC [m, n] のそれぞれのトランジスタM1a、及びトランジスタM1bのそれぞれがオン状態となっているため、メモリセルMC [m, 1] 乃至メモリセルMC [m, n] のそれぞれのFTJ素子FJAaの出力端子及びFTJ素子FJAbの入力端子に、電位 $V_{RF} = (V_M + V_{OB}) / 2$ が

与えられる。そのため、FTJ素子FJAaの入力端子ー出力端子には $V_M - V_{RF} = (V_M - V_{OB}) / 2$ の電圧がかかり、FTJ素子FJAbの入力端子ー出力端子には $V_{RF} - V_{OB} = (V_M - V_{OB}) / 2$ の電圧がかかる。

[0279]

そして、時刻U24から時刻U25までの間の動作と同様に、FTJ素子FJAa及びFTJ素子FJAbのそれぞれの入力端子ー出力端子間に流れる電流量の差分を、回路RDDのオペアンプOPと負荷LEとを含む電流電圧回路によって電圧値に変換することによって、メモリセルアレイMCAのm行目のメモリセルMC[m, 1]乃至メモリセルMC[m, n]のそれぞれに保持されているデータD[m, 1]乃至データD[m, n]を当該電圧値として読み出すことができる。

[0280]

なお、図10のタイミングチャートでは、メモリセルMC[1, 1]乃至メモリセルMC[m, n]からのデータの読み出し動作の終了後の動作（時刻U38から時刻U39までの動作）としては、一例として、配線SL1に高レベル電位が与えられてスイッチSW1がオン状態となり、回路WDDは、スイッチSW1を介して、配線WRDL[1]乃至配線WRDL[n]に初期化用の電位として接地電位を与えている。また、一例として、配線FCA[1]乃至配線FCA[m]、及び配線FCB[1]乃至配線FCB[m]のそれぞれには、回路FECFによって、電位V_{OA}、及び電位V_{OB}を与えている。

[0281]

<<読み出し動作例2>>

次に、図10のタイミングチャートとは異なる、記憶装置100のメモリセルMCからのデータの読み出し動作の一例について説明する。

[0282]

図11に示すタイミングチャートは、図10のタイミングチャートの読み出し動作例とは異なる、読み出し動作の一例を示している。図11のタイミングチャートは、図10のタイミングチャートと同様に、時刻U21から時刻U39までの間、及びその近傍の時刻における、配線SL1、配線SL2、配線WRWL[1]、配線WRWL[2]、配線WRWL[m]、配線FCA[1]、配線FCB[1]、配線FCA[2]、配線FCB[2]、配線FCA[m]、配線FCB[m]、配線WRDL[1]、配線WRDL[2]、及び配線WRDL[n]の電位の変化を示している。

[0283]

図11のタイミングチャートの読み出し動作は、時刻U22から時刻U38までの間において配線FCA[1]乃至配線FCA[m]のそれぞれが電位V_Mになっている点で、図10のタイミングチャートの読み出し動作と異なっている。

[0284]

図11のタイミングチャートの時刻U22から時刻U38までの間において配線FCA[1]乃至配線FCA[m]のそれぞれにV_Mが入力され、かつ配線FCB[1]乃至配線FCB[m]のそれぞれにV_{OB}が入力されているため、時刻U22から時刻U38までの間では、メモリセルMC[1, 1]乃至メモリセルMC[m, n]のそれぞれに含まれるFTJ素子FJAaの入力端子にはV_Mが入力され、メモリセルMC[1, 1]乃至メモリセルMC[m, n]のそれぞれに含まれるFTJ素子FJAbの出力端子にはV_{OB}が入力される。

[0285]

また、本動作例において、メモリセルアレイMCAから読み出すメモリセルMCを選択する場合は、回路WRWDから配線WRWL [1] 乃至配線WRWL [m] のいずれかに高レベル電位（図11ではHighと記載している）を入力し、残りの配線に低レベル電位（図11ではLowと記載している）を入力することによって行うことができる。例えば、図11のタイミングチャートにおいて、時刻U22から時刻U27までの間のとおり、配線WRWL [1] に高レベル電位を与え、配線WRWL [2] 乃至配線WRWL [m] に低レベル電位を与えることによって、メモリセルアレイMCAの1行目に配置されているメモリセルMC [1, 1] 乃至メモリセルMC [1, n] を選択することができる。また、メモリセルアレイMCAの1行目のメモリセルMCが選択されている期間において、時刻U24から時刻U25までの間のとおり、配線SL2に高レベル電位を与えることで、FTJ素子FJAaの入力端子ー出力端子には $V_M - V_{RF}$ の電圧がかかり、FTJ素子FJAbの入力端子ー出力端子には $V_{RF} - V_{OB}$ の電圧がかかる。そのため、メモリセルMCと配線WRDLとの間には、FTJ素子FJAaに流れる電流と、FTJ素子FJAbに流れる電流と、の差分電流が流れる。当該差分電流を、回路RDDに含まれる電流電圧回路などによって電圧値に変換することによって、メモリセルアレイMCAの1行目に配置されているメモリセルMCに保持されているデータを読み出すことができる。

[0286]

同様に、時刻U27から時刻U32までの間のとおり、配線WRWL [2] に高レベル電位を与え、配線WRWL [1] 及び配線WRWL [3] 乃至配線WRWL [m] に低レベル電位を与えることで、メモリセルアレイMCAの2行目に配置されているメモリセルMC [2, 1] 乃至メモリセルMC [2, n] を選択することができる。また、メモリセルアレイMCAの2行目のメモリセルMCが選択されている期間において、時刻U29から時刻U30までの間のとおり、配線SL2に高レベル電位を与えることで、FTJ素子FJAaの入力端子ー出力端子には $V_M - V_{RF}$ の電圧がかかり、FTJ素子FJAbの入力端子ー出力端子には $V_{RF} - V_{OB}$ の電圧がかかる。そのため、メモリセルMCと配線WRDLとの間には、FTJ素子FJAaに流れる電流と、FTJ素子FJAbに流れる電流と、の差分電流が流れる。当該差分電流を、回路RDDに含まれる電流電圧回路などによって電圧値に変換することによって、メモリセルアレイMCAの2行目に配置されているメモリセルMCに保持されているデータを読み出すことができる。

[0287]

また、同様に、時刻U33から時刻U38までの間のとおり、配線WRWL [m] に高レベル電位を与え、配線WRWL [1] 乃至配線WRWL [m-1] に低レベル電位を与えることで、メモリセルアレイMCAのm行目に配置されているメモリセルMC [m, 1] 乃至メモリセルMC [m, n] を選択することができる。また、メモリセルアレイMCAのm行目のメモリセルMCが選択されている期間において、時刻U35から時刻U36までの間のとおり、配線SL2に高レベル電位を与えることで、FTJ素子FJAaの入力端子ー出力端子には $V_M - V_{RF}$ の電圧がかかり、FTJ素子FJAbの入力端子ー出力端子には $V_{RF} - V_{OB}$ の電圧がかかる。そのため、メモリセルMCと配線WRDLとの間には、FTJ素子FJAaに流れる電流と、FTJ素子FJAbに流れる電流と、の差分電流が流れる。当該差分電流を、回路RDDに含まれる電流電圧回路などによって電圧値に変換することによって、メモリセルアレイMCAのm行目に配置されているメモリセルMCに保持されているデータを読み出すことができる。

[0288]

つまり、図 11 のタイミングチャートの動作例において、配線 WRWL [1] 乃至配線 WRWL [m] の電位の変動は、図 10 のタイミングチャートの動作例と同様とすることができる。

[0289]

図 11 のタイミングチャートの動作では、メモリセルアレイ MCA に含まれる複数のメモリセル MC の読み出し時において、配線 FCA [1] 乃至配線 FCA [m] と、配線 FCB [1] 乃至配線 FCB [m] と、のそれぞれの電位を、読み出すメモリセル MC ごとに電位を変化させる必要がない。つまり、図 11 のタイミングチャートの動作例を適用することで、回路 FECD を、セクタなど信号を送信する配線を選択する回路を有さない構成とすることができる。

[0290]

<<読み出し動作例 3>>

次に、図 10、及び図 11 のタイミングチャートとは異なる、記憶装置 100 のメモリセル MC からのデータの読み出し動作の一例について説明する。

[0291]

図 12 に示すタイミングチャートは、図 10、及び図 11 のタイミングチャートの読み出し動作例とは異なる、読み出し動作の一例を示している。図 12 のタイミングチャートは、図 10、及び図 11 のタイミングチャートと同様に、時刻 U21 から時刻 U39 までの間、及びその近傍の時刻における、配線 SL1、配線 SL2、配線 WRWL [1]、配線 WRWL [2]、配線 WRWL [m]、配線 FCA [1]、配線 FCB [1]、配線 FCA [2]、配線 FCB [2]、配線 FCA [m]、配線 FCB [m]、配線 WRDL [1]、配線 WRDL [2]、及び配線 WRDL [n] の電位の変化を示している。

[0292]

図 12 のタイミングチャートの読み出し動作は、時刻 U22 から時刻 U38 までの間において配線 WRWL [1] 乃至配線 WRWL [m] のそれぞれが高レベル電位（図 12 では High と記載している）になっている点と、時刻 U22 から時刻 U38 までの間において配線 FCA [1] 乃至配線 FCA [m] 及び配線 FCB [1] 乃至配線 FCB [m] のそれぞれの電位変動の点で、図 10 のタイミングチャートの読み出し動作と異なっている。

[0293]

図 12 のタイミングチャートの時刻 U22 から時刻 U38 までの間において、配線 WRWL [1] 乃至配線 WRWL [m] のそれぞれに高レベル電位が入力されているため、時刻 U22 から時刻 U38 までの間では、メモリセル MC [1, 1] 乃至メモリセル MC [m, n] のそれぞれのトランジスタ M1a、及びトランジスタ M1b のそれぞれのゲートに高レベル電位が入力される。このため、メモリセル MC [1, 1] 乃至メモリセル MC [m, n] のそれぞれのトランジスタ M1a、及びトランジスタ M1b のそれぞれはオン状態となる。

[0294]

また、図 12 のタイミングチャートの時刻 U23 から時刻 U38 までの間では、回路 FECD は、特に断りがない場合は、配線 FCB [1] 乃至配線 FCB [m] のそれぞれに、一例として、 V_{RB} を入力しているものとする。 V_{RB} は一例として、 V_{RF} よりも高く、 V_{1B} よりも低い電位とし、かつ F TJ 素子 F J A b の入力端子の電位が接地電位、又は V_{RF} であるときに、F TJ 素子 F J A b において分極が発生しない（分極の方向が変化しない）電位とする。なお、F TJ 素子 F J A b の出力端子の電位が V_{RB} であって、F TJ 素子 F J A b の入力端子の電位が V_{RB} よりも小さいとき、

F T J 素子 F J A b は整流特性を有するため、F T J 素子の入力端子から出力端子の方向に電流は流れない。

[0295]

図12のタイミングチャートの時刻U23から時刻U26までの間において、配線FCA[1]には電位 V_M が与えられ、配線FCB[1]には電位 V_{OB} が与えられる。また、配線FCA[2]乃至配線FCA[m]には電位 V_{OA} が与えられ、配線FCB[2]乃至配線FCB[m]には電位 V_{RB} が与えられている。このとき、メモリセルMC[1, 1]乃至メモリセルMC[1, n]のそれぞれに含まれるF T J 素子 F J A a の入力端子には V_M が入力され、メモリセルMC[1, 1]乃至メモリセルMC[1, n]のそれぞれに含まれるF T J 素子 F J A b の出力端子には V_{OB} が入力される。ここで、F T J 素子 F J A a の出力端子、及びF T J 素子 F J A b の入力端子の電位が、 V_{OB} よりも高く、 V_M よりも低い場合、F T J 素子 F J A a、及びF T J 素子 F J A b のそれぞれの入力端子ー出力端子間に電流が流れる。一方、メモリセルアレイMCAの1行目以外のメモリセルMCにおいて、F T J 素子 F J A a の入力端子の電位が V_{OA} 、F T J 素子 F J A b の出力端子の電位が V_{RB} となっているため、F T J 素子 F J A a の出力端子、及びF T J 素子 F J A b の入力端子の電位が、接地電位以上で V_{RB} よりも低い場合、F T J 素子 F J A a 及びF T J 素子 F J A b に電流は流れない。

[0296]

そして、時刻U24から時刻U25までの間において、配線SL2に高レベル電位を与えることで、メモリセルアレイMCAの1行目に配置されているメモリセルMC[1, 1]乃至メモリセルMC[1, n]のF T J 素子 F J A a の出力端子及びF T J 素子 F J A b の入力端子の電位が V_{RF} となる。このとき、F T J 素子 F J A a の入力端子の電位が V_M 、F T J 素子 F J A a の出力端子及びF T J 素子 F J A b の入力端子の電位が V_{RF} 、F T J 素子 F J A a の入力端子の電位が V_{OB} となっているため、F T J 素子 F J A a、及びF T J 素子 F J A b のそれぞれには、分極の方向に応じた電流が流れ、F T J 素子 F J A a に流れる電流と、F T J 素子 F J A b に流れる電流と、の差分電流が、配線WRDLを介して、回路RDDに流れる。一方、メモリセルアレイMCAの1行目以外に配置されているメモリセルMCにおいて、F T J 素子 F J A a の入力端子の電位が V_{OA} 、F T J 素子 F J A a の出力端子及びF T J 素子 F J A b の入力端子の電位が V_{RF} 、F T J 素子 F J A b の出力端子の電位が V_{RB} となっているため、F T J 素子 F J A a 及びF T J 素子 F J A b に電流は流れず、また、メモリセルアレイMCAの1行目以外に配置されているメモリセルMCと回路RDDとの間に流れる電流の量は無いものとみなすことができる。したがって、回路RDDには、メモリセルアレイMCAの1行目に配置されているメモリセルMC[1, 1]乃至メモリセルMC[1, n]の差分電流が入力されるため、回路RDDは、メモリセルMC[1, 1]乃至メモリセルMC[1, n]に保持されているデータを読み出すことができる。

[0297]

同様に、時刻U28から時刻U31までの間において、配線FCA[2]には電位 V_M が与えられ、配線FCB[2]には電位 V_{OB} が与えられる。また、配線FCA[1]、及び配線FCA[3]乃至配線FCA[m]には電位 V_{OA} が与えられ、配線FCB[1]、及び配線FCB[3]乃至配線FCB[m]には電位 V_{RB} が与えられている。このとき、メモリセルMC[2, 1]乃至メモリセルMC[2, n]のそれぞれに含まれるF T J 素子 F J A a の入力端子には V_M が入力され、メモリセルMC[2, 1]乃至メモリセルMC[2, n]のそれぞれに含まれるF T J 素子 F J A b

の出力端子には V_{0B} が入力される。ここで、FTJ素子FJAaの出力端子、及びFTJ素子FJA bの入力端子の電位が、 V_{0B} よりも高く、 V_M よりも低い場合、FTJ素子FJAa、及びFTJ素子FJA bのそれぞれの入力端子－出力端子間に電流が流れる。一方、メモリセルアレイMCAの2行目以外のメモリセルMCにおいて、FTJ素子FJAaの入力端子の電位が V_{0A} 、FTJ素子FJA bの出力端子の電位が V_{RB} となっているため、FTJ素子FJAaの出力端子、及びFTJ素子FJA bの入力端子の電位が、接地電位以上で V_{RB} よりも低い場合、FTJ素子FJAa及びFTJ素子FJA bに電流は流れない。

[0298]

そして、時刻U29から時刻U30までの間において、配線SL2に高レベル電位を与えることで、メモリセルアレイMCAの2行目に配置されているメモリセルMC[2, 1]乃至メモリセルMC[2, n]のFTJ素子FJAaの出力端子及びFTJ素子FJA bの入力端子の電位が V_{RF} となる。このとき、FTJ素子FJAaの入力端子の電位が V_M 、FTJ素子FJAaの出力端子及びFTJ素子FJA bの入力端子の電位が V_{RF} 、FTJ素子FJAaの入力端子の電位が V_{0B} となっているため、FTJ素子FJAa、及びFTJ素子FJA bのそれぞれには、分極の方向に応じた電流が流れ、FTJ素子FJAaに流れる電流と、FTJ素子FJA bに流れる電流と、の差分電流が、配線WRDLを介して、回路RDDに流れる。一方、メモリセルアレイMCAの2行目以外に配置されているメモリセルMCにおいて、FTJ素子FJAaの入力端子の電位が V_{0A} 、FTJ素子FJAaの出力端子及びFTJ素子FJA bの入力端子の電位が V_{RF} 、FTJ素子FJA bの出力端子の電位が V_{RB} となっているため、FTJ素子FJAa及びFTJ素子FJA bに電流は流れず、また、メモリセルアレイMCAの2行目以外に配置されているメモリセルMCと回路RDDとの間に流れる電流の量は無いものとみなすことができる。したがって、回路RDDには、メモリセルアレイMCAの2行目に配置されているメモリセルMC[2, 1]乃至メモリセルMC[2, n]の差分電流が入力されるため、回路RDDは、メモリセルMC[2, 1]乃至メモリセルMC[2, n]に保持されているデータを読み出すことができる。

[0299]

同様に、時刻U34から時刻U37までの間において、配線FCA[m]には電位 V_M が与えられ、配線FCB[m]には電位 V_{0B} が与えられる。また、配線FCA[1]乃至配線FCA[m-1]には電位 V_{0A} が与えられ、配線FCB[1]乃至配線FCB[m-1]には電位 V_{RB} が与えられている。メモリセルMC[m, 1]乃至メモリセルMC[m, n]のそれぞれに含まれるFTJ素子FJAaの入力端子には V_M が入力され、メモリセルMC[m, 1]乃至メモリセルMC[m, n]のそれぞれに含まれるFTJ素子FJA bの出力端子には V_{0B} が入力される。ここで、FTJ素子FJAaの出力端子、及びFTJ素子FJA bの入力端子の電位が、 V_{0B} よりも高く、 V_M よりも低い場合、FTJ素子FJAa、及びFTJ素子FJA bのそれぞれの入力端子－出力端子間に電流が流れる。一方、メモリセルアレイMCAのm行目以外のメモリセルMCにおいて、FTJ素子FJAaの入力端子の電位が V_{0A} 、FTJ素子FJA bの出力端子の電位が V_{RB} となっているため、FTJ素子FJAaの出力端子、及びFTJ素子FJA bの入力端子の電位が、接地電位以上で V_{RB} よりも低い場合、FTJ素子FJAa及びFTJ素子FJA bに電流は流れない。

[0300]

そして、時刻U35から時刻U36までの間において、配線SL2に高レベル電位を与えることで、メモリセルアレイMCAのm行目に配置されているメモリセルMC[m, 1]乃至メモリセル

MC [m, n] のFTJ素子FJAaの出力端子及びFTJ素子FJAbの入力端子の電位が V_{RF} となる。このとき、FTJ素子FJAaの入力端子の電位が V_M 、FTJ素子FJAaの出力端子及びFTJ素子FJAbの入力端子の電位が V_{RF} 、FTJ素子FJAaの入力端子の電位が V_{OB} となっているため、FTJ素子FJAa、及びFTJ素子FJAbのそれぞれには、分極の方向に応じた電流が流れ、FTJ素子FJAaに流れる電流と、FTJ素子FJAbに流れる電流と、の差分電流が、配線WRDLを介して、回路RDDに流れる。一方、メモリセルアレイMCAのm行目以外に配置されているメモリセルMCにおいて、FTJ素子FJAaの入力端子の電位が V_{OA} 、FTJ素子FJAaの出力端子及びFTJ素子FJAbの入力端子の電位が V_{RF} 、FTJ素子FJAbの出力端子の電位が V_{RB} となっているため、FTJ素子FJAa及びFTJ素子FJAbに電流は流れず、また、メモリセルアレイMCAのm行目以外に配置されているメモリセルMCと回路RDDとの間に流れる電流の量は無いものとみなすことができる。したがって、回路RDDには、メモリセルアレイMCAのm行目に配置されているメモリセルMC [m, 1] 乃至メモリセルMC [m, n] の差分電流が入力されるため、回路RDDは、メモリセルMC [m, 1] 乃至メモリセルMC [m, n] に保持されているデータを読み出すことができる。

[0301]

つまり、図12のタイミングチャートの動作例では、配線FCA [1] 乃至配線FCA [m] が、メモリセルアレイMCAから読み出すメモリセルMCを選択するための選択信号線として機能する。このため、図12のタイミングチャートの動作例では、配線WRWL [1] 乃至配線WRWL [m] のそれぞれで、読み出すメモリセルMCごとに電位を変化させる必要がない。このため、図12のタイミングチャートの動作例を適用することで、回路RDDを、セクタなど信号を送信する配線を選択する回路を有さない構成とすることができる。

[0302]

なお、本実施の形態は、本明細書で示す他の実施の形態と適宜組み合わせることができる。

[0303]

(実施の形態3)

本実施の形態では、上記実施の形態で説明した半導体装置の構成例、及び上記の実施の形態で説明した半導体装置に適用できるトランジスタの構成例について説明する。

[0304]

<半導体装置の構成例1>

図13は、容量素子を含むメモリセルを有する半導体装置であって、当該半導体装置は、トランジスタ300と、トランジスタ500と、容量素子600と、を有する。また、図14Aにはトランジスタ500のチャネル長方向の断面図、図14Bにはトランジスタ500のチャネル幅方向の断面図を示しており、図14Cにはトランジスタ300のチャネル幅方向の断面図を示している。

[0305]

トランジスタ500は、チャネル形成領域に金属酸化物を有するトランジスタ（OSトランジスタ）である。トランジスタ500は、オフ電流が小さく、また、高温でも電界効果移動度が変化しにくい特性を有する。トランジスタ500を、半導体装置、例えば、上記実施の形態で説明した、メモリセルMCに含まれるトランジスタM1などに適用することにより、高温でも動作能力が低下しにくい半導体装置を実現できる。特に、トランジスタ500を、例えば、トランジスタM1に適用することにより、オフ電流が小さい特性を利用して、メモリセルMCの容量に書き込んだ電位を

長時間保持することができる。

[0306]

トランジスタ500は、例えば、トランジスタ300の上方に設けられ、容量素子600は、例えば、トランジスタ300、及びトランジスタ500の上方に設けられている。なお、容量素子600は、例えば、メモリセルに書き込まれるデータに応じた電位を保持する容量素子とすることができる。なお、回路構成によっては、図13に示す容量素子600は必ずしも設けなくてもよい。

[0307]

トランジスタ300は、基板310上に設けられ、素子分離層312、導電体316、絶縁体315、基板310の一部からなる半導体領域313、ソース領域又はドレイン領域として機能する低抵抗領域314a、及び低抵抗領域314bを有する。なお、トランジスタ300は、例えば、上記の実施の形態で説明した、回路WDD、回路RDD、回路WRWD、回路FECDなどに含まれるトランジスタに適用することができる。なお、本発明の一態様の半導体装置の構成によっては、トランジスタ300のゲートが、トランジスタ500のソース又はドレインの一方に電氣的に接続されている構成とすることができ、又は、トランジスタ300のソース又はドレインの一方が、トランジスタ500のソース又はドレインの一方に電氣的に接続されている構成とすることができ、又は、トランジスタ300のソース又はドレインの一方が、トランジスタ500のゲートに電氣的に接続されている構成とすることができ、又は、トランジスタ300の各端子は、トランジスタ500の各端子、容量素子600の各端子のいずれにも電氣的に接続されない構成とすることができる。

[0308]

また、基板310としては、半導体基板（例えば単結晶基板又はシリコン基板）を用いることが好ましい。

[0309]

トランジスタ300は、図14Cに示すように、半導体領域313の上面及びチャネル幅方向の側面が絶縁体315を介して導電体316に覆われている。このように、トランジスタ300をFin型とすることにより、実効上のチャネル幅が増大することによりトランジスタ300のオン特性を向上させることができる。また、ゲート電極の電界の寄与を高くすることができるため、トランジスタ300のオフ特性を向上させることができる。

[0310]

なお、トランジスタ300は、pチャネル型、あるいはnチャネル型のいずれでもよい。

[0311]

半導体領域313のチャネルが形成される領域、その近傍の領域、ソース領域、又はドレイン領域となる低抵抗領域314a、及び低抵抗領域314bなどにおいて、シリコン系半導体などの半導体を含むことが好ましく、単結晶シリコンを含むことが好ましい。又は、Ge（ゲルマニウム）、SiGe（シリコンゲルマニウム）、GaAs（ガリウムヒ素）、GaAlAs（ガリウムアルミニウムヒ素）、GaN（窒化ガリウム）などを有する材料で形成してもよい。結晶格子に応力を与え、格子間隔を変化させることで有効質量を制御したシリコンを用いた構成としてもよい。又はGaAsとGaAlAs等を用いることで、トランジスタ300をHEMT（High Electron Mobility Transistor）としてもよい。

[0312]

低抵抗領域 3 1 4 a、及び低抵抗領域 3 1 4 bは、半導体領域 3 1 3 に適用される半導体材料に加え、ヒ素、リンなどの n 型の導電性を付与する元素、又はホウ素などの p 型の導電性を付与する元素を含む。

[0 3 1 3]

ゲート電極として機能する導電体 3 1 6 は、ヒ素、リンなどの n 型の導電性を付与する元素、もしくはホウ素などの p 型の導電性を付与する元素を含むシリコンなどの半導体材料、金属材料、合金材料、又は金属酸化物材料などの導電性材料を用いることができる。

[0 3 1 4]

なお、導電体の材料によって仕事関数が決まるため、当該導電体の材料を選択することで、トランジスタのしきい値電圧を調整することができる。具体的には、導電体に窒化チタン、窒化タンタルなどの材料を用いることが好ましい。さらに導電性と埋め込み性を両立するために導電体にタングステン、アルミニウムなどの金属材料を積層として用いることが好ましく、特にタングステンをを用いることが耐熱性の点で好ましい。

[0 3 1 5]

素子分離層 3 1 2 は、基板 3 1 0 上に形成されている複数のトランジスタ同士を分離するために設けられている。素子分離層は、例えば、LOCOS (Local Oxidation of Silicon) 法、STI (Shallow Trench Isolation) 法、メサ分離法などを用いて形成することができる。

[0 3 1 6]

なお、図 1 3 に示すトランジスタ 3 0 0 は一例であり、その構造に限定されず、回路構成、駆動方法などに応じて適切なトランジスタを用いればよい。例えば、トランジスタ 3 0 0 は、図 1 4 C に示す FIN 型ではなく、プレーナ型の構造としてもよい。また、例えば、半導体装置を OS トラジスタのみの単極性回路とする場合、図 1 5 に示すとおり、トランジスタ 3 0 0 の構成を、酸化物半導体を用いているトランジスタ 5 0 0 と同様の構成にすればよい。なお、トランジスタ 5 0 0 の詳細については後述する。なお、本明細書等において、単極性回路とは、n チャネル型トランジスタ又は p チャネル型トランジスタの一方のみの極性のトランジスタを含む回路のことをいう。

[0 3 1 7]

なお、図 1 5 において、トランジスタ 3 0 0 は、基板 3 1 0 A 上に設けられているが、この場合、基板 3 1 0 A としては、図 1 3 の半導体装置の基板 3 1 0 と同様に半導体基板を用いてもよい。また、基板 3 1 0 A としては、例えば、SOI 基板、ガラス基板、石英基板、プラスチック基板、サファイアガラス基板、金属基板、ステンレス・スチル基板、ステンレス・スチル・ホイルを有する基板、タングステン基板、タングステン・ホイルを有する基板、可撓性基板、貼り合わせフィルム、繊維状の材料を含む紙、又は基材フィルムなどを用いることができる。ガラス基板の一例としては、バリウムホウケイ酸ガラス、アルミノホウケイ酸ガラス、又はソーダライムガラスなどがある。可撓性基板、貼り合わせフィルム、基材フィルムなどの一例としては、以下のものがあげられる。例えば、ポリエチレンテレフタレート (PET)、ポリエチレンナフタレート (PEN)、ポリエーテルサルフォン (PES)、ポリテトラフルオロエチレン (PTFE) に代表されるプラスチックがある。または、一例としては、アクリル等の合成樹脂などがある。または、一例としては、ポリプロピレン、ポリエステル、ポリフッ化ビニル、又はポリ塩化ビニルなどがある。または、一例としては、ポリアミド、ポリイミド、アラミド、エポキシ樹脂、無機蒸着フィルム、又は紙類などが

ある。

[0318]

図13に示すトランジスタ300には、絶縁体320、絶縁体322、絶縁体324、絶縁体326が、基板310側から順に積層して設けられている。

[0319]

絶縁体320、絶縁体322、絶縁体324、及び絶縁体326として、例えば、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化アルミニウム、酸化窒化アルミニウム、窒化酸化アルミニウム、窒化アルミニウムなどを用いればよい。

[0320]

なお、本明細書中において、酸化窒化シリコンとは、その組成として窒素よりも酸素の含有量が多い材料を指し、窒化酸化シリコンとは、その組成として、酸素よりも窒素の含有量が多い材料を示す。また、本明細書中において、酸化窒化アルミニウムとは、その組成として窒素よりも酸素の含有量が多い材料を指し、窒化酸化アルミニウムとは、その組成として、酸素よりも窒素の含有量が多い材料を示す。

[0321]

絶縁体322は、絶縁体320に覆われているトランジスタ300などによって生じる段差を平坦化する平坦化膜としての機能を有していてもよい。例えば、絶縁体322の上面は、平坦性を高めるために化学機械研磨（CMP：Chemical Mechanical Polishing）法等を用いた平坦化処理により平坦化されていてもよい。

[0322]

また、絶縁体324には、基板310、又はトランジスタ300などから、トランジスタ500が設けられる領域に、水素、不純物などが拡散しないようなバリア性を有する膜を用いることが好ましい。

[0323]

水素に対するバリア性を有する膜の一例として、CVD法で形成した窒化シリコンを用いることができる。ここで、トランジスタ500等の酸化物半導体を有する半導体素子に、水素が拡散することで、当該半導体素子の特性が低下する場合がある。したがって、トランジスタ500と、トランジスタ300との間に、水素の拡散を抑制する膜を用いることが好ましい。水素の拡散を抑制する膜とは、具体的には、水素の脱離量が少ない膜とする。

[0324]

水素の脱離量は、例えば、昇温脱離ガス分析法（TDS）などを用いて分析することができる。例えば、絶縁体324の水素の脱離量は、TDS分析において、膜の表面温度が50℃から500℃の範囲において、水素原子に換算した脱離量が、絶縁体324の面積当たりに換算して、 $1.0 \times 10^{15} \text{ atoms/cm}^2$ 以下、好ましくは $5 \times 10^{15} \text{ atoms/cm}^2$ 以下であればよい。

[0325]

なお、絶縁体326は、絶縁体324よりも誘電率が低いことが好ましい。例えば、絶縁体326の比誘電率は4未満が好ましく、3未満がより好ましい。また例えば、絶縁体326の比誘電率は、絶縁体324の比誘電率の0.7倍以下が好ましく、0.6倍以下がより好ましい。誘電率が低い材料を層間膜とすることで、配線間に生じる寄生容量を低減することができる。

[0326]

また、絶縁体 3 2 0、絶縁体 3 2 2、絶縁体 3 2 4、及び絶縁体 3 2 6 には容量素子 6 0 0、又はトランジスタ 5 0 0 と接続する導電体 3 2 8、及び導電体 3 3 0 等が埋め込まれている。なお、導電体 3 2 8、及び導電体 3 3 0 は、プラグ又は配線としての機能を有する。また、プラグ又は配線としての機能を有する導電体は、複数の構造をまとめて同一の符号を付与する場合がある。また、本明細書等において、配線と、配線と接続するプラグとが一体物であってもよい。すなわち、導電体の一部が配線として機能する場合、及び導電体の一部がプラグとして機能する場合もある。

[0 3 2 7]

各プラグ、及び配線（導電体 3 2 8、導電体 3 3 0 等）の材料としては、金属材料、合金材料、金属窒化物材料、又は金属酸化物材料などの導電性材料を、単層又は積層して用いることができる。耐熱性と導電性を両立するタングステン、モリブデンなどの高融点材料を用いることが好ましく、タングステンを用いることが好ましい。又は、アルミニウム、銅などの低抵抗導電性材料で形成することが好ましい。低抵抗導電性材料を用いることで配線抵抗を低くすることができる。

[0 3 2 8]

絶縁体 3 2 6、及び導電体 3 3 0 上に、配線層を設けてもよい。例えば、図 1 3 において、絶縁体 3 5 0、絶縁体 3 5 2、及び絶縁体 3 5 4 が、絶縁体 3 2 6、及び導電体 3 3 0 の上方に、順に積層して設けられている。また、絶縁体 3 5 0、絶縁体 3 5 2、及び絶縁体 3 5 4 には、導電体 3 5 6 が形成されている。導電体 3 5 6 は、トランジスタ 3 0 0 と接続するプラグ、又は配線としての機能を有する。なお導電体 3 5 6 は、導電体 3 2 8、及び導電体 3 3 0 と同様の材料を用いて設けることができる。

[0 3 2 9]

なお、例えば、絶縁体 3 5 0 は、絶縁体 3 2 4 と同様に、水素、水などの不純物に対するバリア性を有する絶縁体を用いることが好ましい。また、絶縁体 3 5 2、及び絶縁体 3 5 4 としては、絶縁体 3 2 6 と同様に、配線間に生じる寄生容量を低減するために、比誘電率が比較的低い絶縁体を用いることが好ましい。また、導電体 3 5 6 は、水素、水などの不純物に対するバリア性を有する導電体を含むことが好ましい。特に、水素に対するバリア性を有する絶縁体 3 5 0 が有する開口部に、水素に対するバリア性を有する導電体が形成される。当該構成により、トランジスタ 3 0 0 とトランジスタ 5 0 0 とは、バリア層により分離することができ、トランジスタ 3 0 0 からトランジスタ 5 0 0 への水素の拡散を抑制することができる。

[0 3 3 0]

なお、水素に対するバリア性を有する導電体としては、例えば、窒化タンタル等を用いるとよい。また、窒化タンタルと導電性が高いタングステンを積層することで、配線としての導電性を保持したまま、トランジスタ 3 0 0 からの水素の拡散を抑制することができる。この場合、水素に対するバリア性を有する窒化タンタル層が、水素に対するバリア性を有する絶縁体 3 5 0 と接する構造であることが好ましい。

[0 3 3 1]

また、絶縁体 3 5 4、及び導電体 3 5 6 上には、絶縁体 3 6 0 と、絶縁体 3 6 2 と、絶縁体 3 6 4 が順に積層されている。

[0 3 3 2]

絶縁体 3 6 0 は、絶縁体 3 2 4 などと同様に、水、水素などの不純物に対するバリア性を有する絶縁体を用いることが好ましい。そのため、絶縁体 3 6 0 としては、例えば、絶縁体 3 2 4 などに

適用できる材料を用いることができる。

[0333]

絶縁体362、及び絶縁体364は、層間絶縁膜、及び平坦化膜としての機能を有する。また、絶縁体362、及び絶縁体364は、絶縁体324と同様に、水、水素などの不純物に対するバリア性を有する絶縁体を用いることが好ましい。このため、絶縁体362、及び／又は絶縁体364としては、絶縁体324に適用できる材料を用いることができる。

[0334]

絶縁体364上には絶縁体510、絶縁体512、絶縁体514、及び絶縁体516が、順に積層して設けられている。絶縁体510、絶縁体512、絶縁体514、及び絶縁体516のいずれかは、酸素、水素に対してバリア性のある物質を用いることが好ましい。

[0335]

例えば、絶縁体510、及び絶縁体514には、例えば、基板310、又はトランジスタ300を設ける領域などから、トランジスタ500が設けられている領域に、水素、不純物が拡散しないようなバリア性を有する膜を用いることが好ましい。したがって、絶縁体324と同様の材料を用いることができる。

[0336]

水素に対するバリア性を有する膜の一例として、CVD法で形成した窒化シリコンを用いることができる。ここで、トランジスタ500等の酸化物半導体を有する半導体素子に、水素が拡散することで、当該半導体素子の特性が低下する場合がある。したがって、トランジスタ500と、トランジスタ300との間に、水素の拡散を抑制する膜を用いることが好ましい。水素の拡散を抑制する膜とは、具体的には、水素の脱離量が少ない膜とする。

[0337]

また、水素に対するバリア性を有する膜として、例えば、絶縁体510、及び絶縁体514には、酸化アルミニウム、酸化ハフニウム、酸化タンタルなどの金属酸化物を用いることが好ましい。

[0338]

特に、酸化アルミニウムは、酸素、及びトランジスタの電気特性の変動要因となる水素、水分などの不純物、の両方に対して膜を透過させない遮断効果が高い。したがって、酸化アルミニウムは、トランジスタの作製工程中及び作製後において、水素、水分などの不純物のトランジスタ500への混入を防止することができる。また、トランジスタ500を構成する酸化物からの酸素の放出を抑制することができる。そのため、トランジスタ500に対する保護膜として用いることに適している。

[0339]

また、例えば、絶縁体512、及び絶縁体516には、絶縁体320と同様の材料を用いることができる。また、これらの絶縁体に、比較的誘電率が低い材料を適用することで、配線間に生じる寄生容量を低減することができる。例えば、絶縁体512、及び絶縁体516として、酸化シリコン膜、酸化窒化シリコン膜などを用いることができる。

[0340]

また、絶縁体510、絶縁体512、絶縁体514、及び絶縁体516には、トランジスタ500を構成する導電体（例えば、図14A、及び図14Bに示す導電体503）等が埋め込まれている。

[0341]

絶縁体516の上方には、トランジスタ500が設けられている。

[0342]

図14A、及び図14Bに示すように、トランジスタ500は、絶縁体514上の絶縁体516と、絶縁体514または絶縁体516に埋め込まれるように配置された導電体503（導電体503a、および導電体503b）と、絶縁体516上、および導電体503上の絶縁体522と、絶縁体522上の絶縁体524と、絶縁体524上の酸化物530aと、酸化物530a上の酸化物530bと、酸化物530b上の導電体542aと、導電体542a上の絶縁体571aと、酸化物530b上の導電体542bと、導電体542b上の絶縁体571bと、酸化物530b上の絶縁体552と、絶縁体552上の絶縁体550と、絶縁体550上の絶縁体554と、絶縁体554上に位置し、酸化物530bの一部と重なる導電体560（導電体560a、および導電体560b）と、絶縁体522、絶縁体524、酸化物530a、酸化物530b、導電体542a、導電体542b、絶縁体571a、および絶縁体571b上に配置される絶縁体544と、を有する。ここで、図14A、及び図14Bに示すように、絶縁体552は、絶縁体522の上面、絶縁体524の側面、酸化物530aの側面、酸化物530bの側面および上面、導電体542の側面、絶縁体571の側面、絶縁体544の側面、絶縁体580の側面、および絶縁体550の下面と接する。また、導電体560の上面は、絶縁体554の上部、絶縁体550の上部、絶縁体552の上部、および絶縁体580の上面と高さが概略一致するように配置される。また、絶縁体574は、導電体560の上面、絶縁体552の上部、絶縁体550の上部、絶縁体554の上部、および絶縁体580の上面の少なくともいずれかの一部と接する。

[0343]

絶縁体580、および絶縁体544には、酸化物530bに達する開口が設けられる。当該開口内に、絶縁体552、絶縁体550、絶縁体554、および導電体560が配置されている。また、トランジスタ500のチャネル長方向において、絶縁体571a、および導電体542aと、絶縁体571b、および導電体542bと、の間に導電体560、絶縁体552、絶縁体550、および絶縁体554が設けられている。絶縁体554は、導電体560の側面と接する領域と、導電体560の底面と接する領域と、を有する。

[0344]

酸化物530は、絶縁体524の上に配置された酸化物530aと、酸化物530aの上に配置された酸化物530bと、を有することが好ましい。酸化物530b下に酸化物530aを有することで、酸化物530aよりも下方に形成された構造物から、酸化物530bへの不純物の拡散を抑制することができる。

[0345]

なお、トランジスタ500では、酸化物530が、酸化物530a、および酸化物530bの2層を積層する構成について示しているが、本発明はこれに限られるものではない。例えば、トランジスタ500は、酸化物530bの単層、または3層以上の積層構造を有する構成とすることができる。又は、酸化物530a、および酸化物530bのそれぞれが積層構造を有する構成とすることができる。

[0346]

導電体560は、第1のゲート（トップゲートともいう。）電極として機能し、導電体503は、

第2のゲート（バックゲートともいう。）電極として機能する。また、絶縁体552、絶縁体550、及び絶縁体554は、第1のゲート絶縁体として機能し、絶縁体522、および絶縁体524は、第2のゲート絶縁体として機能する。なお、ゲート絶縁体は、ゲート絶縁層、またはゲート絶縁膜と呼ぶ場合もある。また、導電体542aは、ソースまたはドレインの一方として機能し、導電体542bは、ソースまたはドレインの他方として機能する。また、酸化物530の導電体560と重畳する領域の少なくとも一部はチャネル形成領域として機能する。

[0347]

ここで、図14Aにおけるチャネル形成領域近傍の拡大図を図16Aに示す。酸化物530bに酸素が供給されることで、導電体542aと導電体542bの間の領域にチャネル形成領域が形成される。よって、図16Aに示すように、酸化物530bは、トランジスタ500のチャネル形成領域として機能する領域530bcと、領域530bcを挟むように設けられ、ソース領域またはドレイン領域として機能する領域530baおよび領域530bbと、を有する。領域530bcは、少なくとも一部が導電体560と重畳している。言い換えると、領域530bcは、導電体542aと導電体542bの間の領域に設けられている。領域530baは、導電体542aに重畳して設けられており、領域530bbは、導電体542bに重畳して設けられている。

[0348]

チャネル形成領域として機能する領域530bcは、領域530baおよび領域530bbよりも、酸素欠損（本明細書等では、金属酸化物中の酸素欠損を V_o （oxygen vacancy）と呼称する場合がある。）が少なく、または不純物濃度が低いため、キャリア濃度が低い高抵抗領域である。よって領域530bcは、i型（真性）または実質的にi型であるといえることができる。

[0349]

金属酸化物を用いたトランジスタは、金属酸化物中のチャネルが形成される領域に不純物または酸素欠損（ V_o ）が存在すると、電気特性が変動しやすく、信頼性が悪くなる場合がある。また、酸素欠損（ V_o ）近傍の水素が、酸素欠損（ V_o ）に水素が入った欠陥（以下、 V_oH と呼称する場合がある。）を形成し、キャリアとなる電子を生成する場合がある。このため、酸化物半導体中のチャネルが形成される領域に酸素欠損が含まれていると、トランジスタはノーマリーオン特性（ゲート電極に電圧を印加しなくてもチャネルが存在し、トランジスタに電流が流れる特性）となりやすい。したがって、酸化物半導体中のチャネルが形成される領域では、不純物、酸素欠損、および V_oH はできる限り低減されていることが好ましい。

[0350]

また、ソース領域またはドレイン領域として機能する領域530baおよび領域530bbは、酸素欠損（ V_o ）が多く、または水素、窒素、金属元素などの不純物濃度が高い、ことでキャリア濃度が増加し、低抵抗化した領域である。すなわち、領域530baおよび領域530bbは、領域530bcと比較して、キャリア濃度が高く、低抵抗なn型の領域である。

[0351]

ここで、チャネル形成領域として機能する領域530bcのキャリア濃度は、 $1 \times 10^{18} \text{ cm}^{-3}$ 以下であることが好ましく、 $1 \times 10^{17} \text{ cm}^{-3}$ 未満であることがより好ましく、 $1 \times 10^{16} \text{ cm}^{-3}$ 未満であることがさらに好ましく、 $1 \times 10^{13} \text{ cm}^{-3}$ 未満であることがさらに好ましく、 $1 \times 10^{12} \text{ cm}^{-3}$ 未満であることがさらに好ましい。なお、チャネル形成領域として機能する領域530bcのキャリア濃度の下限値については、特に限定は無いが、例えば、 $1 \times 10^{-9} \text{ cm}^{-3}$ とするこ

とができる。

[0352]

また、領域530bcと領域530baまたは領域530bbとの間に、キャリア濃度が、領域530baおよび領域530bbのキャリア濃度と同等、またはそれよりも低く、領域530bcのキャリア濃度と同等、またはそれよりも高い、領域が形成されていてもよい。つまり、当該領域は、領域530bcと領域530baまたは領域530bbとの接合領域として機能する。当該接合領域は、水素濃度が、領域530baおよび領域530bbの水素濃度と同等、またはそれよりも低く、領域530bcの水素濃度と同等、またはそれよりも高くなる場合がある。また、当該接合領域は、酸素欠損が、領域530baおよび領域530bbの酸素欠損と同等、またはそれよりも少なく、領域530bcの酸素欠損と同等、またはそれよりも多くなる場合がある。

[0353]

なお、図16Aでは、領域530ba、領域530bb、および領域530bcが酸化物530bに形成される例について示しているが、本発明はこれに限られるものではない。例えば、上記の各領域が酸化物530bだけでなく、酸化物530aまで形成されてもよい。

[0354]

また、酸化物530において、各領域の境界を明確に検出することが困難な場合がある。各領域内で検出される金属元素、ならびに水素、および窒素などの不純物元素の濃度は、領域ごとの段階的な変化に限らず、各領域内でも連続的に変化していてもよい。つまり、チャネル形成領域に近い領域であるほど、金属元素、ならびに水素、および窒素などの不純物元素の濃度が減少していればよい。

[0355]

トランジスタ500は、チャネル形成領域を含む酸化物530（酸化物530a、および酸化物530b）に、半導体として機能する金属酸化物（以下、酸化物半導体ともいう。）を用いることが好ましい。

[0356]

また、半導体として機能する金属酸化物は、バンドギャップが2eV以上、好ましくは2.5eV以上のものを用いることが好ましい。このように、バンドギャップの大きい金属酸化物を用いることで、トランジスタのオフ電流を低減することができる。

[0357]

酸化物530として、例えば、インジウム、元素Mおよび亜鉛を有するIn-M-Zn酸化物（元素Mは、アルミニウム、ガリウム、イットリウム、錫、銅、バナジウム、ベリリウム、ホウ素、チタン、鉄、ニッケル、ゲルマニウム、ジルコニウム、モリブデン、ランタン、セリウム、ネオジウム、ハフニウム、タンタル、タングステン、またはマグネシウムなどから選ばれた一種、または複数種）等の金属酸化物を用いるとよい。また、酸化物530として、In-Ga酸化物、In-Zn酸化物、インジウム酸化物を用いてもよい。

[0358]

ここで、酸化物530bに用いる金属酸化物における、元素Mに対するInの原子数比が、酸化物530aに用いる金属酸化物における、元素Mに対するInの原子数比より大きいことが好ましい。

[0359]

このように、酸化物530bの下に酸化物530aを配置することで、酸化物530aよりも下方に形成された構造物からの、酸化物530bに対する、不純物および酸素の拡散を抑制することができる。

[0360]

また、酸化物530aおよび酸化物530bが、酸素以外に共通の元素を有する（主成分とする）ことで、酸化物530aと酸化物530bの界面における欠陥準位密度を低くすることができる。酸化物530aと酸化物530bとの界面における欠陥準位密度を低くすることができるため、界面散乱によるキャリア伝導への影響が小さく、高いオン電流が得られる。

[0361]

酸化物530bは、結晶性を有することが好ましい。特に、酸化物530bとして、CAAC-OS (c-axis aligned crystalline oxide semiconductor) を用いることが好ましい。

[0362]

CAAC-OSは、結晶性の高い、緻密な構造を有しており、不純物、及び欠陥（例えば、酸素欠損（ V_O など））が少ない金属酸化物である。特に、金属酸化物の形成後に、金属酸化物が多結晶化しない程度の温度（例えば、400℃以上600℃以下）で加熱処理することで、CAAC-OSをより結晶性の高い、緻密な構造にすることができる。このようにして、CAAC-OSの密度をより高めることで、当該CAAC-OS中の不純物または酸素の拡散をより低減することができる。

[0363]

一方、CAAC-OSは、明確な結晶粒界を確認することが難しいため、結晶粒界に起因する電子移動度の低下が起こりにくいといえる。したがって、CAAC-OSを有する金属酸化物は、物理的性質が安定する。そのため、CAAC-OSを有する金属酸化物は熱に強く、信頼性が高い。

[0364]

酸化物半導体を用いたトランジスタは、酸化物半導体中のチャネルが形成される領域に不純物および酸素欠損が存在すると、電気特性が変動しやすく、信頼性が悪くなる場合がある。また、酸素欠損近傍の水素が、酸素欠損に水素が入った欠陥（ V_OH ）を形成し、キャリアとなる電子を生成する場合がある。このため、酸化物半導体中のチャネルが形成される領域に酸素欠損が含まれていると、トランジスタはノーモリーオン特性（ゲート電極に電圧を印加しなくてもチャネルが存在し、トランジスタに電流が流れる特性）となりやすい。したがって、酸化物半導体中のチャネルが形成される領域では、不純物、酸素欠損、および V_OH はできる限り低減されていることが好ましい。言い換えると、酸化物半導体中のチャネルが形成される領域は、キャリア濃度が低減され、i型（真性化）または実質的にi型であることが好ましい。

[0365]

これに対して、酸化物半導体の近傍に、加熱により脱離する酸素（以下、過剰酸素と呼ぶ場合がある。）を含む絶縁体を設け、熱処理を行うことで、当該絶縁体から酸化物半導体に酸素を供給し、酸素欠損、および V_OH を低減することができる。ただし、ソース領域またはドレイン領域に過剰な量の酸素が供給されると、トランジスタ500のオン電流の低下、または電界効果移動度の低下を引き起こすおそれがある。さらに、ソース領域またはドレイン領域に供給される酸素の量が基板面内でばらつくことで、トランジスタを有する半導体装置の特性にばらつきが出ることになる。

[0366]

よって、酸化物半導体中において、チャネル形成領域として機能する領域530bcは、キャリア濃度が低減され、i型または実質的にi型であることが好ましいが、ソース領域またはドレイン領域として機能する領域530baおよび領域530bbは、キャリア濃度が高く、n型であることが好ましい。つまり、酸化物半導体の領域530bcの酸素欠損、および V_OH を低減し、領域530baおよび領域530bbには過剰な量の酸素が供給されないようにすることが好ましい。

[0367]

そこで、本実施の形態では、酸化物530b上に導電体542aおよび導電体542bを設けた状態で、酸素を含む雰囲気でマイクロ波処理を行い、領域530bcの酸素欠損、および V_OH の低減を図る。ここで、マイクロ波処理とは、例えばマイクロ波を用いて高密度プラズマを発生させる電源を有する装置を用いた処理のことを指す。

[0368]

酸素を含む雰囲気でマイクロ波処理を行うことで、マイクロ波、またはRF等の高周波を用いて酸素ガスをプラズマ化し、当該酸素プラズマを作用させることができる。このとき、マイクロ波、またはRF等の高周波を領域530bcに照射することもできる。プラズマ、マイクロ波などの作用により、領域530bcの V_OH を分断し、水素Hを領域530bcから除去し、酸素欠損 V_O を酸素で補填することができる。つまり、領域530bcにおいて、「 $V_OH \rightarrow H + V_O$ 」という反応が起きて、領域530bcの水素濃度を低減することができる。よって、領域530bc中の酸素欠損、および V_OH を低減し、キャリア濃度を低下させることができる。

[0369]

また、酸素を含む雰囲気でマイクロ波処理を行う際、マイクロ波、またはRF等の高周波、酸素プラズマなどの作用は、導電体542aおよび導電体542bに遮蔽され、領域530baおよび領域530bbには及ばない。さらに、酸素プラズマの作用は、酸化物530b、および導電体542を覆って設けられている、絶縁体571、および絶縁体580によって、低減することができる。これにより、マイクロ波処理の際に、領域530baおよび領域530bbで、 V_OH の低減、および過剰な量の酸素供給が発生しないので、キャリア濃度の低下を防ぐことができる。

[0370]

また、絶縁体552となる絶縁膜の成膜後、または絶縁体550となる絶縁膜の成膜後に、酸素を含む雰囲気でマイクロ波処理を行うことが好ましい。このように絶縁体552、または絶縁体550を介して、酸素を含む雰囲気でマイクロ波処理を行うことで、効率良く領域530bc中へ酸素を注入することができる。また、絶縁体552を導電体542の側面、および領域530bcの表面と接するように配置することで、領域530bcへの必要量以上の酸素の注入を抑制し、導電体542の側面の酸化を抑制することができる。また、絶縁体550となる絶縁膜の成膜時に導電体542の側面の酸化を抑制することができる。

[0371]

また、領域530bc中に注入される酸素は、酸素原子、酸素分子、酸素ラジカル（Oラジカルともいう、不対電子をもつ原子または分子、あるいはイオン）など様々な形態がある。なお、領域530bc中に注入される酸素は、上述の形態のいずれか一または複数であれば好ましく、特に酸素ラジカルであると好適である。また、絶縁体552、および絶縁体550の膜質を向上させることができるので、トランジスタ500の信頼性が向上する。

[0372]

このようにして、酸化物半導体の領域530bcで選択的に酸素欠損、および V_OH を除去して、領域530bcをi型または実質的にi型とすることができる。さらに、ソース領域またはドレイン領域として機能する領域530baおよび領域530bbに過剰な酸素が供給されるのを抑制し、導電性を維持することができる。これにより、トランジスタ500の電気特性の変動を抑制し、基板面内でトランジスタ500の電気特性のばらつきを少なくすることができる。

[0373]

以上のような構成にすることで、トランジスタ特性のばらつきが少ない半導体装置を提供することができる。また、信頼性が良好な半導体装置を提供することができる。また、良好な電気特性を有する半導体装置を提供することができる。

[0374]

また、図14Bに示すように、トランジスタ500のチャネル幅方向の断面視において、酸化物530bの側面と酸化物530bの上面との間に、湾曲面を有してもよい。つまり、当該側面の端部と当該上面の端部は、湾曲してもよい（以下、ラウンド状ともいう。）。

[0375]

上記湾曲面での曲率半径は、0nmより大きく、導電体542と重なる領域の酸化物530bの膜厚より小さい、または、上記湾曲面を有さない領域の長さの半分より小さいことが好ましい。上記湾曲面での曲率半径は、具体的には、0nmより大きく20nm以下、好ましくは1nm以上15nm以下、さらに好ましくは2nm以上10nm以下とする。このような形状にすることで、絶縁体552、絶縁体550、絶縁体554、および導電体560の、酸化物530bへの被覆性を高めることができる。

[0376]

酸化物530は、化学組成が異なる複数の酸化物層の積層構造を有することが好ましい。具体的には、酸化物530aに用いる金属酸化物において、主成分である金属元素に対する元素Mの原子数比が、酸化物530bに用いる金属酸化物における、主成分である金属元素に対する元素Mの原子数比より、大きいことが好ましい。また、酸化物530aに用いる金属酸化物において、Inに対する元素Mの原子数比が、酸化物530bに用いる金属酸化物における、Inに対する元素Mの原子数比より大きいことが好ましい。また、酸化物530bに用いる金属酸化物において、元素Mに対するInの原子数比が、酸化物530aに用いる金属酸化物における、元素Mに対するInの原子数比より大きいことが好ましい。

[0377]

また、酸化物530bは、CAAC-OSなどの結晶性を有する酸化物であることが好ましい。CAAC-OSなどの結晶性を有する酸化物は、不純物、及び欠陥（酸素欠損など）が少なく、結晶性の高い、緻密な構造を有している。よって、ソース電極またはドレイン電極による、酸化物530bからの酸素の引き抜きを抑制することができる。これにより、熱処理を行っても、酸化物530bから酸素が引き抜かれることを低減できるので、トランジスタ500は、製造工程における高い温度（所謂サーマルバジェット）に対して安定である。

[0378]

ここで、酸化物530aと酸化物530bの接合部において、伝導帯下端はなだらかに変化する。換言すると、酸化物530aと酸化物530bの接合部における伝導帯下端は、連続的に変化また

は連続接合するともいうことができる。このようにするためには、酸化物530aと酸化物530bとの界面に形成される混合層の欠陥準位密度を低くするとよい。

[0379]

具体的には、酸化物530aと酸化物530bが、酸素以外に共通の元素を主成分として有することで、欠陥準位密度が低い混合層を形成することができる。例えば、酸化物530bがIn-M-Zn酸化物の場合、酸化物530aとして、In-M-Zn酸化物、M-Zn酸化物、元素Mの酸化物、In-Zn酸化物、インジウム酸化物などを用いてもよい。

[0380]

具体的には、酸化物530aとして、 $In:M:Zn=1:3:4$ [原子数比] もしくはその近傍の組成、または $In:M:Zn=1:1:0.5$ [原子数比] もしくはその近傍の組成の金属酸化物を用いればよい。また、酸化物530bとして、 $In:M:Zn=1:1:1$ [原子数比] もしくはその近傍の組成、または $In:M:Zn=4:2:3$ [原子数比] もしくはその近傍の組成の金属酸化物を用いればよい。なお、近傍の組成とは、所望の原子数比の $\pm 30\%$ の範囲を含む。また、元素Mとして、ガリウムを用いることが好ましい。

[0381]

なお、金属酸化物をスパッタリング法により成膜する場合、上記の原子数比は、成膜された金属酸化物の原子数比に限られず、金属酸化物の成膜に用いるスパッタリングターゲットの原子数比であつてもよい。

[0382]

また、図14Aなどに示すように、酸化物530の上面および側面に接して、酸化アルミニウムなどにより形成される絶縁体552を設けることにより、酸化物530と絶縁体552の界面およびその近傍に、酸化物530に含まれるインジウムが偏在する場合がある。これにより、酸化物530の表面近傍が、インジウム酸化物に近い原子数比、またはIn-Zn酸化物に近い原子数比になる。このように酸化物530、特に酸化物530bの表面近傍のインジウムの原子数比が大きくなることで、トランジスタ500の電界効果移動度を向上させることができる。

[0383]

酸化物530aおよび酸化物530bを上述の構成とすることで、酸化物530aと酸化物530bとの界面における欠陥準位密度を低くすることができる。そのため、界面散乱によるキャリア伝導への影響が小さくなり、トランジスタ500は大きいオン電流、および高い周波数特性を得ることができる。

[0384]

絶縁体512、絶縁体514、絶縁体544、絶縁体571、絶縁体574、絶縁体576、及び絶縁体581の少なくとも一は、水、水素などの不純物が、基板側から、または、トランジスタ500の上方からトランジスタ500に拡散するのを抑制するバリア絶縁膜として機能することが好ましい。したがって、絶縁体512、絶縁体514、絶縁体544、絶縁体571、絶縁体574、絶縁体576、および絶縁体581の少なくとも一は、水素原子、水素分子、水分子、窒素原子、窒素分子、酸化窒素分子(N_2O 、 NO 、 NO_2 など)、銅原子などの不純物の拡散を抑制する機能を有する(上記不純物が透過しにくい)絶縁性材料を用いることが好ましい。または、酸素(例えば、酸素原子、酸素分子などの少なくとも一)の拡散を抑制する機能を有する(上記酸素が透過しにくい)絶縁性材料を用いることが好ましい。

[0385]

なお、本明細書において、バリア絶縁膜とは、バリア性を有する絶縁膜のことを指す。本明細書において、バリア性とは、対応する物質の拡散を抑制する機能（透過性が低いともいう）とする。または、対応する物質を、捕獲、および固着する（ゲッタリングともいう）機能とする。

[0386]

絶縁体512、絶縁体514、絶縁体544、絶縁体571、絶縁体574、絶縁体576、および絶縁体581としては、水、水素などの不純物、および酸素の拡散を抑制する機能を有する絶縁体を用いることが好ましく、例えば、酸化アルミニウム、酸化マグネシウム、酸化ハフニウム、酸化ガリウム、インジウムガリウム亜鉛酸化物、窒化シリコン、または窒化酸化シリコンなどを用いることができる。例えば、絶縁体512、絶縁体544、および絶縁体576として、より水素バリア性が高い、窒化シリコンなどを用いることが好ましい。また、例えば、絶縁体514、絶縁体571、絶縁体574、および絶縁体581として、水素を捕獲および水素を固着する機能が高い、酸化アルミニウムまたは酸化マグネシウムなどを用いることが好ましい。これにより、水、水素などの不純物が絶縁体512、および絶縁体514を介して、基板側からトランジスタ500側に拡散することを抑制できる。または、水、水素などの不純物が絶縁体581よりも外側に配置されている層間絶縁膜などから、トランジスタ500側に拡散するのを抑制することができる。または、絶縁体524などに含まれる酸素が、絶縁体512、および絶縁体514を介して基板側に、拡散するのを抑制することができる。または、絶縁体580などに含まれる酸素が、絶縁体574などを介してトランジスタ500より上方に、拡散するのを抑制することができる。この様に、トランジスタ500を、水、水素などの不純物、および酸素の拡散を抑制する機能を有する絶縁体512、絶縁体514、絶縁体571、絶縁体544、絶縁体574、絶縁体576、および絶縁体581で取り囲む構造とすることが好ましい。

[0387]

ここで、絶縁体512、絶縁体514、絶縁体544、絶縁体571、絶縁体574、絶縁体576、および絶縁体581として、アモルファス構造を有する酸化物を用いることが好ましい。例えば、 AlO_x （ x は0より大きい任意数）、または MgO_y （ y は0より大きい任意数）などの金属酸化物を用いることが好ましい。このようなアモルファス構造を有する金属酸化物では、酸素原子がダングリングボンドを有しており、当該ダングリングボンドで水素を捕獲または固着する性質を有する場合がある。このようなアモルファス構造を有する金属酸化物をトランジスタ500の構成要素として用いる、またはトランジスタ500の周囲に設けることで、トランジスタ500に含まれる水素、またはトランジスタ500の周囲に存在する水素を捕獲または固着することができる。特にトランジスタ500のチャネル形成領域に含まれる水素を捕獲または固着することが好ましい。アモルファス構造を有する金属酸化物をトランジスタ500の構成要素として用いる、またはトランジスタ500の周囲に設けることで、良好な特性を有し、信頼性の高いトランジスタ500、および半導体装置を作製することができる。

[0388]

また、絶縁体512、絶縁体514、絶縁体544、絶縁体571、絶縁体574、絶縁体576、および絶縁体581は、アモルファス構造であることが好ましいが、一部に多結晶構造の領域が形成されていてもよい。また、絶縁体512、絶縁体514、絶縁体544、絶縁体571、絶縁体574、絶縁体576、および絶縁体581は、アモルファス構造の層と、多結晶構造の層と、

が積層された多層構造であってもよい。例えば、アモルファス構造の層の上に多結晶構造の層が形成された積層構造でもよい。

[0389]

絶縁体512、絶縁体514、絶縁体544、絶縁体571、絶縁体574、絶縁体576、および絶縁体581の成膜は、例えば、スパッタリング法を用いて行えばよい。スパッタリング法は、成膜ガスに水素を含む分子を用いなくてよいので、絶縁体512、絶縁体514、絶縁体544、絶縁体571、絶縁体574、絶縁体576、および絶縁体581の水素濃度を低減することができる。なお、成膜方法は、スパッタリング法に限られるものではなく、化学気相成長（CVD: Chemical Vapor Deposition）法、分子線エピタキシー（MBE: Molecular Beam Epitaxy）法、パルスレーザ堆積（PLD: Pulsed Laser Deposition）法、原子層堆積（ALD: Atomic Layer Deposition）法などを適宜用いてもよい。

[0390]

また、絶縁体512、絶縁体544、および絶縁体576の抵抗率を低くすることが好ましい場合がある。例えば、絶縁体512、絶縁体544、および絶縁体576の抵抗率を概略 $1 \times 10^{13} \Omega \text{cm}$ とすることで、半導体装置作製工程のプラズマ等を用いる処理において、絶縁体512、絶縁体544、および絶縁体576が、導電体503、導電体542、導電体560などのチャージアップを緩和することができる場合がある。絶縁体512、絶縁体544、および絶縁体576の抵抗率は、好ましくは、 $1 \times 10^{10} \Omega \text{cm}$ 以上 $1 \times 10^{15} \Omega \text{cm}$ 以下とする。

[0391]

また、絶縁体516、絶縁体574、絶縁体580、および絶縁体581は、絶縁体514よりも誘電率が低いことが好ましい。誘電率が低い材料を層間膜とすることで、配線間に生じる寄生容量を低減することができる。例えば、絶縁体516、絶縁体580、および絶縁体581として、酸化シリコン、酸化窒化シリコン、フッ素を添加した酸化シリコン、炭素を添加した酸化シリコン、炭素および窒素を添加した酸化シリコン、空孔を有する酸化シリコンなどを適宜用いればよい。

[0392]

また、絶縁体581は、一例として、層間膜、平坦化膜などとして機能する絶縁体とすることが好ましい。

[0393]

導電体503は、酸化物530、および導電体560と、重なるように配置する。ここで、導電体503は、絶縁体516に形成された開口に埋め込まれて設けることが好ましい。また、導電体503の一部が絶縁体514に埋め込まれる場合がある。

[0394]

導電体503は、導電体503a、および導電体503bを有する。導電体503aは、当該開口の底面および側壁に接して設けられる。導電体503bは、導電体503aに形成された凹部に埋め込まれるように設けられる。ここで、導電体503bの上部の高さは、導電体503aの上部の高さおよび絶縁体516の上部の高さと概略一致する。

[0395]

ここで、導電体503aは、水素原子、水素分子、水分子、窒素原子、窒素分子、酸化窒素分子（ N_2O 、 NO 、 NO_2 など）、銅原子などの不純物の拡散を抑制する機能を有する導電性材料を用

いることが好ましい。または、酸素（例えば、酸素原子、酸素分子などの少なくとも一）の拡散を抑制する機能を有する導電性材料を用いることが好ましい。

[0396]

導電体503aに、水素の拡散を低減する機能を有する導電性材料を用いることにより、導電体503bに含まれる水素などの不純物が、絶縁体524等を介して、酸化物530に拡散するのを防ぐことができる。また、導電体503aに、酸素の拡散を抑制する機能を有する導電性材料を用いることにより、導電体503bが酸化して導電率が低下することを抑制することができる。酸素の拡散を抑制する機能を有する導電性材料としては、例えば、チタン、窒化チタン、タンタル、窒化タンタル、ルテニウム、酸化ルテニウムなどを用いることが好ましい。したがって、導電体503aとしては、上記導電性材料を単層または積層とすればよい。例えば、導電体503aは、窒化チタンを用いればよい。

[0397]

また、導電体503bは、タングステン、銅、またはアルミニウムを主成分とする導電性材料を用いることが好ましい。例えば、導電体503bは、タングステンを用いればよい。

[0398]

導電体503は、第2のゲート電極として機能する場合がある。その場合、導電体503に印加する電位を、導電体560に印加する電位と、連動させず、独立して変化させることで、トランジスタ500のしきい値電圧(V_{th})を制御することができる。特に、導電体503に負の電位を印加することにより、トランジスタ500の V_{th} をより大きくし、オフ電流を低減することが可能となる。したがって、導電体503に負の電位を印加したほうが、印加しない場合よりも、導電体560に印加する電位が0Vのときのドレイン電流を小さくすることができる。

[0399]

また、導電体503の電気抵抗率は、上記の導電体503に印加する電位を考慮して設計され、導電体503の膜厚は当該電気抵抗率に合わせて設定される。また、絶縁体516の膜厚は、導電体503とほぼ同じになる。ここで、導電体503の設計が許す範囲で導電体503および絶縁体516の膜厚を薄くすることが好ましい。絶縁体516の膜厚を薄くすることで、絶縁体516中に含まれる水素などの不純物の絶対量を低減することができるので、当該不純物が酸化物530に拡散するのを低減することができる。

[0400]

なお、導電体503は、上面から見て、酸化物530の導電体542aおよび導電体542bと重ならない領域の大きさよりも、大きく設けるとよい。特に、図14Bに示すように、導電体503は、酸化物530aおよび酸化物530bのチャネル幅方向の端部よりも外側の領域においても、延伸していることが好ましい。つまり、酸化物530のチャネル幅方向における側面の外側において、導電体503と、導電体560とは、絶縁体を介して重畳していることが好ましい。当該構成を有することで、第1のゲート電極として機能する導電体560の電界と、第2のゲート電極として機能する導電体503の電界によって、酸化物530のチャネル形成領域を電気的に取り囲むことができる。本明細書において、第1のゲート、および第2のゲートの電界によって、チャネル形成領域を電気的に取り囲むトランジスタの構造を、`surrounded channel` (`S-channel`) 構造とよぶ。

[0401]

なお、本明細書等において、S - c h a n n e l 構造のトランジスタとは、一对のゲート電極の一方および他方の電界によって、チャンネル形成領域を電氣的に取り囲むトランジスタの構造を表す。また、本明細書等で開示するS - c h a n n e l 構造は、F i n型構造およびプレーナ型構造とは異なる。S - c h a n n e l 構造を採用することで、短チャンネル効果に対する耐性を高める、別言すると短チャンネル効果が発生し難いトランジスタとすることができる。

[0402]

また、図14Bに示すように、導電体503は延伸させて、配線としても機能させている。ただし、これに限られることなく、導電体503の下に、配線として機能する導電体を設ける構成にしてもよい。また、導電体503は、必ずしも各トランジスタに一個ずつ設ける必要はない。例えば、導電体503を複数のトランジスタで共有する構成にしてもよい。

[0403]

なお、トランジスタ500では、導電体503は、導電体503a、および導電体503bを積層する構成について示しているが、本発明はこれに限られるものではない。例えば、導電体503は、単層、または3層以上の積層構造として設ける構成にしてもよい。

[0404]

絶縁体522、および絶縁体524は、ゲート絶縁体として機能する。

[0405]

絶縁体522は、水素（例えば、水素原子、水素分子などの少なくとも一）の拡散を抑制する機能を有することが好ましい。また、絶縁体522は、酸素（例えば、酸素原子、酸素分子などの少なくとも一）の拡散を抑制する機能を有することが好ましい。例えば、絶縁体522は、絶縁体524よりも水素および酸素の一方または双方の拡散を抑制する機能を有することが好ましい。

[0406]

絶縁体522は、絶縁性材料であるアルミニウムおよびハフニウム的一方または双方の酸化物を含む絶縁体を用いるとよい。当該絶縁体として、酸化アルミニウム、酸化ハフニウム、アルミニウムおよびハフニウムを含む酸化物（ハフニウムアルミネート）などを用いることが好ましい。このような材料を用いて絶縁体522を形成した場合、絶縁体522は、酸化物530から基板側への酸素の放出と、トランジスタ500の周辺部から酸化物530への水素等の不純物の拡散と、を抑制する層として機能する。よって、絶縁体522を設けることで、水素等の不純物が、トランジスタ500の内側へ拡散することを抑制し、酸化物530中の酸素欠損の生成を抑制することができる。また、導電体503が、絶縁体524、又は酸化物530が有する酸素と反応することを抑制することができる。

[0407]

または、上記絶縁体に、例えば、酸化アルミニウム、酸化ビスマス、酸化ゲルマニウム、酸化ニオブ、酸化シリコン、酸化チタン、酸化タングステン、酸化イットリウム、酸化ジルコニウムを添加してもよい。または、これらの絶縁体を窒化処理してもよい。また、絶縁体522は、これらの絶縁体に酸化シリコン、酸化窒化シリコンまたは窒化シリコンを積層して用いてもよい。

[0408]

また、絶縁体522は、例えば、酸化アルミニウム、酸化ハフニウム、酸化タンタル、酸化ジルコニウムなどの、いわゆるh i g h - k材料を含む絶縁体を単層または積層で用いてもよい。トランジスタの微細化、および高集積化が進むと、ゲート絶縁体の薄膜化により、リーク電流などの問

題が生じる場合がある。ゲート絶縁体として機能する絶縁体に h i g h - k 材料を用いることで、物理膜厚を保ちながら、トランジスタ動作時のゲート電位の低減が可能となる。また、絶縁体 5 2 2 として、チタン酸ジルコン酸鉛 (P Z T)、チタン酸ストロンチウム (S r T i O_3)、(B a, S r) T i O_3 (B S T) などの誘電率が高い物質を用いることができる場合もある。

[0 4 0 9]

酸化物 5 3 0 と接する絶縁体 5 2 4 は、例えば、酸化シリコン、酸化窒化シリコンなどを適宜用いればよい。

[0 4 1 0]

また、トランジスタ 5 0 0 の作製工程中において、酸化物 5 3 0 の表面が露出した状態で、加熱処理を行うと好適である。当該加熱処理は、例えば、 100°C 以上 600°C 以下、より好ましくは 350°C 以上 550°C 以下で行えばよい。なお、加熱処理は、窒素ガスもしくは不活性ガスの雰囲気、または酸化性ガスを 10 ppm 以上、 1% 以上、もしくは 10% 以上含む雰囲気で行う。例えば、加熱処理は酸素雰囲気で行うことが好ましい。これにより、酸化物 5 3 0 に酸素を供給して、酸素欠損 (V_O) の低減を図ることができる。また、加熱処理は減圧状態で行ってもよい。または、加熱処理は、窒素ガスもしくは不活性ガスの雰囲気中で加熱処理した後に、脱離した酸素を補うために、酸化性ガスを 10 ppm 以上、 1% 以上、または 10% 以上含む雰囲気で行ってもよい。または、酸化性ガスを 10 ppm 以上、 1% 以上、または 10% 以上含む雰囲気中で加熱処理した後に、連続して窒素ガスもしくは不活性ガスの雰囲気中で加熱処理を行ってもよい。

[0 4 1 1]

なお、酸化物 5 3 0 に加酸素化処理を行うことで、酸化物 5 3 0 中の酸素欠損を、供給された酸素により修復させる、別言すると「 $\text{V}_\text{O} + \text{O} \rightarrow \text{n u l l}$ 」という反応を促進させることができる。さらに、酸化物 5 3 0 中に残存した水素に供給された酸素が反応することで、当該水素を H_2O として除去する（脱水化する）ことができる。これにより、酸化物 5 3 0 中に残存していた水素が酸素欠損に再結合して $\text{V}_\text{O}\text{H}$ が形成されるのを抑制することができる。

[0 4 1 2]

なお、絶縁体 5 2 2、および絶縁体 5 2 4 が、2 層以上の積層構造を有していてもよい。その場合、同じ材料からなる積層構造に限定されず、異なる材料からなる積層構造でもよい。また、絶縁体 5 2 4 は、酸化物 5 3 0 a と重畳して島状に形成してもよい。この場合、絶縁体 5 4 4 が、絶縁体 5 2 4 の側面および絶縁体 5 2 2 の上面に接する構成になる。

[0 4 1 3]

導電体 5 4 2 a、および導電体 5 4 2 b は酸化物 5 3 0 b の上面に接して設けられる。導電体 5 4 2 a および導電体 5 4 2 b は、それぞれトランジスタ 5 0 0 のソース電極またはドレイン電極として機能する。

[0 4 1 4]

導電体 5 4 2（導電体 5 4 2 a、および導電体 5 4 2 b）としては、例えば、タンタルを含む窒化物、チタンを含む窒化物、モリブデンを含む窒化物、タングステンを含む窒化物、タンタルおよびアルミニウムを含む窒化物、チタンおよびアルミニウムを含む窒化物などを用いることが好ましい。本発明の一態様においては、タンタルを含む窒化物が特に好ましい。また、例えば、酸化ルテニウム、窒化ルテニウム、ストロンチウムとルテニウムを含む酸化物、ランタンとニッケルを含む酸化物などを用いてもよい。これらの材料は、酸化しにくい導電性材料、または、酸素を吸収して

も導電性を維持する材料であるため、好ましい。

[0415]

なお、酸化物530bなどに含まれる水素が、導電体542aまたは導電体542bに拡散する場合がある。特に、導電体542aおよび導電体542bに、タンタルを含む窒化物を用いることで、酸化物530bなどに含まれる水素は、導電体542aまたは導電体542bに拡散しやすく、拡散した水素は、導電体542aまたは導電体542bが有する窒素と結合することがある。つまり、酸化物530bなどに含まれる水素は、導電体542aまたは導電体542bに吸い取られる場合がある。

[0416]

また、導電体542の側面と導電体542の上面との間に、湾曲面が形成されないことが好ましい。当該湾曲面が形成されない導電体542とすることで、チャネル幅方向の断面における、導電体542の断面積を大きくすることができる。これにより、導電体542の導電率を大きくし、トランジスタ500のオン電流を大きくすることができる。

[0417]

絶縁体571aは、導電体542aの上面に接して設けられており、絶縁体571bは、導電体542bの上面に接して設けられている。絶縁体571は、少なくとも酸素に対するバリア絶縁膜として機能することが好ましい。したがって、絶縁体571は、酸素の拡散を抑制する機能を有することが好ましい。例えば、絶縁体571は、絶縁体580よりも酸素の拡散を抑制する機能を有することが好ましい。絶縁体571としては、例えば、窒化シリコンなどのシリコンを含む窒化物を用いればよい。また、絶縁体571は、水素などの不純物を捕獲する機能を有することが好ましい。その場合、絶縁体571としては、アモルファス構造を有する金属酸化物、例えば、酸化アルミニウムまたは酸化マグネシウムなどの絶縁体を用いればよい。特に、絶縁体571として、アモルファス構造を有する酸化アルミニウム、またはアモルファス構造の酸化アルミニウムを用いることで、より効果的に水素を捕獲または固着できる場合があるため好ましい。これにより、良好な特性を有し、信頼性の高いトランジスタ500、および半導体装置を作製することができる。

[0418]

絶縁体544は、絶縁体524、酸化物530a、酸化物530b、導電体542、および絶縁体571を覆うように設けられる。絶縁体544として、水素を捕獲および水素を固着する機能を有することが好ましい。その場合、絶縁体544としては、窒化シリコンまたは、アモルファス構造を有する金属酸化物、例えば、酸化アルミニウムまたは酸化マグネシウムなどの絶縁体を含むことが好ましい。また、例えば、絶縁体544として、酸化アルミニウムと、当該酸化アルミニウム上の窒化シリコンの積層膜を用いてもよい。

[0419]

上記のような絶縁体571および絶縁体544を設けることで、酸素に対するバリア性を有する絶縁体で導電体542を包み込むことができる。つまり、絶縁体524、および絶縁体580に含まれる酸素が、導電体542に拡散するのを防ぐことができる。これにより、絶縁体524、および絶縁体580に含まれる酸素によって、導電体542が直接酸化されて抵抗率が増大し、オン電流が低減するのを抑制することができる。

[0420]

絶縁体552は、ゲート絶縁体の一部として機能する。絶縁体552としては、酸素に対するバ

リア絶縁膜を用いることが好ましい。絶縁体552としては、上述の絶縁体574に用いることができる絶縁体を用いればよい。絶縁体552として、アルミニウムおよびハフニウム的一方または双方の酸化物を含む絶縁体を用いるとよい。当該絶縁体として、酸化アルミニウム、酸化ハフニウム、アルミニウムおよびハフニウムを含む酸化物（ハフニウムアルミネート）、ハフニウムおよびシリコンを含む酸化物（ハフニウムシリケート）などを用いることができる。本実施の形態では、絶縁体552として、酸化アルミニウムを用いる。この場合、絶縁体552は、少なくとも酸素と、アルミニウムと、を有する絶縁体となる。

[0421]

図14Bに示すように、絶縁体552は、酸化物530bの上面および側面、酸化物530aの側面、絶縁体524の側面、および絶縁体522の上面に接して設けられる。つまり、酸化物530a、酸化物530b、および絶縁体524の導電体560と重なる領域は、チャネル幅方向の断面において、絶縁体552に覆われている。これにより、熱処理などを行った際に、酸化物530aおよび酸化物530bで酸素が脱離するのを、酸素に対するバリア性を有する絶縁体552でブロックすることができる。よって、酸化物530aおよび酸化物530bに酸素欠損(V_o)が形成されるのを低減することができる。これにより、領域530bcに形成される、酸素欠損(V_o)、およびV_oHを低減することができる。よって、トランジスタ500の電気特性を良好にし、信頼性を向上させることができる。

[0422]

また、逆に、絶縁体580および絶縁体550などに過剰な量の酸素が含まれていても、当該酸素が酸化物530aおよび酸化物530bに過剰に供給されるのを抑制することができる。よって、領域530bcを介して、領域530baおよび領域530bbが過剰に酸化され、トランジスタ500のオン電流の低下、または電界効果移動度の低下を起こすのを抑制することができる。

[0423]

また、図14Aに示すように、絶縁体552は、導電体542、絶縁体544、絶縁体571、および絶縁体580、それぞれの側面に接して設けられる。よって、導電体542の側面が酸化され、当該側面に酸化膜が形成されるのを低減することができる。これにより、トランジスタ500のオン電流の低下、または電界効果移動度の低下が起こるのを抑制することができる。

[0424]

また、絶縁体552は、絶縁体554、絶縁体550、および導電体560と、ともに、絶縁体580などに形成された開口に設ける必要がある。トランジスタ500の微細化を図るにあたって、絶縁体552の膜厚は薄いことが好ましい。絶縁体552の膜厚は、0.1nm以上、0.5nm以上、又は1.0nm以上とすることが好ましく、かつ1.0nm以下、3.0nm以下、又は5.0nm以下とすることが好ましい。なお、上述した下限値、及び上限値はそれぞれ組み合わせることができるものとする。この場合、絶縁体552は、少なくとも一部において、上記のような膜厚の領域を有していればよい。また、絶縁体552の膜厚は絶縁体550の膜厚より薄いことが好ましい。この場合、絶縁体552は、少なくとも一部において、絶縁体550より膜厚が薄い領域を有していればよい。

[0425]

絶縁体552を上記のように膜厚を薄く成膜するには、ALD法を用いて成膜することが好ましい。ALD法は、反応のための第1の原料ガス（前駆体、プリカーサ、または金属プリカーサとも

呼ぶ)と第2の原料ガス(反応剤、リアクタント、酸化剤、または非金属プリカーサとも呼ぶ)を交互にチャンバーに導入し、これらの原料ガスの導入を繰り返すことで成膜を行う方法である。ALD法には、プリカーサ及びリアクタントの反応を熱エネルギーのみで行う熱ALD(Thermal ALD)法、プラズマ励起されたリアクタントを用いるPEALD(Plasma Enhanced ALD)法などがある。PEALD法では、プラズマを利用することで、より低温での成膜が可能となり好ましい場合がある。

[0426]

ALD法は、原子の性質である自己制御性を利用し、一層ずつ原子を堆積することができるので、極薄の成膜が可能、アスペクト比の高い構造への成膜が可能、ピンホールなどの欠陥の少ない成膜が可能、被覆性に優れた成膜が可能、低温での成膜が可能、などの効果がある。よって、絶縁体552を絶縁体580などに形成された開口の側面などに被覆性良く、上記のような薄い膜厚で成膜することができる。

[0427]

なお、ALD法で用いるプリカーサには炭素などを含むものがある。このため、ALD法により設けられた膜は、他の成膜法により設けられた膜と比較して、炭素などの不純物を多く含む場合がある。なお、不純物の定量は、二次イオン質量分析法(SIMS: Secondary Ion Mass Spectrometry)、またはX線光電子分光法(XPS: X-ray Photoelectron Spectroscopy)を用いて行うことができる。

[0428]

絶縁体550は、ゲート絶縁体の一部として機能する。絶縁体550は、絶縁体552の上面に接して配置することが好ましい。絶縁体550は、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、フッ素を添加した酸化シリコン、炭素を添加した酸化シリコン、炭素および窒素を添加した酸化シリコン、空孔を有する酸化シリコンなどを用いることができる。特に、酸化シリコン、および酸化窒化シリコンは熱に対し安定であるため好ましい。この場合、絶縁体550は、少なくとも酸素とシリコンと、を有する絶縁体となる。

[0429]

絶縁体550は、絶縁体524と同様に、絶縁体550中の水、水素などの不純物濃度が低減されていることが好ましい。絶縁体550の膜厚は、1nm以上、又は0.5nm以上とすることが好ましく、かつ15nm以下、又は20nm以下とすることが好ましい。なお、上述した下限値、及び上限値はそれぞれ組み合わせることができるものとする。この場合、絶縁体550は、少なくとも一部において、上記のような膜厚の領域を有していればよい。

[0430]

図14A、及び図14Bなどでは、絶縁体550を単層とする構成について示したが、本発明はこれに限られず、2層以上の積層構造としてもよい。例えば図16Bに示すように、絶縁体550を、絶縁体550aと、絶縁体550a上の絶縁体550bの2層の積層構造にしてもよい。

[0431]

図16Bに示すように、絶縁体550を2層の積層構造とする場合、下層の絶縁体550aは、酸素を透過しやすい絶縁体を用いて形成し、上層の絶縁体550bは、酸素の拡散を抑制する機能を有する絶縁体を用いて形成することが好ましい。このような構成にすることで、絶縁体550aに含まれる酸素が、導電体560へ拡散するのを抑制することができる。つまり、酸化物530へ

供給する酸素量の減少を抑制することができる。また、絶縁体550aに含まれる酸素による導電体560の酸化を抑制することができる。例えば、絶縁体550aは、上述した絶縁体550に用いることができる材料を用いて設け、絶縁体550bは、アルミニウムおよびハフニウム的一方または双方の酸化物を含む絶縁体を用いるとよい。当該絶縁体として、酸化アルミニウム、酸化ハフニウム、アルミニウムおよびハフニウムを含む酸化物（ハフニウムアルミネート）、ハフニウムおよびシリコンを含む酸化物（ハフニウムシリケート）などを用いることができる。本実施の形態では、絶縁体550bとして、酸化ハフニウムを用いる。この場合、絶縁体550bは、少なくとも酸素と、ハフニウムと、を有する絶縁体となる。また、絶縁体550bの膜厚は、0.5nm以上、又は1.0nm以上とすることが好ましく、かつ3.0nm以下、又は5.0nm以下とすることが好ましい。なお、上述した下限値、及び上限値はそれぞれ組み合わせることができるものとする。この場合、絶縁体550bは、少なくとも一部において、上記のような膜厚の領域を有していればよい。

[0432]

なお、絶縁体550aに酸化シリコン、酸化窒化シリコンなどを用いる場合、絶縁体550bは、比誘電率が高いhigh-k材料である絶縁性材料を用いてもよい。ゲート絶縁体を、絶縁体550aと絶縁体550bとの積層構造とすることで、熱に対して安定、かつ比誘電率の高い積層構造とすることができる。したがって、ゲート絶縁体の物理膜厚を保持したまま、トランジスタ動作時に印加するゲート電位の低減化が可能となる。また、ゲート絶縁体として機能する絶縁体の等価酸化膜厚（EOT）の薄膜化が可能となる。よって、絶縁体550の絶縁耐圧を高くすることができる。

[0433]

絶縁体554は、ゲート絶縁体の一部として機能する。絶縁体554としては、水素に対するバリア絶縁膜を用いることが好ましい。これにより、導電体560に含まれる水素などの不純物が、絶縁体550、および酸化物530bに拡散するのを防ぐことができる。絶縁体554としては、上述した絶縁体576に用いることができる絶縁体を用いればよい。例えば、絶縁体554としてPEALD法で成膜した窒化シリコンを用いればよい。この場合、絶縁体554は、少なくとも窒素と、シリコンと、を有する絶縁体となる。

[0434]

また、絶縁体554が、さらに酸素に対するバリア性を有してもよい。これにより、絶縁体550に含まれる酸素が、導電体560へ拡散するのを抑制することができる。

[0435]

また、絶縁体554は、絶縁体552、絶縁体550、および導電体560と、ともに、絶縁体580などに形成された開口に設ける必要がある。トランジスタ500の微細化を図るにあたって、絶縁体554の膜厚は薄いことが好ましい。絶縁体554の膜厚は、0.1nm以上、0.5nm以上、又は1.0nm以上とすることが好ましく、かつ3.0nm以下、又は5.0nm以下とすることが好ましい。なお、上述した下限値、及び上限値はそれぞれ組み合わせることができるものとする。この場合、絶縁体554は、少なくとも一部において、上記のような膜厚の領域を有していればよい。また、絶縁体554の膜厚は絶縁体550の膜厚より薄いことが好ましい。この場合、絶縁体554は、少なくとも一部において、絶縁体550より膜厚が薄い領域を有していればよい。

[0436]

導電体560は、トランジスタ500の第1のゲート電極として機能する。導電体560は、導電体560aと、導電体560aの上に配置された導電体560bと、を有することが好ましい。例えば、導電体560aは、導電体560bの底面および側面を包むように配置されることが好ましい。また、図14Aおよび図14Bに示すように、導電体560の上部の高さの位置は、絶縁体550の上部の高さの位置と概略一致している。なお、図14Aおよび図14Bでは、導電体560は、導電体560aと導電体560bの2層構造として示しているが、導電体560は、当該2層構造以外としては、単層構造、又は3層以上の積層構造とすることができる。

[0437]

導電体560aは、水素原子、水素分子、水分子、窒素原子、窒素分子、酸化窒素分子、銅原子などの不純物の拡散を抑制する機能を有する導電性材料を用いることが好ましい。または、酸素（例えば、酸素原子、酸素分子などの少なくとも一）の拡散を抑制する機能を有する導電性材料を用いることが好ましい。

[0438]

また、導電体560aが酸素の拡散を抑制する機能を持つことにより、絶縁体550に含まれる酸素により、導電体560bが酸化して導電率が低下することを抑制することができる。酸素の拡散を抑制する機能を有する導電性材料としては、例えば、チタン、窒化チタン、タンタル、窒化タンタル、ルテニウム、酸化ルテニウムなどを用いることが好ましい。

[0439]

また、導電体560は、配線としても機能するため、導電性が高い導電体を用いることが好ましい。例えば、導電体560bは、タングステン、銅、またはアルミニウムを主成分とする導電性材料を用いることができる。また、導電体560bは、積層構造とすることができる。具体的には、例えば、導電体560bは、チタン、または窒化チタンと上記導電性材料との積層構造とすることができる。

[0440]

また、トランジスタ500では、導電体560は、絶縁体580などに形成されている開口を埋めるように自己整合的に形成される。導電体560をこのように形成することにより、導電体542aと導電体542bとの間の領域に、導電体560を位置合わせすることなく確実に配置することができる。

[0441]

また、図14Bに示すように、トランジスタ500のチャネル幅方向において、絶縁体522の底面を基準としたときの、導電体560の、導電体560と酸化物530bとが重ならない領域の底面の高さは、酸化物530bの底面の高さより低いことが好ましい。ゲート電極として機能する導電体560が、絶縁体550などを介して、酸化物530bのチャネル形成領域の側面および上面を覆う構成とすることで、導電体560の電界を酸化物530bのチャネル形成領域全体に作用させやすくなる。よって、トランジスタ500のオン電流を増大させ、周波数特性を向上させることができる。絶縁体522の底面を基準としたときの、酸化物530aおよび酸化物530bと、導電体560とが、重ならない領域における導電体560の底面の高さと、酸化物530bの底面の高さと、の差は、0nm以上、3nm以上、又は5nm以上とすることが好ましく、かつ20nm以下、50nm以下、又は100nm以下とすることが好ましい。なお、上述した下限値、及び上限値はそれぞれ組み合わせることができるものとする。

[0442]

絶縁体580は、絶縁体544上に設けられ、絶縁体550、および導電体560が設けられる領域に開口が形成されている。また、絶縁体580の上面は、平坦化されていてもよい。

[0443]

層間膜として機能する絶縁体580は、誘電率が低いことが好ましい。誘電率が低い材料を層間膜とすることで、配線間に生じる寄生容量を低減することができる。絶縁体580は、例えば、絶縁体516と同様の材料を用いて設けることが好ましい。特に、酸化シリコンおよび酸化窒化シリコンは、熱的に安定であるため好ましい。特に、酸化シリコン、酸化窒化シリコン、空孔を有する酸化シリコンなどの材料は、加熱により脱離する酸素を含む領域を容易に形成することができるため好ましい。

[0444]

絶縁体580は、絶縁体580中の水、水素などの不純物濃度は低減されていることが好ましい。例えば、絶縁体580は、酸化シリコン、酸化窒化シリコンなどのシリコンを含む酸化物を適宜用いればよい。

[0445]

絶縁体574は、水、水素などの不純物が、上方から絶縁体580に拡散するのを抑制するバリア絶縁膜として機能することが好ましく、水素などの不純物を捕獲する機能を有することが好ましい。また、絶縁体574は、酸素の透過を抑制するバリア絶縁膜として機能することが好ましい。絶縁体574としては、アモルファス構造を有する金属酸化物、例えば、酸化アルミニウムなどの絶縁体を用いればよい。この場合、絶縁体574は、少なくとも酸素と、アルミニウムと、を有する絶縁体となる。絶縁体512と絶縁体581に挟まれた領域内で、絶縁体580に接して、水素などの不純物を捕獲する機能を有する、絶縁体574を設けることで、絶縁体580などに含まれる水素などの不純物を捕獲し、当該領域内における、水素の量を一定値にすることができる。特に、絶縁体574として、アモルファス構造を有する酸化アルミニウムを用いることで、より効果的に水素を捕獲または固着できる場合があるため好ましい。これにより、良好な特性を有し、信頼性の高いトランジスタ500、および半導体装置を作製することができる。

[0446]

絶縁体576は、水、水素などの不純物が、上方から絶縁体580に拡散するのを抑制するバリア絶縁膜として機能する。絶縁体576は、絶縁体574の上に配置される。絶縁体576としては、窒化シリコンまたは窒化酸化シリコンなどの、シリコンを含む窒化物を用いることが好ましい。例えば、絶縁体576としてスパッタリング法で成膜された窒化シリコンを用いればよい。絶縁体576をスパッタリング法で成膜することで、密度が高い窒化シリコン膜を形成することができる。また、絶縁体576として、スパッタリング法で成膜された窒化シリコンの上に、さらに、PEALD法または、CVD法で成膜された窒化シリコンを積層してもよい。

[0447]

また、トランジスタ500の第1端子、又は第2端子の一方は、プラグとして機能する導電体540aに電氣的に接続され、トランジスタ500の第1端子、又は第2端子の他方は、導電体540bに電氣的に接続されている。なお、本明細書等では、導電体540a、及び導電体540bをまとめて導電体540と呼ぶこととする。

[0448]

導電体540aは、一例として、導電体542aと重畳する領域に設けられている。具体的には、導電体542aと重畳する領域において、図14Aに示す絶縁体571a、絶縁体544、絶縁体580、絶縁体574、絶縁体576、及び絶縁体581、更に図13に示す絶縁体582、及び絶縁体586には開口部が形成されており、導電体540aは、当該開口部の内側に設けられている。また、導電体540bは、一例として、導電体542bと重畳する領域に設けられている。具体的には、導電体542bと重畳する領域において、図14Aに示す絶縁体571b、絶縁体544、絶縁体580、絶縁体574、絶縁体576、及び絶縁体581、更に図13に示す絶縁体582、及び絶縁体586には開口部が形成されており、導電体540bは、当該開口部の内側に設けられている。なお、絶縁体582、及び絶縁体586については後述する。

[0449]

さらに、図14Aに示すとおり、導電体542aと重畳する領域の開口部の側面と導電体540aとの間には、不純物に対してバリア性を有する絶縁体として、絶縁体541aを設けてもよい。同様に、導電体542bと重畳する領域の開口部の側面と導電体540bとの間には、不純物に対してバリア性を有する絶縁体として、絶縁体541bを設けてもよい。なお、本明細書等では、絶縁体541a、及び絶縁体541bをまとめて絶縁体541と呼ぶこととする。

[0450]

導電体540aおよび導電体540bは、タングステン、銅、またはアルミニウムを主成分とする導電性材料を用いることが好ましい。また、導電体540aおよび導電体540bは積層構造としてもよい。

[0451]

また、導電体540を積層構造とする場合、絶縁体574、絶縁体576、絶縁体581、絶縁体580、絶縁体544、および絶縁体571の近傍に配置される第1の導電体には、水、水素などの不純物の透過を抑制する機能を有する導電性材料を用いることが好ましい。例えば、タンタル、窒化タンタル、チタン、窒化チタン、ルテニウム、酸化ルテニウムなどを用いることが好ましい。また、水、水素などの不純物の透過を抑制する機能を有する導電性材料は、単層または積層で用いてもよい。また、絶縁体576より上層に含まれる水、水素などの不純物が、導電体540aおよび導電体540bを通じて酸化物530に混入することを抑制することができる。

[0452]

絶縁体541aおよび絶縁体541bとしては、絶縁体544などに用いることができるバリア絶縁膜を用いればよい。例えば、絶縁体541aおよび絶縁体541bとして、窒化シリコン、酸化アルミニウム、窒化酸化シリコンなどの絶縁体を用いればよい。絶縁体541aおよび絶縁体541bは、絶縁体574、絶縁体576、および絶縁体571に接して設けられるので、絶縁体580などに含まれる水、水素などの不純物が、導電体540aおよび導電体540bを通じて酸化物530に混入するのを抑制することができる。特に、窒化シリコンは水素に対するブロッキング性が高いので好適である。また、絶縁体580に含まれる酸素が導電体540aおよび導電体540bに吸収されるのを防ぐことができる。

[0453]

絶縁体541aおよび絶縁体541bを、図14Aに示すように積層構造にする場合、絶縁体580などの開口の内壁に接する第1の絶縁体と、その内側の第2の絶縁体は、酸素に対するバリア絶縁膜と、水素に対するバリア絶縁膜を組み合わせる用いることが好ましい。

[0454]

例えば、第1の絶縁体として、ALD法で成膜された酸化アルミニウムを用い、第2の絶縁体として、PEALD法で成膜された窒化シリコンを用いればよい。このような構成にすることで、導電体540の酸化を抑制し、さらに、導電体540に水素が混入するのを低減することができる。

[0455]

なお、トランジスタ500では、絶縁体541の第1の絶縁体および絶縁体541の第2の絶縁体を積層する構成について示しているが、本発明はこれに限られるものではない。例えば、絶縁体541を単層、または3層以上の積層構造として設ける構成にしてもよい。また、トランジスタ500では、導電体540の第1の導電体および導電体540の第2の導電体を積層する構成について示しているが、本発明はこれに限られるものではない。例えば、導電体540を単層、または3層以上の積層構造として設ける構成にしてもよい。

[0456]

また、図13に示すとおり、導電体540aの上部、および導電体540bの上部に接して配線として機能する導電体610、導電体612などを配置してもよい。導電体610、導電体612は、タングステン、銅、またはアルミニウムを主成分とする導電性材料を用いることが好ましい。また、当該導電体は、積層構造としてもすることができる。具体的には、例えば、当該導電体は、チタン、または窒化チタンと上記導電性材料との積層としてもよい。なお、当該導電体は、絶縁体に設けられた開口に埋め込むように形成してもよい。

[0457]

なお、本発明の一隊の半導体装置に含まれるトランジスタの構造は、図13、図14A、図14B、及び図15に示したトランジスタ500に限定されない。本発明の一態様の半導体装置に含まれるトランジスタの構造は、状況に応じて、変更してもよい。

[0458]

例えば、図13、図14A、図14B、及び図15に示すトランジスタ500は、図17に示す構成としてもよい。図17のトランジスタは、酸化物543a、及び酸化物543bを有する点で、図13、図14A、図14B、及び図15に示すトランジスタ500と異なっている。なお、本明細書等では、酸化物543a、及び酸化物543bをまとめて酸化物543と呼ぶこととする。また、図17のトランジスタのチャネル幅方向の断面の構成については、図14Bに示すトランジスタ500の断面と同様の構成とすることができる。

[0459]

酸化物543aは、酸化物530bと導電体542aの間に設けられ、酸化物543bは、酸化物530bと導電体542bの間に設けられる。ここで、酸化物543aは、酸化物530bの上面、および導電体542aの下面に接することが好ましい。また、酸化物543bは、酸化物530bの上面、および導電体542bの下面に接することが好ましい。

[0460]

酸化物543は、酸素の透過を抑制する機能を有することが好ましい。ソース電極、又はドレイン電極として機能する導電体542と酸化物530bとの間に酸素の透過を抑制する機能を有する酸化物543を配置することで、導電体542と、酸化物530bとの間の電気抵抗が低減されるので好ましい。このような構成とすることで、トランジスタ500の電気特性、電界効果移動度、および信頼性を向上させることができる場合がある。

[0461]

また、酸化物543として、元素Mを有する金属酸化物を用いてもよい。特に、元素Mは、アルミニウム、ガリウム、イットリウム、または錫を用いるとよい。また、酸化物543は、酸化物530bよりも元素Mの濃度が高いことが好ましい。また、酸化物543として、酸化ガリウムを用いてもよい。また、酸化物543として、 I_n-M-Z_n 酸化物等の金属酸化物を用いてもよい。具体的には、酸化物に用いる金属酸化物において、 I_n に対する元素Mの原子数比が、酸化物530bに用いる金属酸化物における、 I_n に対する元素Mの原子数比より大きいことが好ましい。また、酸化物543の膜厚は、0.5nm以上、又は1nm以上であることが好ましく、かつ2nm以下、3nm以下、又は5nm以下であることが好ましい。なお、上述した下限値、及び上限値はそれぞれ組み合わせることができるものとする。また、酸化物543は、結晶性を有すると好ましい。酸化物543が結晶性を有する場合、酸化物530中の酸素の放出を好適に抑制することが出来る。例えば、酸化物543としては、六方晶などの結晶構造であれば、酸化物530中の酸素の放出を抑制できる場合がある。

[0462]

絶縁体581上には、絶縁体582が設けられ、絶縁体582上には絶縁体586が設けられている。

[0463]

絶縁体582は、酸素、及び水素に対してバリア性のある物質を用いることが好ましい。したがって、絶縁体582には、絶縁体514と同様の材料を用いることができる。例えば、絶縁体582には、酸化アルミニウム、酸化ハフニウム、酸化タンタルなどの金属酸化物を用いることが好ましい。

[0464]

また、絶縁体586は、絶縁体320と同様の材料を用いることができる。また、これらの絶縁体に、比較的誘電率が低い材料を適用することで、配線間に生じる寄生容量を低減することができる。例えば、絶縁体586として、酸化シリコン膜、酸化窒化シリコン膜などを用いることができる。

[0465]

続いて、図13、及び図15に示す半導体装置に含まれている、容量素子600、及びその周辺の配線、又はプラグについて説明する。なお、図13、及び図15に示すトランジスタ500の上方には、容量素子600と、配線、及び／又はプラグが設けられている。

[0466]

容量素子600は、一例として、導電体610と、導電体620と、絶縁体630とを有する。

[0467]

導電体540a又は導電体540bの一方、及び絶縁体586上には、導電体610が設けられている。導電体610は、容量素子600の一对の電極の一方としての機能を有する。

[0468]

また、導電体540a、又は導電体540bの他方、及び絶縁体586上には、導電体612が設けられる。導電体612は、トランジスタ500と、上方に配置される回路素子、配線等と、を電氣的に接続するプラグ、配線、端子などとしての機能を有する。

[0469]

なお、導電体612、及び導電体610は、同時に形成してもよい。

[0470]

導電体612、及び導電体610には、モリブデン、チタン、タンタル、タングステン、アルミニウム、銅、クロム、ネオジム、スカンジウムから選ばれた元素を含む金属膜、又は上述した元素を成分とする金属窒化物膜（窒化タンタル膜、窒化チタン膜、窒化モリブデン膜、窒化タングステン膜）等を用いることができる。又は、インジウム錫酸化物、酸化タングステンを含むインジウム酸化物、酸化タングステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム亜鉛酸化物、酸化ケイ素を添加したインジウム錫酸化物などの導電性材料を適用することもできる。

[0471]

図13では、導電体612、及び導電体610は単層構造を示したが、当該構成に限定されず、2層以上の積層構造でもよい。例えば、バリア性を有する導電体と導電性が高い導電体との間に、バリア性を有する導電体、及び導電性が高い導電体に対して密着性が高い導電体を形成してもよい。

[0472]

絶縁体586、導電体610上には、絶縁体630が設けられている。絶縁体630は、容量素子600の一对の電極に挟まれる誘電体として機能する。

[0473]

絶縁体630としては、例えば、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化アルミニウム、酸化窒化アルミニウム、窒化酸化アルミニウム、窒化アルミニウム、酸化ハフニウム、酸化窒化ハフニウム、窒化酸化ハフニウム、窒化ハフニウム、酸化ジルコニウムなどを用いることができる。また、絶縁体630は、上述した材料を用いて、積層または単層として設けることができる。

[0474]

また、例えば、絶縁体630には、酸化窒化シリコンなどの絶縁耐力が大きい材料と、高誘電率（high-k）材料との積層構造を用いてもよい。当該構成により、容量素子600は、高誘電率（high-k）の絶縁体を有することで、十分な容量を確保でき、絶縁耐力が大きい絶縁体を有することで、絶縁耐力が向上し、容量素子600の静電破壊を抑制することができる。

[0475]

なお、高誘電率（high-k）材料（高い比誘電率の材料）の絶縁体としては、酸化ガリウム、酸化ハフニウム、酸化ジルコニウム、アルミニウムおよびハフニウムを有する酸化物、アルミニウムおよびハフニウムを有する酸化窒化物、シリコンおよびハフニウムを有する酸化物、シリコンおよびハフニウムを有する酸化窒化物またはシリコンおよびハフニウムを有する窒化物などがある。

[0476]

または、絶縁体630は、例えば、酸化アルミニウム、酸化ハフニウム、酸化タンタル、酸化ジルコニウム、チタン酸ジルコン酸鉛（PZT）、チタン酸ストロンチウム（ SrTiO_3 ）または（Ba, Sr） TiO_3 （BST）などのhigh-k材料を含む絶縁体を単層または積層で用いてもよい。また、絶縁体630としては、ハフニウムと、ジルコニウムとが含まれる化合物などを用いても良い。半導体装置の微細化、および高集積化が進むと、ゲート絶縁体、および容量素子に用いる誘電体の薄膜化により、トランジスタ、容量素子などのリーク電流などの問題が生じる場合がある。ゲート絶縁体、および容量素子に用いる誘電体として機能する絶縁体にhigh-k材料

を用いることで、物理膜厚を保ちながら、トランジスタ動作時のゲート電位の低減、および容量素子の容量の確保が可能となる。

[0477]

特に、絶縁体630としては、例えば、強誘電性を有しうる材料を用いることによって、容量素子600を強誘電キャパシタとして用いることができる。

[0478]

絶縁体630を介して、導電体610と重畳するように、導電体620を設ける。導電体610は、容量素子600の一对の電極の一方としての機能を有し、導電体620は、容量素子600の一对の電極の他方としての機能を有する。

[0479]

なお、導電体620は、金属材料、合金材料、又は金属酸化物材料などの導電性材料を用いることができる。耐熱性と導電性を両立するタングステン、モリブデンなどの高融点材料を用いることが好ましく、特にタングステンを用いることが好ましい。また、導電体などの他の構造と同時に形成する場合は、低抵抗金属材料であるCu（銅）、Al（アルミニウム）等を用いればよい。また、例えば、導電体620は、導電体610に適用できる材料を用いることができる。また、導電体620は、単層構造ではなく、2層以上の積層構造としてもよい。

[0480]

導電体620、及び絶縁体630上には、絶縁体640が設けられている。絶縁体640としては、例えば、トランジスタ500が設けられている領域に、水素、不純物などが拡散しないようなバリア性を有する膜を用いることが好ましい。したがって、絶縁体324と同様の材料を用いることができる。

[0481]

絶縁体640上には、絶縁体650が設けられている。絶縁体650は、絶縁体320と同様の材料を用いて設けることができる。また、絶縁体650は、その下方の凹凸形状を被覆する平坦化膜として機能してもよい。そのため、絶縁体650としては、例えば、絶縁体324に適用できる材料とすることができる。

[0482]

ところで、図13、及び図15に示す容量素子600は、プレーナ型としているが、容量素子の形状はこれに限定されない。容量素子600は、プレーナ型ではなく、例えば、シリンダ型としてもよい。

[0483]

また、容量素子600の上方には、配線層を設けてもよい。例えば、図13において、絶縁体411、絶縁体412、絶縁体413、及び絶縁体414が、絶縁体650の上方に、順に設けられている。また、絶縁体411、絶縁体412、及び絶縁体413には、プラグ、又は配線として機能する導電体416が設けられている構成を示している。また、導電体416は、一例として、後述する導電体660に重畳する領域に設けることができる。

[0484]

また、絶縁体630、絶縁体640、及び絶縁体650には、導電体612と重畳する領域に開口部が設けられ、当該開口部を埋めるように導電体660が設けられている。導電体660は、上述した配線層に含まれている導電体416に電氣的に接続するプラグ、配線として機能する。

[0485]

絶縁体411、及び絶縁体414は、例えば、絶縁体324などと同様に、水、水素などの不純物に対するバリア性を有する絶縁体を用いることが好ましい。そのため、絶縁体411、及び絶縁体414としては、例えば、絶縁体324などに適用できる材料を用いることができる。

[0486]

絶縁体412、及び絶縁体413は、例えば、絶縁体326と同様に、配線間に生じる寄生容量を低減するために、比誘電率が比較的低い絶縁体を用いることが好ましい。

[0487]

また、導電体612、及び導電体416は、例えば、導電体328、及び導電体330と同様の材料を用いて設けることができる。

[0488]

<半導体装置の構成例2>

次に、上述した半導体装置に、FTJ素子を備えた場合の構成例を説明する。

[0489]

図18は、図13に示した半導体装置において、絶縁体582の上面に位置する容量素子600をFTJ素子700に変更した例を示している。

[0490]

具体的には、FTJ素子700は、一例として、下部電極として機能する導電体610と、上部電極として機能する導電体620と、絶縁体632と、絶縁体631と、を有する。特に、絶縁体631としては、強誘電性を有する材料を用いることができる。

[0491]

なお、強誘電性を有する材料としては、酸化ハフニウム、酸化ジルコニウム、酸化ジルコニウムハフニウム、酸化ハフニウムに元素J1（ここでの元素J1は、ジルコニウム（Zr）、シリコン（Si）、アルミニウム（Al）、ガドリニウム（Gd）、イットリウム（Y）、ランタン（La）、ストロンチウム（Sr）など。）を添加した材料、酸化ジルコニウムに元素J2（ここでの元素J2は、ハフニウム（Hf）、シリコン（Si）、アルミニウム（Al）、ガドリニウム（Gd）、イットリウム（Y）、ランタン（La）、ストロンチウム（Sr）など。）を添加した材料、などが挙げられる。また、強誘電性を有する材料として、チタン酸鉛、チタン酸バリウムストロンチウム（BST）、チタン酸ストロンチウム、チタン酸ジルコン酸鉛（PZT）、タンタル酸ビスマス酸ストロンチウム（SBT）、ビスマスフェライト（BFO）、チタン酸バリウム、などのペロブスカイト構造を有する圧電性セラミックを用いてもよい。また、強誘電性を有する材料としては、例えば、上記に列挙した材料から選ばれた混合物又は化合物とすることができる。又は、強誘電性を有する材料としては、上記に列挙した材料から選ばれた複数の材料からなる積層構造とすることができる。ところで、酸化ハフニウム、酸化ジルコニウム、酸化ジルコニウムハフニウム、および酸化ハフニウムに元素J1を添加した材料などは、成膜条件だけでなく、各種プロセスなどによっても結晶構造（特性）が変わり得る可能性があるため、本明細書等では、上述した材料は強誘電体だけでなく、強誘電性を有する材料とも呼ばれる。

[0492]

中でも強誘電性を有する材料として、酸化ハフニウム、あるいは酸化ハフニウムおよび酸化ジルコニウムを有する材料は、数nmといった薄膜に加工しても強誘電性を有することができるた

め、好ましい。ここで、絶縁体631の膜厚は、100nm以下、好ましくは50nm以下、より好ましくは20nm以下、さらに好ましくは10nm以下にすることができる。薄膜化された強誘電体層を用いることによって、強誘電体キャパシタを、微細化されたトランジスタ500に組み合わせて半導体装置を形成することができる。

[0493]

図18において、導電体610、及び導電体612は、図13の導電体610、及び導電体612と同様の材料とすることができる。また、図18において、導電体610、及び導電体612は、図13の導電体610、及び導電体612と同様の方法で形成することができる。

[0494]

また、図18において、絶縁体632は、導電体610と、絶縁体586の一部の領域と、の上面に設けられている。また、絶縁体631は、絶縁体632の上面に設けられ、導電体620は、絶縁体631の上面に設けられている。

[0495]

絶縁体632は、FTJ素子700におけるトンネル絶縁膜として機能する。絶縁体632としては、例えば、酸化シリコン、窒化シリコン、酸化シリコンと窒化シリコンの積層などを用いることができる。

[0496]

また、図18において、絶縁体640は、絶縁体632の端部を含む領域と、絶縁体631の端部を含む領域と、導電体620と、絶縁体586の一部の領域と、の上面に設けられている。

[0497]

絶縁体640としては、例えば、図13の絶縁体640に適用できる材料を用いることができる。

[0498]

図18のとおり、FTJ素子700の構成を適用することによって、図13に示した半導体装置に、FTJ素子を設けることができる。

[0499]

なお、図18に示したFTJ素子700は、例えば、上記実施の形態で示した、FTJ素子FJA bとすることができる。なお、トンネル絶縁膜として機能する絶縁体632と、強誘電性を有する材料を含む絶縁体631と、の積層順を変えることで、FTJ素子700をFTJ素子FJA aとすることができる。

[0500]

例えば、図18に示したトンネル絶縁膜として機能する絶縁体632と、強誘電性を有する材料を含む絶縁体631と、の積層順を入れ換えた構成を図19に示す。図19に示したFTJ素子700は、例えば、上記実施の形態で示した、FTJ素子FJA aとすることができる。

[0501]

次に、図18とは異なる、強誘電キャパシタを備えた場合の半導体装置の構成例について、説明する。

[0502]

図20に示す半導体装置は、図18の半導体装置の変形例であって、絶縁体571、絶縁体544、絶縁体574、絶縁体576、絶縁体581、絶縁体641、絶縁体642などによって、トランジスタ500と、FTJ素子700を取り囲む構造となっている。

[0503]

また、図13、及び図18のそれぞれの半導体装置では、基板310から絶縁体574までが順に設けられた後に、絶縁体514まで達する開口部が設けられているが、図20の半導体装置では、基板310から絶縁体640までが順に設けられた後に、絶縁体514まで達する開口部が設けられている。

[0504]

また、図20の半導体装置において、当該開口部の底部と、絶縁体640と、の上面には、絶縁体641、絶縁体642、及び絶縁体650が順に設けられている。

[0505]

絶縁体641、絶縁体642は、例えば、水、水素などの不純物が、トランジスタ500、及びFTJ素子700の上方からトランジスタ500、及びFTJ素子700に拡散するのを抑制するバリア絶縁膜として機能することが好ましい。

[0506]

絶縁体641の成膜方法としては、例えば、スパッタリング法を用いることができる。例えば、絶縁体641として、スパッタリング法で成膜した窒化シリコンを用いることができる。スパッタリング法は、成膜ガスに水素を含む分子を用いなくてよいので、絶縁体641の水素濃度を低減することができる。このように、導電体610、導電体612、及び絶縁体586に接する絶縁体641の水素濃度が低減されていることで、絶縁体641から、導電体610、導電体612、及び絶縁体586に水素が拡散することを抑制できる。

[0507]

絶縁体642としては、例えば、ALD法、特にPEALD法を用いて成膜することが好ましい。例えば、絶縁体642として、PEALD法で成膜した窒化シリコンを用いることができる。これにより、絶縁体642を被覆性良く成膜することができるので、下地の凹凸によって絶縁体641にピンホールまたは段切れなどが形成されたとしても、絶縁体642でそれらを覆うことで、水素が導電体610、導電体612、及び絶縁体586に拡散することを低減することができる。

[0508]

図20に示す構成を適用することによって、水、水素などの不純物が、絶縁体512、絶縁体514、絶縁体641、絶縁体642などを介して、トランジスタ500、及びFTJ素子700側への拡散を防ぐことができる。また、絶縁体580などに含まれる酸素が、絶縁体574、絶縁体641、絶縁体642などを介して、外部への拡散を防ぐことができる。

[0509]

酸化物半導体を有するトランジスタを用いた半導体装置に、本実施の形態で説明した本構造を適用することにより、当該トランジスタの電気特性の変動を抑制するとともに、信頼性を向上させることができる。

[0510]

また、酸化物半導体を有するトランジスタを用いた半導体装置において、積層構造、微細化、高集積化などを図ることで、半導体装置を構成する回路の面積を低減することができる。特に、半導体装置において、トランジスタと、FTJ素子と、を積層して設けることによって、半導体装置の回路面積の増加を抑えつつ、回路規模を大きくすることができる。

[0511]

なお、本実施の形態は、本明細書で示す他の実施の形態と適宜組み合わせることができる。

[0512]

(実施の形態4)

本実施の形態では、上記の実施の形態で説明したOSトランジスタに用いることができる金属酸化物（以下、酸化物半導体ともいう。）について説明する。

[0513]

金属酸化物は、少なくともインジウムまたは亜鉛を含むことが好ましい。特にインジウムおよび亜鉛を含むことが好ましい。また、それらに加えて、アルミニウム、ガリウム、イットリウム、スズなどが含まれていることが好ましい。また、ホウ素、シリコン、チタン、鉄、ニッケル、ゲルマニウム、ジルコニウム、モリブデン、ランタン、セリウム、ネオジム、ハフニウム、タンタル、タングステン、マグネシウム、コバルトなどから選ばれた一種、または複数種が含まれていてもよい。

[0514]

<結晶構造の分類>

まず、酸化物半導体における、結晶構造の分類について、図21Aを用いて説明を行う。図21Aは、酸化物半導体、代表的にはIGZO（Inと、Gaと、Znと、を含む金属酸化物）の結晶構造の分類を説明する図である。

[0515]

図21Aに示すように、酸化物半導体は、大きく分けて「Amorphous（無定形）」と、「Crystalline（結晶性）」と、「Crystal（結晶）」と、に分類される。また、「Amorphous」の中には、completely amorphousが含まれる。また、「Crystalline」の中には、CAAC（c-axis-aligned crystalline）、nc（nanocrystalline）、及びCAC（Cloud-Aligned Composite）が含まれる（excluding single crystal and polycrystal）。なお、「Crystalline」の分類には、single crystal、polycrystal、及びcompletely amorphousは除かれる。また、「Crystal」の中には、single crystal、及びpolycrystalが含まれる。

[0516]

なお、図21Aに示す太枠内の構造は、「Amorphous（無定形）」と、「Crystal（結晶）」との間の中間状態であり、新しい境界領域（New crystalline phase）に属する構造である。すなわち、当該構造は、エネルギー的に不安定な「Amorphous（無定形）」、及び「Crystal（結晶）」とは全く異なる構造と言い換えることができる。

[0517]

なお、膜または基板の結晶構造は、X線回折（XRD：X-Ray Diffraction）スペクトルを用いて評価することができる。ここで、「Crystalline」に分類されるCAAC-IGZO膜のGIXD（Grazing-Incidence XRD）測定で得られるXRDスペクトルを図21Bに示す（横軸は 2θ [deg.]とし、また、縦軸は強度（Intensity）を任意単位（a. u.）で表している）。なお、GIXD法は、薄膜法またはSee mann-Bohlin法ともいう。以降、図21Bに示すGIXD測定で得られるXRDスペク

トルを、単にXRDスペクトルと記す場合がある。なお、図21Bに示すCAAC-IGZO膜の組成は、 $\text{In}:\text{Ga}:\text{Zn}=4:2:3$ [原子数比] 近傍である。また、図21Bに示すCAAC-IGZO膜の厚さは、500nmである。

[0518]

図21Bに示すように、CAAC-IGZO膜のXRDスペクトルでは、明確な結晶性を示すピークが検出される。具体的には、CAAC-IGZO膜のXRDスペクトルでは、 $2\theta=31^\circ$ 近傍に、c軸配向を示すピークが検出される。なお、図21Bに示すように、 $2\theta=31^\circ$ 近傍のピークは、ピーク強度が検出された角度を軸に左右非対称である。

[0519]

また、膜または基板の結晶構造は、極微電子線回折法 (NBED: Nano Beam Electron Diffraction) によって観察される回折パターン (極微電子線回折パターンともいう。) にて評価することができる。CAAC-IGZO膜の回折パターンを、図21Cに示す。図21Cは、電子線を基板に対して平行に入射するNBEDによって観察される回折パターンである。なお、図21Cに示すCAAC-IGZO膜の組成は、 $\text{In}:\text{Ga}:\text{Zn}=4:2:3$ [原子数比] 近傍である。また、極微電子線回折法では、プローブ径を1nmとして電子線回折が行われる。

[0520]

図21Cに示すように、CAAC-IGZO膜の回折パターンでは、c軸配向を示す複数のスポットが観察される。

[0521]

<<酸化物半導体の構造>>

なお、酸化物半導体は、結晶構造に着目した場合、図21Aとは異なる分類となる場合がある。例えば、酸化物半導体は、単結晶酸化物半導体と、それ以外の非単結晶酸化物半導体と、に分けられる。非単結晶酸化物半導体としては、例えば、上述のCAAC-OS、及びnc-OSがある。また、非単結晶酸化物半導体には、多結晶酸化物半導体、擬似非晶質酸化物半導体 (a-like OS: amorphous-like oxide semiconductor)、非晶質酸化物半導体、などが含まれる。

[0522]

ここで、上述のCAAC-OS、nc-OS、及びa-like OSの詳細について、説明を行う。

[0523]

[CAAC-OS]

CAAC-OSは、複数の結晶領域を有し、当該複数の結晶領域はc軸が特定の方向に配向している酸化物半導体である。なお、特定の方向とは、CAAC-OS膜の厚さ方向、CAAC-OS膜の被形成面の法線方向、またはCAAC-OS膜の表面の法線方向である。また、結晶領域とは、原子配列に周期性を有する領域である。なお、原子配列を格子配列とみなすと、結晶領域とは、格子配列の揃った領域でもある。さらに、CAAC-OSは、a-b面方向において複数の結晶領域が連結する領域を有し、当該領域は歪みを有する場合がある。なお、歪みとは、複数の結晶領域が連結する領域において、格子配列の揃った領域と、別の格子配列の揃った領域と、の間で格子配列の向きが変化している箇所を指す。つまり、CAAC-OSは、c軸配向し、a-b面方向には明

らかな配向をしていない酸化物半導体である。

[0524]

なお、上記複数の結晶領域のそれぞれは、1つまたは複数の微小な結晶（最大径が10nm未満である結晶）で構成される。結晶領域が1つの微小な結晶で構成されている場合、当該結晶領域の最大径は10nm未満となる。また、結晶領域が多数の微小な結晶で構成されている場合、当該結晶領域の大きさは、数十nm程度となる場合がある。

[0525]

また、In-M-Zn酸化物（元素Mは、アルミニウム、ガリウム、イットリウム、スズ、チタンなどから選ばれた一種、または複数種）において、CAAC-OSは、インジウム（In）、及び酸素を有する層（以下、In層）と、元素M、亜鉛（Zn）、及び酸素を有する層（以下、（M, Zn）層）とが積層した、層状の結晶構造（層状構造ともいう）を有する傾向がある。なお、インジウムと元素Mは、互いに置換可能である。よって、（M, Zn）層にはインジウムが含まれる場合がある。また、In層には元素Mが含まれる場合がある。なお、In層にはZnが含まれる場合もある。当該層状構造は、例えば、高分解能TEM像において、格子像として観察される。

[0526]

CAAC-OS膜に対し、例えば、XRD装置を用いて構造解析を行うと、 $\theta/2\theta$ スキャンを用いたOut-of-plane XRD測定では、c軸配向を示すピークが $2\theta = 31^\circ$ またはその近傍に検出される。なお、c軸配向を示すピークの位置（ 2θ の値）は、CAAC-OSを構成する金属元素の種類、組成などにより変動する場合がある。

[0527]

また、例えば、CAAC-OS膜の電子線回折パターンにおいて、複数の輝点（スポット）が観測される。なお、あるスポットと別のスポットとは、試料を透過した入射電子線のスポット（ダイレクトスポットともいう。）を対称中心として、点対称の位置に観測される。

[0528]

上記特定の方向から結晶領域を観察した場合、当該結晶領域内の格子配列は、六方格子を基本とするが、単位格子は正六角形とは限らず、非正六角形である場合がある。また、上記歪みにおいて、五角形、七角形などの格子配列を有する場合がある。なお、CAAC-OSにおいて、歪み近傍においても、明確な結晶粒界（グレインバウンダリー）を確認することはできない。即ち、格子配列の歪みによって、結晶粒界の形成が抑制されていることがわかる。これは、CAAC-OSが、a-b面方向において酸素原子の配列が稠密でないこと、金属原子が置換することで原子間の結合距離が変化すること、などによって、歪みを許容することができるためと考えられる。

[0529]

なお、明確な結晶粒界が確認される結晶構造は、いわゆる多結晶（polycrystal）と呼ばれる。結晶粒界は、再結合中心となり、キャリアが捕獲されトランジスタのオン電流の低下、電界効果移動度の低下などを引き起こす可能性が高い。よって、明確な結晶粒界が確認されないCAAC-OSは、トランジスタの半導体層に好適な結晶構造を有する結晶性の酸化物の一つである。なお、CAAC-OSを構成するには、Znを有する構成が好ましい。例えば、In-Zn酸化物、及びIn-Ga-Zn酸化物は、In酸化物よりも結晶粒界の発生を抑制できるため好適である。

[0530]

CAAC-OSは、結晶性が高く、明確な結晶粒界が確認されない酸化物半導体である。よって、

CAAC-OSは、結晶粒界に起因する電子移動度の低下が起こりにくいといえる。また、酸化物半導体の結晶性は不純物の混入、及び欠陥の生成などによって低下する場合があるため、CAAC-OSは不純物、欠陥（酸素欠損など）などの少ない酸化物半導体ともいえる。従って、CAAC-OSを有する酸化物半導体は、物理的性質が安定する。そのため、CAAC-OSを有する酸化物半導体は熱に強く、信頼性が高い。また、CAAC-OSは、製造工程における高い温度（所謂サーマルバジェット）に対しても安定である。したがって、OSトランジスタにCAAC-OSを用いると、製造工程の自由度を広げることが可能となる。

[0531]

[nc-OS]

nc-OSは、微小な領域（例えば、1 nm以上10 nm以下の領域、特に1 nm以上3 nm以下の領域）において原子配列に周期性を有する。別言すると、nc-OSは、微小な結晶を有する。なお、当該微小な結晶の大きさは、例えば、1 nm以上10 nm以下、特に1 nm以上3 nm以下であることから、当該微小な結晶をナノ結晶ともいう。また、nc-OSは、異なるナノ結晶間で結晶方位に規則性が見られない。そのため、膜全体で配向性が見られない。したがって、nc-OSは、分析方法によっては、a-like OS、及び非晶質酸化物半導体と区別が付かない場合がある。例えば、nc-OS膜に対し、XRD装置を用いて構造解析を行うと、 $\theta/2\theta$ スキャンを用いたOut-of-plane XRD測定では、結晶性を示すピークが検出されない。また、nc-OS膜に対し、ナノ結晶よりも大きいプローブ径（例えば50 nm以上）の電子線を用いる電子線回折（制限視野電子線回折ともいう。）を行うと、ハローパターンのような回折パターンが観測される。一方、nc-OS膜に対し、ナノ結晶の大きさと近いナノ結晶より小さいプローブ径（例えば1 nm以上30 nm以下）の電子線を用いる電子線回折（ナノビーム電子線回折ともいう。）を行うと、ダイレクトスポットを中心とするリング状の領域内に複数のスポットが観測される電子線回折パターンが取得される場合がある。

[0532]

[a-like OS]

a-like OSは、nc-OSと非晶質酸化物半導体との間の構造を有する酸化物半導体である。a-like OSは、鬆又は低密度領域を有する。即ち、a-like OSは、nc-OS及びCAAC-OSと比べて、結晶性が低い。また、a-like OSは、nc-OS及びCAAC-OSと比べて、膜中の水素濃度が高い。

[0533]

<<酸化物半導体の構成>>

次に、上述のCAC-OSの詳細について、説明を行う。なお、CAC-OSは材料構成に関する。

[0534]

[CAC-OS]

CAC-OSとは、例えば、金属酸化物を構成する元素が、0.5 nm以上10 nm以下、好ましくは、1 nm以上3 nm以下、またはその近傍のサイズで偏在した材料の一構成である。なお、以下では、金属酸化物において、一つまたは複数の金属元素が偏在し、該金属元素を有する領域が、0.5 nm以上10 nm以下、好ましくは、1 nm以上3 nm以下、またはその近傍のサイズで混合した状態をモザイク状、またはパッチ状ともいう。

[0535]

さらに、CAC-OSとは、第1の領域と、第2の領域と、に材料が分離することでモザイク状となり、当該第1の領域が、膜中に分布した構成（以下、クラウド状ともいう。）である。つまり、CAC-OSは、当該第1の領域と、当該第2の領域とが、混合している構成を有する複合金属酸化物である。

[0536]

ここで、In-Ga-Zn酸化物におけるCAC-OSを構成する金属元素に対するIn、Ga、およびZnの原子数比のそれぞれを、[In]、[Ga]、および[Zn]と表記する。例えば、In-Ga-Zn酸化物におけるCAC-OSにおいて、第1の領域は、[In]が、CAC-OS膜の組成における[In]よりも大きい領域である。また、第2の領域は、[Ga]が、CAC-OS膜の組成における[Ga]よりも大きい領域である。または、例えば、第1の領域は、[In]が、第2の領域における[In]よりも大きく、且つ、[Ga]が、第2の領域における[Ga]よりも小さい領域である。また、第2の領域は、[Ga]が、第1の領域における[Ga]よりも大きく、且つ、[In]が、第1の領域における[In]よりも小さい領域である。

[0537]

具体的には、上記第1の領域は、インジウム酸化物、インジウム亜鉛酸化物などが主成分である領域である。また、上記第2の領域は、ガリウム酸化物、ガリウム亜鉛酸化物などが主成分である領域である。つまり、上記第1の領域を、Inを主成分とする領域と言い換えることができる。また、上記第2の領域を、Gaを主成分とする領域と言い換えることができる。

[0538]

なお、上記第1の領域と、上記第2の領域とは、明確な境界が観察できない場合がある。

[0539]

例えば、In-Ga-Zn酸化物におけるCAC-OSでは、エネルギー分散型X線分光法（EDX: Energy Dispersive X-ray spectroscopy）を用いて取得したEDXマッピングにより、Inを主成分とする領域（第1の領域）と、Gaを主成分とする領域（第2の領域）とが、偏在し、混合している構造を有することが確認できる。

[0540]

CAC-OSをトランジスタに用いる場合、第1の領域に起因する導電性と、第2の領域に起因する絶縁性とが、相補的に作用することにより、スイッチングさせる機能（On/Offさせる機能）をCAC-OSに付与することができる。つまり、CAC-OSとは、材料の一部では導電性の機能と、材料の一部では絶縁性の機能とを有し、材料の全体では半導体としての機能を有する。導電性の機能と絶縁性の機能とを分離させることで、双方の機能を最大限に高めることができる。よって、CAC-OSをトランジスタに用いることで、高いオン電流（ I_{on} ）、高い電界効果移動度（ μ ）、および良好なスイッチング動作を実現することができる。

[0541]

酸化物半導体は、多様な構造をとり、それぞれが異なる特性を有する。本発明の一態様の酸化物半導体は、非晶質酸化物半導体、多結晶酸化物半導体、a-like OS、CAC-OS、nc-OS、CAAC-OSのうち、二種以上を有していてもよい。

[0542]

<酸化物半導体を有するトランジスタ>

続いて、上記酸化物半導体をトランジスタに用いる場合について説明する。

[0543]

上記酸化物半導体をトランジスタに用いることで、高い電界効果移動度のトランジスタを実現することができる。また、信頼性の高いトランジスタを実現することができる。

[0544]

トランジスタには、キャリア濃度の低い酸化物半導体を用いることが好ましい。例えば、酸化物半導体のキャリア濃度は $1 \times 10^{17} \text{ cm}^{-3}$ 以下、好ましくは $1 \times 10^{15} \text{ cm}^{-3}$ 以下、さらに好ましくは $1 \times 10^{13} \text{ cm}^{-3}$ 以下、より好ましくは $1 \times 10^{11} \text{ cm}^{-3}$ 以下、さらに好ましくは $1 \times 10^{10} \text{ cm}^{-3}$ 未満であり、 $1 \times 10^{-9} \text{ cm}^{-3}$ 以上である。なお、酸化物半導体膜のキャリア濃度を低くする場合においては、酸化物半導体膜中の不純物濃度を低くし、欠陥準位密度を低くすればよい。本明細書等において、不純物濃度が低く、欠陥準位密度の低いことを高純度真性又は実質的に高純度真性と言う。なお、キャリア濃度の低い酸化物半導体を、高純度真性又は実質的に高純度真性な酸化物半導体と呼称する場合がある。

[0545]

また、高純度真性又は実質的に高純度真性である酸化物半導体膜は、欠陥準位密度が低いため、トラップ準位密度も低くなる場合がある。

[0546]

また、酸化物半導体のトラップ準位に捕獲された電荷は、消失するまでに要する時間が長く、あたかも固定電荷のように振る舞うことがある。そのため、トラップ準位密度の高い酸化物半導体にチャネル形成領域が形成されるトランジスタは、電気特性が不安定となる場合がある。

[0547]

従って、トランジスタの電気特性を安定にするためには、酸化物半導体中の不純物濃度を低減することが有効である。また、酸化物半導体中の不純物濃度を低減するためには、近接する膜中の不純物濃度も低減することが好ましい。不純物としては、水素、窒素、アルカリ金属、アルカリ土類金属、鉄、ニッケル、シリコン等がある。

[0548]

<不純物>

ここで、酸化物半導体中における各不純物の影響について説明する。

[0549]

酸化物半導体において、第14族元素の一つであるシリコン、炭素が含まれると、酸化物半導体において欠陥準位が形成される。このため、酸化物半導体におけるシリコン、炭素の濃度と、酸化物半導体との界面近傍のシリコン、炭素の濃度（二次イオン質量分析法（SIMS: Secondary Ion Mass Spectrometry）により得られる濃度）を、 $2 \times 10^{18} \text{ atoms/cm}^3$ 以下、好ましくは $2 \times 10^{17} \text{ atoms/cm}^3$ 以下とする。

[0550]

また、酸化物半導体にアルカリ金属又はアルカリ土類金属が含まれると、欠陥準位を形成し、キャリアを生成する場合がある。従って、アルカリ金属又はアルカリ土類金属が含まれている酸化物半導体を用いたトランジスタはノーマリーオン特性となりやすい。このため、SIMSにより得られる酸化物半導体中のアルカリ金属又はアルカリ土類金属の濃度を、 $1 \times 10^{18} \text{ atoms/cm}^3$ 以下、好ましくは $2 \times 10^{16} \text{ atoms/cm}^3$ 以下にする。

[0551]

また、酸化物半導体において、窒素が含まれると、キャリアである電子が生じ、キャリア濃度が増加し、n型化しやすい。この結果、窒素が含まれている酸化物半導体を半導体に用いたトランジスタはノーマリーオン特性となりやすい。または、酸化物半導体において、窒素が含まれると、トラップ準位が形成される場合がある。この結果、トランジスタの電気特性が不安定となる場合がある。このため、SIMSにより得られる酸化物半導体中の窒素濃度を、 $5 \times 10^{19} \text{ atoms/cm}^3$ 未満、好ましくは $5 \times 10^{18} \text{ atoms/cm}^3$ 以下、より好ましくは $1 \times 10^{18} \text{ atoms/cm}^3$ 以下、さらに好ましくは $5 \times 10^{17} \text{ atoms/cm}^3$ 以下にする。

[0552]

また、酸化物半導体に含まれる水素は、金属原子と結合する酸素と反応して水になるため、酸素欠損を形成する場合がある。該酸素欠損に水素が入ることで、キャリアである電子が生成される場合がある。また、水素の一部が金属原子と結合する酸素と結合して、キャリアである電子を生成することがある。従って、水素が含まれている酸化物半導体を用いたトランジスタはノーマリーオン特性となりやすい。このため、酸化物半導体中の水素はできる限り低減されていることが好ましい。具体的には、酸化物半導体において、SIMSにより得られる水素濃度を、 $1 \times 10^{20} \text{ atoms/cm}^3$ 未満、好ましくは $1 \times 10^{19} \text{ atoms/cm}^3$ 未満、より好ましくは $5 \times 10^{18} \text{ atoms/cm}^3$ 未満、さらに好ましくは $1 \times 10^{18} \text{ atoms/cm}^3$ 未満にする。

[0553]

不純物が十分に低減された酸化物半導体をトランジスタのチャネル形成領域に用いることで、安定した電気特性を付与することができる。

[0554]

なお、本実施の形態は、本明細書で示す他の実施の形態と適宜組み合わせることができる。

[0555]

(実施の形態5)

本実施の形態は、上記実施の形態に示す記憶装置などが形成された半導体ウェハ、及び当該記憶装置が組み込まれた電子部品の一例を示す。

[0556]

<半導体ウェハ>

初めに、記憶装置などが形成された半導体ウェハの例を、図22Aを用いて説明する。

[0557]

図22Aに示す半導体ウェハ4800は、ウェハ4801と、ウェハ4801の上面に設けられた複数の回路部4802と、を有する。なお、ウェハ4801の上面において、回路部4802の無い部分は、スペーシング4803であり、ダイシング用の領域である。

[0558]

半導体ウェハ4800は、ウェハ4801の表面に対して、前工程によって複数の回路部4802を形成することで作製することができる。また、その後、ウェハ4801の複数の回路部4802が形成された反対側の面を研削して、ウェハ4801を薄膜化してもよい。この工程により、ウェハ4801の反りなどを低減し、部品としての小型化を図ることができる。

[0559]

次の工程としては、ダイシング工程が行われる。ダイシングは、一点鎖線で示したスクライブラ

インＳＣＬ１及びスクライブラインＳＣＬ２（ダイシングライン、又は切断ラインと呼ぶ場合がある）に沿って行われる。なお、スペーシング４８０３は、ダイシング工程を容易に行うために、複数のスクライブラインＳＣＬ１が平行になるように設け、複数のスクライブラインＳＣＬ２が平行になるように設け、スクライブラインＳＣＬ１とスクライブラインＳＣＬ２が垂直になるように設けるのが好ましい。

[０５６０]

ダイシング工程を行うことにより、図２２Ｂに示すようなチップ４８００ａを、半導体ウェハ４８００から切り出すことができる。チップ４８００ａは、ウェハ４８０１ａと、回路部４８０２と、スペーシング４８０３ａと、を有する。なお、スペーシング４８０３ａは、極力小さくなるようにするのが好ましい。この場合、隣り合う回路部４８０２の間のスペーシング４８０３の幅が、スクライブラインＳＣＬ１の切りしろと、又はスクライブラインＳＣＬ２の切りしろとほぼ同等の長さであればよい。

[０５６１]

なお、本発明の一態様の素子基板の形状は、図２２Ａに図示した半導体ウェハ４８００の形状に限定されない。例えば、矩形状の半導体ウェハであってもよい。素子基板の形状は、素子の作製工程、及び素子を作製するための装置に応じて、適宜変更することができる。

[０５６２]

<電子部品>

図２２Ｃに電子部品４７００および電子部品４７００が実装された基板（実装基板４７０４）の斜視図を示す。図２２Ｃに示す電子部品４７００は、モールド４７１１内にチップ４８００ａを有している。なお、図２２Ｃに示すチップ４８００ａには、回路部４８０２が積層された構成を示している。つまり、回路部４８０２として、上記の実施の形態で説明した記憶装置を適用することができる。図２２Ｃは、電子部品４７００の内部を示すために、一部を省略している。電子部品４７００は、モールド４７１１の外側にランド４７１２を有する。ランド４７１２は電極パッド４７１３と電氣的に接続され、電極パッド４７１３はチップ４８００ａとワイヤ４７１４によって電氣的に接続されている。電子部品４７００は、例えばプリント基板４７０２に実装される。このような電子部品が複数組み合わされて、それぞれがプリント基板４７０２上で電氣的に接続されることで実装基板４７０４が完成する。

[０５６３]

図２２Ｄに電子部品４７３０の斜視図を示す。電子部品４７３０は、ＳｉＰ（Ｓｙｓｔｅｍ ｉｎ ｐａｃｋａｇｅ）またはＭＣＭ（Ｍｕｌｔｉ Ｃｈｉｐ Ｍｏｄｕｌｅ）の一例である。電子部品４７３０は、パッケージ基板４７３２（プリント基板）上にインターポーザ４７３１が設けられ、インターポーザ４７３１上に半導体装置４７３５、および複数の半導体装置４７１０が設けられている。

[０５６４]

電子部品４７３０では、半導体装置４７１０を有する。半導体装置４７１０としては、例えば、上記実施の形態で説明した記憶装置、広帯域メモリ（ＨＢＭ：Ｈｉｇｈ Ｂａｎｄｗｉｄｔｈ Ｍｅｍｏｒｙ）などとすることができる。また、半導体装置４７３５は、ＣＰＵ、ＧＰＵ、ＦＰＧＡ、記憶装置などの集積回路（半導体装置）を用いることができる。

[０５６５]

パッケージ基板 4732 は、セラミック基板、プラスチック基板、またはガラスエポキシ基板などを用いることができる。インターポーザ 4731 は、シリコンインターポーザ、樹脂インターポーザなどを用いることができる。

[0566]

インターポーザ 4731 は、複数の配線を有し、端子ピッチの異なる複数の集積回路を電氣的に接続する機能を有する。複数の配線は、単層または多層で設けられる。また、インターポーザ 4731 は、インターポーザ 4731 上に設けられた集積回路をパッケージ基板 4732 に設けられた電極と電氣的に接続する機能を有する。これらのことから、インターポーザを「再配線基板」または「中間基板」と呼ぶ場合がある。また、インターポーザ 4731 に貫通電極を設けて、当該貫通電極を用いて集積回路とパッケージ基板 4732 を電氣的に接続する場合もある。また、シリコンインターポーザでは、貫通電極として、TSV (Through Silicon Via) を用いることも出来る。

[0567]

インターポーザ 4731 としてシリコンインターポーザを用いることが好ましい。シリコンインターポーザでは能動素子を設ける必要が無いため、集積回路よりも低コストで作製することができる。一方で、シリコンインターポーザの配線形成は半導体プロセスで行なうことができるため、樹脂インターポーザでは難しい微細配線の形成が容易である。

[0568]

HBMでは、広いメモリバンド幅を実現するために多くの配線を接続する必要がある。このため、HBMを実装するインターポーザには、微細かつ高密度の配線形成が求められる。よって、HBMを実装するインターポーザには、シリコンインターポーザを用いることが好ましい。

[0569]

また、シリコンインターポーザを用いたSiP、MCMなどでは、集積回路とインターポーザ間の膨張係数の違いによる信頼性の低下が生じにくい。また、シリコンインターポーザは表面の平坦性が高いため、シリコンインターポーザ上に設ける集積回路とシリコンインターポーザ間の接続不良が生じにくい。特に、インターポーザ上に複数の集積回路を横に並べて配置する2.5Dパッケージ（2.5次元実装）では、シリコンインターポーザを用いることが好ましい。

[0570]

また、電子部品 4730 と重ねてヒートシンク（放熱板）を設けてもよい。ヒートシンクを設ける場合は、インターポーザ 4731 上に設ける集積回路の高さを揃えることが好ましい。例えば、本実施の形態に示す電子部品 4730 では、半導体装置 4710 と半導体装置 4735 の高さを揃えることが好ましい。

[0571]

電子部品 4730 を他の基板に実装するため、パッケージ基板 4732 の底部に電極 4733 を設けてもよい。図 22D では、電極 4733 を半田ボールで形成する例を示している。パッケージ基板 4732 の底部に半田ボールをマトリクス状に設けることで、BGA (Ball Grid Array) 実装を実現できる。また、電極 4733 を導電性のピンで形成してもよい。パッケージ基板 4732 の底部に導電性のピンをマトリクス状に設けることで、PGA (Pin Grid Array) 実装を実現できる。

[0572]

電子部品 4730 は、BGA および PGA に限らず様々な実装方法を用いて他の基板に実装することができる。例えば、SPGA (Staggered Pin Grid Array)、LGA (Land Grid Array)、QFP (Quad Flat Package)、QFJ (Quad Flat J-leaded package)、または QFN (Quad Flat Non-leaded package) などの実装方法を用いることができる。

[0573]

なお、本実施の形態は、本明細書で示す他の実施の形態と適宜組み合わせることができる。

[0574]

(実施の形態 6)

本実施の形態では、上記の実施の形態の記憶装置を備えることができる CPU について説明する。

[0575]

図 23 は、上記の実施の形態で説明した記憶装置を一部に用いた CPU の一例の構成を示すブロック図である。

[0576]

図 23 に示す CPU は、基板 1190 上に、ALU 1191 (ALU: Arithmetic logic unit、演算回路)、ALU コントローラ 1192、インストラクションデコーダ 1193、インタラプトコントローラ 1194、タイミングコントローラ 1195、レジスタ 1196、レジスタコントローラ 1197、バスインターフェース 1198 (Bus I/F)、書き換え可能な ROM 1199、及び ROM インターフェース 1189 (ROM I/F) を有している。基板 1190 は、半導体基板、SOI 基板、ガラス基板などを用いる。ROM 1199 及び ROM インターフェース 1189 は、別チップに設けてもよい。もちろん、図 23 に示す CPU は、その構成を簡略化して示した一例にすぎず、実際の CPU はその用途によって多種多様な構成を有している。例えば、図 23 に示す CPU または演算回路を含む構成を一つのコアとし、当該コアを複数含み、それぞれのコアが並列で動作するような構成、つまり GPU のような構成としてもよい。また、CPU が内部演算回路、データバスで扱えるビット数は、例えば 8 ビット、16 ビット、32 ビット、64 ビットなどとすることができる。

[0577]

バスインターフェース 1198 を介して CPU に入力された命令は、インストラクションデコーダ 1193 に入力され、デコードされた後、ALU コントローラ 1192、インタラプトコントローラ 1194、レジスタコントローラ 1197、タイミングコントローラ 1195 に入力される。

[0578]

ALU コントローラ 1192、インタラプトコントローラ 1194、レジスタコントローラ 1197、タイミングコントローラ 1195 は、デコードされた命令に基づき、各種制御を行なう。具体的に ALU コントローラ 1192 は、ALU 1191 の動作を制御するための信号を生成する。また、インタラプトコントローラ 1194 は、CPU のプログラム実行中に、外部の入出力装置、周辺回路などからの割り込み要求を、その優先度、マスク状態から判断し、処理する。レジスタコントローラ 1197 は、レジスタ 1196 のアドレスを生成し、CPU の状態に応じてレジスタ 1196 の読み出し、又は書き込みを行なう。

[0579]

また、タイミングコントローラ 1195 は、ALU 1191、ALU コントローラ 1192、イ

ンストラクションデコーダ 1193、インタラプトコントローラ 1194、及びレジスタコントローラ 1197 の動作のタイミングを制御する信号を生成する。例えばタイミングコントローラ 1195 は、基準クロック信号を元に、内部クロック信号を生成する内部クロック生成部を備えており、内部クロック信号を上記各種回路に供給する。

[0580]

図 23 に示す CPU では、レジスタ 1196 に、メモリセルが設けられている。レジスタ 1196 は、例えば、先の実施の形態に示した記憶装置などを有してもよい。

[0581]

図 23 に示す CPU において、レジスタコントローラ 1197 は、ALU 1191 からの指示に従い、レジスタ 1196 における保持動作の選択を行う。すなわち、レジスタ 1196 が有するメモリセルにおいて、フリップフロップによるデータの保持を行うか、容量素子によるデータの保持を行うかを、選択する。フリップフロップによるデータの保持が選択されている場合、レジスタ 1196 内のメモリセルへの、電源電圧の供給が行われる。容量素子におけるデータの保持が選択されている場合、容量素子へのデータの書き換えが行われ、レジスタ 1196 内のメモリセルへの電源電圧の供給を停止することができる。

[0582]

なお、本実施の形態は、本明細書で示す他の実施の形態と適宜組み合わせることができる。

[0583]

(実施の形態 7)

本実施の形態では、上記実施の形態で説明した記憶装置を有する電子機器の一例について説明する。なお、図 24A 乃至図 24I には、当該記憶装置を有する電子部品 4700 が各電子機器に含まれている様子を図示している。

[0584]

[携帯電話]

図 24A に示す情報端末 5500 は、情報端末の一種である携帯電話（スマートフォン）である。情報端末 5500 は、筐体 5510 と、表示部 5511 と、を有しており、入力用インターフェースとして、タッチパネルが表示部 5511 に備えられ、ボタンが筐体 5510 に備えられている。

[0585]

情報端末 5500 は、上記実施の形態で説明した記憶装置を適用することで、アプリケーションの実行時に生成される一時的なファイル（例えば、ウェブブラウザの使用時のキャッシュなど）を保持することができる。

[0586]

[ウェアラブル端末]

また、図 24B には、ウェアラブル端末の一例である情報端末 5900 が図示されている。情報端末 5900 は、筐体 5901、表示部 5902、操作ボタン 5903、操作子 5904、バンド 5905 などを有する。

[0587]

ウェアラブル端末は、先述した情報端末 5500 と同様に、上記実施の形態で説明した記憶装置を適用することで、アプリケーションの実行時に生成される一時的なファイルを保持することができる。

[0588]

[情報端末]

また、図24Cには、ノート型情報端末5300が図示されている。図24Cに示すノート型情報端末5300には、一例として、筐体5330aに表示部5331、筐体5330bにキーボード部5350が備えられている。

[0589]

ノート型情報端末5300は、先述した情報端末5500と同様に、上記実施の形態で説明した記憶装置を適用することで、アプリケーションの実行時に生成される一時的なファイルを保持することができる。

[0590]

なお、上述では、電子機器としてスマートフォン、ウェアラブル端末、ノート型情報端末を例として、それぞれ図24A乃至図24Cに図示したが、スマートフォン、ウェアラブル端末、ノート型情報端末以外の情報端末を適用することができる。スマートフォン、ウェアラブル端末、ノート型情報端末以外の情報端末としては、例えば、PDA (Personal Digital Assistant)、デスクトップ用情報端末、ワークステーションなどが挙げられる。

[0591]

[電化製品]

また、図24Dには、電化製品の一例として電気冷凍冷蔵庫5800が図示されている。電気冷凍冷蔵庫5800は、筐体5801、冷蔵室用扉5802、冷凍室用扉5803等を有する。

[0592]

電気冷凍冷蔵庫5800に上記実施の形態で説明した記憶装置を適用することによって、電気冷凍冷蔵庫5800を、例えば、IoT (Internet of Things) として利用することができる。IoTを利用することによって、電気冷凍冷蔵庫5800は、電気冷凍冷蔵庫5800に保存されている食材、その食材の消費期限などの情報を、インターネットなどを通じて、上述したような情報端末などに送受信することができる。また、電気冷凍冷蔵庫5800は、当該情報を送信する際に、当該情報を一時ファイルとして、当該記憶装置に保持することができる。

[0593]

本一例では、電化製品として電気冷凍冷蔵庫について説明したが、その他の電化製品としては、例えば、掃除機、電子レンジ、電気オーブン、炊飯器、湯沸かし器、IH調理器、ウォーターサーバー、エアコンディショナーを含む冷暖房器具、洗濯機、乾燥機、オーディオビジュアル機器などが挙げられる。

[0594]

[ゲーム機]

また、図24Eには、ゲーム機の一例である携帯ゲーム機5200が図示されている。携帯ゲーム機5200は、筐体5201、表示部5202、ボタン5203等を有する。

[0595]

また、携帯ゲーム機5200の映像は、テレビジョン装置、パーソナルコンピュータ用ディスプレイ、ゲーム用ディスプレイ、ヘッドマウントディスプレイなどの表示装置によって、出力することができる。

[0596]

携帯ゲーム機５２００に上記実施の形態で説明した記憶装置を適用することによって、低消費電力の携帯ゲーム機５２００を実現することができる。また、低消費電力により、回路からの発熱を低減することができるため、発熱によるその回路自体、周辺回路、及びモジュールへの影響を少なくすることができる。

[０５９７]

更に、携帯ゲーム機５２００に上記実施の形態で説明した記憶装置を適用することによって、ゲームの実行中に発生する演算に必要な一時ファイルなどの保持をおこなうことができる。

[０５９８]

図２４Ｅでは、ゲーム機の一例として携帯ゲーム機を図示しているが、本発明の一態様の電子機器はこれに限定されない。本発明の一態様の電子機器としては、例えば、据え置き型ゲーム機、娯楽施設（ゲームセンター、遊園地など）に設置されるアーケードゲーム機、スポーツ施設に設置されるバッティング練習用の投球マシンなどが挙げられる。

[０５９９]

[移動体]

上記実施の形態で説明した記憶装置は、移動体である自動車、及び自動車の運転席周辺に適用することができる。

[０６００]

図２４Ｆには移動体の一例である自動車５７００が図示されている。

[０６０１]

自動車５７００の運転席周辺には、スピードメーター、タコメーター、走行距離、燃料計、ギア状態、エアコンの設定などを表示することで、様々な情報を提供するインストゥルメントパネルが備えられている。また、運転席周辺には、それらの情報を示す表示装置が備えられていてもよい。

[０６０２]

特に当該表示装置には、自動車５７００に設けられた撮像装置（図示しない。）からの映像を映し出すことによって、ピラーなどで遮られた視界、運転席の死角などを補うことができ、安全性を高めることができる。

[０６０３]

上記実施の形態で説明した記憶装置は、情報を一時的に保持することができるため、例えば、当該記憶装置を自動車５７００の自動運転システム、道路案内、危険予測などを行うシステムなどにおける、必要な一時的な情報の保持に用いることができる。当該表示装置には、道路案内、危険予測などの一時的な情報を表示する構成としてもよい。また、自動車５７００に備え付けられたドライビングレコーダの映像を保持する構成としてもよい。

[０６０４]

なお、上述では、移動体の一例として自動車について説明しているが、移動体は自動車に限定されない。例えば、移動体としては、電車、モノレール、船、飛行体（ヘリコプター、無人航空機（ドローン）、飛行機、ロケット）なども挙げることができる。

[０６０５]

[カメラ]

上記実施の形態で説明した記憶装置は、カメラに適用することができる。

[０６０６]

図24Gには、撮像装置の一例であるデジタルカメラ6240が図示されている。デジタルカメラ6240は、筐体6241、表示部6242、操作ボタン6243、シャッターボタン6244等を有し、また、デジタルカメラ6240には、着脱可能なレンズ6246が取り付けられている。なお、ここではデジタルカメラ6240を、レンズ6246を筐体6241から取り外して交換することが可能な構成としたが、レンズ6246と筐体6241とが一体となってもよい。また、デジタルカメラ6240は、ストロボ装置、ビューファインダー等を別途装着することができる構成としてもよい。

[0607]

デジタルカメラ6240に上記実施の形態で説明した記憶装置を適用することによって、低消費電力のデジタルカメラ6240を実現することができる。また、低消費電力により、回路からの発熱を低減することができるため、発熱によるその回路自体、周辺回路、及びモジュールへの影響を少なくすることができる。

[0608]

[ICD]

上記実施の形態で説明した記憶装置は、植え込み型除細動器（ICD）に適用することができる。

[0609]

図24Hは、ICDの一例を示す断面模式図である。ICD本体5400は、バッテリー5401と、電子部品4700と、レギュレータと、制御回路と、アンテナ5404と、右心房へのワイヤ5402、右心室へのワイヤ5403とを少なくとも有している。

[0610]

ICD本体5400は手術により体内に設置され、二本のワイヤは、人体の鎖骨下静脈5405及び上大静脈5406を通過させて一方のワイヤ先端が右心室、もう一方のワイヤ先端が右心房に設置されるようにする。

[0611]

ICD本体5400は、ペースメーカとしての機能を有し、心拍数が規定の範囲から外れた場合に心臓に対してペーシングを行う。また、ペーシングによって心拍数が改善しない場合（速い心室頻拍、心室細動など）、電気ショックによる治療が行われる。

[0612]

ICD本体5400は、ペーシング及び電気ショックを適切に行うため、心拍数を常に監視する必要がある。そのため、ICD本体5400は、心拍数を検知するためのセンサを有する。また、ICD本体5400は、当該センサなどによって取得した心拍数のデータ、ペーシングによる治療を行った回数、時間などを電子部品4700に記憶することができる。

[0613]

また、アンテナ5404で電力が受信でき、その電力はバッテリー5401に充電される。また、ICD本体5400は複数のバッテリーを有することにより、安全性を高くすることができる。具体的には、ICD本体5400の一部のバッテリーが使えなくなったとしても残りのバッテリーが機能させることができるため、補助電源としても機能する。

[0614]

また、電力を受信できるアンテナ5404とは別に、生理信号を送信できるアンテナを有していてもよく、例えば、脈拍、呼吸数、心拍数、体温などの生理信号を外部のモニタ装置で確認できる

ような心臓活動を監視するシステムを構成してもよい。

[0615]

[PC用の拡張デバイス]

上記実施の形態で説明した記憶装置は、PC (Personal Computer) などの計算機、情報端末用の拡張デバイスに適用することができる。

[0616]

図24Iは、当該拡張デバイスの一例として、持ち運びのできる、情報の記憶が可能なチップが搭載された、PCに外付けする拡張デバイス6100を示している。拡張デバイス6100は、例えば、USB (Universal Serial Bus) などでPCに接続することで、当該チップによる情報の記憶を行うことができる。なお、図24Iは、持ち運びが可能な形態の拡張デバイス6100を図示しているが、本発明の一態様に係る拡張デバイスは、これに限定されず、例えば、冷却用ファンなどを搭載した比較的大きい形態の拡張デバイスとしてもよい。

[0617]

拡張デバイス6100は、筐体6101、キャップ6102、USBコネクタ6103及び基板6104を有する。基板6104は、筐体6101に収納されている。基板6104には、上記実施の形態で説明した記憶装置などを駆動する回路が設けられている。例えば、基板6104には、電子部品4700、コントローラチップ6106が取り付けられている。USBコネクタ6103は、外部装置と接続するためのインターフェースとして機能する。

[0618]

また、図示していないが、PC (Personal Computer) などの計算機、情報端末用の拡張デバイスに取り付けが可能なSDカード、SSD (Solid State Drive) などについても、上記実施の形態で説明した記憶装置を適用することができる。

[0619]

実施の形態1、又は実施の形態2で説明した半導体装置、又は記憶装置を、上述した電子機器に含まれている記憶装置に適用することによって、新規の電子機器を提供することができる。

[0620]

なお、本実施の形態は、本明細書で示す他の実施の形態と適宜組み合わせることができる。

[符号の説明]

[0621]

MCA: メモリセルアレイ、MC: メモリセル、MC [1, 1]: メモリセル、MC [m, 1]: メモリセル、MC [1, n]: メモリセル、MC [m, n]: メモリセル、MCs: メモリセル、MCa: 回路、MCb: 回路、WDD: 回路、RDD: 回路、WRWD: 回路、FECd: 回路、M1: トランジスタ、M1a: トランジスタ、M1b: トランジスタ、FJA: FTJ素子、FJAa: FTJ素子、FJAb: FTJ素子、FJB: FTJ素子、ANA: 回路素子、SW1: スイッチ、SW2: スイッチ、OP: オペアンプ、LE: 負荷、WRDL: 配線、WRDL [1]: 配線、WRDL [n]: 配線、WRWL: 配線、WRWL [1]: 配線、WRWL [m]: 配線、FCA: 配線、FCA [1]: 配線、FCA [m]: 配線、FCB: 配線、FCB [1]: 配線、FCB [m]: 配線、IL: 配線、OL: 配線、SL1: 配線、SL2: 配線、RFL: 配線、100: 記憶装置、300: トランジスタ、310: 基板、310A: 基板、312: 素子分離層、313: 半導体領域、314a: 低抵抗領域、314b: 低抵抗領域、315: 絶縁体、316:

導電体、320：絶縁体、322：絶縁体、324：絶縁体、326：絶縁体、328：導電体、330：導電体、350：絶縁体、352：絶縁体、354：絶縁体、356：導電体、360：絶縁体、362：絶縁体、364：絶縁体、411：絶縁体、412：絶縁体、413：絶縁体、414：絶縁体、416：導電体、500：トランジスタ、503：導電体、503a：導電体、503b：導電体、510：絶縁体、512：絶縁体、514：絶縁体、516：絶縁体、522：絶縁体、524：絶縁体、530：酸化物、530a：酸化物、530b：酸化物、530ba：領域、530bb：領域、530bc：領域、540：導電体、540a：導電体、540b：導電体、541：絶縁体、541a：絶縁体、541b：絶縁体、542：導電体、542a：導電体、542b：導電体、543：酸化物、543a：酸化物、543b：酸化物、544：絶縁体、550：絶縁体、550a：絶縁体、550b：絶縁体、552：絶縁体、554：絶縁体、560：導電体、560a：導電体、560b：導電体、571：絶縁体、571a：絶縁体、571b：絶縁体、574：絶縁体、：、576：絶縁体、580：絶縁体、581：絶縁体、582：絶縁体、586：絶縁体、600：容量素子、610：導電体、612：導電体、620：導電体、630：絶縁体、631：絶縁体、632：絶縁体、640：絶縁体、641：絶縁体、642：絶縁体、650：絶縁体、660：導電体、700：FTJ素子、1189：ROMインターフェース、1190：基板、1191：ALU、1192：ALUコントローラ、1193：インストラクションデコーダ、1194：インタラプトコントローラ、1195：タイミングコントローラ、1196：レジスタ、1197：レジスタコントローラ、1198：バスインターフェース、1199：ROM、4700：電子部品、4702：プリント基板、4704：実装基板、4710：半導体装置、4711：モールド、4712：ランド、4713：電極パッド、4714：ワイヤ、4730：電子部品、4731：インターポーザ、4732：パッケージ基板、4733：電極、4735：半導体装置、4800：半導体ウェハ、4800a：チップ、4801：ウェハ、4801a：ウェハ、4802：回路部、4803：スペーシング、4803a：スペーシング、5200：携帯ゲーム機、5201：筐体、5202：表示部、5203：ボタン、5300：ノート型情報端末、5330a：筐体、5330b：筐体、5331：表示部、5350：キーボード部、5400：ICD本体、5401：バッテリー、5402：ワイヤ、5403：ワイヤ、5404：アンテナ、5405：鎖骨下静脈、5406：上大静脈、5500：情報端末、5510：筐体、5511：表示部、5700：自動車、5800：電気冷凍冷蔵庫、5801：筐体、5802：冷蔵庫用扉、5803：冷凍室用扉、5900：情報端末、5901：筐体、5902：表示部、5903：操作ボタン、5904：操作子、5905：バンド、6100：拡張デバイス、6101：筐体、6102：キャップ、6103：USBコネクタ、6104：基板、6106：コントローラチップ、6240：デジタルカメラ、6241：筐体、6242：表示部、6243：操作ボタン、6244：シャッターボタン、6246：レンズ

請求の範囲

[請求項 1]

第 1 回路と、第 2 回路と、第 3 回路と、を有し、
前記第 1 回路は、第 1 トランジスタと、第 1 F T J 素子と、を有し、
前記第 2 回路は、第 2 トランジスタと、第 2 F T J 素子と、を有し、
前記第 3 回路は、スイッチと、オペアンプと、負荷と、を有し、
前記第 1 F T J 素子、及び前記第 2 F T J 素子のそれぞれは、入力端子と、トンネル絶縁膜と、誘電体と、出力端子と、を有し、
前記第 1 F T J 素子、及び前記第 2 F T J 素子のそれぞれは、前記入力端子、前記トンネル絶縁膜、前記誘電体、前記出力端子、の順に重畳されている構成を有し、
前記第 1 トランジスタのソース又はドレインの一方は、前記第 1 F T J 素子の前記出力端子に電氣的に接続され、
前記第 2 トランジスタのソース又はドレインの一方は、前記第 2 F T J 素子の前記入力端子に電氣的に接続され、
前記スイッチの第 1 端子は、前記第 1 トランジスタのソース又はドレインの他方と、前記第 2 トランジスタのソース又はドレインの他方と、に電氣的に接続され、
前記スイッチの第 2 端子は、前記オペアンプの反転入力端子と、前記負荷の第 1 端子に電氣的に接続され、
前記オペアンプの出力端子は、前記負荷の第 2 端子に電氣的に接続され、
前記負荷は、抵抗、容量、トランジスタの少なくとも一を有する、
半導体装置。

[請求項 2]

第 1 トランジスタと、第 1 F T J 素子と、を有し、
前記第 1 F T J 素子は、入力端子と、トンネル絶縁膜と、誘電体と、出力端子と、を有し、
前記第 1 F T J 素子は、前記入力端子、前記トンネル絶縁膜、前記誘電体、前記出力端子、の順に重畳されている構成を有し、
前記第 1 トランジスタのソース又はドレインの一方は、前記第 1 F T J 素子の前記出力端子に電氣的に接続されている、
半導体装置。

[請求項 3]

請求項 1、又は請求項 2 において、
前記トンネル絶縁膜は、酸化シリコン、又は窒化シリコンを有し、
前記誘電体は、ハフニウム、及びジルコニウムの一方、又は双方を含む酸化物を有する、
半導体装置。

[請求項 4]

第 1 回路と、第 2 回路と、第 3 回路と、を有し、
前記第 1 回路は、第 1 トランジスタと、第 1 強誘電キャパシタと、を有し、
前記第 2 回路は、第 2 トランジスタと、第 2 強誘電キャパシタと、を有し、
前記第 3 回路は、スイッチと、オペアンプと、負荷と、を有し、
前記第 1 トランジスタのソース又はドレインの一方は、前記第 1 強誘電キャパシタの第 1 端子に

電氣的に接続され、

前記第2トランジスタのソース又はドレインの一方は、前記第2強誘電キャパシタの第1端子に電氣的に接続され、

前記スイッチの第1端子は、前記第1トランジスタのソース又はドレインの他方と、前記第2トランジスタのソース又はドレインの他方と、に電氣的に接続され、

前記スイッチの第2端子は、前記オペアンプの反転入力端子と、前記負荷の第1端子に電氣的に接続され、

前記オペアンプの出力端子は、前記負荷の第2端子に電氣的に接続され、

前記負荷は、抵抗、容量、トランジスタの少なくとも一を有し、

前記第1強誘電キャパシタ、及び第2強誘電キャパシタのそれぞれは、誘電体を有し、

前記誘電体は、ハフニウム、及びジルコニウム的一方、又は双方を含む酸化物を有する、
半導体装置。

[請求項5]

第1回路と、第2回路と、第3回路と、を有し、

前記第1回路は、第1トランジスタと、第1回路素子と、を有し、

前記第2回路は、第2トランジスタと、第2回路素子と、を有し、

前記第3回路は、スイッチと、オペアンプと、負荷と、を有し、

前記第1トランジスタのソース又はドレインの一方は、前記第1回路素子の第1端子に電氣的に接続され、

前記第2トランジスタのソース又はドレインの一方は、前記第2回路素子の第1端子に電氣的に接続され、

前記スイッチの第1端子は、前記第1トランジスタのソース又はドレインの他方と、前記第2トランジスタのソース又はドレインの他方と、に電氣的に接続され、

前記スイッチの第2端子は、前記オペアンプの反転入力端子と、前記負荷の第1端子に電氣的に接続され、

前記オペアンプの出力端子は、前記負荷の第2端子に電氣的に接続され、

前記負荷は、抵抗、容量、トランジスタの少なくとも一を有し、

前記第1回路素子、及び第2回路素子のそれぞれは、抵抗変化素子、MTJ素子、相変化メモリ素子のいずれか一を有する、

半導体装置。

[請求項6]

請求項1乃至請求項5のいずれか一の半導体装置と、筐体と、を有する、
電子機器。

図1A

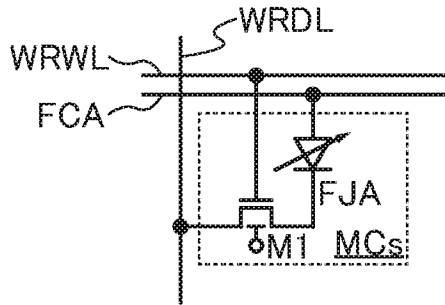


図1B

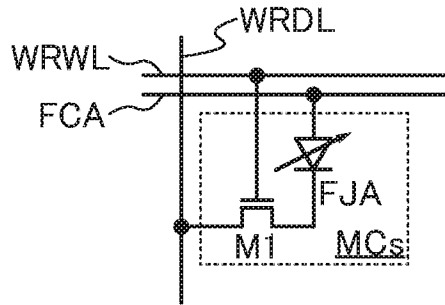


図1C

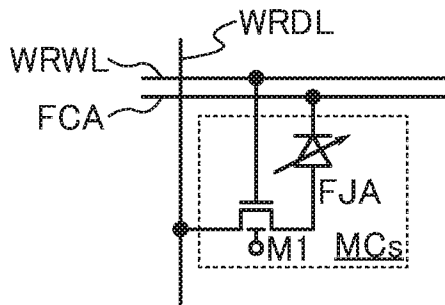
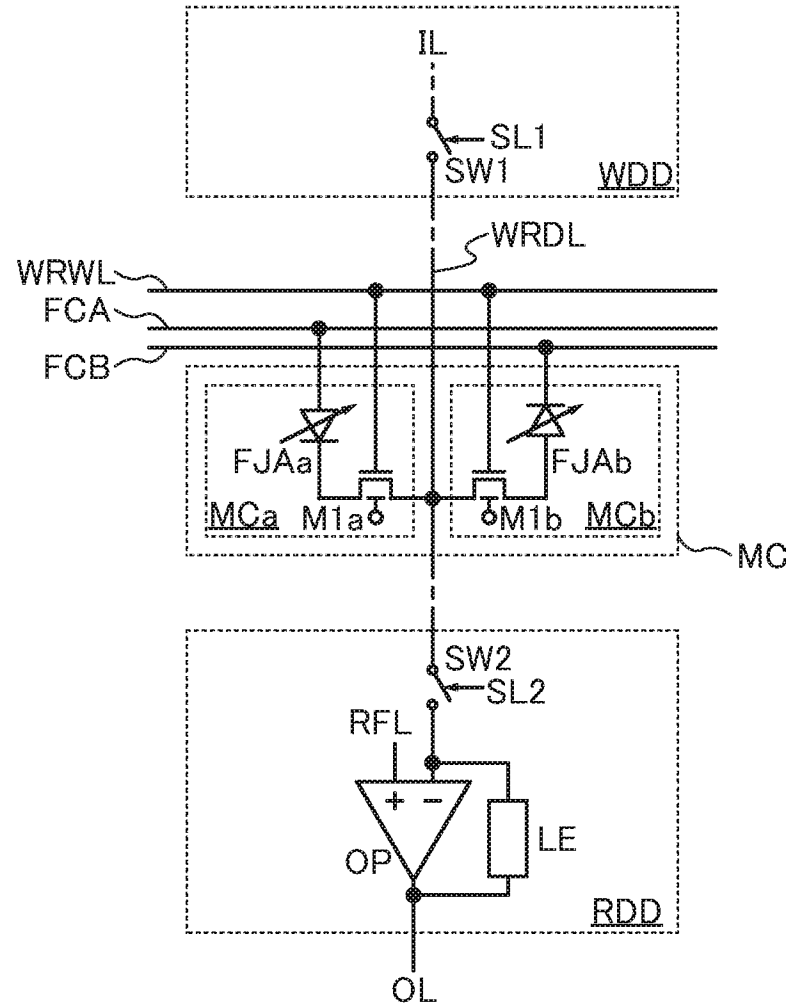


図2

2/24



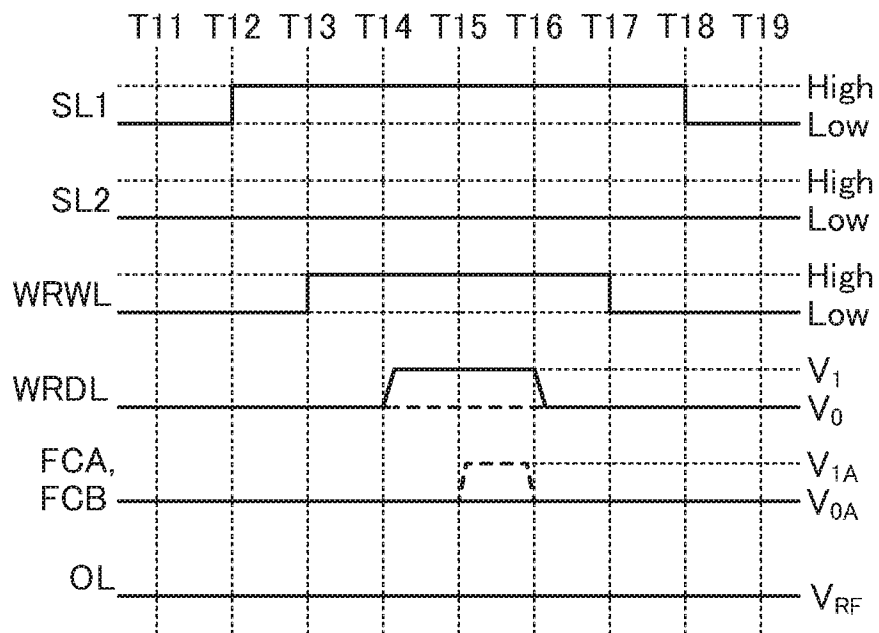
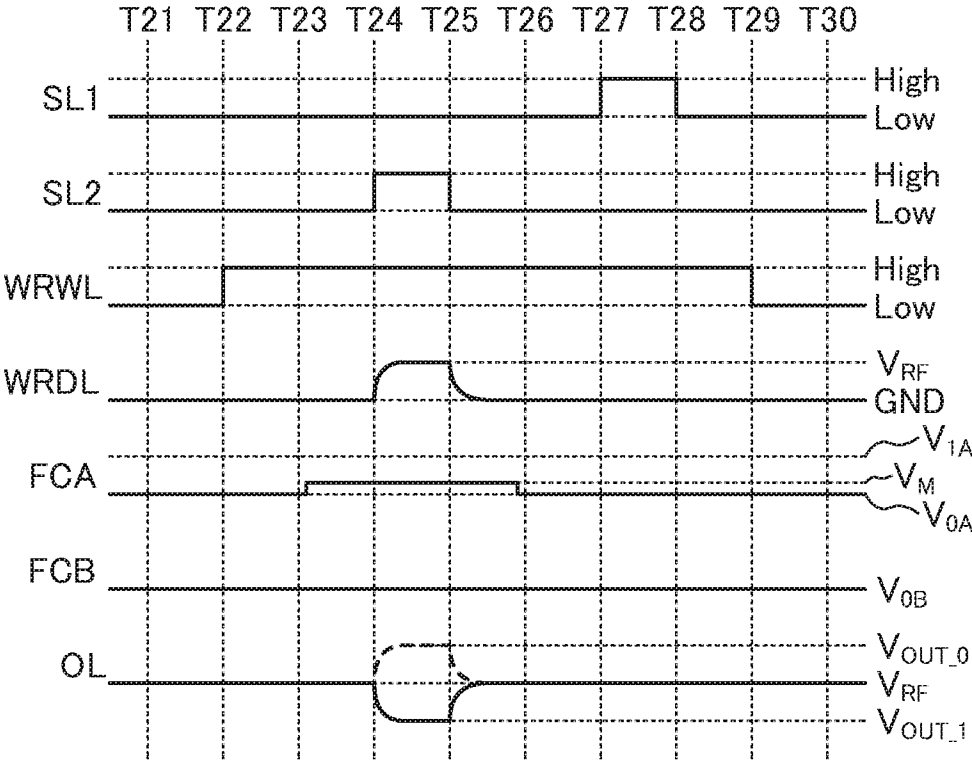


图4

4/24



5/24

図5A

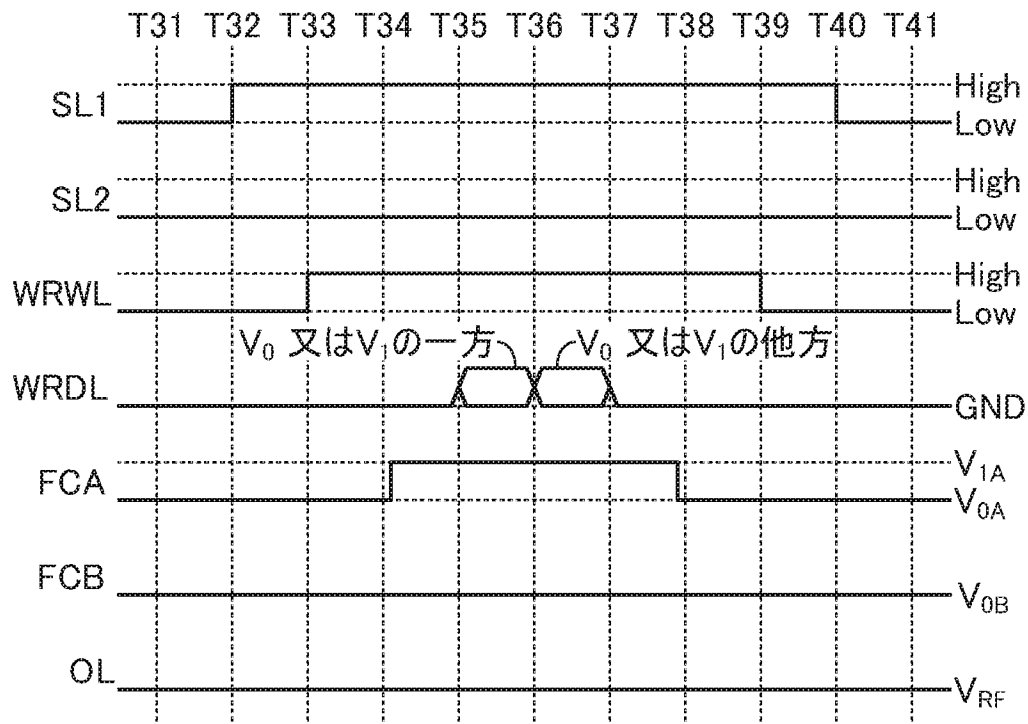
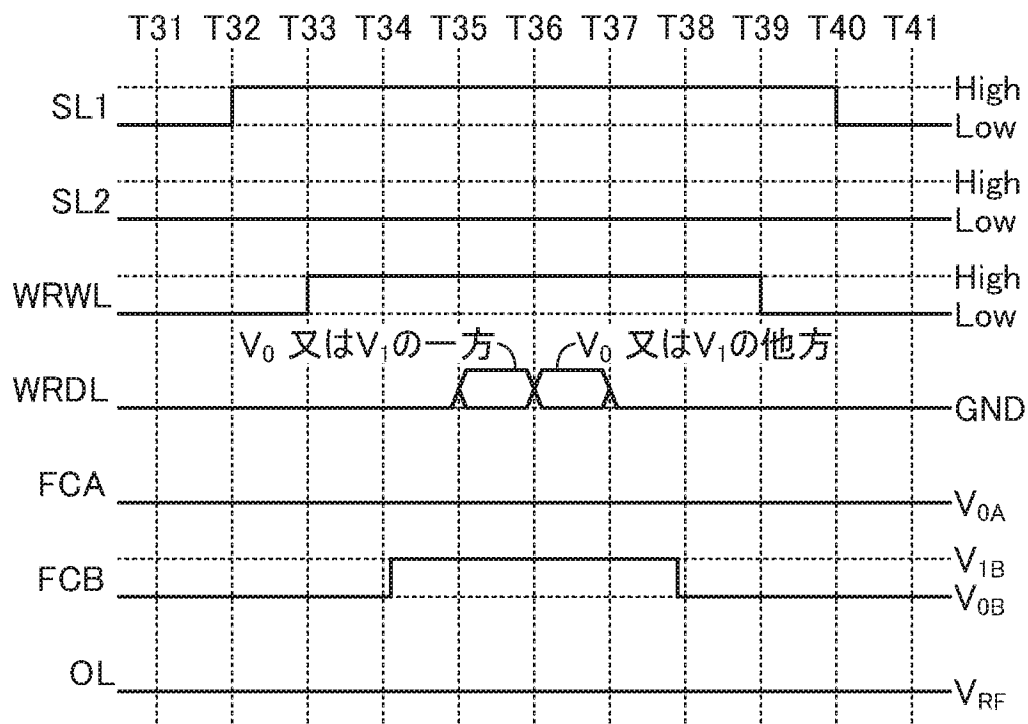


図5B



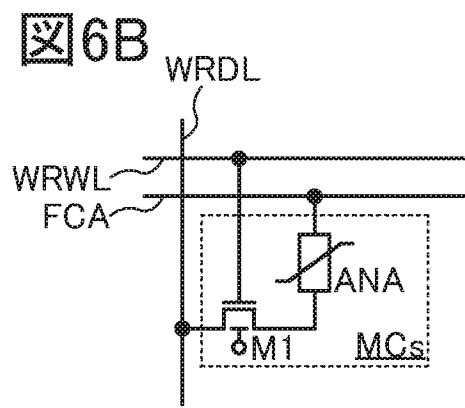
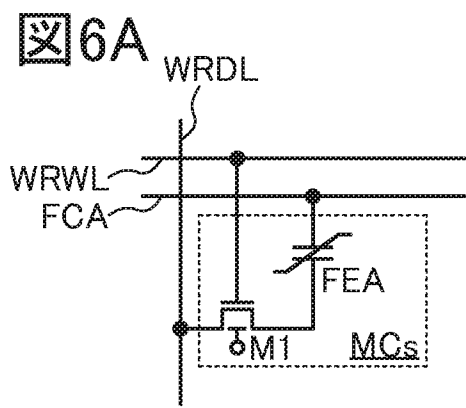


図 7

7/24

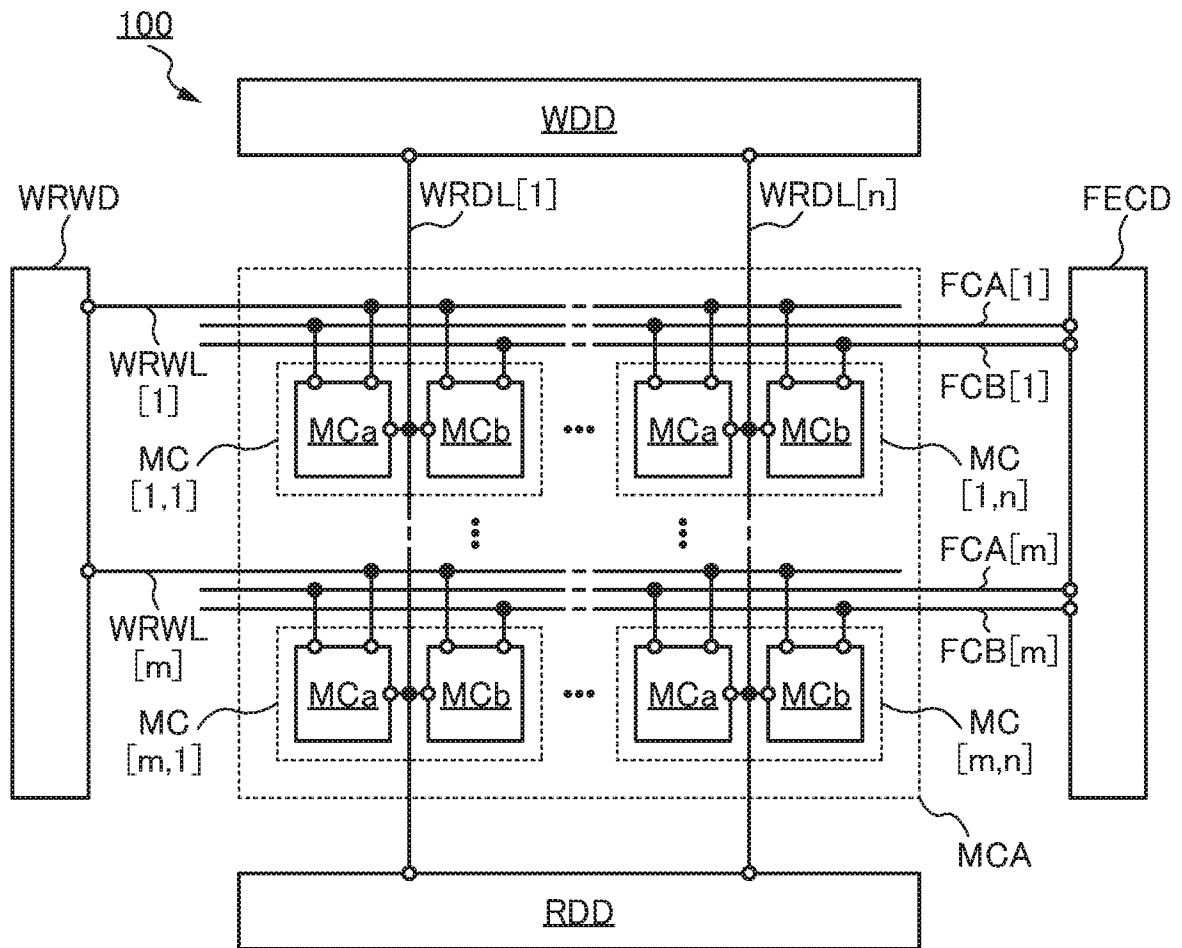


図8

8/24

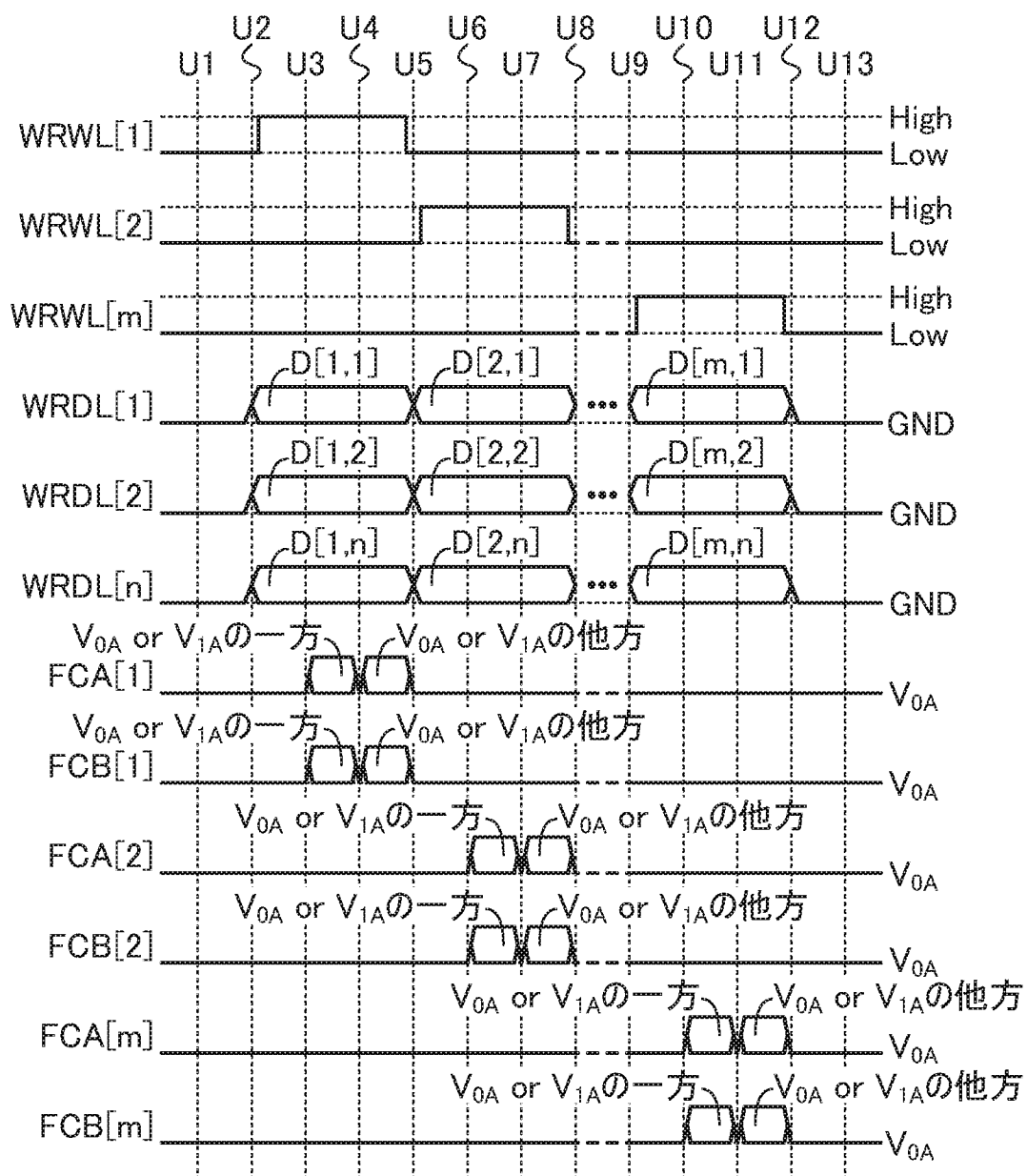
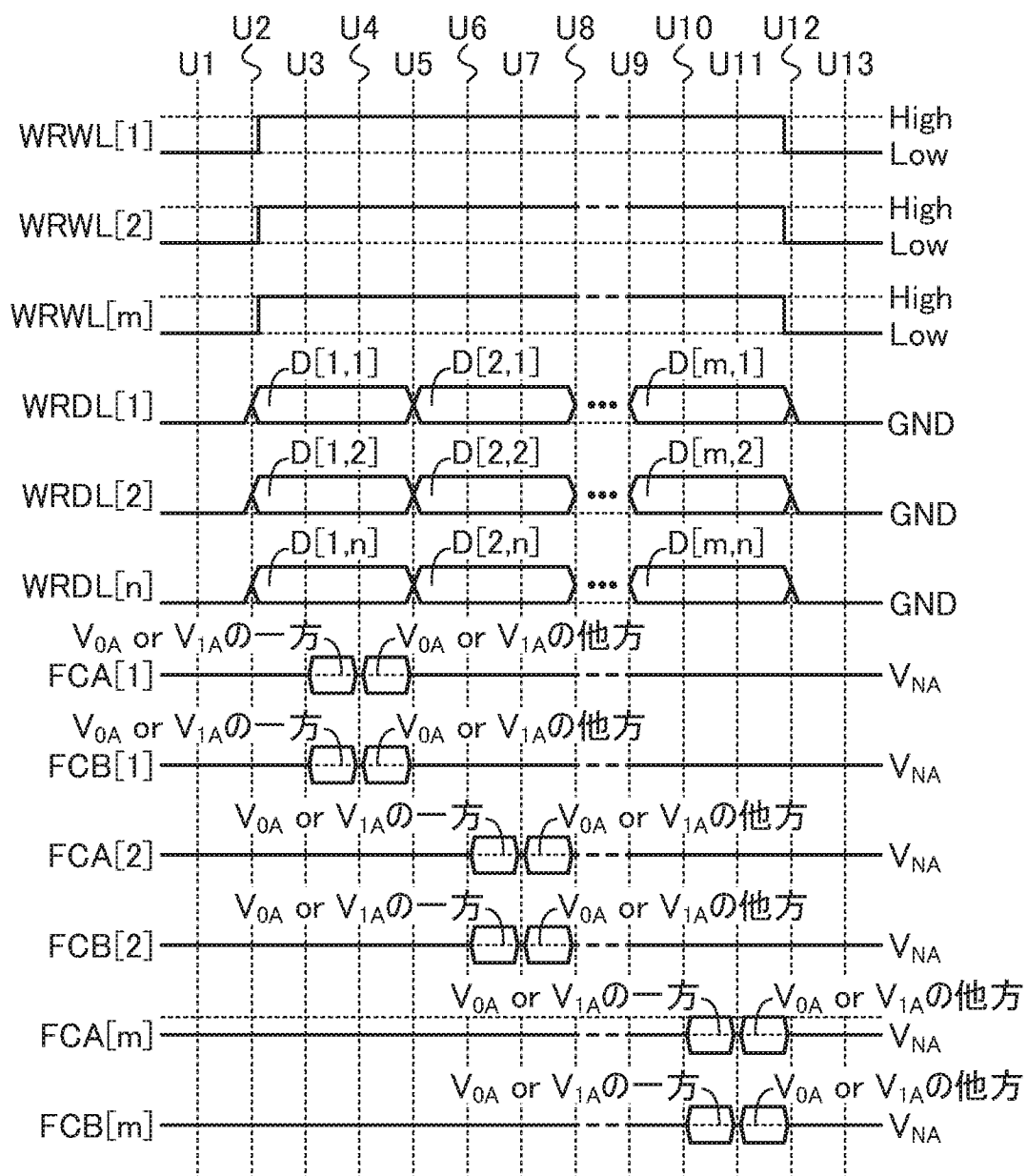
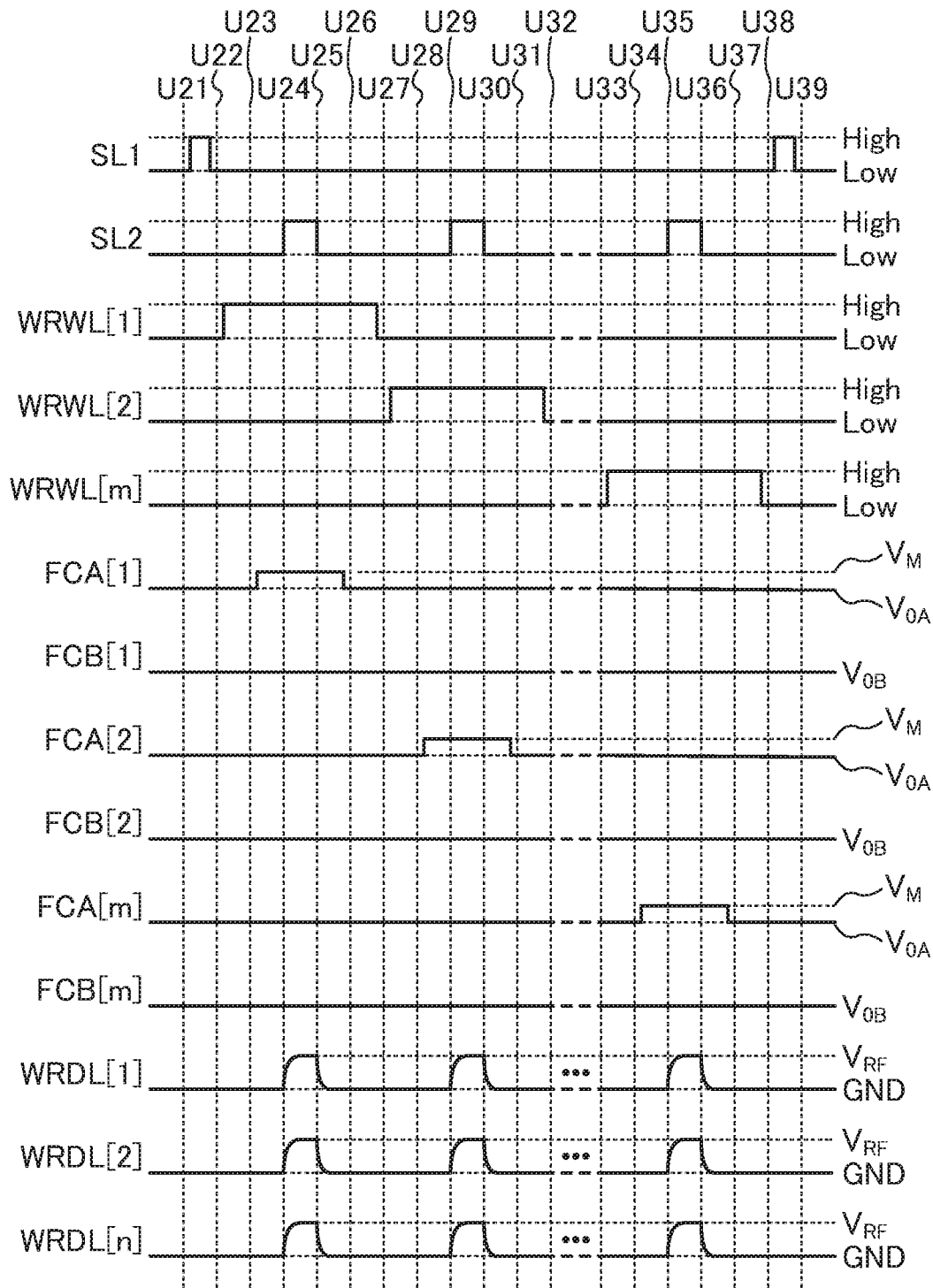


図9

9/24

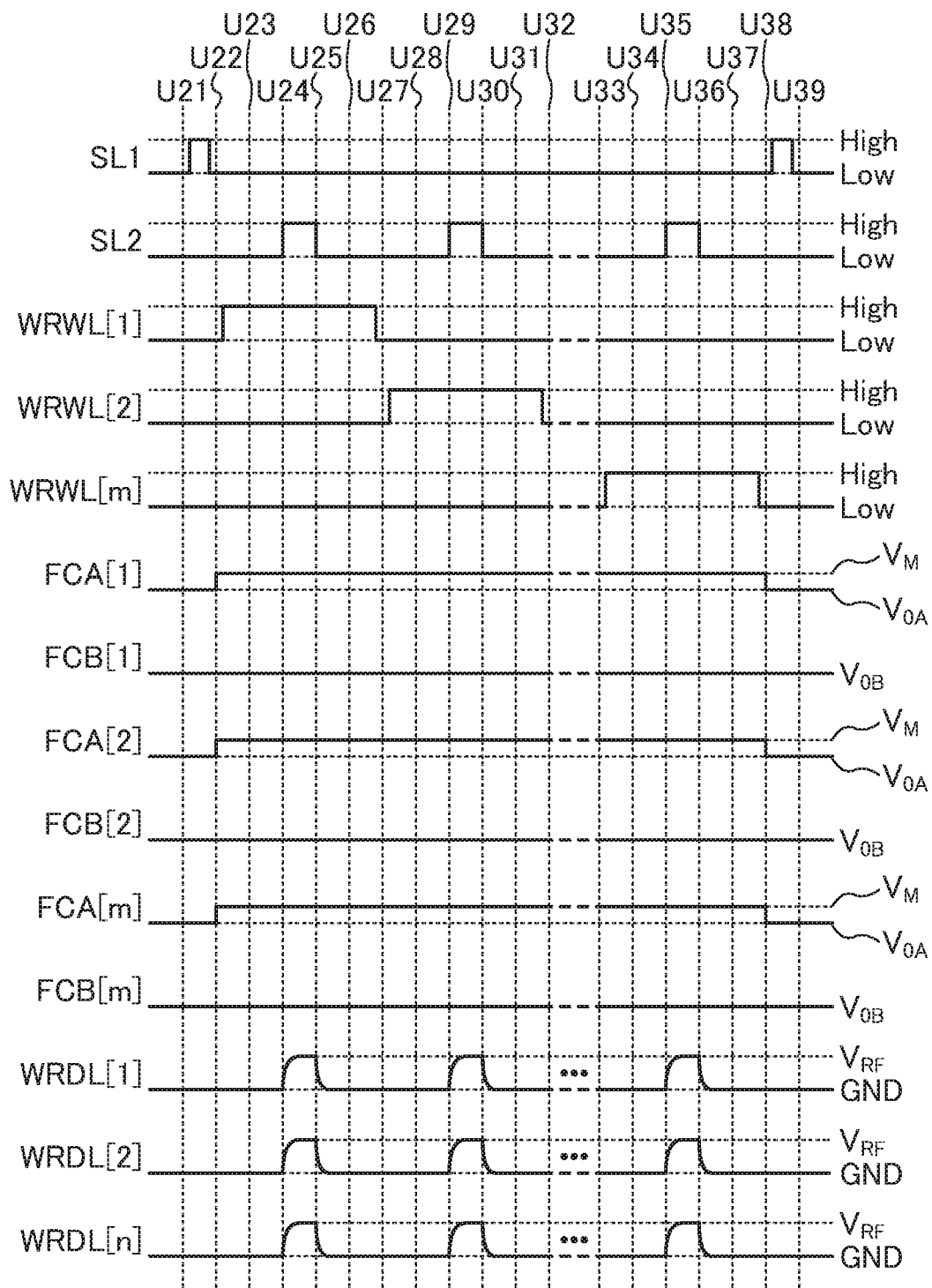


10/24

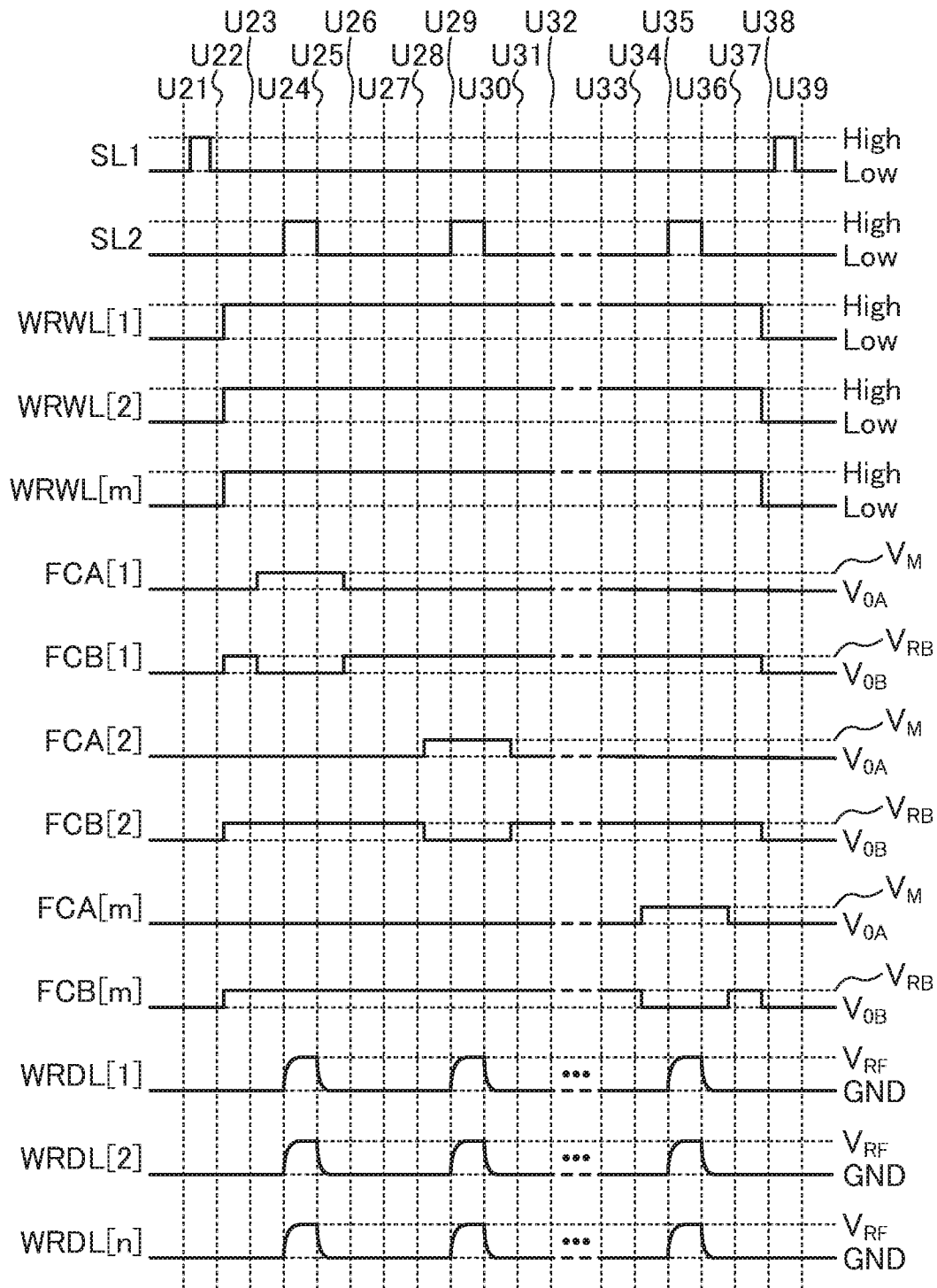


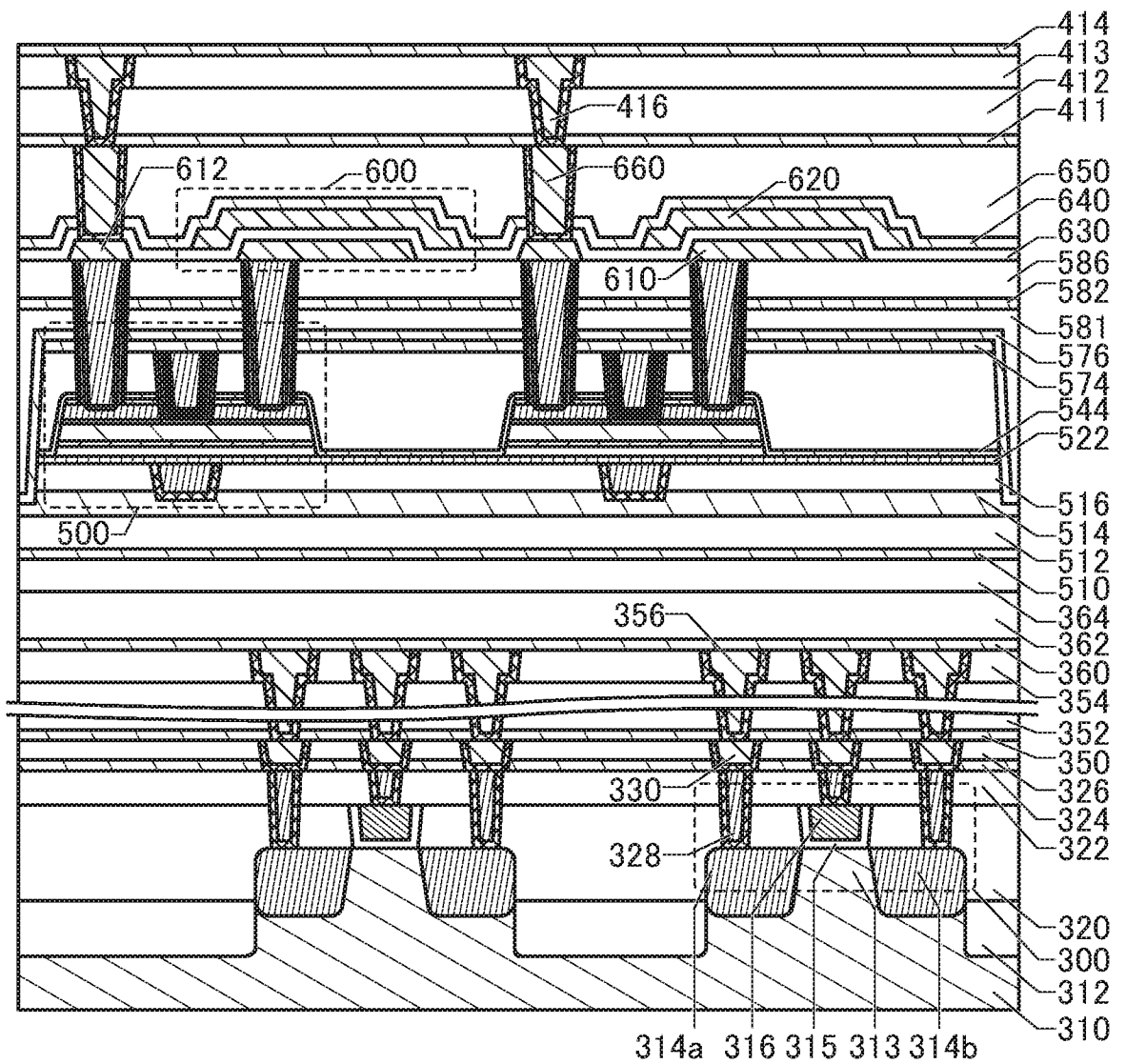
 11

11/24



12/24





14/24

図14A

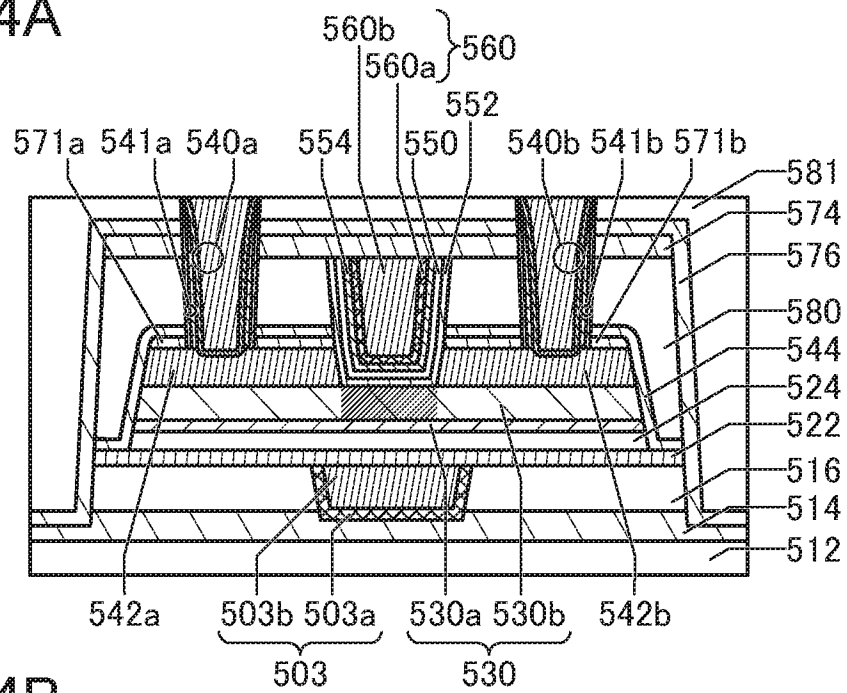


図14B

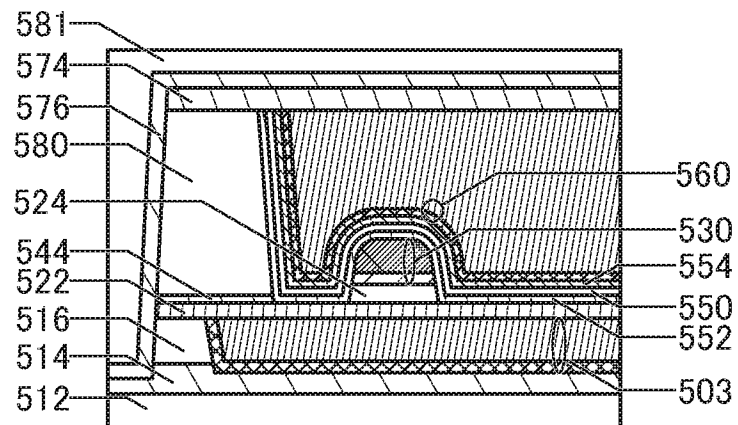


図14C

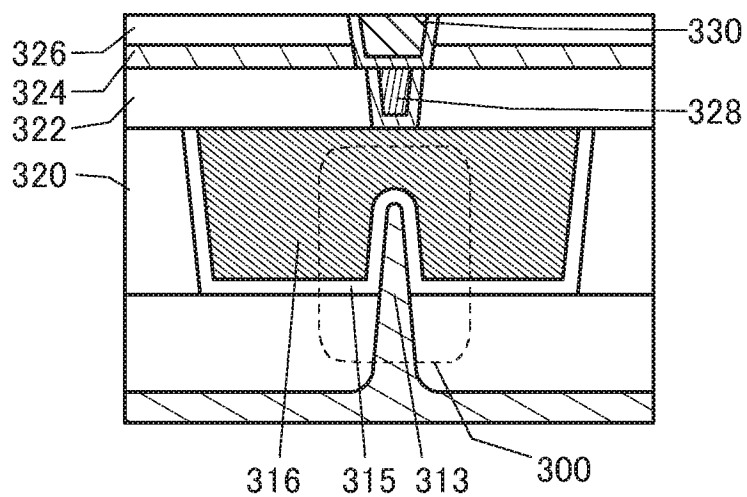
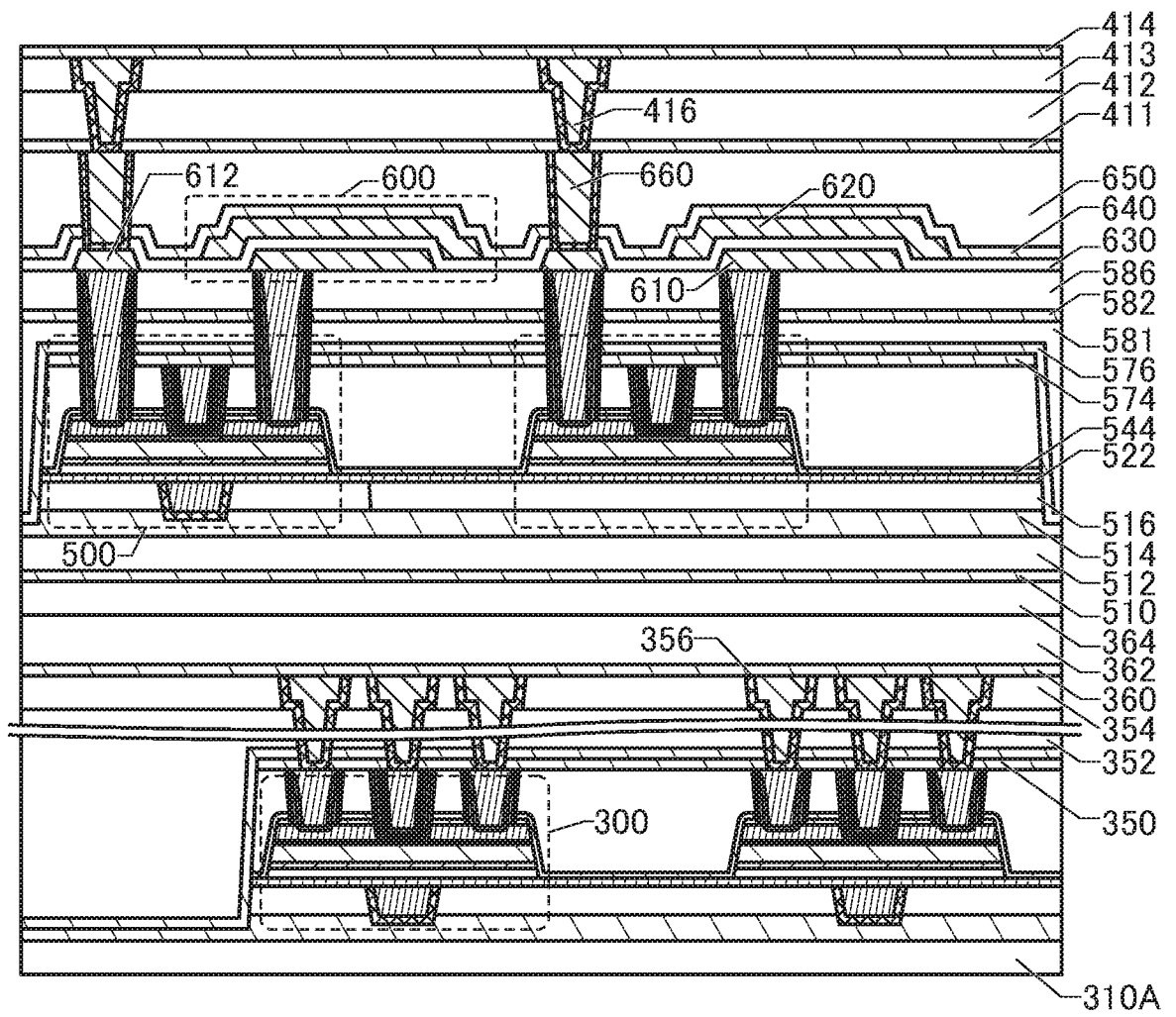


图15

15/24



16/24

図16A

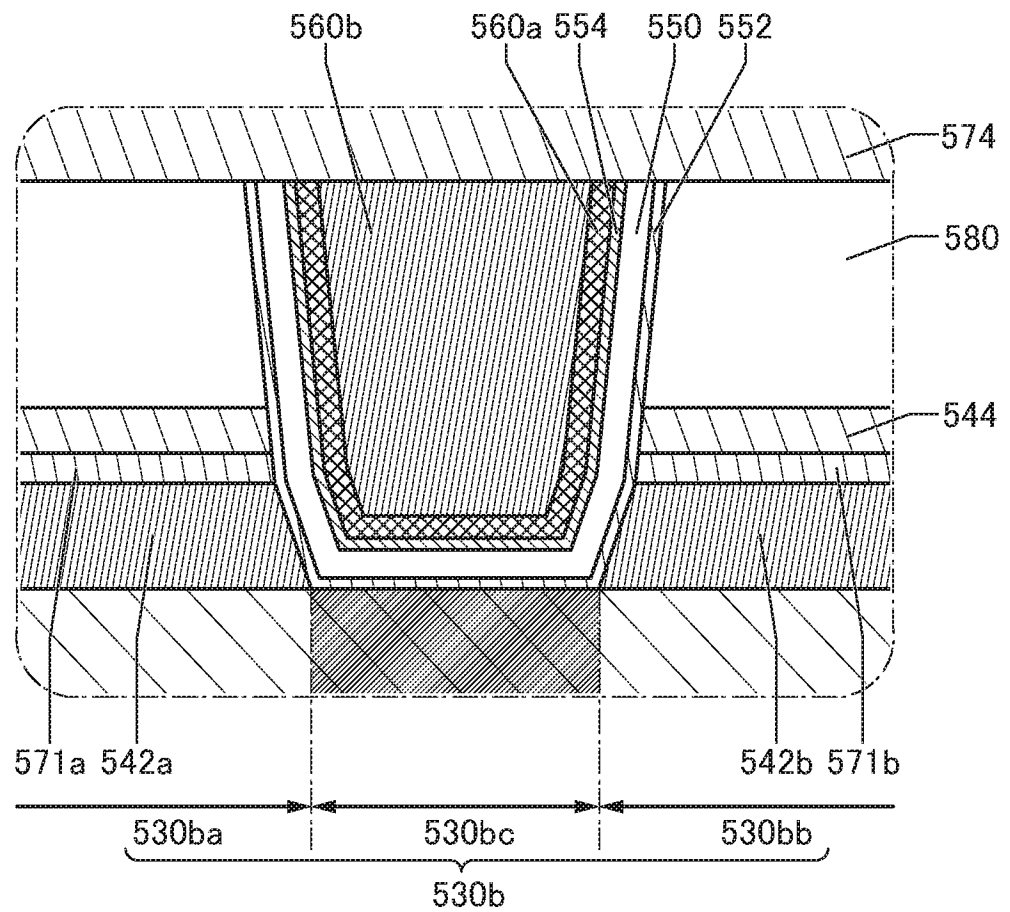


図16B

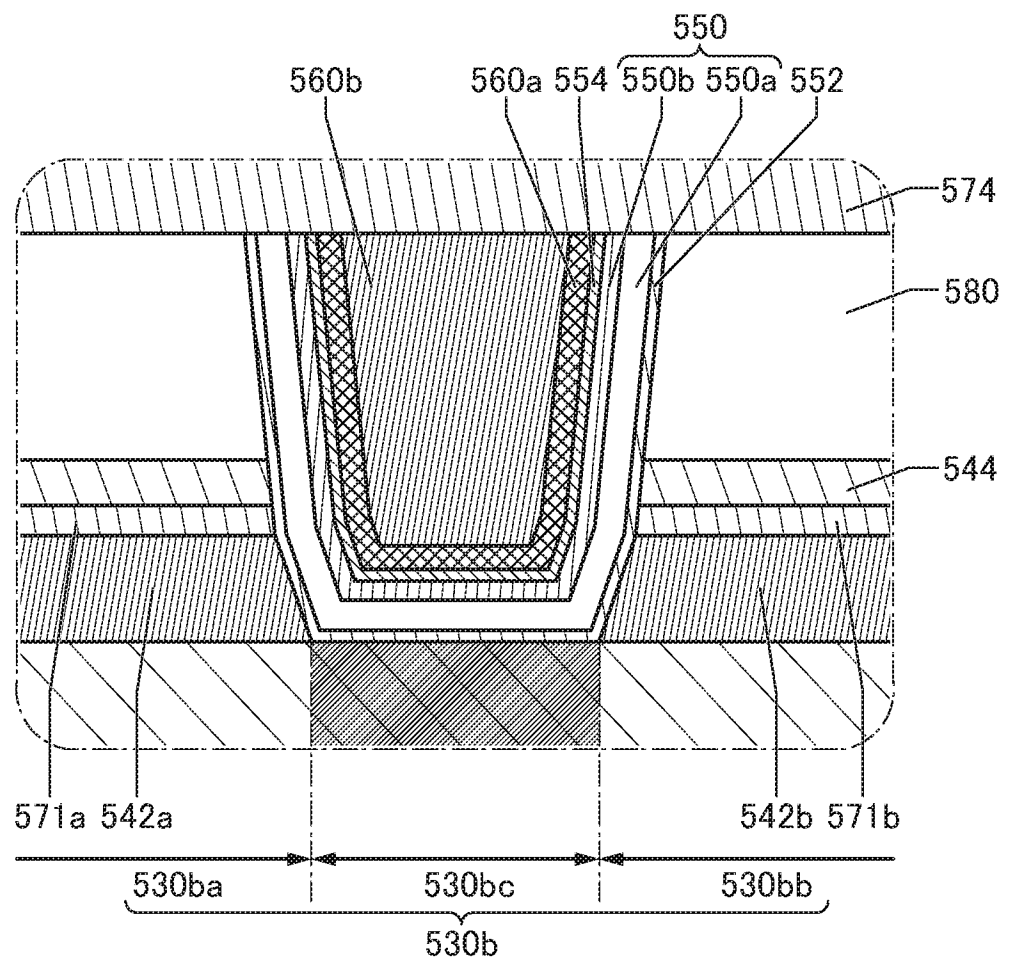


図17

17/24

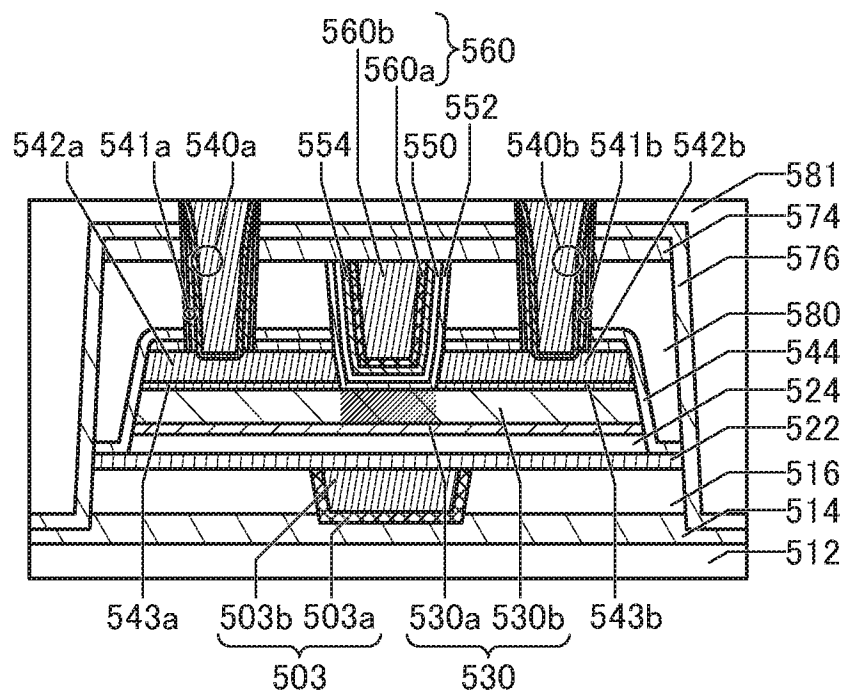


图 18

18/24

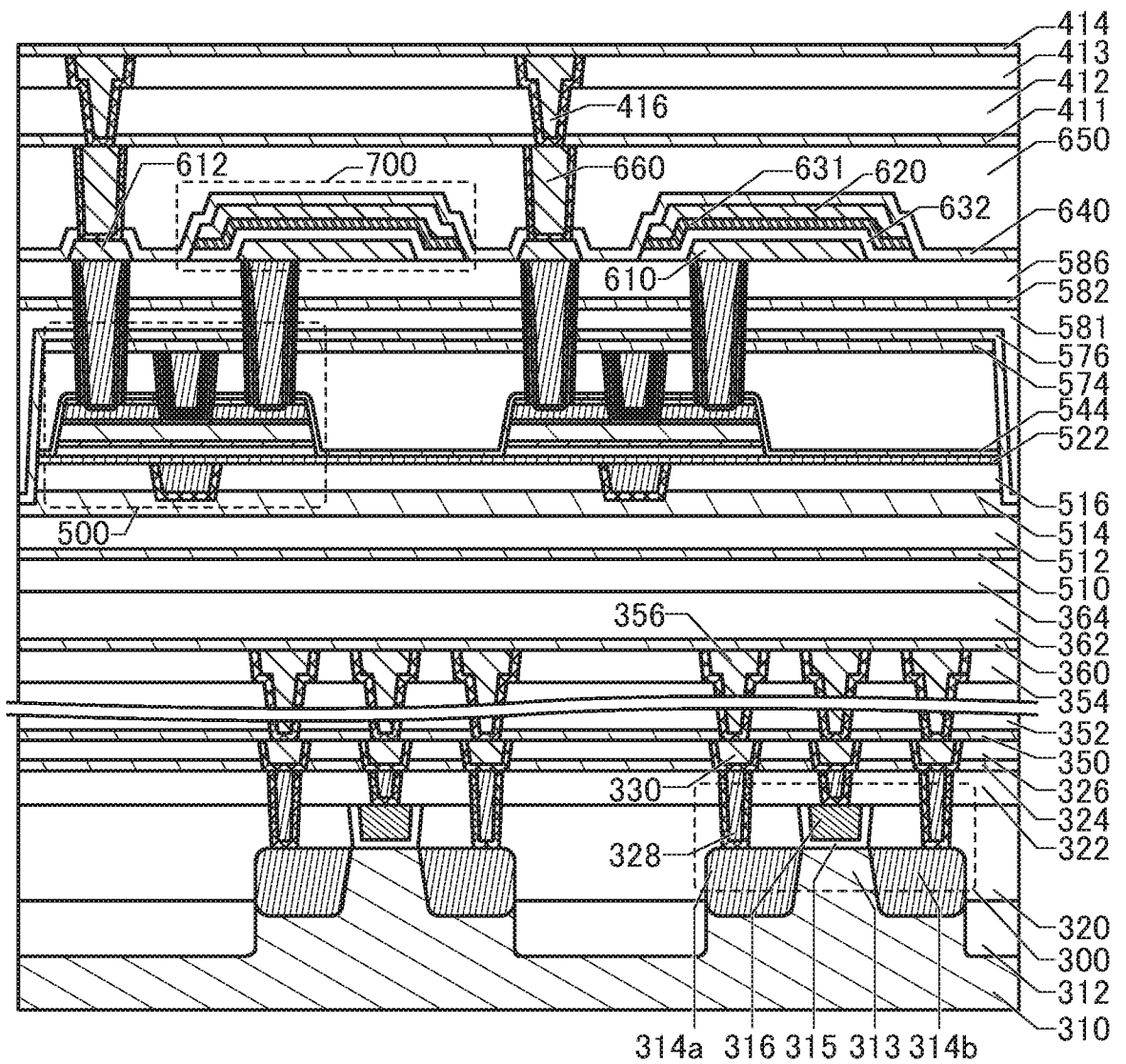


图 19

19/24

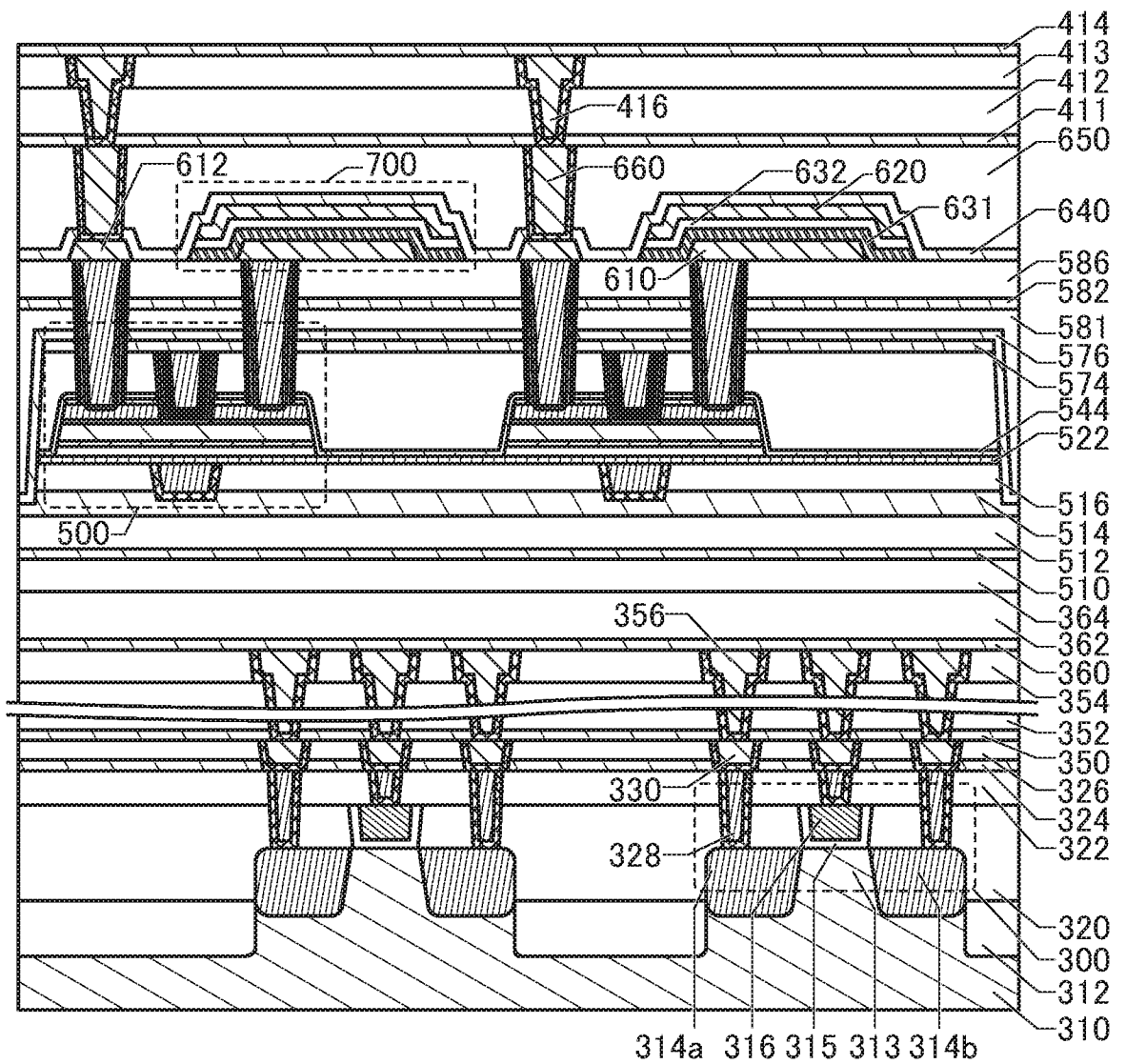


图20

20/24

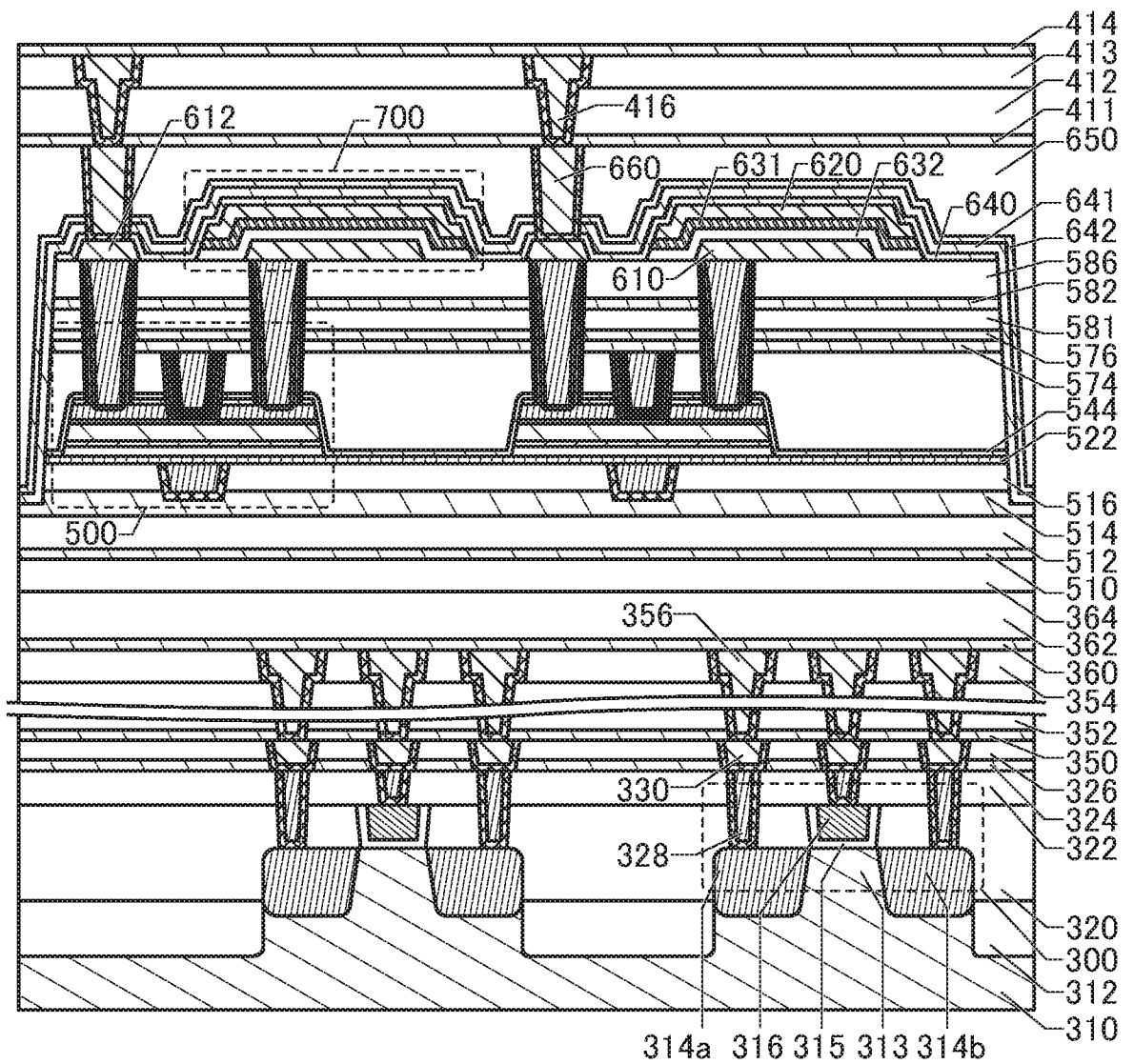


図21A

中間状態
新しい境界領域

Amorphous (無定形)	Crystalline (結晶性)	Crystal (結晶)
•completely amorphous	•CAAC •nc •CAC excluding single crystal and poly crystal	•single crystal •poly crystal

図21B

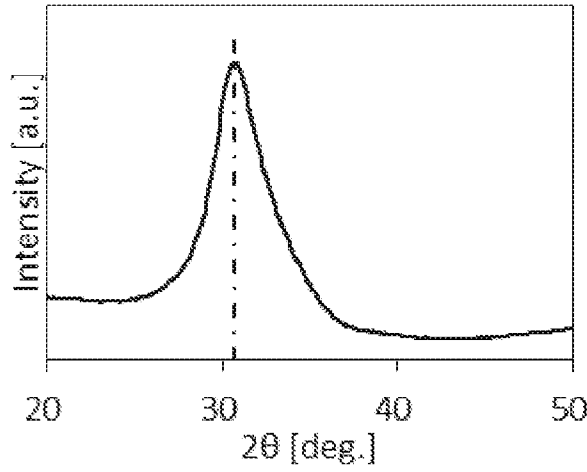
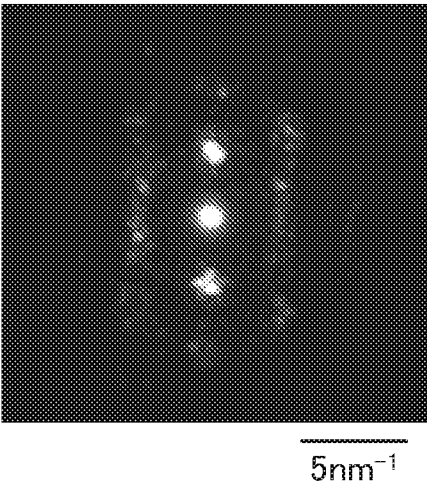


図21C



22/24

図22A
4800

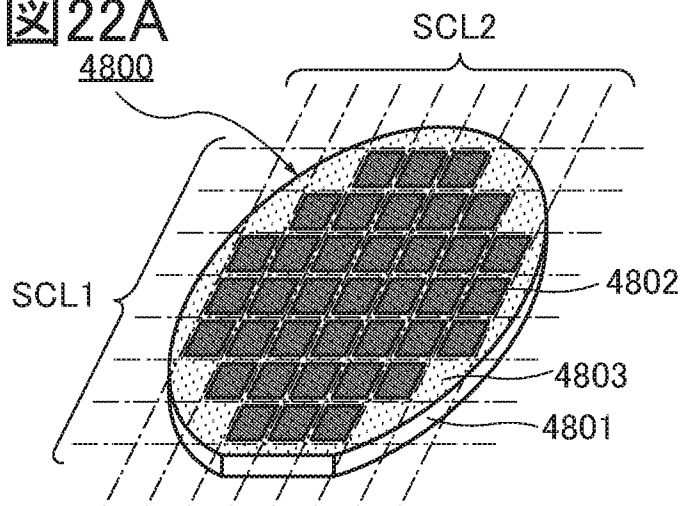


図22B
4800a

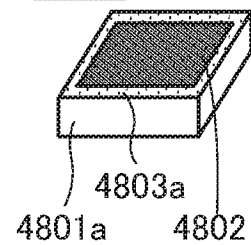


図22C

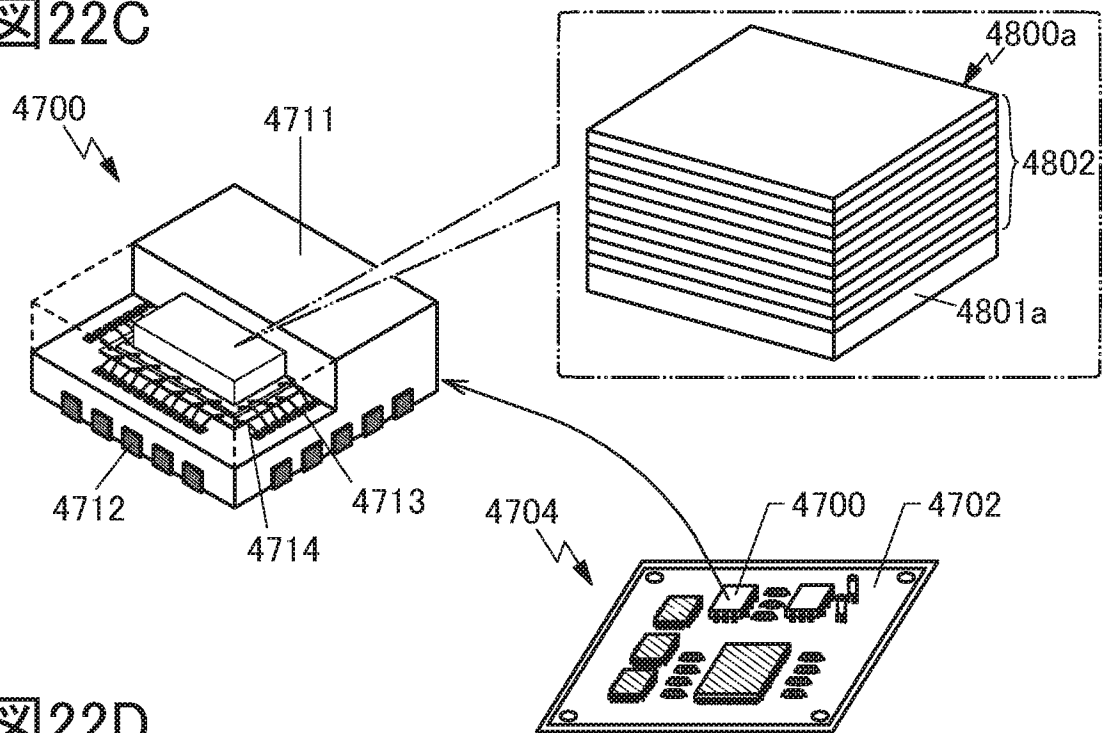


図22D
4730

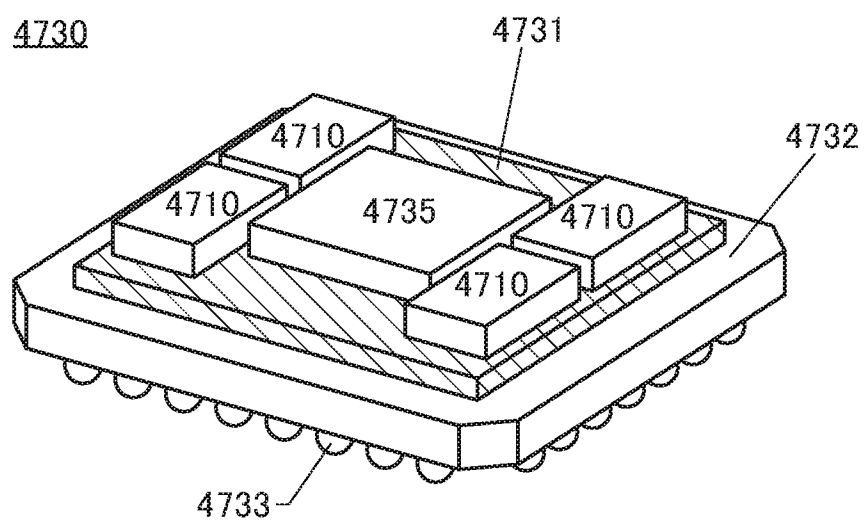
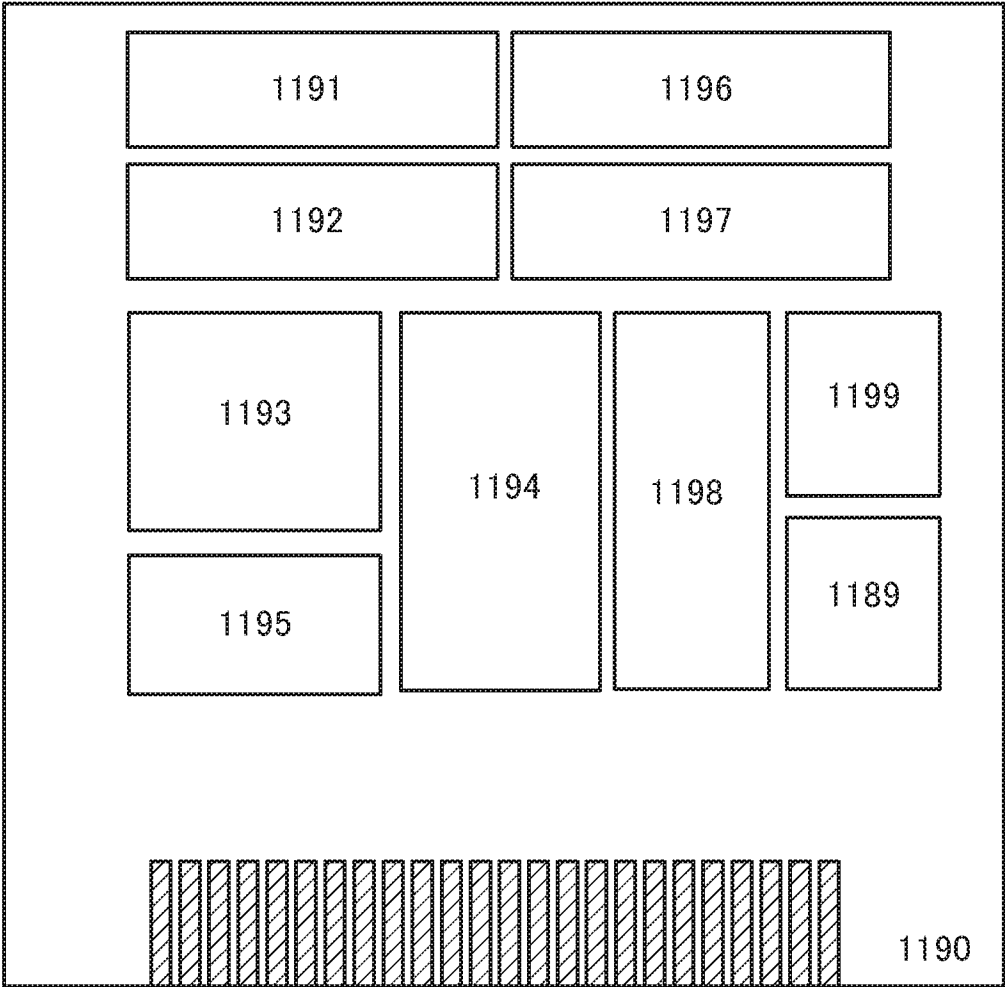


図23

23/24



24/24

FIG 24A

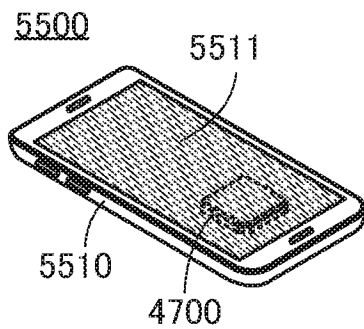


FIG 24B

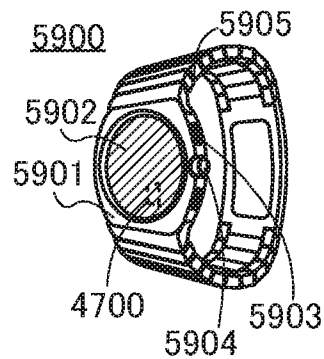


FIG 24C

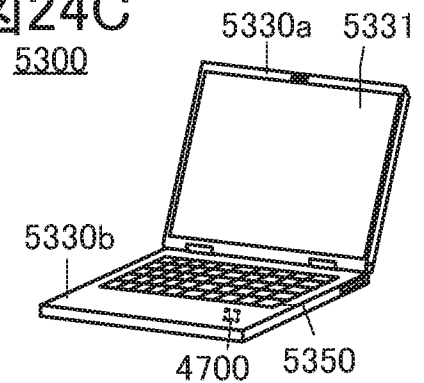


FIG 24D

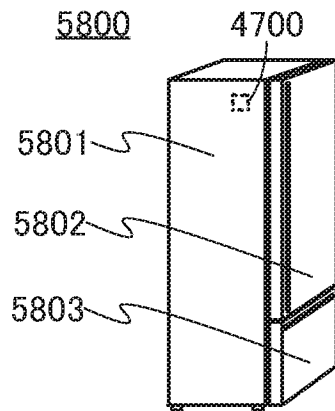


FIG 24E

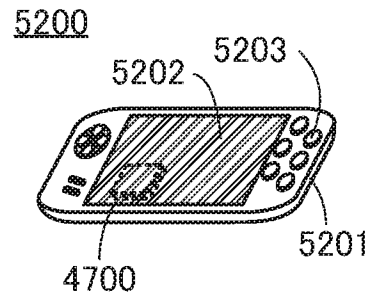


FIG 24F

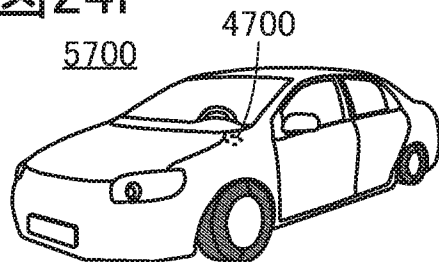


FIG 24G

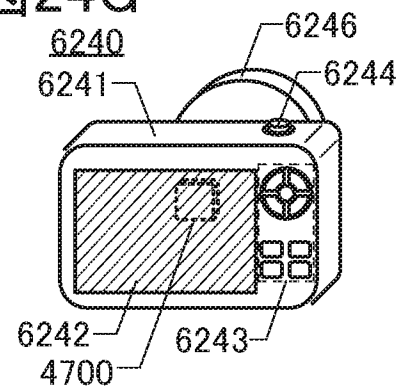


FIG 24H

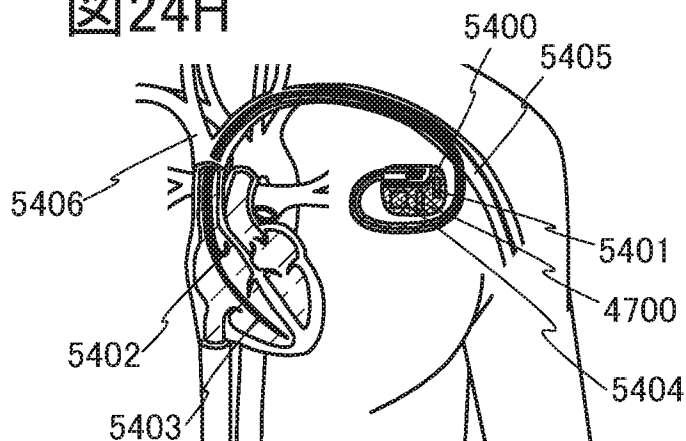
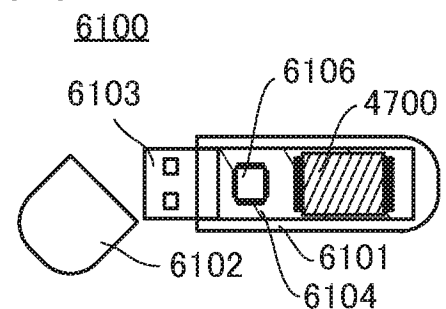


FIG 24I



INTERNATIONAL SEARCH REPORT

International application No.

PCT/IB2021/058288

A. CLASSIFICATION OF SUBJECT MATTER*G11C 11/38*(2006.01)i; *G11C 7/08*(2006.01)i; *G11C 11/22*(2006.01)i; *G11C 13/00*(2006.01)i

FI: G11C11/38; G11C11/22 230; G11C13/00 400B; G11C7/08

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G11C11/38; G11C7/08; G11C11/22; G11C13/00

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996
 Published unexamined utility model applications of Japan 1971-2021
 Registered utility model specifications of Japan 1996-2021
 Published registered utility model applications of Japan 1994-2021

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X A	JP 2003-242771 A (TOSHIBA CORP.) 29 August 2003 (2003-08-29) paragraphs [0003], [0090]-[0102], [0106]-[0111], fig. 6, 7	5, 6 1
Y A	JP 9-161473 A (FUJITSU LTD.) 20 June 1997 (1997-06-20) paragraphs [0012]-[0035], fig. 1-5	2, 3, 6 1
Y A	JP 5-347422 A (FUJITSU LTD.) 27 December 1993 (1993-12-27) paragraphs [0019]-[0032], fig. 1-3	2, 3, 6 1
Y A	JP 2-154389 A (OLYMPUS OPTICAL CO., LTD.) 13 June 1990 (1990-06-13) page 3, lower right column, line 7 to page 4, upper left column, line 11, page 6, lower right column, line 9 to page 7, lower left column, line 2, fig. 1, 5, 6	4, 6 1



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

15 November 2021

Date of mailing of the international search report

22 November 2021

Name and mailing address of the ISA/JP

Japan Patent Office (ISA/JP)
 3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915
 Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/IB2021/058288

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2004-241483 A (SANYO ELECTRIC CO., LTD.) 26 August 2004 (2004-08-26)	4, 6
A	paragraphs [0050]-[0053], fig. 7, 8	1

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/IB2021/058288

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
JP	2003-242771	A	29 August 2003	US 2003/0156450 A1 paragraphs [0006], [0112]- [0125], [0129]-[0134], fig. 7, 8 CN 1438650 A KR 10-0518287 B1	
JP	9-161473	A	20 June 1997	(Family: none)	
JP	5-347422	A	27 December 1993	(Family: none)	
JP	2-154389	A	13 June 1990	US 5060191 A column 4, line 55 to column 5, line 18, column 11, line 19 to column 12, line 3, fig. 1, 15, 16 DE 3922423 A1	
JP	2004-241483	A	26 August 2004	US 2004/0151019 A1 paragraphs [0094]-[0098], fig. 7, 8 KR 10-0682435 B1 CN 1571067 A	

A. 発明の属する分野の分類（国際特許分類（IPC）） G11C 11/38(2006.01)i; G11C 7/08(2006.01)i; G11C 11/22(2006.01)i; G11C 13/00(2006.01)i FI: G11C11/38; G11C11/22 230; G11C13/00 400B; G11C7/08										
B. 調査を行った分野										
調査を行った最小限資料（国際特許分類（IPC）） G11C11/38; G11C7/08; G11C11/22; G11C13/00										
最小限資料以外の資料で調査を行った分野に含まれるもの <table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922-1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971-2021年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996-2021年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994-2021年</td> </tr> </table>			日本国実用新案公報	1922-1996年	日本国公開実用新案公報	1971-2021年	日本国実用新案登録公報	1996-2021年	日本国登録実用新案公報	1994-2021年
日本国実用新案公報	1922-1996年									
日本国公開実用新案公報	1971-2021年									
日本国実用新案登録公報	1996-2021年									
日本国登録実用新案公報	1994-2021年									
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）										
C. 関連すると認められる文献										
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号								
X A	JP 2003-242771 A（株式会社東芝）29.08.2003（2003-08-29） 段落[0003], [0090]-[0102], [0106]-[0111], 図6, 7	5, 6 1								
Y A	JP 9-161473 A（富士通株式会社）20.06.1997（1997-06-20） 段落[0012]-[0035], 図1-5	2, 3, 6 1								
Y A	JP 5-347422 A（富士通株式会社）27.12.1993（1993-12-27） 段落[0019]-[0032], 図1-3	2, 3, 6 1								
Y A	JP 2-154389 A（オリンパス光学工業株式会社）13.06.1990（1990-06-13） 第3ページ右下欄第7行-第4ページ左上欄第11行、第6ページ右下欄第9行- 第7ページ左下欄第2行、第1図、第5図、第6図	4, 6 1								
☒ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。										
* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的な技術水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献 “T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献										
国際調査を完了した日 15. 11. 2021		国際調査報告の発送日 22. 11. 2021								
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号		権限のある職員（特許庁審査官） 後藤 彰 5N 4226 電話番号 03-3581-1101 内線 3586								

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2004-241483 A (三洋電機株式会社) 26.08.2004 (2004 - 08 - 26)	4, 6
A	段落[0050]-[0053], 図7, 8	1

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/IB2021/058288

引用文献			公表日	パテントファミリー文献	公表日
JP	2003-242771	A	29.08.2003	US 2003/0156450 A1 段落[0006],[0112]-[0125], [0129]-[0134], 図7,8 CN 1438650 A KR 10-0518287 B1	
JP	9-161473	A	20.06.1997	(ファミリーなし)	
JP	5-347422	A	27.12.1993	(ファミリーなし)	
JP	2-154389	A	13.06.1990	US 5060191 A 第4欄第55行-第5欄第18 行、第11欄第19行-第12欄 第3行, 図1, 15, 16 DE 3922423 A1	
JP	2004-241483	A	26.08.2004	US 2004/0151019 A1 段落[0094]-[0098], 図7,8 KR 10-0682435 B1 CN 1571067 A	